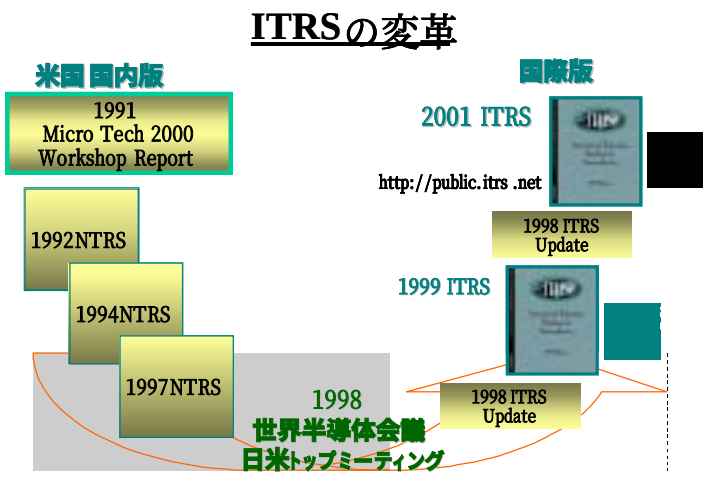
ITRS2001 の概要

半導体技術ロードマップ専門委員会
副委員長　福島　敏高

1. はじめに

(1) ITRS 発行の経緯

大統領によって任命された産官学軍の有識者からなる全米半導体諮問委員会（NACS）が、1988 年に設置され、1991 年に米国科学技術庁との共済で、マイクロテック 2000（The Microtech 2000）ワークショップが開かれた。ワークショップの目的は「米国の半導体業界が、2000 年までに世界のリーダとなるために必要な 10 年間にわたる技術およびそれを達成するための提言を的確な指標で示すこと」であり、6つの分科会（リソグラフィ、プロセス、シミュレーション、 デバイスと回路、 アーキテクチャ、 経済性）から構成された。そのため検討対象は、技術分野に限らず投資効果、技術教育機関の設立など、半導体産業に関するほとんどの分野が含まれた。



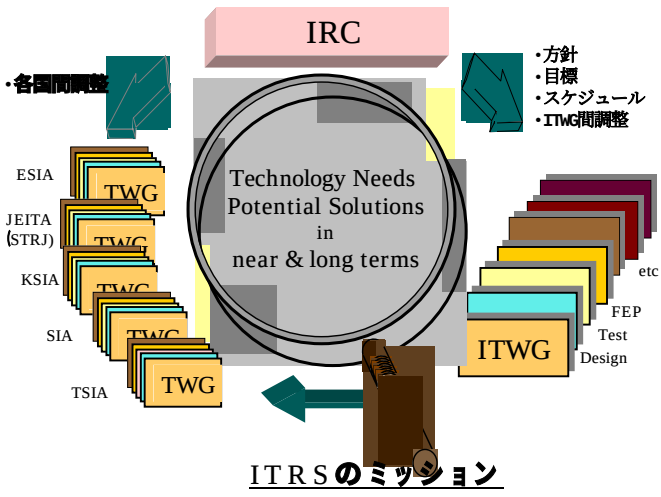
ワークショップ･レポートの技術分野の検討は、その後米国半導体工業会（SIA）に引き継がれ、1992, 1994, 1997 年の米国半導体技術ロードマップ（NTRS）が発行された。

国際版（ITRS）発行は、1998 年の第2回世界半導体会議（WSC、カールスバッド／米国）にて SIA より日欧韓の工業会に NTRS1997 の改定作業への参加が要請されたことに始まる。EIAJ（現 JEITA）は、同年6月の日米半導体トップ会議（東京）にて、再度要請があったことから、同年7月の第1回国際会議（サンフランシスコ／米国）にオブザーバとして参加し、その後、11 月に半導体技術ロードマップ委員会を設立し、12 月の第2回国際会議（サンフランシスコ／米国）から正式に参加した。1999 年版は、世界の半導体生産の 95%を担っている日･米･欧･韓･台の工業会、つまり EIAJ、SIA、欧州半導体産業協会（ESIA）、韓国半導体産業協会（KSIA）、台湾半導体産業協会（TSIA）が加わり、名称も「国際」半導体技術ロードマップ（ITRS）となった。

半導体関連技術の進歩は著しい。そのため ITRS の内容は毎年見直され、2年毎に ITRS が発行されるとともに、その間アップデート版が公開されることになっている。

(2) ITRS のミッション

半導体技術は、ほとんどの技術領域で限界に近づきつつあり、それを打破するためにも、要求される技術･課題を少しでも早く関係者（製造装置業界、材料業界、EDA ベンダ、大学、研究機関等）に開示し、解決策の研究に着手してもらう必要が生じている。また同時に、半導体の研究･開発･製造拠点がグローバルに展開しており、国籍を越えた半導体メーカ同士の提携、あるいは製造分担等が進み、国際的に統一した技術指針を示す必要が生じている。



ＩＴＲＳのミッション

そのため直近の６年間はNear termとして1年毎に、その後の9年間はLong termとして3年毎に、要求される技術、それを実現するための課題、現在考えられる解決策等を記載している。

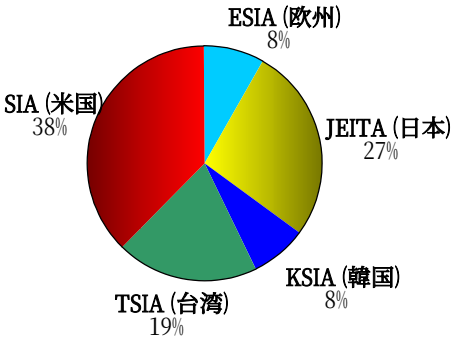
ITRS の作成作業は、全体の基本方針／目標／スケジュールの作成、各極工業会･ワーキンググループ間の調整を行う国際ロードマップ委員会（IRC ：International Roadmap Committee： IRC）と、各技術分野を担当する１２の国際技術ワーキンググループ（ITWG）によって行われている。

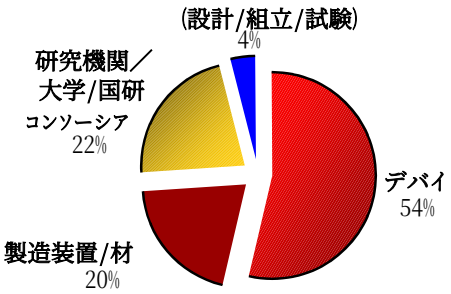
(3) 参加委員の構成

ITRS2001 は、日米欧韓台各国の国内委員会メンバーを含めると、約８３０人が作成に参画している。国別の構成比は、日本が約２７％。 米国３８％。 台湾１９％。 デバイスメーカ数が少ない欧州と韓国が各８％である。

参加している技術者、研究者の出身は、デバイスメーカが５４％製造装置･材料等関連業界が２０％。大学･国研等が２２％等である。特徴として、米国は製造装置･素材といった関連業界や、大学からの比率が高く、台湾は設計･組立て･試験といった後工程専業メーカの比率が高いと言える。

なお IRC とそれぞれの ITWG には、各国からの代表委員が 1～2名参加している。

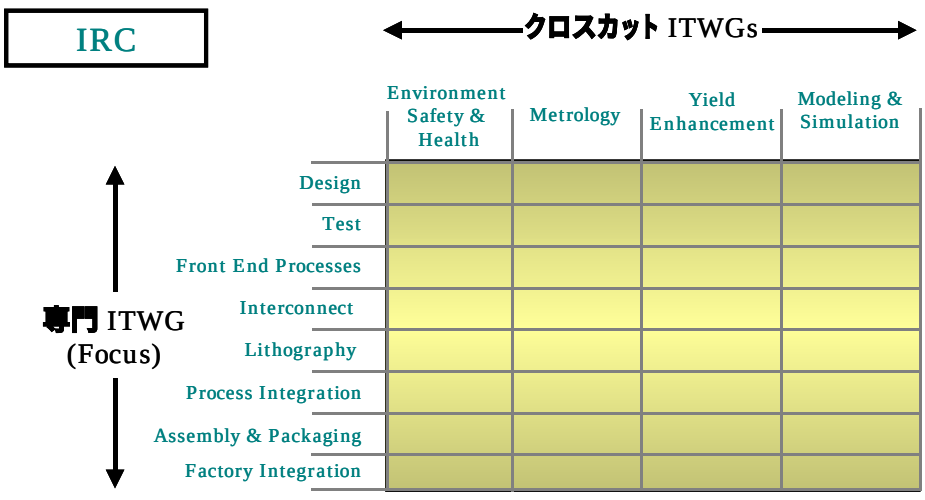




	デバイス	製造装置/材料	研究機関／コンソーシアム	大学	政府/国研	その他（設計/組立/試験）	小計
ESIA（欧州）	38	5	25				68
JEITA（日本）	141	42	22	10	7		222
KSIA（韓国）	32	11	5	9	7		64
TSIA（台湾）	88	17	14	13		29	161
SIA（米国）	146	91	36	24	12	4	313
小計	445	166	102	56	26	33	828

(4) 対象とする技術分野

ITRS が対象とする技術分野は、8つの専門技術（フォーカス）ITWG（国際技術ワーキング･グループ）が担当する (1) 設計、(2) テスト、(3) プロセス･インテグレーションとデバイス構造、(4) フロントエンド･プロセス、(5) リソグラフィ、(6) インターコネクト、(7) ファクトリ･インテグレーション、(8) アセンブリと、4つの共通技術（クロスカット）ITWG が担



当する (1) 環境･安全･健康、(2) 歩留まり向上、(3) メトロロジ（計測）、(4) モデリングとシミュレーションである。これにより、半導体デバイスの設計から製造にいたるほぼ全ての技術分野がカバーされることになる。

また各国の技術ロードマップ委員会でも、これらの技術分野／ITWG に担当する TWG が設けられているようだ。

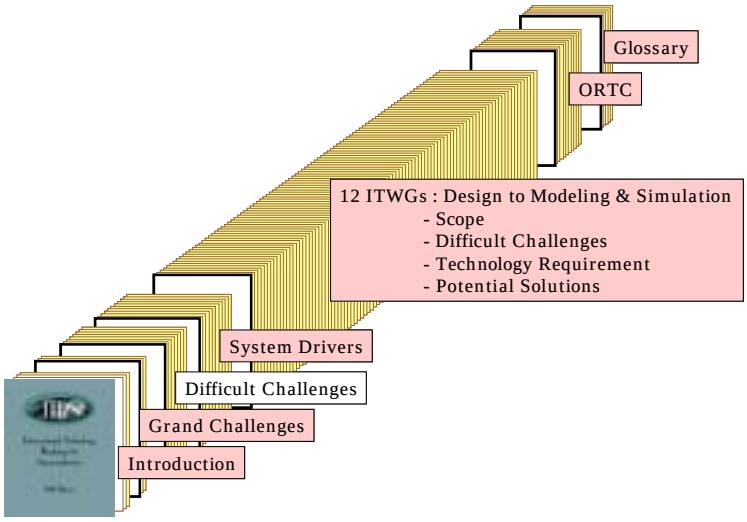
(5) ITRS 2001 年版の構成

ITRS 2001 年版は大きく分けると、イントロダクション、グランドチャレンジ、システムドライバー、技術分野毎にカバーする技術範囲／挑戦を要する課題／要求される技術／現在考えられる解決策、ORTC (Overall Roadmap Technology Characteristics) 等の章から構成される。

イントロダクションの章では、ITRS 作成の目的、使い方、テクノロジーノード（Technology Node）、テクノロジーノード･タイミング（Technology Node Timing）、ハーフピッチ（Half Pitch）といった ITRS 特有の用語の定義等が記述されている。

グランドチャレンジの章では、12の技術分野のそれぞれについて最も果敢に取組むべき技術課題を3項目程抽出し、それらを直近の「6年間（Near term）」か「その後の9年間（Long term）か」といった要求される時期や、「特性向上のためか」あるいは「製造コストの低減か」といった開発目的に分け、概要を説明している。

システムドライバーの章では、今度多様化するであろう最終製品を市場セグメント毎に分け、それぞれの技術開発動向を分析し、最終製品に要求される技術と、その開発時期を分析している。



続いて、設計からモデリング／シミュレーションにいたる12の技術分野を、それぞれの章に分け、対象とする技術範囲／挑戦を要する課題／要求される技術／現在考えられる解決策等を記述した。

ORTC（Overall Roadmap Technology Characteristics）の章では、ITRS が包含する技術分野が多岐にわたることと、それぞれの ITWG が記載した章間の整合をとるために、最終製品（デバイス）の特性を念頭に置いて、主要技術項目とその値をトップダウン形式で表にまとめている。ORTC の値は、これまでの技術開発のトレンドの継続や果敢な挑戦を喚起する目的から、高水準に設定されている。

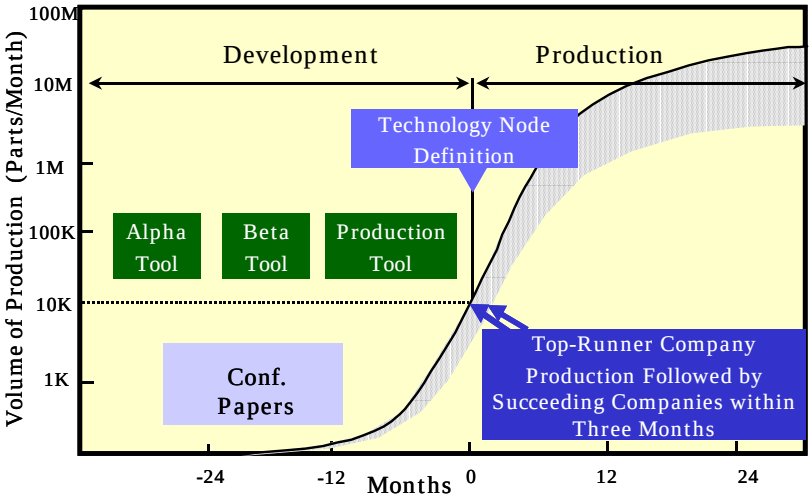
その他、技術用語の簡単な解説が付録として加えられている。

次に、ITRS2001 における ITRS1999 からの主な変更点を述べる。

2. 用語の定義見直し

(1) Technology Node Timing

ITRS1999 にて、テクノロジーノード･タイミング（Technology Node Timing）の定義を、「大量生産開始後の月産1万個に達した年」とした。DRAM のようなコモディティ･デバイスと ASIC のようなユーザ･スペシフィック･デバイスとでは、フル生産時の数量が大幅に異なるが、汎用性のある定義をするために、指数関数的に立ち上がる量産の初期段階の値として「1万個」を採用した。

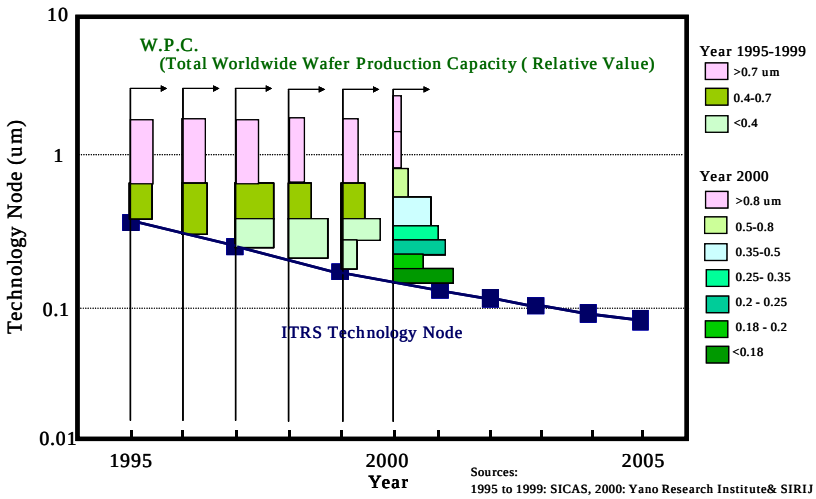


しかし大量生産開始という前提が軽視され、「月産1万個は量産ではない」とか、あるいは「サンプル生産から量産化の過程でも月産 1 万個はありうる」といったコメントが多く寄せられた。

そのため ITRS2000 では、イメージ図を用いて、「あるメーカがその技術を用いて量産を開始し、月産のチップ数が 1 万個に達し、かつ、他のメーカが3ヶ月以内に追随する年」、つまり最低2社以上がこのレベルに到達した時点と再定義した。

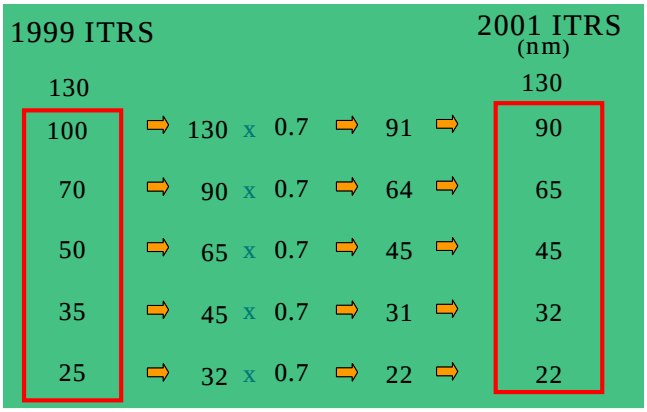
(2) Technology Distribution in Actual Production

また同様に、「実際の量産ラインで使われているプロセス技術と、ITRS のテクノロジーノード･タイミングは乖離しているの」とのコメントも多く寄せられた。そのため ITRS2001 では、SICAS（Semiconductor International Capacity Statistics）や矢野経済研究所等から発表された量産ラインにおける過去5年間のプロセス技術（テクノロジーノード）の推移と、ウエハ所要数をまとめ、ITRS の予測と比較した。ITRS でが、最先端の量産プロセス技術を予想していることを明らかにするためである。



(3) Technology Node 値

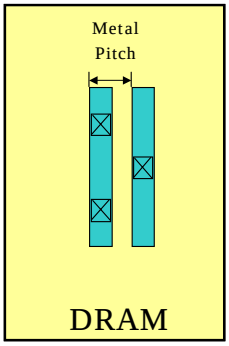
1998 年 update 版より、プロセス技術のブレークスルーの目安として、DRAM ハーフピッチの 70% のスケーリング値をテクノロジーノードと規定し、ITRS1999 では、180, 130, 100, 70, 50, 35nm･･･を採用した。しかし、現在 100nm の開発が視野に入ってきたこともあり、今後の2桁以下の値について見直した。その結果 ITRS2001 では、0.7×のスケー

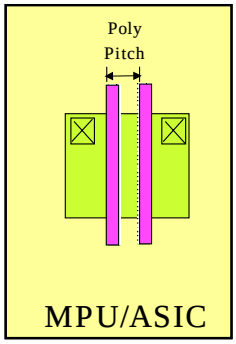


リングという基本に沿って、90、65、45、32、22nm に変更した。これらの値は、当分見直されることは無いと思われる。

(4) MPU／ASIC の Half Pitch

DRAM では、最小加工寸法がチップの大半を占める規則的な繰り返しパターンとなるメモリセル部となるため、最小加工寸法としてのハーフピッチのイメージが捉えやすい。一方、MPU や ASIC は、規則的な返しパターン部が比較的少ないことと、統一した定義をこれまでも決めていなかったために、各社がまちまちに最小加工寸法を定義し、発表していた。そのため ITRS2001 では、テクノロジーノードに対応した MPU および ASIC の Half Pitch を、ポリ配線層の最小ピッチの 1/2 と定義した。





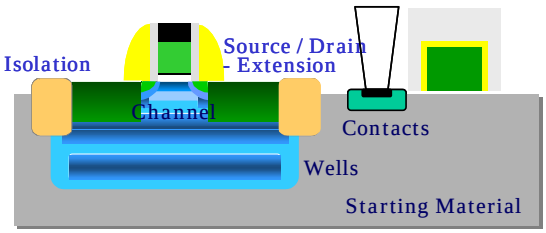
3. Grand Challenges の見直し

ITRS2001 では、12の技術分野全てについて Grand Challenges の見直しを行った。その中から、フロントエンド･プロセス、配線、実装技術の3分野を取上げ、以下にその概要を述べる。

(1) Front End Process

フロントエンド･プロセス（FEP：Front End Process）の対象とする技術範囲（Scope）は、スターティングマテリアル（基盤材料）からチップの表面処理までで、トランジスター形成や DRAM のキャパシタ形成を含む。

Near Term のグランドチャレンジとしては、性能向上のための「新規ゲート･スタックと関連原料」と、「新規メモリ材料とプロセスインテグレーション」が合意された。具体的には、「新規ゲート･スタックと関連原料」としては、(1)極浅拡散層の形成、(2)高性能デバイス向け Oxynitride ゲート絶縁材の拡張、(3)低消費／低待機電力デバイス向けゲート酸化膜の高誘電率（high-k）材料とゲート電極材料である。「新規メモリ材料とプロセスインテグレーション」としては、(1) DRAM キャパシタの高誘電率材料と電極材料、(2)メタル-絶縁体-メタル（MIM： Metal－Insulator－Metal）構造のキャパシタが上げられている。



Near Term (2001-2007)

Enhancing Performance

- New Gate Stack and Materials :
  - Oxynitride gate dielectric / high performance MOSFETs
  - High κ gate stack / low operating and low standby power MOSFETs
- CMOS Integration of New Memory Materials and Processes :
  - High k DRAM capacitor
  - MIM capacitor structures

Long Term (2008-2016)

Cost-effective Manufacturing

- Starting Materials alternate beyond 300 mm :
  - Productivity enhancement
  - e.g., 450 mm

Long Term のグランドチャレンジとしては、製造コストの低減のための「300mm 以降の大口径ウェーハへの転換」で、450mm ウェーハを Czochralski 法で引上げられるかといった技術的課題に加え、費用対効果望めるかといった経済性に関する課題も検討する必要がある。

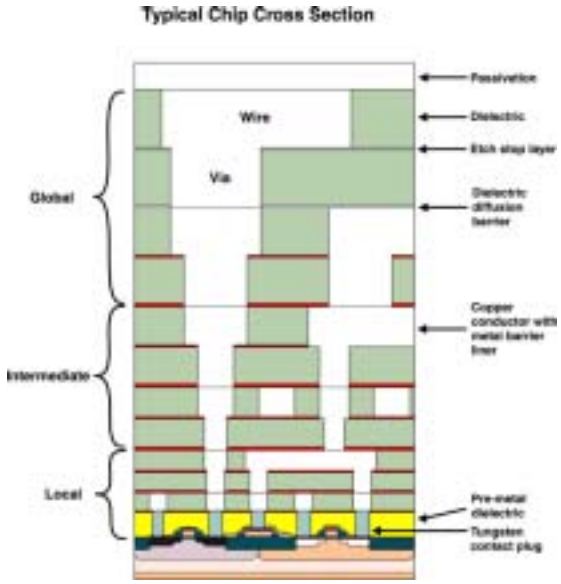
(2) Interconnect

配線（**Interconnect**）の対象とする技術範囲（Scope）は、トランジスタ／DRAM キャパシタ／抵抗といった回路素子とのコンタクト・ホール（contact hole）の形成からチップ表面のパッシベ-ション膜の形成までである。

Near Term のグランドチャレンジとしては、性能向上のための(1)低誘電率材料（Low-k）、(2)ゲート電極用金属材料、(3)高伝導材料、(4)金属拡散を防ぐバリアメタル等の新しい材料、(5)配線構造、それらにともなう(6)新規プロセス技術と、インテグレーションの複雑さに対応した(7)複雑さの管理である。

ただ当分の間は、メタル配線に導電率の低い Cu を使用し、層間絶縁膜に Low-k の新材料を採用する方法がとられると予想されている。

Long Term においては、Near Term での技術（新配線材料、新 Low-k 膜材、新配線構造、新プロセス技術等によるスケーリング技術）では、要求性能を実現できないと予想している。そのため Long Term のグランドチャレンジとして、(1)グローバル配線層での平面ウエーブガイド、(2)RF 対応、(3)光配線、(4)垂直配線、(5)実装技術との融合等の配線技術が挙げられた。



Near Term (2001-2007)
Enhancing Performance

- Introduction of New Materials :
  - High Conductivity and Low k Dielectric
- Integration of New Processes and Structures :
  - High Complexity

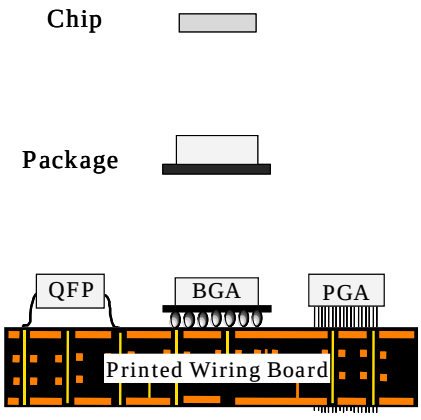
Long Term (2008-2016)
Enhancing Performance

- Identify Solutions which address Global Wiring Scaling:
  - Beyond Copper and Low k
  - Material Innovation to accelerate Design, Package and Interconnect

(3) Assembly & Packaging Grand Challenges

実装（Assembly & Packaging：アセンブリ／パッケージング）の対象とする技術範囲（Scope）は、電子機器の小型／軽量／薄型／高性能化にともなう機器の構造／強度／高周波化に対応した信号伝播や不要輻射防止を念頭においた、チップのダイシングからプリント基板への搭載までである。

Near Term のグランドチャレンジとしては、製造コストの低減のための「チップからパッケージ、基板までを包含した、統一性のあるデザインツーとシミュレーターの開発」で、システムレベルの性



Near Term (2001-2007)
Cost-effective Manufacturing

- Coordinated Design Tools and Simulators :
  - Mix Signal Co-design and Simulation
  - Transient Thermal Analysis Tool
  - Thermal Mechanical Analysis Tool
  - Electrical Analysis Tool
    - Power Disturbs
    - EMI
    - High Frequency / Current and Lower Voltage Switching

能要求を満たし、開発サイクルを短縮することのできる、(1)電気的特性、(2)熱放散（遷移）、(3)熱機械的ストレス、(4)電力妨害、(5)EMI、(6)環境等を総合的に扱える設計開発ツールとシミュレーション技術の開発ある。

具体的には、(1)ミックスドシグナル相互設計のためのシミュレーション環境、(2)遷移熱解析の高速分析ツール、(3)統合熱機械的分析ツール、(4)電気的（電力妨害、EMI、高周波時の信号完全性、低電圧スイッチング）解析ツール等の開発、整備が挙げられた。

4. 新規に加えられた技術分野

ITRS2001 では、新たに「システムドライバー（System Drivers）」、「新探究素子（Emerging Research Devices）」、「FeRAM」といった新たな章や節が加えられた。

(1) System Drivers Chapter

ITRS1999 では、従来の DRAM、MPU、ASIC に加え、SOC（System-on-a-Chip）や AMS (analog/mixed-signal)デバイスについても言及された。ただ、それらのデバイスの開発／量産化が、Technology Node Timing に同期・並行して行われるように記載されていたため、ITRS2001 ではその修正を行った。事実それぞれのデバイスは、市場の要求に従って開発されるため、開発時期が異なっている。ITRS2001 では、市場を次の 7 つのセグメントに分け、セグメント毎の技術開発動向の分析と、それぞれのセグメントで使われる「SOC」、「AMS」、「MPU」について、要求される技術と、その開発時期を明らかにした。

1999年版

- SOC、**AMS** (analog/mixed-signa) に言及したが、主は**DRAM**、**MPU**、**ASIC**
- **其々の品種が、技術ノードに沿って、一様に開発されると仮定**

2001年版

- **しかし市場は、品種毎に異なった技術／開発時期を要求**
- **市場セグメント毎の技術開発動向を分析**
  - (1) Portable and Wireless
  - (2) Broadband
  - (3) Internet Switching
  - (4) Mass Storage
  - (5) Consumer
  - (6) Computer
  - (7) Automotive
- **市場セグメントが求める各品種に対する技術要求／開発時期を抽出**
  - (a) SOC : Multi-technology, High performance, Low cost, Low power
  - (b) AMS : Low-noise amplifier, Power amplifier, VCO, ADC
  - (c) MPU : high-volume custom

7 つのセグメントとは、

(a) Portable and Wireless
(b) Broadband
(c) Internet Switching
(d) Mass Storage
(e) Consumer
(f) Computer
(g) Automotive

で、SOC については、(1)Multi-technology、(2)High performance、(3)Low cost、(4)Low power 等に関して要求される技術、ならびにその開発時期。

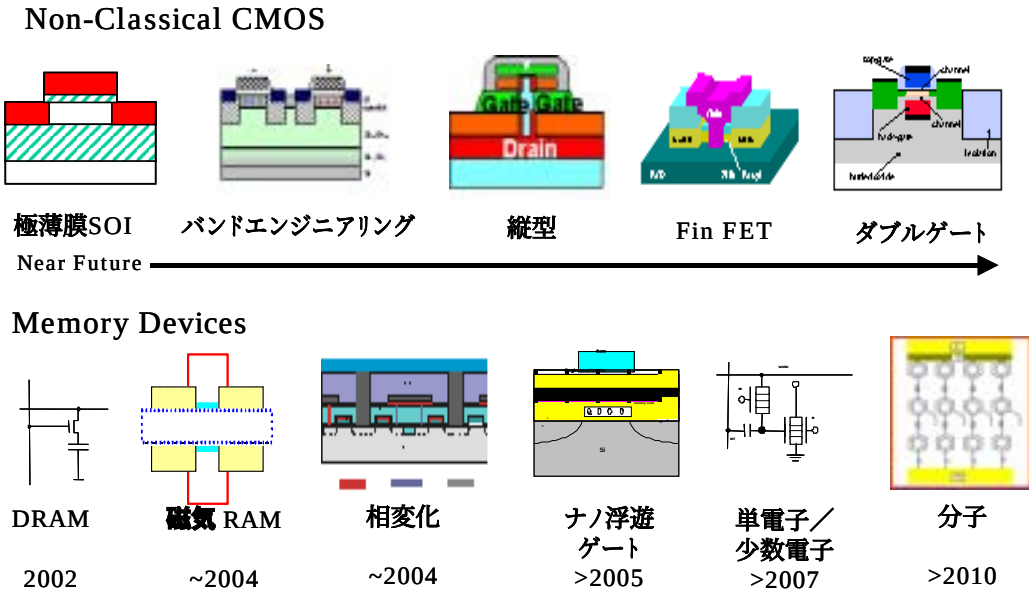
AMSについては、(1)Low-noise amplifier、(2)Power amplifier、(3)VCO、(4)ADC等に関して要求される技術、ならびにその開発時期。

MPUについては、high-volume custom品に関して要求される技術、ならびにその開発時期を記述している。

(2) Emerging Research Devices Section

ITRS はこれまで、半導体デバイスの７５%以上を占める CMOS （Complementary Metal-Oxide-Silicon）技術に焦点を当てて、その技術開発を扱ってきた。しかし、今後 10～15 年先、あるいは早くて 2007 年頃には、ほとんどの planar CMOS 技術は限界に達するか、あるいは限界に近づくことが明らかになってきた。そのため ITRS1999 では、「Beyond CMOS / Novel Devices」として、将来に必要となるであろう技術の選択肢を記述した。

しかしその後２年を経て、さらに具体的に取扱う必要が生じてきた。そのため ITRS２００１では、「新探究素子（Emerging Research Devices）」と命名した新たな節を設け、(1)ロードマップの延長線上で性能の向上を加速させ得る技術として「Non-Classical CMOS」と「新メモリデバイス」を、(2)ロードマップを越える新しい技術／概念となり得る技術として「新ロジックデバイス」と「新情報処理アーキテクチャ」に言及した。



具体的には、Non-Classical CMOS として、(1)極薄膜 SOI (ultrathin-body)素子、(2)歪 Si-MOSFET などのバンド制御（エンジニアリング）素子、(3)ダブルゲート構造の縦型 MOSFET、(4)Fin FET、(5)横型ダブルゲート型素子等を取り上げた。新メモリデバイスとしては、(1)磁気 RAM（MRAM）、(2)相変化メモリ、(3)ナノ浮遊ゲート・メモリを取り上げている。

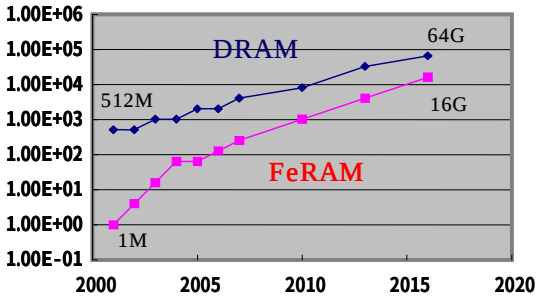
(3) FeRAM

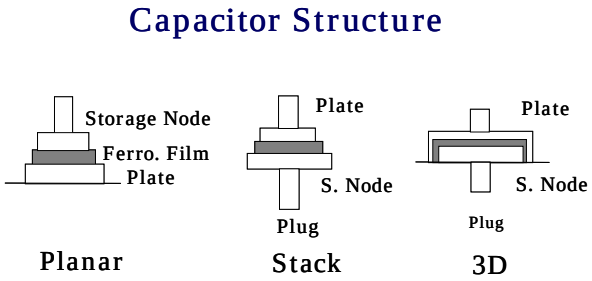
ITRS2001 では、将来、SRAM や DRAM を置き換える可能性がでてきた「FeRAM」を独立した節で、取り扱うこととした。現在量産されている FeRAM は、やや緩いテクノロジーノードのプロセス技術を使っていることに加え、データを安定に読み出すために２T２C 型メモリセルを使っていることからメモリセルの面積が大きくなり、DRAM と比べると、メモリ容量は１M ビット対 256M ビットと言うように 200 倍から 500 倍の差が生じている。しかし将来、微細化と信頼性（例えば膜質の劣化、データ保持、書き換え回数／エンデュランス）の要求に合致する強誘電体材料の開発と、最先端の微細化技術を採用することで、例えば２０１６年には１６G ビット対６４G ビットと言うように、DRAM との差が 1 世代位にまで近づく可能性がある。

ITRS2001 では、アクセスタイムは 2001 年の 80ns から 2016 年の 10ns に。メモリキャパシタの構造は、現行の平面（Planar）型から 2003 年には積層（Stack）型に、そしてさらに 2007 年には三次元（３D）型が導入されると想定した。またメモリセルの構成は、現行の２T２C 型から 2002 年には１T１C 型に移行すると予測している。

ただこれらの技術要求に合致する、決定的な強誘電体材料や、安定した強誘電体膜の形成技術、微細

加工プロセス技術等について、現在まだ目処が立っておらず、今後の果敢な取り組みが期待されている。





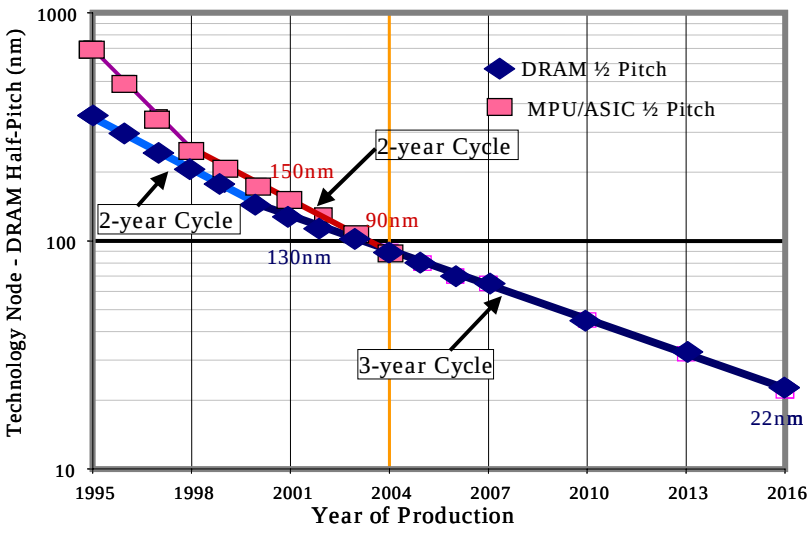
	2001	2002	2003	2004	2005	2006	2007	2010	2013	2016
T. Node (nm)	130	115	100	90	80	70	65	45	32	22
DRAM (bit)	512M		1G		2G		4G	8G	32G	64G
FeRAM (bit)	1M	4M	16M	64M	64M	128M	256M	1G	4G	16G
Access time (ns)	80	65	55	40	30	30	20	16	12	10
Capacitor	planar	planar	stack	stack	stack	stack	3D	3D	3D	3D
T2C or 1T1C	2T2C	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C

5. 各 ITWG の技術項目と数値の見直し

ITRS2001 で見直された技術項目と数値の中から、(1)ハーフピッチ、(2)ゲート長、(3)ゲート絶縁膜(High-k)、(4)配線層間絶縁膜(Low-k)、(5)リソグラフィーの5項目についてその概要を説明する。

(1) DRAM および MPU／ASIC Half Pitch

DRAM のハーフピッチは、ITRS1999 に比べ1年早まり、ITRS2001 では、2001 年 130nm、その後は3年サイクルでスケーリングされ、2016 年には 22nm と予測した。一方 MPU および ASIC は、2001 年の 150nm から2年サイクルでスケーリングされ、2004 年に 90nm となり、以後は DRAM 同様に3年サイクルでスケーリングされ、2016 年には 22nm になると予測した。またいずれにせよ、DRAM が今後も微細化技術を牽引し続けると予想している。



なお「ITRS は、意図的に加速しているのではないか」とのコメントが多く寄せられている。しかしこれに関しては、これまで ITRS の歴史が示すように、ITRS が公表されると、各半導体メーカの技術開発が一層加速され、2年後の見直し時には、直近の技術が1年前倒されているというのが実情である。ITRS1999 で予想された 2002 年のテクノロジーノード、130nm が、2001 年の見直し時に、2001 年と修正されたのもその理由である。

MPU のゲート長は、前節で述べたように、Near Term では2年サイクルでスケーリングされるため、EOT（Equivalent Physical Oxide Thickness：等価酸化（SiO_2）膜厚換算値）も ITRS1999 に比べ、3年程前倒しした。ただし、相対的にリーク電流の制限が緩い MPU および高速用 ASIC では、SiON（シリコン酸窒化膜）を使用しても、微細化・高速化を2007年まで継続できると判断している。

いずれにせよ、EOT1nm 以下の実現に向けて、高誘電率（High-k）絶縁膜（例えば HfO_2（酸化ハフニウム）、ZrO_2（酸化ジルコニウム）、La_2O_3（酸化ランタン）等）の開発が必須となっている。図の中の白地のコラムは解決方法が見つかっている技術領域、黄色地のコラムは解決方法を模索中の技術領域、赤地のコラムは解決方法が全く見つかっていない技術領域である。

(4) Effective Dielectric Constant (Low-k)

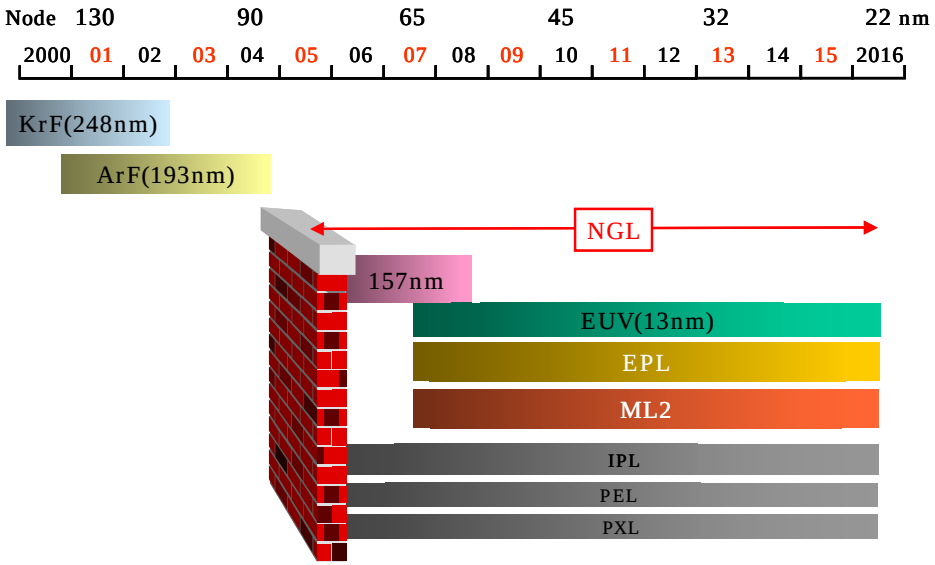
ITRS2001 では、層間絶縁膜と配線構造を見直し、層間絶縁膜については低誘電率膜（Low-k）の比誘電率を現実的な値に変更し、配線構造については製造容易性を考慮した目標値とした。具体的には、Near term における配線間容量の低減は、メタル配線の抵抗の低減と配線層の厚さを薄くする方法を組み合わせることで、Low-k 膜の導入を可能な限り遅らせている。

Year		2001	2002	2003	2004	2005	2006	2007	2008	2010	2011	2013	2014	2016
T. Node (nm)		130	115	100	90	80	70	65	70	45		32		22
1999年版														
k	MPU	2.7–3.5	2.7–3.5	2.2–2.7	2.2–2.7	1.6–2.2			1.5		<1.5		<1.5	
	DRAM	4.1	3.0–4.1	3.0–4.1	3.0–4.1	2.5–3.0			2.5–3.0		2.0–2.5		2.0–2.3	
2001年版														
k	MPU/ASIC	<2.7	<2.7	<2.7										
	DRAM	4.1	3.0–4.1	3.0–4.1	3.0					.7		2.3–2.7		2.1

つまり、層間絶縁膜の材料については有機、無機、ソリッド、多孔質膜等と候補は多く挙げられているが、実際にエッチング加工性、耐熱性、密着性、機械強度等を総合的に評価すると、候補を絞込めない状況にある。そのため ITRS1999に比べ、3から4年遅らせざるを得なかった。

(5) Lithograph

ITRS2001 では、光リソグラフィの限界を 65nm テクノロジーノードまで延長した。90nm テクノロジーノードまでは、ArF エキシマレーザーリソグラフィ（DUV）で合意され、その後の次世代リソグラフィ（NGL：Next Generation Lithography） については合意が得られず、ポテンシャル・ソリューションとして、F2（VUV、波長=157nm）レーザーリソグラフィ、遠紫



外線（EUV: extreme ultraviolet）、電子線（EB）投影露光、イオンビームなどを列挙することとした。マスクテーブルも新たに加えた。

なお現在、光マスクでは MEF（Mask Error Factor：レチクル上の寸法誤差がウェーハ上で拡大される比率）が増大し、マスク寸法精度の制御が一層厳しくなることが分かっており、コストの面での課題も多い。

MPU/CPU のゲート長の微細化にともなう CD（critical dimension：寸法ばらつき）マージンの見直しが行われ、DRAM の CD 精度は15%、MPU／ASIC は10%で合意された。

また微細化にともない、重ね合わせ精度の計測や、露光パターンの線幅計測など、計測関連の問題が一層深刻となる。特にゲートパターンのラインエッジラフネス（LER：Line Edge Roughness）の計測、制御が大きな課題になる。

6. 拡張された ITWG の Scope

(1) Design

設計生産性の向上が、(1)システムの多機能化・複雑化、(2)設計 IP の増大、(3)検証／テストの複雑化、(4)ソフトウェア開発の比重増大、(5)新規プロセスに伴う設計の複雑化、(6)設計期間の長期化等に追いつけず、早晩、Design Crisis に直面することが指摘されている。また同時に、検証に要するコスト負担やソフトウェアの開発コストも急増しており今後深刻な課題となることは明らかである。

ITRS2001 では、(1)設計生産性、(2)微細化やシステムレベル設計等にともなう課題の分析に、設計コスト・モデルも対象（Scope）に加えた。また低コスト製造として、テスト容易化設計（DFT：Design-For-Test：）、チップ内テスト（BIST：Built-in Self Test）、チップ内不良救済（BISR：built-in self-repair）技術、オンチップ再構成能力（on-chip re-configurability）等の設計技術も大きな課題となる。

(2) Test

ITRS1999 では、メモリデバイスおよび SoC（System on Chip）のテスト技術として、 (1) 故障モデル、(2) テスト手法、(3)テスト容易化設計（DFT：Design-For-Test）、(4) 組込み自己テスト（BIST： Built-in Self Test）、(5) 標準化、(6) 故障解析、(7) ATE（自動テスト装置）等を対象とした。ITRS2001 では、対象を製造におけるテスト工程全般に拡げ、これまでの単独テスターから、バーイン・テスト、ウェーハ・プローブ、ハンドラを加えた。またプローブ・カードの技術動向も加えている。

(3) Assembly & PKG

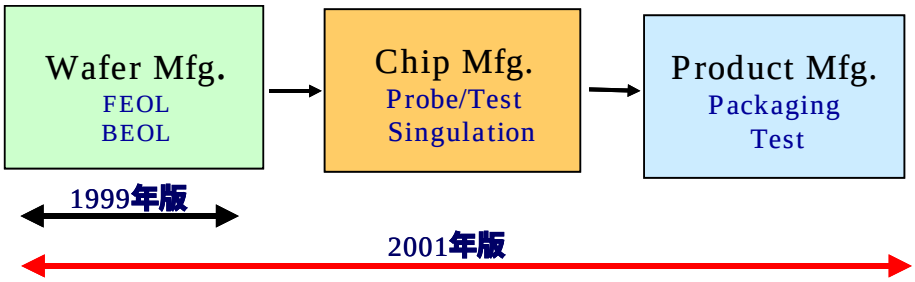
ITRS1999 では、狭義の実装技術（半導体パッケージと半導体用サブストレート（プリント基板））を対象とした。しかし電子機器の小型／軽量／薄型／高性能化、通信／ネットワーク化が急速に進められており、チップ～パッケージ～システム間を総合的にカバーしなければならないアセンブリ／パッケージング技術は、それに従い、検討範囲（Scope）を拡大する必要が生じている。ITRS2001 では、MEMS やオプトエレクトロニクスに対応した(1)ディスクリート部品、(2)パッケージ構造、(3)受動部品内蔵基板等を加えた。

(4) ファクトリー・インテグレーション

ITRS1999 では、半導体製造工程での生産効率の向上と言うことで、ウェハープロセスライン（FEOL、BEOL）を取上げ、「工場の最適化」として(1)コスト低減と(2)工期の短縮、「汎用性／拡張性」として(1)多世代／多様品種の展開と(2)生産規模拡大への柔軟性を検討し、具体的な検討項目として、(1) 工場運用、(2)製造装置、(3) 材料搬送、(4) 工場システム、(5) ファシリティを扱った

一方 ITRS2001 では、(1)投資／オペレーションコストの削減、(2)生産形態に対応した工場の最適化、

(3)工場長寿命化、(4)装置信頼性／活用性の向上、(5)立上げ時間の短縮、(6)ウェーハ径の変更等を検討対象とし、カバーする製造工程も、「プローブテスト」、「ダイシング」、「組立て」、「最終試験」といった後工程まで含めることとした。



(5) イールド・エンハンスメント

ITRS1999 では、歩留向上と欠陥低減の習熟サイクルの中で、(1)歩留モデルと装置許容欠陥数、(2)欠陥検出、(3)欠陥源とメカニズム、(4)欠陥の発生防止と排除といった欠陥削減に焦点を置いた。

しかし ITRS2001 では、総合的な歩留向上という観点から、(1)プロセス・パラメータテスト、(2)ウエハプローブテスト、(3)組立て後の最終テスト等での歩留り損失や、(4)エッジ部でのチップ救済も検討対象とし、名称も従来の「欠陥低減（Defect Reduction）」から「歩留向上（Yield Enhancement）」に変更した。

以上