プロセスインテグレーション、デバイス、および構造

本章の概要

本章では代表的な IC デバイスと構造をその信頼性を含めて取扱い、その主眼は全体のプロセスフロー、プロセス統合技術である。信頼性と新規機能の調和をどうとるかも取り扱われなければならない。物理的な素子寸法や主たる能動素子・受動素子、信頼性基準などの物理的・電気的な要求特性についての議論が本章に含まれる。統計的ばらつきに対する許容度の目標についてもここで述べられる。概要では、ロジックデバイス、メモリ、デジタル・アナログ混載(ミックストシグナル)デバイス、信頼性、新規構造デバイス(新探究素子)の4項目に分割して示される。

2001年版の ITRS ロードマップの重要な課題は、1999年版もしくは2000年改定版のロードマ ップに比較して MOS トランジスタのスケーリングが著しく加速されたことである。たとえば、2005年 における高性能ロジックデバイスの物理的ゲート長は、2001年版では32nmと予測されている(O RTC章の表1aと1bを参照)。一方、この予測値は1999年版で65nm、2000年改定版で60nm となっている。このロードマップ上のスケーリングの加速は最近2年間のさまざまな論文に代表され る研究開発の成果もあるが、微細化トランジスタを実際に IC 製造プロセスに実現した半導体産 業の実績を反映したものである。トランジスタ性能向上、消費電力低減の過去のトレンドを維持す ることがスケーリング加速の主要な原動力となっており、トランジスタ全体のスケーリングにも影響を 与えた。配線における制約や消費電力、信頼性、デバイス基本性能を満たしつつ、さまざまな付 加的機能を IC 設計に与えることも IC 製造プロセスに課せられたもうひとつの大きな課題である。 これは将来のデバイスの姿であるシステムオンチップ(SoC)を実現する上での基本的項目である。 SoC の課題は他の章にもまたがる大きな課題であるが、特にアナログ混載技術については本章で 議論される。SoC を実現する上で重要なことは、さまざまな機能の要求を満たすさまざまな種類の トランジスタをチップ上に搭載できることである。本章では高性能ロジックの高性能トランジスタなど を例とし、より高度なプロセス技術を必要とするトランジスタについて集中して議論を行う。

メモリおよびロジックデバイス

半導体製造分野においては、デジタル回路システムやメモリ・ロジック製品が主要な位置を占め ている。高性能デバイスや低消費電力デバイスがロジック製品の最先端であり、一方メモリは DRAM、SRAM、不揮発性メモリ(NVM)である。ロジックについては高性能デバイスと低消費電力 デバイスの両方のトランジスタが議論される。シリコン上の能動素子、電源・クロック・信号の分配を 行うチップ上の配線構造を含めて、プロセス統合技術が個々のプロセスの集合体として最適化さ れる。デバイスと配線の整合性は、性能・消費電力・集積度・信頼性上の要求から決まる。ここで 言うデバイスや構造とは、能動素子としてのトランジスタ、配線、およびロジックやメモリのセル設計 から要求される構造を指す。メモリセルやDRAM、SRAM、NVMについての議論は汎用品にフォー カスしている。

ミックストシグナルデバイス

ミックストシグナル IC には、デジタル回路とアナログ回路の混載と、デジタル回路と RF 回路の混 載の両方がある。主要なミックストシグナル IC の用途は、引き続き個人向けコンピュータ計算およ び通信にあると期待されている。アナログは通常オペアンプのような純アナログを指すが、ミックスト シグナルチップではA / D変換、D / A変換、デジタル信号処理のような機能を利用することを言 う。また R F は、無線通信や"ラジオ オン チップ"のような800 MHz以上の周波数で動作する回 路をいう。将来技術として、微小電気機械システム(MEMS)も取り扱う。一方、高電圧や大電力 などのアナログ IC の技術についてはここでは取り扱わない。アナログや RF 用途のトランジスタは再 使用されることが必須である。また、基幹部分のデジタル CMOS 技術の低コスト性、高性能・高信 頼性に影響を与えないようにしなければならない。

信頼性

信頼性保証は製造プロセス設計にとって最も厳しい評価項目である。技術ノードが新しくなるた びに新規材料や新規プロセス導入が要求される。そのペースは新規な故障や欠陥についてのモ デルやデータベースを構築し、あるいは知識を収集する現在の能力を超えている。過去の知識の 延長線上で製造プロセスの構築が行われるわけではないので、現在の信頼性を維持することは 難しくなる。信頼性に関する不確実性は、同時に性能・コスト・市場投入の時期を逸する危険性 においても不確実性をもたらす。これらの事項は、テストやウェーハレベルでの信頼性試験への技 術的挑戦を促す。組立との境界領域での信頼性は、特に慎重にならざるを得ない課題である。と いうのは新材料やプロセスは、より狭いリード間隔、狭いボンディング領域、過酷な環境、接着度、 その他顧客での製造能力など、さまざまな要因をもたらすからである。

新探究素子

新探究素子の項は2000年のITRSロードマップ改訂版で追加され、2001年版ではさらに拡張 される。拡張される理由は、速いテンポでスケーリングが進み、将来の技術ノードで要求事項を満 たすことが困難になってきたことによる。さまざまな技術的要求項目の表において、年次が進むほ ど赤で示される(解決策が判明していない)欄が増えることから分かるように、その困難度は増す 一方である。それへの対応として研究開発の分野では、現在の古典的なプレーナ型バルク CMOS トランジスタやメモリの代替となるデバイスを積極的に捜し求めてきた。(他の方法として現 在のデバイス構造におけるスケーリング上の課題を解決する手段を見つけようという道も積極的に 探究されている。)新探究素子の項では、主なものについてその動作原理、利害得失、適用可 能となる時期について総括的な理解を得ることを目的とする。主な区分は、従来型でない (non-classical) MOSFET、新探究メモリデバイス、新探究ロジック(non-MOSFET)デバイス、新 探究アーキテクチャである。従来型でない MOSFET や新探究メモリデバイスは、ここ数年から10 年で製造可能となることが期待され、一方、新探究ロジックデバイス、新探究アーキテクチャにつ いては、2010年から2016年に利用可能になると予想がされている。新探究素子については多く の推測を含み、製造可能かどうかは不確実性があるとの認識は必要である。

困難なチャレンジ

SUMMARY OF ISSUES
Cost effectiveness, process control, and reliability of very thin oxy-nitride gate dielectrics, especially considering the high gate leakage.
Implementation of metal gate electrode by about 2007.
Need to reduce series S/D parasitic resistance.
Controlling static power dissipation in the face of rapidly increasing leakage.
Architecture and circuit design improvement and innovation will be needed
Early availability of manufacturing-worthy high κ gate dielectrics is necessary to meet stringent gate leakage and performance requirements.
Very slow scaling of V_{dd} will make overall device scaling difficult.
It is likely that these transistors will be necessary eventually to control short-channel and other effects in highly scaled devices. See Emerging Research Devices section, Non-classical CMOS, for more detail.
Accelerated reliability ensurance of high κ material for gate stack will be needed for early insertion into manufacturing.
Ensuring reliability of new gate electrode materials will be a challenge.
Ensuring reliability of new, non-classical CMOS structures will be a challenge.
Ensuring reliability of very thin oxy-nitrides with very high leakage current will be critical for high-performance applications.
Difficulty of screening with high leakage currents
DRAM main issues: adequate storage capacitance for devices with reduced feature size; access device design; holding the overall leakage to acceptably low levels; and deploying low sheet resistance materials for bit and word lines to ensure desired speed for scaled DRAMs. Also, the availability of manufacturing worthy 193 nm lithography and integrated DRAM etch capability for 100 nm half pitches in 2003.
SRAM: difficult lithography and etch as well as process integration issues.
NVM: very difficult scaling issues with tunnel and interpoly dielectrics.
Passive element scaling: embedded inductor densities and Q factor values.
Signal isolation.
Optimizing RF CMOS devices with scaled technologies: gate leakage is a particularly sensitive issue.
Transition to reduced analog supply voltages.
Difficulty and cost of integrating analog/RF and high-performance digital functions on a chip.

Table 34a Process Integration Difficult Challenges—Near-term

Table 34bProcess Integration Difficult Challenges—Long-term

DIFFICULT CHALLENGES < 65 nm, BEYOND 2007	SUMMARY OF ISSUES
7. Fundamental improvements in MOSFET device effective transconductance needed to maintain device performance scaling trend.	With sharp reductions in V _{dd} and 17% annual increase in intrinsic transistor speed, basic MOSFET device performance will be inadequate to meet circuit speed requirements.

8. Dealing with atomic-level fluctuations and statistical process variations in sub-30 nm MOSFETs.	Fundamental problems of atomic-level statistical fluctuations are not completely understood.
9. New interconnect schemes	Eventually, copper/low κ performances will be inadequate.
	Solutions (optical, microwave/RF, etc.) are currently unclear.
10 Toward the end of the Roadmap or beyond, implementation of advanced non-CMOS devices and architectures, including memory.	Will drive major changes in process, materials, physics, design, etc.
	Non-CMOS devices may coexist with CMOS: integration of the two will be difficult, especially for mixed signal.
	See <i>Emerging Research Devices sections</i> for more discussion and detail.

プロセス統合技術、デバイス、構造に関する困難なチャレンジの説明

[1] 高性能用途 - 高度に微細化した MOSFET における性能と消費電力要求の整合 - ここ での基本的な課題はゲート酸窒化絶縁膜を1.0nm EOT(Equivalent Oxide Thickness)以下 まで延命させることである。さらには急速に進むトランジスタスケーリングに伴って、許容されるソー スドレインの寄生抵抗が減少することであり、しだいにこの要求を満たすことが難しくなる。最後に は、チップの複雑度が増加することや、ここ数年の技術では大きなリーク電流が流れてしまうことか ら、要求性能や消費電力に合致させるために回路設計やアーキテクチャの革新が求められてい る。

[2] 低消費電力用途 - 高度に微細化した MOSFET における性能とリーク電流要求の整合 -重要な課題は、厳格なリーク電流の規格を満たすためにはおよそ2005年に高誘電率ゲート絶 縁膜が必要になることである。他には、Vdd がスケーリングされにくいため横方向電界が許容でき ないほど大きくなってしまうことである。これは短チャネル効果やおそらく信頼性上の問題の制御を 困難にする。

[3] 非古典的 MOSFET デバイス(ダブルゲート SOI 等)の製造技術への導入 - 高度なトラン ジスタのスケーリングを続けていくことや短チャネル効果の制御その他の問題は、古典的な CMOS 構造では解決が次第に困難になる。従来型でない CMOSトランジスタは、高度にスケーリングされ たトランジスタとして優れた性能を持つことが示されている。ある時点で、おそらく2007年頃までに は量産化されるであろう。

(新探究素子の項、Non-classical CMOS を参照)

[4] 新規材料や構造を適切な時期に信頼性保証していくには - 高誘電率ゲート絶縁膜やメタルゲート、従来型でないCMOS構造などの新規材料や構造がここ6年内に製造されることが求められている。それぞれについて、信頼性の項目が解析され、かつ現象が理解され、量産前に十分に解決されていることが求められている。

[5] 微細化が進んだ世代において高密度の不揮発性モリ(NVM) やDRAMやSRAMメモリを 構築するには - DRAMの微細化されたセルで充分なセル容量を確保するために、高誘電率 絶縁膜を導入すること、最終的にはMIM構造を導入することが重要課題である。また、適切な保 持時間を得るために、絶縁膜、接合、アクセストランジスタのリーク電流を総合的に制御することも 重要課題である。低リーク電流への要求は、アクセストランジスタの性能に対しても課題を呈する。 193nm波長用のレジストは選択比が低いことやエッチング耐性が低い問題があるため、DRAM で要求されるアスペクト比が高いエッチングや深い溝エッチングが困難という193nmリソグラフィを 導入する上での特有の問題点が予想される。NVMにおいては、トンネル酸化膜をスケーリングす ることが困難という問題点がある。トンネル酸化膜は充分な保持時間を保証するためにある厚さが 必要で、一方ではプログラム・消去の容易性から薄さが要求される。

[6] 微細化の進んだ世代においての高性能なミックストシグナル - 微細化の進んだ世代においては、信号分離、特にデジタル回路とアナログ/RF回路の信号分離が特に重要な事項である。 また、Q値を高く維持すること、線形受動素子の高整合を得ることも技術的挑戦となる。高性能 のデジタル機能とアナログ/RF(最終的にはマイクロ電気機械システムMEMSやGaAs、InPな どの化合物半導体など)を混載する難しさは増大し、コストは増加するであろう。

[7] MOSFETデバイスの実効伝導度の改善- デバイス性能の向上トレンドを維持するため には、MOSFETデバイスの実効伝導度が基本的に向上されなければならない。Vddが急速に低 下するにもかかわらず、スケーリングに伴う歴史的な17%/年のトランジスタ性能向上を可能にす るには、実効移動度の向上が必要となる。

[8] 30nm以下のMOSFETにおいて原子レベルの揺らぎやプロセスの統計的ばらつきを取り扱 うには - 超短チャネルデバイスでは空乏領域の不純物の総数が比較的小さく、そのため統計 的揺らぎが大きくなり閾値電圧制御が制限される。加えて超短チャネルデバイスでは寸法制御も 困難を増し、MOSFET電気特性におけるプロセスの統計的ばらつきも増加する。完全空乏型デ バイスやリソグラフィに依存しないMOSFETは、これらの困難を改善するのに役立つかも知れな い。

[9] 新しい配線の設計 - 銅の抵抗率はスケーリングされず、また、絶縁膜のk値は1から1.5 で限界に到達する。その時点で配線性能をより向上させるにはアーキテクチャや新材料による解 が求められる。

[10] ロードマップ最終段階に向かって、あるいはそれを超えた時点で先端的な非CMOSデバイ スやアーキテクチャ、メモリを導入 - ロードマップ最終段階に向かって、もしくはそれを超えた時 点で、最終的にはMOSFETのスケーリングは有効ではなくなるか、コスト的に非現実的になる。そ の時に先端的な非CMOSデバイスが導入される必要がある。(新探究素子の項を参照)

技術的要求

メモリとロジックに対する技術的要求

ロジック - 高速用途と低消費電力用途への技術的要求

技術的要求の表は、高速用および低消費電力用のデジタル IC に使用される MOS トランジス タに対してのものである。高速用途とは、非常に複雑で、高性能であるが高消費電力のチップを 想定している。低消費電力用途とは、許容消費電力即ち許容消費電流が電池の寿命で制限さ れる携帯システムを想定している。低消費電力用途は、低動作電力用途(Low Operation Power, LOP)と低待機電力用途(Low Standby Power, LSTP)に分類される。低動作電力用チッ プは、大容量電池を有したノート型コンピュータのような、比較的高性能なモバイル用途に使用さ れる。低待機電力用チップは、小容量の電池を有する携帯電話のような、それほど性能を要求さ れない民生用品に使用される。高速トランジスタは微細化を優先され、最も高い性能を示すが最 もリーク電流が多い。低動作電力トランジスタは、高速トランジスタほど微細化されず、性能も低い がリーク電流は非常に小さい。低待機電力トランジスタは、低動作電力トランジスタと同程度に微 細化されるが、リーク電流はさらに小さく、そのぶん性能は低い。

本ロードマップの高速トランジスタの物理ゲート長は、1999 ITRS の微細化ロードマップと比べて より急激に微細化されている(たとえば、1999 ITRS では 2005 年の物理ゲート長の予測は 65nm であったが、今回のロードマップでは 32nm になっている)。本ロードマップにおけるスケーリングの 前倒しは、文献に示されている過去 2 年間の量産チップと研究開発結果の進展を反映している。 LSI メーカによる急速なゲート長の微細化は、チップ性能を向上させるために、トランジスタの飽和 電流値をできるだけ大きくする必要があるためである。低消費電力トランジスタのゲート長の微細 化は、これまでのトレンドとモバイル用の非常に低いリーク電流の要求を反映させて、高速トランジ スタの二年遅れとしている。

ロジックの技術的要求を作成するため、電源電圧(Vdd)、等価ゲート酸化膜厚(EOT)、ゲート 長などのパラメータ、リーク電流、飽和電流などのトランジスタの重要な電気特性への影響を、単 純化したモデルを用いて検討した。計算結果で重要なのがデバイスの遅延時間、 =CV/Iである。 ここでCはゲート幅1µmあたりの全ゲート容量(これには寄生のゲートオーバーラップ容量とフリン ジ容量を含む)、V は電源電圧 Vdd、I はゲート幅 1µm あたりの飽和電流である。 は真性 MOSFET の遅延時間のよい指標であり、1/ は真性 MOSFET の最大スイッチング周波数の指 標となる。1/ は重要なトランジスタ性能指数として用いられている。技術的要求の表のパラメー タ値を決定するために、リーク電流や 1/ など、重要な目標値が設定されている。目標値を達成 するために入力のパラメータを種々変えて計算を繰り返し、値を設定した。

高速トランジスタの表作成の元になるのは 1/ である。1/ の目標は、過去の性能向上率に 整合するように平均年率 17%の向上とした。表のその他のパラメータは、この 1/ の目標値を達 成できるように設定されている。表からいくつかの重要な結果が読み取れる。NMOSFETの飽和電 流 Idd は 2007 年の 65nm ノードまで 900 µ A 一定で、その後増大していく。しきい電圧 Vt を毎年 低下させることにより、サブスレショルドリーク電流 Isd, Ieak は急激に増大していく(2010 年以降は 1 µ A / µ m 以上と特に大きくなる)。飽和電流はオーバードライブ電圧(Vdd-Vt)に強く依存するた め、また Vdd は微細化とともに低下していくため、Idd の目標値を達成し続けるためには Vt を低下 させなければならない。しかし、(1/ Isd, Ieak)は指数関数的に Vt に依存するため、Isd, Ieak は Vt の低下につれて急激に増加する。スケーリングによる Vdd の低下とデバイスサイズの縮小にもかか わらず、この Isd, Ieak の増加は静的な消費電力を増加させる(表の最下行を参照)。この静的な 消費電力はチップの消費電力において重要な意味を持つ。ゲートリーク電流は Isd, Ieak より少な ければならないという制約がある。微細化とともに Isd, Ieak は増大するため(このため許容ゲートリ ーク電流も増大)、高濃度に窒素を入れた酸窒化膜はロードマップの最後までゲートリーク電流 の要求値を満たすと予測している(フロントエンドプロセスの章を参照)。

高性能チップにおいては、微細化に伴うトランジスタのサブスレショルド電流は急激に増大する が、静的な消費電力を許容値以下に保つ必要がある。一つの一般的な解決策は、チップ内に 低 Vt の高速トランジスタと高 Vt でゲート酸化膜が厚い低リークトランジスタの、二種類以上のトラ ンジスタを搭載することである。低リークトランジスタは、高速トランジスタと比べて低飽和電流であ り、低いデバイス性能(デバイスの真性遅延時間 が大きい)である。高速トランジスタはクリティカ ルパスや常時スイッチングしている回路にだけ使用され、低リークトランジスタはその他の全ての所 で使われる。低リークトランジスタの積極的な使用は、チップ性能をそれほど犠牲にせずに静的な 消費電力を大幅に低減させる。 静的な消費電力を抑制する別の手法として、電気的あるいは 動的に Vt の制御を行うことである。パスゲートを用いて電源ラインやグランドラインに流れるリークを 遮断したり、電源を切る回路プロックなどを使用するなど、回路的あるいはアーキテクチャ的な対 策である。

低消費電力チップにおいては、LOP (Low Operation Power、低動作電力)トランジスタでは最 大 100pA/µm、LSTP (Low Stanby Power、低待機電力)では最大 1pA/µm のリーク電流が技 術のドライバである。 どちらの場 合もリーク電 流 はロードマップの後 半 で増 大していく。 これらのリー ク電 流 目 標 値 は電 池 の寿 命 から決 められており、 ゲートリークとソース / ドレイン間 のサブスレショ ルドリークの両方にあてはまる。他の全てのパラメータは、高性能版の場合と同様にして求められ た。結果として1/の平均向上率は、LOP,LSTPともに約14%/年である。重要な課題の一つは、 低 消 費 電 カトランジスタの比 較 的 緩 やかな電 源 電 圧 のスケーリングである。 これはサブスレショル ドリーク電流の厳しい要求を満たすために、Vt のスケーリングを抑制したためである。 電源電圧は 次の二つの理由で Vt のスケーリングに追随しなければならない。それらは、目標の性能を得るた めにオーバードライブ(Vdd-Vt)は相対的に大きくなければならないこと、十分なスイッチングノイズ マージンを確 保 するには電 源 電 圧 は Vt の 2 倍 以 上 でなければならないこと、 である。 動 的 な消 費 電力は電源電圧の2乗に比例するため、低消費電力トランジスタの消費電力は高速用に比べて、 '特 に後 年 で緩 やかにスケーリングされる。 また、 横 方 向 電 界 (~ 電 源 電 圧 / ゲート長) はスケーリン グとともに急激に増大し、この結果、短チャネル効果抑制を難しくするだけでなく長期信頼性で問 題を引き起こす。 重要な課題はゲートリーク電流である。 LSTP トランジスタにおいては、 シリコン酸 室 化 膜 では直 接トンネルのために 2005 年 の EOT のリーク電 流 目 標 を満 足 できない (詳しい議 論 はフロントエンドプロセス(FEP)の章を参照)。従って、High-k ゲート絶縁膜は LSTP 用に 2005 年 に実用化が要求される。

シリコン酸化膜やシリコン酸窒化膜ゲート絶縁膜に代わる、High-k 材料の開発は非常に重要

である(より詳しい議論は FEP の章を参照)。前述したように、シリコン酸窒化膜を Medium-k ある いは High-k に取り替えるドライバは 2005 年の LSTP 用途のトランジスタである。その要求値は、

LSTP 用トランジスタ: EOT=1.8nm、ゲートリーク電 流=1pA/µm。

一方、LOP チップに対しては、高濃度に窒素を添加した酸窒化膜を用いることで、ITRS が対象とする期間の最後までゲートリーク電流のターゲットを満足することが可能である。また、前述したように、高性能チップの場合も許容されるリーク電流は非常に急激に増加するため、シリコン酸窒化膜で2001 年版ロードマップが対象とする期間の最後までゲートリーク電流の許容値を容易に満足できる。しかし、非常に薄い酸窒化膜の膜厚コントロールおよび均一性と、大きなゲートリークによる信頼性の問題が残る。さらに、静的な消費電力の観点から、特にロードマップの後年では表に書かれている大きなゲートリーク値以下に抑制する必要がある。このため、幾つかの企業は高性能チップ用に Medium-k あるいは High-k 選択をするかもしれない。結果としてもっともらしいシナリオは、High-k 材料は2005 年に低待機電力が必要なチップに、前述の EOT とゲートリーク 電流のスペックで使用される。その数年後の2007 年以降に、低待機電力チップでの使用による技術の習熟と更なる開発で、High-k ゲート絶縁膜は LOP 用途と高速トランジスタでも使用されるかもしれない。

Tuble bour might performance Bogie	cenne	1089 11	9	ientis	1,001 1	erm	
YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007
DRAM ¹ / ₂ PITCH (nm)	130	115	100	90	80	70	65
MPU / ASIC ½ PITCH (nm)	150	130	107	90	80	70	65
MPU PRINTED GATE LENGTH (nm)	90	75	65	53	45	40	35
MPU PHYSICAL GATE LENGTH (nm)	65	53	45	37	32	28	25
Physical gate length high-performance (HP) (nm) [1]	65	53	45	37	32	28	25
Equivalent physical oxide thickness for high-performance T_{ox} (EOT)(nm) [2]	1.3-1.6	1.2-1.5	1.1–1.6	0.9–1.4	0.8-1.3	0.7-1.2	0.6-1.1
Gate depletion and quantum effects electrical thickness adjustment factor (nm) [3]	0.8	0.8	0.8	0.8	0.8	0.8	0.5
T _{ox} electrical equivalent (nm) [4]	2.3	2.1	2.0	2.0	1.9	1.9	1.4
Nominal power supply voltage (V_{dd}) (V) [5]	1.2	1.1	1.0	1.0	0.9	0.9	0.7
Nominal high-performance NMOS sub-threshold leakage current, I _{sd,leak} (at 25°C) (μΑ/μm) [6]	0.01	0.03	0.07	0.1	0.3	0.7	1
Nominal high-performance NMOS saturation drive current, I_{dd} (at V_{dd} , at 25 ° C) ($\mu A/\mu m$) [7]	900	900	900	900	900	900	900
Required percent current-drive "mobility/transconductance improvement" [8]	0%	0%	0%	0%	0%	0%	0%
Parasitic source/drain resistance (Rsd) (ohm-µm) [9]	190	180	180	180	180	170	140
Parasitic source/drain resistance (Rsd) percent of ideal channel resistance (V_{dd}/I_{dd}) [10]	16%	16%	17%	18%	19%	19%	20%
Parasitic capacitance percent of ideal gate capacitance [11]	19%	22%	24%	27%	29%	32%	27%
High-performance NMOS device $\tau (C_{gate} * V_{dd} / I_{dd} - NMOS)(ps)$ [12]	1.6	1.3	1.1	0.99	0.83	0.76	0.68
Relative device performance [13]	1.0	1.2	1.5	1.6	2.0	2.1	2.5
Energy per $(W/L_{gate}=3)$ device switching transition $(C_{gate}*(3*L_{gate})*V^2)$ (fJ/Device) [14]	0.347	0.212	0.137	0.099	0.065	0.052	0.032
Static power dissipation per (W/Lgate=3) device (Watts/Device) [15]	5.6E-09	6.7E-09	1.0E-08	1.1E-08	2.6E-08	5.3E-08	5.3E-08

Table 35a High-performance Logic Technology Requirements—Near-term

Table 35bHigh-performance Logic Technology Requirements—Long-term

Year of Production	2010	2013	2016
DRAM ½ PITCH (nm)	45	32	22
MPU / ASIC ½ PITCH (nm)	50	35	25
MPU PRINTED GATE LENGTH (nm)	25	18	13
MPU PHYSICAL GATE LENGTH (nm)	18	13	9
Physical gate length high-performance (HP) (nm) [1]	18	13	9
Equivalent physical oxide thickness for high-performance T _{ox} (EOT)(nm) [2]	0.5-0.8	0.4-0.6	0.4-0.5
Gate depletion and quantum effects electrical thickness adjustment factor (nm) [3]	0.5	0.5	0.5
T _{ox} electrical equivalent (nm) [4]	1.2	1.0	0.9
Nominal power supply voltage (V _{dd}) (V) [5]	0.6	0.5	0.4
Nominal high-performance NMOS sub threshold leakage current, $I_{sd,leak}$ (at 25 ° C) ($\mu A/\mu m$) [6]	3	7	10
Nominal high-performance NMOS saturation drive current , I_{dd} (at V_{dd} , at 25 ° C) ($\mu A/\mu m$) [7]	1200	1500	1500
Required percent current-drive "mobility/transconductance improvement" [8]	30%	70%	100%
Parasitic source/drain resistance (Rsd) (ohm-µm) [9]	110	90	80
Parasitic source/drain resistance (Rsd) percent of ideal channel resistance (V_{dd}/I_{dd}) [10]	25%	30%	35%
Parasitic capacitance percent of ideal gate capacitance [11]	31%	36%	42%
High-performance NMOS device τ (C _{gate} * V _{dd} / I _{dd} -NMOS)(ps) [12]	0.39	0.22	0.15
Relative device performance [13]	4.3	7.2	10.7
Energy per $(W/L_{gate}=3)$ device switching transition $(C_{gate}*(3*L_{gate})*V^2)$ (fJ/Device) [14]	0.015	0.007	0.002
Static power dissipation per (W/Lgate=3) device (Watts/Device) [15]	<mark>9.7E-08</mark>	1.4E-07	1.1E-07

White—Manufacturable Solutions Exist, and Are Being Optimized Yellow—Manufacturable Solutions are Known Red—Manufacturable Solutions are NOT Known



表 35a と 35b に対する註

[1] ORTC で決められた値。ゲート寸法の制御性はリソと FEP の ITWG により決められた。3 で±10%のばらつきを仮定。ゲート寸法ばらつきがデバイスパラメータに対して最も影響を与えると仮定している。

[2] EOT は FEP TWG で決められた値。黄 / 赤の色は、膜厚制御性と信頼性の観点から FEP TWG で決められた。

[3] ゲート電極の空乏化と反転層での量子効果によるもの。黄色はポリシリコンへのドーピング量に対しての
 FEPの判断による。2007年の赤色はメタルゲート電極導入を反映(ゲート電極の空乏化を抑制)。

[4] EOT の中心値と電気的膜厚調整係数の和。性能指数、CV/Iと動的電力指数、CV²の計算に使用。黄
 /赤の色はEOT のワーストケースと電気的膜厚調節係数の色によって決められた値。

[5] これまでのスケーリングによる年率で約 17%の CV/Iの向上を維持し、かつスイッチングエネルギの年率 30% の低減と、ゲート絶縁膜にかかる妥当な縦方向電界を可能にする電源電圧の中心値。実際の電源電圧は、個々の用途やテクノロジの最適化に依存して±10%程度の幅がある。

[6] サブスレショルドリーク電流は、室温でドレイン電圧を電源電圧の中心値にし、ゲート、ソース、基板のバイア スを 0V にした時の、NMOSFET のソース電流である。NMOSFET のオフ状態の全電流は、室温における NMOSFET のドレイン電流であり、それはサブスレショルドリーク電流、ゲートリーク電流、接合リーク電流の和に 等しい。サブスレショルドリーク電流は、室温および昇温された状態で、ゲートリーク電流や接合リーク電流よりも 大きいと仮定されている。これまでのスケーリングによる年率で約 17%の CV/I の向上を維持するためには十分な オーバードライブ電圧が必要であり、適当なサブスレショルドリーク電流(およびそれに相当するしきい電圧)が設 定されている。2007 年の黄色は短チャネル効果抑制あるいは高電界効果抑制(Emerging Research Device の章を参照)のために、non-classical MOS や極浅接合形成技術の必要性が大きくなることを反映している。 上記リーク電流のスケーリングシナリオは PMOS にもあてはまる。このサブスレショルドリーク電流値は最も速い MOS デバイスだけにあてはまる。将来のシステムは高リークと低リークのデバイスが混ざったものとなる。

[7] 飽和電流の中心値は、室温でゲートとドレインを電源電圧の中心値にセットした時のドレイン電流である。 全ての MOSFET の寸法は、それぞれの中心値あるいは目標値を想定している。PMOS の飽和電流は NMOS のそれの 40-50%を想定している。2010 年からの黄 / 赤色は、これまでのスケーリングによる年率で約 17%の CV/Iの向上を維持するために、飽和電流(あるいは gm / 移動度)の向上の必要性を表わしている。NMOS お よび PMOS の飽和電流の目標値は有効数字 1.5 桁の精度である。

[8] これまでのスケーリングによる年率で約 17%の CV/Iの向上を維持するために、2010 年までに基本的な移動 度の向上が必要とされている。黄/赤色は 2010 年における飽和電流(gm/移動度)の増大の実現と、それ以 降の継続性の難しさのためである。

[9] 寄生の全ソース / ドレイン抵抗、Rsd (ソース抵抗とドレイン抵抗の和)。Rsd の目標値は FEP TWG の予測 と同じである。黄 / 赤色はコンタクト抵抗、サリサイドシート抵抗、ドレインエクステンション抵抗のスケーリングにつ いて FEP TWG の予測を反映している。同様の Rsd の値を LOP および LSTP デバイスにおいても仮定されてい る。

[10] 寄生のソース / ドレイン抵抗、Rsd と理想的なチャネル抵抗 (Vdd/Idd)の比の最大値。Rsd の目標値は FEP TWG と一致。黄 / 赤色はコンタクト抵抗、サリサイドシート抵抗、ドレインエクステンション抵抗のスケーリン グについて FEP TWG の予測を反映している。 [11] 寄生のゲートオーバーラップ容量 / フリンジ容量と理想的なゲート容量の比の最大値。寄生容量は 2.4E-16F/µm 一定を仮定[ミラー効果を踏まえて、フリンジ容量の3倍]。この値はバイアス電圧やテクノロジに 依存しないとしている。寄生容量は CV/I や CV²の計算に使われている。同様の寄生容量値が LOP および LSTP デバイスでも仮定されている。

[12] NMOSの真性遅延 = CV/I。PMOSのCV/Iも同様にスケールされることを仮定。CV/Iはデバイスの真性のスイッチング遅延を表わしている。一方、CV/Iの逆数である1/ は、デバイスの真性のスイッチング速度を表わす指標。赤/黄色は飽和電流の場合に一致。

[13] 2001 年の値で規格化した NMOS の 1/ 。これまでのスケーリングによる年率で約 17%の CV/I の向上を 維持している。赤 / 黄色は飽和電流の場合に一致。

[14] デバイス寸法がゲート幅 / ゲート長=3 の場合の、NMOS のスイッチング電力、CV²。スイッチング電力はデバイスをスイッチするのに必要な動的な電力である。これまでのスケーリングによる年率で約 30%のスイッチング電力の低減率を維持している。赤 / 黄色は飽和電流あるいは移動度 / gm 向上のワーストケースの場合に一致。
[15] デバイス寸法がゲート幅 / ゲート長=3 の場合の、NMOS の静的な消費電力。静的消費電力はサブスレショルド電流で決まると仮定(他の接合リークやゲートリーク電流はもっと小さいと仮定)。2007 年の黄色は、短チャネル効果抑制あるいは高電界効果抑制(Emerging Research Device の Non-Classical CMOSを参照)のために、non-classical MOS や極浅接合形成技術の必要性が大きくなることを反映している。

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007
DRAM ½ PITCH (nm)	130	115	100	90	80	70	65
MPU/ASIC ½ PITCH (nm)	150	130	107	90	80	70	65
MPU PRINTED GATE LENGTH (nm)	90	75	65	53	45	40	35
MPU PHYSICAL GATE LENGTH (nm)	65	53	45	37	32	28	25
Physical gate length low-operating power (LOP) (nm) [1]	90	75	65	53	45	37	32
Equivalent physical oxide thickness for LOP T _{ox} (EOT) (nm) [2]	2.0-2.4	1.8-2.2	1.6-2.0	1.4-1.8	1.2-1.6	1.1-1.5	1.0-1.4
Electrical thickness adjustment factor (gate depletion and quantum effects) (nm) [3]	0.8	0.8	0.8	0.8	0.8	0.8	0.5
T _{ox} electrical equivalent (nm) [4]	3.0	2.8	2.6	2.4	2.2	2.1	1.7
Nominal LOP power supply voltage (V _{dd}) (V) [5]	1.2	1.2	1.1	1.1	1	1	0.9
Nominal LOP NMOS sub-threshold leakage current, $I_{sd,leak}$ (@25C) (pA/ μ m) [6]	100	100	100	300	300	300	700
Nominal LOP NMOS Saturation drive current, I_{dd} (@V _{dd} , @25C) ($\mu A/\mu m$) [7]	600	600	600	600	600	600	700
Required percent current-drive "mobility/transconductance improvement" [8]	0%	0%	0%	0%	0%	0%	0%
LOP NMOS Device $\tau (C_{gate} * V_{dd} / Id - NMOS) (ps) [9]$	2.55	2.45	2.02	1.84	1.58	1.41	1.14
LOP relative device performance [10]	1.0	1.04	1.3	1.4	1.6	1.8	2.2
Energy per $(W/L_{gate}=3)$ device switching transition $(C_{gate}*(3*L_{gate})*V^2)$ $(fJ/Device)$ [11]	0.496	0.424	0.260	0.193	0.128	0.094	0.069
Static power dissipation per (W/L _{gate} =3) device (Watts/device) [12]	3.2E-11	2.9E-11	2.1E-11	5.2E-11	4.1E-11	3.3E-11	6.0E-11

Table 36a Low Operating Power (LOP) Logic Technology Requirements—Near-term

Table 36b Low Operating Power (LOP) Logic Technology Requirements—Long-term

YEAR OF PRODUCTION	2010	2013	2016
DRAM ½ PITCH (nm)	45	32	22
MPU/ASIC ^{1/2} PIT_CH (nm)	50	35	25
MPU PRINTED GATE LENGTH (nm)	25	18	13
MPU PHYSICAL GATE LENGTH (nm)]	18	13	9
Physical gate length low-operating power (LOP) (nm) [1]	22	16	11
Equivalent physical oxide thickness for LOP T _{ox} (EOT) (nm) [2]	0.8-1.2	0.7-1.1	0.6-1.0
Electrical thickness adjustment factor	0.5	0.5	0.5
(gate depletion and quantum effects) (nm) [3]	0.5	0.5	0.5
T _{ox} electrical equivalent (nm) [4]	1.5	1.4	1.3
Nominal LOP power supply voltage (V _{dd}) (V) [5]	0.8	0.7	0.6
Nominal LOP NMOS sub-threshold leakage current, I _{sd,leak} (@25C)	1000	3000	10000
$(pA/\mu m)$ [6]	1000	3000	10000
Nominal LOP NMOS saturation drive current, I_{dd} (@V _{dd} , @25C) ($\mu A/\mu m$)	700	800	900
[7]	100		000
Required percent current-drive "mobility/transconductance improvement"	10%	30%	70%
[8]	1070	0070	1070
LOP NMOS device τ ($C_{gate} * V_{dd} / I_{dd}$ -NMOS) (ps) [9]	0.85	0.56	0.35
LOP relative device Performance [10]	3.0	4.6	7.2
Energy per $(W/L_{gate}=3)$ device switching transition $(C_{gate}*(3*L_{gate})*V^2)$	0.022	0.045	0.000
(fJ/Device) [11]	0.032	0.015	0.006
Static power dissipation per (W/Lgate=3) device (Watts/Device) [12]	5.3E-11	1.0E-10	2.0E-10

White—Manufacturable Solutions Exist, and Are Being Optimized Yellow—Manufacturable Solutions are Known Red—Manufacturable Solutions are NOT Known



YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007
DRAM ½ PITCH (nm)	130	115	100	90	80	70	65
MPU / ASIC ½ PITCH (nm)	150	130	107	90	80	70	65
MPU PRINTED GATE LENGTH (nm)	90	75	65	53	45	40	35
MPU PHYSICAL GATE LENGTH (nm)	65	53	45	37	32	28	25
Physical gate length low-standby power (LSTP) (nm) [1]	90	75	65	53	45	37	32
Equivalent physical oxide thickness for LSTP T _{ox} (EOT) (nm) [2]	2.4-2.8	2.2-2.6	2.0-2.4	1.8–2.2	1.6-2.0	1.4-1.8	1.2-1.6
Electrical thickness adjustment factor (gate depletion and quantum effects) (nm) [3]	0.8	0.8	0.8	0.8	0.8	0.8	0.5
T _{ox} electrical equivalent (nm) [4]	3.4	3.2	3.0	2.8	2.6	2.4	1.9
Nominal LSTP power supply voltage (V _{dd}) (V) [5]	1.2	1.2	1.2	1.2	1.2	1.2	1.1
Nominal LSTP NMOS sub-threshold current (at 25°C) (pA/µm) [6]	1	1	1	1	1	1	1
Nominal LSTP NMOS saturation current drive (I _{dd}) (at V _{dd} , at 25°C) (mA/µm) [7]	300	300	400	400	400	400	500
Required percent current-drive "mobility/transconductance improvement" [8]	0%	0%	0%	0%	0%	0%	0%
LSTP NMOS device τ(C _{gate} * V _{dd} / Id-NMOS)(ps)[9]	4.61	4.41	2.96	2.68	2.51	2.32	1.81
LSTP relative device performance [10]	1.00	1.05	1.6	1.7	1.8	2.0	2.6
Energy per $(W/L_{gate}=3)$ device switching transition $(C_{gate}*(3*L_{gate})*V^2)$ (fJ/device) [11]	0.448	0.381	0.277	0.204	0.163	0.123	0.095
Static power dissipation per (W/L _{gate} =3) device (Watts/device) [12]	3.2E-13	2.9E-13	2.3E-13	1.9E-13	1.6E-13	1.3E-13	1.1E-13

 Table 36c
 Low Standby Power (LSTP) Technology Requirements—Near-term

 Table 36d
 Low Standby Power (LSTP) Technology Requirements—Long-term

YEAR OF PRODUCTION	2010	2013	2016
DRAM ½ PITCH (nm)	45	32	22
MPU/ASIC ^{1/2} PITCH (nm)	50	35	25
MPU PRINTED GATE LENGTH (nm)	25	18	13
MPU PHYSICAL GATE LENGTH (nm)	18	13	9
Physical gate length low-standby power (LSTP) (nm) [1]	22	16	11
Equivalent physical oxide thickness for LSTP T _{ox} (EOT) (nm) [2]	0.9-1.3	0.8-1.2	0.7-1.1
Electrical thickness adjustment factor (gate depletion and quantum effects) (nm) [3]	0.5	0.5	0.5
T _{ox} electrical equivalent (nm) [4]	1.6	1.5	1.4
Nominal LSTP power supply voltage (V _{dd}) (V) [5]	1	0.9	0.9
Nominal LSTP NMOS sub-threshold current (at 25°C) (pA/µm) [6]	3	7	10
Nominal LSTP NMOS saturation current drive (I _{dd}) (at V _{dd} , at 25°C) (mA/μm) [7]	500	600	700
Required percent current-drive "mobility/transconductance improvement" [8]	10%	30%	50%
LSTP NMOS device τ(C _{gate} * V _{dd} / Id-NMOS)(ps)[9]	1.43	0.91	0.66
LSTP relative device performance [10]	3.2	5.1	7.0
Energy per $(W/L_{gate}=3)$ device switching transition $(C_{gate}*(3*L_{gate})*V^2)$ $(fJ/device)$ [11]	0.047	0.024	0.014

Static power dissipation per (W/L_{gate}=3) device (Watts/device) [12]

2.0E-133.0E-133.0E-13

 White—Manufacturable
 Solutions
 Exist, and Are Being

 Optimized
 Yellow—Manufacturable
 Solutions are Known

 Red—Manufacturable
 Solutions are NOT Known
 Image: Solutions are NOT Known



表 36a~36d に対 する註

[1] ORTCで決められた値。高速トランジスタのスケーリングに対して2年遅れ。ゲート寸法の制御性はリソとFEPのITWGにより決められた。3 で±10%のばらつきを仮定。ゲート寸法ばらつきがデバイスパラメータに対して最も影響を与えると仮定している。LOP用とLSTP用のデバイスのゲート長は同じとしている。

[2] EOT は FEP ITWG で決められた値。黄/赤色は、ゲートリーク電流、膜厚制御性と信頼性の観点から FEP ITWG で決められた値(ハイ k ゲート絶縁膜は LSTP トランジスタのゲートリークを抑制するために 2005 年頃に必要になる)。LOP と LSTP の EOT は異なるシステムに使われるため、それぞれ独立に最適化されてきた。PIDS の 表の計算は EOT の中心値を使用。

[3] ゲート電極の空乏化と反転層での量子効果によるもの。黄色はポリシリコンへのドーピング量に対しての
 FEPの査定による。赤色は2007年のメタルゲート電極導入を反映(ゲート電極の空乏化を抑制)。

[4] EOT の中心値と電気的膜厚調整係数の和。性能指数、CV/Iと動的電力指数、CV²の計算に使用。赤 / 黄色は EOT のワーストケースと電気的膜厚調節係数の色によって決められた値。

[5] 回路動作の十分なノイズマージン(しきい電圧の約 2.3 倍)を確保するために必要なオーバードライブ電圧 を維持できる最小の電圧を、電源電圧の中心値にした。実際の電源電圧は、個々の応用によってやテクノロジ の最適化によって±10%程度の幅がある。LOP と LSTP の電源電圧は、異なるシステムに使われるため、それぞ れ独立に最適化されてきた。システム全体の消費電力要求を満たすために、種々な回路ブロックを休止させた り電源を落とすなどの回路やシステムの技術が要求される。

[6] サブスレショルドリーク電流は、室温でドレイン電圧を電源電圧の中心値にし、ゲート、ソース、基板のバイアスを 0V にした時の、NMOSFET のソース電流である。NMOS のオフ状態の全電流は、室温における NMOSFET のドレイン電流であり、それはサブスレショルドリーク電流、ゲートリーク電流、接合リーク電流の和に等しい。サブスレショルドリーク電流は、室温 および昇温された状態で、ゲートリーク電流や接合リーク電流よりも大きいと仮定されている。サブスレショルド電流の増大(そして相当するしきい電圧の低下)は、高速トランジスタの増加率と比べて緩やかだが、しかしこれまでのスケーリングによる性能改善率を維持できるように決められている。オフリーク電流による消費電力が全チップパワーの 10%を越えないように設定し、LOP では 2001 年に 100mW、2010 年では 200mW。LOP の 2003 年と 2004 年の黄色は、酸窒化膜を用いた場合、ゲートリーク電流のために要求を満たすことが難しいからである。2005 年の赤色はゲートリーク電流の要求を満たすためのハイトゲート絶縁膜導入の難しさを反映している。上記のサブスレショルドリーク、ゲートリーク、接合リークのスケーリングシナリオはPMOS にもあてはまる。

[7] 飽和電流の中心値は、室温でゲートとドレインを電源電圧の中心値にセットした時のドレイン電流である。 全ての MOSFET の寸法は、それぞれの中心値あるいは目標値を想定している。PMOS の飽和電流は NMOS のそれの 40-50%を想定している。2010 年からの黄 / 赤色は、これまでのスケーリングによる年率で約 14%の CV/Iの向上を維持するために、飽和電流(あるいは gm / 移動度)の向上の必要性を表わしている。NMOS お よび PMOS の飽和電流の目標値は有効数字 1.5 桁の精度である。サブスレショルドスロープ、寄生ソース / ドレ イン抵抗、寄生ゲート容量などのスケーリングは高速トランジスタの場合と同様である。 [8] これまでのスケーリングによる年率で約 14%の CV/Iの向上を維持するために、2010 年までに基本的な移動 度の向上が必要とされている。黄 / 赤色は 2010 年における飽和電流 (gm/移動度)の増大の実現と、それ以 降の継続性の難しさのためである。LOPとLSTPの要求される性能向上率は高性能デバイスと比べて緩やかで ある。

[9] NMOSの真性遅延 = CV/I。PMOSのCV/Iも同様にスケールされることを仮定。CV/Iはデバイスの真性の スイッチング遅延を表わしている。一方、CV/Iの逆数である 1/ は、デバイスの真性のスイッチング速度を表わ す指標。赤/黄色は飽和電流の場合と一致。Cには高速トランジスタの値と同様の寄生ゲート容量を含む。

[10] 2001 年の値で規格化した NMOS の 1/ 。これまでのスケーリングによる年率で約 14%の CV/I の向上を、 LOP および LSTP に対して維持している。赤 / 黄色は飽和電流の場合に一致。

[11] デバイス寸法がゲート幅 / ゲート長=3 の場合の、NMOS のスイッチング電力、CV²。スイッチング電力はデ バイスをスイッチするのに必要な動的な電力である。赤 / 黄色は飽和電流の場合に一致。

[12] デバイス寸法がゲート幅 / ゲート長=3の場合の、NMOSの静的な消費電力。静的消費電力はサブスレショルド電流で決まると仮定(他の接合リークやゲートリーク電流はもっと小さいと仮定)。赤/黄色はサブスレショルドリーク電流から決められている。

DRAM に対する技術的要求

DRAM に対する技術的要求は、スケーリングとともにますます厳しくなると予想されている。なか でも、2003 年に量産される予定の DRAM ハーフピッチ 100nm で使用される 193nm の波長対応 のフォトレジストは、対エッチング耐性および選択性に大きな難しさがある。これらは、キャパシタ形 成工程・高アスペクトコンタクト加工工程での長いエッチング時間に対しフォトレジストが十分な耐 性を必要とされるため、トレンチやスタックキャパシタ構造におけるプロセス上の重大な問題を引き 起こすと考えられる。さらに、周辺 CMOS 回路素子のスケーリングに従い、特に素子形成後のプロ セスでは低温プロセス工程が必要とされる。これは CMOS 素子が形成された後での低温プロセス が必要なスタック DRAM セルでの大きな課題となる。さらに、セルアレーの平面構造のアクセストラ ンジスタは、データ保持特性を満足するために、低レベルのサプスレショルドリーク電流と低レベル の拡散層リーク電流が必要であるため、ますます設計が困難となってきている。これらの問題に対 し縦型トランジスタが提案されている^[1]。しかし、まだそれは量産レベルには至っていない。他の DRAM に対するプロセス要求として、前工程プロセスでの素子分離技術、低抵抗のワード線やビ ット線の低抵抗材料、自己整合の高アスペクトの加工技術、そして平坦化技術等が将来の高密 度 DRAM には必要である。

DRAM のセルキャパシタはスケーリングとともに微細化され、キャパシタ絶縁膜の実効酸化膜換 算膜厚(ETO)は、セルに必要な電荷量を維持するために急激にスケーリングされなければならな い。表37aおよびb中で見積られている様に、EOTをスケーリングするには、高い比誘電率(k)を 持つ誘電体が必要となるであろう。DRAMメーカの中には、130nm以下のノード対応としてTa2O5 やAI2O3を使ったMIS(Metal Insulator Semiconductor)を追求している所もある。2004年の90 nm以下のノードでは、MIM(Metal Insulator Metal)構造および高い誘電率を持つ材料が要求 されるであろう。結果として、2007年の65nmノードでは、非常に高いたとえば100を超える高いk 値を有する材料が要求されるだろう。結局、十分なセル電荷量の確保を実現するには、DRAMの継続的なスケーリングのためにますます困難な要求をもち出すことになるであろう。

- - (引用文献)

[1] C. J. Radens et al., "An Orthogonal 6F2 Trench-Sidewall Vertical Device Cell for 4Gb/16Gb DRAM," IEDM tech. Digest, pp. 349-352, 2000.

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007
DRAM 1/2 Pitch (nm)[1]	130	115	100	90	80	70	65
MPU / ASIC ½ PITCH (nm)	150	130	107	90	80	70	65
MPU PRINTED GATE LENGTH (nm)	90	75	65	53	45	40	35
MPU PHYSICAL GATE LENGTH (nm)	65	53	45	37	32	28	25
DRAM cell size (μm^2) [2]	0.135	0.106	0.060	0.049	0.038	0.029	0.025
DRAM storage cell dielectric: equivalent physical oxide thickness, EOT (nm) [3]	2.04	1.80	1.20	1.00	0.45	0.32	0.22
DRAM retention time (ms) [4]	64	64	64	64	64	64	64
DRAM soft error rate (fits) [5]	1000	1000	1000	1000	1000	1000	1000

Table 37a DRAM Technology Requirements—Near-term

Table 37b DRAM Technology Requirements—Long-term

YEAR OF PRODUCTION	2010	2013	2016
DRAM ½ PITCH (nm) [1]	45	32	22
MPU/ASIC ½ PITCH (nm)	50	35	25
MPU PRINTED GATE LENGTH (nm)	25	18	13
MPU PHYSICAL GATE LENGTH (nm)	18	13	9
DRAM cell size (µm ²) [2]	0.0122	0.0041	0.0019
DRAM storage cell dielectric: equivalent physical oxide thickness, EOT (nm) [3]	0.084	0.028	0.010
DRAM retention time (ms) [4]	64	64	64
DRAM soft error rate (fits) [5]	1000	1000	1000

White-Manufacturable Solutions Exist, and Are Being Optimized Yellow-Manufacturable Solutions are Known

Red-Manufacturable Solutions are NOT Known



表 3 7 a と 3 7 b に 対 す る 註

[1] ORTC(Overall Roadmap Technology Characteristics)表 1a および1bに基づく。DRAM のハーフピッチ は、1999 年以降の開発の開発加速を反映させた結果、2000 年版の数値より小さくなっている。

[2] DRAM のセル・サイズは前 工程 (FEP)の章 で詳 細 に議 論されているように DRAM のビット容 量とチップサイズ から決定されている。前工程(FEP)の章で使われているビット容量は ORTC 表1aおよび1bに基づいている。前 工程 (FEP)の章の DRAM のビット容量とチップサイズは大変積極的であるので、セル・サイズも積極的にスケー リングされるとしている。困難な点は、セルサイズファクター "a" (=セル・サイズ / F²)(Fは DRAM のハーフピッチ) の縮小にあるだろう。" a"の値として 130nm ノードでは"8"が、100nm ノードでは"6"が 32nm ノードでは"4"が必 要となる。" a"の値 "8"は現在の技術で達成可能であるが、"6"は黄色の領域で示されているように革新的な技 術が必要となるであろう。"4"については 32nm ノード以降の対応として必要であるが赤の領域で示されている様 に解は知られていない。

[3] キャパシタ実効酸化膜換算膜厚(ETO)は、前工程(FEP)の章で詳細に議論されているように、DRAMのビ ット容量とチップサイズに対応する値によって決定される。前工程の章で使用されているビット数とチップは ORTC表 1a および 1b から引用している。前工程の DRAM キャパシティーおよびチップサイズの値が非常に積 極的 であるため、EOT も積極的 にスケーリングされるにちがいない。130 nm から 90 nm ノードに対してキャパシタ

の絶縁材料は、MIS構造の AI2O3 あるいは Ta2O5 が基本となる。そのため、色は白となっている。90 nm 以下 のノードに対しては、MIM 構造やより高い比誘電率材料が必要なため、色は黄色である。65 nm およびそれ以 下ノードのために実証された確かな既知の解決策はない。従って、色は赤としている。それぞれの世代に対して 実際の EOT は、さらにセル高さ、3D構造、膜中漏れ電流、コンタクト構造のような他の要因に依存する。一方、 トレンキャパシタについては、セル誘電体にたいして異なる条件が必要となる。

[4] 保持時間は85 で定義され、メモリのデータを列アドレスによるリフレッシュをせずに正確に読み取ることができる最小の時間である。ここに指定された64msはPC適用のために必要とされる値である。保持時間は、素子のリーク電流、信号強度、センス回路の感度の相互作用に依存し、さらにオペレーション周波数および温度に依存する。

[5] これは典型的なFIT割合で、サイクル期間、およびセル・コンデンサおよびセンス回路の性能に依存する。

不揮発性メモリに対する技術的要求

不揮発性メモリ(NVM)はプロセスおよび構造設計に追加の制約を与える。通常、不揮発性の 要素は確立しているCMOSプロセスに付加される。その結果、NVMが出現する時間軸は、先端 CMOS技術ノードの時期より遅れる。遅れの程度を明確にするために、表38には現在のCMOSノ ードの各種寸法とNVMノードの各種寸法が示されている。フラッシュ技術については、その遅れは およそ1年、FeRAM技術については、もっと大きな遅れとなっている。フラッシュのスケーリングは、 高電圧回路が必要なNVM構造が低電圧で動作するCMOS路に組込まれなくてはいけないことか ら複雑になっている。不揮発性は、フローティング・ゲートに電荷を蓄積すること、そしてセンスする ことにより達成される。インターポリ絶縁膜は、トンネル絶縁膜に書き込みまたは消去パルスを印加 できる適切なカップリング比を維持できるように、トンネル絶縁膜とともにスケーリングされるに違い ない。トンネル絶縁膜はフローティング・ゲートへの電荷の注入を可能とするよう薄膜化されており、 ー方読み取り中にあるいは読み出し時あるいはオフモード時の電荷の漏れを回避するに十分な 膜厚としている。

FeRAMのスケーリングは、電極およびバリア材料やプロセス条件の最適化が進行中のため、複雑になっている。不揮発性は、強誘電体キャパシタの分極状態を切り替え、読み取ることにより達成される。強誘電体材料は、基礎をなすCMOSから物理的に化学的に分離される。目標の密度のゴールを達成するために、保持データの分離が維持される範囲で基本的なセルの幾何学的な配置は修正される必要がある。

耐久性(ライトイレイズ・サイクルまたはリードライト・サイクル)の規格およびデータ保持の規格は NVMに特有である。これら信頼性の度合いを示すパラメータは、その製品が最終顧客にとって価値のあるものかどうかを規定している。製品の正常な動作中に加わるストレスは、製品の劣化を引き起こすかもしれない。そのため耐久性とデータ保持の規格は、安全な使用範囲を示している。 注意深い不良メカニズムの理解が非常に重要である。耐久性とデータ保持を確認するためのテストには長い時間が必要で、技術の発展にとっての重大な障害となる。

14010 200 1100 10141110	in entery	10011101	087 109		5 11001	101111	
YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007
DRAM ½ Pitch (nm)	130	115	100	90	80	70	65
MPU / ASIC ½ Pitch (nm)	150	130	107	90	80	70	65
MPU Printed Gate Length (nm)	90	75	65	53	45	40	35
MPU Physical Gate Length (nm)	65	53	45	37	32	28	25
Flash technology node – F (nm) [1]	150	130	115	100	90	80	70
Flash NOR cell size –area factor a in multiples of F ² [2]	10-12	10-12	10-12	11-14	11-14	11-14	11-14
Flash NAND cell size –area factor a in multiples of F ² SLC/MLC [3]	5.5	5.5	4.5	4.5	4.5	4.5/2.3	4.5/2.3
Flash NOR typical cell size (μm^2) [4]	0.248	0.186	0.145	0.125	0.101	0.080	0.061
Flash NOR Lg-stack (physical- μm) [5]	0.29-0.3 1	0.25-0.2 7	0.22-0.2	0.21-0.2 3	0.2-0.22	0.2-0.22	0.19-0.2 1
Flash NOR highest W/E voltage (V) [6]	8-10	8-10	8-10	8-10	7-9	7-9	7-9
Flash NAND highest W/E voltage (V) [7]	19-21	18-20	18-20	18-20	18-20	17-19	17-19
Flash NOR I _{read} (µA) [8]	36-44	35-43	34-42	33-41	31-39	28-36	29-37
Flash Coupling Ratio [9]	0.65-0.7 5	0.65-0.7 5	0.65-0.7 5	0.65-0.7 5	0.65-0.7 5	0.65-0.7 5	0.6-0.7
Flash NOR tunnel oxide thickness (nm) [10]	9.5-10.5	9.5-10	9–10	9–10	8.5-9.5	8.5-9.5	8.5-9.5
Flash NAND tunnel oxide thickness (nm) [11]	8.5-9.5	8.5-9	8-9	8-9	8-9	7.5-8	7.5-8
Flash NOR interpoly dielectric thickness (nm) [12]	13–15	12-14	11–13	11–13	10-12	9–11	9–11
Flash NAND interpoly dielectric thickness (nm) [13]	14-16	13-15	12-14	12-14	12-14	11–13	10-12
Flash endurance (erase/write cycles) [14]	1E5						
Flash nonvolatile data retention (years) [15]	10	10-20	10-20	10-20	10-20	10-20	10-20
Flash maximum number of bits per cell (MLC) [16]	2	2	4	4	4	4	4
FeRAM technology node - F (nm) [17]	500	350	250	220	180	150	130
FeRAM cell size —area factor a in multiples of F^2 [18]	60	40	24	16	10	10	10
FeRAM cell size (μm^2) [19]	15	4.9	1.5	0.518	0.324	0.225	0.169
FeRAM cell structure [20]	2T2C	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C
FeRAM capacitor structure [21]	planar	planar	stack	stack	stack	stack	3 D
Ferro capacitor voltage (V) [22]	3.0	3.0	2.5	1.8	1.5	1.3	1.2
FeRAM endurance (read/write cycles) [23]	1E12	1E13	1E14	1E15	>1E16	>1E16	>1E16
FeRAM nonvolatile data retention (years) [24]	10	10	10	10	10	10	10

 Table 38a
 Non-Volatile Memory Technology Requirements—Near-term

White-Manufacturable Solutions Exist, and Are Being Optimized Yellow—Manufacturable Solutions are Known



Red-Manufacturable Solutions are NOT Known

YEAR OF PRODUCTION	2010	2013	2016
DRAM ½ PITCH (nm)	45	32	22
MPU/ASIC ^{1/2} PITCH (nm)	50	35	25
MPU PRINTED GATE LENGTH (nm)	25	18	13
MPU PHYSICAL GATE LENGTH (nm)	18	13	9
Flash technology node - F (nm) [1]	50	35	25
Flash NOR cell size –area factor a in multiples of F ² [2]	12-15	13-16	14-17
Flash NAND cell size –area factor a in multiples of F ² SLC/MLC [3]	4.5/2.3	4.5/2.3	4.5/2.3
Flash NOR typical cell size (μm^2) [4]	0.034	0.018	0.010
Flash NOR Lg-stack (physical- μm) [5]	0.17-0.1	0.14-0.1	0.12-0.1
	9	6	4
Flash NOR highest W/E voltage (V) [6]	7-9	7-9	7-9
Flash NAND highest W/E voltage (V) [7]	17-19	16-18	16-18
Flash NOR I_read (µA) [8]	27-33	25-31	22-28
Flash Coupling Ratio [9]	0.6-0.7	0.6-0.7	0.6-0.7
Flash NOR tunnel oxide thickness (nm) [10]	8-9	8	8
Flash NAND tunnel oxide thickness (nm) [11]	6-7	6-7	6-7
Flash NOR interpoly dielectric thickness (nm) [12]	8-10	6-8	4-6
Flash NAND interpoly dielectric thickness (nm) [13]	10-12	9-11	9-11
Flash endurance (erase/write cycles) [14]	1E6	1E6	1E7
Flash nonvolatile data retention (years) [15]	10-20	20	20
Flash maximum number of bits per cell (MLC) [16]	8	8	8
FeRAM technology node - F (nm) [17]	100	70	50
FeRAM cell size –area factor a in multiples of F ² [18]	8	8	8
FeRAM cell size (µm ²) [19]	0.080	0.039	0.020
FeRAM cell structure [20]	1T1C	1T1C	1T1C
FeRAM capacitor structure [21]	3 D	3 D	3 D
Ferro capacitor voltage (V) [22]	1.0	0.7	0.7
FeRAM endurance (read/write cycles) [23]	>1E16	>1E16	>1E16
FeRAM nonvolatile data retention (years) [24]	10	10	10

Table 38b Non-Volatile Memory Technology Requirements—Long-term

White—Manufacturable Solutions Exist, and Are Being Optimized Yellow—Manufacturable Solutions are Known Red—Manufacturable Solutions are NOT Known

表38aと38bに対する註

[1] フラッシュは、現在のCMOS技術ノードに1年程遅れる傾向がある。表中の数値は設計で使われるF値を示している。

[2] フラッシュNORセル・サイズは、技術ノードのF²を用いて、a=セル・エリア/F²で示されている。ロングタームで はスケーリングが不充分であることに注意。

[3] a=セル·エリア/F²。セル構造の多くの部分が1つのセルグループで共有されているので、フラッシュNANDは

より小さなセル・サイズとなっている。(SLC:単レベルのセル、MLC:多レベルのセル)

- [4] 典型的な予期されるNORセル・サイズはマイクロメートルで示されている。
- [5] これはフラッシュNORのコントロール・ゲートの物理的な長さである。

[6、7] これはセル配列の中で使われる最高電圧である。通常外部供給電源ではない。

[8] 縮小割合はオーバードライブ電圧を縮小するためW/(L*Cox)より高くなっている。

[9] 比率: (フローティング・ゲート容量に対するコントロール・ゲート容量)/(ソース、ドレイン、基板容量に対する
 総フローティング容量)

[10、11] トンネル酸化 膜 はデータ保持を保証できるように十分に厚くなければならないが、読み書きを容易にするために十分薄くなければならない。この難問はスケーリングを妨げることになる。

[12、13] インターポリ絶縁膜はデータ保持を保証するために十分に厚くなければならないが、一定のカップリング比率を保証するために十分薄い必要がある。データの保持特性はスケーリングに対し重大な問題となる。

[14] E/W耐久性の必要条件は応用の仕様に応じて変わる。しかし1E5サイクルは、これまでの経緯から、製品のために可能な最小の許容レベルとして受け入れられている。今後の革新的な技術は、製品設計要求オプションとして規定された耐久性能の向上とデータ保持耐久性のトレードオフを可能にすると期待される。

[15] データ保持特性はデバイス固有の特性ではなく欠陥に関連するパラメーターである。デバイスの発展および欠陥コントロールの改良により20年のデータ保持仕様が実現されると期待される。さらに、E/W耐性を向上するトレードオフとして、データ保持特性を低減することも受け入れられるかもしれない。

[16] セルの読み取りでは、2ビットを提供するために、4レベルの電荷の蓄積を識別している。16および256レベルまで改善しうることが予想される。(MLCの多レベルのセル)

[17] FeRAMは、CMOSの技術ノードに大きく遅れる傾向がある。この表中の数値は設計で使われるF値を示している。

[18] FeRAMセル・サイズは、FeRAMに適用する技術ノードのF²を用いて、a=セル・エリア/F²で示される。

[19] FeRAMセル・サイズは2乗されたマイクロメートルで示される。

[20、21] 典型的なセル設計は1T/1Cに移っている。強誘電体材料の選択、コンデンサの幾何学的配置、およびトランジスタに対する位置は、セル・サイズ達成を可能にするための複雑に絡み合った設計上の課題である。

[22]低電圧オペレーションは困難ではあるが重要な設計問題である。

[23] FeRAMがDRAMとSRAMと競争するには、サイクル耐久性は1E15となるべきである。テスト時間は重大な問題である。100 MHzで10年動作すると、1E16サイクルであることに注意。

[24] 電源 off 状態でのデータ保持は、通常 85 で指定される。

ミックストシグナル・デバイスに対する技術的要求

ロジックやRFは、ミックストシグナル回路を持つより高度な集積化に向かうとの予測トレンドに従って進展し、新しい応用分野の実現が図られてきた。一定の割合で増加してきたデジタル信号処理性能は、デジタル分野においてより多くの信号処理が行えるように向上してきた。加えて、より高い電圧に適合させるためにロジックに複数のゲート酸化膜を使うことで、チップ外部とのインタフェースおよびミックストシグナルに対する信号 / 雑音の要求を満足させてきた(RFのマッチングや1/f 雑音性能を犠牲にはするが)。加えて過去数年の CMOS ロードマップの加速は、ロジックプロセスに RF を混載する可能性に拍車をかけてきた。これまでと同様に、1/f 雑音、受動素子密度、デバイスのマッチングに焦点を当てつづけることは、パワーと面積効率に対しいっそう厳しくなる要求を満足させる上で、避けて通ることはできない。集積度の増大から浮かび上がる課題は、RF デバイスのモデリングと静電破壊に対する保護対策とともに考えられるべきである。

製造技術を特定の SoC アーキテクチャへ適合させるために、性能とコストを考慮してプロセスの

モジュール化を促進し続けることになる。しかしながら、集積化目標を達成するために、より高精度 を必要とするミックストシグナルおよび(あるいは)RFトランジスタに対する要求は、製造プロセスの 複雑さが増すことを余儀なくさせるであろう。CMOS 技術は、バイポーラプロセスおよび Si や SiGe ベースの BiCMOS プロセスを犠牲にしても、ミックストシグナル分野において重要性を増すと考えら れている。これは特に、低電力において高線形性・高速動作・低雑音を必要とする高性能応用 分野において顕著である。この優位性は、バイポーラの持つ固有の性質からきている。RF 用バイ ポーラはスケーリングされないが、注意深く最適化されており、しかも増幅・雑音・マッチングに対し て有利である。それと対比して、CMOS RF デバイスは、基準ロジックプロセスからできており、極め て良好な周波数特性を有しているが、それ以外のパラメータは改善されているものの性能的に劣 っている。これら平行して進歩を続ける技術トレンドは、性能比較ができるように CMOS デバイスと バイポーラデバイスのパラメータを要求ごとに分けたミックストシグナルの表として示されている。図3 9a,b を参照。

YEAR OF PRODUCTION	0	2001	2002	2003	2004	2005	2.006	2007	OWNER
DRAM ^{1/2} PITCH (nm)		130	115	100	90	80	70	65	ORTC
MPU / ASIC 1/2 PITCH	(nm)	150	130	107	90	80	70	65	ORTC
MPU PRINTED GATE L	ENGTH (nm)	90	75	65	53	45	40	35	ORTC
MPU PHYSICAL GATE	LENGTH (nm)	65	53	45	37	32	28	25	ORTC
ASIC/Low Power Phys	sical Gate Length (nm) [1]	90	75	65	53	45	37	32	ORTC
Minimum Suppl Voltage	^y Digital Design (V)[2]	1.2	1.1	1.0	1.0	0.9	0.9	0.7	PIDS
÷	Analog Design (V) [3]	3.3	-1.8			2.5-1.8			DESIGN
Frequency Range	RF(GHz)[4]		0.5-10			0.5-20		0.5-30	PIDS
	Analog (GHz)[5]		0.1-2			0.1-4		0.1-6	PIDS
Bipolar RF Device	Current (μA) [6]	100	100	75	75	75	50	50	PIDS
	fmax (GHz) [7]	90	100	110	120	130	140	160	PIDS
	ft (GHz) * [8]	45	50	55	60	65	70	80	PIDS
	Gm/Gce@we-min ** [9]	1250	1250	1200	1200	1200	1150	1150	PIDS
	1/f Noise (μV ·μm / Hz) [10]	10	10	5	5	5	2.5	2.5	PIDS
Bipolar Analo Device	^g Current (µA) [11]	65	60	55	50	45	40	35	PIDS
	$1/f$ Noise $(\mu V^2 \cdot \mu m^2 / Hz)[12]$	10	10	5	5	5	3	3	PIDS
	3σ current matching (%) [13]	1	1	1	1	1	1	1	PIDS
NMOS RF Device	$T_{ox}(nm) [14]$	1.3–1. 6	1.2–1. 5	1.1–1. 6	0.9-1. 4	0.8-1. 3	0.7-1. 2	0.6-1. 1	PIDS
	fmax (GHz) [15]	160	165	170	175	180	185	190	DESIGN
	ft (GHz) *** [16]	132	149	183	225	264	322	372	PIDS
	Gm / Gds @Lmin-digital	20	20	20	20	20	20	20	DESIGN
	@10·Lmin-digital	100	100	100	100	100	100	100	Design
	[10]	500	500	200	200	200	200	200	DESIGN
	$1/f$ Noise ($\mu V \cdot \mu m / Hz$) [19]	500	500	300	300	300	200	200	DESIGN
	$3\sigma V_t$ matching (mV· μ m) [20]	5	5	5	5	4	4	3	DESIGN
NMOS Analog Device	$T_{ox}(nm) [21]$	7-2.5	7-2.5	5-2.5	5-2.5	5-2.5	5-2.5	5-2.5	PIDS
	Analog V. (V) [22]	0.5-0.	0.5-0.	0.5-0.	0.5-0.	0.4-0.	0.4-0.	0.4-0.	DESIGN
		3	2	2	2	2	2	2	
	Gm / Gds @10.1min_digital[23]	200	200	200	200	200	200	200	DESIGN
	$\frac{1}{1} \int \frac{1}{1} \int \frac{1}$	1000	500	500	500	300	300	300	DESIGN
	$3\sigma V_{\star}$ matching $(mV_{\star}um)[25]$	21	21	15	15	15	15	15	DESIGN
Analog Capacitor	$\frac{Density(fF/\mu m^2)}{Density(fF/\mu m^2)}$	2	3	3	3	4	4	4	DESIGN
androg cupaction	$O(1/kO^2)$ m^2 CH_2 (27)	200	300	300	300	450	450	450	DESIGN
	$Q(17, K32, \mu m, G112) [27]$	100	100	100	100	400	400	400	DESIGN
	voltage linearity (ppm / V) [28]		100	100	700	100	100	100	DESIGN
	Leakage $(JA / [pF \cdot V])[29]$	\				25	25	~~-	DESIGN
	<u>3σ Matching (%·μm⁻)[30]</u>	4.5	3	3	3	2.5	2.5	2.5	DESIGN
RF Bypass Capacitor	Density $(fF/\mu m^2)[31]$	7	7.5	8	9	10	11	12	PIDS
	$Q (1 / k\Omega^2 \cdot \mu m^2 \cdot GHz) [32]$	22	25	27	29	30	30	30	PIDS
	Voltage linearity (ppm / V) [33]	1000	1000	1000	1000	1000	1000	1000	PIDS
Resistor	Resistance ($\Omega/sq.$)[34]	100	100	100	100	100	100	100	DESIGN

 Table 39a
 Mixed-signal Device Technology Requirements—Near-term

	Q (kΩ ² ·μm ² ·GHz)[35] Temp. linearity (ppm / °C)[36] 3σ Matching (%·μm) [37]	1000 60 9	1500 60 8	1500 50 8	1500 50 8	2000 50 7	2000 40 7	2000 40 7	DESIGN DESIGN DESIGN
	1/f current noise per current ² $(1 / [\mu m^2 \cdot Hz])$ [38]	10 ⁻¹⁸	DESIGN						
Inductor	Density $(nH/\mu m^2)[39]$	0.03	0.03	0.03	0.03	0.03	0.03	0.03	DESIGN
	Q_{3dB} [40]	12	15	17	18	19	20	20	Design
Signal Isolation *****	Transmission coefficient S21 (dB) [41]	-100	-100	-100	-100	-120	-120	-120	PIDS

* 応用分野[4]の周波数範囲に対し最適化された値で、RF-CMOSで可能な最大値[15,16]ではない。

** バイポーラデバイスの電 圧利 得としての仮の評 価 尺 度 (註参 照)。 CMOS トランジスタの Gm/Gds[17]に対し

1:1で比較するために付加。

*** ASIC/LPの物理的ゲート長[1]により決定される値であり、バイポーラデバイスと対比させた。

**** 単なる参照。信号の分離性能は雑音回避と雑音抑制に依存し、設計と技術にかかわる。

 White—Manufacturable
 Solutions
 Exist, and Are Being

 Optimized
 Yellow—Manufacturable
 Solutions are Known

 Red—Manufacturable
 Solutions are NOT Known
 Image: Solutions are NOT Known

Table 20h	Mined aional	Daniaa	Tachardaan	Doguinomon	ta Iana tann
Table 590	wittea-signat	Device	rechnology	Keauremen	us—Long-lerm
100000000		201100	100.00000	1.0000000000000000000000000000000000000	

YEAR OF PRODUCTION		2010	2013	2016	OWNER
DRAM ¹ / ₂ PITCH (nm)		45	32	22	ORTC
MPU / ASIC 1/2 PITCH	(<i>nm</i>)	50	35	25	ORTC
MPU PRINTED GATE LE	NGTH (nm)	25	18	13	ORTC
MPU PHYSICAL GATE L	ENGTH (nm)	18	13	9	ORTC
ASIC/Low Power Physi	cal Gate Length (nm) [1]	22	16	11	ORTC
Minimum Suppl Voltage	^{ly} Digital Design (V) [2]	0.6	0.5	0.4	PIDS
-	Analog Design (V) [3]	1.8-1	1.0	1.5-1.0	DESIGN
Frequency Range	RF (GHz)[4]	0.5-50	0.5-75	0.5-100	PIDS
	Analog (GHz)[5]	0.1-10	0.1-15	0.1-20	PIDS
Bipolar RF Device	Current (µA) [6]	50	50	50	PIDS
	fmax (GHz) [7]	190	220	250	PIDS
	ft (GHz) * [8]	95	110	125	PIDS
	Gm / Gce @We-min ** [9]	1100	1050	1000	PIDS
	$1/f$ Noise $(\mu V^2 \cdot \mu m^2 / Hz)$ [10]	1.3	0.7	0.4	PIDS
Bipolar Analog Device	Current $(\mu A) \begin{bmatrix} 11 \\ 2 \end{bmatrix}^2$	30	20	15	PIDS
	$1/f$ Noise $(\mu V^2 \cdot \mu m^2 / Hz)$ [12]	1.3	0.7	0.4	PIDS
	3σ current matching (%) [13]	1	1	1	PIDS
NMOS RF Device	$T_{ox} (nm) [14]$	0.5-0.8	0.4-0.6	0.4-0.5	PIDS
	fmax (GHz) [15]	200-230	230-260	260-290	DESIGN
	ft (GHz) *** [16]	541	744	1082	PIDS
	Gm / Gds @Lmin-digital [17]	20	20	20	DESIGN
	@10·Lmin-digital [18]	100	100	100	DESIGN
	$1/f$ Noise $(\mu V^2 \cdot \mu m^2 / H_7)$ [19]	150	100	75	DESIGN
	$3\sigma V_{\star}$ matching (mV·um) [20]	3	2.5	2.5	DESIGN
NMOS Analog Device	$T_{ox}(nm)$ [21]	3-1.3	3-1.3	2.5-1.3	PIDS
0	$Analog V_{A} \langle V \rangle [22]$	0.3-0.1	0.3-0.1	0.2-0.1	DESIGN
	Gm / Gds @10.Lmin-digital	200	200	200	DESIGN
	$\begin{bmatrix} 23 \end{bmatrix}$	450	400	400	Dravay
	$1/f$ Noise ($\mu V \cdot \mu m$ / Hz) [24]	150	100	100	DESIGN
	$3\sigma V_{th}$ matching (mV·µm) [25]	9	9	7.5	DESIGN
Analog Capacitor	Density $(fF/\mu m^2)$ [26]	7	10	15	DESIGN
	$Q (1 / k\Omega^2 \cdot \mu m^2 \cdot GHz) [27]$	700	1000	1500	DESIGN
	Voltage linearity (ppm / V ²) [28]	100	100	100	DESIGN
	Leakage (fA / [pF·V]) [29]	7	7	7	DESIGN
	3σ Matching (%·μm ²) [30]	2	1.5	1	DESIGN
RF Bypass Capacitor	Density $(fF/\mu m^2)$ [31]	17	20	23	PIDS
	$Q (1 / k\Omega^2 \cdot \mu m^2 \cdot GHz) [32]$	35	40	40	PIDS

	Voltage linearity (ppm / V) [33]	1000	1000	1000	PIDS
Resistor	Resistance (Ω /) [34]	100	100	100	DESIGN
	$Q(k\Omega^2 \cdot \mu m^2 \cdot GHz)$ [35]	3000	4500	6000	DESIGN
	Temp. linearity (ppm / °C) [36]	30	30	30	DESIGN
	3σ Matching (%· μ m) [37]	6	6	6	DESIGN
	$1/f \ current \ noise \ per \ current^{2}$ $(1 / [\mu m^{2} \cdot Hz]) \ [38]$	4×10 ⁻¹⁹	3×10 ⁻¹⁹	2×10 ⁻¹⁹	DESIGN
Inductor	Density (nH/µm ²) [39]	0.025	0.02	0.01	DESIGN
	Q_{3dB} [40]	30	40	50	DESIGN
Signal Isolation	Transmission coefficient S21 (dB) [41]	-120	-120	-120	PIDS

* 応用分野[4]の周波数範囲に対し最適化された値で、RF-CMOSで可能な最大値[15,16]ではない。

** バイポーラデバイスの電圧利得としての仮の評価尺度で、CMOS トランジスタの Gm/Gds[17]に対し1:1で 比較するために付加。

*** ASIC/LP の物理的ゲート長[1]により決定される値であり、バイポーラデバイスと対比させた。

**** 単なる参照。信号の分離性能は雑音回避と雑音抑制に依存。



表 39a と 39b に対する註

[1] ORTC 表 1a,b に示される各テクノロジ・ノードに対し、最初にデジタル製品が現れる年。それぞれのノードに おいて主要技術に対するリソグラフィを牽引するものは、ORTC 図表に示されている。同じ技術における最初の RF・ミックストシグナル製品が現れる年は、一世代ほど遅れる。

[2] 高性能 (HP)ロードマップにおける供給電圧 Vdd。 RF CMOS データと比較 するために再度示した。

[3] アナログの供給電圧は、デジタルに比べ2世代あるいはそれ以上遅れると予想される。デジタルに比べて高い電圧分は、信号振幅を小さくすることで電力消費が過剰になるのを回避するために必要となる。アナログ CMOS の設計では、厚いゲート酸化膜と低 Vt(しきい値電圧)技術を使うことになるだろう。アナログにおける低 電圧化のトレンドは、デジタル I/O の遅れた互換性トレンドにひきずられて遅れるだろう。

[4] 高い周波数帯は高性能要求を牽引するとことになるが、ロードマップの存続期間中は低周波数帯への応用が引き続き行われることになる。(低周波数帯は、「時代遅れ」ではなく使用され続けることになるであろう。)

[5] 一般目的(たとえば DSP、オーディオ/ビデオ、ADC など)のアナログ周波数のトレンドは、RF のトレンドに並行して推移する。非常にきれいでジッタのないクロックの発生が必要とされる。

[6] コレクタ電流 Ic の絶対値で、この値を得るには主要なバイポーラ RFトランジスタのパラメータが要求される。 低電力化のトレンドを反映して、スケーリングは一定電流密度における面積の減少に第一に起因する。このバ イポーラ RF デバイス項における色付けの決定には、低電流における主要パラメータを得ることの困難さが反映さ れている。

[7] 送受信周波数の約5~10倍になるという「経験則」を仮定。これは、寄生素子とレイアウトに依存する非本質的なデバイス・パラメータである。

[8] f_t が f_{MAX}の進歩に大体において追随すると仮定。これは、応用装置に適合するように最適化された全ての 他パラメータとともに本質的なデバイスパラメータである。

[9] 最小エミッタ面積におけるバイポーラ RF トランジスタの電圧利得の尺度。G_m~ql_c/kT および 1/R_{on}=G_{ce}~

 I_c/V_{Early} 、一次近似として、 G_m/G_{ce} は $V_{Early}/(kT/q)$ に等しく、[6]項に記述したコレクタ電流によらない。 f_t/f_{max} とはトレードオフになる。全ノードに対して SiGe 技術を用いることを仮定。CMOS の最小ゲート長での G_m/G_{ce} . [17][18]項と比較されるが、特に意味があるわけではない。

[10] エミッタ面積 1µm²に標準化した周波数 1Hz における 1/f 雑音スペクトル密度。縦型バイポーラや表面下 デバイス (JFETs)における 1/f 雑音は、 絶縁膜/半導体界面でのキャリア再結合に起因する CMOS の 1/f 雑音に比べると顕著ではない。

[11] [6]を参照。このバイポーラアナログデバイス項の色付けの決定には、低電流における主要パラメータを得る ことの困難さを反映させた。

[12] [10]を参照。

[13] 活性エミッタ面積 20µm² における電流マッチング。最小の実用的間隔で「近接」させたデバイスを仮定。 注意深い配置およびダミー構造を用いるなどしたリソグラフィにおける均一性が重要。CMOS と異なり、テクノロ ジとともにスケール(縮小)されない。

[14] デジタル応用の高性能(HP)ロジックのロードマップに関係した SiO₂ に換算した物理的な CMOS ゲート絶縁 膜厚。主要パラメータを得ることの実現性が重要であることを考慮して、NMOS RF デバイスの項の色が決定された。

[15] デジタル応用の NMOS トランジスタの最大発振周波数。遮断周波数[16]と関連する。信号処理の最大速度を決定する。

[16] デジタル応用の NMOS トランジスタの最大遮断周波数。ソースとドレイン間のキャリアの走行時間により、 即ち物理的なゲート長により、決定される。

[17] 最小ゲート長デジタル応用 CMOS トランジスタの電圧増幅の尺度、ほとんどのミックストシグナルの設計に とって重要。しきい値電圧 Vtより100mV 高い動作点。バイポーラの[9]項と比較可能。

[18] 最小ゲート長が10倍のデジタル応用 CMOSトランジスタの増幅の尺度。異なるゲート長を用いることは、ミックストシグナル設計にとって自由度が増大する。長チャネルデバイスは、(低周波数において)良好な G_{ds}増幅 を有する。しきい値電圧 Vtより100mV 高い動作点。バイポーラの[9]項と比較可能。

[19] 周波数 1Hz におけるデジタル応用 NMOS デバイスの 1/f 雑音スペクトル密度であり、低周波数回路・ミキサ・VCOにおけるミックストシグナル回路の最小入力信号(動作範囲の低境界)を決めるため重要。NMOS デバイスにおける 1/f 雑音は、絶縁膜/半導体界面の準位を介してのキャリア再結合(表面効果)が原因であることから、縦型バイポーラや準表面デバイス(JFETs)に比べて顕著である。しきい値電圧 Vt より 100mV 高い動作点。

[20] NMOS トランジスタのしきい値 電圧に対するマッチング仕様、最小の実用的な間隔で「近接」させたデバイスを仮定。注意深い配置 およびダミー構造を用いるなどのリソグラフィにおける均一性が要求される。ゲート酸化膜厚がスケーリングされたときに得られる最適化された状況での値: ΔV_t=T_{ox}[nm]mV·μm、即ち Tox=5nm において5 mV·μm。不純物の統計的なゆらぎが、さらなる性能改善を制限し始め、また新規な高誘電率ゲート絶縁膜と従来 SiO2 とがマッチングできるかが不明確。精度に対してミックストシグナルに用いられるトランジスタの大きさの低境界側であり、それゆえ、しばしば DC 電力消費 および速度に関係する。また信頼性にも関係する。

[21] [3]項に示されたアナログ供給電圧に関係した SiO₂に換算した物理的な CMOS ゲート絶縁膜厚。デジタルに比べて2世代あるいはそれ以上の遅れ、[14]項を参照。

[22] アナログ用供給電圧[3]項と対応したしきい値電圧 V_t。アナログ回路が取り扱うことのできる最大アナログ 信号(高動作範囲)を決定。

[23] テクノロジ・ノードにおける最小物理ゲート長の10倍のアナログ用 NMOS 増幅の尺度 (アナログ応用にとっ

て最小物理ゲート長は実質的でない)。異なる長さを用いることは、ミックストシグナル設計にとって付加的自由 度が大となる。長チャネルデバイスは、(低周波数において)良好な G_{ds}増幅を可能とする。このアナログ NMOS デバイス項の色の決定では、低供給電圧において最適化されたデバイスの主要パラメータを得ることの困難さを 反映させた。

[24] [19]を参照。

[25] [20]を参照。

[26] 異なるアナログ信号を重み付けし比較するためには、容量素子が必要である。デジタル素子が増加しチッ プサイズが減少したとき、容量素子はチップ内の大きな面積を占有する。搭載の選択は、機能の複雑さとチップ サイズとのトレードオフ(コスト)による。フィルタ応用にとってマイクロ・エレクトロ・メカニカル・システム(MEMS)の搭 載は、密度が7fF/µm²以上において有望であろう。新規な解決手段は、低コスト技術によって分離した基板上 に集積することである。この項と全てのアナログ用キャパシタの列(30列まで)の色付けは、設計 TWG による。

[27] Qは寄生効果の尺度であり、基板に対して分布する抵抗および容量。高周波での良好なバイパス応答を 得るための容量として Q は重要である。平行して対向する面積を大きくすることで寄生容量を増大させる手段 が、数年後に優位な位置を占めると期待されている。

[28] 容量素子の電圧に対するリニアリティ特性の2次成分は、アナログ回路のダイナミックレンジに関係する。
 一次成分は差分をとることでキャンセルできる。

[29] リーク電流は、長い時定数が必要なフィードバック容量素子への応用と低周波数スイッチ容量素子への応用とによって牽引される。アナログクロック周波数が増加すると、要求値は緩和される。リーク電流の極めて少ない高品質の絶縁膜が要求される。

[30] ある精度に対し要求される容量素子のサイズの低限界値。 信頼性にも関係する。

[31] 2003 年以降にデジタル・フィルタ解決策が優位な位地を占めると期待されているため、バイパス容量素子 への応用がこの密度を牽引することになる。5~15 年先において、高誘電率絶縁膜がコストの観点から有利に なるかもしれない。バイパス容量素子の密度は、低周波応用とチップサイズとの関係により牽引される。この項と 全てのバイパス容量素子の列(33列まで)の色付けは、設計 TWG による。

[32] 高周波におけるバイパス応答を規定する容量素子にとって、Q は重要である。平行して対向する面積を 大きくすることで寄生容量を増大させる手段が、数年後に優位な位置を占めると期待されている。

[33] 電圧に対するリニアリティの一次成分は、この種類の容量素子によって牽引される。

[34] 以下の[35-38]に示された性能におけるシート抵抗。安定したレファレンス電圧を得るような場合に抵抗素 子は必要となる。シート抵抗は、絶対的な抵抗値に対し、面積比と電圧に対する線形性といった特性から求ま る。10-100-1000Ω/sq レンジが要望されている。この項と全ての抵抗素子の列(38 列まで)の色付けは、設計 TWG による。

[35] Q はアナログ用抵抗素子における寄生効果に対する尺度である。

[36] 温度係数は、レファレンス用途に用いるようなアナログ用抵抗素子にとっては重要である。低温度係数膜 もしくは温度係数を相殺する技術が利用されるかもしれない。

[37] 最適化は、特にレファレンス用途に用いるようなアナログ用抵抗素子にとっては重要である。注意深い配置およびダミー構造を用いるなどしたリソグラフィにおける均一性が要求される。最小テクノロジ寸法よりも大きい 最小寸法が通常は使用される。

[38] 低周波数回路、ミキサ、VCOといったミックストシグナル設計において、1/f 雑音は最小入力信号の下限値である(動作範囲の下限値)。多結晶シリコン以外で低1/f 化を実現するには、高いQ値の RF抵抗素子を用いることが有効と考えられる。

[39] インダクタは、回路と伝送線路とのインピーダンス・マッチングを行うために RF 回路には必要となる。インダ クタは通常は回路上には配置されないため、インダクタを設ける面積が必要で比較的高価となり、従って nH/µm²としての集積密度が重要である。新規な解決手段としては低コスト技術による別基板上に集積すること である。この項と全てのインダクタの列(40列まで)の色付けは、設計 TWG による。

[40] Q_{3dB}(1/2 バンド幅における Q 値)は寄生効果の尺度であり、基板に対する分布定数としての抵抗と容量 とに影響される。典型的なチップ上インダクタンスの値は、1~10nH である。厚い銅配線を用いて低抵抗で実現 するべきである。CMOS における基板ドーピングの増加は、インダクタの集積化にとっては相反する結果となる。 非絶縁分離基板上で 20 以上の値を得る困難さを色付けによって示した。

[41] 参考として信号分離を加えた。ある周波数範囲における雑音源と雑音センサの間の伝送効率(S21 in dB) として定義される。達成できる数値は回路の種類に依存し、単純 CMOS、アナログ、RF の順に増加する。 ここに引用された値は、中間の場合、即ちアナログに対してである。ここに記された値は、技術的解決策の正しい組み合わせによってのみ得ることができる。技術的解決策とは、基板抵抗率(高抵抗 SOI)と金属配線系(低誘電率層間膜)、システム的区分といった設計の選択、金属配線間隔とデカップリング容量、最適化された実装設計などである。

信頼性に対する技術的要求

信頼性に対する要求は、応用する装置にきわめて依存する。技術の大幅な変更による信頼性 に対する危険性があるにもかかわらず、大多数の顧客は、現在の総合的なチップ信頼性(実装 の信頼性を含めて)の水準が今後15年以上にわたって維持されることを必要としている。信頼性 水準の改善を必要とするニッチな市場も存在する。オフィスおよびモバイルといった主流応用に比 べて、より過酷な環境あるいは(これに加えて)より長期の寿命といったより高い信頼性の水準を 必要とする装置への応用は、信頼性にとってさらに困難なる。寸法が縮小(スケーリング)されるた めに、総合的なチップ信頼性の水準を一定に保つにおいても、トランジスタ1個あたりの信頼性お よび配線1メートルあたりの信頼性を継続的に改善し続けなければならないことに注意したい。

さらに System-on-a-Chip は、MEMS(Micro Electro Mechanical System,マイクロ・エレクトロ・ メカニカル・システム)や光エレクトロニクスといった新規な技術を単一チップ上にますます集積化 して進展していくために、それらの新規な技術の信頼性ばかりでなく様々な技術間の信頼性にか かわる相互作用を管理する必要がある。特に歩留りが向上する生産一年目において、不良のふ るい分けは信頼性の向上にとって必要である。最後に、不良解析のサイクル時間の改善は、急 速な歩留り習熟と設計誤り修正とを支援する上で必要である。

上述の顧客要求は、製造業者への要求に下方展開され、そこでは全ての関連した不良形態 の物理に関する広範囲で深い知識、および信頼性設計・信頼性構築・信頼性証明・不良のふ るい分けに対する強力な信頼性工学の能力が必要とされる。必要とされるそれらの能力と今日の 状況とを比較すると、明らかな隔たりがある。さらに、新材料および新デバイス構造を導入する際 には、それらの隔たりはより大きくなろうとしている。不適切な信頼性項目は、不必要な性能の不 利益および(もしくは)不必要な危険性を導くことになる。

YEAR OF PRODUCTION	2001	2002	2003	2004	2005	2006	2007	Driver
DRAM ½ Pitch (nm)	130	115	100	90	80	70	65	
MPU / ASIC ½ Pitch (nm)	150	130	107	90	80	70	65	
MPU Printed Gate Length (nm)	90	75	65	53	45	40	35	
MPU Physical Gate Length (nm)	65	53	45	37	32	28	25	
Customer reliability expectations*								
Early Failures (ppm) (First 4000	50-20	50-20	50-20	50-20	50-20	50-20	50-20	CUSTOMER NEEDS; NEW
operating hours)** [1], [3]	00	00	00	00	00	00	00	MATERIALS
Long term reliability (FITS = failures in	10-10	10-10	10-10	10-10	10-10	10-10	10-10	CUSTOMER NEEDS; NEW
1E9 hours) [2, [3]]	0	0	0	0	0	0	0	MATERIALS
Soft Error Rate (FITs) [4]	1000	1000	1000	1000	1000	1000	1000	Scaling
Relative Failure Rate per Transistor (normalized to 130nm) [3],[5]	1	0.7	0.5	0.35	0.25	0.18	0.13	NUMBER OF TRANSISTORS
Relative Failure Rate per m of								CUSTOMER NEEDS;
interconnect (normalized to 130nm	1	0.82	0.74	0.66	0.55	0.5	0.45	J11LENGTH OF
node)[6]								INTERCONNECT
ESD protection voltage (V/µm) [7]	10.5	10.5	12	12	13	13.5	14	Scaling
ESD protection circuit effectiveness	•		3.5-4	3.5-4	4.0-4	4.0-4	4.5-5	
$(V/\mu m^2)$ [8]	3	3	.0	.0	.5	.5	.0	Scaling

Table 40a Reliability Technology Requirements—Near-term

White—Manufacturable Solutions Exist, and Are Beir Optimized

Yellow—Manufacturable Solutions are Known

Red-Manufacturable Solutions are NOT Known

ng	

Table 40b Reliability Technology Requirements—Long-term

YEAR OF PRODUCTION	2010	2013	2016	Driver
DRAM ½ PITCH (nm)	45	32	22	
MPU / ASIC ½ PITCH (nm)	50	35	25	
MPU PRINTED GATE LENGTH (nm)	25	18	13	
MPU PHYSICAL GATE LENGTH (nm)	18	13	9	
Early Failures (ppm) (First 4000 operating hours)** [1], [3]	50-20 00	50-20 00	50-20 00	Customer needs; New materials
Long term reliability (FITS = failures in 1E9 hours) [2], [3]	10-10 0	10-10 0	10-10 0	Customer Needs; New Materials
Soft Error Rate (FITs) [4]	1000	1000	1000	Scaling
Relative Failure Rate per Transistor (normalized to 130nm) [3], [5]	0.04	0.02	0.006	NUMBER OF TRANSISTORS
Relative Failure Rate per m of interconnect (normalized to 130nm) [6]	0.39	0.25	0.18	Customer needs; J11Length of interconnect
ESD protection voltage (V/µm) [7]	15	17.5	20	Scaling
ESD protection circuit effectiveness $(V/\mu m^2)$ [8]	5.5-6. 0	7.5-10	9.5-14	Scaling

White–Manufacturable Solutions Exist, and Are Being Optimized Yellow–Manufacturable Solutions are Known Red–Manufacturable Solutions are NOT Known



表 40a と 40b に対する註

信頼性に対する要求は、種々の応用する装置よって変化する。主流の顧客にとって、急速な技術的変化が 生じるここで示された期間において、現在の信頼性基準を維持するこことで十分であろう。しかし、それ以外の 顧客は、信頼性基準が改善されることを望んでいる。現在の信頼性基準が悪化することは受け入れられない。 信頼性に対する要求とは実装された装置に関するものであり、チップと実装との両方の不良形態に関するもの を含んでいる。

- [1]初めの4000時間(動作率50%として一年間の使用)の動作の間に生じる不良。初期不良は、欠陥に関係 する。
- [2] 長期信頼性率は、IC(集積回路)の仕様に記された寿命に対して適用される。
- [3] 2005 年 に赤 色 下 地 になったのは、低 電 力 ロジックに代 替 ゲート絶 縁 体 を用 いる必 要 があるため。
- [4] ソフトエラー率は、宇宙線·放射性物質崩壊·他からの高エネルギ放射線によって保持データがひっくり返ることである。

[5] IC チップ全体 での不良率は将来においても変わらないが、チップに搭載されるトランジスタ数が増加するために、トランジスタ1個あたりの相対不良率は減少しなければならない。

[6] 配線の長さが増加するために、配線1メートルあたりの不良率は減少しなければならない。 信頼性の観点か らさらに重要なことは、ビアホールやコンタクトホール1個あたりの不良が減少することである。

[7] チャネル幅 1マイクロメータあたりの NMOS における ESD(Electrostatic Discharge:静電気放電)単位:V/ µm。NMOS ESD 回路と自己保護回路において特に重要。

[8] ガードリングを含む保 護 回 路 の単 位 面 積 あたりの保 護 回 路 有 効 性 に 関 する ESD(Electrostatic Discharge:静電気放電)単位: V / μ m²。

解決策候補

メモリとロジックの解決策候補

基本 MOSFET 構造を 90nm よりさらに小さくスケーリングするには、デバイスのゲートスタック(ゲート絶縁膜とゲート電極の組み合わせ)に関する重大な技術課題に立ち向かう必要がある。物理 的なゲート長が小さくなるに従い、短チャネル効果を抑制するため、また DIBL(Drain Induced Barrier Lowering:ドレイン誘起バリアハイト低下)により増大するオフリーク電流を制限するため、 等価的ゲート酸化膜厚(EOT)を薄くする必要がある。しかし、従来のゲート酸化膜を薄くし続ける と、ゲート酸化膜にトンネル電流が流れることによるゲートリーク電流が著しく増加することになる。 さらに、EOT を継続して低減しようとしても、ゲート電極の空乏化と MOSFET の反転層での量子 効果がスケーリング可能でないため限界を迎えることになる。

これらのスケーリングの課題を解決するには、現在使われているシリコン酸化膜と窒化膜がベースとなっているゲート絶縁膜を、同じ EOT 値で十分に低いゲートリークを示す高誘電率(High k) 材料に切り替える必要がある。さらに、現在使われているシリサイド化されたポリシリコンゲート電極 を、ゲート空乏化効果を抑制でき、さらに、ゲート電極抵抗を小さくできる相補的メタルゲート電極 に変える必要がある。図21参照。

技術的要求表に載せてあるデバイスのスケーリング・シナリオに基づくと、低電力デバイス(特に LSTP)が高誘電率ゲート絶縁膜を必要とするドライバーとなる(2005年には必要)。高性能デバ イスのスケーリングはこれら材料を使わなくても可能だが、それらがLSTPデバイスで使用可能にな った後しばらくして、HPやLOPにもHigh kゲート絶縁膜が使われるだろう。相補的メタルゲート電 極は、高性能デバイスと低電力デバイスの両方に対して、2007年ごろ使われると予測される。 90nm 以下に MOSFET を継続してスケーリングするには、デバイスのソース・ドレイン接合 (ハロー、 エクステンション、深い接合、シリサイドを含む)に関する技術イノベーションと技術の向上が必要 になる。短チャネル効果とサブスレッショルドのオフリーク電流を制御するために、接合深さは継続 して浅くする必要がある。ソース・ドレイン接合の寄生抵抗もまた制御して小さくする必要がある。こ れらのスケーリング問題に対応するため、極浅でかつ極低抵抗接合技術の進展が必要である。も しくは、Non-classical (ノンクラシカル)CMOS デバイス構造 (垂直配置デバイスなど)が必要にな るかもしれない(詳細は新探究素子の Non-classical CMOS の項を参照)。

各々のテクノロジ・ノードにおいて、要求されるオフ・リーク電流以内で最大の飽和電流駆動が 得られるように、デバイスのチャネル・ドーピング、ソース・ドレインのハローとエクステンションは最適 化する必要がある。しかし、90nmよりも小さくスケーリングされた MOSFET では、より総合的な回路 とシステムレベルでのパワーと性能の最適化のために、複数のスレッショルト電圧と複数の酸化膜 厚を持つデバイスもまた使用可能とする必要がある。ダイナミック(電気的に調整可能な)スレッシ ョルド電圧デバイスが、パワーと性能のより高いレベルの最適化を可能にするため要求されるであ ろう。単一でないデバイス(高性能、低パワーなど単一でないデバイス)で、異なる性能と消費電 力の要求すべてを同時に満足できるようになる。即ち、いろいろな種類のデバイスを提供すること で、将来の回路とシステムのニーズを満たすのに最大の柔軟性を持たせることになる。

ロングタームのテクノロジ・ノード(2010 以降)については、デバイス性能の歴代の性能改善率 (年率 約 17%)を維持するために、MOSFET の移動度や相互コンダクタンス等の基本的技術の 改善が必要になる。ゲート長、ゲート絶縁膜、電源電圧のスケーリングによる性能改善ではもはや 十分では無くなる。新しい高移動度材料(歪 SiGe 層など)が必要になる。これらの材料は、まず 高性能デバイスに必要になる。その後にローパワーデバイスにも必要になろう。

超ロングタームのテクノロジ・ノードについては、究極的には基本的なロジックとメモリ機能を実行 するため、MOSFETの代替としてより革新的なデバイスを考えなければいけない。さらに、回路設 計、アーキテクチャ全般にわたる基本的な変更が要求されるかもしれない。PIDS章の新探究素 子の項で、これらの選択のより詳細を述べる。

フラッシュ技術のスケーリングには、トンネル絶縁膜、浮遊ゲート、ポリシリコン間の絶縁膜電極構造の最適化が含まれる。これらは、消去・書き込みモードでの絶縁膜を通した電荷の移動と、同時に他のモードでの電荷リークの抑制を可能しなければいけない。おのおののテクノロジ・ノードにおいて、ベースとなる CMOS 技術が低電圧となり、これに高電圧が必要な消去・書き込みモードを集積化する問題がますます深刻になる。このスケーリングの困難さは、不揮発性メモリの代替構成追求のより積極的な研究を促す。この取り組みの一部は、新探究素子の項のメモリの表に示す。

FeRAM のスケーリングは、セルの幾何学的な配置に依存する。さらに重要なのは、強誘電体材料と界面の材料特性である。セル構造は、プレーナ構造からより効果的な3次元構造へと急速な移行が現実的なものとなりつつある。これらの変更を実現するには、トータルプロセスへの適合性と

低電圧動作を維持しつつ、PZT や SBT 材料と各構造界面に関連する材料特性を改良し最適 化する必要がある。また、ロングタームでは低電圧動作と3次元構造へのプロセス適合性のため、 新しい強誘電材料が求められると思われる。

DRAM については、スケーリングに伴い、密度、コスト、スピード、ノイズ耐性の改善が重要である。 蓄積ノードの単位面積あたりの容量を増加するため、高誘電率絶縁膜が採用されると期待され ている。メタル/絶縁膜/半導体(MIS)構造を使用した Al₂O₃ や Ta₂O₅が、プロダクションに入る最 初の高誘電率材料と思われる。その後、メタル/絶縁膜/メタル構造と他の高誘電率材料の組合 せが、単位面積あたりの容量を増加するために採用されるであろう。最終的には、比誘電率が 100以上の材料の採用が必要になる。バリウム・ストロンチウム・タンタル(BST)が有望な材料である。 しかし、この材料は効果的に蓄積ノードに使えるか疑いをいだく深刻な問題を抱えている。その最 も深刻な問題は、リーク電流の増加を防止しつつ所望の膜厚にスケールすることが非常に難しい ことである。

DRAM についてのもう一つの解決策候補は、ロジック IC の配線と同様に、ビットライン容量を低減し、よってセンシングのノイズマージンを向上するために低誘電率絶縁膜を使うことである。しかし、コストの点から DRAM チップに低誘電率膜を採用するのは、ロジックチップでの採用より4~5 年遅れるであろう。

最終的に、ロードマップの終焉とその後に向け、よりエキゾチックなメモリデバイスが使われると思われる。(より詳細は新探究素子の項を参照)。



* Taken from Front End Processes ITWG information



ミックストシグナル・デバイスの解決策候補

この節では、ミックストシグナルにおける課題に対する解決策候補について述べる(図22を参照)。この解決策は、メモリとロジックですでにレビューしたものと違うもの、あるいは追加されるものである。成功するミックストシグナル技術は、付加価値を追加するべく機能を集積するもので、ベースラインであるデジタル・プラットフォームをより価値あるものとする。成功するミックストシグナル集積化のキーとなる要素は、高精度で高いQ値を持つ受動素子、適切な信号遮蔽技術、さらには適合した能動素子を追加することである。

CMOSの継続的な高周波特性の改善と速度・電力積の低減は、BiCMOSとバイポーラによる伝統的な設計から CMOS による設計へと徐々に移行をもたらしている。このトレンドの始まりは、ベースバンドと中間周波(IF)機能の集積化が起こった 180nm ノードにおいて明確になった。無線パーソナルネットワーク IC の領域で、CMOS での RF と IF の集積化が後に続くであろう。携帯無線機器が、動作時とスタンバイ時の低電力技術と設計アーキテクチャ(電池寿命の長期化のため)を牽引し続ける。SOI プロセス技術が、高い信号遮蔽と低い寄生容量を得るためのキーとなる1つの解決策である。

ミックストシグナルでの電源電圧の低減は、高性能デジタルの電源電圧の場合より2世代、もしく はそれ以上遅れ続ける。今後増大するミックストシグナルの要求を満たすために、複数のゲート酸 化膜厚、複数のスレッショルドとDC-DC 変換の組み合わせが必要になる。ミックストシグナル応用 の低電圧化のトレンドを続けるには、能動的なスレッショルド調整、基板バイアス技術、新規な設 計アーキテクチャなどの解決策が求められる。全てを集積化する代わりとしては、違う技術での回 路を組み合わせ、さらに所望の機能を最適化できるマルチチップモジュール(MCM)の使用がある。 最終的には、全デジタル化された CMOS がほとんどのアナログ設計に置き換わるであろう。

酸化膜/半導体界面にキャリア・トラップを持つ CMOS に比べて、垂直デバイス(バイポーラ)や 準界面デバイス(JFETs)では、1/f ノイズがあまり顕在化しない。しかし、1/f ノイズは、CMOS でも 新しいテクノロジ・ノードごとに小さくなっている。ただし、将来の高誘電率ゲート絶縁膜の導入が 1/f ノイズに与える影響については不確実性が残る。

マッチング特性への要求は、ある種のデジタル設計(SRAM, クロックツリー)に対してと同様、ミックストシグナルに対しても厳しくなっている。高精度の受動素子と能動素子のマッチングは、注意 深いレイアウトと低いサーマル・バジェット・プロセスにより実現される。デバイスマッチングは、差動型回路設計と能動的回路補償技術にとって重要である。

個別受動素子をボードレベルからチップレベルに移行させるトレンドは継続する。個別部品と等価で高精度なオンチップの受動素子を作る解決策が期待される。高いQ値を持つ素子を集積するには、非常に低い抵抗の配線(厚い)が要求される。キャパシタ領域を小さくするために、新しい高誘電率絶縁膜が必要である。もしくは、いくつかの受動素子は、コスト低減と簡素化のために プリント基板やパッケージに集積されるかもしれない。低損失で高いQ値を持つインダクタの要求 は、3次元構造やマイクロマシン構造を使用せざるを得なくさせるかもしれない。

集積度が上がり動作周波数が向上するに従い、雑音の多い"ノイジー"なデジタル回路からノイズに敏感なアナログ回路を保護することがますます難しくなる。信号遮蔽技術は、基板(SOIなど)、 配線、そしてパッケージの組み合わせによって解が検討される。現在は、酸化膜分離、ガードリン グ、埋め込みウェル(3重ウェル)によって、回路ブロックは保護されている。回路と配線の保護に あたり、集積化されたシールド構造が要求される。回路のS/N特性を上げるため、新規なデバイス 構造と設計アーキテクチャが採用されるかもしれない。これらの問題に対してコスト的にも十分成り 立つ解決策と挑戦は、その時に主流である CMOS 技術と適合していなければいけない。

First Year of IC	Production	2001	2002	3 200 2004	5 200 2006	0 7 200 2008	9 201 2010	1 201 : 2012	3 201 5 2014	5 2017 2016
Active Devices										
Technol	ogy Platforms	{	BICMOS	CMOS						
Substrat	es		Bulk Silico SOI	n						
Thresho	lds	{	Multiple Vt Active Vt R	egul <mark>ation</mark>						
Multiple	Gate Oxides		"I/O" Ox			Trip	ole "Analog	g" Oxide		
Integrated Passive Intercon	e Devices nect	4	Copper							
High κ d	ielectrics	<pre>{ </pre>	Ta ₂ O ₃ BST Piezo				>5fF/un	n ₂		
High der	nsity structures	P	Piezo							
Inductor	structures		2D Spiral 3D Toroid Transform	ers						
High-Q I	MEMS structures	I	nductors,	Resonato	rs, Capaci	tors				
Integral Passive De Printed v	evices wiring board	ŀ	ligh Densi	ity/In terco	nnect					
Package	•	N	ЛСМ							
Matching Active co	ompensation	ſ	Differentia	l Self-Ada	otive Vt ₁ E	lectro <mark>nic T</mark>	uning			
Low Dt p	Drocesses	4	Atomic La	yer Epitax	y RTP					
Signal Isolation										
Substrat	es		riple Well ligh-Resis	s tance Silio	con Subst	rates				
Substrat	e/interconnect	{∎ 	Damascen Buried Met Nicromach	e Faraday al Faraday iining	Shie <mark>lding</mark> Shielding]				
Intercon	nect/package	C	optical Iso	lation						
Signal/Noise Enha	ncement									
Device			Bulk Accur	mulation M	lode MOS	FET				
Circuit a	rchitecture		Optical Iso	lation						
This legend indicator	the time during which room	arch d	Developmon	oment Und	erway	re-productio	Q Q	ualification	/Pre-Produ	ction
ma legena maicales	are time during which less	anon, u	e veropriner	n, anu yua	inication/p		ni anoulu D	o ranning higi		/0.001.

Figure 22 Mixed-signal Device Potential Solutions

信頼性の解決策候補

信頼性の要求を満たす最も効果的な方法は、各々のテクノロジ・ノードの開発開始時点におい て、完全に作り込まれた(ビルトイン)信頼性と信頼性を考慮した設計手法を使用可能にしておく ことである。これにより、信頼性と性能とパワーの最適な選択を可能にするであろうし、一貫して高 い信頼性歩留りを持つ製造プロセスの構築を可能にする。残念ながら、現状ではこれらの能力に は重大がギャップがある。これらのギャップは、今後さらに大きくなっていく。このペナルティーとして 信頼性に関わるリスクはますます増加し、性能とコストを良くして市場への投入を早める技術力は 低下していく。

信頼性の要求を満たすためには、故障モードの物理に対する深い理解と、強力で実用的な分 析装置の開発が要求される。これまでの歴史を考えると、これらの技術を開発するためには、新し いテクノロジ・ノードの量産開始の前に多くの年月(典型的には10年)を必要とする(研究開発は、 故障モードの解析、有効な予測モデル、さらに、信頼性設計と信頼性 TCAD ツールの開発を指 向しなけばいけない)。技術の質を評価する能力は改善されてきた。しかし、まだ大きなギャップが ある。さらに、信頼性に関わる技術開発のスピードには限界がある。特に、代替となるゲート絶縁 膜や従来とは異なるデバイスなど大きな技術の非連続があると尚更である。重大な技術シフトを 評価しなけばいけないのに、きわどい"短距離走"になっていることが、信頼性に関わる妥当な知 識ベースのない状況下で最も問題となる。

図23に示される信頼性の解決策候補は、ロードマップ全般にわたる主要な技術の非連続性を カバーしている。重大な信頼性上の課題を持つ主要な非連続性があるため、以下の3つの期間 をあわせて4~5年はかかる。即ち、不良モードを特定しモデル化する研究開発の期間(黒)、そ れらの結果を実用的な信頼性技術にする期間(青)、そして最後には新しいテクノロジ・ノードの 信頼性を確認する期間(白)である。もちろん、難解度の小さい変化なら、より短い時間で解析可 能である。現状では、これらの解決策候補に対する実際の開発は、図23に示された必要な時期 よりもすでに遅れている。信頼性技術をキャッチアップさせるには、これまでの歴史的なタイムスケ ールよりずっと短時間で、信頼性の研究・開発・応用が実質的に増えること、必要な能力を収得 する能力を増やすことが必要である。各々の故障メカニズムについて迅速な分析技術、有効なモ デル、設計ツールの開発が必要である。Cu、Low k や代替ゲート絶縁膜のような新材料のインパ クトは、特別な注意が必要である。妥当な時間内で IC の大部分の領域を高い信頼性を持ってシ ュミュレーションできる信頼性評価ツールの設計を行うことが、この状況をプレークスルーするため に必要である。



Figure 23 Reliability Potential Solutions

図23に対する註

動作条件の関数として、各々の重要な故障モードについて故障率を予測できるモデルが必要である。必要に なる日程は、新規材料とデバイスが導入される日程により決まる。これらの日程を満足する十分なリソースは得ら れないかもしれない。これらのカテゴリには、いくつかの候補があり得る。おのおのの候補が生産に入るまでにモ デルが必要である。混乱を起こさせる様な変化が小さければ、より短い時間で信頼性保証ができる。

- [1] 低誘電率膜は、2002年に量産に入ると仮定(配線の章、誘電率膜の解決策候補より)
- [2] 代替のゲート絶縁膜は、2005年に量産に入ると仮定(LSTP技術的要求表を参照)
- [3] 超低誘電率膜は、2005年に量産に入ると仮定(配線の章、誘電率膜の解決策候補に先導される)
- [4] 2005年に量産に入ると仮定
- [5] 2007 年 に量 産 に入ると仮 定 (ハイパワーロジックによって先 導 される、メモリとロジックの解決 策 候 補 参 照)
- [6] 2012 年に量産に入ると仮定(グローバル配線に対してのみ使われるポスト Cu 配線、配線の章、導電膜の 解決策候補参照)

新探究素子(Emerging Research Devices)

概要

新探究素子(Emerging Research Devices)に関して新たに設けられた本節の目標とする所は、 ロードマップの延長上にある一つまたは複数の概念に対し、それが可能性の実証まで至るよう、 発明なり研究活動を刺激することにある。この目標に対して、本節は以下の二つの具体的目的 で書かれている。第一は、ロードマップのカバーする時間軸の終りまでマイクロエレクトロニクス技術 を牽引するために、従来型でない(non-classical)CMOS 構造、もしくはメモリ技術を導入すること であり、第二は、ロードマップの時間軸を超えた所での、技術的にもアーキテクチャ的にも全く新 規な情報処理概念を、(是非の判断はせずに)導入することである。

MOSFET スケーリングの加速により、バルク CMOS を 65nm ノード以降まで延命させるための新し い技術の導入が急がれている。これらの技術には、新材料と新 MOSFET 構造の両方が含まれる。 FEP の章では、たとえばゲートスタックあるいはソース・ドレインコンタクトのために必要となる新材料 を議論している。PIDS 章では、CMOS 構造における技術的要求項目が何であるかを明らかにして いる。新探究素子に関する本節は、バルク CMOSと、ロードマップが終りを迎えた後のマイクロエレ クトロニクスの領域とを繋ぐ掛け橋としての役割を担っている。

議論は4つのカテゴリー、即ち「Non-classical CMOS」、「メモリデバイス」、「ロジックデバイス」 および「情報処理アーキテクチャ」に分けて行われる。「Non-classical CMOS」 および「メモリデバイス」の議論では、これらが遠くない時期の話題であるため、その動作原理、長所、短所、成熟度がやや詳しく述べられる。さらに「メモリデバイス」の節では、量産開始時点での予測性能と、究極性能に関する理論値がいくつか述べられる。「ロジックデバイス」、「アーキテクチャ」の議論では、これらがロードマップの時間軸を超えた所の話であることから、動作原理、主な利点と課題、成熟度もしくは開発・研究のどの段階にあるかが話の焦点となる。この「新探究素子」節の終りでは、情報信号処理に関するいくつかの新しいアプローチに対して、それらの性能予測とコスト諸元に関する、初歩的ではあるが面白い比較を行う。この比較から得られる興味深い予測は、もしこれら新構造素子・技術・アーキテクチャの開発が成功裡に行われれば、マイクロエレクトロニクスの応用は、CMOS が達し得ない領域まで広がるだろうということ、CMOS と同じ領域では直接競合することになるだろうということである。

この節の主旨は、あとで機能しないか非現実と判明するものまで含む危険は承知の上で、網を 大きく広げ、CMOS を超えてロードマップを実質的に延命するメモリ、ロジック、情報処理技術の 重要な代替概念を、一堂に会さしめることにある。いわば、この章は候補が並んでいる窓のような ものである。この章で取り上げる概念に関しては、候補として存在するということを示すことが重要 であり、どれかを推している訳ではない。即ち、候補に含めることが重要なのであって、その正当性 を証明はしない。また、この章で取り上げる候補は、多分に例としてであって、漏れているものもあ ろう。

以上まとめれば、この章で特定の概念を含ませることは、それを広めようとしている訳では決して

なく、またそれが良いと保証している訳でもない。むしろ、ここに載せることで、現在の研究の努力が、情報信号処理のための実に多様な基礎技術およびアーキテクチャ概念の探求に向けられているという事実が理解されるであろう。

困難なチャレンジ

2001 年 ITRS で考慮している時間軸、あるいはその先に対して、マイクロエレクトロニクスは、スケ ーリングに関する二つの大きな課題を抱えている。近々の課題は、量産に耐える従来型でない (non-classical)MOSFET 構造を開発することであり、より先の課題は、「CMOS 以降」の応用に 対して、実用になる新情報処理技術を見出すことである。最初の課題に対する解は、CMOS を 65nm あるいはそれ以降に延命させるために極めて重要であろうし、後者に対する解は、マイクロエ レクトロニクスに対し多くの可能性をもたらすことになるであろう。

DIFFICULT CHALLENGES ≥ 65 nm, THROUGH 2007	SUMMARY OF ISSUES
Implementation into manufacturing of non-classical (non-bulk) MOSFET devices (for example, dual-gate SOI).	Select most promising choice of device structure Timely development, process integration, and qualification.
DIFFICULT CHALLENGES < 65 nm, BEYOND 2007	
Toward the end of the Roadmap or beyond, implementation of novel, non-CMOS devices and architectures, including interconnect and memory.	Will drive major changes in process, materials, physics, design, etc. Novel devices may coexist with CMOS: integration of the two.

Table 41 Emerging Research Devices Difficult Challenges

新探究技術の配列

図24は、新探究素子(Emerging Research Devices)節の全体的な構成と、4つの機能カテゴ リ(各々「従来型でない(non-classical)CMOS」「メモリデバイス」「ロジックデバイス」「アーキテクチ ャ」)における新しい概念の関係を示している。ここに「アーキテクチャ」のカテゴリーを含めた理由 は、新しいシステムアーキテクチャおよび新しい素子技術が、相互に開発を牽引し合うこと、即ちこ の二つが一緒になってシナジー的 / 協同的な開発を行うことが大きな成果を産む、ことを強調す るためである。この図は、今後現れるであろう多様な機能を持つ特定用途(application-specific) の素子概念と技術を簡単化した一例に過ぎず、多分に概念的である。これらの多くは成熟せず、 生産あるいは応用まで至らない可能性が大きい。ここでの重要なメッセージは以下の通りである。 即ち、いくつかの新しい素子概念および技術は、必ずしも幅広い応用を持たず特定の機能に適 したものであること、また、それらは市場からの要求で、次の世代のより多様なマイクロエレクトロニ クス技術を喚起するであろうということ、である。さらに、SoC による集積化や低コストかつ定形型の SiP(System in a package)では、機能集積化のプラットフォームとして間違いなく CMOS を使い 続けていくだろう。このことは、CMOS プラットフォームを用いることにより、異種技術と異種機能を



Figure 24 Emerging Technology Sequence

新探究技術

従来型でない(Non-classical) CMOS

Non-classical CMOS に含まれる新構造 MOSFET は、その新しい構造設計によって、ロードマ ップの終りまでスケーリング CMOS に解を与えようとする。MOSFET を 65nm に向けてあるいはそれ 以下にスケーリングすると、以下の周知の課題が深刻となる。デジタル応用に対しては、指数関 数的に増大するリーク電流(ゲート、チャネル、ソース・ドレイン接合)、閾値電圧制御の観点から の短チャネル効果、オン電流が増大し続けること、ウェーハ面内での閾値電圧制御などが課題で ある。アナログ/RF 応用については、さらに線形性を維持すること、低雑音指数、電力付加効率、 トランジスタのマッチングが加わる。これらスケーリングの課題を解決するために、二つの異なった 基本的アプローチがとられている。即ち、ゲートスタックなどに新しい材料を使ってバルクトランジス タの性能を上げること、およびトランジスタ構造を新しくすることである。最初のアプローチはFEP の 章で議論され、後者は PIDS のこの節で扱われる。この節で議論されるのは、極薄ボディの SOI、 バンド制御トランジスタ、3種類のダブルゲート構造(縦型トランジスタ、FinFET あるいはデルタトラ ンジスタ、および平面型ダブルゲートトランジスタ)である。表42参照のこと。

			Gate Gate Drain		dorat began to the total			
Device	Ultra-Thin Body SOI	BAND-ENGINEERED TRANSISTOR	VERTICAL Transistor	FINFET	Double-Gate Transisto			
Concept	Fully depleted SOI	SiGe or Strained Si channel; bulk Si or SOI	Double-gate or s (No specific tem structures is int	icture or these three				
APPLICATION/ DRIVER	Higher per	rformance, Higher t	ransistor density,	Lower power dis	sipation			
Advantages	-Improved subthreshold slope -V _t controllability	-Higher drive current -Compatible with bulk and SOI CMOS	-Higher drive current Lithography independent L _g	-Higher drive current -Improved subthreshold slope -Improved short channel effect -Stacked NAND	-Higher drive current -Improved subthreshold slope -Improved short channel effect -Stacked NAND			
Scaling Issues	-Si film thickness -Gate stack -Worse short channel effect than bulk CMOS	-High mobility film thickness, in case of SOI -Gate stack -Integration	-Si film thickness -Gate stack -Integrability -Process complexity -Accurate TCAD including QM	-Si film thickness -Gate stack -Process complexity -Accurate TCAD including QM effect	-Gate alignment -Si film thickness -Gate stack -Integrability -Process complexity -Accurate TCAD including QM effect			
Design Challenges	-Device characterization -Compact model and parameter extraction	-Device characterization	-Device characterization -PD versus FD -Compact model and parameter extraction -Applicability to mixed signal applications					
MATURITY			Development					
TIMING	Near Future ———							

Table 42 Non-Classical CMOS

Non-classical CMOS - 表掲載技術の定義と議論 -

極薄ボディ SOI^[2,3] - 現在生産されている SOI CMOS は部分空乏化型であり、全ての動作条件で擬似中性領域のボディもしくは基板領域を有する。この擬似中性領域は通常、外部に電気的結合をもたず浮遊状態に置かれる。一方で擬似中性領域を、ソースと電気的に接続するか、あるいはボディコンタクトで外部端子につなぐ場合もある。これと対照的に、完全空乏化型 SOI CMOS トランジスタでは、全動作条件で可動キャリアがボディ領域あるいは基板領域に存在せず、擬似中性ボディ領域は存在しない。ボディに対する電気的な接続は不可能である。極薄ボディ素子のスケーリングでは、22nm ノードまで CMOS を微細化しようとすると、極端に薄い(<5nm)チャネル寸法が必要になる。最近、5 – 20nm 厚の薄い Si チャネルを、基板中に形成された 10 – 30nm の薄い誘電体層で分離した構造^[3]が報告されている。この構造はバルク CMOS(深いソース/ドレイン領域、など)と SOI の最良の特徴(極薄チャネル、誘電分離層など)を組み合わせている。

バンド制御トランジスタ^[4-6] - バンド制御トランジスタの概念は、トランジスタの物理的構造を実質的に変えずに、シリコンのバンド構造を変調することにより、チャネル中の電子および正孔の移動度を増大させることにある。移動度が増大することにより、トランジスタのgmとオン電流は増大する。SiGe層あるいは、ひずみ緩和SiGe層の上のひずみSi層が、移動度が増大したチャネル層として使われる。素子構造はバルクトランジスタ、あるいはSOIトランジスタのいずれにもなりうる。

縦型トランジスタ^[7] - 縦型トランジスタは、二つあるいはそれ以上の垂直表面上の伝導チャネルと、垂直方向に流れる電流路を有する。チャネル長は、ソース・ドレインの垂直方向の分離距離で与えられ、その距離は通常、リソグラフィエ程でなくエピタキシャル層の厚さで決まる。

FinFET^[8] - FinFET はダブルゲートトランジスタのもう一つの形体であり、二つの相対する垂直面上の表面伝導チャネルと水平方向に流れる電流路を有する。チャネル長はソース・ドレイン間の水平分離距離で与えられ、通常は側壁のスペーサ・エッチ工程と組みになったリソグラフィ工程により決まる。

ダブルゲートトランジスタ^[9] - ダブルゲートトランジスタは、二つの相対する水平面上の表面伝 導チャネルと水平方向に流れる電流路を有するものである。そのチャネル長はソースとドレイン間 の水平方向の距離で与えられ、エッチング工程と組みになったリソグラフィ工程により決まる。

(引用文献)

[2] S. Cristoloveanu, "SOI Technology: Renaissance or Science Fiction?", in: S. Luryi, J. Xu, and A. Zaslavsky (Eds.), Future Trends in Microelectronics (1999 John Wiley & Sons, Inc), pp. 105-114.

[3] M. Jurczak, T. Skotnicki, M. Paoli, B. Tormen, J. Martins, J. Regolini, D. Dutartre, P. Ribot, D. Lenoble, R. Pantel and S. Monfray, "Silicon-on-Nothing (SON) – An Innovative Process for Advanced CMOS, IEEE Trans. Elect. Dev. 47, 2179 (2000).

[4] R. Hartmann, U. Gennser, H. Sigg, D. Grützmacher, and G. Dehlinger, "Si/SiGeC Heterostructures: A path towards high mobility channels", in: S. Luryi, J. Xu, and A. Zaslavsky (Eds.), Future Trends in Microelectronics (1999 John Wiley & Sons, Inc), pp. 133-141.

[5] J. Alieu, T. Skotnicki, P. Bouillon, J. L. Regollini, A. Souifi, G. Guillot, and G. Bremond, "Potential of SiGe-Channel MOSFETs for a submicron CMOS technology", in: S. Luryi, J. Xu, and A. Zaslavsky (Eds.), Future Trends in Microelectronics (1999 John Wiley & Sons, Inc), pp. 143-153.

[6] S. Takagi, T. Mizuno, N. Sugiyama, T. Tezuka, A. Kurobe, "Strained-Si-on-insulator (strained-SOI)
 MOSFETs – Concept, structures and device characteristics", IEICE Trans. Electronics E84C (2001)
 1043-1050.

[7] S-H. Oh, J. M. Hergenrother, T. Nigam, D. Monroe, F. P. Klemens, A. Kornblit, W. M. Mansfield, M.
R. Baker, D. L. Barr, F. H. Baumann, K. J. Bolan, T. Boone, N. A. Ciampa, R. A. Cirelli, D. J.
Eaglesham, E. J. Ferry, A. T. Fiory, J. Frackoviak, J. P. Garno, H. J. Gossmann, J. L. Grazul, M. L.
Green, S. J. Hillenius, R. W. Johnson, R. C. Keller, C. A. King, R. N. Kleiman, J. T.-C. Lee, J. F. Miner,

M. D. Morris, C. S. Rafferty, J. M. Rosamilia, K. Short, T. W. Sorsch, A. G. Timko, G. R. Weber, G. D. Wilk, and J. D. Plummer, "50-nm Vertical Replacement-Gate (VRG) pMOSFETs," IEDM Tech. Dig., p. 65, 2000.

[8] D. Hisamoto, W. C. Lee, J. Kedzierski, H. Takeuchi, K. Asano, C. Kuo, E. Anderson, T. J. King, J. Bokor, C. M. Hu, "FinFET – A self-aligned double-gate MOSFET scalable to 20 nm, IEEE Trans. Electron. Dev. 47 (2000) 2320-2325.

[9] F. Allibert, T. Ernst, J. Pretet, N. Hefyene, C. Perret, A. Zaslavsky, S. Cristoloveanu, "From SOI materials to innovative devices", Solid State Electron. 45 (2001) 559-566.

メモリデバイス

表43に示したメモリ技術は、2001 年までに公開されている研究成果の一例で、現在のメモリの 代替技術となりうるアプローチである。歴史的には、実用に耐えるメモリデバイスの研究例は極め て少なく、この表に載っていても技術的にほとんど支持されていない技術もある。反対に、この節 で取り上げられていなくても、そのアプローチが全く支持されていない訳ではない。この表から分か るように、現在さまざまなデータ記憶メカニズムの基礎が探究されている。データ記憶メカニズムの 例としては、たとえば絶縁膜に囲まれて分離された電荷、クーロンプロッケードによって保持された 電荷、化学的な現象、磁気現象、あるいは材料中の相変化などがあげられる。ここで重要な課題 は、これらのメモリ候補それぞれを CMOS 技術のプラットフォームにうまく溶け込ませることである。 作製プロセスは、CMOS 技術の若干の変更か追加程度でなければならない。目的は、あたかもこ れらが馴染みのシリコンメモリチップであるかのようにエンドユーザに見せることである。これらのメモ リデバイスは現状のメモリ技術の性能を向上させようとするものであるので、ベンチマークとして DRAMとNOR型フラッシュメモリのパラメータも併せて示した。DRAMとNOR型フラッシュメモリは、 現在最も多く生産されているメモリである。

メモリデバイス - 表掲載技術の定義と議論 -

マグネティックRAM(MRAM)^[10] - MRAMの動作原理は磁気材料で発現する磁気抵抗効果に 基づいている。磁気抵抗効果とは、磁場を外部から印加すると抵抗が変化する現象である。 MRAM では、磁場を印加して2つある磁気状態のうちの一方の状態に材料を磁化させることによ リデータを記憶する。データの読み出しは、セルの抵抗の変化をリファレンスと比較して検出するこ とにより行う。磁気構造の近傍に電流を流すと磁場が発生しセルに印加される。MRAM では2つ の磁気抵抗効果が使われ、巨大磁気抵抗効果(GMR)とトンネル磁気抵抗(TMR)である。従って 2種の MRAM が研究されており、GMR MRAM(またはこれの変形バージョンである準スピンバルブ (PSV)MRAM)と磁気トンネル接合(MTJ)MRAMである。GMRを示す PSV セルは、2層の磁気材料 (たとえば Ni,Co,Fe など)が薄い非磁気材料の層(Cu など)を挟む構造をしている。PSV MRAM デバイスでは、2層の磁気クラッド層に挟まれた中央の薄い伝導層を流れる電流によってセンスさ れる。この中央の非磁気材料層の抵抗は、2層の磁気クラッド層どうしの磁気スピンの向き、およ びクラッド層と非磁気材料層の磁気スピンの向きが合っているかどうかによって変化する。もしも2 層の磁気クラッド層の磁気スピンの向きがお互いに同じであると、中央の伝導層を流れる電子で 同じ方向の磁気スピンをもつ電子については大きな散乱がなく、従って小さな抵抗で電流が流れ る。もしも2層の磁気クラッド層の磁気スピンの向きがお互いに逆であると、中央の非磁気伝導層 を流れるすべての電子の磁気スピンが、一方または両方のクラッド層の磁気スピンと逆になる。そ の結果、この場合は中央の非磁気伝導層にわずかに大きな抵抗が発生する。0レベルと1レベル のセル抵抗の差は約 12%である。PSV セルの欠点は、読み出し時の抵抗の変化が小さく、従って 発生する電圧差も±3mV と小さいので、読み出しに時間がかかってしまうことである。

STOR AGE MEC HANIS M	BASELINE 2002 TECHNOLOGIES		MAGNETIC RAM		Phase Change Memory	NANO Floating Gate Memory	Single/Few Electron Memories	Molecular Memories
				v <mark>in he he</mark>		Gate Englifiered barrier gran modyna Si		
DEVI CE TYPE S	DRAM	NOR Flash	Pseudo- Spin- Valve	MAGNETIC TUNNEL JUNCTION	OUM	-Engineered Tunnel Barrier -Nanocrysta L	SET	-BISTABLE SWITCH -MOLECULAR NEMS -SPIN BASED MOLECULAR DEVICES
AVAI LABIL ITY	20	02	~2004	~2004	~2004	>2005	>2007	>2010
INITI AL F VALU E	130 nm	150 nm	350 nm	130 nm	100 nm	80 nm	65 nm	45 nm
Cell Size	8F ² 0.14 μm ² 1T	10F ² 0.19 μm ² 1T	~40F ² 4.9 μm ² 2T	20-40F ² 0.68 μm ² 2T	6F ² 0.06 μm ² 1T	4-10F ² 0.04 μm ²	$4-9F^{2}$ ~0.04 μ m ²	~2F ² 0.004 μm ²
ACCE SS TIME	<20 ns	~80 ns	<25 ns	<10 ns	<100 ns	<10 ns	<10ns	~10 ns
Stor e Time	<20 ns	~1 ms	<25 ns	<10 ns	<100ns	<10 ns	<100 ns	~10 ns
Rete Ntio N	64 m s	>10 yrs	>10 yrs	>10 yrs	>10 yrs	>10 yrs	Seconds to minutes ¹	Days
E/W CYCL ES	Infinite	>1E5	>1E15	>1E13	>1E13	>1E6	>1E9	>1E15
GENE RAL ADVA NTAG ES	Density Econom y	Non-vol atile	Non-volatile, High endurance, Fast read and write, Radiation hard, NDRO		Non-volat ile, Low power, NDRO, Radiation hard	Non-volatil e, Fast read and write	Density Power	Density, Power Identical Switches, Larger I/O difference, Opportuniti es for 3D easier to interconnec t defect tolerant circuitry
CHAL LENG ES	Scaling	Scaling	Integration issues, Material quality, Control magnetic properties for write operations		New materials and integratio n	Material Quality	Dimensiona I Control (Room temperatur e operation), Backgroun d Charge	Volatile Thermal Stability
MATU RITY	Production		Development		Developm ent	Demonstrat ed	Demonstrat ed	Demonstrat ed

Table 43Emerging Research Memory Devices

¹ 単一 / 少数電子メモリの保持時間は,楽観的な予測では10年以上である.

MTJ セルは、2層の強磁性体膜層が、トンネル障壁として働く薄い絶縁膜を挟む構造をしてい

る。読み出し電流が磁気層に平行に流れる巨大磁気抵抗(GMR)セルとは異なり、電流は MTJ サ ンドイッチ構造に対して垂直に流れる。GMR と同様に、MTJ サンドイッチ構造の抵抗は2層の強 磁性体膜の磁気モーメントの配列によって決まる。一般に MTJ の抵抗は、これらの磁気モーメント がお互いに同じ方向で平行になったときに最小、逆方向で平行になったときに最大となり、その 結果磁気抵抗(MR)が生じる。読み出しは、2層間を流れるトンネル電流を検出することによって 行われる。抵抗が大きく、0レベルと1レベルのセル抵抗の差は 50%に達する。セルサイズが小さく なると、書き込みのための電流密度が増大するため、PSV セル、MTJ セルともにスケーラビリティに 乏しい。メモリデバイスの表 43 中の MRAM パラメータは、生産開始時の数字を予測したものであ る。

相変化メモリ(Phase Change Memory)^[11,12] - 相変化メモリは Ovonic Unified Memory (OUM)とも呼ばれ、その原理は電流パルスの影響による材料の急激な可逆的な相変化に基づい ている。OUM のデータ記憶メカニズムは、薄膜材料(カルコゲナイドなど)の可逆的な構造の相変 化である。活性材料のわずかな変化により、40 倍以上ものダイナミックレンジで抵抗が変化する。 1 レベルと 0 レベルは、それぞれ活性材料の結晶相とアモルファス相に対応する。相状態は、 MOSFET ドライバを通して電流パルスを印加することによりプログラムされ、電流の大きさに応じて 抵抗が変化する。データの読み出しはセルの抵抗変化を検出することにより行われる。OUM では 抵抗を中間の値にもプログラムすることができるので、多値記憶も可能である。

OUM の利点は、複数の層からなる複雑な構造を用いる代わりに、「スマートな」材料の比較的 単純な原理を利用している点である。また、セルサイズの縮小とともに相変化に必要なエネルギー も減少するので、書き込み時の電流はサイズとともに縮小されスケーラビリティに優れている。表中 の OUM のパラメータは、生産開始時の数字を予測したものである。

ナノ浮遊ゲートメモリ(NFGM)^[13-19] - NFGM は、従来の浮遊ゲートメモリを進化させたものであ る。 浮遊 ゲートメモリの特性を向上させるために2つのアプローチが提案されている。 一つは、トンネ ル障壁に工夫を施すこと(Engineered Tunnel barrier)、もう一方は記憶ノードをナノサイズにする こと(Nanocrystal)である。トンネル障壁を工夫する方法には、とさか状のトンネル障壁(Crested) tunnel barrier)をもつ 浮遊ゲートメモリと、相状態少数電子駆動メモリ (Phase-state low-electron-number drive memory, PLED)がある。クレステドバリアは、複数の絶縁膜を積層 して特殊な障壁形状を作り、記憶ノードへ、あるいは記憶ノードからの Fowler-Nordheim トンネル 電 流を変 化させるという考え方 である。 PLED メモリでは、 電子 はダブルゲートをもつ積 層トンネル 接合を通して記憶ノードに注入される。これらトンネル障壁に工夫を施したメモリでは、浮遊ゲート メモリ特有の長い保持時間を保ちつつ、メモリセルの読み出し・書き込み特性を向上させることが できる。トンネル障壁工夫型の NFGM は、まだ実験的にメモリ動作が実証されておらず、現在はま だ Concept の状態である。一方、記憶ノードをナノサイズにした NFGM では、浮遊ゲートは一つか、 あるいは複数のシリコン微結晶(nanocrystal)ドットからなる。 複数の微結晶ドットの場合は、各ドッ トはお互いに分離されていて独立であるので、 電子 は各 トットへそれぞれ異なるパスを通って注入 される。従って、複数ドットのメモリでは書き込み回数の耐性が大幅に向上する。複数ドットおよび 単一ドットメモリでは、ともにドットサイズが極めて小さいので、その形状に依存してトンネルが促進 される。 ナノサイズのドットを持つ NFGM は、 単電子メモリと呼ばれることがある。 ほとんどの NFGM

は読み出しに通常の MOSFET を利用するが、シリコンのナノサイズ細線チャネルを利用して、チャ ネル中に自然形成された局在領域に捕獲された電荷による電流の変化を読み出すものもある。 この方法は再現性に劣るが、バルク MOSFET を用いないのでセルサイズが大幅に縮小できる。シ リコン細線を利用して 128M ビットメモリが作製されている。ナノサイズのドットを持つ NFGM は、複 数ドットメモリ、単一ドットメモリ、ナノサイズ細線メモリともに実験的に実証されている。

単一ノ少数電子メモリ^(20,21) - 単電子デバイスでは、電子の動き(微細な「島」あるいは量子ドットへの電子の追加または削除)が正確に整数ごとに制御される。それぞれの電子の量子ドットへの注入はトンネル障壁を介して行われ、「クーロンブロッケード」効果によりゲート電極で制御される。このような量子ドット中では、電子はすべての方向からポテンシャル障壁で囲まれており、三次元的に静電的に閉じこめられ、電子の小さな島を形成している。この電子の島には、電子の整数倍の個数しか存在できず、これらの電子は分離したエネルギー準位を占める。ドットはトンネル障壁に繋がれており、ゲート電力の電圧が変わるとコンダクタンスは振動する。コンダクタンス振動のピークでは、電子が一つずつドットに注入されては一つずつ放出されている。単電子メモリの基本要素は単電子トランジスタ(SET)である。SET は、量子ドットと、それにトンネル障壁で隔てられた電子のソースと電子のドレインから構成されており、電子の注入はゲート電極で制御される。単電子メモリの概念は、SET/FET 混成の構成などですでに実験的に実証されている。すでに報告されているすべての単電子メモリの欠点は、4.2-20Kという極めて低い動作温度と背景電荷の問題である。

分子メモリ^[22,23] - 分子メモリとは意味の広い言葉であり、原子または分子のスペースに1ビット の情報を記憶するメモリセルとして個々の分子を利用するさまざまな提案の総称である。すでに実 験的に実証されている方法としては、2つの電極間に接続された分子のコンダクタンスがゲート電 圧によって可逆的に急速に変化する現象に基づくものがある。この分子メモリでは、分子に2つの 伝導状態が存在し、外部から電圧を印加してその伝導状態を遷移させることによりデータを記憶 する。データ読み出しは分子セルの抵抗変化を検出することにより行う。DRAM や浮遊ゲートメモ リなどの現在のメモリ技術と分子の特性を組み合わせる考え方もある。この場合、分子はナノサイ ズの共鳴トンネルダイオードや極めて小さい記憶ノードとして働く。実験的に実証されている分子 メモリの欠点は、これらが本質的に2端子であることである。3 端子分子デバイス(分子トランジス タ)や、分子 NEMS、スピン分子デバイスなど多くの分子素子が提案されている。表43の新探究メ モリデバイスに掲載されている数値は、計算や初期の実験データに基づく分子メモリの特性の予 測値である。

(引用文献)

[10] K. Inomata, "Present and future of magnetic RAM technology", IEICE Trans. Electron. v. E84-C, No6 (2001) 740-746.

[11] Tyler Lowrey, "Ovonic Unified Memory", http://www.ovonic.com.

[12] Will Wade and David Lammers, "Intel grooms pair of substitutes for flash", EE Times, July 16,

2001.

[13] K. K. Likharev 1998, "Layered tunnel barriers for nonvolatile memory devices", Appl. Phys. Lett.
73 (1998) 2137-2139.

[14] K. Nakazato, K. Itoh, H. Mizuta, and H. Ahmed, "Silicon stacked tunnel transistor for high-speed and high-density random access memory gain cells", Eelctronics Lett. 35 (1999) 848-850.

[15] S. Tiwari, J. A. Wahl, H. Silva, F. Rana, and J. J. Welser, "A silicon nanocrystals based memory", Appl. Phys. Lett. 68 (1996) 1377-1379.

[16] X. Tang, X. Baie, J. P. Colinge, A. Crahay, B. Katschmarsyj, V. Scheuren, D. Spote, N. Reckinger, F. Van de Wiele, and V. Bayot, "Self-aligned silicon-on-insulator nano flash memory device", Solid-State Electronics 44 (2000) 2259-2264.

[17] S. M. Sze, "Evolution of nonvolatile semiconductor memory: from floating-gate concept to single-electron memory cell", in: S. Luryi, J. Xu, and A. Zaslavsky (Eds.), Future Trends in Microelectronics (1999 John Wiley & Sons, Inc), pp. 291-303.

[18] K. Yano, T. Ishii, T. Hashimoto, F. Murai, and K. Seki, "Room-temperature single-electron memory", IEEE Trans. Electron. Dev. 41 (1994) 1628-1638.

[19] K. Yano, T. Ishii, T. Sano, T. Mine, F. Murai, T. Hashimoto, T. Kobayashi, T. Kure, K. Seki, "Single-electron memory for giga-to-tera bit storage, Proc. IEEE 87 (1999) 633-651.

[20] N. J. Stone and H. Ahmed, "Silicon single electron memory cell", Appl. Phys. Lett. (1998) 2134-2136.

[21] H. Mizuta, H.-O. Müller, K. Tsukagoshi, D. Williams, Z. Durrani, A. Irvine, G. Evans, S. Amakawa,
K. Nakazoto, and Haroon Ahmed, "Nanoscale coulomb blockade memory and logic devices",
Nanotechnology 12 (2001) 155-159.

[22] M. A. Reed, J. Chen, A. M. Rawlett, D. W. Price, and J. M. Tour, "Molecular random access memory cell", Appl. Phys. Lett. 78 (2001) 3735-3737.

[23] J. Berg, S. Bengtsson, P. Lundgren, "Can molecular resonant tunneling diodes be used for a local refresh if DRAM memory cells?", Solid-State electronics 44 (2000) 2247-2252.

ロジックデバイス

今日良く知られている CMOS デバイス・プロセスの微細化は、2016 年の 22nm ノード(物理ゲート長 9nm)までに終わってしまう可能性がある。従って困難なチャレンジは、2016 年以降も情報処理をさらに発展させる新しい技術を発明または開発することである。このような新技術は、新しいインフラストラクチャを造り上げるために必要な大がかりな投資を正当化するために、ある基本的な条件を満たし、しかも説得力のある特性を備えていなければならない。まず第一に新しい情報処理技術は以下の要件を満たさなければならない。

- CMOS の性能をはるかに(100 倍以上)越えてマイクロエレクトロニクスを発展させ、しかも CMOS プラットフォームと円滑に連結できること。これを満たすには、さらに以下の要件が必要 である。
 - ·CMOSより(100 倍 以 上) 越えて機 能 的 にスケーラブルなこと
 - ·高速な情報·信号処理速度とスループット

・機能命令ごとに必要なエネルギーが極めて小さいこと

・機能ごとのコストがスケーラブルで極めて小さいこと

2. 定常状態動作を維持するためにエネルギー回復機能を持っていること(たとえば従来のデバ イスでは,ゲインを持っていること)

メモリ技術の項と同じく、表44に示したロジック技術は、現在研究者の間で探究されている多く の代替技術の一例である。メモリの場合と同様に、この表に載っていても技術的にほとんど支持さ れていない技術もある。反対に、この項で取り上げられていなくても、そのアプローチが全く支持さ れていない訳ではない。ナノエレクトリック・デバイスについては、他の優れた引用文献に詳細に述 べられている^[24]。

(引用文献)

[24] "Technology Roadmap for Nanoelectronics", 2nd Edition, Nov. 2000, Ed. R. Compano.

Table 44	Emerging	Logic	Devices
----------	----------	-------	---------

		i Gate Vivra Liber	*	• • • • • •	<u>CNEER</u> 2	-0-0-
DEVICE	Resonant Tunneling Diode – FET	Single Electron Transistor	RAPID SINGLE QUANTUM FLUX LOGIC	QUANTUM Cellular Automata	NANOTUBE Devices	Molecular Devices
TYPES	3-terminal	3-terminal	Josephson Junction +inductance Ioop	-Electronic QCA -Magnetic QCA	FET	2-terminal and 3-terminal
Advan tages	Density, Performance, RF	Density, Power, Function	High speed, Potentially robust, (insensitive to timing error)	High functional density, No interconnect in signal path, Fast and low power	Density, Power	Identity of individual switches (e.g., size, properties) on sub-nm level. Potential solution to interconnect problem
CHALL ENGES	Matching of device properties across wafer	New device and system, Dimension al control (e.g., room temp operation), Noise (offset charge), Lack of drive current	Low temperatures , Fabrication of complex, dense circuitry	Limited fan out, Dimensional control (room temperature operation), Architecture, Feedback from devices, Background charge	New device and system, Difficult route for fabricating complex circuitry	Thermal and environmental stability, Two terminal devices, Need for new architectures
MATUR ITY	Demonstrated	Demonstra ted	Demonstrate d	Demonstrate d	Demonstrate d	Demonstrated

ロジックデバイス - 表掲載技術の定義と議論 -

RTD-FET^[25] - シリコン(あるいは SiGe)ベースの共鳴トンネルダイオード(RTD)を MOSFET とと もに集積すると、ある種の回路ではより少ない能動デバイスでより速い回路動作が可能となる。 RTD は 2 端子デバイスであるが、RTD と MOSFET を集積することにより 3 端子デバイスとしての利 点を活用できるようになり、RTD の I-V 特性に現れる負性抵抗と MOSFET の I-V 特性とを組合 せて複数の動作点をもつ回路を実現できる。この技術の利点を生かした回路例は、SRAM(1個 のトランジスタ,1個の積層容量,そして2個の RTD からなる)、シフトレジスタ、ラッチ付きのコンパ レータなどである。トンネルプロセスは本質的に極めて速い現象であり、また負性微分抵抗(NDR) 領域では少なくとも2つの安定動作点が存在する(即ち多値論理)ので、RTD と MOSFET の集積 により高速動作が可能である。重大な課題は、RTD 作製に必要な MBE 成長膜を正確に制御す ることである。なぜならトンネル電流はトンネル障壁膜厚に指数関数的に依存するからである。

SET^[26-27] - ロジックデバイスとして提案されている単電子トランジスタ(SET)の基本動作は、メ

モリの項で述べられている単電子メモリに用いられる SET と同じである。単電子トランジスタのロジ ック応用については[26,27]に記載されている。

RSFQ^[28] - 高速単一磁束量子 (Rapid Single Flux Quantum, RSFQ)論理回路は、超伝導 体の量子効果に基づくダイナミック論理回路である。磁束量子 (Fluxon)の保持と伝播によりデバ イスは動作する。基本的な RSFQ 構造は、1つのジョセフソン接合 (JJ)と外部短絡抵抗とを持つ超 伝導体リングである。保持動作は超伝導体誘導リングで行われ、スイッチング動作はジョセフソン 接合で行われる。RSFQ ダイナミック論理回路では、ビットの1または0を表すのに、閉じた超伝導 体誘導ループにおける磁束量子の有無を用いる。回路は、一時的にジョセフソン接合を閉じて保 持されていた磁束量子を放出することにより動作する。するとジョセフソン接合に量子電圧パルス が発生する。この電圧パルスは超伝導伝送線路を伝播して他の RSFQ 構造をトリガし、様々な回 路動作を実現する。この量子効果はマクロスコピックのサイズでも起こるので、サブマイクロンのリソ グラフィは必要ない。RSFQ 回路により100GHz 以上(恐らく750GHz まで)の回路動作が可能で ある。RSFQ 回路は、現状では低温超伝導体のジョセフソン接合(~5K)を用いて作製されている が、高温超伝導体も用いられるであろう。RSFQ デバイスは、バルク超伝導材料の臨界温度より低 い温度でしか動作しないので、冷却が必要である。この技術を市場に導入する際の大きな障害は、 必要な仕様(温度,サイズ,重量など)を満たし適正な価格の冷却システムが利用できるかという 点である。

量子セルラーオートマタ(QCA) - QCA では、お互いに隣と相互作用する規則的に並んだセル を局所配線に用いる。セルとセルの間は静電的な相互作用でカップリングされており、通常の配 線ではない。このような配列では、原理的にアナログまたはディジタル情報をエンコードすることが できる。QCA には主に2つのタイプがある。

·電子 QCA (EQCA)^[29]

·磁気 QCA (MQCA)^[30]

磁気 QCA は最近開発されたもので、その潜在能力についてはまだ完全には評価されていない。 QCA の原型は電子 QCA である。ひとつの EQCA セルは、4,5,または6 個の個々の量子ドット か金属の島から構成されている。4 個のドットからなるセルではセルは正方形であり、セルの四つの コーナーにそれぞれ量子ドットが置かれている。この構成では、電荷は対角線上に対向する2つ のドットを占め、+1 と-1 に対応する2つの安定状態をとることができる。5 つまたは6 つのドットから なるセルではもっと状況は複雑であるが、原理的には同様である。ドット間の相互作用の物理的 機構は、クーロン相互作用と量子力学的トンネル現象である。もしセルが規則的な正方形のグリ ッド上に配列されていたとすると、情報処理のアルゴリズムを記述するのに、すでに確立されている セルラーオートマタの理論とその発展形であるセルラーニューラルネットワーク(CNN)の理論をその ままあてはめることができる。従って、これらの理論をQCAアーキテクチャに適用することができるの である。詳細はアーキテクチャの節で述べる。

ナノチューブデバイス^[31-34] - ナノチューブは、次に述べる分子電子材料の特別で重要なケー スである。カーボンナノチューブは、原子1層の炭素原子の「シート」で作られた分子の「チューブ」 または円筒である。これらの炭素原子は互いに結合して六角形状に配列しており、グラファイトの 原子層と同様にシートを形成している(平面上の六角形の集合と似ている)。このグラファイトに似たシートが巻きあがってカーボンナノチューブとなる。カーボンナノチューブの直径は 1-20nm 程度、長さは100nmから数ミクロンになりうる。チューブの直径とどのように六角形のカーボンシートが巻き あがったかによって、チューブが半導体となるか金属となるかが決まる。これらのバンドギャップエネルギーは、ゼロ(金属)からシリコンと同様の大きさ(1.1eV)くらいまでの間で、その中間の値をとりうる。チューブはpタイプにもnタイプにもドープすることができ、従ってpn 接合が可能である。p-FET がいくつかのグループによって実証されている。シリコン MOSFET と同様に、ゲート電極によってチャネルの伝導度が変調されており、変調比は10⁵かそれ以上である。カーボンナノチューブFET の大きなアレーが作製されており、最近では電圧インバータ即ち NOT 回路の動作が1個の n チャネルFET と1 個の p チャネル FET を用いて実証されている。この n チャネルおよび n チャネル FET は、同一のカーボンナノチューブ上に作製される。

分子デバイス^[35-40] - 分子ロジックデバイスの動作は、ひとつの分子中の電子伝導特性に基づいている。実験データは2端子分子デバイスまでしか得られていないが、3端子分子デバイス構造も提案されている。現在研究されている2端子分子デバイスは、並列に動作する数千もの分子から構成されており、たとえばディジタルスイッチやアナログダイオードが試作されている。このどちらの例においても、一団の分子に電圧を印加すると、分子構造の一部が再配置したり、電気伝導特性が変化したりする。分子中の伝導特性がなぜ変化するかはまだよく分かっていない。可能性の高いモデルとしては、分子中の電子軌道の重なりが変化することにより伝導特性が変化するというモデルがある。分子軌道が正確に重なると電子は分子中を伝導できるようになる。しかし、この軌道の重なりがさらに変化すると(分子はねじ曲げられたり,その形状が変わるので)電子の流れは妨げられる。分子エレクトロニクスの近い将来の応用例としては、分子とサブ 100nm CMOS との集積によるハイブリッドシステムがある。長期的な可能性としては、すべてが分子からなるシステムがあげられる。2端子のディジタルスイッチやアナログダイオード以外にも、最近ではさまざまな分子素子が実験的および理論的に検討されており、たとえば双安定スイッチ,分子 NEMS,3 端子分子デバイス(分子トランジスタ),スピン分子デバイスなどがある。表45はナノエレクトロニクス向け分子素子の研究状況のまとめである。

MOLECULAR COMPONENT	MATURITY
Conductor	Demonstration [35]
Insulator	Demonstration [35]
Diode	Demonstration [35]
Resonant tunnel diode	Demonstration [35]
Memory (bistable 2-terminal switch)	Demonstration [36]
Transistor (3-terminal switch)	Demonstration [37,38]
Molecular NEMS	Concept [39]
Molecular Optoelectronic devices	Concept [39,40]

Table 45 Status of Molecular Components for Nanoelectronics

[25] D. J. Paul, B. Coonan, G. Redmond, G. M. Crean, B. Holländer, S. Mantl, I. Zozoulenko, K.-F. Berggren, "Silicon quantum integrated circuits", in: S. Luryi, J. Xu, and A. Zaslavsky (Eds.), Future Trends in Microelectronics (1999 John Wiley & Sons, Inc), pp. 183-192.

[26] K. K. Likharev, "Single-electron devices and their applications", Proc. IEEE 87 (1999) 606-632.

[27] H. Mizuta, H.-O. Müller, K. Tsukagoshi, D. Williams, Z. Durrani, A. Irvine, G. Evans, S. Amakawa,

K. Nakazoto, and Haroon Ahmed, "Nanoscale coulomb blockade memory and logic devices", Nanotechnology 12 (2001) 155-159.

[28] K. Block, K. Track and M. Rowell, Superconducting ICs: the 100 GHz second generation, IEEE Spectrum, December 2000, P 40-46.

[29] C.S.Lent and P.D. Tougaw, "Dynamics of quantum cellular automata", J. Appl. Phys. 80, 4722-4736, 1996.

[30] R.P. Cowburn and M.E. Welland, "Room temperature magnetic quantum cellular automata", Science 287, 1466-1468, 2000.

[31] P. G. Collins and P. Avouris, "Nanotubes for Electronics", Scientific American, Dec. 2000, 62-69.
[32] R. Martel, T. Schmidt, H. R. Shea, T. Hertel, and P. Avouris, "Single- and multi-wall carbon nanotube field-effect transistors", Appl. Phys. Letters 73, 2447 (1998).

[33] P.G. Collins, M. Arnold, and P. Avouris, "Engineering carbon nanotubes and nanotube circuits using electrical breakdown", Science 292, 706 (2001).

[34] V. Derycke, R. Martel, J. Appenzeller, and P. Avouris, "Carbon nanotube inter- and intramolecular logic gates", Nano Letters, 1(9), 453 (2001).

[35] J. C. Ellenbogen and J. C. Love, "Architectures for molecular electronic computers: 1. Logic structures and an adder designed from molecular electronic diodes", Proc. IEEE 88 (2000) 386-425.

[36] M. A. Reed, J. Chen, A. M. Rawlett, D. W. Price, and J. M. Tour, "Molecular random access memory cell", Appl. Phys. Lett. 78 (2001) 3735-3737.

[37] E. Emberly and G. Kirczenov, "Principles for the design and operation of a molecular wire transistor", J. Appl. Phys. 88 (2000) 5280-5282.

[38] J.H. Schon, H. Melig, Z. Bao, "Field-effect Modulation of the Conductance of Single Molecules," Sciencexpress, www. Sciencexpress.org/8 Nov. 2001, page 2.

[39] Y. Wada, "Prospects for single molecule information processing devices", Proc. IEEE 89 (2001) 1147-1771.

[40] G. F. Cerofolini, G. Ferla, "Toward a hybrid micro-nanoelectronics", J. Nanoparticle Res. (2001).

アーキテクチャ

過去 30 年間にわたり信じ難い領域に至った CMOS 集積回路の微細化が、機能の複雑さを増 し続けるマイクロエレクトロニクスシステム(情報処理技術)を可能としてきた。このロードマップのさら に先までシリコン CMOS のスケーリングが続くということは絶対にないとは言えないが、ありそうもな いことである。 CMOS スケーリングは 22nm ノードの 2016 年あたりでゆるやかな終焉を迎えるかもし れない。スケーリングが進み、リーク電流、消費電力、配線遅延等のデバイス・回路の性能の問題が顕在化している。その上、市場に牽引された新たなアプリケーションが、回路やシステムアー キテクチャの設計者に対しますます安定した CMOS プラットフォームを用いてシステム機能を実現 する新しいアプローチを取らせる動機を与えている。結果として、シリコンベースのデバイスのスケ ーリングによる性能向上を続けさせようとする圧力が、新しい情報処理アーキテクチャの開発を新 デバイスの場合と同様に促進している。 また、他の分野(たとえば物理やコンピュータサイエンス) の研究者が情報処理への新しいアーキテクチャから見たアプローチに打って出ようと目論んでい る。この中の何例かは、量子コンピューティングのように、それらの機能を実現するのに必要な材 料・デバイス技術の研究を押し進めている。

さらに 2 つの要因によって新しい回路設計やシステムアーキテクチャの研究が押し進められてい る。第1は全く新しい物理原理により、FET を越える動作を具現化するデバイスとテクノロジ(分子 エレクトロニクスと量子セルラオートマトン)の発明である。これらの新しい構造は、役に立つ形で機 能させるには間違いなく新しいアーキテクチャが必要である。新デバイスの開発によって新アーキ テクチャの開発が押し進められると考えて良いであろう。第2はロジックやメモリというCMOS 機能を、 それ以外の RF、アナログ、光処理、MEMS 等の機能と統合するプロセステクノロジである。ウェー ハ接合技術開発の進展が、シリコンデバイスの 3 次元集積と新しいアーキテクチャの必要性に関 する議論を押し進めてきた。同様に非常に広いバンド幅の可能性を持った光 I/Oの開発は、その 能力を発揮させるための新しいアーキテクチャの研究を進めるであろう。表46に新探究アーキテク チャの概要をまとめた。

		: :::: ::				Corport 3 per con 1 per n Constante Do Average 1 () 1 ()
Architecture	3-D Integration	QUANTUM Cellular Automata	DEFECT TOLERANT ARCHITECTURE	Molecular Architectu RE	Cellular Nonlinear Networks	QUANTUM Computing
Device Implementatio N	CMOS with dissimilar material systems	Arrays of quantum dots	Intelligently assembles nanodevices	Molecular switches and memories	Single electron array architecture s	Spin resonance transistors, NMR devices, Single flux quantum devices
Advantages	Less interconnect delay, Enables mixed technology solutions	High functional density. No interconnect s in signal path	Supports hardware with defect densities >50%	Supports memory based computing	Enables utilization of single electron devices at room temperature	Exponential performance scaling, Enables unbreakable cryptograph y
Challenges	Heat removal, No design tools, Difficult test and measuremen t	Limited fan out, Dimensional control (low temperature operation), Sensitive to background charge	Requires pre-computi ng test	Limited functionali ty	Subject to background noise, Tight tolerances	Extreme application limitation, Extreme technology

Table 46 Emerging Research Architecture

MATURITY	Demonstrati	Demonstrati	Demonstrati	Concept	Demonstrati	Concept
	on	on	on		on	

アーキテクチャ - 表掲載技術の定義と議論 -

3次元異種デバイス集積^[41-42] - 半導体デバイスの3次元配列集積は二つの異なる方向か ら押し進められている。最初の動機は別種のテクノロジを共通のプラットフォーム上に集積し、最 適な情報処理の解を得ようとする必要性に関連する。 微細 CMOS を越える新探究テクノロジが、 特定用途に向けたミックス&マッチ技術による大きな性能改善の可能性を提供することは明らかで ある。マイクロプロセッサ、ASIC、DRAM 等から始まり、RF、アナログ、光伝送、MEMS 等にいたる 様々な技術を組み合わせるには3次元集積が必要である。3次元集積される異種技術には、シリ コンプラットフォーム上に集積される分子、プラスチック、RSFQ 等も後には含まれるであろう。もう一 つの主要な 3 次元集積の牽引役は、システムの性能を最大限発揮させるために広域配線の遅 延を減少させることである。 デバイスを3次元に重ね合わせることでトランジスタを平面配列させた 場合に比べ、配線遅延を 60%まで減少させられるであろうことがすでに示されている。3次元集積 のためには、低温でウェーハあるいはチップを接合させる技術が必要である。 特定の用途では、 シリコンよりも優れているいろいろな新探究テクノロジを一つの基板に搭載できる集積化技術が開 発できれば、大幅な改善が得られるであろう。プロセスの前段階で作られた材料や構造に悪い影 響を与えないためには、200 以下のウェーハボンディングが必要である。

量子セルオートマトンアーキテクチャ^[43-45]-量子セルオートマトン(QCA)とは、相互に近傍セ ルと影響を及ぼし合う規則配列させられたセルが、局所的に接続されるというアーキテクチャのひ とつである。 QCA ナノ構 造 の物 理 的 な動 作 は、 先 のロジックデバイスの節 で説 明した。 QCA セル を規則正方格子上に配列させると、情報処理アルゴリズムの記述のために長きにわたって確立さ れたセルオートマトン理 論 が、 その拡張 であるセルラニューラルネットワーク(CNN)理 論と一 緒 に適 用できる。これにより、理論の大半を直接 QCA アーキテクチャに適用することができる。規則 EQCA 格子が、ある種の拡散や波動方程式を解くことができることは示されている^[43]。また、理論 的には任意のデジタル論理問題の解法に用いることも可能であるが、このようなシステムは面積効 率の非常に悪いものになるであろう。しかし、規則配列格子の制限を取り除くことで、EQCAを適 度な効率を持つ汎用計算処理にまで発展させることは可能である。 不均一なレイアウトに加えて、 EQCA は空間的に不均一な断熱クロック場を必要とする。これはセルの状態切替を制御し、状態 |遷移を速やかに行うためのものである。 このクロックには利得、非線形性、隣接回路素子との間の 分離などを効率よく行えるという利点もある。 最近の実験結果^[43]によって元の理論は検証されて いる。EQCA へのクロックの付加は回路自体の複雑さを増すが、応用可能範囲を大きく広げるも のである。EQCA セルを用いて、任意の処理構造をデザインするためのブール代数論理ゲートの 基本 セットを構築 することは可能であるが、現在までのデバイスと回路の分析結果は EQCA 回路 の動作スピードが約 10MHz^[44,45]以下にとどまるであろうことを示している。

デイフェクトトレラントアーキテクチャ^[46] - ディフェクトトレラント(defect tolerant)コンピュータアー キテクチャとは、 製造中に生じたハードウエアの故障があってもシステムが満足に動作することを意 味するものである。これは計算機が動作中に生じた障害を修復する能力を持つことを意味する" fault tolerance"とは異なるものである。ディフェクトトレラントハードウエアの必要性は、ナノメータス ケールの構造の製作では大規模システムに求められる信頼性を得ることが難しいという可能性か ら生じたものである。分子サイズの構造物からなるシステムは多くの不完全性を有するであろうし、 通常の無欠陥を前提とした計算システムは正常に動作しないであろう。

通常の集積回路ではチップの機能の記述を先ず行い、それからハードウエアを構築する。ディ フェクトトレラントアーキテクチャの考え方はこれとは反対である。配線とスイッチとからなる包括的な セットを作り、それからリソースを構築し、所望の機能を得るためにスイッチ間をリンクしセッティング する^[46]。ディフェクトトレラントシステムのかなめはハードウエア資産の冗長性であるので、スイッチ、 メモリセル、配線といった余分な構成要素が必要である。冗長性を備えることから非常に高い集 積密度が得られる。製造はあまり高価なものではないかもしれない(たとえば 3 次元ランダムワイヤ ー列上に構成した化学的な自己組織化による分子スイッチなど)。しかしながらこのような回路を 動作させるためには、面倒なテストプロセスが必要である。そこでは欠陥を検出しその位置をチッ プ上のデータベースに記録するコンピュータチュータによって好みの熟達度にまで訓練される^[46]。 原則として欠陥に関する情報だけでなく、入力に対する全ての結果(全ての論理演算結果)も適 当な容量の高速アクセスメモリがあればデータベースに保管できる。一方欠陥を生じた部位への 対処としてハードウエア的に計算経路を迂回させる手だてがあるべきである。これは広いバンド幅 を持つ予備の配線を持つことを意味する。このようなメモリと配線を中心とした計算手法は、大変 チャレンジングであるが、おそらく分子コンピュータにおいて実現されるであろう。

ディフェクトトレラントアーキテクチャの主 な利 点 は以 下 の 2 点 である

1.本質的に完全にはできないナノスケールの構成要素を用いて複雑なシステムを構築できる可 能性

2.動作に起因し生じた欠陥をシステム再構築により自己修復する能力

ディフェクトトレラントの不利な点で重要なのは、製造後に面倒な学習プロセスが必要な点である。 また非常に大量の配線面積と予備の素子が高い欠陥率に対処するためには必要であろう。しか しながらディフェクトトレラントアーキテクチャは幅広い概念のものであり、様々な取り組みを以て実 現可能である。たとえばメモリベース分子コンピュータや非線形セルネットワークなどで。

分子アーキテクチャ - 汎用情報処理のために基本的に求められるのは、三端子スイッチング素 子とメモリと、これらを数多く結合させる手段である。多数の素子を結ぶ手法、特にグローバル配 線のように長距離のものも求められる。今日までに二端子分子スイッチ、微分負性抵抗ダイオー ドとメモリ素子が研究的に作られている。複雑な論理回路を構成するには、ゲインを持つ三端子 デバイスが必要である。さらに大量のデバイスを結ぶ手法が必要である。この問題を解決する手 段は未だ明らかでなく、革新的な新しいシステムアーキテクチャが分子デバイスを活用するには必 要であろう。

Cellular non-linear networks 非線形セルラネットワーク(CNN) [47,48] - 非線形セルラネットワークは、ある種の動的システム(セルと呼ばれる)の 2,3 または N 次元配列であり、以下の 2 つの特質を有するものである。1) ほとんどの相互作用が有限の半径 r 内にのみ及ぶ、2) 状態変数は連続値である(デジタルでは無い)。セル間と近接セル間の相互作用は、入力、状態、出力の各変

数を用いたテンプレートで記述される。一つのセルの変数の相互作用は、半径r内の近接セルに 関連した変数の線形あるいは非線形関数のどちらでも良い。クローニング関数は、テンプレートが どのように空間的にグリッド上で変化し、境界値や初期値に対するアレイの動的応答をどのように するかを定義する。相互作用の及ぶ距離と接続の複雑度はセルの数とは無関係であり、このアー キテクチャはスケーリング可能で信頼性があり強固である。アレイのプログラミングは、セル単一の 動特性と接続テンプレートとテンプレートのクローニング関数で構成される。シンプルな機能コンポ ーネントの固有な用法のおかげで、これは VLSI デザインの方法論よりもはるかに単純である。 CNN で2値ゲートの基本セットやより複雑なゲート回路を構成することが可能である。CNN は拡散 方程式や対流方程式をはじめとして、より複雑な偏微分方程式を直接解くことができる。神経系 の機能を直接シミュレートすることも、その局所的な連結特性故に可能である。CNN のアーキテク チャは、ナノスケールデバイスや自己組織化デバイスを多く含む不完全性を持つハードウエアの 応用に大変適している。特に分子デバイス、量子ドット、単電子トランジスタ(トンネル位相ロジック の形態の場合)共鳴トンネルダイオードがこれに該当する。

量子情報処理^[49-57] - コヒーレントな量子デバイスは、情報を蓄えたり操作するのに位相を用いる。量子状態の位相情報は基本量子ビット(qubit)と呼ばれる。これは外部の状況に大変敏感であるり、容易に周囲の粒子の量子状態と結合したり複雑にからみあったりする。 いかなる物質系もその周囲から完全に分離されることはない。しかし、同じ敏感な特性が物理的なゲートを制御し隣接する基本量子ビットをからませるために使われる。量子情報処理あるいは量子コンピューティングの核となるアイデアは、波動関数の重ね合わせが並列に操作され、従来のコンピューティングに比べ大幅なスピードアップができる点にある。有益な機能を得るような波動関数の操作を行ったり、計算結果を読みとる方法の探索などが問題である。

本質的には以下の3つの異なるアプローチが量子コンピュータ実現のためにとられる。

1.核磁気共鳴 (NMR)^[49]、線形光学^[50]、共振器量子電気力学 (CQED)^[51] 等、バルク 共鳴を利用したもの

2.トラップされたイオン、^[52] 光 共 振 器 中 に 置 かれた 原 子^[53]等、 原 子 を 用 いたもの

3. 半導体 [54]、超伝導体 [55]等固体物理に基づくもの

ここでは固体物理量子コンピューティングを中心に議論する。なぜならこのアプローチが商業的 に最も魅力的と認められているからである。おそらく固体物理を用いる方法が量子コンピュータの 複雑さを最も低減するであろう。

すでに述べた通り、量子コンピューティングにおける基本的な観念は基本量子ビットである。従 来のコンピュータのビットに相当するものであるが、より広範な意味を持つ。 情報の有限次元の 2 値表現というよりは、基本量子ビットは要素連続体からなる 2 次元ヒルベルト空間の一部である。 このように量子コンピュータは2値コンピュータよりずっと濃密な空間で動作する。これまでに多くの 簡単な量子ゲートが、入力量子レジスタの組に対し出力の量子レジスタへのマッピングを行うとい う、基本量子ビットの考えに基づいて定義されている。 一つのゲートは二つの隣接する量子レジ スタに蓄えられる基本量子ビットを絡ませることができる。そして、ゲートの組合せはより複雑な処 理を行うのに用いることができる。 2 値論理と同じように、量子ゲートにも計算機能の完全な最小 セットが存在することを示すことができる。かなりの研究が量子コンピューティングの可能性を明ら かにするために行われている。理論的には、量子コンピュータは同じ複雑度とスピードの通常のコ ンピュータに劣らない。 さらに興味深いことに、特定の重要な問題については量子コンピュータの 方が優れている。特に量子コンピュータでは、数の桁数の多項式に比例した時間で素因数分解 が可能であることが示されている^[56]。これはこの特別な問題においては、量子コンピュータが通常 のコンピュータと比べて格段に優れていることを示している。この結果のキーは、量子コンピュータ が量子フーリエ変換を効率よく計算できる能力にある。この特徴は、RSA のようなコード化の鍵を 素早く決定できることであり、暗号化にすぐにでも応用できるものものである。 100桁のオーダーの RSA コードを解くのに必要な量子ゲートは2、3000個程度であると見積られている^[57]。

(引用文献)

[41] J. A. Davis, R. Venkatesan, A. Kaloyeros, M. Beylansky, S. I. Souri, K. Banerjee, K. C. Saraswat, A. Rahman, R. Reif, and J. D. Meindl, "Interconnect limits on gigascale integration (GSI) in the 21st century", Proc. IEEE 89 (2001) 305-324.

[42] K. Banerjee, S. J. Souri, P. Kapur, and K. C. Saraswat, "3-D ICs: A novel chip design for improving deep-submicrometer interconnect performance and systems-on-chip integration", Proc. IEEE 89 (2001) 602-633.

[43] Porod, W. et al., "Quantum-dot cellular automata: computing with coupled quantum dots", Int. J. Electronics 86, 549-590, 1999.

[44] Bonci L., Iannaccone G. & Macucci M., "Performance assessment of adiabatic quantum cellular automata", J. Appl. Phys. 89, 6435-6443, 2001.

[45] Nikolic K., Berzon D. & Forshaw M., "Relative performance of three nanoscale devices - CMOS, RTDs and QCAs - against a standard computing task", Nanotechnology 12, 38-43, 2001.

[46] J. R. Heath, P. J. Kuekes, G. S. Snider, R. S. Williams, "A defect-tolerant computer architecture: opportunities for nanotechnology", Science 280 (1998) 1716-1721.

[47] L. O. Chua, "CNN: A paradigm for complexity" (Word Scientific Publishing Co. 1998).

[48] In the literature, the abbreviation CNN is also used to indicate Cellular Neural Networks. Cellular Neural Network architectures also satisfy conditions 1 and 2 above but differ from Cellular Nonlinear Networks in that Cellular Neural Networks allow only for linear interactions within and between cells. Consequently, Cellular Nonlinear Networks are capable of solving a more general class of problems.

[49] M. Steffen, L. M. K. Vandersypen, and I. L. Chuang, "Toward Quantum Computation: A five Qubit Quantum Processor," IEEE Micro 21(2) (2001) 24-34.

[50] Shigeki Takeuchi, "Experimental demonstration of a three-qubit quantum computation algorithm using a single photon and linear optics", Phys. Rev. 62 (2000).

[51] Grangier P, Reymond G, Schlosser N, "Implementations of quantum computing using cavity quantum electrodynamics", Fortschr. Phys.-Progress Of Physics 48 (2000) 859-874 schemes.

[52] C. Monroe, D. M. Meekhof, B. E. King, W. M. Itano, and D. J. Wineland, "Demonstration of a fundamental quantum logic gate", Phys. Rev. Lett. 75 (1995) 4714-4717.

[53] Milburn GJ, "Quantum computing using a neutral atom optical lattice: An appraisal"

Fortschr. Phys.-Progress Of Physics 48 (2000) 957-964.

[54] B. E. Kane, "A silicon-based nuclear spin quantum computer", Nature 393 (1998) 133-137.

[55] D. V. Averin, "Quantum computation and quantum coherence in mesoscopic Josephson junctions",J. Low Temp. Phys. 118 (2000) 781-793.

[56] P. W. Shor, "Algorithms for quantum computation: Discrete logarithms and factoring", Proc. 35nd Annual Symposium on Foundations of Computer Science, IEEE Computer Society Press (1994), 124-134.
[57] C. P. Williams and S. H. Clearwater, "Explorations in Quantum Computing" (1998 Springer-Verlag, New York, Inc).

新探究テクノロジのパラメータ分析

新探究テクノロジ

この節では、新しい情報処理システム同士をあるいはそれと微細 CMOS とを関連づける。一般 に新探究テクノロジは直接シリコンを置き換えるものではなく、機能させるためには全く新しいアー キテクチャを必要とする。 このため新探究テクノロジの特徴を現し、長所や短所に有意に結びつ けられるパラメータを見つけることは、不可能では無いが難しいことである。

図25にスピード、サイズ、コストの観点で行った新探究テクノロジのパラメータ分析を示す^[58]。 CMOS を含む4つのテクノロジはCMOSとロジックの節で紹介済みであり、残り4つ(プラスチック デバイス、光コンピュータ、NEMS、ニューロモルフィック)はこの節で説明している(ニューロモルフ ィックは、CMOSと同様に、比較のために加えた)。 先にあげた3つのパラメータはグラフの三次 元表示のために用いており、4番目のパラメータのスイッチングエネルギは、グラフ右下の凡例のよ うに色を変えて表示してある。 軸はすべて対数表示で何桁にも渡っている。それぞれのテクノロジ は、3次元空間の中の直方体として示され、単一のゲートの動作に必要なエネルギに応じた色づ けがされている。それぞれの直方体は定量的な読みとりができるように軸平面上にも投影されてい る。投影された長方形は、それぞれのテクノロジの色がつけられたクロスハッチで描かれている。

実際に測定されたデータが無い場合にはいろいろな仮定をもとにパラメータを見積った。それぞれのテクノロジに対するパラメータ値は表47にまとめて示されている。テクノロジが測定結果が無く 考案されただけの場合は、基礎となる物理原理に基づいて求めた。測定結果のある場合でも、ど こまでスケーリングできるかについては仮定を行っている。この場合スケーリングの議論は物理原 理に基づいている。

いくつかのテクノロジは優位性を発揮できる特定のアプリケーションに向けたものである。たとえば 量子コンピューティングは素因数を Shore のアルゴリズムで非常に効率良く見つけだせるが、他の アプリケーションでは効率は良くない^[56]。この場合演算あたりの"実効(effective)"時間として、古 典的なデバイスが古典的なアーキテクチャとアルゴリズムで計算を行うのに必要な時間を求めた。 それゆえに大きな数を素因数分解する N 基本量子ビットの量子コンピュータの"実効"演算時間 は、量子コンピューティング固有の並列性故に、N ゲートの古典的なコンピュータよりも非常に短 いものである。同様の議論は、ニューロモルフィックや光コンピューティングについても行える。

この図は、このようなアプリケーション空間における新探究テクノロジの相対的な位置を有意な情

報として示している。微細 CMOS と競合するものはほとんどなく、大多数は相補的であることが図 から分かる。新探究デバイスを取り揃えることでシリコンテクノロジの範疇から、より広大なアプリケ ーション空間を網羅できることも図から明らかである。図25と表47は、全く異質の技術を比較見 積りした最初のものである。これらをもとに、技術の比較に対する根拠や意味合いについて本質 的な議論が行われる刺激になることを望む。

Technology	T _{min}	T _{max}	CD _{min}	CD _{max}	Energy	Cost min	Cost max
	sec	Sec	m	m	J/OP	\$/gate	\$/gate
Si CMOS	5E-11	1E-6	8E-9	5E-6	1E-12	1E-2	1E1
RSFQ	1E-12	1E-11	1E-4	1E-3	2E-18	1E-3	2E-3
Molecular	1E-8	1E-3	1E-9	5E-9	5E-15	1E-1	4E-1
Plastic	1E-4	1E-3	1E-4	1E-3	5E-19	1E-7	1E-6
Optical (digital)	1E-16	1E-12	2E-7	1.5E-6	5E-7	4E2	2.5E3
NEMS (optimistic)	1E-10	1E-8	3E-9	3E-8	<1E-21	1E1	1E2
NEMS (conservative)	1E-7	1E-3	1E-8	1E-7	5E-16	1 ¹	1E1
Neuromorphi c	1E-4	1E-2	5E-6	1E-5	2E-13	1E-3	1E-1

Table 47Estimated Parameters for Emerging Research Devices and Technologies

In this table T stands for a single delay, CD stands for critical dimension, Energy is the intrinsic operational energy and cost is defined as \$ per gate.



Figure 47 Parameterization of Emerging Technologies and CMOS—Speed, Size, Cost, Power

新探究テクノロジ - 表掲載技術の定義と議論 -

プラスチックトランジスタ - プラスチックトランジスタとは、プラスチック基板上に作られた TFT(Thin Film Transistor)のことである。TFT の活性層は、アモルファスあるいは多結晶のシリコ ンか有機半導体である。TFT はしばしば有機 LED(Light Emitting Diode)と組み合わされる。曲 げたり、折ったり、任意の形状の面に貼り付けたりできる柔らかい高機能性ディスプレイデバイスを 作るためである。有機材料を全面的に使用したプラスチックデバイスはすでに作られている。この デバイスの機械的な柔軟性は全く新しい展開につながるものである。たとえばフレキシブルディス プレイの画素ドライバや急激に市場が成長しつつある認証や商品タグなどの分野である^[61]。これ らのデバイスの電源電圧は10Vで100µmのルールで作られており、適度な電子移動度と電流電 圧特性が得られている。ペンタセンを基にしたプラスチックトランジスタでは、オン/オフ比10⁵以上 で動作電圧が5Vと低いものが報告されている^[62]。最近ではポリエステル基板と有機物(ペンタセ ン)を用いたアナログ、デジタル回路も製作・評価されている^[3]。プラスチックトランジスタはとても安価 で大面積の非平面にも適用できるポテンシャルがあり、たくさんの応用が開ける可能性がある ^[64,65]。紙ベースの基板を用いて印刷技術を使う場合、その基本的なコストはインクジェット印刷と 同程度のものであろう。この技術は可変バーコードのような使い捨て用途に使えるかもしれない。 *光コンピュータ^[66]* - 光コンピューティングは、固体中への光の透過とそれに基づく相互作用を 基礎とする情報処理である。光デジタルコンピュータの潜在的な特長は、以下のような情報のキャ リアとしての光の性質に基づくものである。

・光束は互いに影響を及ぼし合わない

- ·光情報処理は並列に行える (フーリエ変換など)
- ・究極の信号伝播速度(光の速度)

全て光で処理する場合でも、電子部品を必要とすることは留意すべきである。たとえばレーザや 光学的な性質が、電荷や光に反応する原子などによって影響を受ける非線形素子がそうであ る。

光デジタル処理の不利な点は以下の通りである。

- ・ 比較的 大きなサイズの構成部品 (光スイッチなど、回折現象の制限による)
- 高速な処理は大きなパワー消費を伴う。たとえば光制御方式相変化材料(スイッチやメモリのための)では、高速の原子の再配列のために大量のエネルギー供給を必要とする。現実的なデバイスでは、"光の速度の計算"は膨大なエネルギーを必要とし、ありそうもないことである。

そう遠くない将来ということでは、サブ 100nmCMOSとフォトニック素子の集積化はあるかもしれない。 新探究メモリデバイスの節で説明した OUM のような光制御相変化材料も使われるかもしれない。 現在の光アナログコンピュータの完成度を高めることも、もうひとつの方向性である。これはフーリエ 変換などを通常のコンピュータに比べてずっと速く計算できる。光アナログコンピュータは、連続的 なデータをは高速で処理できる。しかし、正確さにおいてはデジタルコンピュータとは比較にならな い。

ナノエレクトロメカニカルシステム (NEMS) - ナノメカニカルコンピュータの原理では、機械的な デジタル信号は固体構造物の変位で示され、その伝搬スピードは音速にとどまる (ダイヤモンド 中で1.7×10⁴ m/s)。楽天的な見積りでは、NEMS 論理ゲートのスイッチング時間は0.1ns、消費パ ワーは10⁻²¹ J以下で、コンピュータは1ワットで10¹⁶命令を実行する(人間の脳は1ワットで5×10¹² 命令)。このスイッチングエネルギーの見積り値は、不可逆コンピューティングの熱力学的限界値 kTln² を下まわっている。これは NEMS コンピューティングが論理的に可逆であるためと信じられて いる^[67]。

より保守的な見積りが、最近の並列データストレージ用 VLSI-NEMS チップの試作例(IBM の Milliped構想^[68])を元に行われている。500 Gbit/in²のストレージ密度、6 Mbit/sの最高データレ ートが報告されている。双方の見積りの結果は表47にまとめられている。

ニューロモルフィック —人間の脳は原始的なニューロモルフィック情報処理システムであり、ここでは人工的に作られた情報処理システムとの比較基準として扱う。個々の神経細胞の長さは、脳の体積と神経細胞の数から見積ることができる。同様に表47の中の処理速度は、実験的に求め

られた神経接合の開閉時間である。 この節の概説にあるように、ニューロモルフィック"実行処理時間"を求めることは可能である。この場合、リファレンスとなるのは視覚情報処理であり、これについては人工システムに関する大量の情報がある。このようにして求めた実効時間は神経接合のス ピードよりもずっと速く、人間の脳の相互結合密度がいかなる人工システムよりはるかに大きいためである。個々の神経細胞は 100 から 10000 の神経接合節につながっており、これが人工システム と人間の脳のアーキテクチャの間の主要な差異である。

人間の脳の基本パラメータは以下の通りである。

- ·神経細胞数—10¹¹-10¹² ^[70]
- ・ひとつの神経細胞が形成できる神経接合数 100から10000 [71]
- ·重さ—1.5 kg
- ・堆積—1.5 □
- ・消費エネルギー―2.5 W
- ·記憶容量—1e14 bits [71]
- ·処理速度—1e13 bits/s^[71]

上記の基本的なパラメータを用いて表47にある付随的なパラメータは導出できる。

- (引用文献)

[58] Research Triangle Institute, Center for Digital Systems Engineering, [Dr. Sam Field, Ms. P. J. Woodard and Mr. Dale Rowe] is gratefully acknowledged for providing technical support in the preparation of Figure 5.

[59] Estimated on the principle of reasonable cost and assumed two-dimensional architecture of NEMS computer.

[60] F. Würthner, "Plastic transistors reach maturity for mass applications in microelectronics", Angew. Chem. Int. Ed. 40 (2001) 1037-1039.

[61] C. D. Dimitrakopoulos, S. Purushothaman, J. Kymissis, A. Callegari, J. M. Shaw, "Low-voltage organic transistors on plastic comprising high-dielectric constant gate insulators", Science 283 (1999) 822-824.

[62] M. G. Kane, J. Campi, M. S. Hammond, F. P. Cuomo, B. Greening, C. D. Sheraw, J. A. Nichols, D. J. Gundlach, J. R. Huang, C. C. Kuo, L. Jia, H. Klauk, T. N. Jackson, "Analog and digital circuits using organic thin-film transistors on polyester substrates", IEEE Electron. Dev. Lett. 21 (2000) 534-536.

[63] J. M. Xu, "Plastic electronics and futurte trends in microelectronics", Synthetic Metals 115 (2000) 1-3.

[64] S. Forrest, P. Burrows, and M. Thompsan, "The dawn of organic electronics", IEEE Spectrum, Aug. 2000 p. 29-34.

[65] H. J. Caulfield, "Perspectives in Optical Computing", Computer, Feb. 1998, p. 22-25.

[66] K. Eric Drexler, Nanosystems: molecular machinery, manufacturing and computation (John Wiley & Sons, Inc. 1992).

[67] M. Despont, J. Brugger, U. Drechsler, U. Düring, W. Haberle, M. Lutwyche, H. Rothuizen, R. Stutz,
R. Widmer, G. Binnig, H. Rohrer, P. Vettiger, "VLSI-NEMS chip for parallel AFM data storage",
Sensors and Actuators 80 (2000) 100-107.

[68] J. E. Dowling, The retina: an approachable part of the brain (The Belknap Press of Harvard University Press 1987).

[69] R. U. Ayres, Information, Entropy, and Progress (AIP Press 1994).

[70] J. E. Dowling, The retina: an approachable part of the brain (The Belknap Press of Harvard University Press 1987).

[71] R. U. Ayres, Information, Entropy, and Progress (AIP Press 1994).