

無線通信のための RF および AMS 技術

概要

現在、高周波およびアナログ・ミックスドシグナル技術は、多くの半導体製品で成功するための、重要な鍵になってきている。こうした技術が、無線通信市場の急速な成長を支えている。また、これらの技術は、SiGe のように CMOS プロセスと互換性をもつものや、周期表の III-V 族に属する化合物半導体のように、CMOS プロセスとは異なるものなど、多くの物質材料から成り立っている。

RF (Radio Frequency) および AMS (Analog/Mixed-Signal) 技術によって可能となる無線応用が、ITRS の新しいシステム牽引役になるものと考え、国際ロードマップ委員会 (IRC) では、2003 年版 ITRS において、III-V 族化合物半導体デバイスについて技術的な検討を行うことにした。2001 年版 ITRS におけるガイドラインに換えて、CMOS と互換性のあるプロセスにより作られる製品だけでなく、CMOS プロセスとは互換性のないプロセスにより作られる製品による半導体市場からの要求についても含めるものとした。

この 2003 年版 ITRS の RF および AMS の章の目的は、以下のようなものである。

1. 0.8GHz から 100GHz で動作させる、セルラフォン、無線 LAN(local area network)、無線 PAN(personal area networks)、フェーズドアレイ RF システム、および、その他の新規の無線通信応用において、RF および AMS 技術に求められる課題を明らかにすること。
2. Si による CMOS、BiCMOS および SiGe による HBT(heterojunction bipolar transistors)と、III-V 族化合物半導体デバイスとの交点について明らかにすること。CMOS 互換および非互換プロセスにより作られる製品の同時集積については、ITRS の 2003 年版よりも後の版において、より深く取り扱うものとする。

2001 年版 ITRS のシステム・ドライバ章の更新においては、過去の牽引役として、DRAM(dynamic random-access memory)、SOC(system-on-chip)、AMS(analog/mixed-signal)および MPU(microprocessors) を挙げていた。化合物半導体については、たんに AD コンバータの性能を上げるものとして、ミックスドシグナルの発展について述べた節において触れるに止まっていた。2003 年版 ITRS では、新たに設ける本章において、RF および AMS 技術について大きく取り扱うことにした。

本章は、AMS(0.8-10GHz 周波数帯)、RF トランシーバ(0.8-10GHz)、パワーアンプおよびパワーマネジメント(0.8-10GHz)、そしてミリ波(10-100GHz)の、4 小節からなっている。初めの 2 小節は、ITRS2001 年版の AMS の表 39 を発展させたものを下敷きとしている。後の 2 小節については、2003 年版 ITRS で新たに作ったものである。約 10GHz から 40GHz の周波数帯は、単元系と多元系半導体が、共存または競合することが予想される領域である。現在、10GHz 以下では、IV 族半導体 (Si および SiGe) が中心であり、40GHz 以上では III-V 族化合物半導体が中心になっている。単元系と多元系半導体が競争する周波数領域は、時代とともに変化しており、高い周波数側に移ってゆくものと考えられる。しかし、SiGe は 10-

2 無線通信のための RF および AMS 技術

40Gbits 帯の能力を持っていても、高い電力増幅率や超低ノイズが求められるアプリケーションでは、III-V 族に取って代わることはないと考えられる。

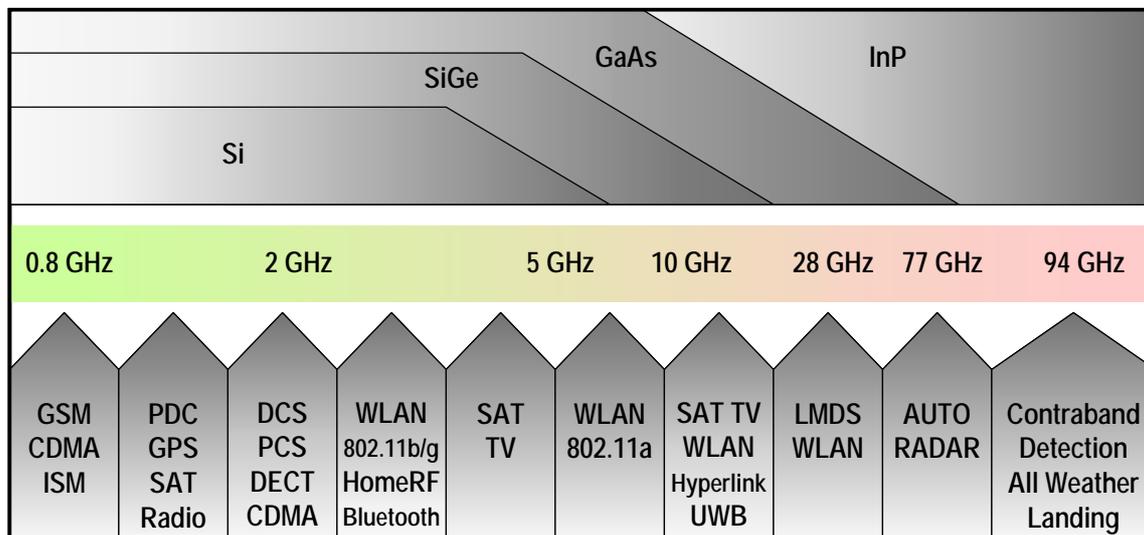


図 30 Application Spectrum¹

図 30 は、商業的な無線通信アプリケーションと適用周波数帯、そこで使用されると考えられる単元系および化合物半導体の種類との関係という見地から、この章のスコープを模式的に示したものである。無線通信市場における消費者というのは、極めてコストに敏感である。その結果、こうした分野における、RF および AMS 技術のロードマップを作ることは、容易ではない。図 30 の上段に示した Si、SiGe、Ga、InP といった高周波半導体間の境界位置を決めるうえで、コストが主要因子の一つとなっている。こうした境界というのは、幅広く、また曖昧であり、時とともに変わるものである。IV 族半導体である Si や SiGe と、III-V 族半導体である GaAs との境界は、時代とともに高周波側に移ってきている。また、他のアプリケーションでは、GaAs と InP の境界が、低周波側に移ってきている。また、MHEMT(metamorphic high electron mobility transistor)が、GaAs の PHEMT(pseudomorphic high electron mobility transistor)や InP の HEMT(high electron mobility transistor)を、結局、置き換えるようになってきている。図 30 には示されていない、SiC や GaN といったワイドバンドギャップ半導体が、およそ 2GHz 以上の基地局のような社会基盤に使われるようになると思われる。全天候型着陸装置や隠匿物検知装置、あるいは、その他の安全装置の用途への応用から、94GHz 帯への関心が高まってきている。III-V 族化合物半導体には、通常の CMOS プロセスに関連した技術的評価基準と異なる評価項目がある。こうした技術的評価基準として、無線応用におけるキャリア周波数や、露光ゲート長といったものが挙げられる。

将来においては、ここで示したいいくつかのアプリケーションの技術の境界を決めるうえで、周波数の軸は意味がなくなるものと考えられる。これは、図 30 に示した多くの技術で、極めて高い動作周波数を得られるようになるためである。将来における境界というのは、雑音指数、出力パワー、パワー付加効率や線形性によって、決められるようになるものと考えられる。SiCMOS、SiGe、GaAs、メタモフィック InP の順に、性能

¹ Adapted from Fig. 1 in Microwave Journal of the paper by D. Barlas, et. al., page 22, June 1999 and printed with permission from the Editor, Microwave Journal.

が高くなる傾向にある。セルラトランシーバ、基地のパワーアンプのモジュール、またミリ波レシーバといった種類のアプリケーションでは、2 つあるいはそれ以上の技術が、他の技術と共存すると考えられる。現在、セルラトランシーバにおいて、量の点で BiCMOS が CMOS に比べ、大きな市場占有率を持っている。しかし、将来においては逆転するものと考えられる。現在、基地のパワーアンプモジュールにおいて、GaAs の HBT とディスクリット LDMOS(laterally diffused metal oxide semiconductor)デバイスが、GaAs の PHEMT や MESFET(metal semiconductor field effect transistor)に比べ、大きな市場占有率を持っている。将来においては、より高い集積能力をもった、シリコンを基盤とした技術の重要性が増してくるものと考えられる。現在、ミリ波レシーバでは、GaAs の PHEMT や InP の HEMT が使われている。将来においては、SiGe の HBT , GaAs の MHEMT そして InP の HEMT と競合するものと考えられる。

無線通信システムを技術的に推進する要因として、コスト、使用可能な周波数帯、消費電力、機能性、携帯機器の大きさ、製品の巨大な市場規模、適切な要求性能および規格やプロトコルなどが挙げられる。規格とプロトコルは、動作周波数、帯域幅、及び送信電力と言ったパラメータに対して相当な影響を及ぼす。さらに、RF 技術は、いくつかの相反する要求を同時に満たさなければならないため、しばしば性能に関して余分なマージンを要求されることがある。これらのものとしては、パワー付加効率(PAE)、高い出力パワー、低電流および低電圧が挙げられる。通常、シリコンデバイスの場合、RF における性能向上は、スケールリングにより達成される。これに対して III-V 族化合物半導体の場合には、材料およびバンドギャップエンジニアリングを用いたキャリア輸送特性の最適化により実現される。ここ 20 年の間、III-V 族化合物半導体技術は、無線通信システムでの市場を確立してきた。大量生産が見込まれる製品の場合、Si や最近では SiGe といった IV 族半導体により、低コストで適当な性能が得られる市場分野では、III-V 族化合物半導体にとって代わってきている。

上記の技術的な牽引役に加え、RF および AMS 技術には、他にも無線通信産業の牽引役が存在している。それらは、下記のような項目である。

- (1)使用可能な周波数を決める各国の規則
- (2)チャンネル周波数およびそれらの帯域幅を決める規格やプロトコル。これらが、全体的なシステム性能に影響を与える。

国際的もしくは地域的な規格やプロトコルが、国際的な技術競争に影響を及ぼすような状況が生じる可能性がある。この章の範囲を超えてはいるが、これらは、RF および AMS の技術動向をみるうえで、より広い状況への違った展望を与えるものと考えられる。このような牽引要因が、この 2003 年版 ITRS に示された他の多くの技術に比べ、RF および AMS 技術において、その発展動向に強く影響している。

現在、EDA(Electronic design and automation)ソフトウェアツールは、異なる 4 つの無線システムブロックを統合的に扱えるようにはなっていない。4 つの構成ブロックとは、

- (1)アナログ/ミックスドシグナル(ある種のデジタル機能を含む)
- (2)トランシーバ
- (3)パワーアンプ
- (4)パワーマネジメント

である。(EDA ツールを扱うことは、この章の範囲を越えている。EDA ツールについては、設計の章で触れる。)しかし、それにも関わらず EDA ツールに対する RF 技術の要求として、個々の機能だけでなく、無

4 無線通信のための RF および AMS 技術

線システムの 4 つのブロックを含む、複数の回路間の相互作用についてもシミュレートすることを求めるものがある。さらに、多層モジュール基板が多用されるようになってきたため、速く正確な 3 次元電磁界シミュレーションおよび RF シミュレーションが、ますます必要となってきている。このことは、間違いなく新製品の開発期間の短縮が主目的になっていると言える。

アナログとミックスドシグナル

ミックスドシグナル IC には、アナログ回路とデジタル回路が混載されている。ミックスドシグナルのチップは、しばしば AD や DA 変換器およびデジタル信号処理のような機能を備えているが、ここで言うアナログとは、演算増幅器のような純粋なアナログ回路のことを指している。アナログデジタル信号処理後の性能向上に伴い、純粋なアナログ回路における注目は、より高い動作周波数に移って来ている。しかしながら、AD や DA 変換器の性能によっては、大きな市場を持つ低コストなアプリケーションを新たに開拓することが考えられるため、それらの性能が、ますます重要になってきている(システム・ドライバ章 AMS の節を参照)。ミックスドシグナル IC の商品牽引役となるアプリケーションとしては、オフチップのインターフェースでアナログ信号を必要とする民生および通信市場であり続けるものと考えられる。

高耐圧・パワー IC のようなアナログ IC 技術には特に触れていない。一方、MEMS (microelectromechanical systems) のようなものについては、後に長期のところで触れる。そのようなデバイスやアナログ・トランジスタでは、低コストで、かつ高性能・高信頼という要求を満たすために、デジタル CMOS の技術をうまく活用するようになるものと考えられる。

この小節のスコープは、以下のようなものである。

- (1)高速アナログデバイス(速度は主に RF によって決められるが、高速バイポーラデバイスおよび CMOS デバイスの両方に対して、ある種のアナログ特有の要求がある。)
- (2)アナログ高精度 MOS デバイス。但し、これは高い SN 比を達成するための比較的高い電圧や低信号歪みを保ったままスケールアップされる。
- (3)容量素子および抵抗器

これらすべてのデバイスにおいて、精度、整合性能、 $1/f$ 雑音、小さい非線形性や低温度係数のための最適化が求められる。

RF トランシーバ

無線 RF トランシーバは、市場を拡大しつつあり、また、先端の汎用半導体プロセス技術を押し進める、重要な技術的な牽引役となってきている。無線 RF トランシーバに求められる性能をもとにした技術的評価基準について、ここで述べてゆく。この小節で取り上げる技術は、現在の RF トランシーバに使用されている主なプロセス技術であり、引続き近い将来も使用されるものと考えられる CMOS および Si か SiGe の BiCMOS である。

適用例としては、LNA(low noise amplifiers)、周波数合成およびロジック、VCO(voltage controlled oscillators)、ドライバ・アンプ、フィルタに焦点をあてる。また、集積度を高めてゆくには、回路の分離および機能性の改善について検討することが重要である。デバイスとしては、NPN(n 型エミッタ、p 型ベースおよび

び n-型コレクタ)バイポーラ・トランジスタ、RF-MOS(NMOS)電界効果トランジスタ、インダクタ、バラクタ、RF キャパシタおよび抵抗などに触れる。性能を評価する基本的な指標としては、最大遮断周波数(max Ft)、最大発振周波数(Fmax)、雑音指数および、パワー・雑音・線形性の間にあるトレードオフなどが挙げられる。

この小節では、RF トランシーバの周波数範囲を 800M ~ 10GHz と仮定している。これは、GSM(global standard for mobile)、CDMA(code division multiple access)、WCDMA(wide CDMA)、無線 LAN 用の IEEE 802.11 および UWB(ultra wideband)のような局所無線及び広域無線方式の、それぞれの周波数範囲をカバーしている。「RF トランシーバ」とは、アンテナ側にある LNA(low noise amplifier)あるいは PA(power amplifier)(LNA について触れるが、PA については別途 PA の小節で触れるためここでは含めず)から、ベースバンド部側に位置する DAC/ADC (digital-to-analog converter/analog-to-digital converter)(DAC と ADC については別途ミックスドシグナルの小節で触れるためここでは含めず)の間に置かれる半導体を指している。

パワーアンプとパワーマネジメント

Si-LDMOS、GaAs FET、GaAs PHEMT、SiC FET および GaN FET のような基地局のパワーアンプとして使用される高耐圧デバイスについて、この小節で触れる。さらに、比較的高い耐圧のデバイス[HBT、PHEMT、MOSFET およびバイポーラデバイス]が要求される端末用のパワーアンプについても、ここで触れる。この分野の主な牽引役は、コンポーネントの集積化とコストである。

ミリ波

現在、10G ~ 100GHz の周波数領域においては、化合物半導体デバイスが支配的である。MESFET や HBT が、ミックスドシグナルや高速用途として主要な位置を占めている一方、アナログ ミリ波用として最も一般的に使用されているデバイス構造は、HEMT、PHEMT および MHEMT である。MESFET および SiGe HBT を除けば、全てのデバイス構造で積層のエピタキシャル層を使用している。それらの層は、周期表の III 族、V 族に属する 3 ~ 4 種類の元素の化合物で構成されている。デバイス性能は、メーカーの独自仕様である積層膜の材料、膜厚およびドーピングに対して強く依存するため、これらのデバイス性能・特性には、大きな多様性がでている。パワー、効率、耐圧、雑音指数、線形性および他の特性パラメータの間には、多くのトレードオフの関係が存在する。これらのトレードオフによるひとつの結果として、高周波の性能指数(例えば最大遮断周波数や最大発振周波数)の進歩とともに、リソグラフィのサイズも確かに小さくなっているが、リソグラフィノードは、ミリ波デバイスの性能を発展させる主牽引役にはなっていないことが挙げられる。性能のトレンドは、トレードオフの関係の最適化や、リソグラフィ技術の縮小を伴ったエピタキシャル層のバンドギャップエンジニアリングにより決まる。したがって、この小節のミリ波の表では、リソグラフィの大きさよりも、近い将来において考えられる市場へ向けた主要な性能の基準(雑音指数、パワー、効率、耐圧)に焦点をあてる。III-V 族半導体技術は急速に変化しているため、2003 年版 ITRS の III-V 族半導体の表では、長期展望について触れない。この章の 4 つの小節の中では、この小節が、材料の組み合わせ、デバイスの種類、アプリケーション及び性能の面で、最も多様性に富むものとなっている。

困難な技術課題

アナログおよびミックスドシグナル

信号の分離、特にチップのデジタル部とアナログ部間の分離は、微細化技術に特有の問題である。アナログおよび高性能デジタル機能を、チップ上に集積する困難さやコストは、スケーリングにつれて増加するものと考えられる。とりわけ(インピーダンス)整合や $1/f$ 雑音のようなアナログ性能の維持は、高誘電率ゲート絶縁膜の採用と相まって、主要な問題になると思われる。さらに、アナログ回路供給電圧の 1.8V 以下に下げるとは、回路設計に対する厳しい課題になると考えられる(システム・ドライバ章を参照)。

デジタル CMOS へのアナログ機能統合に伴う問題は、新しい材料やデバイス構造を、デジタル CMOS プロセスへ導入することにより、増加すると考えられる。これらの問題には SOI やダブルゲート構造、また、受動素子用の材料選択も含まれる。さらに、アナログ回路供給電圧を 1.0V 以下に下げるとは、1.8V に比べて、さらに大きな回路設計に対する課題になると考えられる(システム・ドライバ章を参照)。

RF トランシーバ

RF トランシーバのロードマップに対する最も困難な短期的課題は、次のようなものである: 受動素子(キャパシタとインダクタ)の大幅な微細化; 消費電力と性能のトレードオフを満たした BiCMOS 技術の低コスト化、そして、今日のバイポーラ技術に匹敵する性能を備えた、LNA やドライバーを実現可能とする RF-CMOS の性能向上。これらの課題は、電源電圧のスケーリングと破壊電圧の低下という困難な状況下で満たされねばならない。またさらに、より多くの機能を単一チップに集積するにつれ、信号分離を改良することが要求される。

BiCMOS 技術にとっての他の短期的課題として、大幅に微細化を進めた CMOS に、バイポーラ素子を集積することが、互いに矛盾する熱負荷の要求のために、困難となることが挙げられる。RF-CMOS 技術にとっての他の短期的課題は、デジタル回路の要求のために高誘電率ゲート絶縁膜や、他の材料や技術を導入したとしても、許容範囲の $1/f$ 雑音や他のアナログ性能指標を維持しなければならないことが挙げられる。

RF トランシーバのロードマップに対する最も困難な長期的課題として、ダイレクトコンバージョンあるいは RF 信号の直接 AD 転換のような、RF トランシーバ構成の単純化が可能となるよう、能動素子性能(遮断周波数や最大発振周波数)を改善することが挙げられる。

BiCMOS 技術の他の長期的課題として、CMOS 技術に対抗してバイポーラの消費電力を低減するために電源電圧を低減することが挙げられる。RF-CMOS 技術の他の長期的課題として、大幅な微細化により、扱える電圧範囲が狭まった CMOS で、RF 送受信器の感度や出力電力に対する要求を満足させることが挙げられる。受動素子の長期的課題として、ロードマップに要求された高 Q インダクタ、および高容量密度の金属-絶縁体-金属(MIM)キャパシタを実現するために、低コストで新材料を導入することが挙げられる。

パワーアンプとパワーマネジメント

2003 年のパワーアンプ技術の主要消費市場は、引き続き 4 億台を超える年間売り上げの携帯電話用モジュールと RFIC(radio frequency integrated circuits)である。無線 LAN は、2003 年に数千万台を超過すると予想される市場規模となり、一体型 PA モジュールにとって、もう一つの重要な応用製品になっている。これらの製品(それらは概して非常に厳密な性能仕様を有する)は、価格/性能のトレードオフに非常に敏感である。このトレードオフは、引き続き高集積で廉価なシステムソリューションへと、産業を牽引するものと考えられる。パワーアンプの市場は、RFIC を別に備えた単一ダイの PA パッケージから、異なる機能部品を集積して完全な増幅器機能を備えた、マルチバンド・マルチモードモジュールへとますます変遷してゆくものと考えられる。ここでの優位化戦略は、ハンドセット組立てのレベルまで考慮して、より小型化された RF 部品を必要とする。こういう集積化の傾向は、ハンドセットメーカーの、組立て外部委託増加の傾向にも関連する。これらの RF モジュールは、概して、整合やバイパス回路のすべてあるいは大部分を統合し、さらに、電力検出、パワーマネジメント、フィルタ、および、送受信や帯域選択用の RF スイッチをも集積してゆくものと考えられる。

集積化 PA モジュールが拡張する当然の成り行きとして、送受信器、発振器、フィルタおよびデジタル回路部など、他のすべての無線機能のモジュール統合の動きが活発になる。この高集積化ソリューションは、小さな専有面積ながら、ハンドセットの DSP と CPU とに接続するためのインターフェースを含み、またアプリケーションごとに異なる全ての RF 回路を含む、真の単一ラジオ・モジュール・ソリューションを提供することになると考えられる。このような SIP(system-in-package)の単一ラジオモジュールが、いずれこの産業で当たり前になることは間違いない。半導体技術にとっての課題は、いかにしてコストと性能目標に合わせながら、出来る限りの集積化を進めるかということと考えられる。

携帯電話用チップセットのシステム・インテグレーションに必要な信号の分離特性は、技術者および EDA ツール供給者の両方にとって大変重要な課題となる。パワーアンプ、およびパワーマネジメント回路で発生する非常に高い RF 電圧、および中間周波(IF)部で生成された多数の周波数信号のために、信号分離は完全なシステムオンチップの実現への最も困難な障害になる可能性がある。

ミリ波

化合物半導体技術はシリコン技術との多くの類似点を持っているが、その一方で、多くの点で明確に異なっている。III-V 族化合物半導体技術は、製造装置や原料化学物質の進歩の恩恵を受けてきてはいるが、これらの開発はシリコン産業を第一に考慮されているために、化合物半導体プロセスにとっては、必ずしも最適ものではない。例えば、GaAs の密度はシリコンの約2倍だが、GaAsの方が割れやすいために、ウェハは、0.025 インチの厚さ(シリコンウェハより約 50%厚い)で一般に処理されることになり、よって自動ウェハ搬送装置やスピン塗布器などへの負荷が重くなっている。さらに、放熱性を高めるために 0.002 インチまでのウェハ薄片化が必要なために、ウェハ破損が歩留まり低下の要因になることを挙げなければならない。

4 インチ径の工場もまだあるが、6 インチ径の半絶縁 GaAs ウェハが普通に入手可能で、デファクト・スタンダードになっている。6 インチおよび 8 インチ基板への動きは、スケールメリットやチップコストとともに、対応設備の供給によって進んでゆくものと考えられる。GaAs のウェハ径はシリコンの2世代遅れ、InP はさら

に遅れる、という傾向にある。化合物半導体産業が、製造装置進歩の恩恵を受けてゆくためには、ウェハ径の進歩をシリコンに遅れさせないことが重要である。この継続的なウェハ径増大は、とりわけ InP や SiC にとって重要である。後者は、今でも著しく高い欠陥密度に苦しんでいる状態にある。また、今日でも GaN 基板はまだ入手できる状態ではない。多くの GaN デバイス用エピタキシャル成長は、SiC 基板上行われている。GaN が商業ベースに乗るためには、大きな技術的ブレークスルーが必要である。すなわち、GaN HEMT 用 GaN 基板に対して SiC に関しては未解決な問題が残っている。また、SiGe HBT および RF-CMOS がミリ波帯に進出するにつれ、高抵抗 Si 基板の進歩も必要になる。

III-V 族化合物半導体特有のものを含めデバイスの技術課題を挙げれば、以下のようなものである。1) ミリ波用マイクロストリップ回路中で、低インダクタンスでグラウンドをとるための基板ビア、2) ウェハ薄片化技術などの放熱技術、および寄生成分の小さいエアブリッジ接続技術、3) 電力増幅装置用の高い破壊電圧、4) 酸化膜パッシベーション。これらの課題は、GaAs 用としては、ほとんど解決されてきているが、InP、SiC および GaN など、新たな III-V 族化合物半導体技術でも適用できるようにする必要がある。高出力の III-V 族化合物半導体装置にとって、放熱が重大な課題である。この課題は、GaN のような高出力密度の装置では、特に重要である。

技術要求

アナログ、ミックスドシグナルデバイス

ミックスドシグナル回路を持つロジックは、高集積化に向かうとの予測トレンドにしたがって進展し、以下のような新しい適用分野において具体化してきた。

1. 着実に向上してきたデジタル信号処理性能は、デジタル分野においてより多くの信号処理が可能となった。
2. より高い電圧に適應させるために、I/O トランジスタのゲート酸化膜を使うことで、(これは、マッチングと $1/f$ 雑音のスケーリング特性を犠牲にすることではあるが) チップ外部とのインタフェース、およびミックスドシグナルで要求される高い信号 / 雑音比を満たしてきた。(詳細は、システムドライバー章の AMS セクションを参照のこと)

加えて過去数年の CMOS ロードマップの加速は、ロジックプロセスにアナログを混載する可能性に拍車をかけてきた。 $1/f$ 雑音、受動素子の集積度、デバイスのマッチングに焦点を当てつつけることは、パワーと面積効率に対しいっそう厳しくなる要求を満足させるため、必須不可欠である。集積度の増加により浮かび上がる課題は、アナログデバイスのモデリングと静電破壊に対する保護対策である。

製造技術を特定の SoC アーキテクチャに適合させるために、性能とコストを考慮してプロセスのモジュール化を推進し続けることになるであろう。しかしながら、集積化の目標を達成するために、より高精度を必要とするミックスドシグナルトランジスタに対する要求は、製造プロセスの複雑化を余儀なくさせるであろう。CMOS 技術は、ミックスドシグナル分野において、特に低電力での高速動作、低雑音を必要とする高性能応用分野において重要でありつつけるであろうバイポーラプロセスやシリコン (Si) およびシリコンゲルマニ

ウム (SiGe) ベースの BiCMOS プロセスを犠牲にしても、重要性が増してきている。高性能応用分野にけるこの優位性は、バイポーラが利得、雑音、マッチングに有利なスケーリングはされないものの、注意深く最適化されたものであり、またそれ自身の持つ性質からくるものである。それに比べ、CMOS アナログデバイスは、極めて良好な周波数特性を有しているが、それ以外のパラメータは改善されてはいるものの性能は劣っている。これら並行して進歩を続ける技術は、要求パラメータのセクションにて性能比較ができるように CMOS デバイスとバイポーラデバイスを分けたミックスドシグナルの表として示している。表 53a、表 53b を参照。

表 53a Analog and Mixed-signal Devices Technology Requirements—Near-term

[1]	Year of Production		2003	2004	2005	2006	2007	2008	2009
	Technology Node			hp90			hp65		
	DRAM ½ Pitch (nm)		100	90	80	70	65	57	50
[2]	Minimum Supply Voltage	Digital design (V)	1	1	0.95	0.9	0.85	0.8	0.75
[3]		Analog design (V)	3.3–1.8	2.5–1.8	2.5–1.8	2.5–1.8	2.5–1.8	2.5–1.8	2.5–1.8
[4]	NMOS Analog Speed Device	T_{ox} (nm)	1.2–1.8	1.1–1.6	1.1–1.6	1.1–1.6	0.7–1.2	0.7–1.2	0.7–1.2
[5]		g_m/g_{ds} at 5- L_{min} -digital	100	100	100	100	100	100	100
[6]		1/f-noise ($\mu V^2 \cdot \mu m^2/Hz$)	300	200	200	200	150	150	150
[7]		σV_{th} matching (mV· μm)	5	4	4	4	3	3	3
[8]	NMOS Analog Precision Device	T_{ox} (nm)	6.5–3	6.5–3	6.5–3	6.5–3	5–3	5–3	5–3
[9]		Analog V_{th} (V)	0.5–0.3	0.5–0.2	0.4–0.2	0.4–0.2	0.4–0.2	0.3–0.2	0.3–0.2
[10]		g_m/g_{ds} at 10- L_{min} -digital	300	300	300	300	300	300	300
[11]		1/f Noise ($\mu V^2 \cdot \mu m^2/Hz$)	500	300	300	300	200	200	200
[12]		σV_{th} matching (mV· μm)	15	12	12	12	9	9	9
[13]	Analog Capacitor	Density (fF/ μm^2)	2	3	3	3	4	4	4
[14]		Voltage linearity (ppm/V ²)	<100	<100	<100	<100	<100	<100	<100
[15]		Leakage (fA / [pF·V])	7	7	7	7	7	7	7
[16]		σ Matching (%· μm)	1	0.7	0.7	0.7	0.5	0.5	0.5
[17]	Analog Resistor	Parasitic capacitance (fF/ μm^2)	0.1–0.02	0.1–0.02	0.1–0.02	0.1–0.02	0.1–0.02	0.1–0.02	0.1–0.02
[18]		Temp. linearity (ppm/°C)	50–80	40–80	40–80	40–80	30–60	30–60	30–60
[19]		1/f-current-noise per current ² (1/[$\mu m^2/Hz$])	$\leq 10^{-18}$	$\leq 6 \times 10^{-19}$	$\leq 6 \times 10^{-19}$				
[20]		σ Matching (%· μm)	3	2.5	2.5	2.5	2	2	2
[21]	Bipolar Analog Device	g_m/g_{ce} at W_{e-min} *	1200	1150	1150	1150	1100	1100	1100
[22]		1/f-noise ($\mu V^2 \cdot \mu m^2/Hz$)	5	3	3	3	2	2	2
[23]		σ current matching (%· μm^2)	20	20	20	20	20	20	20

*Unusual measure for the voltage gain of bipolar devices, see notes. Added for 1:1 comparison with g_m/g_{ds} of MOS transistors (item 5).

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Manufacturable solutions are NOT known
 Interim solutions are known

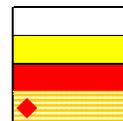


表 53b Analog and Mixed-signal Devices Technology Requirements—Long-term

[1]	Year of Production		2010	2012	2013	2015	2016	2018
	Technology Node		hp45		hp32		hp22	
	DRAM ½ Pitch (nm)		45	35	32	25	22	18
[2]	Minimum Supply Voltage	Digital design (V)	0.7	0.7	0.65	0.65	0.6	0.6
[3]		Analog design (V)	1.8–1.2	1.8–1.2	1.8–1.0	1.8–1.0	1.5–1.0	1.5–1.0
[4]	NMOS Analog Speed Device	T_{ox} (nm)	0.5–0.8	0.5–0.8	0.4–0.6	0.4–0.6	0.4–0.5	0.4–0.5
[5]		g_m/g_{ds} at $5 \cdot L_{min-digital}$	100	100	100	100	100	100
[6]		$1/f$ -noise ($\mu V^2 \cdot \mu m^2/Hz$)	150	150	100	100	75	75
[7]		σV_{th} matching (mV· μm)	2.5	2.5	2	2	1.5	1.5
[8]		NMOS Analog Precision Device	T_{ox} (nm)	3–2	3–2	3–1.3	3–1.3	2.5–1.3
[9]		Analog V_{th} (V)	0.3–0.2	0.3–0.2	0.3–0.2	0.3–0.2	0.3–0.2	0.3–0.2
[10]		g_m/g_{ds} at $10 \cdot L_{min-digital}$	300	300	300	300	300	300
[11]		$1/f$ Noise ($\mu V^2 \cdot \mu m^2/Hz$)	200	200	150	150	100	100
[12]		σV_{th} matching (mV· μm)	7.5	7.5	6	6	5	5
[13]	Analog Capacitor	Density (fF/ μm^2)	5	5	7	7	10	10
[14]		Voltage linearity (ppm/V ²)	<100	<100	<100	<100	<100	<100
[15]		Leakage (fA/[pF·V])	7	7	7	7	7	7
[16]		σ Matching (%· μm)	0.4	0.4	0.3	0.3	0.2	0.2
[17]	Analog Resistor	Parasitic capacitance (fF/ μm^2)	0.1–0.02	0.1–0.02	0.1–0.02	0.1–0.02	0.1–0.02	0.1–0.02
[18]		Temp. linearity (ppm/°C)	30–60	30–60	30	30	30	30
[19]		$1/f$ -current-noise per current ² (1/[$\mu m^2/Hz$])	$\leq 6 \times 10^{-19}$	$\leq 3 \times 10^{-19}$	$\leq 3 \times 10^{-19}$	$\leq 3 \times 10^{-19}$	$\leq 2 \times 10^{-19}$	$\leq 2 \times 10^{-19}$
[20]		σ Matching (%· μm)	1.7	1.7	1.5	1.5	1.2	1.2
[21]	Bipolar Analog Device	g_m/g_{ce} at W_{e-min} *	1050	1050	1000	1000	950	950
[22]		$1/f$ -noise ($\mu V^2 \cdot \mu m^2/Hz$)	1.5	1.5	1	1	0.7	0.7
[23]		σ current matching (%· μm^2)	20	20	20	20	20	20

*Unusual measure for the voltage gain of bipolar devices, see notes. Added for 1:1 comparison with G_m/G_{ds} of CMOS transistors (note 5).

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Manufacturable solutions are NOT known
 Interim solutions are known

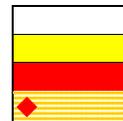


表 53a と表 53b に対する注:

[1] 総括ロードマップ技術指標 (ORTC: overall roadmap technology characteristics) の表で示される、与えられた技術世代において最初にデジタル製品が現れる年。それぞれのノードにおいて主要技術に対するリソグラフィを牽引するものを明示した。同じ技術における最初のミックスドシグナル製品が現れる年は、一世代ほど遅れる。

[2] 低動作電力 (LOP: low-operation power) のデジタルロードマップにおける通常供給電圧 V_{dd} 。アナログ速度のデバイスから動作電圧を決定した。表 48「低動作電力ロジック技術要求」データから 1 年遅れる。

- [3] アナログの供給電圧は、デジタルに比べ少なくとも二世代あるいはそれ以上遅れると予想される。デジタルに比べて高い電圧分は、信号振幅を小さくすることによる余分な電力消費を回避するために必要となる。アナログ CMOS の設計では、厚いゲート酸化膜と低 V_t (しきい値電圧) の利用技術を使うことになるだろう。アナログにおける低電圧化のトレンドは、一般的に厚いゲート酸化膜を使用するデジタル I/O のための逆行する互換性トレンドにひきずられて遅れるであろう。この列はアナログ高精度 N チャンネル電界効果型トランジスタ (NFET) とアナログ抵抗、キャパシタの動作電圧により決定される。
- [4] 低動作電力 (LOP) ロードマップに関連する SiO_2 に換算した物理的な CMOS ゲート誘電体の厚さ。その実現性には主要パラメータの獲得が欠かせないため、NMOS アナログデバイスの項の色付けを決定した。高誘電率 (High- ϵ) を持つ誘電体の導入期待は、アナログ性能に深刻な問題を引き起こすであろう。
- [5] 最小ゲート長が 5 倍の低動作電力 CMOS トランジスタにおける増幅度の尺度。異なるゲート長を用いることは、ミックスドシグナル設計にとって自由度が増大する。長チャンネルデバイスは、(低周波数において) 良好な G_{ds} 増幅度を有する。動作点は、しきい値電圧 V_t より 100mV 高い点を採用。バイポーラに対応する [9] 項と比較される。
- [6] 周波数 1Hz におけるデジタル NMOS デバイスにの $1/f$ 雑音スペクトル密度であり、低周波数回路、ミキサ、VCO といったミックスドシグナル回路の最小入力信号 (動作範囲の下限) を決めるため重要である。MOS デバイスにおける $1/f$ 雑音は、絶縁体 - 半導体界面の準位を介してのキャリア再結合 (表面効果) が原因であることから、縦型デバイス (バイポーラ) や準表面デバイス (JFETs) に比べて顕著である。動作点は、しきい値電圧 V_t より 100mV 高い点を採用。
- [7] NMOS トランジスタのしきい値電圧に対するマッチング仕様で、最小の実用的な間隔で「近接」させたデバイスを仮定。注意深い配置、およびダミー構造を用いるなどしたフォトリソグラフィにおける均一性が要求される。ゲート酸化膜厚がスケールアップされたときに得られる最適化された状況での値: $A_{vt} = T_{ox}[\text{nm}]mV \cdot \mu\text{m}$ 、(例 $T_{ox} = 5\text{nm}$ において $5mV \cdot \mu\text{m}$)。 SiO_2 における不純物の統計的なゆらぎが、さらなる性能改善を制限し始めてきた。新たな高誘電率ゲート絶縁膜のマッチング特性については不明。与えられた精度、また、しばしば DC 電力消費、速度のために、ミックスドシグナルに必要とされるトランジスタサイズの下限。また信頼性にも関係する。
- [8] [3] 項に示されたアナログ供給電圧のロードマップに関連する SiO_2 に換算した物理的な CMOS ゲート誘電体の厚さ。デジタルに比べて 2 世代あるいはそれ以上の遅れ。 [14] 項を参照。
- [9] アナログ用供給電圧 [3] 項と対応したしきい値電圧 V_t で、アナログ回路で取り扱うことのできる最大アナログ信号 (動作範囲の上限) を決定。
- [10] 最小ゲート長が 10 倍の低動作電力 CMOS トランジスタにおける増幅度の尺度。異なるゲート長を用いることは、ミックスドシグナル設計にとって自由度が増大する。長チャンネルデバイスは、(低周波数において) 良好な G_{ds} 増幅度を有する。このアナログ NMOS デバイス項の色付けの決定は、低供給電圧において最適化されたデバイスの主要パラメータを得ることの困難さを反映させた。
- [11] [8] 項を参照。値は、 [9] 項における最も薄い酸化膜により定めた。
- [12] [9] 項を参照。値は、 [9] 項における最も薄い酸化膜により定めた。
- [13] 異なるアナログ信号を重み付けし比較するためには、容量素子が必要である。デジタル素子が増加しチップサイズが減少したとき、容量素子はチップ内の大きな面積を占有する。搭載の選択は、機能の複雑さとチップサイズとのトレードオフ (コスト) による。フィルタ応用にとってマイクロ・エレクトロ・メカニカル・システム (MEMS) の搭載は、密度が $7\text{fF}/\text{mm}^2$ 以上において有望であろう。新規な解決手段は、低コスト技術によって分離した基板上に集積することである。コーナー部でのリーク、不整合、温度のふるまいで新たな問題を引き起こす兆候のある積上げ型 (および深溝型) 容量はここでは対象外である。密度が $5\text{fF}/\text{mm}^2$ 以下のものについては、高誘電率の誘電体を想定した。
- [14] 容量素子の電圧に対する線形特性の 2 次成分は、アナログ回路のダイナミックレンジにとって重要である。一次成分は差分をとることでキャンセルできる。
- [15] リーク電流は、長い時定数が必要なフィードバック容量への適用と、低周波でのスイッチドキャパシタへの適用とによって牽引される。アナログクロック周波数が増加すると、要求値は緩和される。高品質の絶縁膜が提案されている。
- [16] 与えられた精度に対し必要とされる容量素子の大きさの下限值。信頼性にも関係する。
- [17] 近接した 2 つの抵抗が 1% のミスマッチを持つようなアナログ抵抗の回路の接地点 (グランド) に対する単位面積あたりの寄生容量。主に基板との容量性結合、および抵抗値のミスマッチ特性に重要な正方形の抵抗により決定される。その範囲は抵抗の実現方法 (例: ポリシリコン、金属) の選択により決定される。
- [18] 温度係数 (TC) は、レファレンス用途に用いるようなアナログ用抵抗素子にとっては重要である。低温度係数膜もしくは温度係数を相殺する技術が利用されるかもしれない。
- [19] 低周波数回路、ミキサ、VCO といったミックスドシグナル設計において、 $1/f$ 雑音は最小入力信号を決めるため重

12 無線通信のための RF および AMS 技術

要である(動作範囲の下限)。多結晶シリコン以外で低 $1/f$ 雑音化を実現するには、高い Q 値の RF 抵抗素子を用いることが有効と考えられる。

[20] マッチングは、特にレファレンス用途に用いるようなアナログ用抵抗素子にとっては重要である。注意深い配置、およびダミー構造を用いるなどしたフォトリソグラフィにおける均一性が要求される。最小寸法は、テクノロジー寸法よりも大きいと仮定される。

[21] 最小エミッタ面積におけるバイポーラアナログトランジスタにおける電圧利得の尺度。 $G_m \sim qI_c/kT$ および $G_{ce} \sim V_{early}/I_c$ から、一次近似としてアーリー電圧 (V_{early}) と熱電圧 (kT/q) の比に等しく、[6]項に記述したコレクタ電流には依存しない。全ノードに対して SiGe 技術を仮定した場合、 F_t/F_{max} はトレードオフになるであろう。[17]項[18]項での、著しく低い値だが CMOS の最小ゲート長での G_m/G_{ce} と比較される。なお、アナログ CMOS でよく使われる寄生バイポーラ素子は対象としていない。

[22] 活性エミッタ面積 $1\mu\text{m}^2$ に標準化した周波数 1Hz における $1/f$ 雑音スペクトル密度。縦型デバイス(バイポーラ)や準表面デバイス(JFETs)における $1/f$ 雑音は、絶縁体 - 半導体界面の準位を介してのキャリア再結合に起因する基本 CMOS の $1/f$ 雑音に比べると顕著ではない。

[23] 活性エミッタ面積 $1\mu\text{m}^2$ で規定した電流マッチング。最小の実用的間隔で「近接」させたデバイスを仮定。注意深い配置およびダミー構造を用いるなどしたフォトリソグラフィにおける均一性が必須。CMOS と異なり、テクノロジーとともにスケール(縮小)されない。

RF トランシーバ

RF トランシーバにおける今日の技術要求は、さらなる低消費電力化、さらなる低雑音化、さらなる低価格化の必要性によって牽引されている。表 54a と表 54b を参照。近い将来、技術要求はソフトウェア無線機 (Software-defined radio) における再構成可能 (Reconfiguring) な RF トランシーバの必要性によっても先導されるであろう。さらに将来、技術は RF トランシーバの直接デジタル合成手法により先導されることが想定される。さらなる技術要求は、アイソレーションの向上と、マルチモード、マルチバンド対応の実現である。

表 54a 0.8–10 GHz Transceiver Technology Requirements—Near-term

<i>Year of Production</i>	2003	2004	2005	2006	2007	2008	2009
<i>Technology Node</i>		hp90			hp65		
<i>DRAM ½ Pitch (nm)</i>	100	90	80	70	65	57	50
<i>Circuit Block—LNA</i>							
<i>NPN</i>							
V_{cc} (V)	2.5	2.5	1.8	1.8	1.5	1.5	1.5
Emitter width (μm)	0.2	0.18	0.15	0.15	0.13	0.12	0.1
I_c ($\mu\text{A}/\mu\text{m}$) [1]	75	59	43	37	28	22	16
Peak F_t (GHz) [$V_{bc}=1\text{V}$]	150	173	198	228	262	302	347
Peak F_{max} (GHz) [2]	180	203	239	256	295	330	387
NF_{min} (dB)	0.60	0.54	0.45	0.45	0.39	0.36	0.30
<i>NMOS</i>							
V_{dd} (V)	1.50	1.30	1.30	1.30	1.20	1.20	1.10
I_{ds} ($\mu\text{A}/\mu\text{m}$) [3]	26	23	21	16	12	10	9
Peak F_t (GHz)	110	120	140	170	200	240	280
Peak F_{max} (GHz) [2]	120	140	160	190	220	260	310
NF_{min} (dB)	0.8	0.7	0.6	0.6	0.5	0.4	0.4
<i>Circuit Block Synthesizer/Logic</i>							
<i>CMOS</i>							
Gate length (nm) [4]	80	75	65	53	45	37	32
<i>BiCMOS</i>							
Gate length (nm)	100	90	80	75	65	53	45
<i>Circuit Block—VCO</i>							
<i>Inductor</i>							
Q (5 GHz) [5]	15	16	17	19	20	22	24
<i>Varactor</i>							
Tuning Range [6]	3.5	3.5	3.5	3.5	3.5	3.5	3.5
Q (5 GHz)	30	32	35	38	41	44	48

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Manufacturable solutions are NOT known

Interim solutions are known



14 無線通信のための RF および AMS 技術

表 54a 0.8–10 GHz Transceiver Technology Requirements—Near-term (continued)

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
<i>Circuit Block—Driver</i>							
<i>System Requirements</i>							
Supply (V)	3	3	3	3	2.4	2.4	2.4
<i>HV NPN</i>							
BV _{CBO} (V)	12	12	12	12	10	10	10
Peak F _T (GHz) [V _{bc} =1V]	35	40	46	53	61	70	81
Peak F _{max} (GHz) [2]	80	90	106	114	131	146	172
<i>HV MOS</i>							
V _{ds} (V)	3	3	3	3	2.4	2.4	2.4
Peak F _T (GHz)	30	30	40	40	50	50	60
Peak F _{max} (GHz) [2]	35	35	45	45	55	55	65
<i>Circuit. Block—Filters/Bypass</i>							
<i>Cap</i>							
Density (fF/μm ²)	5	7	9	12	15	19	23
Q (5 GHz)	>50	>50	>50	>50	>50	>50	>50
<i>Resistor</i>							
C _{parasitic} (fF) [7]	70	63	57	51	46	41	37
TCR (ppm/C)	100	90	81	73	66	59	53
<i>Circuit. Block—Isolation</i>							
S21 dB [8]	60	70	80	90	100	110	120

NF—noise figure TCR—temperature coefficient for resistance HV—high voltage

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Manufacturable solutions are NOT known

Interim solutions are known

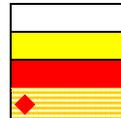


表 54b 0.8–10 GHz Transceiver Technology Requirements—Long-term

<i>Year of Production</i>	2012	2015	2018
<i>DRAM ½ Pitch (nm)</i>	35	25	18
<i>Circuit Block—LNA</i>			
<i>NPN</i>			
V_{cc} (V)	1.2	1.2	1.2
Emitter width (μm)	0.09	0.08	0.07
I_c ($\mu\text{A}/\mu\text{m}$) [1]	13	10	7
Peak F_t (GHz)	400	460	530
Peak F_{max} (GHz) [2]	438	498	572
NF_{min} (dB)	0.27	0.24	0.21
<i>NMOS</i>			
V_{dd} (V)	1.00	1.00	0.90
I_{ds} ($\mu\text{A}/\mu\text{m}$) [3]	7	4	1.5
Peak F_t (GHz)	400	700	1400
Peak F_{max} (GHz) [2]	450	750	1500
Nf_{min} (dB)	0.2	0.2	0.2
<i>Circuit Block—Synthesizer/Logic</i>			
<i>CMOS</i>			
Gate length (nm) [4]	22	16	11
<i>BiCMOS</i>			
Gate length (nm) [4]	22	16	11
<i>Circuit Block—VCO</i>			
<i>Inductor</i>			
Q (5 GHz)	26	28	30
<i>Varactor</i>			
Tuning range [6]	3.5	3.5	3.5
Q (5 GHz)	52	60	70

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Manufacturable solutions are NOT known

Interim solutions are known

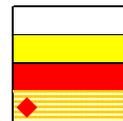


表 54b 0.8–10 GHz Transceiver Technology Requirements—Long-term (continued)

Year of Production	2012	2015	2018
DRAM ½ Pitch (nm)	35	25	18
<i>Circuit Block—Driver</i>			
<i>System Requirements</i>			
Supply (V)	2.4	2	2
<i>HV NPN</i>			
BV _{CBO} (V)	10	8	8
Peak F _t (GHz) [Vbc=1V]	93	107	123
Peak F _{max} (GHz) [2]	195	221	254
<i>HV NMOS</i>			
BV _{DSS} (V)	2.4	2.0	2.0
Peak F _t (GHz)	60	100	100
Peak F _{max} (GHz) [2]	65	120	120
<i>Circuit Block—Filters/Bypass</i>			
<i>Cap</i>			
Density (fF/μm ²)	27	30	33
Q (5 GHz)	>50	>50	>50
<i>Resistor</i>			
C _{parasitic} (fF) [6]	33	30	27
TCR (ppm/C)	48	43	29
<i>Circuit Block—Isolation</i>			
S21 dB [7]	130	140	150

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Manufacturable solutions are NOT known

Interim solutions are known

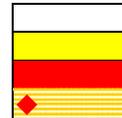


表 54a と表 54b に対する注:

[1] 最小エミッタ幅 (We) と単位 (1μm) エミッタ長 (Le) において、F_t=50GHz が得られる I_c。F_t=50GHz は適用周波数 5GHz の 10 倍として選択した。適応周波数 5GHz は、対象とする周波数範囲 (1 ~ 10GHz) の中点として選択した。

[2] ピーク F_{max} (40GHz から 20dB/dec の傾斜で外挿した単方向利得により測定)。

[3] 最小ゲート幅 (W) と単位 (1μm) ゲート長 (L) において、F_t=50GHz が得られる I_{ds}。F_t=50GHz は適用周波数 5GHz の 10 倍として選択した。適応周波数 5GHz は、対象とする周波数範囲 (1 ~ 10GHz) の中点として選択した。

[4] RF CMOS の技術ノードは、低待機電力 (LSTP: Low Standby Power) ロードマップのノードより 1 年遅れる。

[5] 1nH、30,000μm² のインダクタにおける 5GHz での Q 値。

[6] C_{max}/C_{min} で定義された値。

[7] 3 で 1% のミスマッチ精度が得られる 1000 の抵抗における基板に対する寄生容量。

[8] PA で直接変調を達成するための当面 (2 ~ 5GHz) の要求値。WCDMA (2GHz) で送受信 (Tx/Rx) 混載を達成するための要求値。

パワーアンプと電力制御

パワーアンプ

送信出力が数 10mW から数 W (該当システムに依存する) において、効率のよい線形 RF パワーアンプが求められる。これらアンプの大信号における特徴から、パワーデバイスは、一般的なサブミクロン CMOS で可能なよりもかなりの耐久性と高いブレイクダウン電圧を必要としている。さらに通常これらはバッテリー駆動のデバイスであり、低いニー電圧 (knee voltage) をも確保する必要がある。今日、このようなパワーアンプは一般的に単体アンプとして GaAs HBT、シリコン LDMOS、GaAs pHEMT FET 技術で製造されている。シリコン SoC ソリューションによる RF パワーアンプの集積化は、要求される RF 動作の実現のみを目指したのではなく、かなりのデバイスの最適化と開発に対する努力が要求されるばかりか、効率的システムの集積化のため十分なアイソレーションが要求される。表 55a と 55b を参照。

電力制御

電力制御用 IC は、最も簡単な無線アプリケーションを除いた全てにおいて必要とされている。この機能は RF パワーアンプや他の無線ブロックからの電力需要を調節し、バッテリーや充電器のサージをレギュレートし、パワーレベルを検出し、効率的なシステム動作のために適切な温度・耐久性・リーク電流の制御を提供する。このような電力制御機能は、一般的に高電圧 CMOS 技術で成り立っており、通常は非常に大きな外周パスを有する FET デバイスを必要とする。電力制御の機能は、モジュール内において個別 IC に替わり、SoC 技術より一部分として集積化が期待されている。表 55a と 55b には、電力制御の技術要求が含まれている。

表 55a Power Amplifier Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
Nominal PA Supply Voltage (V)	3	3			2.4		
PA Product Solutions	Integrated Module		Single Radio SIP [1]			Radio/ Baseband SIP [2]	
PA Frequency (GHz)	0.8–2.5	0.8–6			0.8–10		
III-V HBT Transistor							
F_{max} (at V_{CC}) (GHz)	45	45	45	45	75	75	75
BV_{CBO} (V)	25	25	25	25	18	18	18
Linear efficiency (%) [3]	52	52	52	52	55	55	55
Area (mm^2) [4]	2.5	2.5	2.5	2	2	2	2
Cost/ mm^2 (US\$) [5]	0.4	0.4	0.4	0.28	0.28	0.25	0.24
III-V HBT Integration							
Power management [6]	N/A	N/A	N/A	N/A	N/A	N/A	N/A
Switch [7]	N/A	N/A	N/A	N/A	N/A	N/A	N/A
Filter [8]	N/A	N/A	N/A	Yes	Yes	Yes	Yes
III-V PHEMT Transistor							
F_{max} (at V_{DD}) (GHz)	45	45	45	45	75	75	75
BV_{DGO} (V)	20	20	20	20	16	16	16
Linear Efficiency (%) [3]	55	55	55	55	58	58	58
PA Area (mm^2) [4]	4	4	4	3.5	3.5	3.5	3.5
Cost/ mm^2 (US\$) [5]	0.4	0.4	0.4	0.28	0.28	0.25	0.24

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Manufacturable solutions are NOT known

Interim solutions are known

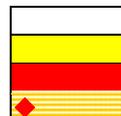


表 55a Power Amplifier Technology Requirements—Near-term (continued)

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
<i>III-V PHEMT Integration</i>							
Power management [6]	N/A						
Switch [7]	N/A	N/A	Yes	Yes	Yes	Yes	Yes
Filter [8]	N/A	N/A	N/A	Yes	Yes	Yes	Yes
<i>III-V Passives</i>							
Inductors Q [9]	15	15	15	25	25	25	25
Capacitor Q [10]	>100	>100	>100	>100	>100	>100	>100
Bypass capacitor density (fF/μm ²) [12]	0.6	0.6	0.6	2	2	2	2
RF capacitor density (fF/μm ²) [13]	0.6	0.6	0.6	2	2	2	2
<i>Silicon MOSFET Transistor</i>							
T _{ox} (PA) (Å) [11]	60	60	60	45	45	45	35
F _{max} (at V _{dd})	45	45	45	60	60	60	75
BV _{DSS} (V)	12	12	12	10	10	10	8
Linear efficiency (%) [3]	45	45	45	50	50	50	52
PA Area (mm ²) [4]	6	6	6	4.5	4.5	4.5	3
Cost/mm ² (US\$) [5]	0.1	0.08	0.08	0.06	0.06	0.06	0.05
<i>Silicon MOSFET Integration</i>							
Power management [8]	Yes						
Switch [9]	NO	NO	NO	MEMS	MEMS	MEMS	MEMS
Filter [10]	NO	NO	NO	MEMS	MEMS	MEMS	MEMS
<i>SiGe HBT Transistor</i>							
F _{max} (GHz)	45	60	60	80	80	80	80
BV _{CB0} (V)	18	18	18	16	16	12	12
Linear efficiency (%) [3]	50	50	50	55	55	55	55
PA Area (mm ²) [4]	2.5	2.2	2.2	2	2	1.7	1.7
Cost/mm ² (US\$) [5]	0.15	0.15	0.12	0.12	0.11	0.11	0.11
<i>SiGe Integration</i>							
Power management	Yes						
Switch	NO	NO	MEMS	MEMS	MEMS	MEMS	MEMS
Filter	NO	NO	MEMS	MEMS	MEMS	MEMS	MEMS
<i>Silicon / SiGe Passives</i>							
Inductors Q [9]	10	10	10	14	14	14	14
Capacitor Q [10]	>100	>100	>100	>100	>100	>100	>100
Bypass capacitor density (fF/μm ²) [12]	2	4	4	20	20	30	30
RF capacitor density (fF/μm ²) [13]	2	4	4	6	6	8	8

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Manufacturable solutions are NOT known

Interim solutions are known



表 55b Power Amplifier Technology Requirements—Long-term

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
Nominal PA Supply Voltage (V)	2.4	2.4	2.4	2	2	2
PA Product Solutions	Radio/Baseband SIP [2]					
PA Frequency (GHz)	0.8–10 GHz					
III-V HBT Transistor						
F_{max} (at V_{cc}) (GHz)	75	75	75	75	75	75
BV_{CBO} (V)	18	18	18	18	18	18
Linear efficiency (%) [3]	55	55	55	55	55	55
Area (mm^2) [4]	2	1.8	1.8	1.8	1.8	1.8
Cost/ mm^2 (US\$) [5]	0.24	0.22	0.2	0.15	0.15	0.15
III-V HBT Integration						
Power management [6]	N/A	N/A	N/A	N/A	N/A	N/A
Switch [7]	N/A	N/A	N/A	N/A	N/A	N/A
Filter [8]	Yes	Yes	Yes	Yes	Yes	Yes
III-V PHEMT Transistor						
F_{max} (at V_{dd}) (GHz)	75	75	75	75	75	75
BV_{DGO} (V)	16	16	16	16	16	16
Linear efficiency (%) [3]	58	58	58	58	58	58
PA Area (mm^2) [4]	3.5	3	3	3	3	3
Cost/ mm^2 (US\$) [5]	0.24	0.22	0.2	0.15	0.15	0.15
III-V PHEMT Integration						
Power management [6]	N/A	N/A	N/A	N/A	N/A	N/A
Switch [7]	Yes	Yes	Yes	Yes	Yes	Yes
Filter [8]	Yes	Yes	Yes	Yes	Yes	Yes
III-V Passives						
Inductors Q [9]	25	30	30	30	30	30
Capacitor Q [10]	>100	>100	>100	>100	>100	>100
Bypass capacitor density ($fF/\mu m^2$) [12]	2	2	2	2	2	2
RF capacitor density ($fF/\mu m^2$) [13]	2	2	2	2	2	2

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Manufacturable solutions are NOT known

Interim solutions are known

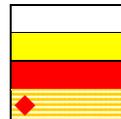


表 55b Power Amplifier Technology Requirements—Long-term (continued)

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
Silicon MOSFET Transistor						
T_{ox} (PA) (Å) [11]	35	35	35	35	35	35
F_{max} (at V_{dd})	75	75	75	35	35	35
BV_{DSS} (V)	8	8	8	2	2	2
Linear efficiency (%) [3]	52	52	52			
PA Area (mm^2) [4]	3	3	3	1.5	1.5	1.5
Cost/ mm^2 (US\$) [5]	0.05	0.05	0.05			
Silicon MOSFET Integration						
Power management [8]	Yes	Yes	Yes	Yes	Yes	Yes
Switch [9]	MEMS	MEMS	MEMS	MEMS	MEMS	MEMS
Filter [10]	MEMS	MEMS	MEMS	MEMS	MEMS	MEMS
SiGe HBT Transistor						
F_{max} (GHz)	80	80	80	TBD	TBD	TBD
BV_{CBO} (V)	12	12	10	10	10	10
Linear efficiency (%) [3]	55	55	55	TBD	TBD	TBD
PA Area (mm^2) [4]	1.7	1.5	1.5	TBD	TBD	TBD
Cost/ mm^2 (US\$) [5]	0.11	0.1	0.1	TBD	TBD	TBD
SiGe Integration						
Power management	Yes	Yes	Yes	Yes	Yes	Yes
Switch	MEMS	MEMS	MEMS	MEMS	MEMS	MEMS
Filter	MEMS	MEMS	MEMS	MEMS	MEMS	MEMS
Silicon / SiGe Passives						
Inductors Q [9]	14	18	18	18	18	18
Capacitor Q [10]	>100	>100	>100	>100	>100	>100
Bypass capacitor density ($fF/\mu m^2$) [12]	30	40	40	40	40	40
RF capacitor density ($fF/\mu m^2$) [13]	8	10	15	20	20	20

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Manufacturable solutions are NOT known

Interim solutions are known

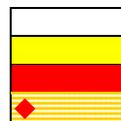


表 55a と表 55b に対する注:

[1] シングルラジオ SIP: 電力制御、トランシーバ(送受信機能)、パワーアンプ、各種フィルタ、切替機能を含む完全なポストベースバンドのラジオ設計をシステム・イン・パッケージに実装したもの。

[2] ラジオ / ベースバンド SIP: [1]項を含む完全なベースバンドとラジオ設計をシステム・イン・パッケージに実装したもの。

[3] 線形効率 (Linear efficiency): 電力に最終 PA 段における PCS / CDMA (IS95) 変調時の効率を加味したもの。

[4] 面積: 整合回路とフィルタを含んだ、クワッドバンド GSM / GPRS (General Packet Radio Service) / EDGE (Enhanced Data rates for GSM Evolution)用の PA を実現するために必要な、半導体の全面積。

- [5] 単位面積あたりのコスト(Cost/mm²): [4]項で述べた面積に対する市場でのファウンドリでの見積もりコスト。
- [6] 電力制御: RF パワーの検出 / PA への直流電力制御を具備する技術的可能性。
- [7] スイッチ: 動作 PA チップへ送・受切替スイッチを費用対効果のある中で集積化する可能性。
- [8] フィルタ: 高性能の想定される PA ソリューションにおいて必要とされるバンド選択フィルタを集積化する可能性。現状は SAW (Surface Acoustic Wave) フィルタ技術で実現している。
- [9] インダクタ Q 値: PA への要求電力を処理するのに適したメタライゼーションによる技術的に達成可能な 1GHz における 5nH のインダクタの Q 値 (Quality Factor)。
- [10] キャパシタ Q 値: 技術的に達成可能な 1GHz における 10pF キャパシタの Q 値 (Quality Factor)。キャパシタのブレイクダウン電圧は、妥当なパワーアンプ機能において評価されなければならない。
- [11] Tox (PA): RF パワーアンプ機能において MOSFET トランジスタの酸化膜厚。
- [12] バイパスキャパシタ密度: バイパスキャパシタは V_{dd} (もしくは V_{cc}) とグランド間に接続される。キャパシタのブレイクダウン電圧は、妥当なパワーアンプ機能において評価されなければならない。
- [13] RF キャパシタ密度: それ以外の全て機能(インピーダンス整合、高調波フィルタリング、カップリング等)に使用するキャパシタ。キャパシタは、その応用において十分なブレイクダウン電圧を持つ必要がある。

表 56a、表 56b の短期 (Near term)、および長期 (Long term) 基地局向け技術の主要トレンドに関しては以下に示す。

- 2003 年の基地局向け半導体市場は、主に 2GHz およびそれ以下である。将来の市場は、新たなアプリケーションや周波数の割り当てにより、さらに高周波に拡張することが推定される。
- RF のワット数あたりのドルで換算したコストは、今日の \$1/W から、2008 年の \$0.5/W に向かって徐々に下がる推定される。
- アプリケーション空間 (Application space) は、コスト削減をさらに促進することになるセラミックからプラスチックパッケージへの転換期を迎えている。
- 2003 年には、シリコン LDMOS FET が主要な半導体技術で、優に 95% のマーケットシェアが見込まれ、残りのシェアを GaAs FET が獲得する。SiC や GaN FET は技術水平線にやっとその兆しが見えてきたところ。
- 全ての半導体技術のトレンドは、同じ出力パワーにおいて、電力密度の向上とデバイスサイズの縮小化となる高電圧に移行する。縮小化されたデバイスサイズは、回路網のインピーダンス整合の複雑さを緩和し、また電力損失を減らし、電力効率を向上させる。
- アプリケーション空間は、CDMA や WCDMA のデジタル変調形式をサポートするため、飽和型パワーアンプからさらに線形化の進んだパワーアンプに移行する。
- 同じ大きさのデバイスにおいて、利用可能な線形電力は、得られる飽和電力の約 2 分の 1 である。
- 線形で動作時の PAE (Power Added Efficiency) は、常に飽和時より低い。
- 信号処理デバイスによる最大の RF 出力電力は、パワーアンプシステムの設計において重大な変革が無い限り、およそ 240W 以上には増えないであろう。
- 周波数の上昇に伴い、LDMOS の技術課題は、より高周波において、低周波 (2GHz) での性能を維持することとなるであろう。この技術課題に対する対応の失敗は、他のより高価な技術の適用を意味する。
- GaAs FET 技術は、LDMOS に比べ、コストはかかるものの、さらに高い周波数での特性、高い効率、電力密度を提供する。

22 無線通信のための RF および AMS 技術

- GaAs FET 技術の主たる技術課題は、LDMOS の動作電圧(28V)くらいまでの、更なる高電圧動作への移行である。
- SiC 技術は LDMOS、GaAs に較べ成熟していないが、より高電圧の動作と高い電力密度を提供する
- 2003 年における、最も高電力の SiC デバイスは 10W であり、LDMOS や GaAs で得られる振幅に対してひとけた以上低い。この技術は非常に高価な、熱伝導率の高い SiC 基板を使用する。
- 長期的には、SiC 技術は GaN 技術に取って代わられるため、長期ロードマップから削除した。
- GaN 技術は未成熟で、LDMOS、GaAs、SiC より電力密度が高くなる最初の商品は、2005 年と期待されている。
- GaN 技術では、SiC、サファイア、シリコン、GaN 等の多数の基板材料が検討されている。各々の材料はそれぞれ長所と短所を併せ持っている。
- GaN 技術の主たる課題は、LDMOS や GaAs で実証してきたように、高度のデバイス信頼性を達成することである。GaN 技術の本来持っている全ての優位性を生かすためには、高熱放射パッケージの開発が必要となるであろう。

表 56a Base Station Devices Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
Application frequency (GHz)	0.8–2	0.8–2.7			0.8–3.5		
Cost (\$\$/Watt)	1	0.9	0.8	0.7	0.6	0.5	
Packaging (C-Ceramic, P-Plastic)	C/P	C/P	C/P	Plastic			
<i>Si LDMOS</i>							
Operating voltage (V)	28	28	<40	<40	<50	<50	<50
Saturated power (Watt)	240	240	240	240	240	240	240
Saturated power density (W/mm)	0.7	0.7	0.9	0.9	1.2	1.2	1.2
Saturated PAE (%)	60	63	65	68	65	68	70
Linear power (Watt)	120	120	120	120	120	120	120
Linear PAE (%)	45	48	50	52	50	52	54
<i>GaAs FET</i>							
Operating voltage (V)	12	12	12	28	28	28	28
Saturated power (Watt)	180	180	180	180	180	180	180
Saturated power density (W/mm)	0.7	0.7	0.7	1	1.2	1.5	1.5
Saturated PAE (%)	65	65	68	70	68	70	72
Linear power (Watt)	90	90	90	90	90	90	90
Linear PAE (%)	50	50	52	55	57	55	57
<i>SiC FET</i>							
Operating voltage (V)	48	48	48	48	48	48	48
Saturated power (Watt)	10	30	60	60	60	60	60
Saturated power density (W/mm)	2	2	2	2	2	2	2
Saturated PAE (%)	45	45	45	45	45	45	45
<i>GaN FET</i>							
Operating voltage (V)	-	-	28	28	48	48	48
Saturated power (Watt)	-	-	10	30	60	60	180
Saturated power density (W/mm)	-	-	2	2	4	4	4
Saturated PAE (%)	-	-	52	55	50	52	55

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Manufacturable solutions are NOT known

Interim solutions are known

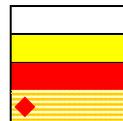


表 56b Base Station Devices Technology Requirements—Long-term

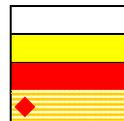
Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
Application frequency (GHz)	0.8–5					
Cost (\$\$/Watt)	0.4		0.3			
Packaging (C–Ceramic, P–Plastic)	Plastic					
<i>Si LDMOS</i>						
Operating voltage (V)	<50	<50	<50	<50	<50	<50
Saturated power (Watt)	240	240	240	240	240	240
Saturated power density (W/mm)	1.2	1.2	1.2	1.2	1.2	1.2
Saturated PAE (%)	65	65	70	70	70	70
Linear power (Watt)	120	120	120	120	120	120
Linear PAE (%)	50	50	52	52	52	52
<i>GaAs FET</i>						
Operating voltage (V)	28	28	28	28	28	28
Saturated power (Watt)	180	180	180	180	180	180
Saturated power density (W/mm)	1.5	1.5	1.5	1.5	1.5	1.5
Saturated PAE (%)	68	68	70	70	72	72
Linear power (Watt)	90	90	90	90	90	90
Linear PAE (%)	52	52	55	55	57	57
<i>SiC FET</i>						
Operating voltage (V)	48	48	48	48	48	48
Saturated power (Watt)	60	60	60	60	60	60
Saturated power density (W/mm)	2	2	2	2	2	2
Saturated PAE (%)	45	45	45	45	45	45
<i>GaN FET</i>						
Operating voltage (V)	48	48	48	48	48	48
Saturated power (Watt)	180	180	180	180	180	180
Saturated power density (W/mm)	4	4	4	4	4	4
Saturated PAE (%)	50	50	52	52	55	55

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Manufacturable solutions are NOT known

Interim solutions are known



ミリ波応用

ミリ波応用には従来から二種類のデバイス、すなわち電界効果トランジスタとバイポーラトランジスタ、が用いられてきた。これらのデバイスのキャリア輸送メカニズムや構造は従来からほぼ変わっていないが、基板材料やエピタキシャル成長層構造によってデバイス性能は大きく異なる。ミリ波トランジスタは大きく以下のように分類される。

電界効果トランジスタ(FET)は、多数キャリアである電子がウエハ表面に平行な薄い領域を走行するもので、主に以下の4種類がある。

- MESFET (Metal Semiconductor Field Effect Transistor)は普通 GaAs のホモ接合を用いており、電子は不純物がドーピングされた層を走行する。
- HEMT (High Electron Mobility Transistor)は基板と格子整合したバンドギャップの異なる積層構造を用いる。そして高濃度にドーブした層から発生したキャリアは隣り合うノンドープ層を走行する。その結果イオン化チャージによる散乱が抑えられて高いモビリティが得られる。基板は主に InP や GaN である。
- PHEMT (Pseudomorphic HEMT)は基板に近い格子定数を持つ、バンドギャップの異なる積層構造を用いる。HEMT よりも高いモビリティを得ることができ、基板は主に GaAs である。
- MHEMT (Metamorphic HEMT)は基板と格子整合せず、バンドギャップの異なる積層構造を用いる。基板との間にバッファ層を設けることで、エピタキシャル成長層に歪みを生じさせることができる。上に述べた他の電界効果トランジスタに比べ、ミリ波応用向けのエピ構造設計のフレキシビリティが大きい。一般に最も手に入りやすく、プロセスも確立されている GaAs 基板を用いることが多い。

HBT (Hetero-junction Bipolar Transistor)はウエハ表面に対して垂直に少数キャリアが走行するデバイスであり、以下の2種類がある。

- InP HBT は III-IV 族元素[In, Ga, As, Sb, P]を含む3層あるいは4層の InP 基板にほぼ格子整合した積層構造を持つ。GaAs HBT は主に 10 GHz 以下のアプリケーションで用いられる。
- SiGe HBT は Si 基板上の単結晶 SiGe を用いる。

図 31 は大規模な市場が期待されるミリ波デバイスのアプリケーションを示している。GaAs 産業が大きく落ち込んだ 2001 年以降、ミリ波市場は自動車向け及び W-LAN 向けが主となっている。図 31 にはこの周波数帯における各デバイスの棲み分けも示されている。GaN デバイスは Ka バンド以下の周波数帯におけるパワー応用では他の III-V デバイスに取って代わる可能性があるが、解決すべき多くの課題が存在する。60 GHz あるいは 94 GHz 帯で用いる PHEMT デバイスも報告されているが、このような高い周波数帯では InP HEMT や MHEMT が、その高性能性、低消費電力性能を活かして使われる可能性が高い。PHEMT は低価格なので低い周波数帯では使われているが、10 年後には他のデバイスがこの領域をカバーするものと思われる。

InP HBT と SiGe HBT は高速ロジックとミックスシグナル応用に適している。この分野では閾値制御が重要であるため、閾値がバンドギャップ(材料の特性)で決まるバイポーラの方が、ショットキーバリアやフェルミレベル(プロセス特性)で決まる電界効果デバイスよりも使いやすいためである。HBT は低歪み発振回路でも用いられる。これら HBT は価格と性能の両面において MESFET を凌駕し、その市場に進出していくものと思われる。InP と SiGe のバンドギャップはほぼ同じであるが、InP は高耐圧、SiGe は BiCMOS 化による高集積化が可能、というメリットがある。

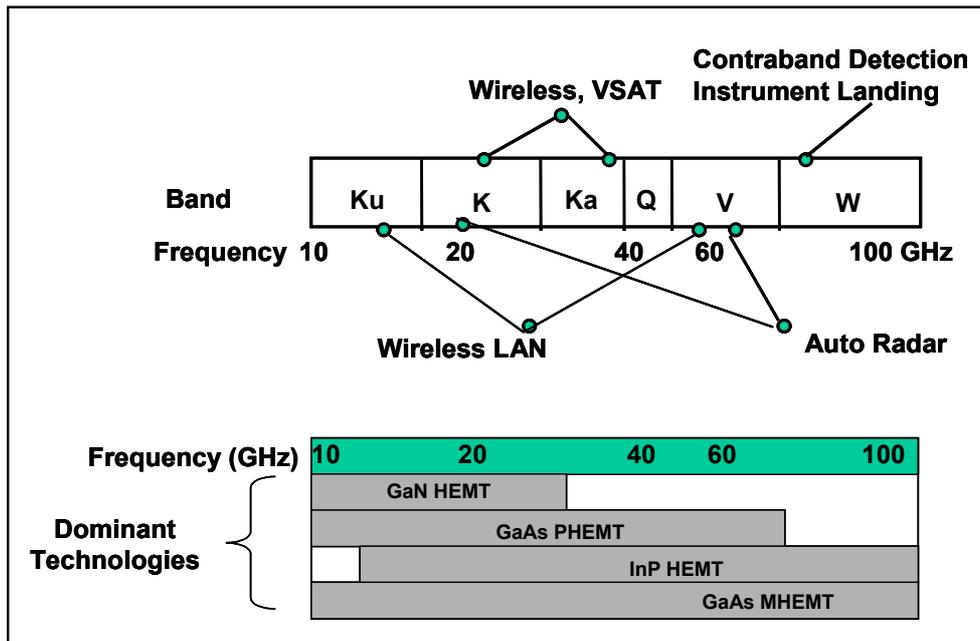


図31 Millimeter Wave Commercial Applications Spanning 10 to 100 GHz

表 57 は HEMT と PHEMT を低ノイズパワー-MMIC に用いる場合、および MESFET と HBT をデジタル/ミックスシグナル回路で用いる場合に必要とされる性能を示している。ミキサー、発振器、バラクタ、スイッチ、位相シフタも重要ではあるが、すべてのデバイスに対する技術的課題は小信号(低ノイズ)性能と大信号(電力)性能に集約される。将来は受動素子を組み込む必要がある。

表 57 Millimeter Wave 10–100 GHz Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
Device Technology—FET *							
GaAs MESFET (digital mixed-signal)							
Gate length—L physical (nm)	250	250	150	150	-	-	-
Minimum M1 pitch (nm)	1200	1200	680	680	-	-	-
F _t - enhancement mode (GHz)	80	80	120	120	-	-	-
F _t - depletion mode (GHz)	70	70	100	100	-	-	-
BV _{GD} (1mA/mm, V _g =0) (volts)	7.5	7.5	5 to 10	5 to 10	-	-	-
Power delay product at gate delay-FO=1 (fJ at pS)	2 at 25	2 at 25	1.2 at 18	1.2 at 18	-	-	-
Shortest DCFL gate delay (pS)	10	10	6	6	-	-	-
Interconnect metal layers	4	4	5	5	-	-	-
Interconnect metal	Al	Al	Al	Al	-	-	-
Inter line dielectric constant (effective)	4.2	4.2	3.1	3.1	-	-	-
GaAs PHEMT (low noise)							
Gate length (nm)	100	100	70	70	50	50	32
F _t (GHz)	130	130	150	150	170	170	200
Breakdown (volts)	7	7	7	7	6	6	5.5
I _{max} (mA/mm)	650	650	600	600	550	550	550
G _m (S/mm)	0.65	0.65	0.8	0.8	0.9	0.9	1
NF (dB) at 26 GHz, 18–20 dB associated gain	3.1	3.1	2.5	2.5	2	2	1.5
NF (dB) at 94 GHz, 8–10 dB associated gain	4.8	4.8	4	4	3.5	3.5	3
GaAs PHEMT (power)							
Gate length (nm)	200	200	100	100	70	70	-
F _{max} (GHz)	75	75	150	150	200	200	-
Breakdown (volts)	11	11	11	11	9	9	-
I _{max} (ma/mm)	650	650	750	750	850	850	-
G _m (S/mm)	0.52	0.52	0.67	0.67	0.85	0.85	-
P _{out} at 26 GHz and peak efficiency (mW/mm)	500	500	550	550	600	600	-
Peak efficiency at 26 GHz (%)	20	20	30	30	40	40	-
Gain at 26 GHz, at P _{1dB} (dB)***	10	10	12	12	14	14	-
P _{out} at 94 GHz and peak efficiency (mW/mm)	250	250	-	-	-	-	-
Peak efficiency at 94 GHz (%)	15	15	-	-	-	-	-
Gain at 94 GHz, at P _{1dB} (dB)***	6	6	-	-	-	-	-

DCFL—direct-coupled FET logic

* Lithography dimensions are drawn dimensions.

** Output power at peak efficiency is generally at 2 to 3 dB into compression; P_{out} is normalized to total gate periphery.

*** P_{1dB} (dB) is the point at which the device gain is 1 dB less than the linear gain, i.e., the gain is compressed by 1 dB.

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Manufacturable solutions are NOT known

Interim solutions are known

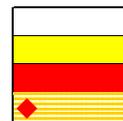


表 57 Millimeter Wave 10–100 GHz Technology Requirements—Near-term (continued)

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
Device Technology—FET *							
InP HEMT (low noise)							
Gate length (nm)	-	100	70	70	50	50	32
F _t (GHz)	-	200	240	240	300	300	350
Breakdown (volts)	-	4	3.5	3.5	3	3	2.5
I _{max} (ma/mm)	-	700	700	700	650	650	600
G _m (S/mm)	-	1	1.2	1.2	1.5	1.5	1.8
NF (dB) at 26 GHz, 20–23 dB associated gain	-	2.2	1.8	1.8	1.5	1.5	1.2
NF (dB) at 94 GHz, 10–13 dB associated gain	-	3	2.5	2.5	2	2	1.8
InP HEMT (power)							
Gate length (nm)	-	-	150	100	100	100	100
F _{max} (GHz)	-	-	200	220	260	260	260
Breakdown (volts)	-	-	5	5	6	6	6
I _{max} (ma/mm)	-	-	750	700	650	650	650
G _m (S/mm)	-	-	0.8	0.9	0.9	0.9	0.9
P _{out} at 26 GHz and peak efficiency (mW/mm)	-	-	400	400	450	450	450
Peak efficiency at 26 GHz (%)	-	-	30	40	50	50	50
Gain at 26 GHz, at P _{1dB} (dB)***	-	-	12	15	15	16	16
P _{out} at 94 GHz and peak efficiency (mW/mm)	-	-	250	300	350	350	400
Peak efficiency at 94 GHz (%)	-	-	25	40	40	45	45
Gain at 94 GHz, at P _{1dB} (dB)***	-	-	6	8	10	10	12
GaAs MHEMT (low noise)							
Gate length (nm)	-	-	100	100	70	70	50
F _t (GHz)	-	-	250	250	300	300	400
Breakdown (volts)	-	-	5	5	4	4	3
I _{max} (ma/mm)	-	-	680	680	680	680	680
G _m (S/mm)	-	-	1	1	1	1	1
NF (dB) at 26 GHz, 10–23 dB associated gain	-	-	1.6	1.6	1.2	1.2	0.8
NF (dB) at 94 GHz, 10–13 dB associated gain	-	-	2.3	2.3	1.8	1.8	1.6

* Lithography dimensions are drawn dimensions.

** Output power at peak efficiency is generally at 2 to 3 dB into compression; P_{out} is normalized to total gate periphery.

*** P_{1dB} (dB) is the point at which the device gain is 1 dB less than the linear gain, i.e., the gain is compressed by 1 dB.

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Manufacturable solutions are NOT known

Interim solutions are known

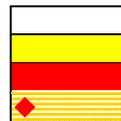


表 57 Millimeter Wave 10–100 GHz Technology Requirements—Near-term (continued)

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
Device Technology—FET *							
GaAs MHEMT (Power)							
Gate length (nm)	-	-	-	200	100	100	100
F _{max} (GHz)	-	-	-	200	250	275	300
Breakdown (volts)	-	-	-	8	8	8	9
I _{max} (ma/mm)	-	-	-	600	600	600	600
G _m (S/mm)	-	-	-	0.8	0.9	0.9	0.9
P _{out} at 26 GHz and peak efficiency (mW/mm)	-	-	-	350	500	600	750
Peak efficiency at 26 GHz (%)	-	-	-	45	55	55	60
Gain at 26 GHz, at P _{1dB} (dB)***	-	-	-	12	15	16	16
P _{out} at 94 GHz and peak efficiency (mW/mm)	-	-	-	200	350	400	450
Peak efficiency at 94 GHz (%)	-	-	-	25	40	45	45
Gain at 94 GHz, at P _{1dB} (dB)***	-	-	-	6	8	10	12
GaN HEMT (low noise)							
Gate length (nm)	-	-	-	-	150	100	100
F _t (GHz)	-	-	-	-	100	100	120
Breakdown (volts)	-	-	-	-	>40	60	60
I _{max} (ma/mm)	-	-	-	-	>1000	1200	1500
G _m (S/mm)	-	-	-	-	>0.3	0.4	0.5
NF (dB) at 26 GHz, 14 dB gain	-	-	-	-	2	2	1.5
GaN HEMT (power)							
Gate length (nm)	-	-	-	-	150	100	100
F _{max} (GHz)	-	-	-	-	100	100	150
Breakdown (volts)	-	-	-	-	>40	60	60
I _{max} (ma/mm)	-	-	-	-	>1000	1200	1500
G _m (S/mm)	-	-	-	-	>0.3	0.4	0.5
P _{out} at 26 GHz and peak efficiency (mW/mm)	-	-	-	-	3000	5000	5000
Peak efficiency at 26 GHz (%)	-	-	-	-	35	40	50
Gain at 26 GHz, at P _{1dB} (dB)***	-	-	-	-	10	12	12

* Lithography dimensions are drawn dimensions.

** Output power at peak efficiency is generally at 2 to 3 dB into compression; P_{out} is normalized to total gate periphery.

*** P_{1dB} (dB) is the point at which the device gain is 1 dB less than the linear gain, i.e., the gain is compressed by 1 dB.

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Manufacturable solutions are NOT known

Interim solutions are known

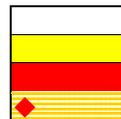


表 57 Millimeter Wave 10–100 GHz Technology Requirements—Near-term (continued)

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
Device Technology—HBT *							
InP HBT							
Emitter width (nm)	1200	800	350	350	250	250	150
F _t (GHz)	170	170	300	300	300	300	400
F _{max} (GHz)	170	200	300	300	350	350	450
Breakdown (BV _{CEO}) (volts)	7	7	4	4	4	4	3
I _{max} /μm ² (mA/μm ²)	1.5	2	5	4	4	4	5
Beta	20	50	50	50	50	50	50
3 sigma V _{BE} (mV)	50	40	40	30	30	25	25
Interconnect metal layers	3	4	4	4	5	5	5
Interconnect metal	Al, Au	Al, Au	Al, Au	Al, Au	Cu	Cu	Cu
Barrier	PVD	PVD	PVD	PVD	IMP	IMP	IMP
Wafer diameter (mm)	100	100	100	100	150	150	150
SiGe HBT							
Emitter Width (nm)	200	150	120	120	100	100	70
F _t (GHz)	150	175	200	230	265	300	350
F _{max} (GHz)	180	205	240	260	300	330	390
Breakdown (BV _{CB0}) (volts)	6	5.5	5.3	5	5	4.5	4.5
Breakdown (BV _{CEO}) (volts)	2.3	2	2	2	1.8	1.8	1.8
I _{max} /μm ² (mA/μm ²)	7	8	10	14	14	18	18
Beta	140	200	200	200	250	250	300
Nf _{min} at 77 GHz (dB)	6.6	6.1	5.5	5.1	4.6	4.3	3.9

*Lithography dimensions are drawn dimensions.

** Output power at peak efficiency is generally at 2 to 3 dB into compression; P_{out} is normalized to total gate periphery.

*** P_{1dB} (dB) is the point at which the device gain is 1 dB less than the linear gain, i.e., the gain is compressed by 1 dB.

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Manufacturable solutions are NOT known

Interim solutions are known

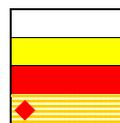


図 32 から 34 は各種デバイスの短期間の技術的トレンドを示している。図 32 には PHEMT を用いた低ノイズアンプの NF(Noise Figure)と周波数の関係を示している。現在 PHEMT はミリ波帯における低ノイズデバイスとして用いられているが、すぐに InP によって、10 年後には MHEMT によって取って代わられる。このことは図 32 中に示したように 2003 年に報告された InP HEMT や MHEMT のノイズ性能から明らかである。現在の研究開発結果は将来の市場のトレンドを示すものである。InP HEMT や MHEMT はノイズが低だけでなく、同じ NF とゲインで比べた場合 DC 消費電力が 1/4 になる、というメリットもある。

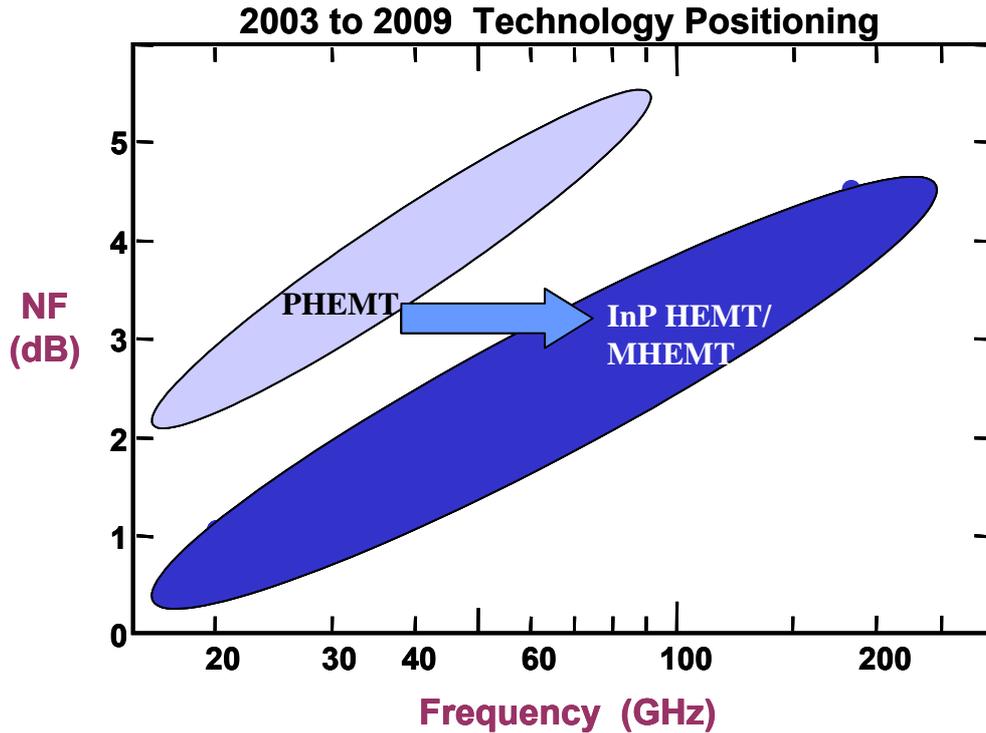
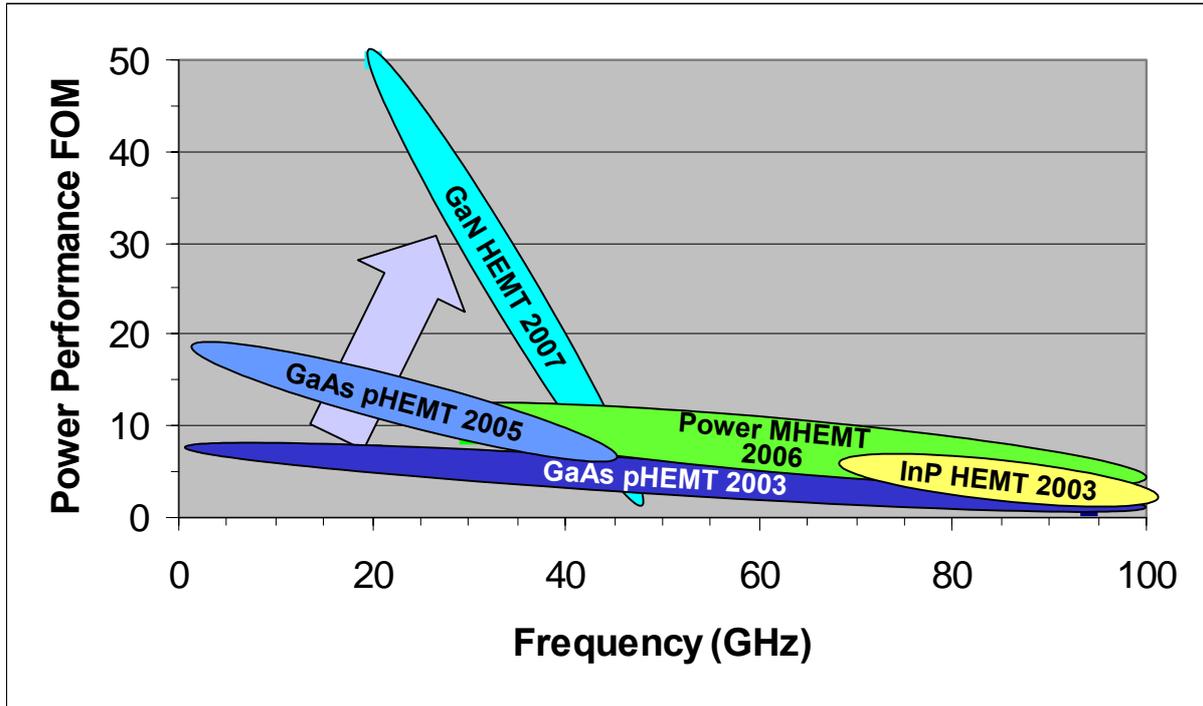


図 32 Low Noise Amplifiers

図 33 はミリ波パワー応用における技術トレンドである。縦軸の FOM (Figure of Merit) は 10-20% のバンド幅を持つ中心周波数における, MMIC の電力密度 (W/mm) と一段あたりの小信号利得の積である。FOM として電力帯域幅積を用いてもこの傾向は変わらない。GaAs PHEMT と InP HEMT はミリ波帯のパワーデバイスとして量産されており, 特に 77 GHz 以下のアプリケーションでは GaAs PHEMT は使われることが多い。ところがこれらのデバイスでは将来のシステムに要求されるパワー性能を得ることはできない。GaAs PHEMT も InP HEMT も技術開発によって特性は向上するものと思われるが, それでも将来の要求には応えられない。

ミリ波パワーデバイス開発においては, エンジニアは常にジレンマを抱えている。電力または電力密度が増加すると, デバイスは高電圧または高電流で動作させなければならない。ある決まったデバイス技術においては, 動作電圧と電流密度はトレードオフであり, それに加えて動作電圧が増加すると高周波動作性能または利得は減少してしまう。たとえば InP HEMT に比べて高電圧で使うことができる GaAs PHEMT はミリ波帯の高い周波数領域では利得が制限されてしまう。一方高い高周波利得を得られる InP HEMT は低電圧 (すなわち低電力) で動作させなければならない。これら双方の利点, すなわち GaAs PHEMT の高電圧動作性能と InP HEMT の高周波利得を同時に実現する構造を見出すことが今後の課題である。

現在開発されているアプローチのひとつは, バンドギャップエンジニアリングによって GaAs PHEMT の高電圧動作性能と InP HEMT の高利得性能を得ることができる MHEMT である。図 33 に示すようにパワー MHEMT は 40-100 GHz の周波数帯において GaAs PHEMT と InP HEMT の性能を凌駕し, 2006 年ごろには生産可能であると思われる。



Performance figure of merit is MMIC power density (W/mm) times MMIC SS gain per stage (dB) at application center frequency (typical 10–20% bandwidth).

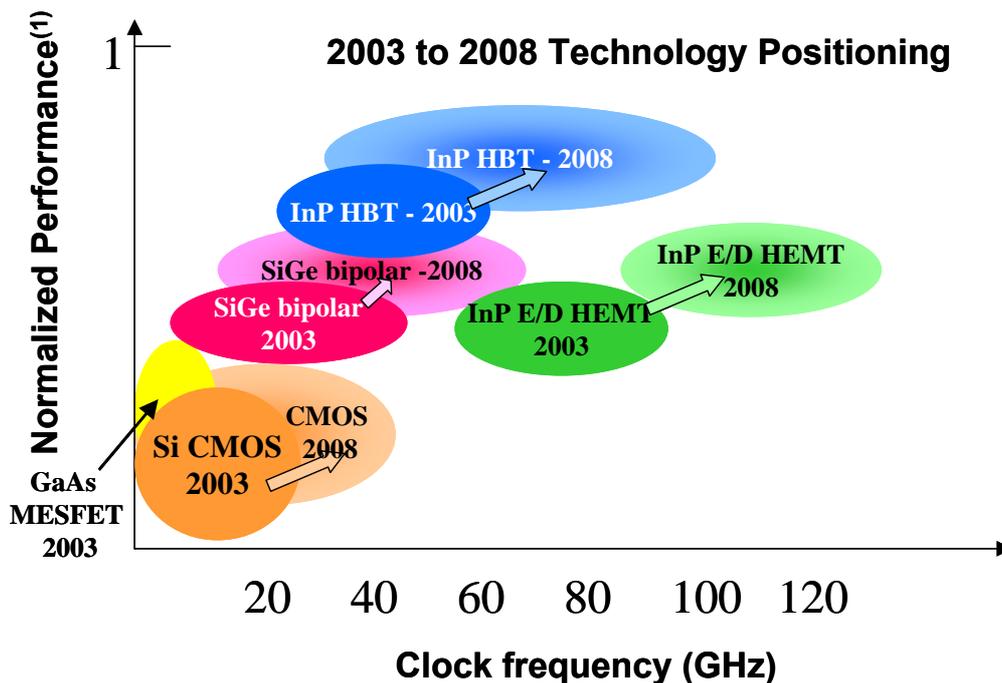
図 33 Evolution of Production Power Devices 2003–2009

もうひとつのアプローチは広いバンドギャップを持つ GaN である。マイクロ波帯において GaN HEMT は GaAs PHEMT に比べて 5-10 倍高い電力密度を示し、Ka バンドまでのアプリケーションに対応可能であることがわかっている。GaN HEMT がこのような画期的なパワー性能を示すのは、利得を下げることなく GaAs PHEMT に比べてはるかに高い動作電圧と高電流密度を得られるためである。さらなる開発により、GaN HEMT は、5 年以内に Ka バンドを含むミリ波帯における最も優れたデバイスとなるものと思われる。

ミリ波帯アプリケーションに向けたミックスシグナルデバイス技術の今後の展開を図 34 に示す。これらのアプリケーションには基礎となるデバイス技術が様々な条件すなわち高い中心周波数、精密なトランジスタマッチング特性、低ノイズ性能、高い線形性を満たす必要がある。CMOS の微細化が進めば 10-20 GHz までの分解能の低い回路には適用できる、と考えられている。SiGe の採用によって Si でカバーできる周波数帯は 40-50 GHz 程度まで広がるが、耐圧 (BVCEO) が 2 V 以下になるとダイナミックレンジが限られてしまう。InP HBT はトランジスタサイズが大きくスケールアップされれば、最も優れた高周波性能を示す。InP HBT の基板サイズは現在 100 mm、サンプルで 150 mm が得られるが、これが限界である。InP の E/D (Enhancement/Depletion) HEMT はサブ 0.1 μm までスケールアップされれば InP HBT をしのぐ高周波性能を示す。

E/D 技術は HBT よりも低消費電力化が可能であるが、接合のターンオンで閾値を制御する HBT に比べると、HEMT の閾値制御性は劣っている。さらに $1/f$ 特性も HBT よりも劣る。しかしながら E/D 技術を用いた回路は HBT を用いた同様の回路よりも低電力で動作する点が利点である。

広いダイナミックレンジが必要とされるアプリケーション(衝突防止レーダなど)では,高い線形性と低い $1/f$ ノイズ性能を生かしてバイポーラデバイスが用いられる。最先端のミックスシグナル回路の進歩によって無線通信帯域幅の増加が期待される。これはアナログ信号のリアルタイム修正と合成を,デジタル技術を用いて行うためであるが,そのためにはデジタル回路とミックスシグナル回路はアナログキャリア周波数の3倍から10倍で動作する必要がある。また,光ネットワークの制御及び分波といったアプリケーションも広がるものと思われる。



The metric for performance depends on the class of circuit. It can include dynamic range, signal-to-noise, bandwidth, data rate, and/or inverse power.

図 34 Mixed-signal/Ultra High-speed Digital

解決策候補

アナログ及びミックスシグナル・デバイス

この節では、ミックスシグナルに関する課題についての解決策候補を検討する。この解決策は、PIDSの節の他の章で論じたメモリーやロジックについて既に見直したものと異なるか、またはそれに付け加えるものである。ミックスシグナル技術がうまく行くと、デジタルの基礎基盤も強化できるし、付加価値のある特徴や機能を組みこむことができる。

ミックスシグナル回路の集積が成功するための基本的な要因は、特殊な高電圧アナログ精密トランジスタや、高品質受動素子、適切な信号分離、及び両立性のある能動素子を加えることである。CMOSの高周

波特性の着実な進展と速度・電力の積の低減により、この技術は従来の BiCMOS やバイポーラのインプリメンテーションに追い迫るであろう。SOI の導入は、信号分離にはプラスに働くが、ミックストシグナルに対しては更なる課題を与えることになる。しかし、SOI プロセスのアナログ素子の動作は、未だ研究の領域にある。高抵抗な基板接続と同様に熱やフローティング・ボディ効果が回路設計の課題を提起する。

ミックストシグナルの電源電圧については、高性能デジタルのそれに比べて、二世代以上の遅れが続いている。マルチゲート酸化膜厚、マルチスレッショルド、及び DC-DC 変換の組合せが、ミックストシグナルについて増大する要求の解決を支援するのに必要である。動作スレッショルドの制御や、基板のバイアス印加、及び斬新な設計アーキテクチャについての問題を解決することが、ミックストシグナルの実用化のために供給電圧を低減する流れを加速するために必要となる。完全な集積化のための選択肢として異なる技術を回路に複合する SIP と、要求特性に対する最適化がある。CMOS での完全デジタルのインプリメンテーションが、A/D コンバータを除く殆どのアナログ機能を置き換える事が期待される。

ディスクリートの受動素子を、ボードレベルからチップレベルに移す傾向は継続するであろう。チップ上でディスクリートに等価な精密受動部品を実現するための解決策が望まれる。集積抵抗には、寄生容量の低減と高温での直線性が求められる。新しい High-k 誘電体が、集積化キャパシタの面積を低減するのに必要である。また一方で、コスト低減または簡単化の方法として、幾つかの受動素子がプリント基板またはパッケージに集積できるかもしれない。ミックストシグナル・デバイスではマッチングに対する要求が強まる。能動及び受動素子の正確なマッチングは、注意深いレイアウトと熱履歴の低いプロセスにより実現されるであろう。

素子のマッチングは、能動回路補償のような技術を用いる高精度アナログ回路設計にとっては決定的に重要である。集積度が増大し動作周波数が上るに従って、ノイズに敏感なアナログ回路を、“雑音が大きい”デジタル回路から保護することは、益々困難になるであろう。信号の分離は、基板(即ち高抵抗)間配線及びパッケージでの解決策の組み合わせで対策できよう。今日では、回路ブロックは酸化物素子分離やカードリング及び埋め込みウェル(トリプルウェル)により保護される。将来は、回路と配線の保護に集積シールド構造が要求されるであろう。回路の S/N 特性を高めるために、斬新な設計アーキテクチャが採用されるであろう。これらの問題に対してコスト的にも十分成り立つ解決策と挑戦は、その時に主流である CMOS 技術と適合していなければいけない。図 35 にアナログ及びミックストシグナル・デバイスに対する有望な解決策を例示する。

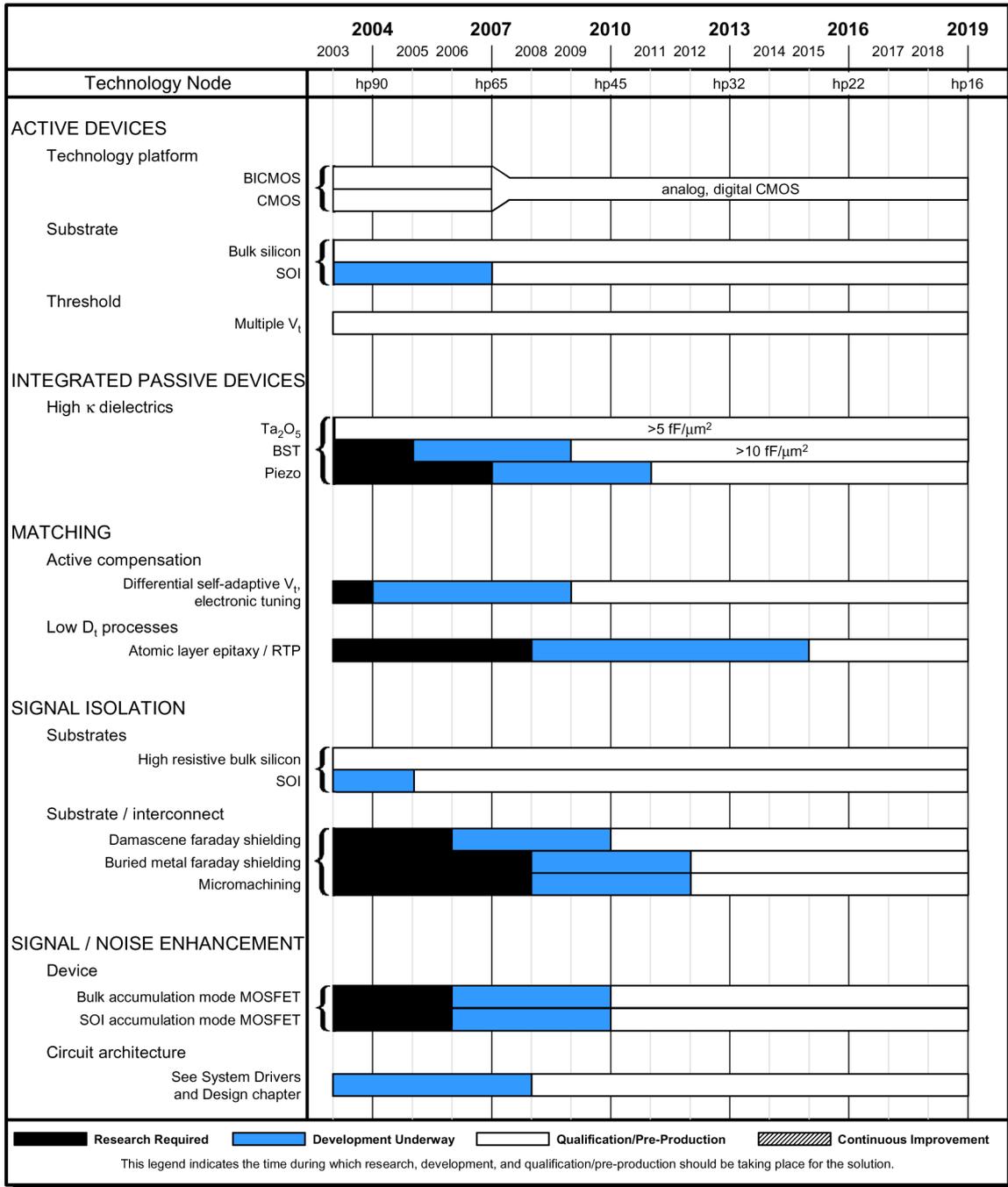


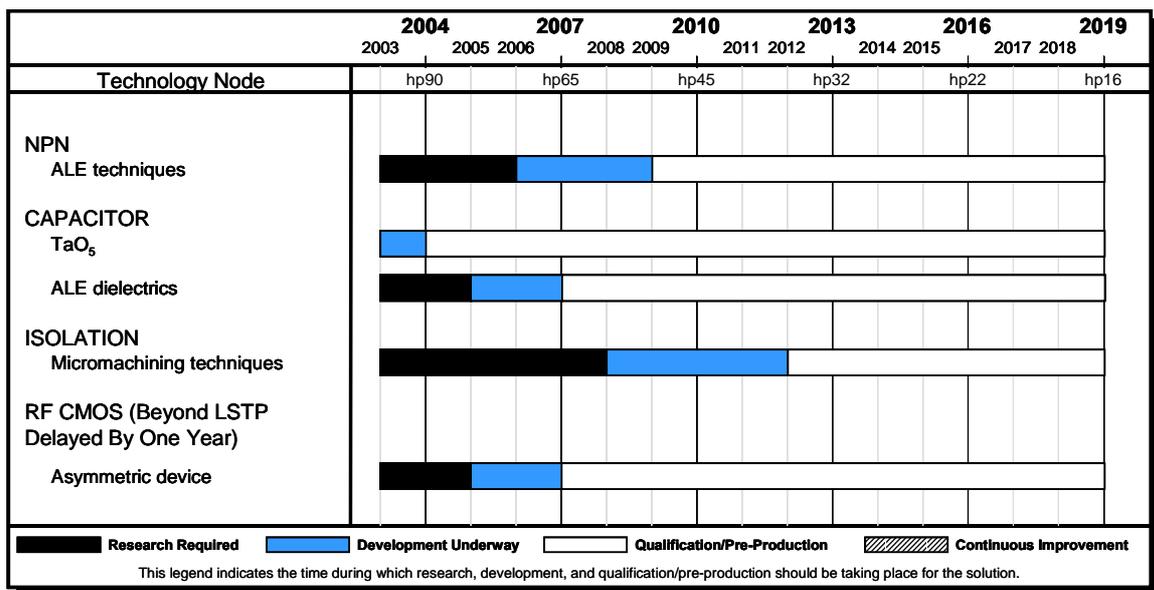
図 35 Analog and Mixed-signal Devices Potential Solutions

RF トランシーバ

バイポーラ及び RF NMOS の性能からみた、これらの能動素子の Ft と Fmax の向上により、アグレッシブなロードマップが示されている。この向上は、バイポーラ素子については垂直・水平方向スケールングを推進し続ける技術によって、Ft ~300 GHz まで達成されるであろう。垂直スケールングについては、現行の機器・技術と炭素ドーピングの進歩改良により達成されよう。Ft が ~ 300 GHz を超えるには、原子層エピタキシーなどの更に進んだエピタキシャル技術が要求されよう。Ft が ~ 400 GHz を超えるには、特別な材料やドーパントが導入される必要がありそうである。水平スケールングには、デジタル CMOS に採用された技術を主に流用し、デジタル CMOS のスケールングに既に適用されている要求事項に付け加えることは無さそうである。

CMOS 素子は、デジタルのロードマップに沿った進歩から恩恵を受け続けるであろう。挑戦課題は既にミックストシグナルの章で論じたものと類似しているが、更に高い周波数での動作を必要とするためにより厳しくなる。ミックストシグナルに期待されるのと同じ解決策候補は、RF トランシーバのロードマップにおいても採用されるであろうと思われる。更に、この RF のロードマップは、CMOS ドライバ及びパワーマネジメントデバイスの電圧処理能力を増すために非対称素子(ドレイン拡張)を集積することの必要性、及び恐らくは高電圧素子(LDMOS)の動作を改良するために横方向拡散チャネルを使用すること、を推進するであろう。また、より高い周波数でのゲート抵抗に付随して損失がより高くなるために、メタル・ゲートがミックストシグナル技術よりも早期に導入されるかもしれない。

また、より高品質で高密度の MIM キャパシタとインダクタの集積化も、RF トランシーバのロードマップの課題として認識されている。MIM キャパシタの解決策候補として、将来ゲート誘電体として使用するために現在開発が進められている High-k 誘電体の導入も含まれる。インダクタには、より厚い銅の層とより厚みのある上部誘電体がロードマップとして可能と思われるが、これらはパッケージに集積されるインダクタと共存できるかもしれない。



ALE—atomic layer epitaxy

パワーアンプとパワーマネジメント

SiGe が携帯受信機の技術選択肢として既に確立されている。その優れた雑音指数とゲイン特性は、現在の技術水準の $1/f$ ノイズ特性と組合わさって、極めて効率の良いコンパクトな受信機ブロックの設計を可能にしている。しかし、CMOS が標準である流れの中では、その集積コストが極めて重大である。SiGe に代る選択肢として、ディープサブミクロン領域の CMOS 着眼している設計グループがいる。

この場合、InP ベースの HBT 素子がニッチを見出したとは思えない。ブロードバンド企業は、現在帯域幅に対して実際に要求される程度を超えた素子をもつ SiGe HBT により、必要以上にカバーされていると思われる。PA (パワーアンプ) の商業ビジネスにおいて、InP は、現在のバッテリー電圧に伴って要求される仕様に耐える十分高い破壊電圧を有していない。もし商業無線のための動作周波数が大きく高められることになれば、そのときはこれらの素子の必要性も高まるであろう。

モジュールの複雑さが絶えず増していく一方、そのモジュールの底面積は絶えず縮小しつつあるので、無線機能をより多く集積できる技術は、究極的には選ばれた技術であろう。このアプローチは、主に一つのモジュールの中のチップの数を減らすことである。これらの RF 機能の二つは、フィルタと送受信切り替えスイッチである。MEM スイッチの信頼性が改善され、その電圧についての要求が緩和されるならば、それらは GaAs と Si の両技術にたいする後処理集積化の方法を提供することが出来る可能性がある。フィルタ機能の集積化もまた、半導体技術に含まれる問題を提起する。現在までは、フィルタのバルク音響共振器 (FBAR: Filter Bulk Acoustic Resonator) の技術と MEM 共振器が、集積化可能な候補として登場している。

ミリ波

化合物半導体は、デジタル・シリコン産業で現在進展しつつあるリソグラフィとプロセス装置の進歩を利用しなければならない。これを達成するためには、そのウエハの直径はシリコン産業の一世代又は二世代以内にある必要がある。6 インチの半絶縁 GaAs ウエハが、InP とともにそれほど遅れずに生産されている。しかし、III-V 族については、シリコン・ウエハの 8 インチ直径から 12 インチ直径への移行につれて、より大きなウエハ寸法へ向って推進し続けることが必要である。光学リソグラフィのツールが、大幅に進歩しつつあるが、そのマスクのコストは、殆んどの比較的少量の III-V 族応用に対しては法外に高い。直描電子ビームがマスクコストに対する一つの解決策であるが、ウエハの生産性 (1 時間にウエハ何枚というよりウエハ 1 枚につき何時間かかるか) が、ハイカレント電子源と高速アライメント・システムによって改善される必要がある。

現在台頭しつつあるワイドバンドギャップの素子については、基板品質が尚問題である。GaN の型板についての研究が継続されているが、当座においては、SiC 基板が、その欠陥密度が改善されるにつれて、より使えるものに成長するであろう。SiGe がミリ波スペクトルにチャレンジするとしても、高抵抗低損失シリコンが取り組まれる必要性はある。

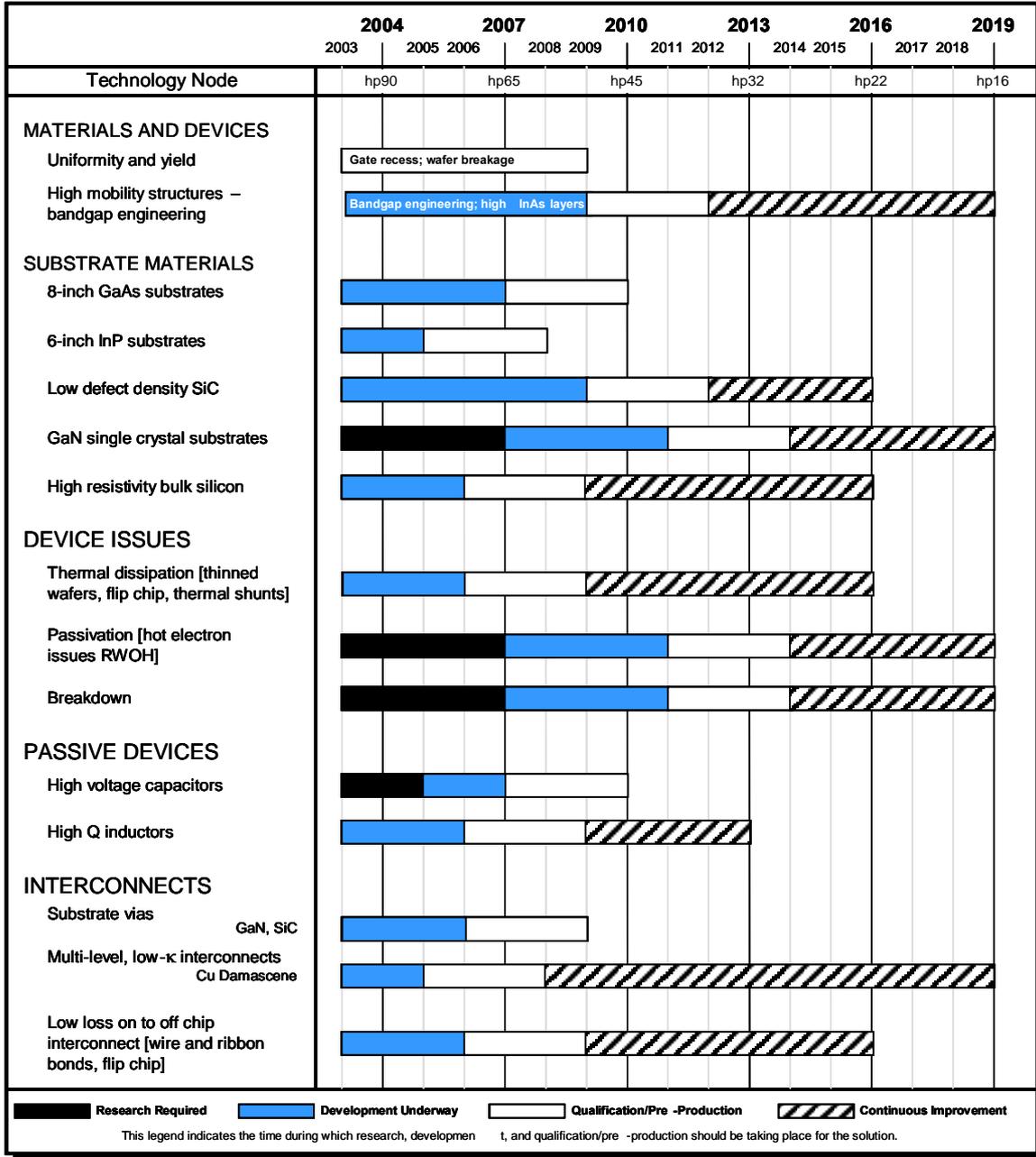
熱損失が、ワイドバンドギャップの III-V 族パワーデバイスにとっての主な課題である。GaN 基板及び SiC 基板は、GaAs や InP に較べて、より高い熱伝導値を有するが、これらのワイドバンドギャップ半導体に一般的に存在する $5\text{-}10'$ の高電力密度は、より高い熱伝導性の利点を幾分相殺する。これらの事情は、熱

損失を素子設計の重要な側面にする。実績のある技術には、薄い(0.002 インチ)ウエハ、熱の分流、及びバスタブ・バイアスが含まれる。これらの技術は、もっと斬新な解決策と同様に、ワイドバンドギャップ半導体に適用されることが必要である。

ミックストシグナル・デバイスとハイパワー・デバイスの両者には、高い破壊電圧が望まれる。各寸法がより高い周波数動作のために縮小されるにしたがって、動作電圧が犠牲になる。特にこのことは、デジタル機能に対するよりもアナログ機能に対してより大きなダイナミックレンジを必要とするミックストシグナル・デバイスについて問題となることである。SiGe により提供される集積度レベルは、InP よりも何オーダーも大きいけれども、この点においては、InP HBT は SiGe HBT に明らかに勝る利点を提供する。素子を注意深くスケールリングすることと、ワイドバンドギャップのコレクターにより、InP HBT の破壊電圧レベルを維持するのに役立たせることができる。

パワーFET については、より高い破壊電圧を得るために、ゲートを後退させることが用いられて成功したが、これは GaN にはこれから適用されることである。表面電場を最適にするためソース・ドレイン領域の垂直寸法を調整することは、一つの可能な対策である。パッシベーションとホットキャリア効果の改良を続けることも必要である。

最後に、III-V 族における高周波動作は、リソグラフィ(水平方向のスケールリング)によると同様に、エピタキシー(垂直方向のスケールリング)によっても高められる。トランスポート層でのキャリア速度と移動性は、エピタキシャル層のスタックを適切に設計することにより調整可能であり、バンドギャップをうまく設計することを通じて III-V 族素子が続けて改良されることが期待される。



RWOH—reliability without hermiticity

37 Millimeter Challenges and Potential Solutions

横断的な ITWG の課題

他の ITWG とのキーとなる横断的な課題を以下に議論する。課題としては、アナログ/ミックストシグナル、RF トランシーバ、パワーアンプ、電力制御、ミリ波技術との組み合わせに関するものである。

組み立て、実装

- チップとパッケージの共同設計による RF モジュール/SIP ドライバ

新探求デバイス(ERD)

- 新規構造を使用した時のアナログ動作と性能

フロントエンドプロセス/配線

- 低インダクタンスのアース
- 電氣的な干渉、クロストークの抑制、信号分離
- 高い Q 値のインダクタ
- 基板(低抵抗率/高抵抗率)

モデリングとシミュレーション

- SoC デバイス、回路、システムのモデリング
- 正確で速く、予測可能なアナログ/RF コンパクトモデル
- 計算効率の良い化合物半導体のキャリア輸送の物理モデル

設計/テスト

- RF デバイス/回路の評価やテストの削減に向けたデバイス設計
- 無線技術用の SoC や SIP における、低コストで高性能な RF、アナログ、デジタル回路
- SoC や SIP 用にクロストークに耐性のある回路設計

将来の新探求素子の影響

新探求素子の RF 特性やアナログ特性についての確立された報告がないため、それらの素子の影響については不明である。共鳴トンネルデバイス、スピントランジスタ、カーボンナノチューブ、分子エレクトロニクス、ダブルゲートトランジスタ、縦型トランジスタなどの三次元構造デバイスなどは、RF 素子や AMS 素子への応用が期待されているし、高性能、高信頼性、高機能を提供するかもしれない。

RF や AMS への応用に向けて、大部分の新探求素子に共通な技術的課題は、大量生産時に RF 特性やアナログ特性の制御や再現性を得るために、電気的な接触の化学的および物理的な理解をすることである。また、 $1/f$ ノイズや電力付加効率、線形性、バンド幅、利得、堅牢さ、信頼性などの性能指数への影響が不明である。そのような性能指数への影響の測定、評価は、優れた研究や開発の領域を提供する。この研究は多くの新探求素子が提供する工学的自由度を広げる。それらの例として、マルチゲートデバイスの電圧を独立に制御することや、カーボンナノチューブの軸に垂直に電界を印加することによるバンド構造の変化が挙げられる。