

フロントエンドプロセス

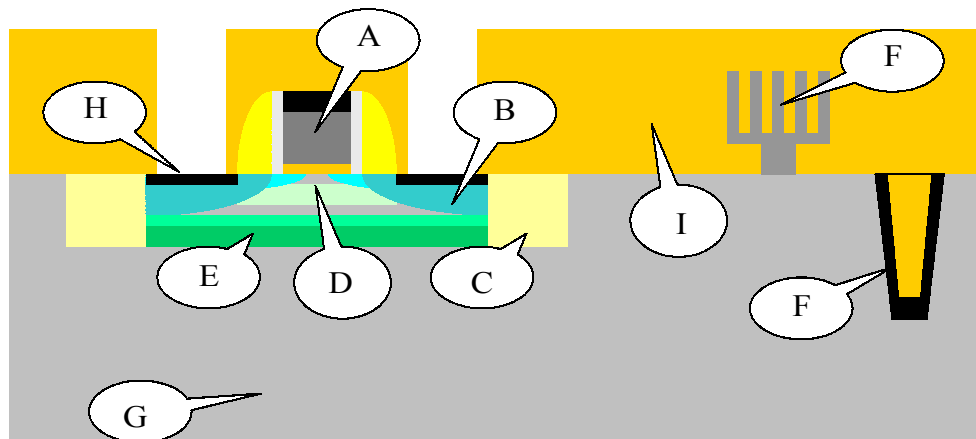
概要

フロントエンドプロセス (FEP) のロードマップは、微細化電界効果トランジスタ (MOSFET)、DRAM キャパシタ、フラッシュ、強誘電体 RAM (FeRAM) などのデバイスにおいて将来必要となるプロセスの技術的要求と解決策候補に焦点をあわせている。この章の目的は、上であげたデバイスのキーとなるフロントエンドのウェーハ製造技術・材料について、包括的な将来的要求と解決策候補を明確にすることである。そのため、このロードマップは装置、材料、個々のプロセス、統合プロセスに関し、最初のシリコンウェーハからコンタクトのシリサイド化工程までを含んでいる。具体的には次の技術領域を取り扱った。即ち、MOSFET のための「スターティングマテリアル (Starting Materials)」、「表面処理 (Surface Preparation)」、「熱処理/薄膜プロセス (Thermal/Thin Films)」、「浅いトレンチ素子分離 (STI: Shallow Trench Isolation)」および「ドーピング (Doping)」、また FEP の「プラズマエッチング (Plasma Etching)」である。更に、「スタック型およびトレンチ型 DRAM キャパシタ (DRAM Stack and Trench Capacitors)」、「フラッシュメモリゲート構造 (Flash Memory Gate Structure)」、「FeRAM 記憶デバイス (FeRAM Storage Devices)」のプロセスと材料についても言及した。

微細化していく上で必要な技術的要求と解決策候補についての予測は、それぞれの技術領域に提示してある。技術的要求予測の表は、特に注釈のない限り、モデルを基にしたものである。ここで示した解決策候補は、可能性のある解決策の既知の例を比較するために示したものであり、他の研究者や興味のある団体向けに提示している。ここで示した解決策候補だけがアプローチであるとは考えないでいただきたい。実際、革新的で新規な解決策が技術的要求表の赤で示した領域で求められている。

FEP に関連したいくつかの話題は、このロードマップの他の章でも取り上げられている。FEP の技術的要求につながる微細化デバイスの性能・構造の予測は、「プロセスインテグレーション、デバイス、および構造 (Process Integration, Devices, and Structures)」の章に示されている。銅配線/低誘電率絶縁膜のためのクリーニングと表面処理、トレンチ分離に用いられるプラズマエッチングと CMP (化学機械研磨: Chemical Mechanical Polish) の懸案事項は、配線の懸案事項と重複するため、「配線 (Interconnect)」の章に示されている。FEP と他の分野が関連する要求事項は、「歩留り向上 (Yield Enhancement)」、「計測 (Metrology)」、「環境、安全、健康 (Environment, Safety, & Health)」、「モデリング & シミュレーション (Modeling & Simulation)」の章で記述されている。FEP 分野の半導体工場への技術的要求は「ファクトリインテグレーション (Factory Integration)」の章で記述されている。

2 フロントエンドプロセス



A: GATE STACK (INCLUDING FLASH) AND SIDEWALL SPACERS
C: ISOLATION
E: WELL DOPING

B: SOURCE/DRAIN – CONTACT AND EXTENSION
D: CHANNEL DOPING
F: DRAM STACK /TRENCH CAPACITOR & FeRAM STORAGE STRUCTURES
H: CONTACTS

G: STARTING MATERIAL
I: PRE-METAL DIELECTRIC LAYERS

図 43 Front End Processes Chapter Scope

(訳者注: 図 43 には I: Pre-Metal Dielectric Layers が含まれているが、実際の ITRS 2003 年版では FEP から除外されている)

困難な技術課題(DIFFICULT CHALLENGES)

フロントエンドプロセスの主要な技術課題(GRAND CHALLENGES) – デバイスの微細化が材料に制限される時代へのフロントエンドプロセスの対応

半導体産業は、MOSFET デバイスを微細化することを主要な手段として、ムーアの法則(Moore's Law)で数値が示されている通りに、これまでに前例のないほどの生産量の増大とデバイス特性の向上を実現してきた。これは伝統的に新しいリソグラフィ技術やマスク、フォトレジスト材料および微細エッチングプロセスの開発により進められてきたといえる。これらのきわめて重要なプロセス技術の進展により、これまでにない微細な寸法で生産できるようになったにもかかわらず、ここ数年明らかに、フロントエンドプロセスの技術は着実に進まなくなり、微細化されたデバイスは性能を制限されたものとなっている。この問題でもっとも重要なことは、伝統的なトランジスタとキャパシタの形成材料であるシリコン、シリコン酸化膜およびポリシリコンが根本的な材料の限界に追いやられ、継続的な微細化には新しい材料の導入が必要になったという事実である。われわれはデバイスの微細化が材料に制限される時代へ突入した。

この時代になると、シリコンウェーハから始まって基本的なプレーナ型 CMOS の構成要素やメモリのストレージ構造を含むほとんどすべてのフロントエンドの材料とユニットプロセスに新たなことが要求されるようになった。さらに、プレーナ型バルク CMOS はこのロードマップの期間内に明らかに終わりになりつつある。結果として、従来と違ったデュアルゲート MOSFET やプレーナ型完全空乏 SOI (シリコン・オン・インシュレータ) デバイスのような代替デバイスを使った CMOS 技術を生み出す準備をしなければならない。代替デバイスについては PIDS の章の emerging research devices の節で言及する。これらは早ければ 2008 年には必要になるであろう。これらのさまざまな新材料に関するチャレンジとこれらの材料に関わる物理的界面の制御は、表 68 に纏めたフロントエンドプロセスの困難な技術課題の中心テーマである。

MOSFET のゲートスタック以上に明確で急を要する問題はない。ここに、より高誘電率の新しいゲート絶縁材料が必要とされる。この要求は、2005 年に出現すると予測されるゲート長 65nm 以下の MOSFET に関連して、ITRS 1999 の中で明らかにされていた。その間に、65nm ゲートを作成するパターニング技術が加速し、これらは 2001 年に達成された。また、シリコン酸化ゲート絶縁膜材料はその進展により延命され、high-k の必要な時期が先送りとなった。有望な high-k 候補材料が確認されているにもかかわらず、基本的な特性や信頼性の問題は、CMOS インテグレーションの問題とともに、いまだ研究中である。これらの材料が 2006 年以前に生産に入っていくかどうかは疑わしい。その間に、酸化ゲート絶縁材料が、とりわけ高いオフ状態のリークと消費電力に関してデバイス特性を制限されながらも、革新を続けると予想される。それ故、high-k 絶縁膜がもっとも早く必要になるのが、低動作電力及び低スタンバイ電力向けに設計されたデバイスに関係しているのも驚くべきことではない。もしオフ状態の消費電力の予測を満足するならば、high-k 材料は 2006 年迄には必要になると予測される。ゲート絶縁膜の上では、ドーパされたポリシリコンゲート材料に存在する空乏層がますますわずらわしい問題となり、デュアルメタルゲートが現在の CMOS 技術の要であるデュアルドーパポリシリコンゲートを置き換えると予想され、また、短期では歪シリコンチャンネルを用いるといった方法により、必要とされるデバイス高速スピードを達成されると期待されている。しかし、結局は微細化にはプレーナ型 CMOS デバイスを非標準のデュアルゲートデバイス及び又は完全空乏プレーナ型デバイスで置き換えることが必要になると予測される。これらのデバイスの導入には、バルクシリコン基板を SOI 基板で置き換える必要があろう。

表 68a Front End Processes Difficult Challenges—Near-term

<i>MPU/ASIC Physical Gate Length ≥ 20 nm/ Through 2009</i>	<i>Summary of Issues</i>
New gate stack processes and materials	Extension of oxynitride gate dielectric materials to < 1.0 nm E.O.T for high performance MOSFETs, consistent with device reliability requirements Introduction and process integration of high-κ gate stack materials and processes for high performance, low operating and low standby power MOSFETs CMOS integration of enhanced channel mobility, e.g., strained layers Control of boron penetration from doped polysilicon gate electrode Minimized depletion of dual-doped polysilicon electrodes Introduction of dual metal gate electrodes with appropriate work function (toward end of period) Metrology issues associated with gate dielectric film thickness and gate stack electrical and materials characterization
Critical dimension and effective channel length (L_{eff}) control	Control of gate etch processes that yield a physical gate length that is smaller than the feature size printed in the resist, while maintaining $<10\%$ overall 3-sigma control of the combined lithography and etch processes Control of profile shape, edge roughness, line and space width for isolated as well as closely-spaced fine line patterns Control of self-aligned doping processes and thermal activation budgets to achieve L_{eff} control Maintenance of CD and profile control throughout the transition to new gate stack materials and processes CD and etch metrology Site flatness to ensure effective lithographic printing
Introduction and CMOS integration of new memory materials and processes	Development and introduction of very high-κ DRAM capacitor dielectric layers Migration of DRAM capacitor structures from silicon-insulator-metal to metal-insulator-metal Integration and scaling of FeRAM ferroelectric materials Scaling of Flash inter-poly and tunnel dielectric layers may require high κ Limited temperature stability of high-κ and ferroelectric materials challenges CMOS Integration

4 フロントエンドプロセス

Surfaces and interfaces—structure, composition, and contamination control	Contamination, composition, and structure control of channel/gate dielectric interface as well as gate dielectric/gate electrode interface Interface control for DRAM capacitor structures Maintenance of surface and interface integrity through full-flow CMOS processing Statistically significant characterization of surfaces having extremely low defect concentrations for starting materials and pre-gate clean surfaces
Scaled MOSFET dopant introduction and control	Doping and activation processes to achieve shallow source/drain regions having parasitic resistance that is less than ~17–33% of ideal channel resistance ($=V_{dd}/I_{on}$) Control of parasitic capacitance to achieve less than ~23–29% of gate capacitance, consistent with acceptable I_{on} and minimum short channel effect Achievement of activated dopant concentration greater than solid solubility in dual-doped polysilicon gate electrodes Formation of continuous self-aligned silicide contacts over shallow source and drain regions Metrology issues associated with 2D dopant profiling

表 68b *Front End Processes Difficult Challenges—Long-term*

<i>MPU/ASIC Physical Gate Length <20 nm/ Beyond 2009</i>	<i>Summary of Issues</i>
Continued scaling of planar CMOS devices	Higher κ gate dielectric materials including temperature constraints Metal gate electrodes with appropriate work function Sheet resistance of clad junctions CD and L_{eff} control Chemical, electrical, and structural characterization
Introduction and CMOS integration of non-standard, double gate MOSFET devices	Devices are needed starting from 2011 and may be needed as early as 2007 (this is a backup for high-κ materials and metal gates on standard CMOS) Selection and characterization of optimum device types CMOS integration with other devices, including planar MOSFETs Introduction, characterization, and production hardening of new FEP unit processes Device and FEP process metrology Increased funding of long term research Role of SOI utilization (and structural configuration) for advanced non-classical CMOS
Starting silicon material alternatives greater than 300 mm diameter require the start of wafer manufacturing development in year 2003	Need for future productivity enhancement dictates the requirement for a next generation, large silicon substrate material Historical trends suggest that the new starting material have nominally twice the area of present generation substrates, e.g., 450 mm Economies of the incumbent Czochralski crystal pulling, wafer slicing, and polishing processes are questionable beyond 300 mm; research is required for a cost-effective substrate alternative to bulk silicon If 450 mm wafers are to become available for production in 2011 as currently forecasted, wafer-manufacturing development should be implemented eight years earlier, e.g., 2003.
New memory storage cells, storage devices, and memory architectures	Scaling of DRAM storage capacitor beyond $6F^2$ Further scaling of Flash memory interpoly and tunnel oxide thickness FeRAM storage cell scaling Introduction of new memory types and storage concepts (Candidates—MRAM, phase-change memory for 2010, and single electron, molecular, nano-floating products beyond 2010)
Surface and interface structural, contamination, and compositional control	Achievement and maintenance of structural, chemical, and contamination control of surfaces and interfaces that may be horizontally or vertically oriented relative to the chip surface Metrology and characterization of surfaces that may be horizontally or vertically oriented relative to the chip surface Achievement of statistically significant characterization of surfaces and interfaces that may be horizontally or vertically oriented relative to the chip surface

High-k 材料や新しい MIM(metal-insulator-metal)構造のキャパシタは、チップ上のストレージノード領域を小さくするために非常に高い蓄積容量が必要になる DRAM セグメントの中で発展すると予想される。さらに、high-k 材料はフラッシュ・メモリのポリシリコン間絶縁膜やトンネル絶縁膜にも必要になると予測される。メモリ分野では、強誘電体材料や強磁性材料がキャパシタに使用されるようになると、FeRAM や MRAM が大量生産されるようになることも予測される。これらのさまざまな材料を製造の主流にすることは重要かつ困難な課題である。

スターティングウェーハ分野では、バルクシリコン基板上に歪シリコンのようなさまざまな従来のシリコンに替わるものが、SOI 基板と同様に急激に増えていくことが予測される。これらはすべて FEP のプロセスアーキテクチャの変更を意味する。このロードマップの期間内に出現すると予想される重要かつ困難なチャレンジは、次世代 450 mm シリコン基板が必要になることである。ここで、現流のウェーハ表面処理の技術がコスト効率良く次世代へとスケールアップできるかどうかは疑問である。この基板がバルクシリコンなのか SOI なのかは、そして、歪シリコンが活性層材料として必要とされるのかも疑問である。代替基板材料を 2011 年にデバイス産業に使用しようとするならば、2003 年にはこの有望な新基板を探すための卓越した研究が始まっていなければならない。

新しいフロントエンドの材料を導入は、フロントエンドのクリーニングプロセスに影響を与えるであろう。加えて、微細化したデバイスは、ますますシャロー構造となると予想され、基板材料の除去及び表面ラフネスに対して、まったく害のないクリーニングプロセスが必要となる。また、導入されるであろう微細化した新デバイスはクリーニングに対してますます弱い構造となり、このことは使用されるクリーニングプロセスのクリーニング力を制約することになるであろう。DRAM スタックキャパシタ及びトレンチキャパシタ構造では、アスペクト比は増大し、そのためサイドウォールの汚染物除去はますます困難となるであろう。

MOSFET のゲートや DRAM のワード線とビット線のような微細加工に適用されるエッチングプロセスは、CD やラインプロファイル形状のコントロールという点で引き続き困難な技術課題を引き起こしている。エッチング技術によって、フォトレジストに形成された寸法を超える微細な加工をするようになるに従って、これらの問題はより困難になると予想される。プロセスが増えたことによる複雑さと、それに関連した変動分の増加はすべて、最終の物理的寸法の許容値を満足するために管理されなければならない。新しい材料の導入はこれらのタスクの困難さを増すと予想される。

新しい材料の導入は、シリコンをドーブし活性化するための方法に更なるチャレンジを課すと予想される。非常に浅く、高活性化された接合を形成するという微細化に課された必要性に加えて、たいいていの high-k 材料で見られる制限された熱的安定性は、ドーパント活性化に関するサーマルバジェットに新たな限界をおくものと予想される。最悪のシナリオでは、これらの材料の導入が CMOS プロセス構成に重要な影響を及ぼすことになる。

技術要求と解決策候補

スターティングマテリアル

技術要求 — 表 69a と 69b は、DRAM と高性能 MPU を生産する際に使用されるウェーハに関して、ウェーハメーカーから供給されるウェーハ動向を予測したものである。これらの要求は、一般的なウェーハパラメータに加えて、鏡面ウェーハ、エピタキシャルウェーハ、SOI ウェーハに適した特殊なパラメータも含んでいる。光学散乱欠陥密度、サイトフラットネス、エッジ除外領域といったウェーハ特性を低コストで改善しようとすると障壁が伴う。これらの障壁としては、結晶の引き上げとその後の加工プロセスにおけるウェーハ製造コストと歩留りに加えて、計測器の性能と処理能力がある。そこで、表 69a と 69b に示されたパラメータの動向に対して、ウェーハメーカーが実現できるかを記述したのに加え、計測技術が準備できるかを示した。左側にウェーハメーカーの実現可能性、右側に計測技術の準備状況を色分けで示した。対象は、DRAM と高性能 MPU である。この方式は表 69a と 69b に限定して適用してある。

<i>Technology requirements value, supplier manufacturing capability cells and metrology readiness capability cells.</i>	
Technology Requirements Value and Supplier Manufacturing Capability	Metrology Readiness Capability
<i>Manufacturable solutions exist, and are being optimized</i>	
<i>Manufacturable solutions are known</i>	
<i>Manufacturable solutions are NOT known</i>	

ウェーハ種類 — スターティングマテリアルは、これまでは CZ (Czochralski) ウェーハとエピタキシャルウェーハに分類されていた。これに加えて、SOI(Silicon-on-Insulator)ウェーハが含まれるようになってきた。高価な SOI ウェーハは、プロセスの簡略化、高周波特性の向上、FinFET といった特殊なデバイス構造における性能向上によって、需要の大きな応用分野に使われていく機会がある。DRAM といった汎用デバイスでは、インラインでの欠陥検査で干渉を防止するために COP (Crystal Originated Pits) フリーのウェーハの要求が増えているが、一般的に低コストの CZ ウェーハが用いられている。高性能ロジックデバイスでは、ソフトエラー耐性やラッチアップ抑制のために高価なエピタキシャルウェーハが用いられている。ラッチアップ抑制に関しては、浅いトレンチ分離(STI; Shallow Trench Isolation)の利用やドーピング方法によって、もはや重大な要因ではなくなった。それにもかかわらず、歩留りといった生産コストの削減が期待できるため、ロジックデバイスではエピタキシャルウェーハが使われ続けている。これらウェーハ種は、おそらく今後も広く使われていくため、表 69a と 69b に CZ ウェーハ、エピタキシャルウェーハ、SOI ウェーハが記載されている。

パラメータの値 — ウェーハ要求仕様は、SOI ウェーハも含めて各年の各パラメータに対して最先端チップの歩留り低下が 1% を越えないような値にしてある。表中の値は、CD (Critical Dimension) — これは DRAM のハーフピッチ (すなわち技術世代) としている — ビット密度、トランジスタ密度、チップサイズといった先端技術のパラメータを考慮して、統計的な歩留り — 欠陥モデルからおおむね算出されている (ただし、算出方法はこのモデルに限定している訳ではない)。算出された値の妥当性は限られたものであり、前提にしている仮定と得られるモデルの的確さや予測精度は時として怪しい。ゲート酸化膜換算膜厚 (EOT)、物理的なチャンネル長といったナノメータデバイスサイズに象徴されるメゾスコピック時代の到来で、これらモデルベースの値に対応するのは非常に高くつくことになるし、正当ではない場合もあるだろう。そのため、要求仕様を実現することで得られる効果とコストとの関係を詳細に再評価すると、適切な切口からモデルの適用限界が暗示されることがある。

表 69a Starting Materials Technology Requirement—Near-term

Year of Production	2003				2004				2005				2006				2007				2008				2009				Driver			
Technology Node					hp90												hp65															
DRAM ½ Pitch (nm)	100				90				80				70				65				57				50				D ½			
MPU/ASIC Physical Gate Length (nm)	45				38				32				28				25				23				20				M			
DRAM Total Chip Area (mm ²)	139				110				82				122				97				131				104				D ½			
DRAM Active Transistor Area (mm ²)	36.7				29.1				22.7				35.5				28.2				43.3				34.3				D ½			
MPU High-Performance Total Chip Area (mm ²)	310				310				310				310				310				310				310				M			
MPU High-Performance Active Transistor Area (mm ²)	32.6				32.1				31.7				31.7				31.7				31.7				31.7				M			
General Characteristics * (99% Chip Yield) [A,B,C]																																
Wafer diameter (mm) **	300***				300***				300				300				300				300				300				D ½, M			
Edge exclusion (mm)	2				2				2				2				2				2				2				D ½, M			
Front surface particle size (nm), latex sphere equivalent [D]	≥90				≥90				≥90				≥90				≥90				≥90				≥90				D ½, M			
Particles (cm ⁻²) [E]	≤0.35				≤0.35				≤0.35				≤0.18				≤0.18				≤0.09				≤0.09				D ½			
Particles (#/wf)	≤238				≤238				≤241				≤123				≤123				≤63				≤63				D ½			
Site flatness (nm), SFQR 26mm × 8mm site size [F, R]	≤101				≤90				≤80				≤71				≤64				≤57				≤51				D ½, M			
Nanotopography, p-v, 2mm diameter analysis area [Q]	≤25				≤23				≤20				≤18				≤16				≤14				≤13				M			
Polished Wafer * (99% Chip Yield)																																
The LLS requirement is specified for particles only; discrimination between particles and COPs is required (see General Characteristics) [D,E]																																
Oxidation stacking faults (OSF) (DRAM) (cm ⁻²) [G]	≤1.9				≤1.6				≤1.4				≤1.2				≤1.0				≤0.8				≤0.7				D ½			
Oxidation stacking faults (OSF) (MPU) (cm ⁻²) [G]	≤0.6				≤0.5				≤0.4				≤0.3				≤0.3				≤0.2				≤0.2				M			
Epitaxial Wafer * (99% Chip Yield)																																
Total Allowable Front Surface Defect Density is The Sum of Epitaxial Large Structural Defects, Small Structural Defects and Particles (see General Characteristics) [H, I]																																
Large structural epi defects (DRAM) (cm ⁻²) [J]	≤0.007				≤0.009				≤0.012				≤0.008				≤0.010				≤0.008				≤0.010				D ½			
Large structural epi defects (MPU) (cm ⁻²) [J]	≤0.003				≤0.003				≤0.003				≤0.003				≤0.003				≤0.003				≤0.003				M			
Small structural epi defects (DRAM) (cm ⁻²) [K]	≤0.014				≤0.018				≤0.024				≤0.017				≤0.021				≤0.015				≤0.019				D ½			
Small structural epi defects (MPU) (cm ⁻²) [K]	≤0.006				≤0.006				≤0.006				≤0.006				≤0.006				≤0.006				≤0.006				M			

Technology Requirements Value and Supplier Manufacturing Capability		Metrology Readiness Capability
Manufacturable solutions exist, and are being optimized		
Manufacturable solutions are known		
Manufacturable solutions are NOT known		

8 フロントエンドプロセス

表 69a Starting Materials Technology Requirement—Near-term (continued)

Year of Production	2003	2004	2005	2006	2007	2008	2009	Driver
Technology Node		hp90			hp65			
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50	D ½
MPU/ASIC Physical Gate Length (nm)	45	38	32	28	25	23	20	M
Silicon-On-Insulator Wafer* (99% Chip Yield)[R]								
Starting silicon layer thickness (Partially Depleted) (tolerance $\pm 5\%$, 3σ) (nm) [L]	78–133	67–115	58–100	53–91	48–83	44–76	40–70	M
Starting silicon layer thickness (Fully Depleted) (tolerance $\pm 5\%$, 3σ) (nm) [M]	24–43	21–39	20–36	19–34	18–33	17–31	16–30	M
Buried oxide (BOX) thickness (Fully Depleted) (tolerance $\pm 5\%$, 3σ) (nm) [N]	68–112	56–94	48–80	42–70	38–64	34–56	30–50	M
D_{LASOI} , Large area SOI wafer defects (DRAM) (cm^{-2}) [O]	≤ 0.007	≤ 0.009	≤ 0.012	≤ 0.008	≤ 0.010	≤ 0.008	≤ 0.010	D ½
D_{LASOI} , Large area SOI wafer defects (MPU) (cm^{-2}) [O]	≤ 0.003	≤ 0.003	≤ 0.003	≤ 0.003	≤ 0.003	≤ 0.003	≤ 0.003	M
D_{SASOI} , Small area SOI wafer defects (DRAM) (cm^{-2}) [P]	≤ 0.137	≤ 0.173	≤ 0.221	≤ 0.142	≤ 0.178	≤ 0.116	≤ 0.146	D ½
D_{SASOI} , Small area SOI wafer defects (MPU) (cm^{-2}) [P]	≤ 0.154	≤ 0.156	≤ 0.159	≤ 0.159	≤ 0.159	≤ 0.159	≤ 0.159	M

* 各パラメータは限界値を定義している。それらは独立に歩留りを予測するパラメータであり、数学的もしくは実験的に歩留り99%となるように値を定義していて、二つ以上のパラメータが同時に影響することはほとんどない。ある与えられたウェーハでは、一般的には、複数のパラメータが同時に限界値を取ることはなく、他のパラメータは中央付近の値を取るだろう。その結果、全てのパラメータを考慮した場合でも、トータルの歩留りは少なくとも99%になる。

** 計測技術とウェーハ製造装置への要求との間にある深刻なギャップを、特に90nmノードに対しては、200mmウェーハで埋めておくべきである。理由は、300mmウェーハはまだ導入段階にあり、200mmはなお90nmノードで主流であるから。

*** 鏡面ウェーハ、エピタキシャルウェーハ、SOIウェーハの全てに対して200mmがしばらくは主たるウェーハ径ではあるが、パラメータの数値は300mmに対するものになっている。

Technology requirements value, supplier manufacturing capability cells and metrology readiness capability cells.	
Technology Requirements Value and Supplier Manufacturing Capability	Metrology Readiness Capability
Manufacturable solutions exist, and are being optimized	
Manufacturable solutions are known	
Manufacturable solutions are NOT known	

表 69a と 69b に対する注釈

[A] 表面金属は経験に基づいて3つのクラスに分けてある。^{1 2} (a) 1つは可動金属で、NaやKのように洗浄で除去することが容易といえる金属であり、典型的にはEOT=1nmに対してC-Vテストによるフラットバンドシフトが50mV程度になる限界値としてモデル化できる。(b) 続いて、Fe, Ni, Cu, Cr, Co; Al, Znのようにシリコン中に拡散するかシリサイドを作る金属、(c) 最後に、Caのように、ゲート絶縁膜の品質を悪化させる主要金属である。それぞれの金属は、これからの技術ノードを通して、最大値を $1e10/cm^2$ とした。炭素原子の洗浄後の表面濃度に関しては、(100)ベアSi表面を10%被覆する($=7.3e13$ 原子/ cm^2)レベルがデバイス製造時に許容可能と仮定した。従って、有機物/ポリマーは0.1分子層でモデル化され、 $1e14$ 炭素原子/ cm^2 以下となる。表面有機物の許容レベルは、ウェーハ梱包法、Si表面が疎水性か親水性か、温度・期間・雰囲気といったウェーハ保管条件に強く依存する。

バルクSi中のFeの総量は、再結合キャリアライフタイムに対応させて規定されるもので、今後の技術ノードを通じて $1e10/cm^3$ とした。³ その再結合キャリアライフタイム τ_r は、軽くドーブしたp型Siに対して低(光)注入条件下での

¹ P.W. Mertens, T. Bearda, M. Houssa, L.M. Loewenstein, I. Cornelissen, S. de Gendt, K. Kenis, I. Teerlinck, R. Vos, M. Meuris and M.M. Heynes, "Advanced Cleaning for the Growth of Ultrathin Gate Oxide," *Microelectronic Engineering* 48, 199–206 (1999).

² T. Bearda, S. de Gendt, L. Loewenstein, M. Knotter, P. Mertens and M. Heyns, "Behaviour of Metallic Contaminants During MOS Processing," *Solid State Phenomena*, 65–66, 11–14 (1999).

³ G. Zoth and W. Bergholtz, "A Fast, Preparation-Free Method to Detect Iron in Silicon," *J. Appl. Phys.*, 67, 6764–6771, (1990).

SPV 測定で得られる値である。バルク Fe 濃度($/\text{cm}^3$)はウェーハ厚さに基づいて表面濃度($/\text{cm}^2$)に換算すべきものではないことには注意すべきである。再結合キャリアライフタイムは、 $\tau_r \geq 2(L^2)/D_n$ で与えられる。ここで、 L は少数キャリアの拡散長であり、 D_n は 27°C における少数キャリアの拡散係数⁴である。拡散長はウェーハ厚さに等しいと置き、許容できるライフタイム値は、十分な安全を考慮して、係数 2 をかけた値にした。特にバルクライフタイムを 20ms と規定する場合には、それぞれの測定法 (SPV, PDC など) に応じて表面制御・表面安定化・表面被覆のために適切な技術が必要となる。SPV 以外の技術では、測定時の注入レベルが示されるべきである。酸素析出がなく、裏面の機械的ダメージもなく、抵抗率が $5 \sim 20 \Omega\text{cm}$ である Si ウェーハを測定対象とすることを推奨する。

(訳注: 可動金属量を規定するフラットバンドシフトの量は 0.5mV となっていたが、US に問合せ 50mV 程度の間違いであることを確認した。ITRS2004 update 版では修正される。

ライフタイムの式は、 $\tau_r \geq (L^2)/D_n$ になっていたが、説明文と整合しないので、US に問合せ、 $\tau_r \geq 2(L^2)/D_n$ の間違いであることを確認した。なお、標準で想定しているライフタイム (p 型基板) は $350 \mu\text{s}$ で、このことも含めて ITRS2004 update 版では修正される。)

[B] 表面のマイクロラフネスに関する測定装置の選択、目標値、それに空間周波数範囲 (スキャンサイズ) は適用目的に対応させて選ばれる。パワースペクトル密度解析は、その装置で可能な最大領域で行うことを推奨する。鏡面ウェーハに対する典型的な値は、全ての CD 世代に亘って $\leq 0.1\text{nm}$ (RMS) である。

[C] 酸素濃度は、使っている製造プロセスに依存したチップメーカーの特異性に基づいて規定されているだろうが、一般的に言えば $18\text{--}31\text{ppma}$ (ASTM F121-79 を参照した SEMI M44-0702 で規格化)⁵ の範囲にある。最新の結晶成長技術を使えば、バルク微小欠陥 (BMDs: Bulk Micro Defects) は格子間酸素濃度によらずに制御できる。金属ゲッターリングのための BMD の重要性は最近になって再び強調されるようになっていて、特にサーマルバジェットを減らした IC 製造プロセスで重要であろう⁶。同時ドーピング技術 (窒素と炭素など) は酸素析出を促進させることができるので、特に低サーマルバジェットのデバイス製造プロセスに適している。更に、熱処理技術と組合せることで酸素析出を促進できる結晶成長技術もある。しかし、全てのデバイス製造プロセスが BMD を必要とする訳ではない。意図的にゲッターリング能力をもたせた鏡面ウェーハの BMD は、IC プロセスを経た後、一般的には $1\text{e}8/\text{cm}^3$ を超えているであろう。BMD 密度は ASTM F-1233 を用いて測定される。

[D] 問題になるウェーハ表面のパーティクルサイズは K_1F , [$K_1=1$] で表わされる。ここで F は DRAM の $1/2$ ピッチであり、特定の技術ノードにおけるウェーハ表面パーティクル密度を計算する時に K_1F が使われる。表 69a と 69b に記載されているパーティクルサイズは、 90nm ノードから 45nm ノードで 90nm に固定してあるが、その理由は計測技術が対応できないからである。パーティクル密度の要求値は、通常の Maly の歩留り算出式から求めたものであり⁷, $Y = \exp [-(D_p R_p) A_{\text{eff}}]$ 、この式に現れる A_{eff} は有効チップ面積で $A_{\text{eff}} = 2.5 * F^2 T + (1 - a F^2 T / A_{\text{chip}}) A_{\text{chip}} * 0.18$, a は DRAM セルフファクター (表 72a)、 T は対象となる技術ノードでの 1 チップあたりのトランジスタ数かビット数。キルファクター R_p は DRAM 工場の特異性に強く依存するけれども、 0.2 と仮定した。実際の欠陥サイズと対応する LSE (Latex Sphere Equivalent: ラテックス球状粒子換算のサイズ) との関係は、欠陥のタイプやスキャン方式の影響を受ける。SOI ウェーハでの最小可測粒径は、現在 $120\text{--}150\text{nm}$ であり、光学的計測装置を用いた場合には鏡面ウェー

⁴ W. Shockley, *Electrons and Holes in Semiconductors*, p.69, Princeton: D. Van Nostrand Co., Inc. 1950.

⁵ n.a., SEMI M44-0702, "Guide to Conversion Factors for Interstitial Oxygen in Silicon", SEMI (Semiconductor Equipment and Materials International), San Jose, CA, July 2002.

⁶ K. Sueoka et al., *Oxygen Precipitation Behavior and Its Optimum Condition For Internal Gettering and Mechanical Strength in Epitaxial And Polished Silicon Wafers*, ECS PV 2000-17, 164-179 (2000).

⁷ W. Maly, H.T. Heineken, and F. Agricola. "A Simple New Yield Model." *Semiconductor International*, number 7, 1994, pages 148-154.

ハやエピタキシャルウェーハに比べて SOI ウェーハの場合に反射光が変調を受けることに起因している。

[E] ウェーハ裏面に関する詳細情報は表 69 には含まれていない。と言うのは、現実的には、そうした欠陥を目に見える形で特定されないと、リソグラフィでの問題としてに認識されないからである。おそらく、大きなパーティクルしか問題にならないだろう。ウェーハ裏面パーティクルのサイズと密度の要求値に関して、必要であれば、下記のモデルを使って計算することもできる。裏面に厚さ T の膜が付いている厚さ W の Si ウェーハに、サイズ D のパーティクルが付着した場合、ウェーハ表面側の凸量 H は $[(xD + xT + W) - (T + W)]$ で表わされ、その式は $H = [(xD) - (1-x)T]$ と変形できる、ここで $x=0.6$ はウェーハチャック時に加わる圧力によって裏面の膜とパーティクルが圧縮される比率である。仮にウェーハ表面側の凸量が $2(2CD)$ になるとリソグラフィでの 100%露光不良になるとすると、裏面の臨界サイズ D は $D = [(2/0.6)(F) + (0.4/0.6)(T)]$ で表わされる、ここで F と T は nm 単位での数値である。このモデルで、例えば、裏面に形成されている膜の厚さ T を 100nm とする。99%歩留りに対する裏面パーティクル要求値は、 $Y = \exp(-D_p R_p A_{\text{eff}})$ で表わされ、キルファクター $R_p = 1.0$ 、実効チップ面積 $A_{\text{eff}} = A_{\text{chip}} \times 0.03 \times 0.8$ 、ここで 0.03 という数値は裏面面積の 3% がチャックに接触していることを意味し、0.8 という数値は実効チップ面積の 80% が裏面パーティクルの影響を受けて表面側で焦点ずれによる不良が生ずるというモデルである。 D_p は $Y=99\%$ に対応する許容裏面パーティクル密度を表わし、そのパーティクル検出は裏面パーティクル検査装置による。キラーとなる裏面パーティクルサイズの数式は 2 つの仮定に強く依存し、それは IC プロセスの影響を受ける。1 つめは、焦点面から $2CD$ 外れると 100%の露光不良になるという仮定である。多くの場合にプロセスウィンドウがあるとはいえ、厳しい層では焦点面の変動に対する許容度はほとんどないであろう。そのような場合には、より小さな裏面パーティクルがキラーになるだろう。2 番目は、裏面の膜とそこに付着したパーティクルがともに元の数値から 60% に圧縮されるという仮定である。パーティクルが膜よりかなり硬い材質である場合や、パーティクルが Si と同じくらいの硬さでウェーハ裏面に膜がない ($T=0$) 場合ではこの仮定は正しくないだろう。こうした状況でも、より小さな裏面パーティクルがキラーになるだろう。裏面に関する歩留りの式は、裏面にあるパーティクルに起因してリソグラフィ中で生ずる表面側の焦点ずれが必ずチップの不良になると仮定している(臨界サイズは、歩留り式で使われている数値である)。この仮定は、ウェーハの厚さよりもずっと小さな裏面パーティクルは、表面側に径 10mm 程度以下の膨らみを生じさせると考えられるので起こりうるし、致命的な個所で焦点ずれが起こりチップ不良となる。パーティクルがチップの端近くにあれば状況はもう少し緩和されるが、それはチップ端の裏面パーティクルはチップの局所的な傾斜となって現れるのでスキンステッパーの水平出しシステムで修正できるからである。このことを考慮に入れて、実効チップ面積の 100%ではなく 80%が影響されるとモデル化した。

(訳注: $Y = \exp(-D_p R_p A_{\text{eff}})$ の式が間違っていたので、US に問合せて修正した。ITRS2004update 版では修正される。)

[F] サイトフラットネスの計測方法は最先端のデバイスに用いられている露光機の方式に一致しているべきであり、重要な層に対応する露光方式はスキンステッパーである。SFSR が最適な計測基準であるが、産業界でははっきりとした支持は得られなかった。歴史的に SFQR が使われてきたことの影響は根強く残っていて、これからもこの基準が使いつづけられるであろう。スキンステッパーの実用面での状況に合わせて、局所的サイトフラットネスに対応する実効的なサイトサイズは 26mm x 8mm に変更されつつある。正方形フィールドのフルフィールドステッパー(通常 22mm x 22mm)も厳しくない層に対しては使い続けられるであろう。厳しくない層はどんどんなくなって来ているが、どちらの場合でも、計測基準となる値は緻密ライン(DRAM の 1/2 ピッチ)に対して大体 F に等しい。パーティクルは対象に含まれるべきである。更に、各々の技術ノードに特有の形状を把握するために、フラットネスの計測方法には十分な空間分解能が必要だということには注意すべきである。

[G] OSF (Oxidation Stacking Fault:酸化起因積層欠陥) の密度は実験により $K_3(F)^{1.42}$ で表される、ここで F は nm 単

位の数値で、 $K_3=2.75 \times 10^{-3}$ である⁸。この式が実験的に求められた時には技術ロードマップの観点は想定されていなかった。将来の技術ノードへの適用を考えるのであれば、1100°C 1 時間のウェット酸化と酸化膜除去による再評価が必要である。n型基板での OSF 制御はより難しい。

[H] ヒロックやマウンドといった他のエピ欠陥も考慮されるべきではあるが、妥当な歩留りモデルはない。今の計測技術では、欠陥構造に基づいた正確な分類も、一般論としては、できない。

[I] 望ましいエピ膜の許容膜厚は、ウェーハ中央 2-10mm の目標膜厚に対して±4%である。p/p+構造の場合、裏面膜によるオートドーピング抑制が期待できないことの影響を受けるが、それは 300mm では 200mm とは違って裏面に膜がないことに起因する。p/p-エピでの最小のエピ厚は、COP などのバルク成長起因欠陥が影響しないように設計される。p-に比べて p+では COP 形成が抑制されるので、p/p+の場合には、このような考察はあまり重要ではない。

[J] 大きなエピ構造欠陥（ラテックス粒子換算で 1 μm 以上の大面積欠陥）は 99%歩留りでモデル化され、 $Y = \exp(-D_{LAD} R_{LAD} A_{chip})$ ^{脚注7}で表される、ここでキルファクター $R_{LAD}=1$ であり、 A_{chip} は DRAM あるいは高性能 MPU などに応じて妥当な値を用いる。

計測技術に関する注：これら大きなエピ欠陥の光散乱機構や検査装置の光学設計の影響で、ラテックス粒子換算のサイズで 0.5 μm以上の表面形状に対しては、現在ある多くのスキャン式表面検査システム（SSIS: Scanning Surface Inspection System）によって計測されるサイズはあまり信頼できない。更には、エピ積層欠陥を区別し計数するというように、大きなエピ構造欠陥を大きなパーティクルなどの他の欠陥から分離できる計測装置、量産ラインで使えるような装置、が存在しないのだから、計測技術には明らかに問題がある。

[K] 小さなエピ構造欠陥（ラテックス粒子換算で 1 μm 以下）は 99%歩留りでモデル化され、 $Y = \exp(-D_{SF} R_{SF} A_{chip})$ ^{脚注7}で表される、ここでキルファクター $R_{SF}=0.5$ であり、 A_{chip} は DRAM あるいは高性能 MPU などに応じて妥当な値を用いる。量産の DRAM あるいは高性能 MPU でスターティングマテリアルは用いられる。

計測技術に関する注：エピ微小欠陥を区別し計数できる量産ラインで使用可能な装置が存在しないのだから、計測技術には明らかに問題がある。

[L] シリコンのデバイス層の最終膜厚（PD: Partially Depletedの場合）は MPU 物理ゲート長の2倍で与えられる（中心値の±25%）。目標値の範囲はウェーハ中央の測定値を示し、ウェーハ内での測定中央値に対して最大のプラスあるいはマイナスの%偏差を均一性として併記している。デバイス製造工程でシリコン層は減少するため、最終的なシリコン厚さは購入ウェーハの値よりも薄い。表には、スターティングマテリアルとしての厚さが示されている。2003 から 2009 年に対しては、デバイスに関する許容範囲の最小値に 10nm を加え、最大値に 20nm を加えた値になっている。2009 年以降は、デバイス許容範囲の最小値と最大値のどちらにも 10nm を加えてスターティングマテリアルの厚さにしている。シリコン層の減少量は用いるプロセス条件に依存する—ここでは 2009 年以降、プロセスパラメータはより厳しく管理されるようになると仮定している。

[M] シリコンのデバイス層の最終膜厚（FD: Fully Depletedの場合）は MPU 物理ゲート長の0.4倍で与えられる（中心値の±25%）。目標値の範囲はウェーハ中央の測定値を示し、ウェーハ内での測定中央値に対して最大のプラスあるいはマイナスの%偏差を均一性として併記している。デバイス製造工程でシリコン層は減少するため、最終的なシリコン厚さは購入ウェーハの値よりも薄い。表には、スターティングマテリアルとしての厚さが示されている。

⁸ M. Kamoshida. "Trends of Silicon Wafer Specifications vs. Design Rules in ULSI Device Fabrication. Particles, Flatness and Impurity Distribution Deviations." DENKI KAGAKU, number 3, pages 194–204, 1995.

12 フロントエンドプロセス

2003 から 2009 年に対しては、デバイスに関する許容範囲の最小値に 10nm を加え、最大値に 20nm を加えた値になっている。

[N] FD に対する BOX(Buried Oxide)の厚さは、MPU 物理ゲート長の 2 倍で与えられる。短チャネル効果と放熱に対する効果を期待して、BOX 厚さはゲート長とともにスケールアップされる。FD-SOI で短チャネル効果を制御する目的では、BOX とシリコンの厚さはトレードオフの関係にあり、そのトレードオフを考えて目標値±25%の範囲が許容されている。

注:PD-SOI デバイスの場合、BOX 厚さが直接デバイス特性に影響することはほとんどない。BOX 容量、回路上的放熱、金属ゲタリング、BOX の電気的品質、SOI ウェーハの製造能力、ウェーハ品質、ウェーハコストなどを考慮して BOX 厚さを決める。PD-SOI の場合の BOX 厚さは、100-200nm のままであると思われる。

[O] 大面積の SOI 欠陥 (LASOI defect: Large Area SOI defect) は 99%でモデル化され、 $Y = \exp(-D_{\text{LASOI}} R_{\text{LASOI}} A_{\text{chip}})$ ^{脚注 7} で表され、 D_{LASOI} = LASOI 欠陥の密度、 $R_{\text{LASOI}}=1.0$ (現時点での最善評価)。

[P] 小面積の SOI 欠陥 (SASOI defect: Small Area SOI defect) は 99%でモデル化され、 $Y = \exp(-D_{\text{SASOI}} R_{\text{SASOI}} A_{\text{chip}})$ ^{脚注 7} で表され、 D_{SASOI} = SASOI 欠陥の密度、 $R_{\text{SASOI}}=0.2$ (現時点での最善評価)。SASOI 欠陥源としては、COP、シリサイド、SOI 中の局所的 SiO₂などが含まれる。これらの SASOI 欠陥は光散乱測定 (LLS: Localized Light Scattering) でも検出できる。^{9 10 11}

[Q] 直径 2mm の領域の P-V (Peak-to-Valley) しきい値。ウェーハメーカーの 180-90nm ノード実績と 100nm 以下の線幅分布に関する報告例から外挿し、P-V の最大値を CD/4 にとった。

[R] いろいろなウェーハパラメータの面内ばらつきは、それが形成されるメカニズムに応じて異なる長さに亘って変化する。空間的に異なるスケールで生ずるこれらの変化はデバイス製造にも影響を及ぼすが、その影響のされ方はデバイスプロセスやデバイスの種類によっても変わる。例えば CVD 膜厚のように、ガスフローや温度傾斜の影響を受けるパラメータは、典型的には相当な長さに亘って変化し、mm から cm というオーダーになる。このようなプロセスを制御するには、それほど空間分解能がない計測装置を使って、空間的に緩やかに変化するパラメータをウェーハ上のあまり多くない測定点モニターでも十分であることがほとんどである。ウェーハ表面形状のような他のパラメータは、多様な空間的スケールで変化し、半導体工場で異なる影響を及ぼしている。非常に長いスケールで (数 10cm) ウェーハ表面凹凸は μm オーダーで変化し (Bow や Warp)、ウェーハの機械的性質にいろいろな影響を及ぼす。1cm の空間スケールで、表面には 1 μm の数分の 1 の高さの変動がある。これらの変化 (即ちサイトフラットネス) は一般的にはウェーハの機械的形状としては重要ではないが、リソグラフィの焦点深度の観点では重要である。数 mm 以下のスケールでは、表面凹凸は数 10nm のオーダーである。このオーダーはリソグラフィでの焦点不良にはならないが、ゲート長の線幅ばらつきや CMP での不均一性に影響を及ぼす。ミクロンの長さスケールでは、表面凹凸はオングストロームオーダーであるが、これはゲート絶縁膜の品質に影響を及ぼす。FD-SOI の例では、シリコン層の厚さばらつきはチップ間 (cm の長さスケール) でのトランジスタしきい値ばらつきの原因になり、チップ内 (mm の長さスケール) でも、そしておそらくトランジスタ間 (サブミクロンスケール) でもしきい値ばらつきの原因になるだ

⁹ Y. Omura, S. Nakashima, K. Izumi, and T. Ishii, *IEDM Tech. Digest, 0.1 μm -Gate, Ultrathin-Film CMOS Devices Using SIMOX Substrate with 80-nm-Thick Buried Oxide Layer*, p. 675–678 (1991).

¹⁰ W. P. Maszara, R. Dockerty, C.F.H. Gondran and P.K. Vasudev. "SOI Materials for Mainstream CMOS Technology." in *Silicon-On-Insulator Technology and Devices VIII*, S. Cristoloveanu, P.L.F. Hemment, K. Izumi and S. Wilson editors, PV 97-23, pp. 15–26, *The Electrochemical Society Proceeding Series*, Pennington, NJ (1997).

¹¹ H. Aga, M. Nakano and K. Mitani. "Study of HF Defects in Thin Bonded SOI Dependent on Original Wafers." *Extended Abstracts of the 1998 International Conference on Solid State Devices and Materials*, pp. 304–305, Hiroshima (1998).

ろう。いろいろな空間波長に亘るパラメータ変化を制御するためには、ウェーハ全体を測定でき長波長成分を抽出できる計測装置が必要であるが、高密度のデータに対しては(比較的小さな領域に対しては)短波長成分を抽出する必要がある。空間周波数に対する要求は、計測技術に関して難しい影響をもたらす。空間的長波長成分に向いた方法は短波長成分には向いていないだろう、それはスループットや空間分解能などの点である。この表内の計測技術準備状態レベルは現在の空間波長に対する要求内容が反映されている。将来のプロセスやデバイスの開発がより短波長での計測を必要とするなら、これらの計測技術の準備状態レベルは変わることになるであろうけれども、それは現時点では予期し得ない。

14 フロントエンドプロセス

表 69b Starting Materials Technology Requirements—Long-term

Year of Production	2010	2012	2013	2015	2016	2018	Driver
Technology Node	hp45		hp32		hp22		
DRAM ½ Pitch (nm)	45	35	32	25	22	18	D ½
MPU/ASIC Physical Gate Length (nm)	18	14	13	10	9	7	M
DRAM Total Chip Area (mm ²)	83	104	83	104	138	87	D ½
DRAM Active Transistor Area (mm ²)	27.3	34.3	27.3	34.3	52.7	27.7	D ½
MPU High-Performance Total Chip Area (mm ²)	310	310	310	310	310	310	M
MPU High-Performance Active Transistor Area (mm ²)	31.7	31.7	31.7	31.7	31.7	31.7	M
General Characteristics * (99% Chip Yield) [A, B, C]							
Wafer diameter (mm)	300	300	300	450	450	450	D ½, M
Edge exclusion (mm)	2	2	2	2	2	2	D ½, M
Front surface particle size (nm), latex sphere equivalent [D]	≥90	≥65	≥65	≥65	≥45	≥45	D ½, M
Particles (cm ⁻²) [E]	≤0.09	≤0.09	≤0.09	≤0.04	≤0.05	≤0.06	D ½, M
Particles (#/w/)	≤63	≤61	≤61	≤69	≤75	≤89	D ½, M
Site flatness (nm), SFQR 26mm × 8mm site size [F, R]	≤45	≤36	≤32	≤25	≤23	≤18	D ½, M
Nanotopography, p-v, 2mm diameter analysis area [Q]	≤11	≤9	≤8	≤6	≤6	≤4	M
Polished Wafer * (99% Chip Yield)							
The LLS requirement is specified for particles only; discrimination between particles and COPs is required (see General Characteristics) [D, E]							
Oxidation stacking faults (OSF) (DRAM) (cm ⁻²) [G]	≤0.6	≤0.4	≤0.4	≤0.3	≤0.2	≤0.2	D ½
Oxidation stacking faults (OSF) (MPU) (cm ⁻²) [G]	≤0.2	≤0.1	≤0.1	≤0.07	≤0.06	0.04	M
Epitaxial Wafer * (99% Chip Yield)							
Total Allowable Front Surface Defect Density is The Sum of Epitaxial Large Structural Defects, Small Structural Defects and Particles (see General Characteristics) [H, I]							
Large structural epi defects (DRAM) (cm ⁻²) [J]	≤0.012	≤0.010	≤0.012	≤0.010	≤0.007	≤0.012	D ½
Large structural epi defects (MPU) (cm ⁻²) [J]	≤0.003	≤0.003	≤0.003	≤0.003	≤0.003	≤0.003	M
Small structural epi defects (DRAM) (cm ⁻²) [K]	≤0.024	≤0.019	≤0.024	≤0.019	≤0.015	≤0.023	D ½
Small structural epi defects (MPU) (cm ⁻²) [K]	≤0.006	≤0.006	≤0.006	≤0.006	≤0.006	≤0.006	□
Silicon-on-Insulator Wafer* (99% Chip Yield) [R]							
Wafer diameter (mm)	300	300	300	450	450	450	D ½, M
Starting silicon layer thickness (Partially Depleted) (tolerance ± 5%, 3σ) (nm) [L]	37–55	31–45	29–42	25–35	23–32	21–28	M
Starting silicon layer thickness (Fully Depleted) (tolerance ± 5%, 3σ) (nm) [M]	15–19	14–17	14–16	13–15	13–14	12–14	M
Buried oxide (BOX) thickness (Fully Depleted) (tolerance ± 5%, 3σ) (nm) [N]	26–44	22–36	18–32	16–26	14–22	10–18	M
D _{LASOI} , Large area SOI wafer defects (DRAM) (cm ⁻²) [O]	≤0.012	≤0.010	≤0.012	≤0.010	≤0.007	≤0.012	D ½
D _{LASOI} , Large area SOI wafer defects (MPU) (cm ⁻²) [O]	≤0.003	≤0.003	≤0.003	≤0.003	≤0.003	≤0.003	M
D _{SASOI} , Small area SOI wafer defects (DRAM) (cm ⁻²) [P]	≤0.184	≤0.146	≤0.184	≤0.146	≤0.095	≤0.181	D ½
D _{SASOI} , Small area SOI wafer defects (MPU) (cm ⁻²) [P]	≤0.159	≤0.159	≤0.159	≤0.159	≤0.159	≤0.159	M

* 各パラメータは限界値を定義している。それらは独立に歩留りを予測するパラメータであって、数学的もしくは実験的に歩留り99%となるように値を定義していて、二つ以上のパラメータが同時に影響することはほとんどない。ある与えられたウェーハでは、一般的には、複数のパラメータが同時に限界値を取ることはなく、他のパラメータは中央付近の値を取るだろう。その結果、全てのパラメータを考慮した場合でも、トータルの歩留りは少なくとも99%になる。

Technology requirements value, supplier manufacturing capability cells and metrology readiness capability cells.	
Technology Requirements Value and Supplier Manufacturing Capability	Metrology Readiness Capability
Manufacturable solutions exist, and are being optimized	
Manufacturable solutions are known	
Manufacturable solutions are NOT known	

モデルの限界 — モデルベースのパラメータには、ウェーハ製造工程固有のパラメータ値のばらつきは含まれていない。パラメータ値のばらつきには、2 種の統計分布のどちらかが通常用いられる。膜厚といったパラメータ値は、中央値か平均値に対して対称に分布し、良く知られた正規分布で表すことができる。ゼロが下限となるパラメータの値 (例えば、サイトフラットネス、パーティクル密度、表面金属濃度) は、普通、対数正規分布で近似することができる、言い換えればパラメータ値の対数は正規分布に従う。対数正規分布は非対称性が高く、分布の上限方向に長い裾を引く。

理想的な管理方法というのであれば、IC 製造歩留りに対するスターティングマテリアル起因の歩留低下がトータルとして1%を越えないように、欠陥の種類別に歩留低下を割り当てるべきである。特定の欠陥による歩留損失は、(1) パラメータ値で決まる不良率 (適切な歩留モデルで確認が必要) に、(2) そのパラメータ値を持つウェーハの割合 (正規分布か対数正規分布であることの確認が必要) を掛けたものを積分することによって得られる。この方法を用いれば、受入れ可能なウェーハ要求仕様の分布を決めることができ、更に受入れ基準としても使うことが出来る。この方法は許容できるパラメータ限界値の表を与えるのではなく、個々のウェーハメーカーの製品が持つパラメータ値の分布あたりに要求仕様を設定することになるだろう。この方法が受け入れられるかどうかに関する最大の障壁は歩留りモデルの正しさを確認する必要があることであるが、その歩留りモデルとは 40 年に亘る IC 製造の経験があるにもかかわらず未だに捕らえどころのない代物である。これまでの方法では、ウェーハ標準は普通"ゴールポスト"仕様 (許容できる最大値/最小値を使う) で表現され、例外なくウェーハメーカーの製造コストと検査コストの上昇を招き、最終的にはウェーハユーザの CoO 増加を招く。

統計分布による仕様決定を有効にさせるには、ウェーハメーカーのプロセスが十分に理解され、コントロールされ、ウェーハユーザの要求に整合する必要がある。これらのアイデアが実行されるまでは、最善の情報に基づいたポアソン分布による歩留モデルが用いられており、各パラメータの値にはそのパラメータに対応する歩留りが 99%になるような限界値が割り当てられることになる。さらに、どのパラメータによる歩留り損失も他のパラメータによる歩留り損失には大きな影響を与えないと仮定する。言い換えると、欠陥による歩留りへの影響は統計的に独立な事象ということを仮定する。評価に使うデータが妥当なものであれば、この経験に基づく仮定から得られる要求仕様値は、前に述べたパラメータ分布に基づく設定方法で得られる限界値とあまり変わらないであろう。

CoO (*Cost of Ownership*) — 多くのパラメータの許容可能値が計測技術の限界に近づいているので、ウェーハメーカーと IC メーカーは、受入れ可能な製品仕様分布とコストを明確にするとともに現状レベルを保つために共同作業を増やして行くことが重要になる。IC 歩留りモデル/欠陥モデルの開発と有効性確認が益々重要になっている。しかしながら、最も重要なことは、計測限界まで要求仕様を高めて"作りうる最高品質のウェーハ"と CoO を比較評価することではなく、高い IC 歩留りを保てる範囲でいくらか緩めの要求仕様に対して比較評価を行うことである。ここでその例をあげると、スターティングマテリアルの表面金属要求仕様とパーティクル汚染要求仕様は表面処理の表にあるゲート前洗浄の要求仕様より緩い値になっている (表 70a, 70b 参照)。これは、ゲート前洗浄などの IC 製造工程で得られる最低の除去効率 50% (表面の Fe 除去では 95%の報告例もある) を仮定して緩くしているためである。ウェーハメーカーでのウェーハ最終表面の化学的性質 (親水性 vs. 疎水性)、出荷に使うウェーハキャリアとウェーハ表面との相互作用、保管室の湿度などは、その後の不純物やパーティクルのウェーハ表面吸着に重要な影響を及ぼすことも指摘しておく。

サイトフラットネスといった特定のパラメータに対して、100%ウェーハ検査の有効性を検証するモデルが開発されたので、CoOの重要性が確認できた。このモデルは、100%検査を実施しなかった場合に、高い不良率を有するチップによる損失に対して、デバイスメーカーの仕様に100%保証するのに必要な付加的なウェーハメーカーのコストを考慮してある。この手法は、インターネットアドレスのリストとともに業界紙に投稿されている。デバイスメーカーは、ワークシートを用いてウェーハ仕様と関心のある製品群とのトレードオフを分析できる。[Link to the models paper and the excel spread sheet.](#)

ウェーハパラメータの選択 — ウェーハ表面の化学的性質と物理構造が重要な関心事であり、表 69a と 69b に関連するウェーハパラメータが記載されている。化学的欠陥には、金属、有機粒子、表面残留物が含まれる。これらの欠陥は、鏡面ウェーハ、エピタキシャルウェーハ、SOI ウェーハに対して、重大なものである。特に、薄膜 SOI では薄い Si 層中に金属が拡散することで、表面金属の悪影響が強調される。有機汚染は、ウェーハ保管や搬送の雰囲気強く依存するため、表 69a と 69b には含まれていない。但し、脚注に推奨値が記載されている。

ウェーハの化学的、物理的な特性を向上するために両面研磨ウェーハが増大する傾向にあり、ウェーハ裏面のパーティクルにも注意を払う必要がある。研磨された裏面は、ミクロな汚染やウェーハ搬送時の傷が容易に顕在化する。そのため、裏面のクリーン化や傷に配慮された精巧な搬送装置が要求される。しかしながら、デバイスメーカーの調査に基づくと、裏面パーティクルによるサイトフラットネスの劣化は、現在重大事ではないため、今回の ITRS には含まれていない。なお、いかなる裏面処理（例えば、エキシトリックゲッタリング、酸化膜裏面シール）でもそれを施すと、裏面と表面の両鏡面の品質が劣化する可能性がある。

ウェーハ表面の重要な物理的特性は、ウェーハトポグラフィーと構造欠陥である。ウェーハトポグラフィーには、空間周波数によって分類される、サイトフラットネス、ウェーブネス、ナノポロジー、マイクロラフネスといった様々なウェーハ形状がある。表面のサイトフラットネスとナノポロジーは、最も重要なパラメータであり、ITRS の改訂版で強調されている。裏面のトポグラフィーも最近、ステッパーチャックとの相互作用の観点から注目を浴びてきた。しかしながら、この相互作用を定量的に取り扱う技術が充分でないため、このパラメータは 2003 年の表には記載されていない。

鏡面ウェーハ、エピタキシャルウェーハ、SOI ウェーハには、制御すべき特殊な構造欠陥がある。鏡面ウェーハには、COP や BMD といった成長起因欠陥が含まれる。最先端の結晶成長技術を用いることで、BMD は格子間酸素濃度と独立に制御することができる。とはいえ、鏡面ウェーハあるいはエピタキシャルウェーハ中の制御されない SiO_x 析出物はデバイスのリーク電流増加を引き起こしそうなので、鏡面ウェーハ、さらにはエピタキシャルウェーハでもある程度は内部ゲッタリングを使う場合にはこれまで以上に注意する必要がある。析出量とその均一性に対する要求仕様を満たすには、一様に内部ゲッタリング能力を持たせることが必要で、厳しいバルク欠陥制御が必要になるだろう。

結晶成長パラメータとそれに関連した点欠陥や点欠陥集合体によってゲート絶縁膜の完全性がどう影響されるかに関しては非常に多くの報告が出されている。結果として得られた欠陥密度 (Do) は、数世代に亘る材料品質の指標として非常に有効であった。しかしながら、表 69a と 69b に記載された酸化膜換算膜厚 (EOT) が 2nm 以下のデバイスに対しては、このパラメータはもはやデバイスの歩留りや性能に対応した

指標ではない。そのような考えから、欠陥密度は表 69a と 69b から削除した。しかし、高誘電率ゲート絶縁膜の導入に際して、ゲート前およびゲート後の表面清浄化方法が今までと変更されると、スターティングマテリアルに求められる清浄度も変わり得ることには注意しておくべきである。

エピタキシャルウェーハと SOI ウェーハには、大きな構造欠陥(>1 μm)と小さな構造欠陥(<1 μm)が含まれる。このため、各々のウェーハ種に対して、表面欠陥の種類がスターティングマテリアルの要求仕様として記述されている。エピタキシャルウェーハと SOI ウェーハには、研磨によるミクロな残留損傷、COP といった成長誘起欠陥、表面近傍の酸素析出物が存在しないため、表面欠陥はほとんど存在しない。しかしながら、エピ欠陥、大面積欠陥、小さな構造的なエピ欠陥が存在しており、デバイスの歩留改善には、これら欠陥を制御する必要がある。表面欠陥の除去と抑制がウェーハ技術に対して最新の挑戦課題として続いている。鏡面ウェーハやエピタキシャルウェーハに比べて完成度が低い SOI ウェーハでは、SOI 特有の欠陥とデバイス性能と歩留への影響に対する理解が新たな挑戦課題となっている。ITRS1999 以降の知見は SOI の欠陥分類法の改善に反映されている。シリコン層にある全ての点欠陥を分類したり、SOI ウェーハ製造方法に依存した微小ボイドやピンホールなどの BOX 欠陥を明確にする代わりに、SOI ウェーハにある大面積欠陥と微小欠陥を分類するやり方で解析した。数 μm 以上のサイズに広がる大面積欠陥にはシリコン層中のボイドと大きな接着部ボイドが含まれる。これらの大きな欠陥は、チップ歩留りに深刻な影響を及ぼすと思えることができるので、キラー率を 100%とした。COP、金属シリサイド、シリコン表面層に局所的ある SiO_2 アイランドなどの微小欠陥(数十 nm~数十分の 1 μm)はデバイス特性にそれほど深刻な影響は無いと信じられており、低いキラー率に基づいて許容密度が計算されている。広がった結晶欠陥(例えば貫通転位)は、極めて低い影響度とキラー率であるため、ITRS の本版では SOI パラメータとして削除した。欠陥の数、サイズ、組成、形態を計測するレーザースキャニングやその他装置の開発は、重要な課題であり、計測技術の章に記載されている。

解決策候補 — 図 44 は最も重要なスターティングマテリアルの課題をリストアップしており、分かっている解決策候補をそれらの必要な開発時期と大量生産への移管タイミングとともに示している。 [Link to the Starting Materials Roll Up of Difficult Challenges \(near and long term\)](#). 表 69a, 69b と同じく、図 44 は 300mm あるいはそれ以上の直径のウェーハで製造される先端的な DRAM と高性能 MPU の要請を反映している。しかし、300mm ウェーハの採用は予想されたようには早くなく、200mm ウェーハを始めに計画された技術世代以降にまで使うようになったことに注目しなければならない。このことは、当初 300mm ウェーハに予測されたウェーハ特性パラメータを 200mm ウェーハが満足するのを期待することになった。300mm ウェーハには両面ポリッシュやその他の改善プロセスで製造されるという利点があるが、一般的には、200mm ウェーハにはそれがなく、200mm ウェーハの品質を 300mm ウェーハ相当まで向上するにはウェーハメーカーにとって相当な課題になる。

SOI ウェーハの計測法は重要な課題である。一般特性に掲げられたパーティクル計測法の完成度は SOI ウェーハには当てはまらない。Si と BOX 層からの多重反射に起因する干渉効果は、鏡面ウェーハやエピタキシャルウェーハに比べて、光学測定器の応答を根本的に変えてしまい、一般的に、測定能力を劣化させる。例えば、量産工場での 90nm 技術世代の鏡面ウェーハあるいはエピタキシャルウェーハの測定可能パーティクルサイズが 90nm であるのに対して、現在の SOI ウェーハのパーティクル測定可能サイズは 120-150nm である。従って、SOI ウェーハパーティクルの計測法完成度は 90nm 技術世代まで黄色でそれ

以降の世代では赤色となる。90nm 及びそれ以降の技術世代で予想されるウェーハサイトフラットネス測定
の容量測定法から光学測定法へ変更は決まっているように見える。多くの範疇の SOI 欠陥の計測法は、欠
陥をデコレートするが種々の結晶欠陥を一義的には識別しない破壊的化学エッチングを必要とする。この
種々な欠陥は全てが同じ原因、サイズ、あるいはデバイス歩留まりに対する影響を持っているのではない
だろうし、従って、異なったキルレート(キラー率)となるであろう。非破壊で早く結果の出る方法が SOI 材料
の電気特性や構造欠陥の測定に必要とされる。最後に、種々な歪みシリコン形態(特徴的な表面ラフネス
問題はもとより空間的に変わる Si:Ge 組成成分、貫通転位、それに関連した欠陥)の計測問題は重大な注
意を要する(後述の新規材料セクションを参照)

エピタキシャルウェーハと SOI ウェーハの層厚と均一性はともに表 69a と 69b にある。SOI ウェーハにお
いては、マイクロプロセッサ、サーバー、スマートパワーそして RF 信号プロセッサなどの今日の極めて
多様な IC 用途のため広範囲な Si デバイス層厚と埋め込み酸化膜 (BOX) 層厚が必要となる。今や、多くの
SOI ウェーハの製造方法でこの範囲の SOI 応用にかなう生産にますます完全な生産が始まっている。先端
的な研究に基づいて、今版の ITRS では BOX 厚が 2 倍になったが、予想される熱放散の減少は考慮され
るべきである。2001 ITRS 改訂では最終的な SOI デバイス厚(工程プロセス終了後)を掲げた、しかし、2003
年の改訂は、部分空乏型 (PD) および完全空乏型 (FD) デバイス用のデバイス工程投入シリコン層厚を脚
注に回した関連デバイス厚とともに掲げる。

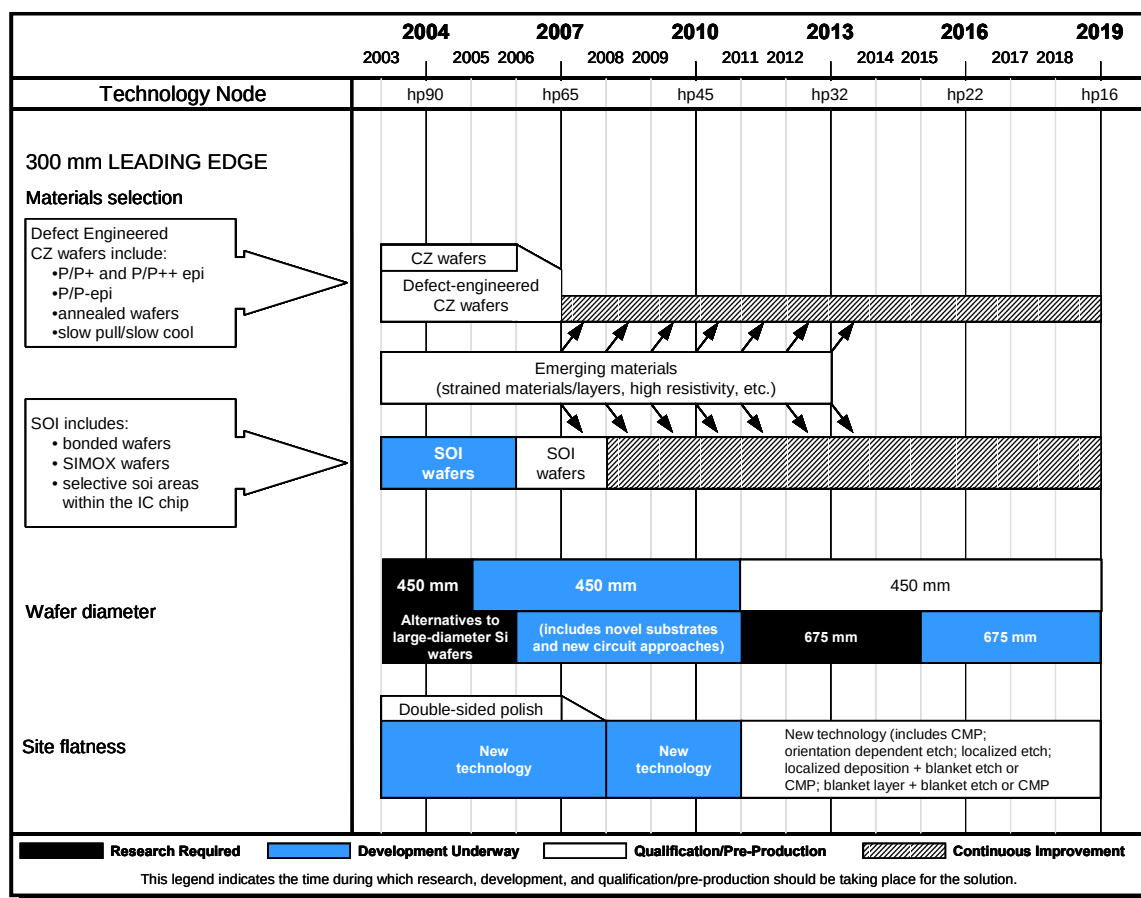


図 44 Starting Materials Potential Solutions

材料選択 — 材料選択は、図 44 に掲げられたスターティングマテリアル課題の最初のカテゴリーであり、最初に掲げられたウェーハタイプは鏡面 CZ 基板である。それは、結晶成長時に COP 形成を減少させるあるいはなくす試みをしない CZ 法で結晶成長し、さらに、それ以降ウェーハが顧客に出荷される前に COP を除去する試みをせずに生産される。これらのウェーハは、今日、主に DRAM メーカーで使われている、しかし、多数の COP の存在で歩留まり促進のための意味ある検査を行うことが困難で、そのためにますますこの用途への使用が狭まる。その結果、大体 70nm 技術世代では、DRAM と高性能 MPU にはこのウェーハはおおかた使われなくなると予想される。そして、欠陥を設計して作り込んだ (defect-engineered) したウェーハが取って代わるだろう。欠陥を設計して作り込んだウェーハにはいくつかの種類の鏡面ウェーハとアニールウェーハがある。鏡面ウェーハでは、構造欠陥の減少あるいは除去のための改善は結晶引き上げ工程、あるいは、それに引き続くウェーハ加工工程で達成できる。前者の例は特殊な引き上げによる低欠陥結晶から作製したウェーハである。そして、後者の例としては表面近傍の欠陥特性を強化した水素またはアルゴン熱処理ウェーハがある。それに加えて、高抵抗ウェーハ ($\sim 100 \text{ Ohm-cm}$) はアナログデバイス用として認められてきたし、歪みシリコンや関連材料はデバイス性能強化用に考慮されている。(PIDS 章の新規研究デバイス節参照)。

ロジック用には、p 型高ドーパ CZ 基板上に成長した低ドーパ p 型エピタキシャル層 (p/p^+ と p/p^{++}) がエピタキシャルウェーハの主流であり続ける。この場合、高ドーパ基板は、ラッチアップ抑制用接地面のみならず不純物ゲッター (固溶限促進型ゲッタリング) にも役立っている。数 $\Omega\text{-cm}$ 以上のエピタキシャル層抵抗率のためには、 p/p^+ や p/p^{++} 構造に対する裏面シールが有効だと考えられている。ラッチアップを防ぎ不純物をゲッターするための高ドーパイオン注入接地面 (選択領域の高ドーパ埋め込み層) を有する鏡面ウェーハでエピタキシャル p/p^+ ウェーハを代替する可能性が着目されている。ただし、COP の存在とその制御は依然として問題である。高ドーパ基板に比べてシステム容量の減少が達成できるかもしれないので、先進 IC 用に p/p^+ の使用がますます注目されている。しかし、この場合には、固溶限促進型ゲッタリングがないので酸素と BMD の役割を再評価しなければならない。 p^+ や p^{++} 材料に比べて p^- では酸素はゆっくりと析出することがよく知られている。最適酸素濃度は使われる一連の IC 熱工程順序に大きく依存するので、最適酸素濃度を選ぶときには、特に、STI 深さがエピタキシャル層厚以上の場合には、多くの要因を考慮しなければならない。他方、格子間酸素濃度に依存しない BMD 制御はもっともっと重要になると予想されよう。

鏡面ウェーハあるいはエピタキシャルウェーハ上の古典的なプレーナ CMOS のスケールアップ問題に対して、もし SOI が最良な解決策あることが分かったなら、高性能デバイス用途においては欠陥を設計して作り込んだウェーハは SOI ウェーハに取って代わられるかもしれない。現在の SOI 製造技術では、鏡面ウェーハやエピタキシャルウェーハよりも SOI ウェーハは高価になっているけれど、FinFET やその他の多ゲート非古典的 CMOS 構造に対してまずまずの基板として CMOS スケールアップ問題 (短チャンネル効果) に対する解決策を提供するので、SOI は最有力なウェーハタイプになるかもしれない。高性能 MPU や同様な性能を必要とするデバイスには、Moore の法則に従うために、45nm 技術世代あるいはその前に SOI が必要とされるようになりそうに現在は見える。しかし、様々な種類の半導体メモリーやランダムロジック IC など他の種類の IC デバイスに対する SOI ウェーハの要求は明確ではないので、欠陥を設計して作り込んだウェーハはロードマップの終わりまで存続し続けるようにまだ示してある。

新規材料 — ITRS (即ちムーアの法則) スターティングマテリアル節に述べられているシリコン材料解決策の活用はシリコン業界の未来にとって極めて重要になってきた。デバイスの歪チャンネル、高抵抗率シリコン、同位元素的な処理をしたシリコン、シリコンと完全に一体化した光エレクトロニクスなどがそのいくつかの例である。例えば、デバイス性能促進にデバイスチャンネルの歪みの利用は ITRS の PIDS 章で議論されている。この技術の中のいくつかは、それを具体化するに当たって柔軟性がある。例えば、少なくとも三つの重要な種類の歪みシリコン構造が現時点で考えられている。バルク歪みシリコン (組成傾斜した Si:Ge 層によって格子常数を設計した一定組成の Si:Ge 層上のエピタキシャル歪みシリコン層)、そして、絶縁層上の Si:Ge 上の歪みシリコン (SGOI)、この場合、組成傾斜 Si:Ge 層の代わりに絶縁物層がある (部分空乏型 (PD) と完全空乏型 (FD) 構造両方が作れる)。もう一つの構造は、歪み形成のための Si:Ge 層のない絶縁層上の歪みシリコン (SSOI) であり、この場合も、FD と PD 構造が出来る。これらの新規技術は、Moore の法則の継続を確実にするのに欠くことの出来ないデバイス問題の技術的解決策を明らかにもたすけれども、詳細な仕様を今年の ITRS 改訂版表 69a と 69b に含めるほどにはこれら新規技術は熟していない。更に、これらの技術のあるものは SOI 構造にだけ応用でき、他の技術はバルク鏡面ウェーハあるいはエピタキシャルウェーハに用いるのに適しているので、表 44 には、これらの新規材料を SOI や欠陥を設計して作り込んだウェーハが共に直面している問題の解決策候補の 1 つとして示してある。[Link to “Emerging Materials” details.](#)

大直径ウェーハ — 1999 年にゆっくり始まった直径 300mm ウェーハへの転換は、常に IC の生産性を高めるというニーズに駆り立てられて、今後数年間加速すると予想される。コスト重視でタイミングの良いやり方でこの転換を促進するのに、ウェーハ、キャリア、工場プロトコールにおける国際協力と標準化が決定的であった。コスト重視 300mm ウェーハの入手可能性についても同じである。300mm 結晶育成、加工、ウェーハハンドリングについて技術的問題はかなり検討されたように見えるので、低価格ウェーハの入手可能性の見通しから次の重要な関心事はビジネス問題に移る。全体的な IC 製造コスト構造に対する 300mm ウェーハの相対的な寄与は、対応する 200mm の少なくとも 3 倍高いと指摘されており、CoO の相当な改善の必要性を示唆している。

300mm を越えるウェーハ直径の予測は、450mm が次世代、多分、早ければ 2011 年、のサイズとして適当であろうと示していて、2005 年までに 450mm の研究開発を始めることを示唆している。シリコンメカ業界が 1990 年代中盤—後半で前もって行った 400mm ウェーハ研究は、この研究開発に対する企業の意欲を促進するのに非常に有効だと期待されている。しかし現実には、“450mm ウェーハ”という言葉は生産性増大の隠喩であり、現在のビジネスと経済成長のトレンドを保ちたい産業界の要請から発せられている。450mm ウェーハへの実際の変更は、他に生産性を改善する方法がなかった場合に必要になる、というのは、ウェーハサイズの変更は常に経済的問題と技術的問題をはらんであるためである。確かに、新しい工場の生産性の尺度は保証されているように見える。戦略的観点から ITRS に示されているような 2 年ごとの技術サイクルを維持し続けるのは、もしかすると、次世代ウェーハサイズ転換必要性の部分的な緩和、ほとんど毎年毎の遅延の可能性、をもたらす。これらの高レベル ITRS 戦略の評価は業界で精力的に進められている (ユニークな非古典的デバイス構造 ([PIDS 章参照](#)) のみならず 200mm プロセス技術の更新、(ウェーハ直径を大きくするのではなく) 真に根本的なプロセス変更としての毎葉ウェーハプロセスなどを含めて)。インターナショナル SEMATECH で開発された産業の経済性と生産性モデルの活用は工場への適用を広く吟味されている。

それにも関わらず、歴史的なウェーハ直径トレンドの延長は、2020 年頃の 675mm ウェーハの導入を容易にするために 2011 年頃の研究開始を示唆している。しかし、直径 450mm あるいは 675mm ウェーハが経済的に実現可能であるかは極めて不明確である。結晶成長、それほど大きなウェーハを加工し取り扱うことの技術的課題は非常に本質的である。従来のシリコン基板材料のエスカレートするコストを軽減するために経済的なシリコン基板製造法のパラダイムシフトが必要とされるであろう。一つの可能なアプローチとして続いているのはコスト重視 SOI ウェーハの増大である。別のアプローチは、工場の基板搬送とチップパッケージの要求仕様に最適化させた適当な支持基板上の電氣的に活性なシリコン層材料の製造である。

サイトフラットネス — 材料選択問題やウェーハ直径とは違って、サイトフラットネスの改善の大きな進展がないことは Moore の法則を維持する上で障害とはならないと思われる。しかし、サイトフラットネスはシリコンウェーハメーカはもとより半導体 IC 製造メーカの大きな懸念であるので、スターティングマテリアルサブ TWG は図 44 にサイトフラットネスを含めた。

300mm ウェーハを両面ポリッシュ化する事でサイトフラットネス工程能力のかなりの進展を業界は達成した。この基礎的な進歩に基づいたさらなる改善は IC メーカの 65nm 技術世代頃の要求を満足すると期待される。その点以上の継続的な改善には、図 44 とその付属テキストで議論された新フラットネス改善技術の採用が必要となるであろう。

表面処理

ウェーハの洗浄および表面処理は、固有の特性を維持しながら、新材料や新プロセスの実施に伴って進展し続けてきた。フロントエンドの表面処理では、歴史的にゲート絶縁膜の品質を最良とすることに、研究や開発が注力されてきた。そして、これらの注力は、high-k ゲート絶縁膜に移った場合にも続けられる。しかし表面処理に関しては、もうひとつの焦点が出現している。それは、現在一つのチップに集積化された全ての異なったトランジスタタイプに対して必要とされるため回数が増加した、インプラントマスクの後洗浄である。新しいトランジスタ構造と同様にメタルゲート電極材料はフロントエンドの表面処理に対して新しい要求を引き出すだろう。

表面処理の技術要求を表 70a および 70b に示す。これらのデータの詳細については、補足資料に記載されている。このフロントエンドの予測は不確かなままである。その理由は、将来の絶縁膜やゲート電極材料やそれらの特性に関連するデータが不足しているためである。これらの不確かさにもかかわらず、微粒子の汚染は、ますます厳しいレベルで注目されつづけることは明白である。シリコンや酸化膜ロスに対する要求が 2003 年版で追加された。酸化膜やシリコンのロスを最小限にするための要求がさらに重要になるため、微粒子の制御はますます挑戦的な課題になるだろう。構造またはエッチング材料へのダメージのないパーティクルレベルの制御は、手ごわい挑戦と見なされる。しかし、2008 年のデバイスは、たぶん high-k ゲート絶縁膜およびメタルゲート電極を有し、SOI 基板上に形成された完全空乏型になると思われる。このためインプラントマスクステップの数も減少し、この減少がインプラントマスク後洗浄当たりの酸化物および Si ロスの許容量を変更させるだろう。さらに、SOI の導入は、金属が埋め込み酸化膜層の界面に蓄積するかもしれないという証拠があるため、金属汚染の許容レベルにも影響するかもしれない。これがどのように許容金属レベルに影響するかまだ明確になっておらず、これらの表の中で説明されていない。

堆積されたゲート絶縁膜材料や歪チャンネル形成用のエピタキシャル Si および SiGe がデバイスで使用し

始めるにつれて、界面制御がますますクリティカルになると予想される。堆積した high-k ゲート絶縁膜には、堆積前に酸化か窒化した表面が要求されるかもしれないし、一方エピタキシャル Si は酸化物フリーの表面が要求されるだろう。しかしながら、high-k ゲート絶縁膜は、物理膜厚が厚くなるため、金属汚染物制御の緩和をもたらすかもしれない。ゲート電極形成後に、high-k絶縁膜やメタルゲート電極と互換性を有するエッチング後洗浄が導入されるに違いない。新しい MPU や DRAM 材料は、その材料費が厳しくなっているが、高選択性エッチングの科学的性質やプロセスに対する要求が増えるだろう。そして、これらの材料は、ESH の効果を下げることなく導入されなければならない。包括的な情報に関しては Environment, Safety and Health の章を参照し、新しい化学薬品をスクリーニングするツール(Chemical Restrictions Table)にリンクすること。

清浄表面のウォーターマークを許容できないという普遍的な理解があるため、この要求に関してはもはや表面処理の表では項目化しない。さらに、ウェーハ裏面のパーティクルの必要条件は 2003 年に表面処理の表から削除した。裏面のパーティクルが少ない方が望ましいことは理解されるが、ウェーハ表面のデバイス歩留まりと裏面のパーティクルのサイズや密度をリンクすることができるデータまたは利用可能なモデルはない。さらなる説明に関しては、表の脚注を参照のこと。

表 70a Surface Preparation Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009	Driver
Technology Node		hp90			hp65			
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50	D ½
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50	M
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28	M
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20	M
Wafer diameter (mm)	300	300	300	300	300	300	300	D ½, M
Wafer edge exclusion (mm)	2	2	2	2	2	2	2	D ½, M
Front surface particles								
Killer defect density, $D_p R_p$ (#/cm ²) [A]	0.0172	0.0217	0.0283	0.0185	0.0233	0.0158	0.0199	D ½
Critical particle diameter, d_c (nm) [B]	50	45	40	35	32.5	28.5	25	D ½
Critical particle count, D_{pw} (#/wafer) [C]	59	75	97	64	80	54	68	D ½
Back surface particles [D][E]*	NA	NA	NA	NA	NA	NA	NA	NA
Critical GOI surface metals (10 ¹⁰ atoms/cm ²) [F]	0.5	0.5	0.5	0.5	0.5	0.5	0.5	M
Critical other surface metals (10 ¹⁰ atoms/cm ²) [F]	1	1	1	1	1	1	1	M
Mobile ions (10 ¹⁰ atoms/cm ²) [G]	1.8	1.9	1.9	2	2.2	2.4	2.5	M
Surface carbon (10 ¹³ atoms/cm ²) [H]	1.8	1.6	1.4	1.3	1.2	1	0.9	D ½, M
Surface oxygen (10 ¹³ atoms/cm ²) [I]	0.1	0.1	0.1	0.1	0.1	0.1	0.1	M
Surface roughness LVGX, RMS (Å) [J]	4	4	4	4	4	4	4	M
Silicon loss (Å) per cleaning step [K]	1.2	1.0	0.8	0.7	0.5	0.4	0.4	M
Oxide loss (Å) per cleaning step [L]	1.2	1.0	0.8	0.7	0.5	0.4	0.4	M

* 値は 2003 年の表から除いた。注釈[D]および[E]を参照。

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

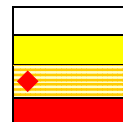


表 70b Surface Preparation Technology Requirements—Long-term

Year of Production	2010	2012	2013	2015	2016	2018	Driver
Technology Node	hp45		hp32		hp22		
DRAM ½ Pitch (nm)	45	35	32	25	22	18	D ½
MPU/ASIC ½ Pitch (nm)	45	35	32	25	22	18	M
MPU Printed Gate Length (nm)	25	20	18	14	13	10	M
MPU Physical Gate Length (nm)	18	14	13	10	9	7	M
Wafer diameter (mm)	300	450	450	450	450	450	D ½, M
Wafer edge exclusion (mm)	2	2	2	2	2	2	D ½, M
Front surface particle							
Killer defect density, $D_p R_p$ (#/cm ²) [A]	0.0250	0.0199	0.0250	0.0199	0.0136	0.0215	D ½
Critical particle diameter, d_c (nm) [B]	22.5	17.5	16	12.5	11	9	D ½
Critical particle count, D_{pw} (#/wafer) [C]	86	155	195	155	106	168	D ½
Back surface particles [D][E]*	NA	NA	NA	NA	NA	NA	
Critical GOI surface metals (10 ¹⁰ atoms/cm ²) [F]	0.5	0.5	0.5	0.5	0.5	0.5	MPU
Critical other surface metals (10 ¹⁰ atoms/cm ²) [F]	1	1	1	1	1	1	MPU
Mobile ions (10 ¹⁰ atoms/cm ²) [G]	2.5	2.5	2.4	2.4	2.3	2.3	MPU
Surface carbon (10 ¹³ atoms/cm ²) [H]	0.9	0.9	0.9	0.9	0.9	0.9	
Surface oxygen (10 ¹³ atoms/cm ²) [I]	0.1	0.1	0.1	0.1	0.1	0.1	D ½, M
Surface roughness LVGX, RMS (Å) [J]	2	2	2	2	2	2	
Silicon loss (Å) per cleaning step [K]	0.4	0.4	0.4	0.4	0.4	0.4	M
Oxide loss (Å) per cleaning step [L]	0.4	0.4	0.4	0.4	0.4	0.4	M

* 値は 2003 年の表から除いた。注釈[D]および[E]を参照。

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known

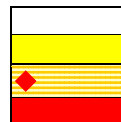


表 70a と 70b に対する注釈

[A] キラー欠陥密度は、デバイス歩留まり 99%の解析式 $Y=0.99=\exp[-D_p R_p A_{\text{eff}}]$ から計算される。 A_{eff} は実効チップ面積、 D_p は欠陥密度、 R_p はひとつの欠陥がデバイス不良を引き起こす確率を表すディフェクトキラーファクターを示す。 $D_p R_p$ の積はウェーハ上のデバイスキラー欠陥密度を示す。 R_p はパーティクルの大きさや形、パーティクルの成分、デバイスレイアウトの詳細を含む多数の要因に依存する。従来は、クリティカルなパーティクルサイズ d_c を超えるどんなパーティクルに対しても、 R_p は 0.2 と仮定された。DRAM の場合は、 $A_{\text{eff}}=2.5F^2T+(1-aF^2T/A_{\text{chip}})*0.6A_{\text{chip}}$ で、ここで F は最小の形状サイズ、 a はセル占有ファクター、 T はチップ当たりの DRAM ビット数 (トランジスタ数)、 A_{chip} は DRAM チップサイズである。MPU の場合は、 $A_{\text{eff}}=aT(GL)^2$ で、ここで GL はゲート長である。 A_{eff} は各々の技術ノードと共に増えたり減ったりするため、 $D_p R_p$ は常に年々減少するとは限らない。

[B] 歩留向上ではクリティカルなパーティクル径 d_c は、メタルのハーフピッチの 1/2 として Yield Enhancement で定義される。最も多い微粒子の汚染は不規則な形状をしているため、 d_c は実効的なパーティクル径を考えるべきである。

[C] クリティカルなパーティクルサイズより大きな全てのパーティクルに対して、キラーファクター R_p が 0.2 であると仮定している一例が示されている。これはロードマップの前バージョンで作られた仮定であるが、普遍的に有効でなく一つの計算例の目的に対してのみ含めて考えられる。パーティクル数/ウェーハは $[R_p * 3.14159 * (\text{ウェーハ半径} - \text{エッジスクルージョン})^2]$ を使用して計算される。クリティカルなパーティクルサイズのパーティクル数/ウェーハから、別サイズのパーティクル数/ウェーハに変換するために、提案された変換式は次のとおり。:

$$D_{\text{alternate}} = D_{\text{critical}} * (d_{\text{critical}} / d_{\text{alternate}})^2.$$

* [D]と[E] クリティカルなウェーハ裏面パーティクルサイズと裏面パーティクル個数は、2003 年に表記されていない。裏面パーティクルの制御が重要なため設備の品質保証に含めて評価されることが認められている一方で、裏面パーティクルとデバイス歩留まりをリンクする明瞭な経験的または理論的なモデルはない。過去には、リソグラフィ工程において裏面パーティクルがウェーハ表面で焦点面をずらしクリティカルな寸法変化を引き起こすことにより、デバイス歩留まりに重大な影響を与えるという議論がなされた。しかし、どのようにピンチャックで制限された裏面接触が裏面パーティクル密度と相互に作用して、ウェーハ表面の平坦度変化を引き起こすかについては明らかになっていない。さらに、リソグラフィのロードマップの中で明記されていないため、焦点深度 (DOF)が年々どのように変わるかについても明らかではない。一般に、リソグラフィ工程の DOF の 1/2 と等しいクリティカルな直径で、裏面パーティクルを制御することが良いと思われる。2003 年では、DOF が約 $0.4 \mu\text{m}$ のため、クリティカルな裏面パーティクルの直径は一般に $0.2 \mu\text{m}$ であると考えられる。ウェーハ裏面の仕上げ面や薄膜の変化が大きく、処理中ウェーハの裏面パーティクルの絶対レベルを測定することは可能ではない。一般に可能なことは、特別のプロセスか処理時に裏面パーティクルの増加数を評価するために、鏡面ウェーハの表面を裏返しにして処理することである。現在の最良の経験は、2003 年ではあらゆる特別な処理工程に対して、ウェーハ裏面パーティクルの増加数が $0.2 \mu\text{m}$ で 400 個未満にすべきであることを示している。

[F] 過去のロードマップでは、金属汚染のターゲットが、ゲート酸化膜厚の関数として金属汚染による不良を予測する経験的モデルに基づいている。しかしながら、このモデルが導かれた実験で使われた酸化膜は、現在使われているゲート酸化膜よりはるかに厚かった。より最近のデータは、最新のアプローチが適切であることを示している。金属は、経験的に3つのクラスに分類される^{12, 13}:(a) NaやKのように簡単に洗浄可能な可動イオン。これらの可動イオンは、容量-電圧 (CV) テストでのフラットバンド電圧シフトを 50mV 以下にすることでモデル化できるだろう。;(b) Ni、Cu、Cr、Co、Hf、Ptのような、シリコン中に溶解するかシリサイドを形成する金属。(c) Ca、Ba、Sr、Feのような、主要なゲート酸化膜の初期耐圧;GOI(Gate Oxide Integrity)のキラー。可動イオンの目標値は、CV テストで測定される許容しきい値電圧のシフトに基づいている。GOI キラーと他の金属に対する現在の目標値は、経験的なデータに基づいている。¹⁴ 将来予測では、その影響は物理的な絶縁膜厚(EOT ではない)でスケールされるべきだが、high-k 材料の導入で物理膜厚が増加するため、目標値予測があまり厳密でないことの原因になるかもしれない。しかし、物理的な絶縁膜厚の予測と同様にそのような予測を確証するデータがない状況では、将来も目標値は一定に維持されている。さらに、SOI の導入は、金属が埋め込み酸化膜層の界面に蓄積するかもしれないという証拠があるため、金属汚染の許容レベルにも影響するかもしれない。これがどのように許容金属レベルに影響する

¹² Mertens, P. W., "Advanced Cleaning Technology," UCPSS 2000, Ostende, Belgium, invited tutorial, pp. 31–48 (2000).

¹³ Mertens, P. W., et. al., "Recent Advances in Wafer Cleaning Technology," Semicon Europa Front End Technology Conference, Munich, 24 April (2001).

¹⁴ P. W. Mertens, T. Bearda, M. Houssa, L. M. Loewenstein, I. Teerlinck, R. Vos, I. Cornelissen, S. De Gendt, K. Kenis, M. Meuris and M. M. Heyns; "Advanced cleaning for the growth of ultrathin gate oxide", presented at the 11th International Conference on Insulating Films on Semiconductors, Erlangen, Germany, June 16–19, 1999, in Microelectronic Engineering, 48, p. 199 (1999).

かまだ明確になっておらず、これらの表の中で説明されていない。

[G] 可動性イオン D_i のモデルは、許容しきい値電圧変動量(ATVV)の一部のしきい値電圧シフトを生ずるイオン数を計算する。ATVV は 1999 年 ITRS で表 28a の列 15 の中で明示されたが、もはや明示されていない。2003 年に可動イオンモデルのために、LOP または LSTP 技術に対して ATVV が電源電圧の 3%であると仮定されている(PIDS 章を参照)。可動性イオンに分配された ATVV の比率は 5%であると仮定される。従って、 $D_i = 1/q(C_{gate} * ATVV * 0.05)$ となる。ここで C_{gate} が電氣的に等価な SiO_2 ゲート絶縁膜厚さに対して計算され、 q が一つの電子の電荷である。このモデルでは、 $D_i = ((3.9 * 8.85) / 1.6) * (0.05 * ATVV / EOT) * 10^9$ となる。ここで、ATVV が mV の単位であり、EOT が nm の単位であり(PIDS 章中の LOP または LSTP 技術要求の表からも)、酸化膜の誘電率は 3.9 である。 D_i は ATVV に比例するだけでなく EOT に反比例するため、 D_i の値が常に年と共に減少するとは限らないことに注意してほしい。

[H] 表面処理後の有機的汚染による残存炭素量。180nm ノードの表面炭素量は、露出したシリコンウェーハの 10%の炭素原子被覆に相当した($7.3E+13$ 原子/ cm^2)。以降のノードでの表面炭素量は、180nm ノードに対して CD ($\frac{1}{2}$ DRAM $\frac{1}{2}$ pitch)の比率で直線的にスケールアップされた。 $D_c = (CD/180)(7.3E+13)$

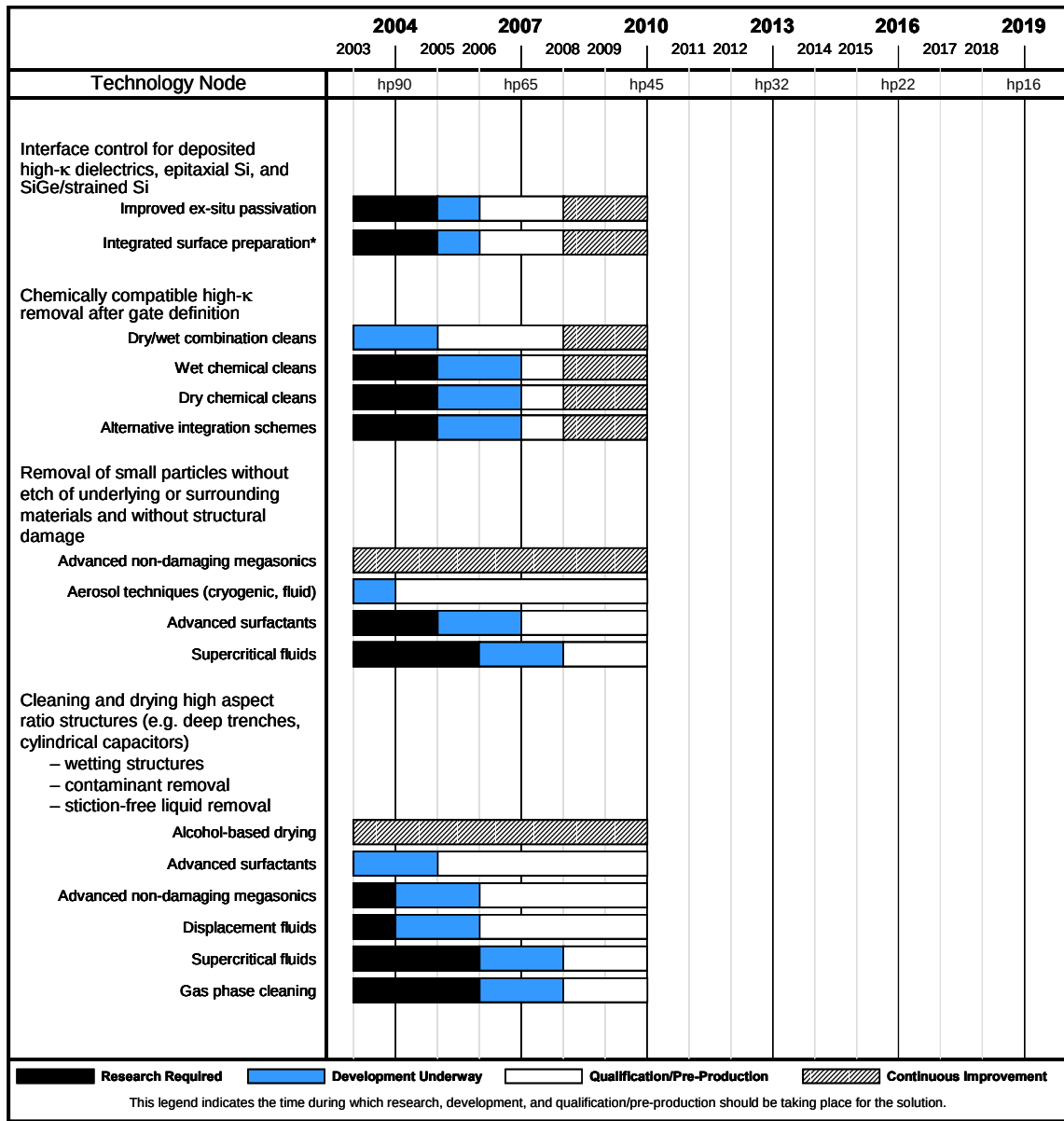
[I] 表面の酸素濃度は、エピタキシャル洗浄の要求から導かれる。Si と SiGe のエピタキシャル堆積は、現在いくつかのデバイスに対して使用されているが、歪シリコンチャンネル技術の実施とともに、より広い範囲で見られるだろう。あるレベルの酸化物はエピタキシャル堆積前に in-situ で除去できるが、より低い堆積温度への移行により、高温水素 pre-bake の使用が不可能になるだろう。 $1E+13$ 原子/ cm^2 未満の表面酸素濃度は、シリサイド前洗浄のような処理には許容される。(訳注:表 70aおよび 70bでは、表面酸素濃度は 0.1×10^{13} atoms/ cm^2 と記載されている。)現在のゲート前洗浄は酸化物フリーの表面を要求しないが、酸素の中間濃度レベルは不安定なため、ゲート酸化前の表面は、連続的な酸化層によって完全に保護されるか、 $1E+13/cm^2$ 未満の酸素濃度のどちらかにするべきである。high-kゲート絶縁膜の堆積前に、酸化物フリーか酸化膜で保護された表面を必要とするかは明らかになっていない。

[J] 2001 年の ITRS では、表面ラフネスを引き起こす表面処理によって、チャンネルモビリティが 10%よりも大きく劣化させられないことが仮定されていた。さらに、現在の技術が、AFMに基づいた測定で $2 \text{ \AA RMS}$ の表面マイクロラフネスで良好に製造されることを要求した。このことは、付加的な粗さを引き起こす表面処理に対してほぼ正しいが、低電圧ゲート酸化 (LVGX)の前洗浄直後に製品上の粗さを単に測定することの方がより直接的である。この場合、トータルの表面マイクロラフネスは、前洗浄、初期酸化膜除去、インプラスクリーン酸化、ダミーまたは犠牲酸化、高電圧用ゲート酸化の最初の酸化 (デュアルゲートフロー)、プラズマ窒化で生じた粗さによって引き起こされた付加的なマイクロラフネスに加えて、スターティング基板の粗さを考慮する必要がある。これを考慮に入れて、製品は、 $4 \text{ \AA RMS}$ の表面マイクロラフネスで近年首尾良く製造されてきた。これは、キャリアモビリティが AFM マイクロラフネス計測ツールによって典型的にサンプリングされるものより、小さな空間の周波数で主に影響を受けることを示す TCAD 予測によって、部分的に説明されるかもしれない。要求値が短期でスケールアップされていない理由は、キャリアモビリティがこの同じ期間の間一定に保持されるという PIDS ロードマップとの比較に基づいている。

[K] シリコンロスの数値は、ソース/ドレインのイクステンションが形成される過程において、高性能ロジックの要求によって決められる。その具体的な数値は、パターンの無いポリシリコンテストウェーハ上で光学上測定されたシリコンロスと関連している。製品上の実際の消費は、プラズマエッチング/アッシングからのダメージ、イオン注入およびドーパント濃度に依存して変わるだろう。駆動電流(I_{ds})への悪影響を制御するために、数値を減少させる要求に応じられる。もしソース/ドレインのイクステンション下のシリコンが凹んでいると、接合プロファイルを変化させて、ソース/ドレインのイクステンション抵抗を増加させ、駆動電流を減少させる。この対応策とインプラントマスクレベル、接合深さおよびクリティカルディメンジョンのような表パラメーターを結び付ける正確なモデルを表すことはまだ出来ていない。IC メーカーは、シリコンロスを 90nm ノードでは洗浄ステップ毎に $1.0 \text{ \AA}$ 、65nm ノードでは洗浄ステップ毎に $0.5 \text{ \AA}$ を、現在目標としている。他のノードの数値は、これら 2 つの数値から外挿されるか内挿される。より長期年での数値が要求されるか、あるいは、どの数値が可能なかは明らかでない。したがって、その数値は 2008 年で $0.4 \text{ \AA}$ に設定されて、その後一定に保たれた。

[L] 酸化膜消費の数値は、ソース/ドレインのイクステンションが形成される過程において、高性能ロジックの要求によって決められる。その具体的な数値は、パターンの無いテストウェーハ上の熱酸化膜消費と関連している。製品上の実際の消費は、プラズマエッチング/アッシングからのダメージ、イオン注入およびドーパント濃度に依存して変わるだろう。駆動電流(I_{ds})への悪影響を制御するために、数値を減少させる要求に応じられる。もしソース/ドレインのイクステンション下のシリコンが凹んでいると、接合プロファイルを変化させて、ソース/ドレインのイクステンション抵抗を増加させ、駆動電流を減少させる。同様のプロセスを仮定すると、酸化物を消費しないことによって、その後のプロセスがさらにシリコンを酸化させて消費するという能力を低減する。酸化されるシリコンが少ないということは、ソース/ドレインのイクステンション下のシリコンの凹みが少ないこと一致する。さらに、分離領域の堆積酸化膜の消費も関心事項である。この対応策とインプラントマスクレベル、接合深さおよびクリティカルディメンジョンのような表パラメーターを結び付ける正確なモデルを表すことはまだ出来ていない。IC メーカーは、酸化膜ロスを 90nm ノードでは洗浄ステップ毎に $1.0 \text{ \AA}$ 、65nm ノードでは洗浄ステップ毎に $0.5 \text{ \AA}$ を、現在目標としている。他のノードの数値は、これら 2 つの数値から外挿されるか内挿される。より長期年での数値が要求されるか、あるいは、どの数値が可能なかは明らかでない。したがって、その数値は 2008 年で $0.4 \text{ \AA}$ に設定されて、その後一定に保たれた。

解決策候補を加えた表面処理の挑戦は図 45 の中で示されている。薬液の持つ高い金属溶解能による金属汚染の除去、ゼータ電位の制御やメガソニックを用いたエネルギーの効率的な伝達やせん断応力によるパーティクル除去を、水溶液が本来持っている多くの特質が容易にするため、ウェット洗浄技術はまだ多くの支持を得ている。しかし、非エッチングやダメージフリーのパーティクル除去と同様に次世代ゲートの界面制御を行うために、他の洗浄技術が生じるだろう。現在、広く効率的でダメージがなく、パーティクルや残留物を除去するための非溶液洗浄技術が開発中である。プロセスの統合やサイクル時間の観点から、ウェットにしるドライにしる枚葉洗浄は、さらに実施されることが期待されているが、その使用がいつ頃普及するかについては未だに不確定なままである。超臨界 CO_2 プロセスは、高度な研究開発が進められており、枚葉システムが採用される可能性が最も高い。45nm ノードでの表面処理用にとの挑戦が採用されるかが不明瞭なため、有望解は短期年(2009 年を通して)の間のみに示されている。過去で行われてきたように、現在と将来の表面処理プロセスについても継続的な改良努力が主題となることが期待される。



*統合された表面処理技術は、堆積チャンバと接続され、処理の大気暴露を最小限に維持するいろいろな技術を含む。これは、UV パーククリーニング、ガスヘイズ技術、枚葉ウェット技術だけに限定されないが、これらの技術を含む。

図 45 Surface Preparation Potential Solutions

ESH や歩留まり向上のような他の推進力は表面処理と互いに密接に関わっている。化学薬品の使用量削減、化学薬品や水のリサイクル、無害な化学薬品を用いた代替プロセスは、ESH や CoO に利益をもたらすことができる。RCA 洗浄に用いられる薬液を希釈することは、一般的になっている。オゾン水プロセスは、硫酸ベースのレジスト剥離や後洗浄の代替として実施されている。オゾン水プロセスが実施されるかどうかは、個々の工場の状況や資本投資回収の要求度に依存する。さらに、193nm および 157nm リソグラフィのための新レジストの採用によって、硫酸ベースのレジスト除去と同様に、オゾン水プロセスにもチャレンジして良いかもしれない。化学薬品や水の使用量削減の努力は継続されるべきである。自動化されたプロセスモニタリングや制御は、CoO についても削減でき、これらの使用が増えることは、モニタウェーハのコストが高くなる 300mm 以上の大口径ウェーハにとって特に期待されている。新洗浄技術の要求は、液浸リソグラフィと関連して生じるが、その液浸リソグラフィ方法の実施と結び付けられるだろう。このため、新洗浄技術の要求は、将来リソグラフィ技術ワーキンググループによって項目化されるべきである。表面処理は、化学薬品や純水中の適切な純度レベルを定義することが必要なため、欠陥低減技術と互に関わり合っている。CoO を最小にするため、革新的な純度目標値は、技術的に正当な理由があるところでのみ採用されるべきである。表面処理の全ての分野において、プロセスと欠陥低減、コスト、環境、健康、安全性問題のバランスが達成されなければならない。包括的な情報に関しては Environment, Safety and Health の章を参照し、新しい化学薬品をスクリーニングするツール(Chemical Restrictions Table)にリンクすること。

熱プロセス／薄膜およびドーピング

フロントエンドプロセスでは高い品質と均一性、欠陥の無い膜の成長、堆積、エッチング、およびドーピングが求められる。これらの膜は、絶縁膜や導体または半導体(例えば、シリコン)であったりする。フロントエンドプロセスの困難な挑戦は次の内容を含んでいる: 1) 信頼性が保証された極薄(電気的実効膜厚 $\leq 1.0\text{nm}$)ゲート絶縁膜の成長あるいは堆積; 2) ロジックと DRAM コンデンサーの両方に必要な適当な界面層を含んだ代替高誘電率膜の開発; 3) 空乏化しない低抵抗ゲート電極材料の開発; 4) 極浅接合デバイスへの低抵抗コンタクト形成。他の重要な挑戦は急峻なチャネルドーピングプロファイルの達成、サーマルバジェットが小さい状況下において注入後の欠陥に基づくリーク電流を最小にするための欠陥の管理、および正確な側壁構造の形成を含んでいる。

PIDS の章で詳しく述べられているように、さらにデバイスのスケールリングをしてもトランジスタ性能の向上を維持するためには多くの技術革新が必要になると予想される。5 年以内に次の技術革新が導入されると予想される; これには(キャリア移動度と駆動電流を上げるための)歪み Si チャンネル、(ゲートリークを減少させ、短チャンネル効果を制御するための)high-k ゲート絶縁膜、(ゲートスタック層の実用上のスケールリングを律則してしまうドーパド・ポリシリコンの空乏化を取り除くための)金属ゲートなどの新素材が含まれる。これらの新素材と構造をうまく導入しても、プレーナ形バルク CMOS トランジスタの限界、特にしきい値電圧と駆動電圧の低下で顕著になるサブスレッショルド・リーク電流の増加により、完全空乏型トランジスタや単一ゲートもしくはマルチゲート・トランジスタのような新しいデバイス構造の導入が促進されるであろう。次の 5~7 年間に於けるこのような新素材とデバイス構造の急速な導入は、開発への挑戦のみならず、効果的で費用効率の高い生産技術と統合するという今までに例のないさまざまな挑戦を必要とする。

熱プロセス／薄膜

ゲート絶縁膜は将来のデバイススケールに対する最も困難な挑戦の1つとして浮上した。表 71a や b にまとめられた要求から、酸化膜換算膜厚(EOT)が実質的に 1nm 以下になることが示されている。直接トンネル電流と(ポリシリコン層からの)硼素の浸み出し現象により膜厚が ≈ 1.5 nm 以下の SiO_2 絶縁膜は使用されなくなる。大きな許容リーク電流を有する高速動作の用途には、酸化窒化膜の極薄化(約 1nm)がなされるであろうが、その膜厚制御や信頼性に意味のある限界が示されていない。厳しい許容リーク電流が要求される低消費電力用途に対しては、70nm ノードと同様な時期(2006)により高い誘電率の材料が求められるであろう。これらの材料は非常に薄い酸化膜換算膜厚が必要な高速動作の用途に対しても翌年必要となるであろう。現時点では、これらの用途に対してゲート絶縁膜として安定性、信頼性が保証され、良好な界面特性を有する代替の高誘電率材料や界面層は決まっていない。適当な代替ゲート絶縁膜を見出し、最適化させるために、地球規模的な研究開発の努力が精力的になされている。短期のゲート絶縁膜の解からは、(恐らく適切な希土類元素をドーピングした)極薄シリコン酸化膜を使用し、製造することが求められている。過去数年の間に Hf ベースの高誘電率ゲート絶縁膜がかなり研究されてきた。それにもかかわらず、短期の解は表面処理、工程前後の雰囲気制御、シリコンと互換性をもつ材料の開発(例えば、ゲート電極とコンタクト)、後工程の熱履歴に厳しい制約を課すことになるであろう。同様の問題は DRAM の蓄積容量用絶縁膜でも予想され、より早い技術ノードで発生すると思われる。

表 71a Thermal and Thin Film, Doping and Etching Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009	Driver
Technology Node		hp90			hp65			
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50	DRAM
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50	MPU
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28	MPU
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20	MPU
Equivalent physical oxide thickness for MPU/ASIC T_{ox} (nm) [A, A1]	1.3	1.2	1.1	1.0	0.9	0.8	0.8	MPU
Gate dielectric leakage at 100°C (nA/μm) High-performance [B, B1, B2]	100	170	170	170	230	230	230	MPU
Physical gate length low operating power (LOP) (nm)	65	53	45	37	32	28	25	Low Power
Physical gate length low standby power (LSTP) (nm)	75	65	53	45	37	32	28	LSTP
Equivalent physical oxide thickness for low operating power T_{ox} (nm) [A, A1]	1.6	1.5	1.4	1.3	1.2	1.1	1.0	LOP
Gate dielectric leakage (nA/μm) LOP [B, B1, B2]	0.33	1.0	1.0	1.0	1.67	1.67	1.67	LOP
Equivalent physical oxide thickness for low standby power T_{ox} (nm) [A, A1]	2.2	2.1	2.1	1.9	1.6	1.5	1.4	LSTP
Gate dielectric leakage (pA/μm) LSTP [B, B1, B2]	3	3	5	7	8	10	13	LSTP
Thickness control EOT (% 3σ) [C]	<±4	<±4	<±4	<±4	<±4	<±4	<±4	MPU/ASIC
Gate etch bias (nm) [D]	20	16	14	12	10	10	8	MPU/ASIC
L_{gate} 3σ variation (nm) [E]	4.46	3.75	3.15	2.81	2.5	2.2	2	MPU/ASIC
Total maximum allowable lithography 3σ (nm) [F]	3.99	3.35	2.82	2.51	2.24	1.97	1.79	MPU/ASIC
Total maximum allowable etch 3σ (nm), including photoresist trim and gate etch [F]	◆ 1.99	◆ 1.68	1.41	1.26	1.12	0.98	0.89	MPU/ASIC
Resist trim maximum allowable 3σ (nm) [G]	◆ 1.16	◆ 0.97	0.82	0.73	0.65	0.57	0.52	MPU/ASIC

30 フロントエンドプロセス

Gate etch maximum allowable 3σ (nm) [G]	1.62	◆ 1.37	1.15	1.02	0.91	0.80	0.73	MPU/ASIC
CD bias between dense and isolated lines [H]	≤15%	◆ ≤15	≤15%	≤15%	≤15%	≤15%	≤15%	MPU/ASIC
Minimum measurable gate dielectric remaining (post gate etch clean) [I]	>0	◆ >0	>0	>0	>0	>0	>0	MPU/ASIC
Profile control (side wall angle) [J]	>89	◆ 90	90	90	90	90	90	MPU/ASIC
PIDS Assumed Device Structure*	Enhanced Planar Bulk CMOS				FDSOI, Elev. Contact *			
Drain extension X_j (nm) [K]	24.8	20.4	17.6	15.4	13.8	8.8	8.0	MPU/ASIC
Maximum drain extension sheet resistance (PMOS) (Ω/sq) [L]	545	663	767	833	884	1739	1800	MPU/ASIC
Maximum drain extension sheet resistance (NMOS) (Ω/sq) [L]	255	310	358	389	412	811	840	MPU/ASIC

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known

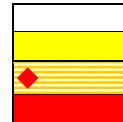


表 71a Thermal and Thin Film, Doping and Etching Technology Requirements—Near-term (continued)

Year of Production	2003	2004	2005	2006	2007	2008	2009	Driver
Technology Node		hp90			hp65			
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50	DRAM
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50	MPU
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28	MPU
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20	MPU
Extension lateral abruptness (nm/decade) [M]	5	4.1	3.5	3.1	2.8	TBD	TBD	MPU/ASIC
Contact X_j (nm) [N]	49.5	40.7	35.2	30.8	27.5	NA	NA	MPU/ASIC
Sidewall spacer thickness (nm) extension structure [O]	49.5	40.7	35.2	30.8	27.7	NA	NA	MPU/ASIC
Spacer thickness, elevated contact [P]	—	20.4	17.6	15.4	13.8	13.2	12.0	MPU/ASIC
Maximum silicon consumption (nm) [Q]	24.8	20.4	17.6	15.4	13.8	13.2	12.0	MPU/ASIC
Silicide thickness (nm) [R]	25	20	21	19	17	16	14	MPU/ASIC
Contact silicide sheet R_s (Ω/sq) [S]	6.5	7.9	7.5	8.6	9.6	10.0	11.1	MPU/ASIC
Contact maximum resistivity ($\Omega\text{-cm}^2$) [T]	◆ 1.93E-07	1.62E-07	1.44E-07	1.20E-07	1.05E-07	0.87E-07	0.72E-07	MPU/ASIC
Gate electrode thickness (nm) [U]	45–90	37–34	32–64	30–60	25–50	22–44	20–40	MPU/ASIC
Gate depletion: required EOT based on gate choice [V]								
For the case of $1\text{E}20/\text{cm}^3$ poly doping [V]	1.42	1.32	1.09	0.97	0.88	0.41	0.41	MPU/ASIC
For the case of $2\text{E}20/\text{cm}^3$ poly doping [V]	1.69	1.59	1.38	1.25	1.15	0.74	0.74	MPU/ASIC
For the case of metal gate [V]	2.04	1.94	1.74	1.64	1.54	1.15	1.15	MPU/ASIC
Uniform channel concentration (cm^{-3}), for $V_t=0.4$ [W]	1.5–2.5 E18	1.5–2.5 E18	1.5–2.5 E18	2.0–4.0 E18	2.5–5.0 E18	NA	NA	MPU/ASIC
STI depth (nm) [X]	400	384	367	359	353	339	335	Bulk
Trench width at top (nm) [Y]	100	90	80	70	65	57	50	Bulk
Trench sidewall angle (degrees) [Z]	>86.4	>86.6	>86.9	>87.2	>87.4	>87.6	>87.9	Bulk
Trench fill aspect ratio	4.5	4.8	5.1	5.6	5.9	6.5	7.2	Bulk
STI depth (nm) [AA]	36	30	26	22	20	18	16	SOI
Trench aspect ratio	0.9	0.8	0.8	0.8	0.8	0.8	0.8	SOI

* モデル化されたデバイスのより完全な記述については、補足資料のワークシートにあるコンタクト R_s と $R_s X_j$ を参照。

Manufacturable solutions exist, and are being optimized	
Manufacturable solutions are known	
Interim solutions are known	◆
Manufacturable solutions are NOT known	

表 71a と 71b に対する注釈

[A] この数字は、その技術の最大動作周波数で基板や電極の効果を除いた絶縁膜の実効的な厚さのみを表して、基板(量子効果)と電極(空乏化)の効果を補正した容量の電氣的測定を通して決めている。EOT 測定のより詳細な議論は別のワークブックページにある。それぞれのノードの色分けはゲートリーク、均一性、および信頼性の要求値を満たす既知の絶縁膜の能力を考慮している。EOT の中間値に対するこれらの要求の1つでも解決策が知られていないのなら、そのノードは赤でコードされる。同様に、解決策がこれらの基準のうちいずれか 1 つでも追求されている場合、ノードは黄色でありえる。低電力技術に対しては、異なる会社の間で使用されている EOT 値は $\pm 0.2 \text{ nm}$ の幅があると推測されている。すなわち短期ノードに対して約 $\pm 10\%$ 、長期ノードに対して $\pm 25\%$ の幅があることになる。

[A1] EOT に対するモデルは、(2003 年ノードの値 -0.4nm) $\times$ 物理ゲート長 $+0.4\text{nm}$ である。

[B] 100°C で規定されたゲートリークが室温におけるトランジスタのサブスレッショルドリークと同じになるようにとる。このリークは PIDS の章のロジックのセクションー高速動作と低電力技術の要求値に室温での (接合リークとゲートリーク成分を除いた) オフ状態のリークとして規定されている。モデルは補足資料の中で規定されている。デバイスのサブスレッショルドリークは室温と 100°C の間でおおよそ 100 倍増加するので、最悪の場合でもゲートリークはリーク全体のおおよそ 1% でしかないと予想される。ゲートリークをデバイスのサブスレッショルドリークと等しくすることは回路動作の見地から満足できるものと仮定された。しかし、すべての設計手法(会社)がそのような高いゲートリークを許容するとは限らないことは注意しておくべきである。ゲートリークは最小の名目上のデバイスで測定され、その仕様はすべてのトランジスター・バイアス条件、すなわち $V_s = V_d \gg 0$ 、 $V_g = V_{dd}$ の場合と同様に $V_g = V_s = 0$ 、 $V_d = V_{dd}$ の場合においても適用するよう決められている。低スタンバイパワー・デバイスの数値は日本の PIDS TWG から来ている。DRAM の数値は、(FEP 表 72 中の)許容セルリークのすべてがトランスファー・デバイスから来ていると仮定している。

[B1] 面積あたりのゲートリークは、許容ゲートリークを物理ゲート長で割った値でモデル化している。しかしながら、総ゲートリークは次の 3 つのリーク成分の合計であることに注意すべきである: 1) ゲート-ソースオーバーラップ領域のソースとゲートの間のリーク、2) チャンネル領域の上のチャンネルとゲートの間のリーク、および 3) ゲート-ドレインオーバーラップ領域におけるゲートとドレインの間のリーク。これらの 3 つの成分のそれぞれの大きさはゲート、ソース、およびドレインのバイアス条件に依存する。リークのノードをコード化する色は、EOT の中央値に対して反転したチャンネルからゲートへトンネルする電流を UTQUANT シミュレーションした結果に基づいている。これらのシミュレーション結果は別のワークシートに掲載されている。一般にトンネル電流密度は反転したチャンネルとゲートとの間よりも接合とゲートとの間ではるかに高くなるであろうことは強調されるべきだ。したがって、これらのシミュレーションは、ゲート-接合間のオーバーラップ領域が最小となるような最も良いケース(最も低いリーク)の状態を表している。酸化膜がリークの仕様を満たすとき、そのノードは白でコードされる。文献に基づくと、最適化された酸化膜のリーク電流は酸化膜よりおおよそ 100 倍低くなると予想される; そこでリーク電流の仕様を満たすために最適化された酸化膜が必要となるときに、ノードは黄色にコードされる。高誘率膜を代替として必要とするノードは赤にコード化される。

[B2] 管理されないゲートリーク電力は、チップの上のすべてのデバイスに最大許容値と等しいゲートリークが流れた時に発生する総静的チップ電力です。 パワーマネジメントとしては、許容できる静的なパワーレベルを達成するためのパワーダウンや複数の V_t をもつデバイスのようなパワー削減の技術を広範囲に使用することが必要となるであろう。

[C] Modeling of Manufacturing Sensitivity and of Statistically Based Process Control Requirements for 0.18 micron NMOS device ¹⁵より。

[D] バイアスは描画されたゲート長とエッチング後のゲート長の差と定義される。

[E] 総ゲート長 3 σ ばらつきはウェハ上のポイント間、ウェハ間、およびロット間ばらつきを含むすべてのランダムなプロセスばらつきを包含する。これにはリソグラフィの近接効果のようなシステムばらつきや粗と密の間の CD バイアスのようなエッチングばらつきなどは除いている。ばらつきの合計は、最終的な寸法の 10%以下になるようにとる。従来の MOS 構造はこれらの計算を基礎にしている。従来構造とは異なる MOS トランジスタ構造(例えば、Vertical MOS トランジスタ)には異なる技術的挑戦が必要で、これらの計算値内には入らないであろう。データはレジスト・パターンニング時のリソグラフの誤差を考慮に入れて計算され、レジスト・トリミングとゲート・エッチの両方に起因したエッチングの誤差と合わされる。

[F] リソグラフィの許容ばらつき σ_L^2 は、リソグラフィとエッチングプロセスのばらつきを合わせた全ばらつき σ_T^2 の 4/5 に制限される。リソグラフィとエッチングのプロセスが統計的に独立していて、それゆえ全てのばらつきがリソグラフィとエッチングのばらつきの合計であると仮定される。このことは、レジストの描画形状が垂直な壁のプロファイルを持ち、エッチングプロセスに絶えるよう充分厚くすることも含意される。[Etch Supplemental Materials](#) を参照のこと。

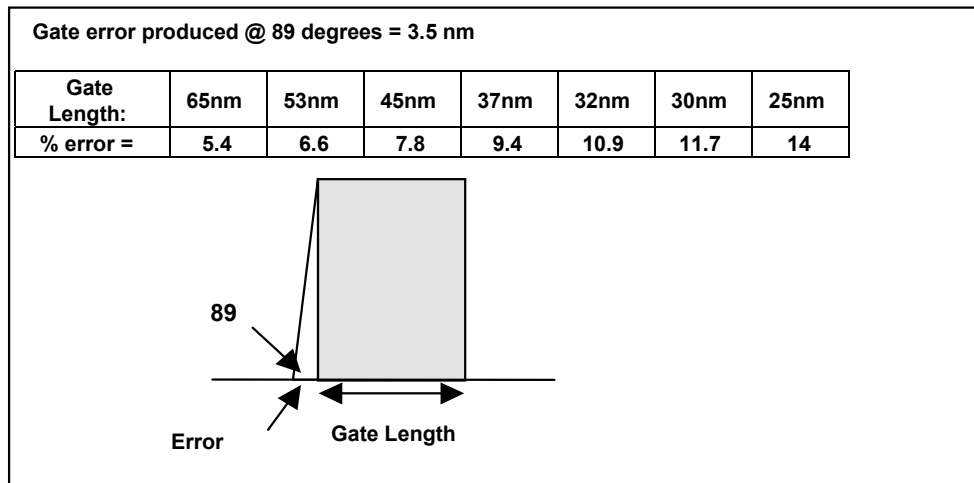
[G] レジストトリミングとゲートエッチングプロセスは統計的に独立で、それぞれ2つのプロセスのばらつき、 σ^2 、は加法的である。トリミングとゲートエッチングを合わせたばらつきの 1/3 はレジストトリミングに割り当て、残りの 2/3 をエッチングプロセスに割り当てる。

[H] 15%の粗密 CD の割り当ては Etch、Lithography、および Metrology からの測定値を組み合わせたものである。

[I] ゲートエッチ後の清浄化プロセスを経てもある程度絶縁物が残っているのは重大である。技術ノードが進むと、絶縁膜厚は薄くなり、そしてゲート絶縁膜に高誘電率膜が取って代わり始める (2006)。両方の進歩は絶縁膜の残膜量があるのを保証する挑戦と残っている材料を測定する能力を表します。

[J] プロファイルはエッチング誤差の主たる要因であるかもしれない(挿入図を見よ)。垂直なプロファイルの正確な寸法測定は依然困難である。長期的にはエッジラフネスのデバイス特性に及ぼす影響に対処する必要があるとともに、測定法も決めておく必要がある。

¹⁵ P. Zeitzoff and A. Tasch, "Modeling of Manufacturing Sensitivity and of Statistically Based Process Control Requirements for 0.18 micron NMOS device," *Characterization and Metrology for ULSI Technology: 1998 International Conference*, D.G. Seiler, et al. eds., page 73.



[K] 2007 年まで、チャンネルでの接合深さ X_j (拡張接合) $= 0.55 \times \text{物理ゲート長}$ とする。(±25%の範囲がある。) それからターゲットデバイスは完全空乏型 SOI やシングルゲートデバイス (2008~2010)、そしてマルチゲート完全空乏型 SOI へ変化する。その後は PIDS の章を参照。これら(2007 年以降)の高度なデバイスに関して、接合深さ X_j はチャンネル厚さに等しいものとする。ワークシート RsXj を参照。

[L] ドレインエクステンションシート抵抗の最大値は、許容できるソース・ドレイン寄生抵抗の 7% をドレインエクステンションに割り当てることによってモデル化されている。ワークシート RsXj を参照。ドレインエクステンションシート抵抗値は、全寄生抵抗の要求に適合するために、コンタクト抵抗と (広がり抵抗に影響する) 接合側部の急峻性とともに最適化されなければならない。これは比較的単純なモデルなので、結果に示すシート抵抗値は参考としてのみ使用されるべきである。

[M] ドーピング濃度が 1 桁下がるチャンネル急峻性 (nm) $= 0.11 \times \text{物理ゲート長 (nm)}$ とする。一短チャンネル効果に基づく。¹⁶ 2007 年以降を Not Available として記述しているのは、補足材料における統合選択の議論やこのモデルを高度な MOSFET 構造に対して実行していないことに注意すること。

[N] 2007 年まで、コンタクト接合深さ $= 1.1 \times \text{物理ゲート長}$ とする。(±33%の範囲がある。) 2007 年以降、我々の分類ではコンタクトがドレインエクステンションと共にあると仮定しているので、全く意味を持たない。

[O] 2007 年までバルクデバイスでは、スペーサ膜厚 (幅) はコンタクト接合深さと同じとして得られる。「極薄酸化膜を有する 0.1 μm PMOSFETs の最適化に基づく反応表面」¹⁷での反応表面論を用いて正当性を確立した。2007 年以降、スペーサ幅はコンタクト領域に付加したシリコン厚さに等しいものとする。ワークシート RsXj を参照。

[P] 2007 年までバルクデバイスでは、せり上げ接合に対するスペーサ膜厚 (ここではより深いコンタクト接合はないものとする。) は、エクステンション接合深さとして得られる。高度な完全空乏型デバイスに対しては、±25%の範囲内でチャンネル膜厚の 1.5 倍として得られる。ワークシート RsXj を参照。

[Q] 2007 年までバルクデバイスでは、シリサイド¹層形成に基づくシリコン消費量は、コンタクト接合深さの半分に等しいものとする。せり上げコンタクトを有する高度な完全空乏型デバイスでは、シリサイド¹膜は、シリサイド/シリコン界

¹⁶ Y. Taur, :25 nm CMOS Design Considerations," IEDM 1998, Technical Digest, IEEE, Dec. 1998, pages 789–792.

¹⁷ A. Srivastava and C.M.Osburn, "Response Surface Based Optimization of 0.1 μm PMOSFETs with Ultra-Thin Oxide Dielectrics," SPIE Proc., vol. 3506, (1998), page 253.

面がチャンネルゲート絶縁膜界面と同平面になる。シリコン消費量は、チャンネルゲート絶縁膜界面の平面上に付加するシリコン厚に等しいものとする。ここで仮定したモデルでは、付加したシリコンは、チャンネル膜厚の 1.5 倍に等しいものとする。[ワークシート RsXj を参照](#)。

[R] 2007 年までバルクデバイスでは、消費に誘起されるコンタクトリークの増加を避けるために、シリサイド膜厚はコンタクト接合深さ X_j の中間の $1/2$ になるものとする。接合の半分以上は消費されることになる。¹⁸2007 年以降、せり上げコンタクト構造を有する高度なデバイスでは、シリサイド膜厚は、ゲート絶縁膜/チャンネル界面の平面上に付加したコンタクトシリコンの消費により生じた膜厚、すなわちチャンネル厚さの 1.5 倍になる。コバルトやチタンのダイシリサイド層では、シリサイド膜厚は消費したシリコンにほぼ等しくなる。ニッケルモノシリサイドでは、シリサイド膜厚が消費したシリコンの 2.22/1.84 倍になる。表では 2005 年に NiSi が実用化されるとしている。[ワークシート RsXj を参照](#)。

[S] コンタクトシリサイドシート抵抗は、 $TiSi_2$ や $CoSi_2$ のシリサイド抵抗率を $15 \mu\Omega\text{-cm}$ 、NiSi を $16 \mu\Omega\text{-cm}$ と仮定する。

[T] シリコンシリサイド界面コンタクト抵抗の最大値は、PIDS で許容される MOSFET ソース・ドレインの総抵抗が 100% になるようコンタクト抵抗率が割り当てられると仮定して計算した。さらにトランジスタコンタクト長が MPU ハーフピッチの 2 倍になるように取られると仮定する。ここで長さとは電流の流れる方向を示す。PIDS の配分は $R_{sx}W$ に換算しているので、コンタクト抵抗率 ρ_{oc} は $\rho_{oc}=R_{sx}W \times M$ となる。これらの値はもし異なるトランジスタコンタクト長が仮定されているなら適切に修正すること。[\(ワークシート Contact Rs を参照\)](#)。コンタクト抵抗率は、最大許容値であり、実際のデバイスにとって使用できないことに注意すべきである。コンタクト抵抗率、ドレインエクステンションシート抵抗値、ドレインエクステンション側部の急峻性は、全寄生抵抗要求値を満たすよう互いに最適化しなければならない。

[U] ゲート膜厚は、物理ゲート長の 1~2 倍とする。

[V] これらの行は、前回の ITRS バージョンの Poly Doping 許容濃度を置き換える。それらは与えられた Poly Doping と Channel Doping に関して、PIDS によって定義されている必要な CET を達成するために必要な最大の EOT があることを示している。これは表 71 の上の行に示された EOT とは異なる要求値である。これらの違いは異なるモデルを仮定することで起こる。より完全な議論のために[補足材料](#)を参照すること。

[W] $V_t=0.4$ とするための一定なチャンネル濃度は、1999ITRS で行われた計算から内挿した。¹⁹量子力学的でなく、また短チャンネル効果でのポテンシャル増加もない仮定でこの計算を使用した。しかしながら、これらの効果は互いを相殺する傾向がある。注意: $0.4V$ という一定のしきい電圧の仮定は、リーク電流評価基準を満足していないかもしれない。リーク電流評価基準に到達するためには、電源電圧スケールアップのために、容認できないほど大きいしきい電圧となり、結果として厳しい性能劣化をもたらすかもしれない。さらに高濃度チャンネルは厳しい不純物散乱によりドレイン電流に厳しく影響するかもしれない。このモデルはバルクデバイスだけに適用する。

[X] バルクでのトレンチ深さは、コンタクト接合深さとウェル中の空乏層幅のプラスに比例していると仮定する。比例定数は、2003 年ノードの値を 400nm に設定することにより決定した。

[Y] 最小のトレンチ幅は、MPU ハーフピッチに等しいと仮定する。

[Z] トレンチ幅は上側寸法の半分以上に減少すると仮定する。

¹⁸ C.M. Osburn, J.Y. Tsai and J. Sun, "Metal Silicides: Active Elements of ULSI Contacts," *J. Electronic Mater.*, vol. 25(11), (1996), page 1725.

¹⁹ R. Muller and T. Kamins. *Device Electronics for Integrated Circuits*, New York, NY: John Wiley and Sons, Inc., 1977, page 324.

[AA] SOIでのトレンチ深さは、部分空乏型 SOI ではシリコン膜厚に等しいと仮定する。すなわち、 $0.8 \times$ 物理ゲート長とする。

表 71b Thermal and Thin Film, Doping and Etching Technology Requirements—Long-term

Year of Production	2010	2012	2013	2015	2016	2018	Driver
Technology Node	hp45		hp32		hp22		
DRAM ½ Pitch (nm)	45	35	32	25	22	18	DRAM
MPU/ASIC ½ Pitch (nm)	45	35	32	25	22	18	MPU
MPU Printed Gate Length (nm)	25	20	18	14	13	10	MPU
MPU Physical Gate Length (nm)	18	14	13	10	9	7	MPU
Equivalent physical oxide thickness for MPU/ASIC T_{ox} (nm) [A, A1]	0.7	0.7	0.6	0.6	0.5	0.5	MPU/ASIC
Gate dielectric leakage at 100°C ($\mu A/\mu m$) high-performance [B, B1, B2]	0.33	0.33	1	1.00	1.67	1.67	MPU/ASIC
Physical gate length operating low operating power (LOP) (nm)	22	18	16	13	11	9	LOP
Physical gate length low standby power (LSTP) (nm)	25	20	18	14	13	10	LSTP
Equivalent physical oxide thickness for low operating power T_{ox} (nm) [A, A1]	0.9	0.9	0.8	0.8	0.7	0.7	LOP
Gate dielectric leakage (nA/ μm) LOP [B, B1, B2]	2.33	2.33	3.33	3.33	10	10	LOP
Equivalent physical oxide thickness for low standby power T_{ox} (nm) [A, A1]	1.3	1.2	1.1	1.1	1.0	0.9	
Gate dielectric leakage (pA/ μm) LSTP [B, B1, B2]	20	20	27	27	33	33	
Thickness control EOT (% 3σ) [C]	< ± 4	< ± 4	< ± 4	< ± 4	< ± 4	< ± 4	MPU/ASIC
Gate etch bias (nm) [D]	7.1	6	5	4	3.6	3	MPU/ASIC
L_{gate} 3σ variation (nm) [E]	1.8	1.40	1.30	1.00	0.90	0.70	MPU/ASIC
Total allowable lithography 3σ (nm) [F]	1.61	1.25	1.16	0.89	0.80	0.63	MPU/ASIC
Total allowable etch 3σ (nm), including photoresist trim and gate etch [F]	0.8	0.63	0.58	0.45	0.40	0.31	MPU/ASIC
Resist trim allowable 3σ (nm) [G]	0.46	0.36	0.34	0.26	0.23	0.18	MPU/ASIC
Gate etch allowable 3σ (nm) [G]	0.66	0.51	0.47	0.37	0.33	0.26	MPU/ASIC
CD bias between dense and isolated lines [H]	$\leq 15\%$	$\leq 15\%$	$\leq 15\%$	$\leq 15\%$	$\leq 15\%$	$\leq 15\%$	MPU/ASIC
Minimum measurable gate dielectric remaining (post gate etch clean) [I]	>0	>0	>0	>0	>0	>0	MPU/ASIC
Profile control (side wall angle) [J]	90	90	90	90	90	90	MPU/ASIC
PIDS Assumed Device Structure *	FDSOI *	FDSOI, Multi-Gate *					
Drain extension X_j (nm) [K]	7.2	11.2	10.4	8.0	7.2	5.1	MPU/ASIC
Maximum drain extension sheet resistance (PMOS) (Ω/sq) [L]	1875	518	514	550	549	584	MPU/ASIC
Maximum drain extension sheet resistance (NMOS) (Ω/sq) [L]	875	242	240	257	256	272	MPU/ASIC

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

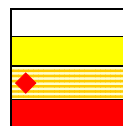


表 71b Thermal and Thin Film, Doping and Etching Technology Requirements—Long-term (continued)

Year of Production	2010	2012	2013	2015	2016	2018	Driver
Technology Node	hp45		hp32		hp22		
DRAM ½ Pitch (nm)	45	35	32	25	22	18	DRAM
MPU/ASIC ½ Pitch (nm)	45	35	32	25	22	18	MPU
MPU Printed Gate Length (nm)	25	20	18	14	13	10	MPU
MPU Physical Gate Length (nm)	18	14	13	10	9	7	MPU
Extension lateral abruptness (nm/decade) [M]	TBD	TBD	TBD	TBD	TBD	TBD	MPU/ASIC
Contact Xj (nm) [N]	NA	NA	NA	NA	NA	NA	MPU/ASIC
Sidewall spacer thickness (nm) extension structure [O]	NA	NA	NA	NA	NA	NA	MPU/ASIC
Spacer thickness, elevated contact [P]	10.8	16.8	15.6	12.0	10.8	7.7	MPU/ASIC
Maximum silicon consumption (nm) [Q]	10.8	16.8	15.6	12.0	10.8	7.7	MPU/ASIC
Silicide thickness (nm) [R]	13	20	19	14	13	9	MPU/ASIC
Contact silicide sheet Rs (Ω/sq) [S]	12.3	7.9	8.5	11.1	12.3	17.2	MPU/ASIC
Contact maximum resistivity ($\Omega\text{-cm}^2$) [T]	6.08E-08	2.03E-08	1.71E-08	1.10E-08	8.69E-09	5.40E-09	MPU/ASIC
Gate electrode thickness [U]	18–36	14–28	13–26	10–20	9–18	7–14	MPU/ASIC
Gate depletion: required EOT based on gate choice [V]							MPU/ASIC
For the case of $1\text{E}20/\text{cm}^3$ poly doping [V]	TBD	0.33	TBD	0.23	TBD	0.13	
For the case of $2\text{E}20/\text{cm}^3$ poly doping [V]	TBD	0.63	TBD	0.50	TBD	0.39	
For the case of metal gate [V]	TBD	1.05	TBD	0.95	TBD	0.85	
Uniform channel concentration (cm^{-3}), for $V_t=0.4$ [W]	NA	NA	NA	NA	NA	NA	MPU/ASIC
STI depth (nm) [X]	331	316	314	300	198	286	Bulk
Trench width at top (nm) [Y]	45	35	32	25	22	18	
Trench sidewall angle (degrees) [Z]	>88.1	>88.4	>88.5	>88.8	>88.9	>89.1	Bulk
Trench fill aspect ratio	7.9	9.5	10.3	12.5	14	16.4	Bulk
STI depth (nm) [AA]	14	11	10	8	7	6	SOI
Trench aspect ratio	0.8	0.8	0.8	0.8	0.8	0.8	SOI

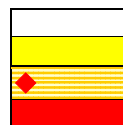
*モデル化されたデバイスのより完全な記述に関しては、補足資料のワークシートにある2003年版のコンタクトRsおよび2003年版のRsXjを参照。

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



中長期の解決策には高品質ゲート SiO_2 に匹敵する電気特性 (安定性や界面準位など) を満足する高い誘電率 (中期的には>10、長期的には>20) を有する材料や信頼性の検証が必要である。 SiO_2 以外の材料に関する重要な課題は、界面特性やチャネル移動度を維持するために極薄の SiO_2 層が依然として必要であるということである。この界面層は酸化膜換算膜厚を増加させ、高誘電率ゲート絶縁膜を用いたことによってもたらされるいかなる利点も著しく低下させてしまう。

高誘電率金属イオンとシリコン基板との間をつなぐ O-Si-O 結合からなる中間層が存在することにより、酸化膜換算膜厚にして、名目上 0.4nm というスケーリング限界をもたらす。また、双方の反応を最小限にし、その後のプロセスにおいて生じる余分な誘電体層の成長を抑制するために、高誘電率材料とゲート電極間に適当な材料を形成することが必要となると予想される。膜厚制御性や均一性の改善もまた 300mm ウェハにおける V_t 制御を可能にするためには不可欠である。イオン注入やプラズマエッチングをとまなうゲート形成後やプロセス誘起ダメージに対する影響度合いは増大すると予想され、特にこれはリーク電流と密接

に関係するのでゲート絶縁膜周辺長に依存する。

他の挑戦として、ゲートリークスペックと信頼性要求事項の両方を満足するゲート絶縁膜特性の実現がある。これらニーズの達成には高誘電率絶縁膜は、熱電子放出と直接トンネリングを制限するために 1eV 以上の障壁高さを有し、4-5eV のバンドギャップを有するものでなければならない。さらに、安定でかつプール・フレンケルトンネリングを抑制するための候補となる誘電体材料は、キャリアの捕獲密度が無視できる程度でなければならない。最後に、ゲート電極またはゲート電極のドーパントによってトランジスタのチャネル部分が汚染されることがないようにその材料は優れた拡散抑止能を有するものでなければならない。

また、ゲート電極についても将来のスケーリングに対して主たる挑戦がある。ゲート電極の課題に対する短期的解決策はドーピングされたポリサイドゲートスタックもしくはホウ素でドーピングされた Si-Ge ゲート電極の使用である。ゲート絶縁膜へのホウ素侵入の阻止（例えば、窒化シリコン）やより確実な仕事関数の制御達成のためにはドーピングされたポリシリコンの活性化に対して、より一層の開発が極めて重要である([PIDS](#) の章にリンク)。ホウ素の外方拡散にともなうチャネル自己ドーピングとポリシリコンの空乏化が原因で最終的にデュアルドーピングポリシリコンゲートは使われなくなる。低抵抗ゲート電極材料など長期的な解決法は、その必要性について大変強調されてきたにもかかわらず、まだ十分な取り組みがなされておらず、代替のゲート電極材料を特定し、より良質なものにするためにより一層の研究が望まれる。

仕事関数、抵抗率、および CMOS 技術との互換性は、新しいゲート電極の材料候補のための主要なパラメタである。最後の課題として PMOS、NMOS トランジスタのゲート電極が許容しうる閾値電圧を実現するために別の材料を用いる必要がある。即ち、前者 (PMOS ゲート電極) はフェルミ準位がシリコンの価電子帯付近に有し、後者 (NMOS ゲート電極) は伝導帯付近に存在する材料を導入するということである。シート抵抗の問題は、究極的に被覆ゲート電極の使用が必要となる可能性がある。このとき界面層は、所望のゲートの仕事関数を達成するために用いられ、第 2 層はゲートの総抵抗を下げるために用いられる。シングルゲートやイントリンシックチャネルを有する完全空乏型極薄ボディ SOI 素子の導入により、ゲートの最適仕事関数をミッドギャップに変える。このことは調節可能な仕事関数系がとりわけ重要であることを意味している。

高い駆動電流を維持するためには、部分空乏型や完全空乏型 SOI 素子と同様に従来のバルク CMOS のチャネル移動度を増加させるための技術改良が必要である。NMOS 用の緩和された Si-Ge 上のひずみ Si や PMOS 用のひずんだ Si-Ge 上のひずみ Si のようにひずんだチャネル層は、所望の特性を達成するための一助となる一方、その実現にはかなりのプロセスの最適化が必要となる。ひずみなどによりこれら機能強化された高移動度チャネル素子は、高誘電率ゲート絶縁膜が導入される前に、先ず窒化シリコンゲート絶縁膜に対して必要となる。長期予測の中で期待されている従来の素子構造でない非標準素子やダブルゲート素子などの代替素子は、ひずみシリコンチャネルからの恩恵を受けるであろう。

CMOS に対する高移動度チャネルや代替界面層、高誘電率ゲート絶縁膜そして新ゲート電極を導入するということは、すざましい集積化の挑戦である。多くの候補材料における制限された熱安定性は、ゲート形成後に通常用いられる接合の熱処理サイクルとは両立しない。これら新材料を用いる際には、接合熱処理温度を劇的に下げるか、接合形成とゲートスタックの順序を逆にするような代替プロセスが必要となる。これらの例として“リプレースメント”またはゲートラストプロセスがある。これらは製造の複雑性やコストの増大

を招き、素子特性や信頼性にも重大な影響を与える可能性がある。このため、結果的に従来の CMOS プロセスを維持すべく激しい努力がなされている。

側壁スペーサは、自己整合やソース・ドレインのドーブ構造形成に加え、ゲートとソース・ドレイン領域の分離をするためにも使用されている。ゲートとソース・ドレインのコンタクト構造およびこれらのコンタクトを形成するために用いられるプロセスは、側壁スペーサの堅牢性に依存する。側壁スペーサは、伝統的に堆積酸化膜やポリシリコンの熱酸化膜、堆積窒化膜そしてその様々な組合せをした構造の上に形成されている。伝統的側壁プロセスでは、少なくとも 2008 年までは使用され、その場合にはエレベーターソース・ドレインが必要となる。それ以降では側壁スペーサとの整合性は難しくなる。完全空乏型 SOI 素子では、ゲート絶縁膜のような高い信頼性と安定性を有する薄くて堅牢な側壁が必要となる。加えて、それらは寄生容量と直列抵抗を最小限に抑制するために最適化されていなければならない。ゲートの物理長が約 20nm 以下では、最良の最先端技術で形成された熱酸化膜でさえも選択エピタキシャルシリコンまたはエレベーターコンタクト構造を想定したシリサイドプロセスによってもたらされる欠陥形成に対しては敏感になる。窒化膜または酸窒化膜は、酸化膜よりも良好な代替材料であるが、高誘電率ゲート絶縁膜との整合性や実用可能な側壁スペーサを見出し、認知するための更なる研究が必要である。

熱酸化もしくは堆積法による膜もまたプリメタル誘電体と同様に浅トレンチを埋め込むのに極めて重要である。トレンチ幅を狭くし、より高いアスペクト比の溝を形成するという動向は、溝のトップとボトムのコナー部の形状が制御されていなければならないことを示唆するもので、この応用として粗密の溝の制御された均一な埋め込みは重要である。シャロートレンチ分離構造の製造において活性領域のトップコナーは、一般にゲート絶縁膜の堆積や成長の前にパッド酸化膜や犠牲酸化膜の HF エッチングに晒される。ゲートは、このコナー形状に沿って形成され、高電界領域や潜在的に高い欠陥密度領域をつくってしまう。この領域は小さい閾値電圧と飽和電流しか得られないトランジスタがバルクトランジスタに並列に接続されていると考えることができる。これは、 I_d - V_g 特性における“ハンプ”や高いサブスレッショルドリーク電流を招く。従って、STI トレンチのトップコナーは通常、分離酸化膜堆積前の酸化によって丸められる。このコナーの曲率半径が増加すると寄生トランジスタの V_t が増加し、“ハンプ”が小さくなる。しかし、新しいプロセスが用いられない限り、素子のスケーリングは曲率半径の減少をもたらす。

隣接する活性領域端のフィールド酸化膜の後退度合いは、“トランジスタ”端の断面をある程度決定するので、寄生ドレイン電流の大きさもまた、そのフィールド酸化膜の後退度合いに依存する。従って、曲率半径が分離幅とともにスケールダウン、願わくばフィールド酸化膜の後退も、すると曲率半径の減少をとともなう少なくとも劣化の部分的緩和をもたらす。この酸化膜の後退はパッド酸化膜や犠牲酸化膜のほか、CMP プロセスや HF 浸漬に対する堆積酸化膜の“硬さ”に依存する。これらの全ては各技術ノードにおいて最適化されるプロセス設計の選択にゆだねられる。

中核技術である熱処理、ドーピングに関する集積化の要件は、浅接合プロファイルや接合の急峻さを維持すること、およびドーパントの高い活性化を実現すること、材料の耐熱性を向上すること、そして素子特性に関わるこれら事項を制御することである。熱処理・薄膜に対するロードマップの有望解は、図 46 に示されている。ひずみ基板、高誘電率ゲート絶縁膜、金属ゲートそして、非バルク CMOS は、量産できるまでに 2 年のプロセス検証と試作が必要とされる大変重要な技術である。例えば、全く新しいゲートスタック材料が顧客に出回るまでには、異常なほどに大量の信頼性データが必要となる。

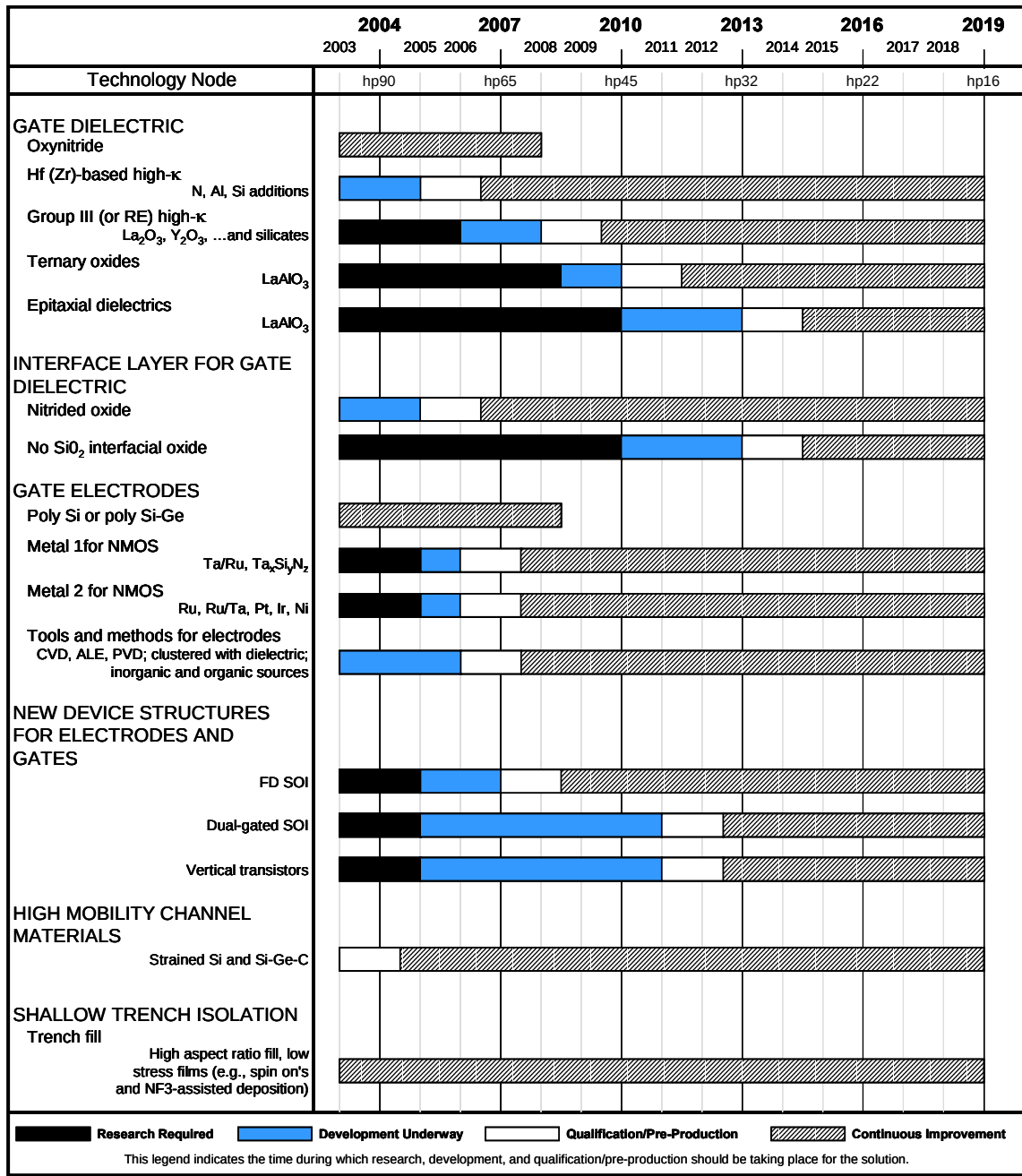


図 46 Thermal/Thin Films Potential Solutions

(訳注: Gate electrode 中の Meatal 2 for NMOS は Meatal 2 for PMOS の誤りである。)

ドーピング技術

これまでも述べてきたように、バルク上の CMOS デバイスの伝統的なスケーリングは、この 20 年間以上はこの産業の発展に寄与してきたが、オフ状態での電力消費量の増加によりその困難度を増してきており、結果として今後の 10 年間に於いて、新材料や新構造の導入が期待される状況となっている。この点に関しては、下記のデバイスシナリオを示している PIDS 章において、議論されている。

2003 年から 2007 年にかけて—バルクシリコン MOSFETS は以下の進歩を遂げる：

- ・ 最適化された酸化ゲート絶縁膜 — 2003–2006
- ・ High-k ゲート絶縁膜 — 2006 低動作電力デバイス
— 2007 高性能デバイス
- ・ メタルゲート — 2007 高性能デバイス
— 2008 低電力デバイス

2008 年から 2010 年にかけて—エレベーター型コンタクトを有する単一ゲート・プレナー構造の完全空乏 SOI

2011 年以降—FINFET、あるいは tri-gate のような、2 つあるいは 3 つのゲートを有するデバイス

これは、これまでと同様にトランジスタの性能向上を実現するために PIDS によって議論されたシナリオのひとつに過ぎないことに注意が必要である。これ以外のシナリオの可能性もあるが、ドーピング技術に関する要求事項の Table は、このシナリオに基づいている。産業におけるほとんどすべての発展は、既存の技術、すなわちバルクシリコン CMOS の可能性を伸ばすことに注力されているということを忘れないでほしい。したがって、FEP や PIDS 技術サブワーキンググループによって予想されている技術以外のものが、この技術のライフを伸ばすということは十分にありうることである。2003 年から 2007 年の要求事項から外挿して、バルク CMOS の先の技術におけるドーピング技術に対する要求事項を、推論することができる。表の注釈は、このような外挿に必要なすべての情報を提供している。

困難な技術課題

2007 年までの間の CMOS トランジスタのドーピングに対する課題としては、1) ポリシリコンゲート中の空乏層の厚さを抑えるために、これまでに知られている限界以上に p 型、および n 型のポリシリコンゲート中での活性なドーピング濃度を高めること、2) シート抵抗と接合深さの積、エクステンション領域のドーピングの急峻性、そしてエクステンション領域とゲートとのオーバーラップを最適化しながら、短チャネル効果の制御に必要とされる、ますます浅くなる接合深さを達成するための、ソース・ドレインエクステンション領域のドーピングプロファイルを実現すること、3) ノミナルで 500 Ohm/square のシート抵抗値を、10nm の接合深さで実現することのできる活性化手法を開発すること、4) 短チャネル効果を最小化しながら、キャリア移動度を最大化すると同時に、閾値電圧を所定値にするためのチャネル領域のドーピングプロファイルの制御を達成すること、そして 5) 浅く、高濃度にドーピングされたソース/ドレイン領域にコンタクトを形成すること、が挙げられる。

2007 年より先では、主要な課題は、さらに直接的に「トランジスタ構造」として書き表される。プレナー構造のバルク CMOS は、high-k ゲート絶縁膜、高移動度歪みチャネルメタルゲート電極、そしてエレベーター型コンタクト構造などの前述した技術革新によって 65nm ノードまでは継続される。65nm ノードより先では、

バルク Si CMOS デバイスを継続的に使うことで、許容できないほどにリーク電流が高くなるという損失が避けられなくなった場合に、バルク Si デバイスに置き換わる、新たなトランジスタ構造が登場する。

ソース・ドレインエクステンション

プレーナバルク CMOS において、短チャネル効果の制御は、ドレインエクステンション、チャネルおよびチャネル端部形成のプロセスに大きな影響を与える。接合深さと寄生抵抗をともに低減する要求からエクステンションのドーピングレベルは増大が予測される。これらの要求値は、理想的なチャネル抵抗の 17-33% を越えない低ソース・ドレイン寄生抵抗の要請から導かれる。(PIDS 章「Logic Technology Requirement High Performance Near-Term Table」も参照) 同様に、前の世代の技術ノードにおいてはドレインエクステンションドーピングプロファイルに対して、ホットキャリア劣化を抑制するため緩やかなプロファイルが要求されたのに対して、寄生抵抗の要求値を満足するためにむしろ急峻な横方向のプロファイルが求められるようになる。バルクプレーナ MOSFET においては、注入直後の状態での(縦方向の)接合深さと、それに対応する横方向への広がり、その後の横方向への拡散とチャネル領域との重なりに大きく影響する。

したがって短チャネル効果の振る舞いは縦方向の接合深さと強く結びついており、ドレインエクステンション抵抗は、ドーピング濃度と横方向の急峻さと強く結びついている。急峻さ要求については、デバイスタイプに依存している。さらに、横方向を急峻にすると、ドレインエクステンション蓄積抵抗は低下するが、広がり抵抗値にも影響するため、したがって全体としての寄生抵抗に対して影響する他の要素に対して、横方向の急峻さを増加させることの必要性を十分に考える必要がある。シート抵抗、接合深さ、急峻さを導出するためのモデル化の努力は、複雑に絡み合ったこれらのパラメータ間での相互依存性、および全体としてのトランジスタデザインに対する複合的影響を正しく理解することにつながる。したがって、接合深さ、ドーピング濃度、横方向の急峻さのすべてを全体として最適化するプロセスのためには、トランジスタ特性全体の仮想的な設計が、各ノードにおいて必要となる。これはロードマップの目的を越えた課題となる。したがってこの目的のために、技術要求テーブルの中のこれら3項目の要求値はすべて、明確に定義された要求値ではなく、「ガイドライン」として示した。[\[補助資料に含まれる Gossmann による“Abruptness” report にリンク。\]](#) しかしながら一般的に言えば pMOS では、急峻さがクリティカルな値を満足しないと、寄生抵抗低減効果は限定的であることが、感度シミュレーションから分かっている。したがって、あるクリティカルな値を超えた急峻さの改善は、わずかな改善しかもたらさない。より一層の改善は望めなくなるような、最小の急峻さがあるということも言われている。一方、nMOS においては接合が急峻なほどソースエクステンション端での注入速度を高めることができるので、ドライブ電流を高めることができる。したがって nMOS では、急峻さが求められ続ける。ドレインエクステンションシート抵抗や横方向の急峻さを導出した現在のモデルは未だプリミティブなものであって、将来のモデルの高度化に伴って要求値も進化、変更される可能性があることに注意してほしい。この内容についての詳細は、サポート資料に示した[\[リンク資料あり\]](#)。

縦方向にも横方向にも急峻な、極めて浅いソース・ドレインエクステンション接合の形成には、ドーピング材料を注入するための、新しく革新的な方法を開発するだけでなく、極めて少ないサーマルバジェットでの熱活性化プロセスの開発も必要となる。これは、注入されたドーパントの活性化に伴う増速拡散をできるだけ抑えるために必要とされる。現在研究対象となっている方法は、図 47 の potential solutions に示されている。これらの方法は、CMOS プロセスフローに対して、コストの大きな増大を招くかもしれない。したがって、横方向および縦方向の急峻さによりもたらされるメリットの増加を、コスト面における損失に対して、注意深く

評価する必要がある。エクステンション部の、縦方向、横方向不純物プロファイルの位置および形状をモニターするためには、サブナノメートルの空間分解能の2次元計測手法が必要になる。

2008年、およびそれ以降に想定される非バルクMOSFETにおいては、デバイスの駆動電流を最適化し、閾値電圧を安定化させるために、ドーピングプロセスには変更が必要になる。クリティカルなドーピング接合深さに関するパラメータは、活性なシリコン層の厚さによって決定されるようになり、したがって課題からは外れてくることになる。例えば (ultra-thin body デバイスと呼ばれるものも含め、) 完全空乏 SOI デバイスにおいては、シリコン活性層に要求される厚さは、ノミナルで $0.3\text{--}0.4\text{ Lg}$ (Lg =物理ゲート長)の程度となる。FINFET のようなダブルゲートデバイスでは、ノミナルで、この活性層の厚さの2倍が要求される。これらのデバイスでは、短チャネル効果の制御のためのチャネルドーピングは必要とされず、真性の、ドーピングされていないシリコンチャンネルが用いられる。しかしながら、ゲート/ドレインのオーバーラップ (あるいは逆向きのアンダーラップ) を最適化するためのゲートエッジ付近のドーピングの正確な制御、あるいは寄生抵抗の管理は、重要な課題であることに変わりはない。

コンタクト

自己整合シリサイドコンタクトシャントも含めたコンタクトを形成するための新しい材料やプロセスが開発されない限り、コンタクト面積、ソース/ドレインの接合深さ、そしてシリサイドコンタクトの厚さのスケーリングは、寄生抵抗の増大を引き起こす。コンタクト接合深さ、シリサイドの厚さ、そしてシリコン/シリサイド界面コンタクト抵抗率の間での相互の最適化を必要とする、相互に関連した複数のスケーリング上の課題が存在する。コンタクト接合深さには、halo 注入をうまく利用したとしても、表 71 に示したような、ゲート長に対応したスケーリングが必要となる。この結果として、コンタクト深さの継続的な縮小は、シリサイドの形成にとって有用であり続けている。コンタクトリーク電流を抑えるためには、シリサイド形成の際の消費を、多くともコンタクト深さの半分だけにする必要がある。したがって将来のコンタクトにおいては、さらに浅くなるコンタクト接合深さに対応できるように、シリサイドもさらに薄くする必要がある。しかしながらシリサイドは、ある厚さ以下になると不連続となる傾向があり、したがって適切なコンタクトシャントが取れなくなるため、この薄膜化はいつまでも有効であるわけではない。

自己整合ニッケルモノシリサイドコンタクトの導入は、この問題に対する短期的な解となる。この材料は、現在使われているコバルトダイシリサイドと比較して、シリサイドの形成時にシリコンの消費量がノミナルで半分で済む。長期的にはこの問題は、シリコンエピタキシャル層を選択堆積し、シリサイド形成時より多くのシリコンを消費できるようにすることで乗り越えられる。しかしながらこれまでに議論したように、選択エピタキシャル堆積は、サイドウォールスパーサーに対して、完全さと高い許容度を、さらに高いレベルで必要とする。これ以外のコンタクトのスケーリングに伴う問題は、コンタクト面積の横方向のスケーリングに起因する。この結果として、シリサイドとコンタクト面のドープトシリコンとの間の界面のコンタクト抵抗率は、全ソース/ドレイン寄生抵抗の中でも重要な要素のひとつとなる。

この課題に対しての解決のためには、シリコン/シリサイド界面で活性不純物濃度を最大にすること、あるいはコンタクト接合において、シリコン/ゲルマニウムのような、金属/半導体バリアハイトが低い材料の採用が必要になる。コンタクトへのシリコンゲルマニウムの選択堆積の採用や、コンタクト領域のドーピングプロファイルの制御は、このような課題に対する解となる。しかしながらこれらのプロセスは、pMOS と nMOS とに対

して異なったドーパントを必要とし、CMOS のインテグレーションにおいては新たな課題を突きつけることになる。このようなインテグレーションに対する課題は、コンタクト領域と同様に、トランジスタのゲートにもドーピングし、シリサイドを形成しなければならないということから、さらに困難となる。また短期的な期間の中で採用が予想される high-k ゲート絶縁膜材料の導入からも、新たな課題が発生する。High-k 材料候補に依存して熱工程が限定され、この結果としてコンタクトの形成とシャントプロセスの構築に大きく影響する。メタルゲート (pMOS と nMOS とに仕事関数の異なる 2 種の金属が必要) の導入も同様に、コンタクトとシャントに対してさらに制約条件を設けることが予想される。

65nm ノードより先では、CMOS トランジスタ構造がプレナー構造のシングルゲート完全空乏型、あるいはマルチゲートの完全空乏型に変わることが予想され、この結果として高濃度にドーピングされたコンタクト構造を伴う、薄く、縦方向に複数のチャンネルに対するコンタクトの形成が新たな課題となる。このような 3D 構造に対して信頼性の高いコンタクトを形成するという複雑なプロセスのためには、コンタクト技術に関するいくつかの素早い技術革新が新たに必要になる。コンタクト構造での直列抵抗の制御は、これまで通りに最大の課題である。プレナー構造のシングルゲートのトランジスタでは、大幅な抵抗上昇を引き起こすことなく、エレベーター型コンタクトの導入を避けることはできない。同様に、ダブルゲートトランジスタにおいて、寄生抵抗の要求低減値を実現するために、コンタクトシャントへの巧妙な選択エピタキシャル成長の適用に関する多くの研究報告がなされている。CMOS インテグレーションに関する全ての課題、デュアルドーピングが必要であり、またエピタキシャル成長によって持ち上げたコンタクトにどのようにドーピングするかなどは、重要な開発項目として残っている。

ゲート電極

ポリシリコンゲート電極にも近い世代のスケーリングに大きな課題がある。これは表 71 の中の“Depletion: required EOT based on gate choice”と書かれた行に示されている。このデータは、メタルゲートも含め、さまざまなチャンネルとポリシリコンゲート電極のドーピング濃度の場合について、C-V のモデリングを行なった結果から得られている。カーブフィッティングは、ポリシリコンの空乏層、およびチャンネルの量子層の EOT に対する寄与に基づいて行なっている。したがって特定のノードに対する EOT は、与えられたチャンネルとゲートポリシリコンへのドーピング量に対して、そのノードの実効膜厚 (CET) を得るために必要となる実効膜厚を示すことになる。このアプローチはポリシリコンへのドーピングと、ゲート絶縁膜の EOT の間に存在するトレードオフを、あらわに示してくれる。EOT の値において赤く示してある箇所は、high-k ゲート絶縁膜材料の導入が必要であることを示している。このモデルによれば、メタルゲートの導入によって high-k ゲート絶縁膜の導入が要求される時期を 2009 年まで遅らせることができること、また一方ポリシリコンゲート電極が $1 \times 10^{20}/\text{cm}^3$ のドーピングレベルであった場合には、high-k ゲート絶縁膜の導入が要求される時期を 2006 年とすることが、表 71 から明らかである。この議論からは、仮にポリシリコンのドーピングレベルを上げることができれば、high-k 材料の必要時期を遅らせてもよいとも言える。結局のところ、ポリシリコンの空乏化によるゲート絶縁膜の実効的な膜厚増加、および p+ポリシリコンゲートからのボロンの突き抜けによるチャンネルへのボロンのドーピングの問題から、65nm 世代より先において、現在用いられているデュアルゲートポリシリコン技術は次第に使えなくなってくる。

チャンネル

継続的にゲート長を縮小しつつ、オフ状態のリークを許容値以下に保つ必要から、プレナーCMOS トランジスタ、特に極小デバイスにおいては、ショートチャンネル効果を制御するために、チャンネルドーピングレベルの増大が必要になる。横方向、縦方向双方のプロファイルの正確な制御はますます強く要求され、ドーピングツール、プロセス、分析手法に関する新たな課題が現れる。短期的には、現実的なゲート絶縁膜として high-k 材料が使えないこと、およびポリシリコンゲート電極中のドーピングレベルの限界からくるゲートの空乏化の問題があることによって、ゲート絶縁膜が理想的な値よりも控えめにしかスケーリングされないため、これらのスケーリングに伴う問題はより激しいものになる。ハイパーフォーマンスのロジックデバイスにおける駆動電流の増加によって回路スピードが速くなることから、短期的な(2004年の90nm技術世代)には、キャリア移動度を増加させ、ショートチャンネル効果を制御するために高くなったチャンネルドーピングレベルによって低下傾向にある移動度を補償するため、歪み Si チャンネルの導入が加速される。

バルク Si や部分空乏 CMOS トランジスタにおける閾値電圧のスケーリングに伴う、オフ状態でのリーク電流の本質的な増加によって、最終的にはチャンネル材料、あるいは何らかの構造を有する完全空乏、マルチゲートトランジスタのようなトランジスタ構造を変化させることが必要となる。完全空乏 CMOS トランジスタの導入(より詳細な議論は PIDS の項を参照)は、65nm 世代の先の、大体 2008 年と予想される。完全空乏のためのチャンネル設計としては、真性の、アンドープシリコンの利用が望まれる。ドレインからの電気力線はゲートで終端され、したがって DIBL やそれに伴う短チャンネル効果の影響をソースが受けなくなるため、シングルゲートやダブルゲートの完全空乏構造で、これを達成することができる。このアプローチによって、チャンネルドーピングに伴うキャリア移動度の低下を避けることができるが、閾値をゲート電極の仕事関数のみによって制御しなければならなくなる。CMOS のインテグレーションのためには 2 種の仕事関数のゲート電極が必要となるが、両方の仕事関数ともバンドギャップの中心付近に位置するため、有望な解と考えられるのは、単一のメタルを用いて、例えばドーピングのような方法を用いて仕事関数をわずかに変える方法であろうと考えられる。

シングルゲートの完全空乏 CMOS トランジスタを設計するにおいて、チャンネルの厚さはバルク Si や部分空乏トランジスタのソース/ドレインエクステンションと同程度にスケーリングする必要がある。閾値電圧を制御するために必要な、チャンネルの厚さの制御(25nm 以下のゲート長のデバイスで 10nm のオーダー)を 5% のレンジ(これは Si の格子定数と同じ)で行なうことは、SOI ウェーハの製造や、完全空乏 CMOS デバイスを作るためのプロセス制御に対する重要な課題となる。シングルゲートの完全空乏 CMOS トランジスタから、マルチゲート構造に移ることで、チャンネルの厚さのスケーリングは緩和される。これは、表 71 のドレインエクステンションの推移に連動しながら、40nm 技術ノード(2011)においてはデュアルゲート技術が使われるとの予測に基づき、チャンネルの厚さのトレンドが 2 倍になっていることに反映している。完全空乏チャンネルの構造をトリゲートあるいはサラウンドゲート構造としていくことにより、駆動電流をさらに向上することはできるが、製造プロセスをさらに複雑化しなければならなくなる。

3-D トランジスタの導入に伴う、高濃度ドーパされたコンタクト領域からの真性チャンネルへのドーピング方法の最適化、マルチゲート構造において高電界となっているチャンネル端におけるサブスレショルドリークの低減、プロセス工程が増加することに対する解決策などは、マルチゲートの完全空乏 CMOS トランジスタを順調に生産を始めるまでに、対策されている必要がある。これらの課題は、今後予想される high-k ゲート

絶縁膜や 2 種の仕事関数を有するメタルゲート材料に加えて、今後の 5～7 年のうちのトランジスタ技術における革新的変化の構成要素となる。

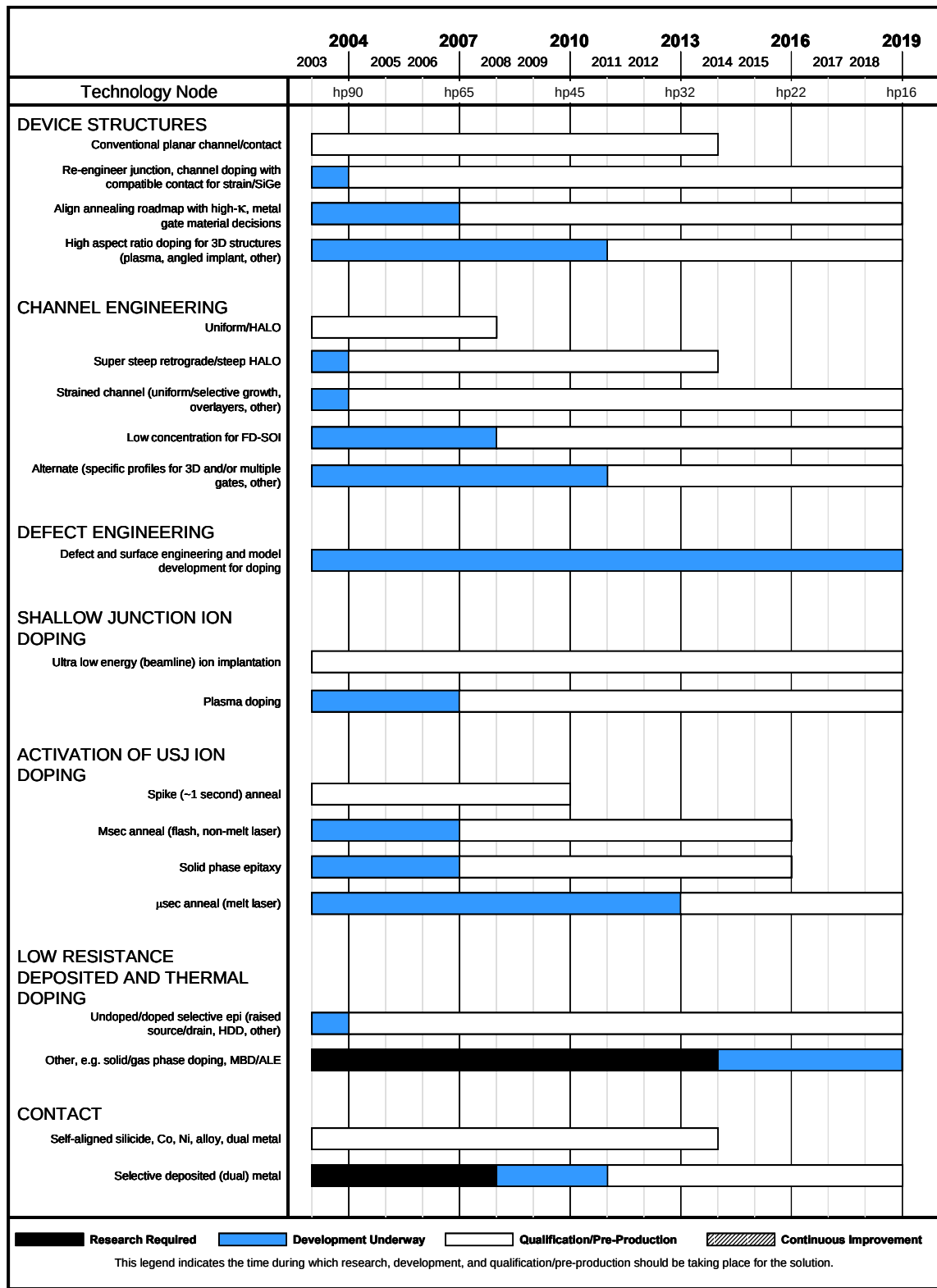
技術候補

図 47 の「Doping Potential Solutions」の中の最初の 2 つの章は、PIDS の章で議論されている「Key Innovations」を実現するための方法を挙げている。「Device Structures」カテゴリーでは、新しいゲートスタック、基板材料、あるいは非プレナーのデバイス構造の導入に伴う、ドーピングやコンタクトのインテグレーションを実現するために、予想されるプロセス上の解決策を強調している。このような変更の最も大きな影響は、変更のタイミングか、あるいは革新的プロセス技術の導入よりもむしろ、すでに表に示されている解決策を適用することから生じる。「Channel Engineering」カテゴリーでは、進んだデバイス構造において、閾値電圧と、チャンネル移動度と、サブスレッショルド電流の要求を同時に満足する、明確なドーピングと堆積に関する解決策を示している。歪みチャンネル技術が、高濃度にドーピングされたスーパースティープレトログレードチャンネルや、あるいはその先の FDSOI やマルチゲートデバイスでの低ドーピング濃度層を組み合わせながら、ほとんどすべてのデバイスに応用されていくものと思われる。

技術候補の次の 4 つのカテゴリーは、急峻な極浅接合の形成について示している。ビームラインを有するイオン注入と熱処理の進歩は、予見できる将来の範囲内では継続する。しかしながら、新たなデバイス構造に対して、さらにイオン注入を補完するようなオプションが必要となる。ビームラインを有するイオン注入の進歩は、高いアスペクト比を有する構造に、高い角度で、高いドーズ量のイオン注入を行なう能力を含むものであり、またより大きなイオンクラスターの注入も含んでいる。熱処理のロードマップは、より短いゲート長に合わせて、シート抵抗と接合深さに加えて急峻さも要求されることから、ますます加速される。熱処理技術のロードマップには、プロセスの時間の短縮という、拡散を伴わない接合形成とも言えるような明らかな解決策がある。短期的には、スパイクアニールは接合形成に最も有望な技術であり、ミリ秒の熱処理は今だ開発段階にある。熱処理と組み合わせられたプラズマドーピングや、選択堆積による接合形成は、高いアスペクト比を有する、三次元構造のデバイスに最も有望な技術となる。これと関係するのが「Defect Engineering」のカテゴリーであり、これまで主にボロンの拡散について観察されてきた、さまざまな増速拡散やドーパントの偏析を、緩和、あるいは利用するアプローチを示している。

解決策のカテゴリーに示された、「Low Resistance Deposited and Thermal Doping」は、極浅接合の形成のためだけでなく、レイズドコンタクトや歪み制御技術のための選択堆積を含むことにも注意が必要である。90nm ノードにおいて選択堆積が期待されるのは、極浅接合技術よりもむしろこのような応用に対してである。さらに、この中では、現在の表で示されるよりも先の世代における、ドーパントの導入技術として可能性のある技術も示している。

図 47 のコンタクトのカテゴリーでは、シリサイドの材料が選択肢となるとしても、自己整合的金属シリサイドは現役の技術であり続けることが示されている。NiSi が 65nm ノードまでの間、広く使われる一方で、NiSi の先の材料は不透明なままである。スケールに伴うコンタクト抵抗の課題を満足するためのメタルコンタクト構造への移行は、この 10 年間はないものと思われる。



フロントエンド・エッチング・プロセス

クリティカルディメンション(CD)の縮小とプロセス制御は、依然として FEP エッチング技術の鍵となる課題である。高誘電率(high-k)ゲート絶縁膜やメタルゲートなどの新しい材料に加えて、ウェーハの大口径化(300mm)や新世代フォトレジストが、その課題を非常に難しいものとしている。更に、レジストトリムのような他の CD 縮小技術が、光近接効果補正(OPC)や位相シフトマスク(PSM)などの高度なリソグラフィ手法の代わりに若しくはそれらと組み合わせて、現在生産に使用されている。詳細は補足資料のエッチングワークシートを参照。

要求される制御レベルを達成するためには、エッチング装置は多くの基本設計特性値を満足しなければならない(FEP 表71a 参照)。CD のエッチング均一性はチャンバ設計に強く関係しており、相対的に低いバイアス電圧で、均一なガス分布と、特に均一なプラズマ分布を両立することが基本的に求められる。補整効果によって均一性を改善することは可能であるが、これは本質的にプロセスウインドウを狭くしてしまうため、容認できない再現性のリスクを招く。ウェーハエッジでの形状は従来からの問題点である。エッジ形状制御はウェーハサイズには依存せず、一般的に装置設計の主要な課題の 1 つとみなすことができる。非常に均一なプラズマがチャンバの径方向に沿って形成されたとしても、形状の均一性を得るためには、ウェーハエッジでの異常を考慮したエッジ補整が必要となる。理論的には 2nm 以下のレベルの CD 制御はさまざまな方法で達成し得るが、最終的には、垂直かつ滑らかなエッジ形状で良好な選択比制御と最小のマイクロローディングを示すダメージフリープロセスでなければならない。特に重要なのは、下地のシリコンにダメージを与えることなく、ゲートエッチングを制御して終了させることに関係しているダメージフリープロセスである。クリティカルディメンションの縮小と新規ゲート絶縁膜の導入にともない、この要求を満たすことがますます困難になっている(図48参照)。非常に薄いゲート絶縁膜上でエッチストップさせるための in-situ エッチングモニタリング及び形状制御のためのフィードフォワード／フィードバックの統合したメトロロジ(Integrated Metrology)は、1nm 以下の CD 制御を達成するために用いられる標準的な技術になるかもしれない。

上述した CD 制御とエッチング特性の要求は、high-k 絶縁膜やメタルゲート構造のような新規材料に対しても達成しなければならない(図48参照)。エッチング装置とプロセスは、これらの新材料を扱わなければならないばかりでなく、限られた熱安定性によって決められる新しいプロセスアーキテクチャに適合する必要があるだろう。先進のエッチング技術を提供することを目的として多くのプラズマ源が開発されてきた。しかしながら、一般的にいて、最適な結果が得られるプラズマ密度は $\sim 10^{11}/\text{cm}^3$ の領域である。装置とプロセスの開発は、いくつかの方向性を取ることになるだろう。ECR と ICP によるプロセスの発展が継続されることが期待され、新しいゲート材料を扱うのに必要な特性が開発されるであろう。メタルゲート電極のエッチングで生じる特殊な不揮発性の副生成物に対応するように、新しいエッチング手法が求められるだろう。このような開発は、総合的な装置のロバスト性、特に MTBC と MTTC に付随的な影響を与える。これらの開発は、high-k ゲート絶縁膜が低待機電力デバイスに必要とされる 2006 年までに完了されなければならない。したがって、メタルゲート電極のエッチングプロセスと装置はすぐに必要とされるだろう。ダメージに敏感になることに対応して、エッチングの終了時点やオーバーエッチに使用するステップとして、ケミカルダウンストリームエッチング、ニュートラルストリーム、または他の革新的なエッチング技術の研究開発が必要である。これを念頭に入れてパルスプラズマを用いた開発が進行中である。理想的には、コスト的な理由で技術的観点からではないかもしれないが、新規ゲート材料に対応するばかりでなく、先進のチップアーキテクチャ

によって起こりうる厳しいダメージ要求にも対応できるエッチング装置を開発するべきである (図 48 参照)。

線幅の縮小に従って、ライン端の荒さ(LER: line edge roughness)の存在は、エッチングされたゲートの傾斜角とともに、CD 制御に対してますます重要なものとなっている。LER がゲートリークに影響を与えているといういくつかの証拠もある。リソグラフィとエッチングの両方が LER に影響を与え得る。ゲート材料、フォトリジストのタイプとエッチングケミストリの選択すべてが、LER の程度を左右する。この量の制御目標値を決めるためには、LER のデバイス性能への影響をよりよく理解しなければならず、また、関連する測定の方法と装置も開発しなければならないだろう。

プリントされた後のレジストトリムは、ゲートの物理的寸法を縮小するために、OPC や PSM などのリソグラフィ技術の代わり若しくはそれらに加えて生産現場で使用されている。また、トリミングによって、全体を通しての形状と CD が要求値を満たすように、ウェーハ内や疎密間の線幅のバラツキを次のステップで補正することが可能となる。フレキシブルな FEP エッチング装置とプロセスがここでは必須である。ウェーハ上でレジストの幅を均一に縮小することに加えて、レジストの高さを過度に低くしてはならないこと、また、下地ハードマスクにパターンを写す際に、選択性に関する問題が起きるであろうことに注意することが重要である。他に考慮すべき問題はコーナーのファセッティングである。全体にわたってレジストの高さが損なわれていなくても、ファセッティングが、実効的な高さを低くすることによって、必要とされる選択性を得ることをより困難にしている。現行の知見の多くは、248nm レジストタイプを用いて得られているが、193nm レジストにおいてもかなりの生産実績が得られてきた。157nm 世代では、レジスト材の厚さは著しく減少し(200nm [157])、そして、これらの材料のエッチング耐性が劣っていることにより、エッチレートと選択比に関する問題を付加している。このため、課題は著しくより困難なものとなる。レジストトリム問題に加えて、157nm の新しいレジスト材の多くは、低温でもレティクレーション(網状のしわ)することや、構造との不整合、表面の不規則性、そしてロバスト性の一般的な欠如のために、エッチングで問題となっている。多層レジスト技術もまた、より微細な形状を下地の材料へ写すことを可能にするために開発されている。

ゲートスタック材料の変更は、恐らく 2 段階で起こるであろう。最初は、high-k ゲート絶縁材料の導入で、それは窒化酸化膜ゲート絶縁膜の使用で既に始まっている。そして、次が、メタルもしくはメタルナイトライド・ゲート電極の導入である。シリコン酸化膜や窒化膜に代わる high-k ゲート絶縁膜は、低待機電力デバイス向けに 2006 年に要求されている。スケールが進み、熱酸化膜が 13 Å 領域まで薄膜化すると、ダイレクト・チャージ・トンネルリングにより許容できないほど大きなゲートリークが起こる。Hf オキシサイドのような開発中の high-k ゲート材料がこのようなリークを低減することができる。ゲート材料とリソグラフィとの相互作用が、良い CD 値を得るために極めて重大であることは、広く知られている。これらの新しい high-k ゲート絶縁材料は、化学的特性や物理的特性が異なるため、エッチングはより困難であろう。一方で、より強固なこの絶縁膜上でのエッチング止めは容易である。ウェットエッチングは、(SiO もしくは SiN 材料と比べて)膜が厚くなり、許容できないアンダーカット形状となり得るので困難であろう。明らかに、高い誘電率のゲート絶縁膜が導入されると、新たなエッチングの課題が出てくるだろう。メタルゲート電極材料もまた、CMOS インテグレーションの課題を提起するであろう。仕事関数に対する要求のために、P⁺ ポリシリコンの置き換え候補のメタルゲート材料(Ru, Ru/Ta, Pt, Ir, Ni)(訳注: 原文は Pt, Ir, Ni, Mn, Co であるが、図 46 に基づき訂正した)は、N⁺ ポリシリコンの置き換え候補のメタルゲート材料 (Ta/Ru, Ta_xSi_yN_z)(訳注: 原文は Ta, Zr, Hf, Ti であるが、図 46 に基づき訂正した)と異なるであろう。これらの材料は一般的にドープトポリシリコンよりも揮

発しにくい副生成物を出し、更に、それぞれ別個のエッチングプロセスが求められると考えられる。したがって、エッチングプロセスに関する CMOS インテグレーションはさらに困難になる。両方のゲートを同時にエッチングできるかどうかを検討しなければならない。一つの解が、選択的 CMOS ドーピングで使われているイオン注入マスクと同じように、保護のためのレジスト・オーバーコート／マスクの適用かもしれない。High-k 酸化膜上でダメージフリーに止めることができ、かつデュアルメタルゲートに対応したエッチングが究極のゴールである。

新しいゲート材料の導入により、欠陥の問題と直面する。欠陥密度とプラズマダメージに関係する FEP エッチングへの厳しい要求もまた満たされなければならない。現在のデバイス設計に対して、トンネル現象、ホット・エレクトロンやチャージングなどにより引き起こされるプラズマダメージはかなり理解されており、現在のデバイス設計と材料に関して特性が調べられている。新規材料の採用において、新しいダメージメカニズムに関連した新規の問題が発生するだろう。将来の欠陥密度の要求に応えるために、プラズマプロセスとエッチング装置から発生するパーティクルはかなり少なくまた小さくしなければならない。エッチングケミストリ、エッチングチャンバのデポジション制御及びチャンバメンテナンスに使われるクリーニング方法において改良が必要となるだろう。容認できるウェーハプロセス・コストと装置アップタイムに見合った範囲で、これらの要求を満たさなければならない。チャージングダメージを引き起こさないプラズマエッチング装置設計とプラズマプロセス条件を開発しなければならない。新しい high-k 材料および(または)積層ゲート絶縁膜材料には、マルチステップのエッチングプロセスの開発が必要となる。この要求は、種々の積層材料をエッチングするために同一のエッチングモジュールでガスケミストリを変更する必要性、または、メインエッチングステップでバルク材料をエッチングし、次に終了ステップ、さらにオーバーエッチステップと続くエッチングの必要性と言い換えることができるかもしれない。事前に終点を決定できるように、インターフェロメトリや同様の検知手法を用いることによって、メインエッチが終了する前に被エッチング材の残りの量を測定することが強く望まれる。更に、高選択性でダメージのないプロセスが必要とされる。

浅いトレンチ分離(STI)もまた、90nm 世代以降になると、挑戦すべきインテグレーションの課題がある。この世代では、従来からあるトランジスタのダブルハンプ効果の緩和を目的として STI トレンチのトップコーナーを丸めるために、熱プロセスではなくエッチング技術が使用され始めている。エッチング技術によれば、活性領域に侵入することがないという利点がある。この応用において、インテグレーションの課題は、トップコーナーとボトムコーナーの丸め半径の制御、STI 壁スロープの制御、さらに高品質の酸化膜でトレンチをボイドなく埋めることである。これらの特性は、可変の STI ギャップ幅と可変の STI パターン密度に対して、CD 制御を維持した上で、コントロールされなければならない。

サイドウォールスペーサ幅の縮小とその寸法制御は、プラズマエッチングのもうひとつの課題である。スペーサ幅とオーバーエッチに対する敏感さは、スペーサエッチングプロセスの異方性だけでなく、ゲート電極形状や、スペーサ絶縁膜の堆積プロセスでの膜厚制御と堆積状態(コンフォーマリティ)の影響を受ける(FEP 表 71a と b 参照)。利用可能な限られたプロセス制御データを用いて、エッチングの観点からサイドウォールスペーサのスケラビリティを正確に評価することは難しい。ここでフィードフォワード／フィードバックの統合したメトロロジの活用がブレークスルーとなるであろう。

スタックキャパシタ構造を用いた将来の DRAM 世代に対応して、～25:1(訳注:原文は～15:1 であるが、

表 72a, b に基づき訂正した)の高アスペクト比コンタクトビア(HARC: High Aspect Ratio Contact)のエッチングを、エッチング後のエッチング残渣の効果的な除去とともに発展させ導入することはきわめて困難なことである。エッチストップと浅い接合へのダメージを抑制して CD と選択性を維持することが、重要な技術課題となるだろう。最善のデバイス・コンタクト抵抗やリークのために、極めて浅い接合に対する微細でかつ制御されたシリコン・コンタクトエッチングが望まれている。

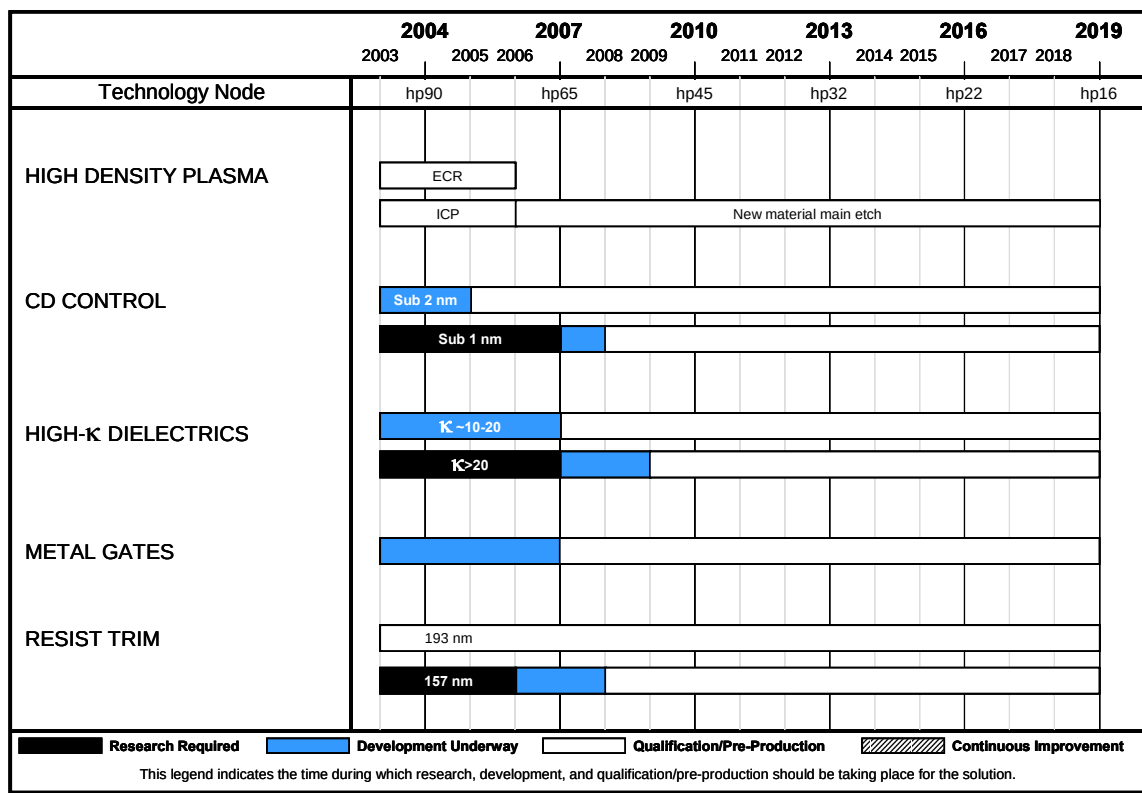


図 48 Front End Processes Etching Potential Solutions

DRAM スタック型キャパシタ

歴史的に、DRAM が 3 年ごとに 4 倍の容量を達成したのは以下の理由による。

1. 最小加工寸法の縮小 (2 倍)
2. チップサイズの拡大 (約 1.4 倍)
3. セルエリアファクタとセル効率 (全メモリセルエリア / チップサイズ) の改善 (約 1.4 倍)

しかしながら、チップサイズの拡大は経済的な理由により困難になっており、セルファクターの改善もレイアウトの物理的な限界が近づいていることにより鈍化している。この結果、4 倍容量の DRAM に代わって 64MbDRAM や 256MbDRAM のあとにそれぞれ 128Mb、512Mb といった 2 倍容量の DRAM が出現している。

DRAM キャパシタ技術は、キャパシタ膜並びにキャパシタ電極への新材料導入の局面を迎えている。表 72 に汎用 DRAM のスタックキャパシタに対する技術要求を示す。DRAM のセルサイズは設計ルール以上

の速度で微細化が進められており、180nm ノードでは少なくとも折り返しビットラインセル構造においての最小サイズである $8F^2$ (F : 加工寸法 (feature size)) のセル面積を達成している。表 72 の各数値は、DRAM の安定動作とソフトエラー耐性を確保するために、キャパシタの容量値は 25fF/cell(セル) を維持すると仮定して計算されている。

メガビット世代の初期では、キャパシタの容量絶縁膜材料に Si_3N_4/SiO_2 複合膜を用い、蓄積容量電極構造を 3 次元化することで、センシングとノイズ耐性を保証できる大きさの容量を維持してきた。しかしながら、130nm ノード以降ではこれらの材料や構造では上記容量値を確保することが困難となった。このために容量絶縁膜として、 Ta_2O_5 や Al_2O_3 等の新たな高誘電体材料が本テクノロジーノードにおいて導入された。上に述べた Ta_2O_5 は、比誘電率がある範囲の値を持っており、最も有望な絶縁膜の一つである。

130 nm ノードでは、下部電極にポリシリコン材料、高誘電体材料を用いた 3 次元キャパシタセル、および上部電極に金属材料を用いた構造を採用している (これは metal-insulator-silicon (MIS) 構造の一例である)。しかし、誘電体に Ta_2O_5 を用いてこのような MIS 構造を形成すると、 Ta_2O_5 の熱処理時に界面にシリコン酸化膜が成長することにより実効的な比誘電率は 22 になるため、90 nm (訳注: 原文は 130nm であるが、図 72a に基づき訂正した) ノードよりも後においては採用できない。一方、ストレージノードの下部電極に Ru や Pt などの金属が用いられた場合 (MIM 構造)、この酸化膜の介在がなくなることと Ta_2O_5 の結晶配向性が向上することにより Ta_2O_5 積層構造の比誘電率は 50 以上を達成することができる²⁰。このため、90nm (訳注: 原文は 130nm であるが、図 72a に基づき訂正した) ノードよりも後では MIM 構造が必要とされる。

90nm ノード以降においては、酸化に対する耐性の向上、および、望ましい微細構造の形成を目的として Pt, Ru, TiN, RuO_2 , IrO_2 のような金属や金属窒化物/酸化物がストレージノードの下部電極として必要となる。プロセス中のサーマルバジェット (Thermal budget) の観点からは、これらの電極材料は CVD 法を基本とする低温プロセスで堆積されるべきである。一方で、酸化雰囲気中で相対的に高い温度の熱処理を行うことも求められている。プロセス温度の低温化は、メタルがビットラインとして用いられた場合に、デバイスの特性劣化を最小限にするために必要となる。

90 nm ノード以降の DRAM キャパシタ技術では、キャパシタ膜のリーク電流低減の要求を満たすために、このような低い温度で高品質な膜を形成するプロセスを開発することがもう一つの困難な技術課題となる。また、バックエンドプロセスのプラズマダメージや還元雰囲気プロセスが高誘電体膜を劣化させないプロセス構築が要求される。

45nm ノードよりも後では、比誘電率が 60 を超えるような超高誘電率材料が要求されると考えられる。しかしながら、たとえ上記のような高誘電体膜材料の開発に成功しても誘電体膜形成後のストレージノードのアスペクト比が、上部電極形成プロセスの限界を超えキャパシタを形成できなくなる可能性が指摘されている。そのため、45 nm ノードおよびそれ以降においては、材料およびプロセスの開発に加えて、ゲインセル構造のような新しいメモリーセルのコンセプトが必要となるであろう。

²⁰ K.Kishiro, et al. *Jpn. J. Appl. Phys.* Vol.37 (1998) pp.1336–1339.

22 nm ノードよりも後においては適切なチップサイズを維持するためにセルサイズは $6F^2$ よりも小さくすることが必要となる。クロスポイントセルのような新しいセル構造が望まれている。加えて、比誘電率は 100 が必要である。

一方、DRAM を混載した SOC に要求されるプロセス仕様は、メモリ/ロジックの構成比により異なってくる。混載 DRAM のキャパシタ容量への要求は汎用 DRAM ほどには厳しくないと考えられる。SOC における困難な課題の一つは、コンタクトホール形成である。一般に、DRAM のコンタクトホール深さは、同世代のロジックと比べて比較的深く、極端なアスペクト比増大を避けるためホール径を拡大せざるを得ない。これにより、同世代ロジックと同じ配線ピッチを実現することが困難となる。したがって、ロジックを優先させた SOC では、コンタクトのアスペクト比を低減させるため、セル面積の拡大によりキャパシタ高さを抑えるなどの工夫が必要になってくる。一方、DRAM を優先させた SOC では、DRAM のホール径に応じたロジックの配線ピッチを設定しなければならない。このコンタクトビア密度の問題を解決するためには、さらにいくつかのブレークスルーが SOC では求められる。

表 72a DRAM Stacked Capacitor Films Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm) [A]	100	90	80	70	65	57	50
Cell size factor a [B]	8.0	8.0	7.5	7.0	7.0	6.0	6.0
Cell size (μm^2) [C]	0.08 =0.2×0.4	0.065 =0.18×0.36	0.048 =0.16×0.3	0.034 =0.14×0.25	0.030 =0.13×0.23	0.019 =0.114×0.17	0.015 =0.1×0.15
Storage node size (μm^2) [D]	0.030 =0.1×0.3	0.024 =0.09×0.27	0.018 =0.08×0.22	0.012 =0.07×0.18	0.011 =0.065×0.16	0.006 =0.057×0.11	0.005 =0.05×0.1
Capacitor structure	Cylinder MIS	Cylinder MIS/MIM	Cylinder /Pedestal MIM	Cylinder /Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM
Capacitor dielectric material	ALO/TAO	ALO/TAO	ALO/TAO	ALO/TAO /others	ALO/TAO /others	ALO/TAO /others	ALO/TAO /others
$t_{eq@ 25fF}$ (nm) [G]	3.5	2.3	1.8	1.4	0.8	0.8	0.8
Dielectric constant	22	22	40	50	50	50	50
SN height (μm)	2.1	1.5	1.4	1.4	1.2	1.6	1.8
Cylinder factor [E]	1.5	1.5	1.5	1.5	1.0	1.0	1.0
Roughness factor	1.0	1.0	1.0	1.0	1.0	1.0	1.0
Total capacitor area (μm^2)	2.57	1.66	1.29	1.01	0.56	0.55	0.55
Structural coefficient [F]	32.1	25.6	26.8	29.5	18.8	28.4	36.3
$t_{phy. @ 25fF}$ (nm) [H]	14.3	7.3	18.2	17.9	9.9	9.8	9.6
A/R of SN (OUT) for cell plate depo. [I]	29.4	19.9	32.1	39.4	26.5	42.8	58.6
HAC diameter (μm) [J]	0.12	0.11	0.10	0.08	0.08	0.07	0.06
Total interlevel insulator and metal thickness except SN (μm) [K]	0.90	0.86	0.84	0.81	0.78	0.75	0.73
HAC depth (μm) [L]	3.00	2.36	2.24	2.16	1.98	2.35	2.53
HAC A/R	25.0	21.9	23.3	25.7	25.4	34.4	42.2
Vcapacitor (Volts)	1.8	1.7	1.6	1.5	1.4	1.3	1.2
Retention time (ms) [M]	64	64	64	64	64	64	64
Leak current (fA/cell) [N]	1.05	1.00	0.94	0.88	0.82	0.76	0.70
Leak current density (nA/cm ²)	41.1	60.1	72.9	87.0	147.4	137.6	129.0
Deposition temperature (degree C)	~500	~500	~500	~500	~500	~500	~500
Film anneal temperature (degree C)	~800	~800	~750	~750	~750	~750	<750
Word line Rs (Ohm/sq.)	5.0	3.0	2.0	2.0	2.0	2.0	2.0

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known

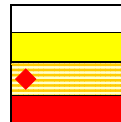


表 72a と 72b の注釈

[A] 2003 Overall Roadmap Technology Characteristics, 表 1a and b

[B] $a = (\text{セルサイズ})/F2$ (F : 最小加工寸法)

[C] セルサイズ = $a \cdot F2$ (セルの短辺 = $2F$)

[D] SN サイズ = $(a/2 - 1) \cdot F2$ (SN 短辺 = F)

[E] シリンダー構造によりキャパシタ面積が 1.5 倍に増大する

[F] $SC = (\text{キャパシタ総面積}) / (\text{Cell size})$

[G] $teq = 3.9 \cdot E0 \cdot (\text{キャパシタ総面積}) / 25fF$

[H] $t_{phy.} = teq \cdot Er / 3.9$ 下部電極にポリシリコンが使用された場合には、
 $t_{phy.} = (teq - 1) \cdot Er / 3.9$

[I] $A/R \text{ of SN (OUT)} = (\text{SN 高さ}) / (F - 2 \cdot t_{phy.})$

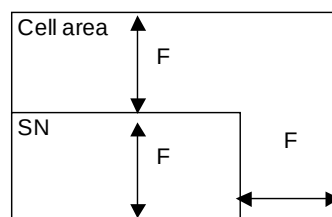
[J] HAC 径 = $1.2 \cdot F$ (HAC: High Aspect Contact: 高アスペクトコンタクト)

[K] 180nm ノードにおける膜厚を $1.05 \mu m$ と仮定した (世代毎に 10% の減少)

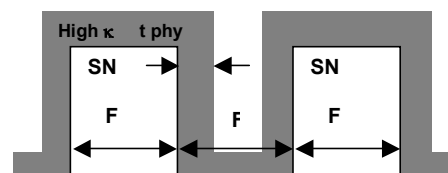
[L] HAC 深さ = SN 高さ + 層間絶縁膜と金属の総膜厚

[M] DRAM リテンションタイム (PIDS)

[N] $(\text{検出限界} \cdot C \cdot V_{dd} / 2) / (\text{リテンションタイム} \cdot \text{マージン})$ (検出限界=30% leak, マージン=100)



Notes[C] & [D] Cell area and Projected SN



Note [I] A/R of SN (OUT)

表 72b DRAM Stacked Capacitor Films Technology Requirements—Long-term

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm) [A]	45	35	32	25	22	18
Cell size factor a [B]	6.0	6.0	6.0	6.0	6.0	5.0
Cell size (μm^2) [C]	0.012 =0.09×0.14	0.007 =0.07×0.11	0.006 =0.064×0.1	0.004 =0.05×0.08	0.003 =0.044×0.07	0.0016 =0.036×0.05
Storage node size (μm^2) [D]	0.004 =0.045×0.09	0.002 =0.035×0.07	0.002 =0.032×0.06	0.001 =0.025×0.05	0.001 =0.022×0.04	0.0005 =0.018×0.03
Capacitor structure	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM	Pedestal MIM
Capacitor dielectric material	ALO/TAO /others	ALO/TAO /others	ALO/TAO /others	new material	new material	new material
$teq@25fF$ (nm) [G]	0.7	0.6	0.5	0.4	0.4	0.25
Dielectric constant	50	60	60	80	80	100
SN height (μm)	1.9	2.0	2.0	2.0	2.0	2.0
Cylinder factor [E]	1.0	1.0	1.0	1.0	1.0	1.0
Roughness factor	1.0	1.0	1.0	1.0	1.0	1.0
Total capacitor area (μm^2)	0.52	0.42	0.39	0.30	0.26	0.180
Structural coefficient (F)	42.6	57.5	62.8	80.3	91.2	111.4
$t_{phy.}@25fF$ (nm) [H]	9.2	9.0	8.2	8.5	7.5	6.4
A/R of SN (OUT) for cell plate depo. [I]	71.2	117.3	128.2	252.0	286.0	383.0
HAC diameter (μm) [J]	0.05	0.04	0.04	0.03	0.03	0.02

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

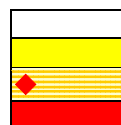


表 72b DRAM Stacked Capacitor Films Technology Requirements—Long-term (continued)

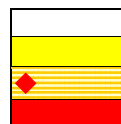
Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm) [A]	45	35	32	25	22	18
Total interlevel insulator and metal thickness except SN (μm) [K]	0.70	0.66	0.63	0.59	0.57	0.53
HAC depth (μm) [L]	2.60	2.66	2.63	2.59	2.57	2.53
HAC A/R	48.1	63.2	68.5	86.3	97.2	117.2
Vcapacitor (Volts)	1.1	1	0.9	0.8	0.7	0.6
Retention time (ms) [M]	64	64	64	64	64	64
Leak current (fA/cell) [N]	0.64	0.59	0.53	0.47	0.41	0.35
Leak current density (nA/cm ²)	124.7	138.7	136.6	155.6	154.8	194.8
Deposition temperature. (degree C)	~500	~500	~500	~500	~500	~500
Film anneal temperature (degree C)	<750	~650	~650	<650	<650	<650
Word line Rs (Ohm/sq.)	2.0	2.0	2.0	2.0	2.0	2.0

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



Year of Production	2003	2004	2005	2006	2007	2008	2009	2010	2012	2013	2015	2016	2018
DRAM ½ PITCH (nm)	100	90	80	70	65	57	50	45	35	32	25	22	18
Electrode [A]	metal												
high-κ dielectric	ON Ta₂O₅, Al₂O₃ Ta₂O₅, Al₂O₃, Others New Material												
Bottom Electrode [A] [B]	poly-Si metal												

[A] Metal: Ti, TiN, W, Pt, Ru, RuO₂, IrO₂[B] Perovskite: SrRuO₃²¹

図 49 DRAM Stacked Capacitor Potential Solutions

DRAM トレンチ型キャパシタ

図表 73a と 73b に DRAM トレンチキャパシタ技術に対する技術要求を示す。各数値はキャパシタの容量値を 35fF/cell(セル) で一定に保ち続けられると仮定して計算されている。さらに、セルサイズは 8F²を維持すると仮定している。セルサイズファクタ 8 以下を達成することは、スタック型およびトレンチ型のキャパシタを用いた DRAM のいずれにおいても、困難な技術課題と考えられる。

110 nm およびそれ以前のノードにおいて、トレンチキャパシタ技術は、トレンチ形状を最適化し、誘電体

²¹ N. Fukushima et al., IEDM Technical Digest, pp. 257–260, 1997.

材料としては従来の窒化膜/酸化膜を用いていることが特徴である。

100 nm ノードではボトル型トレンチ技術とトレンチ表面の凹凸形状形成技術が有望視されている。このような表面積増大技術により従来の窒化膜/酸化絶縁膜を 90 nm 世代まで延命することが可能となる。

80 nm 世代においては、高誘電体材料が導入されると期待されている。 Al_2O_3 は導入期に最も有望な材料である。これらの材料を高アスペクト比のトレンチに埋め込むために、Atomic Layer Deposition (ALD) が必要であると考えられる。²²また、より微細なデザインルールに対応するために、さらに比誘電率の高い高誘電率材料の研究が進められている。65 nm ノードにおいては、上部電極に金属を採用することが有望視されており、これまでの SIS 構造から MIS 構造へと技術転換が進んでいく。最終的には MIM キャパシタが 45 nm 世代では 1 つの選択肢になる。高誘電率材料は現在の技術ノード (≥ 110 nm) のスタック型キャパシタにおいて、すでに量産が行われている。²³トレンチ型 DRAM においても将来高誘電率材料を導入することが確実視されており、スケーリングにおける大きなアドバンテージとなる。

トレンチ技術により、機械的強度に優れた高アスペクト比のキャパシタ構造を実現することができる。80 nm 世代においては、デザインルールの微細化の結果、トレンチのアスペクト比 (トレンチ深さをエッチング後のトレンチ上部の幅で割った値) が $\sim 60:1$ にまで増大するが、すでにそのようなアスペクト比は実現されている²²。より微細なルールにおいては、さらにアスペクト比が高くなることが期待される。

2010 年にはこれまでのプレーナデバイスに替わって垂直方向に配置するトランジスタのような新しいセル構造が考えられている。垂直トランジスタを採用することで、デバイスの微細化に大きく貢献すると期待される。

混載デバイスに対しては、キャパシタが基板中に埋め込まれるトレンチキャパシタ技術では、DRAM セルアレイとロジック回路の遷移領域に段差が生じない。また、深いハイアスペクトコンタクトホール化の問題も避けることができる。加えて、キャパシタ形成プロセスがトランジスタ形成に先立って行われるため、キャパシタ形成の熱サイクルによるデバイス性能の劣化を抑えることが可能である。

²² M. Gutsche et al., *IEDM* (2001) 411.

²³ *Semiconductor Insights Report 0503-8222-FS41* (2003).

表 73a DRAM Trench Capacitor Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
DRAM Product	1G	1G	2G	2G	2G	4G	4G
Cell size factor	8	8	8	8	8	8	8
Cell size (μm^2)	0.08	0.065	0.051	0.039	0.034	0.029	0.02
Trench structure	bottled	bottled	bottled	bottled	bottled	bottled	bottled
Trench circumference (nm)	851	766	681	596	553	511	426
Trench area enhancement factor (bottle) [A]	1.65	1.65	1.65	1.65	1.65	1.65	1.65
Trench surface roughening factor	1.25	1.25	1.25	1.25	1.25	1.25	1
Effective oxide thickness (CET)(nm)	5	5	4.1	4.1	3.8	3.2	2.8
Trench depth [μm], (at 35fF)	5.9	6.4	6	6.7	6.6	6.2	7.7
Aspect ratio (trench depth/trench width)	45	55	58	73	78	79	93
Upper electrode	Poly-Silicon	Poly-Silicon	Poly-Silicon	Poly-Silicon	Metal	Metal	Metal
Dielectric material	NO	NO	High-κ	High-κ	High-κ	High-κ	High-κ
Bottom electrode	Silicon	Silicon	Silicon	Silicon	Silicon	Silicon	Silicon
Capacitor structure/dielectric		Silicon-Insulator-Silicon/NO	Silicon-Insulator-Silicon/High-κ	Metal-Insulator-Silicon/High-κ			

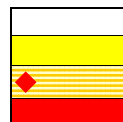
[A] Bottle factor = checkerboard square perimeter / conventional elliptical perimeter

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

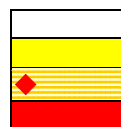


(訳注: DRAM Product 中の 2005 年 2G は 1G の誤りである。)

表 73b DRAM Trench Capacitor Technology Requirements—Long-term

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
DRAM Product	4G	8G	16G	16G	32G	32G
Cell size factor	8	8	8	8	8	8
Cell size (μm ²)	0.016	0.01	0.008	0.005	0.004	0.003
Trench structure	bottled	bottled	bottled	bottled	bottled	bottled
Trench circumference (nm)	383	298	272	213	187	153
Trench area enhancement factor	1.65	1.65	1.65	1.65	1.65	1.65
Trench surface roughening factor (bottle [A])	1	1	1	1	1	1
Effective oxide thickness (CET) (nm)	2.2	1.6	1.4	0.8	0.6	0.4
Trench depth (μm), (at 35fF)	7	6.5	6.2	5	4.6	4
Aspect ratio (trench depth/trench width)	94	113	117	121	125	136
Upper electrode	Metal	Metal	Metal	Metal	Metal	Metal
Dielectric material	High-κ	1: Epi-high-κ / 2: High-κ	1: Epi-high-κ, / 2: High-κ	1: Epi-high-κ / 2: High-κ	1: Epi-high-κ / 2: High-κ	1: Epi-high-κ 2: High-κ
Bottom electrode	1: Silicon	1: Silicon	1: Silicon	1: Silicon	1: Silicon	1: Silicon
	2: Metal	2: Metal	2: Metal	2: Metal	2: Metal	2: Metal
Capacitor structure/dielectric	1: MIS / (Epi)-high-κ 2: MIM / High-κ					
[A] Bottle factor = checkerboard square perimeter/conventional elliptical perimeter						

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known



(訳注: DRAM Product 中の 2013 年 16G は 8G の誤りである。)

不揮発性メモリ (フラッシュ)

フラッシュは、電氣的に書き込み消去可能な読み出し専用メモリ (Flash EEPROM) である。フラッシュのような不揮発性半導体メモリには、通常フローティングゲート型のメモリセルが用いられる。このメモリーセルは、シリコン基板内に形成されたソース、ドレイン領域とチャネル領域、およびチャネル領域とコントロールゲートの間に形成されるフローティングゲートから構成されている。フローティングゲートはトンネル絶縁膜 (酸化膜) により基板から分離され、さらに Poly-Poly 間絶縁膜によりコントロールゲートから分離されている。チャネル領域を低電圧に保ったままコントロールゲートに高電圧を印加するとセル内に電位差が生じる。この電位差によりトンネル効果として知られている現象で電子がチャネル領域からフローティングゲートに移動し、フローティングゲートが充電する。この電子の移動をプログラミングと呼ぶ。コントロールゲートとドレインまたはチャネル領域に反対向きの電位差を加えると、トンネル効果でフローティングゲートからドレインまたはチャネル領域に電子が移動するので、フローティングゲートは放電する。この電子の移動を消去と呼ぶ。

ITRS 2001 年版で初めて、NAND 型、NOR 型のフラッシュメモリーに対するロードマップが提案されたが、今回テクノロジー・ノードを明確に定義した。NAND 型、NOR 型それぞれの独自性に違いや、構成の違い

により、テクノロジー・ノードの定義、言い換えれば最小加工寸法の意味、が両者で必ずしも同じではないからである。

NAND フラッシュでは最適な最小加工寸法の定義は、メモリーセルのハーフピッチである。図 50 の例に示すように、ビットラインに平行にメモリーセルの断面を見たときに、2 層目ポリシリコン (ワードライン) のハーフピッチである。

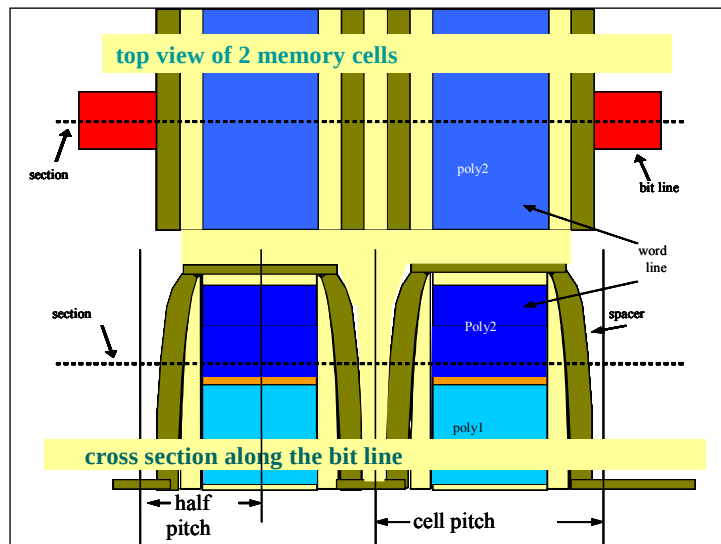


図 50 Minimum Feature Size of NAND Flash Memory

一方NOR型フラッシュでは、最小加工寸法の定義は各生産者間で用いているセル構造の違いにより異なり、簡単ではない。図 51 の例で示すように、NOR型フラッシュでは以下のような最小加工寸法の定義が用いられる。

- ・ 2 層目ポリシリコン (ワードライン) と平行に断面を見たときのメモリーセルのハーフピッチ
- ・ ワードラインに沿った方向に見たときの、一層目ポリシリコンの間隔
- ・ 最小のコンタクトホールサイズ

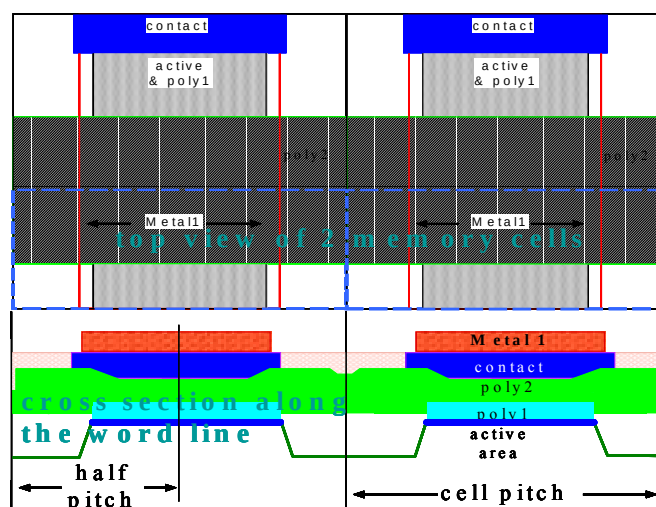


図 51 Minimum Feature Size of NOR Flash Memory

プログラム/消去特性の改善、低電圧化の要求に答えるため、フラッシュメモリーのような不揮発性デバイスのスケールングには、トンネル絶縁膜の絶え間ざる薄膜化が必要である。さらにメモリーセルのカップリング比の低下を避けるため、Poly-Poly 間絶縁膜の薄膜化も必要である。これらの要求に関連して最も重要な課題は、トンネル酸化膜が、要求されるプログラム/消去回数に耐えられることと、両方の絶縁膜が、デバイスの全動作条件において必要な電荷保持特性を保証できることである。現在の技術では、両方の絶縁膜は主に熱処理と CVD で形成する酸窒化膜を基にしているが、上で述べた絶縁膜のスケールングに対する要求事項を満足できないと考えられている。そこで、新しい技術と材料の導入が必要となる。図表 74a と 74b に示したテクノロジーロードマップは去年のものから大きな変更は無い。2002 年 ITRS 改訂版では、フラッシュメモリーの研究開発、量産化の加速を反映して、テクノロジー・ノードが見直された。年度単位で表示された表からは分からないが、現状ではフラッシュのロードマップはロジックからわずかに数ヶ月遅れている。さらに NAND デバイスのトンネル膜、Poly-Poly 層間膜の膜厚を大幅に見直した。今回の ITRS の改定ではトンネル膜、Poly-Poly 層間膜の膜厚のスケールングについて小修正が加えられた。

現在でもフラッシュ技術のスケールングの課題を解決する候補策については、内部のコンセンサスが得られているわけではない。今後の改訂版で取り扱われることが期待される。

表 74a FLASH Non-volatile Memory Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
Flash technology node (nm) [A]	107	90	80	70	65	57	50
Flash NOR tunnel oxide thickness (EOT-nm) [B]	9–10	8.5–9.5	8.5–9.5	8.0–9.0	8–9	8–9	8–9
Flash NAND tunnel oxide thickness (EOT-nm) [B]	7–8	7–8	7–8	6–7	6–7	6–7	6–7
Flash tunnel oxide thickness control EOT (% 3σ) [C]	<±3.5	<±3	<±3	<±3	<±3	<±3	<±2.5
Flash tunnel oxide minimum QBD @ 1×10^{-2} A/cm ² (C/cm ²) [D]	0.2	0.2	0.2	0.2	0.2	0.3	0.3
Flash tunnel oxide defectivity at minimum QBD (def/cm ²) [E]	<0.01	<0.01	<0.01	<0.01	<0.01	<0.01	<0.01
Flash tunnel low field leakage (nA/5V) [F]	100	100	100	100	100	100	100
Flash program/erase window ΔVT (V) [G]	>3	>3	>3	>3	>3	>3	>3
Flash erase time degradation t_{max}/t_0 [H]	<2	<2	<2	<2	<2	<2	<2
Flash program time degradation t_{max}/t_0 [I]	<2	<2	<2	<2	<2	<2	<2
Flash NOR interpoly dielectric thickness (EOT-nm) [J]	13–15	11–13	11–13	11–13	10–12	10–12	10–12
Flash NAND interpoly dielectric thickness (EOT-nm) [J]	13–15	13–15	13–15	13–15	10–13	10–13	10–13
Flash interpoly dielectric thickness control EOT (% 3s) [K]	<±6	<±6	<±6	<±6	<±6	<±6	<±6
Flash interpoly dielectric T_{max} of formation $t > 5' < 5'$ (°C) [L]	750/900	750/900	750/900	750/900	700/850	700/850	700/850
Flash interpoly dielectric conformality on floating gate EOT _{min} /EOT _{max} [M]	>0.95	>0.95	>0.95	>0.98	>0.98	>0.98	>0.98
Flash maximum charge loss 10 years at room temperature (V) – single/dual bit (%) [N]	20/10	20/10	20/10	20/10	20/10	20/10	20/10

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known

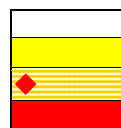


表 74b FLASH Non-volatile Memory Technology Requirements—Long-term

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
MPU/ASIC ½ Pitch (nm)	45	35	32	25	22	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
Flash technology node (nm) [A]	45	35	32	25	22	18
Flash NOR tunnel oxide thickness (EOT-nm) [B]	8–9	8–9	8–9	8	8	8
Flash NAND tunnel oxide thickness (EOT-nm) [B]	6–7	6–7	6–7	6–7	6–7	6–7
Flash tunnel oxide thickness control EOT (% 3σ) [C]	<±2.5	<±2.5	<±2.5	<±2.5	<±2.5	<±2.5
Flash tunnel oxide minimum QBD at $1 \times 10^{-2} \text{ A/cm}^2$ (C/cm^2) [D]	0.3	0.3	0.3	0.4	0.4	0.4
Flash tunnel oxide defectivity at minimum QBD (def/cm^2) [E]	<0.01	<0.01	<0.01	<0.01	<0.01	<0.01
Flash tunnel low field leakage (nA/5V) [F]	100	100	100	100	100	100
Flash program/erase window ΔV_T (V) [G]	>3	>3	>3	>3	>3	>3
Flash erase time degradation t_{max}/t_0 [H]	<2	<2	<2	<2	<2	<2
Flash program time degradation t_{max}/t_0 [I]	<2	<2	<2	<2	<2	<2
Flash NOR interpoly dielectric thickness (EOT-nm) [J]	8–10	8–10	8–10	6–8	6–8	6–8
Flash NAND interpoly dielectric thickness (EOT-nm) [J]	10–13	10–13	9–10	9–10	9–10	9–10
Flash interpoly dielectric thickness control EOT (% 3σ) [K]	<±5	<±5	<±5	<±5	<±5	<±5
Flash interpoly dielectric T_{max} of formation $t > 5' / < 5'$ (°C) [L]	650/800	650/800	650/800	600/700	600/700	600/700
Flash interpoly dielectric conformality on floating gate $EOT_{\text{min}}/EOT_{\text{max}}$ [M]	>0.98	>0.98	>0.98	>0.98	>0.98	>0.98
Flash maximum charge loss 10 years at room temperature (V) – single/dual bit (%) [N]	20/10	20/10	20/10	20/10	20/10	20/10

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

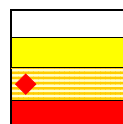


表 74a と 74b に対する注釈

[A] フラッシュデバイスのテクノロジー・ノードは CMOS に比べて遅れ気味である。この値がセル設計で用いられる F 値を規定している。

[B] トンネル酸化膜はリテンションの問題を引き起こさないように十分厚い厚さで、消去/書き込みを用意に行うことができるほど十分に薄い膜厚である。この難しさがフラッシュのスケールングを遅らせている。

[C] トンネル酸化膜厚の制御性は正確なプログラム電圧/消去電圧の幅を保証する値。

[D] 最小QBD値はフラッシュデバイスの書き込み/消去回数を保証する値。

[E] トンネル酸化膜の欠陥は書き込み/消去回数を保証する値。

[F] リークはリテンションを保証する値。

[G] プログラム電圧の分布の最小値、消去電圧分布の最大値の間隔。

[H] 書き込み/消去を規定回数の最大回行った後の消去時間の劣化。

[I] 書き込み/消去を規定回数の最大回行った後のプログラム時間の劣化。

[J] Poly-Poly 間酸化膜はリテンションを保証するのに十分厚い厚さで、セルのカップリング比をほぼ一定に保つように十分に薄い膜厚でなければならない。リテンションが Poly-Poly 間酸化膜をスケールングする上での主要問題

である。

[K] 正確なカップリング比と、リテンション特性に必要な最小膜厚を保証できる制御性。

[L] トンネル酸化膜とデバイスの劣化を起こさない、長時間 (5 分以上)、短時間 (5 分以内) の熱処理の最大温度。

[M] 均一なステップカバレッジがリテンション特性を保証するために重要。

[N] デバイスの動作を保証する値。

強誘電体メモリ (FeRAM)

(訳注: 汎用メモリのテクノロジ・ノードは2005年が0.15 μm に修正される予定である。よって、表 75aの2005年の欄は以下の値で読み替えて頂きたい。

Feature Size (μm): F1 (standard memory) : 0.15

Cell size (μm^2) (standard memory): 0.270

Projected capacitor size (μm^2): 0.16

Capacitor area (μm^2): 0.16

Minimum switching charge density ($\mu\text{C}/\text{cm}^2$) at V_{op} : 22.9)

FeRAM は ITRS2001 に新たに付け加えられたもので、FEP および PIDS、両テクノロジワーキンググループの協力による成果である。技術要求の重要事項の表 75a、75b および解決策候補のロードマップである図 52 は、学会発表論文その他の情報源、および FeRAM 研究者からの最新情報を用いて改訂された。

歴史的には、FeRAM は半導体メモリよりもっと早く提案されている。²⁴ しかしながら、強誘電体膜の信頼性に制限があり、キャパシタ形成が難しいため、現時点ではメモリ容量は汎用 DRAM の 1000 分の 1 程度でしかない。これら技術的困難さに加え、「キラー・アプリケーション」が欠如しているので、商用生産は進んでいない。そのため、表は技術レベルを示すために、大量生産品ではなく、「デモンストレーション・サンプル (訳注: 論文発表等の値)」に基づいている。FeRAM は、たゆまなく行われている強誘電膜等の材料開発に大きく依存するので、ここでの予測はどうしてもある程度推測的にならざるを得ない。それでもなお、技術の方向性と解決されるべき課題に関する戦略的な概観を示すため、このロードマップは 2003 年から 2018 年までを取り扱っている。この節では次の項目を論じた。即ち、1) メモリ容量、2) セルサイズ、3) 強誘電体材料、そして 4) 最小スイッチング電荷の見積り、である。

メモリ容量

表 75a に示す通り、2003 年のデモンストレーション・サンプルの容量は 32Mb である。²⁵ 長期的には、2005 年以降はメモリ容量の伸びはテクノロジ・ノードが 0.7 倍になるのに伴って、3 年ごとに 4 倍になると予測される。現在は FeRAM のプロセス技術は最先端メモリより大きく遅れている。従って、短期的 (2003-2005 年) には FeRAM の微細化は加速度的に進むと予測され、毎年テクノロジ・ノードが 0.7 倍でメモリ容量が 2 倍になる。この微細化の結果、128Mb の汎用メモリは 130nm (訳注: 上述の通り、150nm に修正予定) の技術を用いて 2005 年に現れると予測される。混載メモリの容量は応用に大きく依存するのでここでは示さないが、汎用メモリの 4 分の 1 程度である。

²⁴ J. L. Moll and Y. Tarui, *IEEE Trans. Electron Devices*, ED10, 338, 1963.

²⁵ Y. J. Song, H. J. Joo, N. W. Jang, H. H. Kim, J. H. Park, H. Y. Kang, S. Y. Lee, and Kinam Kim, 12B-1, *Symposium on VLSI Technology*, 2003.

セルサイズ

現在の主流のセル構造は 1 トランジスタ-キャパシタ (1T-1C) 型である。これは安定なデータの読み出しを保証するために必要であった 2T-2C 型セルを置き換えつつある。1T-1C 型は大容量の FeRAM を現実のものにするためには絶対条件の構造である。キャパシタ構造に関しては、平面キャパシタ型からスタック型構造に変更された結果、セルが小さくなった。通常のスタック型ではもはや必要な最小スイッチング電荷が得られないため、3 次元 (3D) 型のキャパシタは 2007 年に出現すると仮定した。キャパシタ構造の違いについては表 75a と 75b のところに図示してある。上述したセル構造とキャパシタ構造の変更によりセルファクター α は 2008、2009 年に 10 となり、その後 2010-2018 年の期間は一定で 8 となる。最先端の DRAM 技術の経験に学ぶことにより、さらに小さな 6 等の値も現れる可能性がある。

強誘電体材料の選択肢

現在数種類の強誘電体材料が評価されている。この膜は本デバイスの最も重要な特性を決めるものであるが、²⁶ 現時点では決定的な材料はまだない。現時点で優劣を争っている材料は 2 つある。PZT、即ち $\text{Pb}(\text{Zr}, \text{Ti})\text{O}_3$ と SBT、即ち $\text{SrBi}_2\text{Ta}_2\text{O}_9$ である。SBT は Pt の下部電極を用いた場合エンデュランス (読み書きの繰り返しに対する耐性) が優れており、抗電解 (Ec) も小さいので低電圧動作に向いている。そのため SBT は PZT (最初に生産で使用された) を置き換えるものと有望視された。しかしながら、PZT に比べて SBT は単位面積あたりのスイッチング電荷 Q_{sw} が小さく、これは重要な点であるが、スケールアップした時に最小スイッチング電荷を確保するのが難しくなる。また、膜形成以降のプロセスにより生ずる膜質劣化のため、置き換えが困難となる可能性がある。さらにインプリント特性は PZT の方が優れているという報告もある (インプリントは、メモリキャパシタで繰り返しデータ書き換えをすると、分極が反転しづらくなると定義される)。

PZT 膜と SBT 膜の最も重要な課題は、酸素欠損に起因するとされている膜質の劣化を抑制すること、安定したデータの読み書きを達成すること、それにデータ保持である。FeRAM を混載する場合にもプロセスの改善が必要である。強誘電体膜を結晶化するための高温酸素アニール後に、高温アニールや膜への水素侵入を避けることが重要である。たとえば、金属配線工程の後で低温 MOCVD により強誘電体膜を形成し高温アニールを避けたり、水素バリア層を使用したりする。また、 IrO_2 や SrRuO_3 (SRO) のような導電性酸化物は、強誘電体膜質が改善されるため、しばしばキャパシタ電極に用いられる。

物理的蒸着 (PVD) や Sol-Gel 法を含む化学溶液法 (CSD) は誘電体膜作成に現在もっともよく使用されている製法である。しかしながら、スケールアップを継続して行くには、MOCVD 等のもっとステップカバレッジの良い製法に移行していく必要がある。MOCVD を用いた研究によれば、(111) 配向の PZT 膜はスイッチング電荷を大きくするのに極めて有効であると報告されている。²⁷

キャパシタ電極の RIE によるエッチングは極めて難しい。適切な電極材料のほとんどが揮発性のエッチング生成物を持たないのがその理由である。そのためスパッタによる加工が広く用いられているが、CD (Critical Dimension) の制御に限界があり、スケールアップが難しくなる。その解決のためにキャパシタの側壁

²⁶ D. J. Wouters, 28, *International Conference on Solid State Devices and Materials*, 2003.

²⁷ Y. Horii, Y. Hikosaka, A. Itoh, K. Matsuura, M. Kurasawa, G. Komuro, K. Maruyama, T. Eshita and S. Kashiwagi, 539, *IEDM*, 2002.

角度を改善する高温 RIE が開発されている。²⁷

PZT と SBT はしばしば不純物を入れて用いられる。たとえば PZT に対し La、SBT に対し Nb である。その目的は、リーク電流の抑制、エンデュランスまたはインプリント特性の改善、後工程による膜質劣化抑制等の膜質の向上である。PZT と SBT に加わる、有望な新材料の一つは BLT、即ち $(\text{Bi},\text{La})_4\text{Ti}_3\text{O}_{12}$ である。²⁸ その特性は先行する 2 つの材料の中間である。²⁹ どの膜の特性も近年の努力で向上して来ているので、膜の選択よりも、その膜を使いこなす方が重要であると思われる。

最小スイッチング電荷の見積り

最小スイッチング電荷は次のようにして見積もった。FeRAM のセンスアンプは基本的に DRAM と同じと仮定し、ITRS 1999 の DRAM のデータを用いてビット線の信号電圧を計算した。ITRS 1999 のデータはキャパシタンス C_s がテクノロジー・ノードに関わらず $25\text{fF}/\text{cell}$ のまま一定で、ビット線容量が 1Gb ($0.18\mu\text{m}$ ノード) 時に 320fF である。このデータとさらにビット線容量が $F^{2/3}$ (ここで F は最小寸法である) に比例すると仮定することにより、³⁰ $\Delta V_{\text{bitline}}$ の計算が可能となる。 $\Delta V_{\text{bitline}}$ は約 140mV であり、この値がテクノロジー・ノードに関わらずセンスアンプ回路には必要と仮定する。 $\Delta V_{\text{bitline}}$ (140mV) と C_{bitline} を掛け合わせることで最小スイッチング電荷が得られる。

以上で求められた最小スイッチング電荷を強誘電膜の単位面積あたりのスイッチング電荷 Q_{sw} ($20\text{--}40\mu\text{C}/\text{cm}^2$ と仮定) で割ることにより、必要なキャパシタ面積が得られる。この面積がキャパシタの投影面積より大きい場合は、3 次元 (3D) のキャパシタが適用されることになる。この議論から 3D キャパシタは 2007 年までに必要となる。

表 75a、75b に示す FeRAM に関する予測は、以上の仮定と計算に基づいている。「赤い壁」は早い項目では 2006 年に現れ、2007 年にはさらに広がって行く。これらの壁をうち破るには、後工程による劣化の少ない高信頼性の高誘電体材料を開発することが最も重要である。

²⁸ B. H. Park, B. S. Kang, S.D. Bu, T. W. Noh, J. Lee, and W. Jo, 682, *Nature*, 1999.

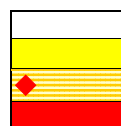
²⁹ D. J. Wouters, 28, *International Conference on Solid State Devices and Materials*, 2003.

³⁰ A. Nitayama, Y. Kohyama, and K. Hieda, 355, *IEDM*, 1998.

表 75a FeRAM Technology Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20
Demonstration Sample Density (standard memory) [A]	32Mb	64Mb	128Mb	256Mb	256Mb	512Mb	512Mb
Feature Size (μm): F1 (standard memory) [B]	0.25	0.18	0.13	0.13	0.12	0.11	0.10
Feature Size (μm): F2 (embedded memory) [C]	0.18	0.13	0.12	0.11	0.10	0.09	0.08
Access time (ns) [D]	55	40	30	30	20	20	15
Cycle time (ns) [E]	80	70	50	50	32	32	25
Cell area factor a (standard memory) [F]	15	15	12	12	12	10	10
Cell size (μm ²) (standard memory) [G]	0.938	0.486	0.203	0.203	0.173	0.121	0.100
Total cell area (mm ²) for standard memory [H]	3.93	8.15	6.80	13.61	23.19	32.48	53.69
Cell area factor: b (embedded memory) [I]	46	35	35	35	30	30	30
Cell size (μm ²) for embedded memory [J]	1.490	0.592	0.504	0.424	0.300	0.243	0.192
Projected capacitor size (μm ²) [K]	0.44	0.23	0.12	0.12	0.058	0.048	0.040
Capacitor area (μm ²) [L]	0.44	0.23	0.12	0.12	0.086	0.081	0.076
Cap area/proj cap size [M]	1	1	1	1	1.48	1.67	1.89
Height of bottom electrode/F (for 3D capacitor) [N]	NA	NA	NA	NA	0.24	0.33	0.45
Capacitor structure [O]	stack	stack	stack	stack	3D	3D	3D
Cell Structure [P]	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C
Vop (Volt) [Q]	2.5-3	1.8	1.5	1.5	1.2	1.2	1.2
Minimum switching charge density (μC/cm ²) at Vop [R]	12.8	19.8	30.5	30.5	40	40	40
Minimum switching charge per cell (fC/cell) at Vop [S]	55.8	44.8	36.1	36.1	34.2	32.3	30.3
Retention at 85°C (Years) [T]	10 Years	10 Years	10 Years	10 Years	10 Years	10 Years	10 Years
Endurance [U]	1.0 E13	1.0 E14	1.0 E15	>1.0 E16	>1.0 E16	>1.0 E16	>1.0 E16

Manufacturable solutions exist, and are being optimized
 Manufacturable solutions are known
 Interim solutions are known
 Manufacturable solutions are NOT known



(訳注: 汎用メモリのテクノロジ・ノードは2005年が0.15μmに修正される予定である。よって、表 75aの2005年の欄は以下の値で読み替えて頂きたい。

Feature Size (μm): F1 (standard memory) : 0.15

Cell size (μm²) (standard memory) : 0.270

Projected capacitor size (μm²) : 0.16

Capacitor area (μm²) : 0.16

Minimum switching charge density (μC/cm²) at Vop : 22.9

表 75a と 75b に対する注釈

[A] 混載メモリは応用依存が大なので、汎用の値のみ示す。2003 の 32 Mb は三星の 0.25 μm の汎用メモリのデモンストレータである。

[B] 寸法 "F1" はセル内の最も微細な線幅で定義される。2003 の 0.25 μm は典型的な汎用メモリである三星の値である。

[C] 寸法"F2"はロジック部の最も微細な線幅で定義される。2003 年の 0.18 μm は松下のサンプルの値である。0.18 μm の量産品は富士通の 4Mb で 2004 年である。

[D] 2003 の 55ns at は三星の 32M。富士通の 0.18 μm -4M は 30ns。松下の 0.18 μm -1Mb は 15ns。

[E] 言及なし。

[F] $a = \text{セルサイズ} / F1^2$

[G] $\text{セルサイズ} = a * F1^2$

[H] $\text{セル面積} * \text{メモリサイズ (bit)}$

[I] $b = \text{セルサイズ} / F2^2$

[J] $\text{セルサイズ} = b * F2^2$

[K] 2003–2006: $7F1^2$ 、2007-2009: $4F1^2$ 、2010-2018: $3F1^2$ を仮定。

[L] 3D はペDESTAL構造を仮定した。

[M] 3D キャパシタの場合は 1 を超える。それ以外は 1 である。

[N] 例えば、0.24 とは高さが $0.24 * F1$ という意味である。

[O] 右図参照。

[P] セル構造に加え、セル配置も研究されている。例) Chain-FeRAM

[Q] V_{op} =動作電圧。低電圧動作が課題。2003 年の松下の 0.18 μm のサンプル (SBT) では 1.1V である。

[R] この値は [S] を [L]で割ることにより計算できる。3D に対しては 40 と仮定した。

[S] $\Delta V_{bitline} = 140 \text{ mV}$ が必要で $C_{bitline}$ は DRAM と同じと仮定し、 $\Delta V_{bitline} * C_{bitline}$ で計算。

[T] 応用に依存する。85°C は IC カードのスペックから。

[U] $100 \text{ MHz} * 10 \text{ years} = 3E+16$

約 $1E+15$ 回は SRAM や DRAM と競合するには必要である。

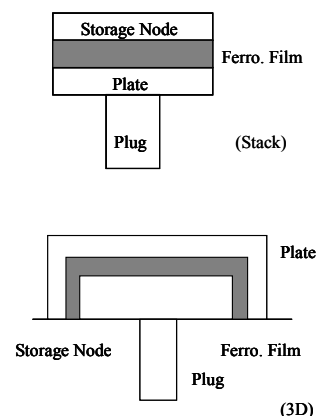


表 75b FeRAM Technology Requirements—Long-term

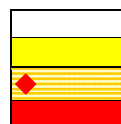
Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
MPU/ASIC ½ Pitch (nm)	45	35	32	25	22	18
MPU Printed Gate Length (nm)	25	20	18	14	13	10
MPU Physical Gate Length (nm)	18	14	13	10	9	7
FeRAM Generation (standard memory) [A]	1Gb	2Gb	4Gb	8Gb	16Gb	32Gb
Feature Size (μm): F1 (standard memory) [B]	0.09	0.07	0.065	0.050	0.045	0.035
Feature Size (μm): F2(embedded memory) [C]	0.07	0.057	0.050	0.04	0.035	0.028
Access time (ns) [D]	10	10	8	8	6	6
Cycle time (ns) [E]	16	16	12	12	10	10
Cell area factor a (standard memory) [F]	8	8	8	8	8	8
Cell size (μm ²) (standard memory) [G]	0.065	0.039	0.034	0.020	0.016	0.010
Total cell area (mm ²) for standard memory [H]	69.58	84.18	145.17	171.80	278.31	336.73
Cell area factor: b (embedded memory) [I]	24	24	20	20	16	16
Cell size (μm ²) for embedded memory [J]	0.118	0.078	0.050	0.032	0.020	0.013
Projected capacitor size (μm ²) [K]	0.024	0.015	0.013	0.008	0.0061	0.0037
Capacitor area (μm ²) [L]	0.071	0.06	0.057	0.048	0.045	0.038
Cap area/proj cap size [M]	2.90	4.06	4.48	6.37	7.33	10.20
Height of bottom electrode/F (for 3D capacitor) [N]	0.71	1.15	1.30	2.01	2.37	3.45
Capacitor structure [O]	3D	3D	3D	3D	3D	3D
Cell Structure [P]	1T1C	1T1C	1T1C	1T1C	1T1C	1T1C
V _{op} (Volt) [Q]	1.0	1.0	0.7	0.7	0.7	0.7
Minimum switching charge density (μC/cm ²) at V _{op} [R]	40	40	40	40	40	40
Minimum switching charge per cell (fC/cell) at V _{op} [S]	28.2	23.9	22.7	19.1	17.8	15.0
Retention at 85°C (Years)[T]	10 Years	10 Years	10 Years	10 Years	10 Years	10 Years
Endurance [U]	>1.0 E16	>1.0 E16	>1.0 E16	>1.0 E16	>1.0 E16	>1.0 E16

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



Year of First Product Shipment	2003	2004	2005	2006	2007	2008	2009	2010	2012	2013	2015	2016	2018
Technology Node		hp90			hp65			hp45		hp32		hp22	
Ferroelectric Materials	PZT, SBT, BLT												
Deposition Methods	PVD, CSD, MOCVD												

CSD—Chemical Solution Deposition

PZT—Pb(Zr, Ti)O₃*SBT—SrBi₂Ta₂O₉BLT—(Bi, La)₄Ti₃O₁₂

*Since PZT contains lead, it may pose a problem from the viewpoint of ESH

*PZT は鉛を含むので、ESH の観点から問題になる可能性がある。

SRAM や DRAM のような他の RAM を置き換えるには、読み書きの繰り返しに対するエンデュランスが 10^{15} 回は必要である。FeRAM は温度加速係数がやや小さいため、この値を確認するために、実用的な時間内でテストする方法が極めて重要である。非破壊読み出し法 (読み書き回数の上限がない) などいくつかの新しいアイデアがこのエンデュランスの問題を解決するために研究されている。

現在、FeRAM が広く使われるために最も大きな障害となっているのは信頼性とコストとともに「キラー・アプリケーション」の欠如である。そのため、IC カードのように携帯できる低消費電力の用途に应用が限られている。しかしながら、これらの問題が解決されれば FeRAM の市場は拡大する可能性があることは特に指摘しておきたい。その場合はまず、応用分野が同様なデバイスである、フラッシュと SRAM を置き換えることになるだろう。また、FeRAM は次のような優れた性質を持っているので、マルチメディア製品向けの最適なデバイスであることにもう一度注目しておきたい。

- ・不揮発性
- ・低電圧 (低消費電力) 動作
- ・高速
- ・高エンデュランス
- ・高密度化の可能性 (セル構造が DRAM と同様のため)

フラッシュメモリのメモリ容量が劇的に増加し、今では汎用 DRAM とほぼ等しいか、あるいは凌駕するようになったという事実には勇気づけられるが、これは大容量の不揮発性メモリに対する市場の要求があったから起こったことである。FeRAM もこの要求を満たす可能性があり、結果的に「もう一つのフラッシュ」となり得る。世界の研究者が FeRAM 開発に奮闘されることを大いに期待したい。

クロスカットの課題

FEP と計測とのクロスカットの課題

先端のゲートスタック、ウェーハ洗浄及びドーピングのプロセス技術は、スターティングマテリアルの測定要求と同様に現在の計測能力を課題とし続けている。これは、計測ロードマップの中の短期・長期の [計測の課題の表 \(Metrology Challenges Table\)](#) によって、また計測ロードマップの中の FEP 計測の議論によって強調されている。 [FEP 計測の技術要求の表 \(FEP Metrology Technology Requirements Table\)](#) にはゲート絶縁膜の厚さやほかの FEP の膜やプロセスの測定精度が記載されており、FEP 計測の節では規定された精度を満足することは困難な目標であることが指摘されている。ゲート絶縁膜プロセスの制御に対する界面の計測がとても困難になるであろうことに特に言及することが重要である。FEP の要求に基づく重要な計測の課題は、

- スターティングマテリアルに関係するレベルの不純物 (とくにパーティクル) の検出と計測器に対して削減された周辺除外 (Edge Exclusion)。SOI 基板のゲッターリングの制御
- 複合材料のスタックや界面の物理特性や電気特性を含む特性の測定。具体的な FEP の要求は、メタルゲートや界面のプロセス制御を含んだ高誘電率 (high-k) ゲートスタックの測定についてである。SOI や歪シリコンが加わることにより、計測能力の開発が必要となる。

- 三次元のドーパントプロファイル化である。

FEPとモデリング&シミュレーションとのクロスカットの課題

ITRS 2003 では、新規材料や標準でないデュアルゲート MOSFET の導入は FEP の課題に囲まれている。これは **モデリング&シミュレーション(Modeling and Simulation)** にさまざまな要求を引き起こす。特に、材料の問題はほとんどのモデリングの領域で取り扱う必要がある。ほかの歪み材料もこれに含まれるので、応力と歪みのモデリングの重要性はますます大きくなっている。新しいデバイスアーキテクチャには、例えば浅い接合の形成のようなデバイス製造に使われるプロセスステップのシミュレーションの改良とともに、特に数値的デバイスシミュレーションの大きな進展が必要である。プロセスの変化はデバイスの更なる微細化にますます重要となっており、□ いちばんの例は、このロードマップでのリソグラフィとエッチングのバラツキ許容量の再配分である□、シミュレーションは最終デバイスやチップへのこのような変化の影響を評価することに貢献することができ、また、しなければならない。High-k 絶縁膜を 2007 年より前に導入する必要があるので、モデリングはできるだけ早くそれらについておおよそ記述できなければならない。極浅の、急峻な、高く活性化されたドレインエクステンションは主要な課題であり続けており、モデリングによる支援は使用されるプロセスの物理的な理解(例えば、アニール中のドーパントや点欠陥の反応動力学)をよりよいものとするとともに数値シミュレーションによってそれらを引き続き最適化することに必要である。この知識は、ドーパント原子と欠陥との相互作用を利用してより浅い接合を実現することを目的とする欠陥エンジニアリングにもまた必要とされている。更に、クリティカルディメンション(CD)とそのバラツキの低減は一般的に重要な課題であり、実験の労力を最小化するためには多くのパラメータの中から CD にいちばん影響を与えるものを特定するシミュレーションを使うことがより望ましい。

FEPと環境・安全・健康とのクロスカットの課題

包括的な情報については**環境・安全・健康(Environment, Safety, and Health)**の章を参照し、新しい化学物質検査機器(化学物質規定の表)にリンクしてください。

インターフォーカス ITWG の議論

FEP が他のフォーカス ITWG(International Technology Working Group)に多くの課題と従属性を与えているのは明らかなことである。これらの主なものは、PIDS とある程度設計 ITWG とのゲート EOT とリークの要求を取り囲む課題である。これらの ITWG との他の課題は、代替デバイス構造によって促進される要求とともに、接合深さやシート抵抗の要求を中心に展開されている。これらの課題の解決は、一般的に妥協とトレードオフによって達成される。CD 制御は ITRS のこの版でもすべての人が満足して解決した課題ではなく、2004 年のアップデート版では、FEP、リソグラフィ、PIDS、設計 ITWG の連携によって解決するべきである。FinFET や他のマルチゲートトランジスタのようなこれまでにない MOSFET のモデリングに関しては PIDS とより広範囲な議論があることが更に期待される。他の相互関係は、異なる統計的な欠陥モデルを検証する歩留向上 ITWG とのものを含んでいる。最も重要な相互関係は、FEP の表面処理チームのメンバーが配線の表面処理の開発や洗浄の技術要求、解決策候補に技術的な支援を行っている配線 ITWG とのものである。

将来の新探求デバイスの影響

2003 年版の FEP の章で注目すべきは、初めてプレーナバルク CMOS に代わるデバイスがはっきりと FEP の技術要求の表に組み込まれたことである。バルク CMOS がロジックトランジスタのスピードで歴史的な年率 17%の向上を妨げる恐れのある重要な課題に直面していることがだんだんと認識されてきた。さまざまなデバイスの代案が**新探求デバイス(Emerging Research Devices)**の章で議論されており、そこでは以下の一連の「技術を推進するもの(Technology Booster)」が示されている。

- 歪シリコンチャンネル
- 極薄膜(完全空乏型)シングルゲートデバイス(エレベーターコンタクト付)(FDSOI)
- High-k ゲート絶縁膜
- 金属性のゲート
- 極薄膜(完全空乏型)ダブルゲートデバイス
- バリスティックあるいは準バリスティックなキャリア伝導
- 減少するフリンジ(またはゲートドレイン・オーバーラップ)キャパシタンス
- 金属性のソース/ドレイン接合

このシナリオに関係する要求のいくつかは、サーマルフィルムやドーピングの節で議論し、モデル化されている。具体的には、歪シリコンや完全空乏型 SOI、完全空乏型ダブルゲートデバイスに関する要求がモデル化されている。モデル化されたダブルゲートデバイスは、チャンネルがウェーハ面にあり、チャンネルの上下にゲートのあるものである(ドーピングの補足資料ワークシート XjRs を参照)。ほかのダブルゲートまたはマルチゲートデバイスは、FinFET やトリゲート(Tri-gate)のようにチャンネルがウェーハ面に垂直に配置され、両側にゲートのあるものである。これらはまだモデル化されていないが、ITRS 2004 アップデート版で取り組むことになる。重要な課題のひとつは、ゲート/ドレインのオーバーラップの程度とともに、チャンネルでのドレイン接合の横方向の急峻さに更に取り組む必要のあることである。これは現在研究の活動的な領域であり、次の版でもまた取り組まれるであろう。

これらの新しいデバイスの導入時期は、エレベーターコンタクトを有するプレーナ型シングルゲート薄膜デバイスの導入とともに 2008 年と判定され、引き続いて 2011 年にダブルゲートまたはマルチゲートが導入されるであろう。しかし、その前にバルク CMOS は、歪シリコンチャンネル、high-k ゲート絶縁膜やメタルゲートを有するデバイスの導入によって著しい向上を要求するだろう。多大な研究開発がこのシナリオの実現には必要である。トランジスタ性能の改良を伝統的なペースで行うためにはこの投資が必要であり、そうしないと結果としてデバイス性能の減速は避けられないだろう。

メモリーデバイスが同様に課題とされるのは、DRAM やフラッシュや FeRAM の要求表にはっきりと示されている「赤い壁」から明らかである。重要な材料要求に加えて、メモリー構造は記憶ビット密度とビット当たりのコストを歴史的な速度で進展させるために根本的に変わると予測される。これは、新探求デバイスの章に明確に表現されたもうひとつの困難な課題であり、「電氣的にアクセス可能な高速、高密度、不揮発性 RAM に対する製造可能なコスト効率の高い製造技術の実現が認められ、CMOS ロジックプロセスフローと統合可能でなければならない」。伝統的なメモリー構造の継続的な微細化に関連する研究開発の課題と新しいメモリーデバイスの導入は、ロジックトランジスタの継続的な微細化の研究開発と同様に重要であり、金

錢的にも知的にも同等な資本の投資を必要とするだろう。

結論

この章では、デバイスの微細化進展が材料開発の進み方により制限される時代における ITRS フロントエンドプロセスの課題、技術的要求、解決策候補について述べた。これからの 10 年間には、スターティングマテリアルから始まる實際上すべてのフロントエンドプロセスの技術分野において、主役となる新しい材料とプロセスの開発と導入が必要となるだろう。Low-k 材料が大きな課題となる配線と対照的に、FEP では MOSFET のゲート絶縁膜、DRAM キャパシタ、フラッシュのトンネル絶縁膜・ポリシリコン間絶縁膜等の適用分野において種々の high-k 材料の導入を必要とする。さらに、FeRAM 市場の成長により、いろいろな強誘電体薄膜材料の開発と最適化が要求される。

以上のことに加えて、リソグラフィとクリティカルディメンション (CD) エッチング技術の進展により短チャネル MOSFET は製作可能となっているが、主要なゲートスタック材料の開発は進んでおらず、微細化デバイスの性能を制限しているという現状がある。したがって、すでに述べた high-k ゲート絶縁膜材料への強い要求に加え、デュアルメタルゲート電極が必要である。また、従来のシリコン酸窒化膜もこれまでの予想よりも微細なデバイスまで用いられるだろう。その際は、全般的なデバイス信頼性とスタンバイ消費電力についての検討が必要となる。これらの懸念事項は、複数のゲート長、ゲート絶縁膜厚の MOSFET が 1 チップに含まれる複雑な FEP プロセスフローをもたらすだろう。さらに、ゲート絶縁膜薄層化により短チャネル効果が顕著になるため、ドーピング技術の進展も必要となるだろう。

また、前に述べたように、これまで標準的には採用されていなかったデュアルゲートデバイスもロードマップの予測年代以内に量産化されるだろう。これらのデバイスの製造は、FEP の材料、ユニットプロセス、プロセス・アーキテクチャに大きな影響を与えるだろう。

これらの懸念事項の上にあるものが、次世代シリコンスターティングマテリアルへの要求である。この導入は大きなコスト的、技術的チャレンジとなるだろう。

FEP の将来への道には多くの障害と課題が待ちうけている。これらの障害と課題は大きなものだが、乗り越えることは不可能ではない。成功までには、材料とプロセスへの基礎的な理解を得るまでの一定の時間と、その知識を低コストで次世代デバイスを生産できる量産材料・プロセスにタイミングよく転換させるまでの一定の時間が必要である。FEP の章で強調された課題をロードマップの予測年代以内にすぐに起こるであろう新探求デバイスの潜在的影響とともに考えると、FEP は多くの研究と革新が実に必要とされる領域である。