

アセンブリ&パッケージング

概要

アセンブリ&パッケージングは、半導体製品に重要で不可欠な部分であることが業界内でますます認識されている。多くの市場分野で、パッケージング技術は、動作周波数、パワー、複合性、信頼性そしてコストへ影響することで、今や重大な競争因子になっている。新しく出現しているデバイス技術と応用製品は、アセンブリ&パッケージングへの要求および革新を牽引している。結果として、半導体技術、パッケージング技術とエレクトロニクスのシステム技術間の技術境界が不鮮明になっている。

パッケージ設計はもはや、チップおよびシステムと無関係に開発することはできない。全般的なシステム設計の一部として、同時進行的に考慮する必要がある。結果として、完全なシステムを最適化するために、広範囲に亘る複雑な設計パラメータを解析する必要がある。また、チップとパッケージおよびシステム間のトレードオフが要求される。多様化している技術基盤においてコストを削減しつつ、より高度な性能を効率的に追求するために、パッケージ設計は、設計工程、ツールおよびより正確な材料情報の必要性に対する複雑性を増加させている。

業界ニーズのこれらの変化に対応して、今年のアセンブリ&パッケージの章は拡張されおり、追加した論点は章を横断した論評に記載している。最も困難な技術課題の多くも、研究対象で必要とされる変化に対応するために変更されている。2000年のITRSアップデート版の出版以降、アセンブリ&パッケージングの章の範囲は以下の内容を含めるように拡張されている。

- 要求のアップデート
 - 設計
 - 材料
 - System-in-a-package (SiP)
 - フリップチップ
- 解決策候補(Potential Solutions)のアップデート
 - チップから次のレベルへの接続
 - シングル・チップ・パッケージング
 - BGA と CSP パッケージング

2 アセンブリ&パッケージング

アセンブリ&パッケージングロードマップの多くの特質は、エレクトロニクス製品およびボード/サブストレート産業によって牽引され、多くの課題はシステムとしての解決策を持っている。結果として、ある種のパッケージング課題の解決策は、本ロードマップの範囲外にある。半導体業界のニーズを確実に満足させ、システムニーズをより理解するために、アセンブリ&パッケージング国際技術ワーキンググループ(ITWG)は以下の努力を続けている。

- TWG 会員は電子システムおよびボード/サブストレート産業からの代表者を含む。
- ロードマップ作成の協力機関として、システムでは the National Electronics Manufacturers Initiative (NEMI) およびボード/サブストレート産業では the Institute for Interconnecting and Packaging Electronic Circuits (IPC)がある。それぞれのロードマップの範囲は同一であり、広がっている。
- システム、ボード/サブストレートおよびパッケージングのロードマップは同期している。

パッケージングの要求は、変化しているパッケージ市場に基づいて開発された、4つの新しい製品カテゴリによって分類される。これらの応用分野は、半導体産業の大半の製品傾向を包含している。本ロードマップに記載されている技術は、それぞれの応用分野において、少なくとも 80%以上の収入(言い換えると、主要収入源(the revenue center of gravity))を提供している。ローコストとハンドヘルドの区分は、コストや主な要求性能においてそれらの間に本質的は差異が無いとの見解から、今回は一つのカテゴリに統合された。また、メモリパッケージのカテゴリも、範疇が異なるとして削除された。これらの製品分野の変化は、NEMIとITRSのロードマップの共通な製品カテゴリの見直しになるため、NEMIと一緒に検討する予定である。これらの応用分野は以下の通りである。

ローコスト/ハンドヘルド : < \$ 500 の民生品、ワイヤレス製品、ディスクドライブ、ディスプレイ

コストパフォーマンス : < \$ 3000 のノートブック、デスクトップパーソナルコンピュータ、電気通信

ハイパフォーマンス : > \$ 3000 のハイエンドワークステーション、サーバー、航空機、スーパーコンピュータ、最も技術的要求の高いもの

ハーシユ : エンジンルーム、その他の適さない環境

困難な技術課題 (Difficult Challenges)

アセンブリ&パッケージング産業が直面する最も困難な技術課題を表 92 に示す。これらの技術課題は、研究団体が最大要求分野に資源の焦点を絞れるようにメカニズムの提供を目指したものである。

表92a アセンブリ&パッケージングの困難な技術課題 (短期)

困難な技術課題 45nm/2010 年まで	問題点のまとめ
有機サブストレートの改善	鉛フリーはんだ工程に対応したガラス転位点温度 低コストでの配線能力 高周波分野対応のためのより低い誘電損失とインピーダンス制御の改善 高温処理での低反り化、平坦性の改善 低吸湿率 低コストの受動素子内蔵化 サブストレートコストは、現在、フリップチップの採用拡大の障壁となっている。 サブストレートコア中のピア密度の増加 信頼性を改善するための代替仕上げめっき技術
有機基板におけるフリップチップのアンダーフィルの改善	熱特性と部品間の熱的整合性 SMT、各種半導体、サブストレートを信頼性良く集積出来る材料 薄型チップ、積層チップ、大サイズ、小チップ、受動部品内蔵、表面弾性波素子、電氣的にシールドされた接続プロセス ギャップの狭隙化 バンパの高密度化
チップ、パッケージおよびサブストレートの協調設計を実現するための設計ツールとシミュレーターの整合	ミックスド・シグナル協調設計とシミュレーション環境 遷移熱解析及び熱応力統合解析のための統合解析ツール 電氣的(電力妨害、EMI、高周波時のシグナルインテグリティ、低電圧スイッチング) 商業的 EDA 供給業者の支援 システムレベルでの協調設計が現在必要。本ロードマップを実現するためには、「本来の」エリアアレイのための EDA 支援が要求される。 これらの技術・要求事項に対応する技術者を養成するための教育プログラムが必要である。
銅配線/Low -k 材 (Cu/Low-k) のパッケージングへの影響	銅への直接ワイヤボンディングまたはバンパ Low -k 誘電体を実用化するためのバンパとアンダーフィル技術 誘電体の機械的強度の改善 境界面の接着力 Low -k 材と1次レベル接続の信頼性 実現に必要な重要特性の測定方法 銅配線や Low -k 材上への低ダメージプローブ測定とプローブ圧痕上へのボンディング
高電流密度パッケージ	エレクトロマイグレーションは、より大きな制限因子となる。 熱応力信頼性解析と共に、材料の変更も必要である。 ウイスカの成長 熱放散

4 アセンブリ&パッケージング

表92b アセンブリ&パッケージングの困難な技術課題 (長期)

困難な技術課題 < 45 nm/2010 年以降	問題点のまとめ
チップコストの低減に対応出来ないパッケージコスト低減	コスト低減を実現するための必要な投資をパッケージングにかける余裕が無い。
多ピン、高消費電力、高周波対応の小チップ	現在のアセンブリ&パッケージング技術の能力を超えた電流密度や動作温度など。
高周波用チップ	20本/mmの基板配線密度 低誘電損失 - 10GHz以上での表皮効果 “Hot spot”の放熱対策は2007年前に要求される。5µmのL/S実現には技術的壁がある。将来のパッケージの放熱設計の可能性に関しては、設計TGWは上限を持つべきである。
サブストレート技術とチップのギャップの接近	シリコンデバイス相当の接続密度(シリコンデバイスのI/O密度の増加はプリント基板技術より早い) 2005年以降、サブストレート製造技術は、シリコンデバイスのような製造技術を必要とする。
集積回路、受動素子およびサブストレートのシステムレベルの設計能力	システム設計と多数の会社に渡る製造の分離は、性能、信頼性と複雑なシステムのコストに対して要求される最適化を非常に困難にする。情報を移動する機構とともに、情報の型式と情報の質の管理に対する複合化された基準が要求される。 サブストレートと同様に、バンブの中への受動素子の内蔵も2007年前の課題である。
新パッケージング技術が必要とする新デバイス(有機デバイス、ナノ構造デバイス、生物デバイス)	有機デバイスパッケージングの要求事項は未検討である(チップがパッケージを育てるだろう)。 生物学的インターフェースは新しいタイプのインターフェースを必要とするだろう。
バンプレスエリアレイ技術が必要となる。Face to face パッケージや3次元パッケージが一例である。高周波、低消費電力、低背化が牽引力となる。	

技術要求

パッケージング技術は急速に変化し続けている。アセンブリ&パッケージング要求は、シリコン技術による推進と同様に市場分野要求によっても推進されている。コストは全ての市場分野に対して技術のトレードオフを推進する。シングル・チップ・パッケージ(SCP)の鍵となる技術的要求は国内および国際技術ワーキンググループで更新されており、表 93a と 93b に示す。

アセンブリ&パッケージングコストはピン当たりコストをベースにして、ロードマップ全期間を通じて減少することを予測しているが、チップとパッケージのピン数はピン当たりコストの減少よりも急激に増加する。このピン数の急激な増大は、チップあたりのアセンブリ&パッケージングの絶対コストを増加させるだけでなく、システムあたりのチップ数を削減しない限り、サブストレートおよびシステムレベルのコストを増加させる。低コスト製品とコストパフォーマンス市場において、ピン当たりコストは、向こう数年に亘り減少し、鈍化すると予想されている。このことが、パッケージングコストのこれらの分野における急速な増加を加速している。シリコンの生産性をより十分に上げるために必要なピン数増加の要求を満足させるためには、業界は、ピン数とは無関係に経済性の高い、新しいアセンブリ&パッケージング技術を開発しなければならない。

チップサイズは変らない一方で、ピン数はすべての分野において増加し続けるであろう。このことは、パッケージサブストレートと実装基板においても端子ピッチの継続的な縮小が必要となる。パッケージ内のデジタル周波数は、パッケージ・シグナル・インテグリティの改善を必要とする高速通信用途のチップ内動作周波数の増加に対応して増加してきた。非常に高速なデジタルピンと高周波の RF I/O ピンに対する要求も表に加えられている。

非常に高いパワー密度に対応したパッケージング技術は既にハイエンド用途に開発されているが、用途を広げるためにはコストを低減する必要がある。

表93a シングルチップパッケージ—短期

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
Cost per Pin Minimum for Contract Assembly [1,2] (Cents/Pin)							
Low-cost, hand-held and memory	0.30–0.56	0.29–.53	.27–.50	.26–.48	.25–.45	.23–.43	.22–.41
Cost-performance	.75–1.30	.71–1.24	.67–1.17	.64–1.11	.61–1.05	.58–1.00	.55–.96
High-performance	1.98	1.88	1.78	1.69	1.61	1.52	1.45
Harsh	0.36–3.20	0.32–2.88	0.29–2.60	0.26–2.33	0.23–2.11	0.21–2.00	0.20–1.90
Chip Size (mm ²) [3]							
Low-cost	100	100	100	100	100	100	100
Cost-performance	140	140	140	140	140	140	140
High-performance	310	310	310	310	310	310	310
Harsh	100	100	100	100	100	100	100

製造可能なソリューションが存在し、利用できる	
製造可能なソリューションが考えられる	
仮のソリューションが考えられる	
製造可能なソリューションが考えられない	

表93a シングルチップパッケージ—短期 (続き)

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50
Maximum Power (Watts/mm ²) [4]							
Low-cost (Watts) [1]	2.5	2.7	2.8	3	3	3	3
Cost-performance	0.57	0.6	0.65	0.7	0.74	0.79	0.83
High-performance	0.48	0.51	0.54	0.58	0.61	0.64	0.64
Harsh	0.14	0.16	0.16	0.18	0.18	0.2	0.2
Core Voltage (Volts)							
Low-cost	1.2	1.2	1	0.9	0.9	0.8	0.8
Cost-performance	1.2	1.2	1	0.9	0.9	0.8	0.8
High-performance	1.2	1.2	1	0.9	0.9	0.8	0.8
Harsh	2.5	2.5	1.2	1.2	1.2	1.2	1.2
Package Pincount Maximum [5][6]							
Low-cost	112–408	122–500	134–550	144–600	160–660	180–720	180–800
Cost-performance	500–1452	500–1600	550–1760	550–1936	600–2140	600–2400	660–2800
High-performance	2400	3000	3400	3800	4000	4400	4600
Harsh	450	500	550	600	660	720	780
Minimum Overall Package Profile (mm)							
Low-cost	0.5	0.5	0.5	0.5	0.5	0.5	0.5
Cost-performance	1	0.8	0.8	0.8	0.8	0.65	0.65

6 アセンブリ&パッケージング

High-performance	N/A						
Harsh	1	0.8	0.8	0.8	0.8	0.8	0.8
<i>Performance: On-Chip (MHz)[7]</i>							
Low-cost	502/3194	552/3514	607/3865	668/4251	735/4676	800/5000	830/5150
Cost-performance	3090	3990	5170	5630	6740	—	—
High-performance	3090	3990	5170	5630	6740	—	—
Harsh	72	80	88	96	106	116.6	128.26
<i>Performance: Chip-to-Board for Peripheral Buses (MHz) [7]</i>							
Low-cost	100	100	100	100	100	100	100
Cost-performance (for multi-drop nets)	400	533	600	667	733	800	800
High-performance (for differential-pair point-to-point nets)	2000	2500	3125	3906	4883	6103	7629
Harsh	72	80	88	96	106	106	115
<i>Maximum Junction Temperature</i>							
Cost-performance	90	90	85	85	85	85	85
High-performance	90	90	85	85	85	85	85
Harsh-complex ICs	150	150	150	150	150	150	150
<i>Operating Temperature Extreme: Ambient (°C)</i>							
Low-cost	55	55	55	55	55	55	55
Cost-performance	45	45	45	45	45	45	45
High-performance	45	45	45	45	45	45	45
Harsh-complex ICs	-40 to 125						

製造可能なソリューションが存在し、利用できる	□
製造可能なソリューションが考えられる	■
仮のソリューションが考えられる	◆
製造可能なソリューションが考えられない	■

備考(表 93a, 93b)

- [1] コスト低減は、もっとも低コストのカテゴリでは、技術の成熟とスケール効果の経済性の減少により減速するであろう。
- [2] コストは、それぞれのカテゴリに対する、平均的な受託組立ピンあたりコストによっている。
- [3] ハイパフォーマンスのチップサイズは 310mm² を越えて増加しないであろう。そして、コストパフォーマンスのチップサイズは 310mm² に近づくと、頭打ちになるであろう。
- [4] 消費電力は、パッケージングよりも、システムレベルでのクーリング、テストの制約によって、より多く制限されるであろう。
- [5] ピン数は、システムレベルの PWB のコストインパクトによって、いくつかのアプリケーションで制限されるであろう。
- [6] ピン数は、シグナルピンはピン比率に対して、違った市場区分を通して 1:4 から 2:1 と様々であろうと推測される。
- [7] 最大オフチップ周波数は、大多数の低周波数ピンと組み合わせられる多くの場合で、小数のピンに制限されるであろう。

表93b シングルチップパッケージ技術要求—長期

<i>Year of Production</i>	2010	2012	2013	2015	2016	2018
<i>Technology Node</i>	hp45		hp32		hp22	
<i>DRAM ½ Pitch (nm)</i>	45	35	32	25	22	18
<i>Cost (Cents/Pin) [1] [2]</i>						
Low-cost	.22-.41	0.22-0.36	0.22-0.35	0.22-0.31	0.22-0.29	0.22-0.27
Cost-performance scale at 5%	0.52-0.94	0.5-0.86	0.5-.77	0.5-0.69	0.5-0.65	0.5-0.59
High-performance scale at 5%	1.37	1.23	1.17	1.05	100	0.9
Harsh scale at 5%	0.27-1.54	0.24-1.38	0.22-1.31	.22-1.17	0.22-1.12	0.22-1.00
<i>Chip Size (mm²)[3]</i>						
Low-cost	100	100	100	100	100	100
Cost-performance	140	140	140	140	140	140
High-performance	310	310	310	310	310	310
Harsh	100	100	100	100	100	100
<i>Power Density (Watts/mm²) [4]</i>						
Low-cost (Watts)	3	3	3	3	3	3
Cost-performance	0.85	0.89	0.98	—	1.08	—
High-performance	1.55	1.71	1.78	—	2.05	—
Harsh	0.22	0.24	0.25	0.27	0.28	0.29
<i>Core Voltage (Volts)</i>						
Low-cost	0.6	0.6	0.5	0.4	0.4	0.4
Hand-held	0.5	0.5	0.4	0.4	0.4	0.4
Cost-performance	0.6	0.6	0.6	0.5	0.5	0.5
High-performance	0.6	0.6	0.6	0.5	0.5	0.5
Harsh	1.2	1	0.9	0.9	0.9	0.6
<i>Package Pin Count [5] [6]</i>						
Low-cost scale	208-777	249-932	270-1011	325-1213	351-1314	421-1576
Cost-performance	780-2782	936-3338	1014-3616	1216-4339	1318-4702	1581-5642
High-performance	4009	4810	5335	6402	7042	8450
Harsh	642	706.2	812.13	933.9495	1074.041925	1235.148214
<i>Overall Package Profile (mm)</i>						
Low-cost	0.3	0.3	0.3	0.3	0.3	0.3
High-performance	N/A	N/A	N/A	N/A	N/A	N/A
Harsh	0.8	0.5	0.5	0.8	0.5	0.5
<i>Performance: On-Chip (MHz) [7]</i>						
Low-cost	956-6079	—	1243-7903	—	1616-10274	—
Cost-performance	12000	—	19000	—	29000	—
High-performance	12000	—	19000	—	29000	—
Harsh	138	—	179	—	234	—

製造可能なソリューションが存在し、利用できる	
製造可能なソリューションが考えられる	
仮のソリューションが考えられる	◆
製造可能なソリューションが考えられない	

8 アセンブリ&パッケージング

表93b シングルチップパッケージ技術要求—長期(続き)

Year of Production	2010	2012	2013	2015	2016	2018
Technology Node	hp45		hp32		hp22	
DRAM ½ Pitch (nm)	45	35	32	25	22	18
Performance: Chip-to-Board for Peripheral Buses (MHz)[7]						
Low-cost	125	—	125	—	150	—
Cost-performance (multi-drop nets)	—	800	—	800	—	800
High-performance (differential-pair point-to-point nets)	—	14901	—	29103	—	56843
Harsh	125	125	125	150	150	150
Junction Temperature Maximum (°C) for Cost-performance						
Low-cost	125	125	125	125	125	125
Cost-performance	85	85	85	85	85	85
High-performance	85	85	85	85	85	85
Harsh	150	150	150	150	150	150
Harsh-complex ICs	150	150	150	150	150	150
Operating Temperature Extreme: Ambient (°C)						
Low-cost	55	55	55	55	55	55
Cost-performance	45	45	45	45	45	45
High-performance	45	45	45	45	45	45
Harsh	-40 to 125					
Harsh-complex ICs	-40 to 150					

製造可能なソリューションが存在し、利用できる	
製造可能なソリューションが考えられる	
仮のソリューションが考えられる	
製造可能なソリューションが考えられない	

パッケージ設計要求

パッケージ設計の複雑さ(チップからモジュールやチップ/モジュールから基板)と対象範囲は、市場が設計サイクルタイムの短縮や高度な設計信頼性を強く要求していることに伴い増加する。コストおよび入手可能性に加えて、物理的、電気的、熱的、機械的、組立性や生産性の考察がパッケージ設計者の前に立ちはだかっている。パッケージ設計プロセスは、設計および分析ツールの絶え間ない改善を要求している。レイアウトや配線および電気的・機械的・熱的設計ツールは、設計サイクルの短縮が実現できれば、使い勝手を高めインターフェースの非互換性を最小限度にするはずである。ゴールは統合設計システムである。この統合設計システムの対象範囲には、効果的なチップ/パッケージの協調設計を実現可能にするため、チップ設計を含むか、あるいはチップ設計に調和させるべきである。理論的には、これらの要求やトレードオフを含むように、パッケージ設計はシステム設計とリンクさせるべきである。

高速ブロードバンドデータ通信では、差動ペアのポイント・ツー・ポイント配線ネットが要求される。データ転送速度やこのような高速ポートの数は、近い将来、飛躍的に増加するものと思われる。ドライバ対レシーバの出力比が増大し、より優れた送受信パス間の絶縁が求められ、減衰量が改善されるであろう。

サーマルマネジメント

ジャンクション温度を許容範囲内に維持するため、集積回路から熱を放散させる役割は、半導体およびシステム製造業者にとって重要な挑戦である。電力およびジャンクション温度の要求は、表 93a, 93b の市場分類に記載されている。ITRS の予想では、電力の増大とジャンクション温度の低下および経済的な解決策を必要とし続けることから、熱管理挑戦は今後著しく増加すると指摘している。

ハンドヘルド市場分野では、電力の入手はバッテリー電力に限定される。熱放散は、現在ユーザ(ヒートシンクは手や膝)によって限定され、冷却は通常強制冷却なしで成し遂げられる。コミュニケーション(この市場の高性能化と高電力化に牽引される)による演算集中の増加およびシステムレベルでの冷却の必要性の増加(ひとつ以上のホットデバイスの搭載)は、より高いパワーデバイスの使用の要望となり、挑戦は増加する。解決策としては、より高い熱伝導性材料の採用、内部熱抵抗の削減などを含むことができるが、また潜在的には、ユーザの不満がでない範囲内に、もっと新しいアプローチにより冷却を管理することがある。冷却要求は、製品設計における不可欠な部分になってきた。

コストパフォーマンス市場用のデスクトッププロセッサは、システムの強制冷却を必要としており、また電子製品の広い範囲を代表している。エリアレイフリップチップは、チップの裏面は冷却用の直接放熱パスが用意されている。パッケージングの挑戦は、非常に低い熱抵抗で、経済性が良く、信頼性の高い、なおかつシステムレベルの解決策を可能にさせるチップとの接続を創造することである。システム冷却設計は、この市場においても許容されるものであり、コストや、音響上のノイズ、信頼性および大量生産と密接な関係がある。表 93a, 93b で示したように、目標ジャンクション温度は低下させつつ、電力は増大する。2002 年には、周囲温度との差 ΔT は 45 度 C(超過時間は収縮)となる。予想電力 75 ワット(超過時間は長くなる)時は、コストパフォーマンス市場における許容される解決策への重大な挑戦になり、さらに完全性のための、統合された、チップからシステムの解決策の必要を強調する。いくつかの鍵となる開発や革新は、もっと先端的/効率的空気冷却、境界層制御、工学的表面および経済性の高い代替冷却システムである。

ノートブックコンピュータ製品も、コストパフォーマンス市場分野である。バッテリー駆動時において、高い電力レベルを必要としていないにもかかわらず、形状要因、重量および人間工学的問題(ユーザにとって心地よい外装ケース温度を維持する)に基づいた著しい冷却要求を提示している。ここでの追加開発分野には、内部の熱抵抗の減少工学的表面、新しい新奇性のある冷却システムを含めたものであり、解決策は複数の異なった電力レベルを製品に適用させることである。

ハイパフォーマンス市場分野は、いくつかの異なった世代を通じて劇的な電力の増大を経験してきた。空気冷却は、コストを一定範囲に保つために好んで使われるオプションである。合計チップパワー要求が 100 ワットを超える場合、電力密度および内部のホットスポットの管理の解決策は必要である。理論的なジャンクションおよび周囲温度を仮定すれば、この分野の最大パワーレベルは、コストパフォーマンスの分野におけるジャンクションおよび周囲温度抵抗に比べて 40%から 50%削減することを要求している。現在の解決策は、チップからシステムまでの完全な統合にすでに焦点を当てており、このアプローチは続ける必要がある。著しい工学的な開発は、各技術世代での電力増大のために必要であり、クローズドループ冷却システムと同等の能力が必要である。解決策は最終使用顧客の認定がもちろん必要である。主な追加すべき挑戦は、サーマルマネジメントは製品がこの分野からコストパフォーマンス市場分野に移行する路を妨げないことを保証することである。

パッケージング材料要求

アセンブリ&パッケージングでは、パッケージの物理設計、材料設計、製造工程が関わり合い、性能と信頼性の物理的設計目標を実現して行く。コスト、サイズ、重さ、環境についての市場要求だけでなく、電力、周波数、入出力に関して予想される半導体要求によって牽引される予想技術ノード(Technology Nodes)を支えるために材料特性の飛躍的改善が求められて行くであろう。ワイヤボンド・ピッチの急速な減少により、ワイヤサイズ、キャピラリの縮小およびワイヤ変形や電気信号の整合性やボンドパッド設計のソリューションが要求され、これら全ては現在利用可能なものを超える著しい材料の改善や材料工程の革新を求めるであろう。

現在の 150 μm から 2009 年には 100 μm へ、その後 70 μm へというフリップチップバンプのピッチの減少予想は、バンプサイズ、バンプの高さのみならず、UBM ピアサイズにおいても大幅な減少をもたらすだろう。アンダーフィル材料やディスパンス工程だけでなく、はんだ-UBM 構造における材料の革新が、量産製造工程や信頼性のあるパッケージ構造のために要求される。関心事のうち 1 つの重要な分野は、小さな UBM の開口にともなって予想される電流密度の増加に関連するはんだ-UBM 構造における電気-熱マイグレーションである。縮小されたはんだバンプギャップやバンプ間のスペースにおけるアンダーフィルのボイドや接着は、困難な材料に関する新たな技術課題を提起することとなる。

Cu/low-k 材料の導入にともなって、チップ上の誘電体の剛性により、モールド材料やアンダーフィル材料といったパッケージ側の材料への剛性改善に関するアプローチが必要となる。熱機械ストレスは、チップ - パッケージの界面からチップへ伝えられる。IC とパッケージは、1 つの物理的構造であり、インタフェース、特に熱機械ストレス下で強いチップの誘電性や銅線の両側の材料を確実にするための工程に関する知識、材料のデータベース及び設計方法論を提供することが必要となる。例えば、低弾性係数のアンダーフィル材料やモールド材料が必要となる。民生用/ハンドヘルド用途ではチップ積層が主流となりその重要性が増大することにより、極めて薄いウェハの厚さによる極薄型チップが引き続き必要となり、パッケージング材料のエンジニアにとって重大な挑戦と機会をもたらすであろう。

鉛フリーはんだアセンブリやハロゲンフリー材料の開発や実現のための材料や表面仕上げといった環境的関心事に対応するための主要な努力が進行中であり、今後数年続けられる予定である。誘電率や誘電損失、熱伝導率は、より高い周波数や電力要求を満たすために極めて重要である。材料の研究開発が、熱インタフェース材料、ヒートスプレッドおよび外部ソリューションといった熱マネジメントに関する技術課題に応えるために必要となる。パッケージングの材料特性についての知識は、パッケージ設計のリリースや新しいパッケージの開発のための、電気、熱、信頼性性能のモデル作りやシミュレーションのために強く求められている。使用される環境におけるパッケージ材料に関する材料特性や材料界面特性の正確な特徴付けの方法が必要となる。業界団体が、材料情報を入手可能となるよう材料データベースを確立することは大変重要であろう。

表94 材料に関する技術課題

材料に関する挑戦	事柄
ワイヤボンドとキャピラリー	ワイヤ変形なしに 20 μ m ピッチを可能にし、良質なシグナルインテグリティをもたらす材料
はんだ材料	100 μ m ピッチ及び高電流密度に対応したはんだ UBM
アンダーフィル	大型チップにおける 100 μ m ピッチに対応する性能
熱インタフェース	増加した出力密度
材料特性	10 GHz 以上の周波数に対応した方法論や特性データベース
モールド材料	low-k ウェハ構造の材料ストレスを緩和する低弾率材料

信頼性要求

銅のチップ接続、low-k 絶縁体、ダイレクトチップアタッチ、エリアアレイ接続等の多くの新しいパッケージ形態の導入により、パッケージされたデバイスの信頼性には多くの要求がある。新材料・新パッケージの構造には、広範囲な特性が要求されるが、歴史的な信頼性データが欠如している。これらの技術の安全を保証するため、信頼性性能の検証と理解の助けとして広範囲に採用されているシミュレーションが必要になるが、無理のないリスクを含んで開発されている。

いくつかの新しいパッケージ設計、材料および技術は、全ての市場分野における信頼できる性能を可能にするとは言いえないであろう。市場で使われる条件の知識と連結された不良メカニズムに関連するより深い知識は、新しいパッケージ技術を市場にもたらすのに必要となる。各市場分野の環境要求のより良い定義は、市場ニーズに適応したパッケージ開発を促進させ、供給業者間はもちろん供給業者と顧客の間の矛盾のない信頼性特性を保証することを助ける。不良メカニズムの物理的および熱力学モデルのさらなる研究の重要視は、この傾向を支援するために必要である。

パッケージおよび接続技術の迅速な電氣的、物理的な欠陥分離のためのツールの概念と開発は重要である。材料バルクおよび境界面特性の統計的重要な研究を遂行するための迅速な技法が必要である。現在の欠陥分離および解析技術(例として、X 線、音響、およびモアレなど)の範囲の開発は、小欠陥画像処理(X 線トモグラフィのような)のための新技術の開発とバランスがとれている必要がある。有機化学界面分析技術は、新しい有機材料の導入に伴い重要性が増加している。低アルファ材料は、アルファ放射線によるエラーの誘発を低減するために、ITRS の全期間を通じて検討される必要がある。アルファ放射線効果に対する計測技術と標準化は、先端技術プロセスにおけるアルファ感受性予想の増大を支援することには不十分である。

境界面の層間剥離は、引き続き重大な信頼性ハザード(障害地域)であり、チップの大型化および新素材の動向により悪化するであろう。界面接着力に対する標準化方法および受入検査基準が欠落している。環境要因(温度、相対的湿度)はもちろん界面物理の機能(粗さや合成などのような)および化学的(ファンデルワールス力、双極子、共有結合)特性に対する接着強度および分解率を確立するための基礎的な作業が必要であ

12 アセンブリ&パッケージング

る。チップとサブストレート間の線膨張係数ミスマッチは、大形チップパッケージング関連での信頼性問題を軽減するために、緩和されなければならない。

新しい静電破壊(ESD)テスト方法および設備は、ピン数の増加と接続ピッチの縮小を理解するためにも必要である。ベアチップおよびパッケージ化されたデバイスのハンドリング解決策の改善は、ESD に関連する信頼性問題を助けるであろう。

MEMS 要求

MEMS 技術はこの十年間に自動車、医療、通信、家電製品の標準になるまで広範囲に拡大しており、予測される市場成長率は非常に高い。成長しつづける MEMS 製品の大きな律速のひとつになっているのがパッケージ技術である。

標準的な半導体部品の如く MEMS デバイスにも環境負荷対策、シグナルインテグリティ保全、メカニカルサポート、熱管理が必要である。しかしながら、さらには MEMS デバイスには化学的・生物学的環境と相互に情報交換できるパッケージングが必要である。MEMS の応用製品の多くはその、パッケージ内部に不活性ガスが充填されているかもしくは真空であることを必要とする。たとえば、使い捨て血圧計に使用する圧力センサ「メディア・コンパチブル」は、10 年保証自動車の「メディア・コンパチブル」ではない。結果として両者の MEMS の機能が同じものだとしても、使用環境の違いは異なったパッケージを要求する。効果的なコスト削減と生産性改善および信頼性標準技術は、こうした広範囲な要求に対処するために開発されなければならない。MEMS は高多ピン数または接続用の超微細パッドピッチを要求していない。

幾つかのシングル・チップのセラミック、モールドされた、チップスケール、およびウェーハレベルパッケージ技術は、これらの適用要求のいくつかに成功裏に対応して採用されてきた。しかしながらマルチチップパッケージや 3D パッケージングの解決策は未だ開発途上にある。

製品性能要求に合致するため、MEMS デバイスとパッケージ設計者は構造要素、信号処理および電力要件、信号およびエネルギー変化要因、材料技術、過酷なメディアとの互換性、テスト設備工程および標準、パッケージング技術および工程を熟慮しなければならない。これらの課題の多くが半導体パッケージにとっては常識でも、幾つかは MEMS には特有なものになる。CAD システムパッケージ設計標準と方法論、パッケージング組立特性、信頼性標準および評価、マイクロとマクロなパッケージ界面特性は、これらの MEMS 特有な設計要求を処理するよう開発されなければならない。

オプトエレクトロニクス要求

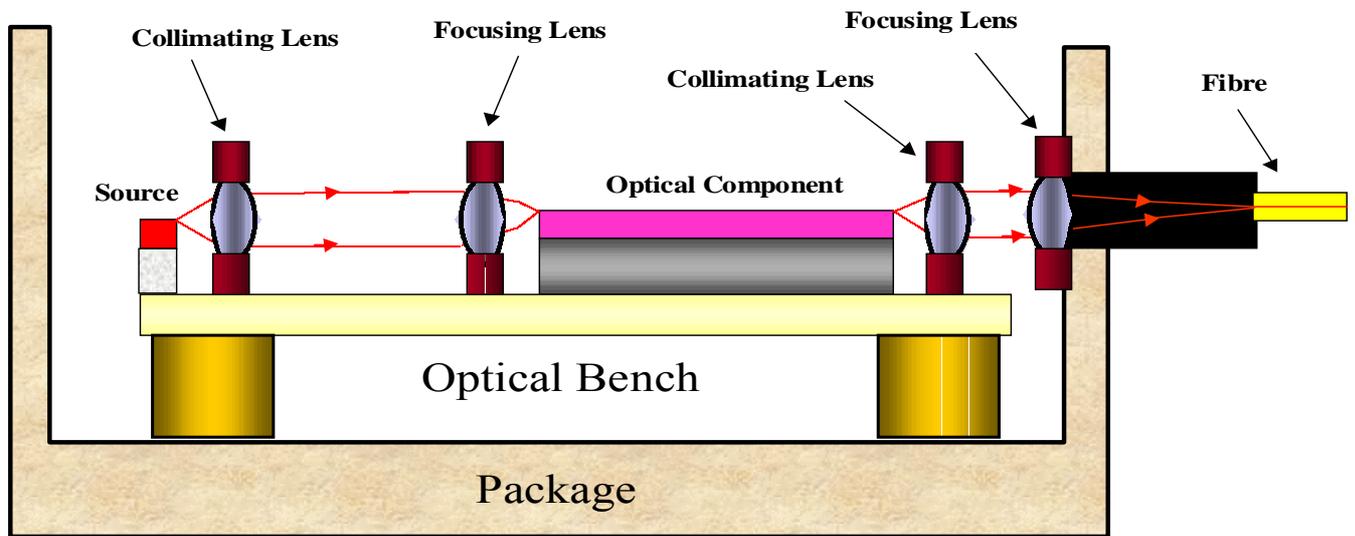


図72 オプトエレクトロニクスパッケージ設計説明図

オプトエレクトロニクスパッケージは、部品パッケージング、伝統的な電子パッケージングに関連した部分(この章の中で論じられる)と、オプトエレクトロニクスパッケージ内への光部品の集積の2つの領域を結びつけるものである。図72はオプトエレクトロニクス設計の説明図である。電子的パッケージング論点は、マルチチップ・パッケージングの特別な事例とみなすことができる。I/O数は一般的に低く、チップサイズは標準のマルチチップモジュールよりも小さい。主な課題は、高速なデータ転送速度と変換された光信号の信号レベルが低いことである。もう一つの課題は、オプトエレクトロニクスパッケージへの光学機能の集積である。光学機能は、アレイ状の導波管(AWG)、フィルター、スプリッタ等のような受動素子と、レーザー、変調器、検出器、増幅器、スイッチと減衰器等の能動素子を含む。光-電気、及び電気-光変換の集積部分は、高速データ転送、ブロードバンドの電気信号となる。オプトエレクトロニクスパッケージにシリアライザ-デシリアライザ(Serdes)を集積することが望まれる。

オプトエレクトロニクスパッケージングの機械的な問題の鍵は、光路の精密調整と、全ての動作条件下での位置精度を維持することである。一般的にはより高いデータ転送速度のため、狭い能動素子に位置合わせの必要な直径 $9.3\mu\text{m}$ のファイバーコアが使用される。例として 10Gb/秒 用の検出器は、 $25\mu\text{m}$ オーダーの活性領域を持ったものが使われる。発信器(レーザー)の位置精度公差はより以上に厳しく、モードサイズは $10\mu\text{m}$ オーダーであり、モード形状は、ファイバーモードと整合するように変換される必要がある。これは、レーザーダイオードとファイバーとの間に光学(レンズ)を必要とするかもしれない。追加した各々の光学部品は、位置精度をより複雑にし、かつ光学損失を増大させる。これらの界面は、システムロスに大きい影響を与える減衰の大きな根源であるかも知れない。ハーメチックパッケージングは、光導波路を汚染から守るために用いられる。導波路の汚染は新たな損失をもたらし、吸収作用により発生する熱もしくは、光線の集光により光素子の表面を傷つける。とくに小規模ビジネス、学校、家庭への配信サービスを含めたメトロ系通信分野においては、原価低減がノンハーメチックパッケージ開発を牽引している。ハーメチックパッケージ内へのファイバ

14 アセンブリ&パッケージング

一の引き回しは、複雑さへの対処とコストを増大させる。曲げに誘発される屈折率異常を避けるため、光部品の実装には注意する必要がある。この効果は、波面収差や錯乱を引き起こすかもしれない。

アセンブリの主要な課題は、コスト低減のために、ファイバのハンドリングと搭載を含めて、いかにアライメント工程を自動化するかである。位置ずれの懸念なく、組み立てできるセルフアライメント機構が必要である。パッケージングとアライメントの標準化のアプローチは、自動化設備の開発を容易にする。現在、極少数の大量生産メーカーが、彼等の工程を自動化している。標準化されたキャリアやシステムと同様に、自動化工程を通じてファイバ末端部をどう取り扱うかという単純な課題にも取り組む必要がある。

材料特性のより良い理解と組立材料の注意深い選定は、オプトエレクトロニクスパッケージの技術開発の成功に必要である。オプトエレクトロニクスパッケージは、Si、AlGaAs、InP、ポリマー、SiGeなどの多様性のあるサブストレートの組合せを、ひとつのパッケージに搭載すると考えられる。熱機械的効果および材料の相互作用の理解は、信頼性のあるパッケージの組立に必要である。搭載する接着剤の粘弾性特性は、ファイバの位置精度を制御した搭載に対する、環境ストレスによる挙動を理解するのに必要である。

統合されたデザイン能力は、オプトエレクトロニクスパッケージング開発のために必要である。これらのパッケージ化されたシステムに対する光学的、電氣的、熱的および機械的要求を包含した設計システムが必要である。

オプトエレクトロニクスパッケージングにおける熱管理要求は、パッケージ内の電気に対応するものよりも厳格である。であるがゆえに、一般的なエレクトロニクスでの熱管理は主に信頼性関連であるが、オプトエレクトロニクスでは多くのデバイスは、波長のようにその動作パラメータが温度に敏感である。実際、ITU 格子グリッド上で設定された波長を動作するために、光素子の温度制御を使用することが常識である。このことは、パッケージ内に、無駄な熱を放散する適正な方法として、熱電子(ペルチェ)冷却を集積することの必要性を導いている。将来のデバイスは、高密度に実装され高速レート(10Gbps、40 Gbps、160 Gbps)で動作することから、単に熱的問題はさらに悪化させる。加えて、熱のドリフトは、パッケージの異なった部品の熱膨張差によって、ファイバの位置精度へ影響を与える。オプトエレクトロニクスパッケージには、レーザーダイオード、フォトダイオード、光導波路、ファイバなどの光学デバイスも含む。これらの部品の多くの特性が温度に敏感なので、パッケージ動作温度の効果的な制御が必要である。

オプトエレクトロニクスパッケージングの材料は、一般の電子パッケージ材料、光導波路材料、光学位置固定接着剤や白色光を出すりんコーティング等から構成される。挑戦は、電子デバイスの電氣的な要求に整合することは別として、熱的安定性、屈折率、光デバイス/光材料の組立精度等の要求が、アセンブリ中に整合しなければならないことから生起される。光導波路の材料には、光信号に対する超低損失、リフロー工程を許容する高い温度安定性、低複屈折率、容易な反射率制御、容易な工程などが要求される。

システム・イン・パッケージ要求

2000 年の当初は携帯電話用途が牽引し、マルチチップパッケージングでの転換として SiP(System-in-a-Package)が、システムインテグレーションの有益性により、最も急速に成長を開始したパッケージング領域として起きた。SiP は、システムパッケージの統合を通じて、多くの特徴や機能を集積化することで、OEM の製品サイズや重量を削減する傾向を維持させることを可能にした。この集積化の挑戦は、OEM、半導体デバイス供給業者、およびマイクロエレクトロニクス製造サービス供給業者間の協力をによって最もよく実現されるだろう。携帯電話分野の OEM は製品ライフサイクルの短縮化に直面する。入手可能な IC を使った SiP を採用し、新しい IC を零から新たに設計する必要が無い場合は、新製品の設計がより簡単で、よりコスト有効性が高まることが認識された。

SiP の定義は業界において明確には確立されていない。ITRS AP-TWG は、SiP をひとつのパッケージに集積した半導体、受動部品、相互接続のあらゆる組み合わせと定義した。この定義では、SiP はいかなる技術あるいは集積方法にも限定されない一方、新しく出現したさまざまな市場領域には多くの特有な SiP 方式が存在する。これらは、積層チップ、ベアチップ混載 SMD、ならびにビルドアップ方式を含む。SiP に対する技術要求を定義しようとする、我々はこれら方式の個々に対する要求に分割せず、上述の個々の方式に対して適用される要求を予測する。

SiP は、セラミック、リードフレーム、有機ラミネートまたはテープベースのサブストレートを用いて製造することができる。受動部品はサブストレートの構成部品として内蔵や、サブストレート表面にはんだやエポキシ樹脂で接着される。

SiP サブストレートへのチップ接続あるいはチップ相互接続には、ワイヤボンディング、フリップチップ(はんだ接続、エポキシ樹脂接続)もしくは TAB が用いられる。最終的なパッケージ構成は、従来のセラミックパッケージ、ボールグリッドアレイ、ランドグリッドアレイ、リードフレームパッケージやカスタムモジュールの形態となる。その結果 SiP は、パッケージレベルでの高密度配線要求に対処するため、チップ相互接続および高密度のサブストレート技術を利用し、マザーボードおよびシステムレベルで要求されるコスト、配線密度、I/O 密度が低減される。

積層チップ方式はパッケージコスト低減の要求と、多くの携帯用途における密度増加の要求によって牽引されている。この技術は共通の I/O インターフェイスに加えて、チップ相互接合による恩恵が得られるロジックやメモリーチップ用途に対して既に十分に確立されている。単一のパッケージにおいてベアチップと組み合わせた SMT は、アナログとデジタル部品の集積を実現するのに用いられている。

この方式は SoC 代替として出現した。SiP の第一の利点は異なる半導体技術や受動部品の種類を集積できることである。SiP は SoC よりも早い設計ならびに試作サイクルタイムをもつ。また、開発コストが安く、機能密度が高くなる。例えば、ワイヤレスシステムのようなアナログとデジタルの IC の両方を必要とするシステムに対して、SiP はこれらの利点により選択されるパッケージ技術になった。

SiP が初めて大量生産の携帯機器(ハンドヘルド)や携帯電話分野に採用され、結果的に大量生産ラインでのパッケージング・プラットフォーム技術の検証を利用した低コストの産業基盤が、広範囲の分野に適用させる

新しい SiP 構成を可能にした。高密度接続を必要とするチップセット、内蔵や大容量メモリブロックを利用するシステムでは、SiP をそのコストと性能の最適化要求により評価しなければならない。

しかしながら、この技術は依然非常に未成熟で、結果として広範囲な技術開発要求がある。これには、要求されるデザインツール、材料、製造プロセス、設備、信頼性改善の開発を支援する、明確に定義された技術標準の開発を含む。

SiP パッケージングの概念は、ここでは以下の理由に準拠しており、パッケージング革命の第 4 の波と考えるても良い。

- GaAs、GeSi や Si などの異なるチップ技術およびロジック、メモリ、RF、アナログもしくはデジタルなどの異なる機能が、特定の熱、電気および機械的特性要求を達成するために、同一のパッケージ内に組み立てることができる。
- 0.10 μm 0.13 μm のサブミクロンの非同質のチップの結合構造を、経済的に同一のパッケージに集積することができる。最新のチップ技術が各チップ機能に採用され、従ってコスト低減や性能が向上している。
- MEMS や光スイッチング部品あるいは映像部品などの他の技術と同じ SiP に搭載できる。
- ワイヤボンド、フリップチップもしくは TAB などの異なる接続技術を使用して、パッケージや相互の部品を接続することができる。
- 受動部品、アンテナ、バラン(平衡不平衡変成器)、フィルタ、ヒートシンク、共振器、コネクタやシールドその他の部品を、同一パッケージに混載することができる。
- OEM 製品の改訂または最新化を、最新のチップ機能を用いることにより容易に達成することができ、製品変更のサイクルタイムを短縮できる。

半導体分野の本当のシステム・オン・ア・チップ(SoC)を作成する能力が増加するにつれて、システムを完成させるのに必要な全ての異なる部品を経済的にシリコンの上に集積させることはできない。よって SiP は、SoC デバイスと一緒に他の非シリコン部品をパッケージに搭載する責任を引き受ける。新しい分野の出現により、SiP は引き続きより複雑で、かつ経済的コストになっていくと予想される。SiP のために利益となるような最後の要因は、新規の SiP の創造や既存設計の変更のための短いサイクルタイムである。設計や特徴づけから製造までは、3 ヶ月から 4 ヶ月と短い、他方 SoC はもっと長かかる。サイクルタイム短縮は、部品パッケージングおよびシステムインテグレーションにおいて、引き続き SiP が極めて重要な役割を果たし続けることを意味している。

SiP の分野では、コスト有効性を計測するための新しい基準が必要である。ピン当たりコストのパラダイムは、SiP がパッケージ内のチップからチップへの接続により 2 次レベルの接続数を大幅に減少できることから、SiP とマルチチップモジュールには適用されない。なおかつ、SiP による面積や配線密度の減少は、信頼性や性能の向上しながら、システムやマザーボードのコスト低減を提供できる。面積あたりのコストと所有権のトータルコストの相関は、SiP ソリューションが提供するシステムインテグレーションコストと性能貢献を、十分に正しく評価するためには必要である。たとえばシリコン実効性は、ベアチップ(ウェーハ・レベル・パッケージング:WLP)

の面積有効性とマルチチップおよび 3 次元(積層チップ)ソリューション間の計測の新しい基準である。ベアチップや WLP は 100%のシリコン効率(チップサイズとパッケージサイズが等しい)であるが、新興の 3 次元パッケージ(積層チップ)では、従来の計測方法に基づき 250%以上のシリコン効率で納入される。

SiP のインフラストラクチャとしては、成長を持続させるための以下の挑戦に直面している。

- パッケージの設計ツール
- 熱、サーモメカニカル、および電気特性のモデリングツール
- 製造業者、半導体デバイス供給業者および OEM 間の協業における複合性要因の増加
- 最終システム製品のチップ品質および信頼性の不良診断および保証を容易にするための IC とパッケージの両方のレベルの機能テストおよび組み込みセルフテスト(BIST)

表 95 は主流製品のチップ数、総部品数、信頼性レベルに焦点をあてた 2018 年までの SiP 技術要求のいくつかのまとめである。SiP の表はサブストレート技術および埋め込み受動部品に関連する技術の情報は含んでいない。これらの要求はサブストレート技術要求および埋め込み受動部品セクションで議論される。これら SiP の要求は有機あるいはセラミックベースのサブストレートのいずれにかによって取り組まれて、業界は 2018 年までは、SiP に対してこれら両方の技術を継続使用することを想定している。

SiP コストも明確な基準を定義することができていないため、要求の表では取り上げられていない。しかしながら、コストは業界では技術選定および実施において最も重要な要素であると予測される。鍵となるコストロードオフは、追加の層および特別な材料を必要とするサブストレート中への埋め込み部品の使用に対して、追加のボード面積と複雑なアセンブリプロセスを持つが同じ機能を提供する表面実装ディスクリート部品の使用である。

フリップチップ要求

フリップチップは、高機能メインフレーム・サーバ用マイクロプロセッサや論理チップのための標準的な接続技術である。これらの特定領域以外でも広く採用するために、業界では、ウェーハバンピング、ウェーハプローブ、パッケージサブストレートおよびアセンブリを含む、価格競争力があり、容易にアクセス可能なフリップチップ・インフラストラクチャを必要としている。共晶はんだバンプまたは低温はんだ仕上げの鉛リッチはんだにより実装されたフリップチップ・パッケージは、材料、表面処理、プロセス技術における解決策をベンチマークテストされるべき目標を表わします。半導体ロードマップは、次のセット中の技術ロードで、より高い熱消費、より高い周波数、より高い I/O および Cu/low-k 材料との適合性を予測している。解決策候補としては、高 I/O 数かつ高消費電力チップに対して、バンプピッチの現在の 150 μm からロードマップ期間終了時点の 70 μm への縮小を含んでいる。バンプピッチの縮小は、バンプサイズ、バンプ高さおよびアンダフィルフローと同様に、UBM サイズおよび UBM ピア開孔の縮小に帰着する。パッケージ設計およびプロセスの解決策候補は、熱機械的な信頼性やエレクトロマイグレーション挙動への影響と同様に、材料およびプロセスの要求がどのように満足されるか理解する必要がある。バンプピッチの縮小およびバンプ I/O 数の増加は、基板上のローカルおよびグローバルの配線能力要求を増加する。携帯型電子機器用途については、ワイヤボンダパッケージと対抗するた

めに、バンプ付きウェーハの薄型化、積層や3次元パッケージおよびリード・フレーム上のフリップチップのような特徴が要求されるだろう。

自動車用途では、高温および高消費電力の適用を含んでいる。次の技術ノードは、チップ中の Cu/low-k 材料、配線能力の高いサブストレート、より微小なバンプピッチおよび環境対応パッケージ動向を含む技術進歩と広範囲な産業への応用により牽引された新しい設計および材料を予告するだろう。広範な信頼性データベースおよび基礎知識は、市場での成功に不可欠である。フリップチップとウェーハ・レベル・パッケージングは、バンプ形成、再パッシベーションおよび再配線のようなインフラストラクチャ設備および技術課題を共有する。ウェーハ・プロービングは今後も、フリップチップおよびウェーハ・レベル・パッケージングの進展に非常に重要な要素となる。最後に、業界は、フリップチップがその用途によっては低コストであることに気づくだろう。

内蔵受動部品要求事項

内蔵電子部品への要求は以下の多様性で述べられてきた。1)パッケージの実際の面積の節約、2)信号線長の短縮化による性能の向上、3)部品と組み立てコストの節約、である。代替とはチップ上のディスクリート受動電子部品または半導体チップ上での実行である。内蔵受動電子部品はディスクリート受動部品や半導体チップ上の受動部品に比べてコスト、性能あるいは機能の面で競争的優位であるときにのみ実行される。ディスクリートの受動電子部品のコストとサイズが引き続き減少されているため、最初に実行される仕様領域はディスクリートなのかチップ上の解決策なのかは決まっていない。その間、内蔵抵抗器、コンデンサおよびインダクタの材料および製造工程の研究は行われているが、内蔵受動電子部品の設計工程を含めて統合されたパッケージ設計のツールが必要である。

ディスクリート抵抗器は、層別により極端に低いコストと小型サイズでの厳しい公差を得ることができる。内蔵抵抗器はサイズまたは材料コストによる恩恵によって採用されてきたのでは無い。その代わりとして、設計者はディスクリート抵抗器が、その寄生インダクタンスやキャパシタンスにより十分な性能に合致しない場合に、内蔵抵抗器を採用している。内蔵抵抗器にとって最も重要な問題は、性能を重視した応用分野での公差である。

プリント配線板は多量の終端抵抗を採用することができる。個々の部品や多量のディスクリート抵抗器の組み立てコストの節約は、内蔵抵抗層と要求されるレーザートリミングに連結して付加されるコストに対して有効的なトレードオフになるであろう。しかしながら、材料の抵抗値の範囲や長期間使用時のシート抵抗の安定性および熱抵抗係数は改善が必要で、とりわけパッケージ用サブストレート分野での採用には改善が要求される。

オプトエレクトロニクス分野ではブロードバンド分野向けが追求されている。この分野では IC にできるだけ近い高精度が要求される。このため顧客は、パッケージ内の内蔵抵抗器のレーザートリミングの追加コストを支払う意思がある。

これらの分野では 15%の公差で十分であり、半導体チップ内の抵抗が採用されることになる。また高いピン数の I/O リードに対応するため高密度の要求がある。レーザートリミングにより高い精度が達成できなければ、パッケージへの内蔵抵抗は何の利益も無い。密度制約は、中規模の I/O 分野では限界がある。ブロードバンドオプトエレクトロニクスモジュール製造業者は大半が、I/O 接続回路のために半導体ファウンドリーが提供し

たサードパーティのライブラリサービスに依存しているため、チップ内の終端抵抗器を含まない要求になっている。

現在では、チップセットユーザは異なった IC を異なった業者から入手する要求に遭遇している。終端抵抗器は、チップセット IC 上に内蔵されるか内蔵されない。チップセット IC に接続されるグラフィック DRAM IC は、終端抵抗器を内蔵するか、あるいは内蔵しない。終端抵抗器をパッケージに内蔵する願望がある。それらのパッケージは、差動ペアのポイント・ツー・ポイント(point-to-point)配線網で採用されるであろう。マルチドロップワイヤリングネットでは、終端抵抗は長い伝送線路の終わりに必要になる。それらは通常プリント配線板に設置され、パッケージ内には置かれない。言い換えるならば、内蔵抵抗器はパッケージのポイント・ツー・ポイント配線網に要望される。

しかしながら、追加されるコストはとて小さくなければならない、というのは、IC コストは終端抵抗が結果的に IC に埋込まれても同じだからである。その上、チップに埋込まれた終端抵抗は自由度が大きい。それらの接続・非接続は IC 制御されるだろう。またマルチドロップ配線網と同様にポイント・ツー・ポイントで使われる。

もし内蔵抵抗器の実現にパッケージサブストレートの新しい層が必要な場合、新たな層のコストは全ての抵抗のコストと相殺されなければならない。しかしながら、内蔵抵抗がパッケージの使用していない領域を使って実現することができるのであれば、そしてサブストレートの工程で少しの工程の追加でできるのであれば、経済的な弁明は止むに止まれぬものである。

RF 分野では、20 から 100 オーム範囲の抵抗が負荷と終端に使われている。ディスクリート抵抗器は精度の要求のために層別が行われなければならない。内蔵抵抗は精度の要求のためにレーザートリミングが必要になる。100 オームから 250K オームの範囲がバイアスと回路安定の目的で採用される。チップ抵抗器とそのプリント配線板への実装コストは、抵抗器あたり 1 セントあるいはそれ以下である。このコストはパッケージへの内蔵抵抗にとって手強いものになる。

デカップリングコンデンサは、電子システムのスイッチングノイズを極小化するための電気的な蓄積を行う貯水地として必要である。IC 内の立上がり/降下のスイッチング遷移は極短く、パッケージ内での持続時間は中間的となり、プリント配線板上では最長である。従って、設計者は高周波デカップリングコンデンサを IC 上に求める、またはシリーズインダクタンスとレジスタンスを最小にすることに近付けるため、中間的な周波数ではパッケージ上にデカップリングコンデンサを、低周波/高キャパシタンスデカップリングコンデンサをプリント配線板上に求める。

RF 分野では、コンデンサの範囲は 1pF から 100pF で 10%の公差が RF 同調回路に採用される。IF 同調回路では 10pF から 1000pF で 10%から 15%の公差が採用される。RF バイパス分野では 100pF から 100nF で 15%から 25%の公差が採用される。内蔵コンデンサは 15%公差に到達することができるため、IF 同調回路、DC ブロッキングおよび RF バイパスに採用することもできよう。

ディスクリートコンデンサは精度要求に合致するため層別される。チップコンデンサおよびそのプリント配線板への実装コストは、コンデンサ 1 個当たり 1 セントから 2 セントである。シリーズ抵抗およびリード線のインダ

クタンスを最小化することが挑戦である。半導体チップ内のコンデンサアレイは合計値が 100pF / アレイである。それらはチップ上のロジック回路を通じて、指定された回路の要求と合致するために特定化されるためチップ内蔵のコンデンサでは実現できない。

チップ上のインダクタの品質価値(Q)への影響を与える幾つかのパラメータを以下に述べる。

- 半導体サブストレートは絶縁材料では無い。インダクターコイルと非絶縁体サブストレートに分散されたキャパシタンスは、有効的なインダクタンスを減少させる。
- IC 上の極微細金属信号線の高いシリーズレジスタンス。
- チップ上のインダクタは RF 回路設計者により採用されてきた。例を挙げると、インピーダンス整合、フィルターリングおよびオシレータ内の LC—タンク回路である。インダクタなしのオシレータは実現化されている。

マイクロプロセッサ IC 内のクロック生成は、ひとつかそれ以上のチップ内のフェーズ・ロック・ループ(PLL)を用いている。ある種の PLL はオシレータ内の LC-タンク回路を用いる。最も高周波の PLL はチップ内のインダクタを用いる。チップ上の PLL への追加は、タンク回路内のインダクタをディスクリートか内蔵してパッケージ上を使うことになる。もちろんどんなインダクターエレメントでも PLL は自由である。チップ上の PLL へのチップ上のアナログ電源供給には、チップ上のデカップリングコンデンサによりデジタルセクションからのノイズを除去して、チップ上のシリーズレギュレータを使うことができる。

パッケージ上のインダクタは、チップ上のインダクタとの遭遇による制約を最小にしなければならない。設計者は必要なインダクタを配置するための幾つかのルールに従わなければならない。設計者はカップルされたノイズの原因となる磁場と近接インダクタの相関にも注意を払わなければならない。誘導的なカップリングは、容量性のカップリングよりもはるか長い距離に到達することを注意しなければならない。設計者は、パッケージ内に高多数のインダクタを入れる際には、カップル化されたノイズに対して極めて慎重になる必要がある。高透磁性金属の採用はインダクタンス値を増加することになる。

受動電子部品により遂行される幾つかの機能は、IC 内に集積するには大きすぎる。それらの例としては、アンテナ、平衡不平衡変成器、フィルタ、共振器および RF シールドである。これらの構造にはサブストレート上で寸法制御および低誘電率の低コストサブストレートが要求される。システムインパッケージ (SiP) の広範囲での使用につれて、SiP や RF の章で議論したようにパッケージ基板への受動部品内蔵が要求される。

RF およびミックスド・シグナル要求事項

RF およびミックスド・シグナル領域でのパッケージングチャレンジは、低コストのモバイル製品や高バンド幅の製品が全ての市場区分を横断して拡大されていることから、より一層重要性が増加するであろう。シリコン、SiGe、GaAs デバイスの性能の増加に加えて、極めて低コスト、ハイパフォーマンスパッケージングへの劇的なデバイスコスト低減の要求が定着化した。現在までの第一次のアプローチは、注意深く設計を最適化することを通じて、既定の低コストワイヤボンディングパッケージの性能を拡大することに注力してきたことである。しかしながら、長期間では、この手法は継続的なコスト削減と性能向上を支援しないであろう。RF 製品領域では、

周波数は 5GHz 帯域に上昇するため、誘電損失の改善、工程の多様性による寄生的な変数の厳格な制御、および近傍および遠方での効果を含む、より正確な電気シミュレーション能力が必要になる。

パッケージへのフリップチップ接続とパッケージ上の内蔵受動部品は接続長を短くする。このことはパッケージレベルの性能に鍵となる機能を付与する技術になるだろう。FBGA/CSP のような低インダクタンスおよび高密度パッケージは、伝統的なセラミックモジュールよりも低コストに分割した解決策を設計者が使用することを可能にするであろう。

統合されたモデリングとシミュレーションツールは、設計サイクルタイムの短縮を容認できるレベルにするために必要となる。経済的に可能であるならば、性能、物理的サイズ、およびコストに牽引された集積は、前述したように、シングルチップのラジオにメモリ、プロセッサおよびミックスド・シグナル機能を組み合わせることに到達するように引き続き行われる。一方、前の章で議論したように、システムインパッケージ (SiP) は広範囲なワイヤレス応用製品に使用される。

チップおよびパッケージレベル両方の早い設計サイクルタイムと正確なシミュレーションも、この統合を可能にさせるものである。パッケージレベルでの、高速試験およびパッケージレベルでのより高いレベルの機能試験も開発の挑戦になる。マイクロ・エレクトロ・メカニカル・システム (MEMS) は、フィルタ、スイッチ、オシレータおよび他の部品の組立に、採用されるであろう。それらは小型化、少ない挿入ロス、低消費電力、IC との集積およびバッチ組立による潜在的な低コストなどの恩恵を提供する。MEMS デバイスの信頼性、潜在的な温度敏感性およびハーメチック/真空パッケージングは、鍵となる開発の挑戦である。

解決策候補

ウェーハ・レベル・パッケージング

ウェーハ・レベル・パッケージング・プロセス (WLP) は、IC パッケージングの全てをウェーハレベルで形成する技術である。WLP 技術は、IC パッケージングコストをトータルウェーハコストの一定の割合に維持することができる。これが可能なのは、WLP は個々のチップのパッケージングコストを削減できるからである。WLP 技術は、チップサイズが後年縮小するとき、全てのパッケージの接続を引き続きチップ外形以内に配置することを要求する (リアルチップパッケージとして知られているファンインの設計でなければならない)。システムの展望から、WLP に対する制限はどれだけの I/O 数をチップの下に置くことができるか、および基板配線設計ができるかである。

WLP 技術の最初の応用市場は低・中庸な I/O 密度の分野で、高歩留り DRAM、Flash、Analog、EEPROM、RF や合計 100 以上の I/O をもつシリコン IC 分野などに代表される。

WLP 技術による FBGA パッケージは、2000 年に実用化レベルに到達した。その用途はポータブル機器とその他高密度実装を必要とする小型デバイスに拡大するであろう。WLP の最大限の利点を可能にする鍵となる技術は、ウェーハレベルのテストとバーン・インの開発である。I/O ピッチが 0.5mm と同等もしくは大きい

WLP はアンダーフィルを必要とせず、従って直接顧客の標準表面実装技術(SMT)工程フロー内に投入することができる。

WLP 技術はベアチップ実装の抱える問題および制限を解決あるいは除去することができる。従って、WLP 技術によるパッケージはベアチップ EEPROM の代替品となるであろう。

チップから次のレベルへの接続

表 96 は、チップから次のレベルへの接続の潜在的解決策を示している。この表におけるワイヤーボンディングの数値は、インラインのパッドピッチ用である。スタガード(千鳥)および多段ボンドパッド構造では、インラインピッチよりも狭ピッチを実現することができる。狭ピッチ化と多段パッド設計の組み合わせは高 I/O 要求に対して効果的な解決策となる。フリップチップ接続はパッケージサブストレート上のファンアウト配線を必要とする。信号リードは、通常外側のいくつかの列と一緒に置かれ、ファンアウトの容易化とパッケージインダクタンスを最小にするために、多数の電源、グランド線と一緒に配置される。エリアアレイの内側の電極部は、IC チップを横切るチップ上の抵抗に依る電圧ドロップを最小とするため電源とグランド接続に用いられる。現在のエリアアレイパッドピッチは 150 μm で、80nm 技術世代と、信号 I/O 数の増加と高電力が要求されているコストパフォーマンスおよびハイパフォーマンス市場分野における用途では 130 μm に縮小される。この接続方式には、性能面とコスト面において実現可能なウェーハバンピング、ウェーハプローピング、アセンブリ、アンダーフィルおよびサブストレート技術の整合性が要求される。ユーザーではおそらくテストプローブヘッドのコスト低減のために、生産ラインにおけるパッドピッチの変更は最小限に留めるだろう。平行信号配線間のクロストークノイズを考慮したファンアウト配線の長さがトレードオフの関係になることがある。チップサイズと電力の小さいいくつかのハンドヘルド・アプリケーションでは、コストパフォーマンスおよびハイパフォーマンス市場分野で採用されているものよりも狭ピッチのエリアアレイが必要となる。チップ上のより小さいバンプピッチに適合したサブストレート上のピッチやアンダーフィルを含むアセンブリプロセス技術が必要である。狭バンプピッチ化による設計優位性と、サブストレートおよびフリップチップアセンブリにおける高コスト化のトレードオフにより、技術は方向付けられるであろう。低供給電流用途では、異方導電性接着剤がエリアアレイ接続に用いられるであろう。

表 96 Chip-to-next-level 解決策候補

Year of Production	2003	2004	2005	2006	2007	2008	2009	2010	2012	2013	2015	2016	2018
Technology Node		hp90			hp65			hp45		hp32		hp22	
DRAM 1/2 Pitch (nm)	100	90	80	70	65	57	50	45	35	32	25	22	18
MPU/ASIC 1/2 Pitch (nm)	107	90	80	70	65	57	50	45	35	32	25	22	18
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28	25	20	18	14	13	10
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20	18	14	13	10	9	7
Chip Interconnect Pitch (μm)													
Wire bond—ball	40	35	30	25	25	20	20	20	20	20	20	20	20
Wire bond—wedge	30	25	20	20	20	20	20	20	20	20	20	20	20
TAB*	35	35	30	30	25	25	25	20	20	20	15	15	15
Flip chip area array*	150	150	130	130	120	110	100		90		80		70
Peripheral flip chip	60	60	40	40	30	30	20	20	20	20	15	15	15

注 *はんだバンプフリップチップ。特に高電流用途では、はんだバンプパッドピッチは UBM のより大きいビアホールにあわせて、より大きくなる。導電性接着剤によるフリップチップは区別して記載していないが、小さいチップに対しては、高密度サブストレートが同等のコストと仮定すれば、より小さなピッチとなるであろう。

ボールグリッドアレイパッケージ

ピン数が 200 ピン以上の多くのアプリケーションで、BGA パッケージは潜在的な解決策を提供するであろう。多くの BGA は、IC 外周でのワイヤボンダ接続を採用するであろう。BGA へのエリアアレイフリップチップの接続は、高 I/O もしくはハイパワーチップに必要とされるであろう。プラスチックボールグリッドアレイ(PBGA)では、大型チップのフリップチップ接続における、シリコン IC とサブストレートの CTE の大きな差によって起きる剪断応力を小さくするために、アンダーフィルを採用することが必要になる。PBGA に封止されたフリップチップの反りは、大きなチップサイズで顕著になり、熱冷却パスに影響を与えることになり得る。IC チップの狭いパッドピッチからサブストレート上のプレーティッド・スルーホール(PTH:めっきスルーホール)の比較的大きなピッチへのピッチ変換は PBGA パッケージ全体の課題である。BGA パッケージ直下のエリアアレイはんだボールは、サブストレート上の PTH もしくは PTH パッドと同じピッチを持つ。プリント配線板の信号層の数の最小化のためには、BGA 底面の信号リードは外側の数列に制限されなければならない。キャビティダウンの BGA では、内側の列は、IC チップとワイヤボンダ接続によって使われる。キャビティアップ BGA では、内側の列は電源とグランド接続用に制限されるか、もしくは使用されない。表 97 は、はんだボールアレイピッチから見た BGA パッケージの潜在的な最大可能ピン数を示している。

表 97 BGA 解決策候補

Year of Production	2003	2004	2005	2006	2007	2008	2009	2010	2012	2013	2015	2016	2018
DRAM ½ Pitch (nm)	100	90	80	70	65	57	50	45	35	32	25	22	18
DRAM ½ Pitch (nm)	90	80	70	65	57	50	45	40	32	28	22	20	16
MPU/ASIC ½ Pitch (nm)	107	90	80	70	65	57	50	45	35	32	25	22	18
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28	25	20	18	14	13	10
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20	18	14	13	10	9	7
BGA Solder Ball Pitch (mm)													
Low-cost and hand-held	0.8	0.8	0.65	0.65	0.65	0.65	0.65	0.5	0.5	0.5	0.5	0.5	0.5
Cost-performance	0.8	0.8	0.65	0.65	0.65	0.65	0.65	0.5	0.5	0.5	0.5	0.5	0.5
High-performance	1	1	1	0.8	0.8	0.8	0.8	0.65	0.65	0.5	0.5	0.5	0.5
Harsh	1	0.8	0.8	0.8	0.65	0.65	0.65	0.65	0.5	0.5	0.5	0.5	0.5
BGA ボディサイズ (mm) and 可能ピン数													
Low cost	20 361	21 400	18 484	18 484	16 576	16 576	17 625	15 841	17 1089	19 1369			
Hand-Held	23 484	23 484	19 529	20 576	17 625	18 729	19 784	17 1089	19 1369	21 1681			
Cost-performance	37.5 1396	37.5 1369	33 1600	33 1600	29 1936	29 1936	31 2209	27 2809	31 3721	35 4761			
High-Performance	35 1849	37.5 2116	37.5 2116	40 2401	33 2500	35 2809	37.5 3249	33 4225	37.5 5476	45 7921			
Harsh	17 169	17 169	14 169	15 196	15 196	13 225	11 256	14 729	15 841	17 1089			

注: ボディーサイズは最も近い JEDEC サイズで丸められた。

ファインピッチ BGA/チップスケールパッケージ

ファインピッチ BGA/チップスケールパッケージ(FBGA/CSP)は低重量で小型サイズ要求に対する潜在的な解決策を提供する。これらのパッケージは、チップ自身より僅かに大きいだけでなく、多様性をもった構造と材料の組み合わせが利用できる。表 98 に示すように、サイズの範囲は 4mm から 21mm である。21mm の FBGA/CSP は多ピンの分野に用いられる。FBGA/CSP のパッケージ下面では、エリアアレイ状に所定のピッチではんだボールが配置されるが、このピッチはプリント配線板(PWB)上の PTH の何分の1かである。FBGA/CSP 下面の各はんだボールを PWB の PTH に接続させるために、PWB 上にファンアウト配線が必要である。ファンアウト要求を最小にするために、エリアアレイ接続の僅かな外周列だけが使用される。たとえば、

24 アセンブリ&パッケージング

2003年時点の0.4mmのはんだボールピッチにおいては、外周の3列を横切って2つのはんだボールの間に48μmの配線が2本配置される。詳細は次のセクションで説明する。配線幅を34.2μm以下にできないかぎり、列数を4列以上利用する場合は、ビルドアップ層付きのプリント配線板が必要になる。FBGA/CSPは、高性能化、高密度化およびチップの縮小化への潜在的な利点を提供する。

表98 シングルチップパッケージ解決策候補

Year of Production	2003	2004	2005	2006	2007	2008	2009	2010	2012	2013	2015	2016	2018
Technology Node		hp90			hp65			hp45		hp32		hp22	
DRAM 1/2 Pitch (nm)	100	90	80	70	65	57	50	45	35	32	25	22	18
MPU/ASIC 1/2 Pitch (nm)	107	90	80	70	65	57	50	45	35	32	25	22	18
MPU Printed Gate Length (nm)	65	53	45	40	35	32	28	25	20	18	14	13	10
MPU Physical Gate Length (nm)	45	37	32	28	25	22	20	18	14	13	10	9	7
FBGA/CSP area array pitch (mm)	0.4	0.4	0.3	0.3	0.2	0.2	0.2	0.15	0.15	0.15	0.15	0.1	0.1
FBGA/CSP size (mm/side)	4-21	4-21	4-21	4-21	4-21	4-21	4-21	4-21	4-21	4-21	4-21	4-21	4-21
列数/リード数(1ファンアウト層)	3/252	3/252	3/252	3/252	3/348	3/348	3/348	3/348	3/348	3/348	3/348	3/348	3/348
列数/リード数(2ファンアウト層)	4/320	4/320	4/320	4/320	5/540	5/540	5/540	5/540	5/540	5/540	5/540	5/540	5/540
FBGA/CSP サイズ (mm/side)	21.00	21.00	21.00	21.00	21.00	21.00	21.00	21.00	21.00	21.00	21.00	21.00	21.00
列数/リード数(1ファンアウト層)	3/576	3/576	3/576	3/576	3/792	3/792	3/792	3/792	3/792	3/792	3/792	3/792	3/792
列数/リード数(2ファンアウト層)	4/572	4/572	4/572	4/572	5/1280	5/1280	5/1280	5/1280	5/1280	5/1280	5/1280	5/1280	5/1280

高密度パッケージサブストレートとプリント配線板(PWB)

2003年版のFBGA/CSP解決策を考慮すると、プリント配線板の最上層の金属配線は最外列3列に接続する必要がある。このことは、表99に記載されているように、プリント配線板が0.4mmピッチで隣接する2つのはんだボール間に2本の48μm信号線を通すことが出来ることを意味する。ビルドアップ層は4列もしくはそれ以上の接続に用いられるであろう。

表99 BGAおよびFBGA/CSPパッケージの潜在的なプリント配線板解決策

生産年度	2003	2004	2005	2006	2007	2008	2009	2012	2015	2018
テクノロジーノード		hp90			hp65					
DRAM 1/2 ピッチ (nm)	100	90	80	70	65	57	50	35	25	18
MPU/ASIC 1/2 ピッチ (nm)	107	90	80	70	65	57	50	35	25	18
MPU 印刷ゲート長 (nm)	65	53	45	40	35	32	28	20	14	10
MPU 物理的ゲート長 (nm)	45	37	32	28	25	22	20	14	10	7
FBGA/CSP はんだボールパッドピッチ (mm)	0.4	0.4	0.3	0.3	0.2	0.2	0.2	0.15	0.15	0.1
パッドサイズ (μm)	160	160	120	120	80	80	80	60	60	40
導体幅 (μm)	48	48	36	36	24	24	24	18	18	12
導体間隙 (μm)	48	48	36	36	24	24	24	18	18	12
接続列数	3	3	3	3	3	3	3	3	3	3

BGA サブストレートでは、最も厳しい導体幅/間隙の要求は、表96に示すパッドピッチを用いた低コスト用途の小チップに適した樹脂接着フリップチップである。一方、樹脂接着フリップチップ工程では、サブストレート材料への懸念が少ない、相対的に低温で行われる。

高電流のコストパフォーマンスとハイパフォーマンス用途では、はんだバンプフリップチップでの解決策が必要である。材料の節で説明したように、アンダーバンプ金属(UBM: Under Bump Metallurgy)での高電流密度に伴うエレクトマイグレーション問題があり、はんだバンプピッチはエレクトマイグレーションに適した調整が必要である。表 100 は鍵となるサブストレートの特徴を示しているが、表 96 に示したはんだバンプピッチを用い、フリップチップパッドピッチ、パッドサイズおよび導体幅/間隙の関数として示される特徴を示している。最外列のチップパッドを 50%に削減させれば、2 ピッチ分のパッド間に 3 つの信号線を配置できる。例として 2003 年では、3 本の 32.1 μm 信号線を 300 μm の中心間距離の 2 つのパッドに配置することができる。このことは 2 ピッチ毎に 4 本の信号線を配置出来るため、コストパフォーマンス用途のファンアウト層当たり 2 列への接続と同等、もしくは 2 層のファンアウト層への 4 列の接続と同等となる。同様に、5 本の 20.5 μm 信号線を同じ 2 つのパッド間に配置できる。そして表 100 に示したファンアウト層当たり 3 列への接続を実現するのと等価となる。

全ての信号 I/O パッドといくつかの電源/グランドパッドは、表 100 に示すように、外周列の幾つかに配置されると想定される。これらの外周列のパッドはそれぞれ、サブストレートのビアもしくは PTH を経由して接続するために、パッケージサブストレートの表層にファンアウト再配線が必要となる。ビアもしくは PTH は、システムインパッケージ(System-in-a-Package)サブストレートのグローバル配線へ接続、もしくは下部のはんだボールへ接続され、BGA パッケージを構成する。リード数は、一般的に IC のパッド数に比べて少ない。IC に必要なこれらの追加された電源およびグランドパッドは、内部の内周列に配置され、外周列にある電源およびグランドパッドに接続される。ウェア生産性を最適化するために IC チップサイズは縮小化されるが、チップ縮小に対応したフリップチップサブストレートの再設計が通常必要になる。将来のチップ縮小化に備えるためには、設計者は全てのフリップチップパッドをチップの端から離して配置しておく方が良い。これにより、チップ縮小後に、フリップチップパッケージのサブストレートを再設計する必要はなくなる。この場合、目的とする IC のパッド数に影響することもあれば、影響しないこともある。中間的な I/O 数の場合、チップが縮小しても同じパッケージサブストレートを採用できるように、IC 設計者はワイヤーボンディングパッケージを選択するだろう。

グローバル配線による解決策は、The National Technology Roadmap for Electronic Interconnections(IPC より出版)および The National Electronics Manufacturing Technology Roadmap(NEMI より出版)に記載されている。これらの配線の幾何学的寸法は、チップ上の配線をサブストレート上に移動させるには十分な密度になっていない。サブストレートコストは、表 93a および表 93b に示したトータルのアセンブリ&パッケージングコスト(セント/ピン)の 30%から 50%を超えないものとする。チップからパッケージへの組立工程中の数回の鉛フリーはんだ高温リフローに対応するためには、高ガラス転移点材料(高 Tg 材料)が必要となる。また大型チップではチップ・パッケージ間の熱膨張係数の整合が重要になり、大型パッケージ・プリント配線板間の熱膨張係数の整合が望ましい。サブストレートの低誘電率材料は、電気的性能要求を満足させるために、キャパシタンスの負荷を軽減させる。低誘電損失材料は、RF 用途に必要である。また、低吸水性材料は、パッケージの信頼性を向上させる。表 99 および表 100 は、BGA、ファインピッチ BGA/CSP およびフリップチップ接続に適応した高密度サブストレート解決策を、ピッチ、導体幅および導体間隙の関数として説明している。

表100 フリップチップサブストレート最上層のファンアウトの潜在的解決策

生産年度	2003	2004	2005	2006	2007	2008	2009	2012	2015	2018
テクノロジノード		hp90			hp65					
DRAM 1/2 ピッチ (nm)	100	90	80	70	65	57	50	35	25	18
MPU/ASIC 1/2 ピッチ (nm)	107	90	80	70	65	57	50	35	25	18
MPU 印刷ゲート長 (nm)	65	53	45	40	35	32	28	20	14	10
MPU 物理的ゲート長 (nm)	45	37	32	28	25	22	20	14	10	7
フリップチップパッドピッチ (μm)	0.4	0.4	0.3	0.3	0.2	0.2	0.2	0.15	0.15	0.1
パッドサイズ (μm)	160	160	120	120	80	80	80	60	60	40
チップサイズ(mm/片側)										
コストパフォーマンス	12	12	12	12	12	12	12	12	12	12
ハイパフォーマンス	17	17	17	17	17	17	17	17	17	17
アレイサイズ=チップ縁のパッド数										
コストパフォーマンス(最大)	79	79	91	91	99	108	119	132	149	170
ハイパフォーマンス(最大)	112	112	129	129	140	153	169	187	211	241
サブストレート配線(2列/ファンアウト層で3本の信号線で1つの再配列パッドを置き換えた場合)										
導体幅(μm)	32.1	32.1	27.8	27.8	25.7	23.5	21.4	19.2	17.1	15
導体間隙(μm)	32.1	32.1	27.8	27.8	25.7	23.5	21.4	19.2	17.1	15
サブストレート配線(3列/ファンアウト層で5本の信号線で1つの再配列パッドを置き換えた場合)										
導体幅(μm)	20.4	20.4	17.7	17.7	16.3	15.0	13.6	12.2	10.9	9.5
導体間隙(μm)	20.4	20.4	17.7	17.7	16.3	15.0	13.6	12.2	10.9	9.5
サブストレート配線(4列/ファンアウト層で3本の信号線を1つの近接するパッドで置き換えた場合)										
導体幅(μm)	10.7	10.7	9.2	9.2	8.5	7.8	7.1	6.4	5.7	5.0
導体間隙(μm)	10.7	10.7	9.2	9.2	8.5	7.8	7.1	6.4	5.7	5.0

* パッドサイズはパッドピッチの50%と仮定した。一般的に、パッドサイズはファンアウト層により異なり、例えば30%から60%である。

クロスカット ITWG 課題

設計

デバイスの複雑性と性能の急激な増加に伴い、パッケージ設計の複雑性も並行して増加してきた。結果として、設計工程の統合を要求する、チップとパッケージの協調設計 (Co-Design) の必要性が進展してきた。短期的には、電氣的、熱的、機械的および幾何学的データを、チップとパッケージの設計環境間で交換する能力が必要である。このデータがあれば、性能や信頼性の評価にも使うことができる。90nm 以下のノードのデバイス構造は、電氣的環境、機械的ストレスおよび熱の遷移の小さな変更により敏感になるため、パッケージとチップ設計の高精度のリアルタイムシミュレーションが必要になる。パッケージング技術はまた、チップ設計 TWG がデバイスの複雑性や性能の動向を確立するために用いてきたピン数やパワーの動向を牽引している。

環境、安全および健康

アセンブリ&パッケージングは、中間的業者や最終消費者に渡ってしまう潜在的なリスクや課題について考慮しなければならない。使用される材料は、リスクの無い取り扱いと最終廃棄またはリサイクルができればならない。アセンブリ&パッケージングの主流は海外拠点で行われているので、複数の司法権および規制団体を考慮に入れなければならない。

一般に、電子機器における鉛ベースはんだの排除とハロゲンフリープリント配線板材料へ要求は、コストおよび実行の複雑性により数年間遅延してきた。しかしながら、業界は 2002 年に最初の製品を出荷をさせるために積極的に活動した。パッケージング業界は大いに、この出荷を牽引した。関連している環境、安全および健康の章では、包括的な情報と新しい化学薬品審査ツール(化学的制限の表)を提供している。

モデリング&シミュレーション

アセンブリ&パッケージングからモデリング&シミュレーションへのクロスカット要求は、2つの観点での協調設計の構築である。つまり、チップとパッケージ間の協調設計と、機械的、電氣的および熱的シミュレーションを含んだ協調設計である。これらはインターコネクションの章で提案されたモデリング&シミュレーションの要求と密接に関連している。加えて、極めて低いレベルの信号線への高電流の遷移の影響を最小限化するために、低電圧および高電流の要求は、チップとパッケージの協調設計の必要性を大いに増加させている。

アセンブリ&パッケージング技術は、性能、消費電力、ジャンクション温度およびパッケージ形状の領域での様々な要求を同時に満足するために注力されている。これらの技術の開発と最適化を支援するためには、関連する電氣的、熱的および機械的な側面をカバーする先端的なモデリングツールが必要である。特に、これらの影響はもはや個別に処理することが出来ず、また同時にシミュレーションされなければならないことが重要である。であるがゆえに、モデリング&シミュレーションに含まれる工程、材料及び効果の表現で示される要求は、インターコネクションの章で提案された要求と同様ではあるけれど、鍵となる追加要求はチップ・パッケージの協調設計における大きな複雑性と構成を管理することの必要性である。これは、高いクロック周波数と高電流密度が発生した状態での処理可能な、メモリと CPU の有効な階層的なシミュレーション能力を要求する。時間領域または周波数領域での低減技術は、計算機的に有効な全波シミュレーションツールと同様に必

要である。使用される熱的および機械的モデルは、エアフロー、加速試験でのストレス予測値、界面破断作用のマイクロモデル、振動および機械的衝撃を含むパッケージ力学作用のためのマクロ構造モデルを含んだ、現実的な材料データに基づかなければならない。これらのモデルにはまた、接着 / アンダーセルフローまたは BGA リワーク等の製造および組立工程が含まれる必要がある。

アセンブリ&パッケージングのモデリング & シミュレーションの短期的な要求は、最適ではなく組み合わせられた有能な能力またはこれらの能力の発展的な拡張によって、実行されるだろう。長期的には、より完全なシステム方式が提供されると期待される。

計測

ロードマップを支援するパッケージ技術開発には材料界面の理解が必要であり、材料界面を特徴付けし、制御し、強力化する能力がアセンブリ&パッケージングの熱性能、信頼性歩留まりおよびコストを牽引する正確に品質を定めたり、恐らく界面性能を設計・制御する能力は、将来の低コスト開発および製造に重要となるであろう。金属 / 高分子、高分子 / 高分子および金属 / 無機誘電体間の界面結合強度(接着力)のための基本的なメカニズム(物理的、化学的および機械的)を十分に特徴付ける事は、製造工程を通して、これらの界面での極めて低いレベルの複合有機物の存在を定量的に明らかにする事と同様に、鍵となる。この理解は、界面の完全性改善のために極めて重要である。

テスト

パッケージピン数、パッドピッチおよびピンピッチのロードマップに示したように、ピン数の増大と微細ピッチ化を支援するために、積極的にパッケージング技術開発は続けられていく。しかしながら、これらの技術開発はテストの許容できるコストレベルからは必ずしも支持されないかもしれない。この問題の一つの解決策は、超多ピン製品に対してよりピン数の少ないシステムでのテストを可能にする DFT 技術を活用していくことである。パッケージング要求事項の表に記載したように、最もピン数の多い製品はまた、実効的なテストピン数を削減する信号ピン比率との高い関連があると予測される。端子ピッチおよびパッドピッチには、とりわけエリアアレイ接続では、テストの低コスト化への極めて重要な課題があり、特に 0.5mm 以下のボールピッチの BGA および 70 μm 以下のバンブピッチのフリップチップにおいて新しい技術開発が必要である。