

配線

概要

1994年のNTRS (National Technology Roadmap for Semiconductor)の配線技術の章では、予想される技術的要求全体を満たすための新しい配線金属と絶縁膜材料への最初の要求が示された。NTRSの1997年版では、銅(Cu)を使ったチップの開発導入が差し迫っていた。1999年版NTRSでは、かつてないペースで導入されつつあった新材料の開発が強調された。2001年版ITRSでは、新材料の継続的な導入が記載され、また配線幅が電子の平均自由行程に近づくに従って配線抵抗が増加する問題が強調された。2003年版では、MPUやASICへの低誘電率(low- κ)絶縁膜の導入ペースが予想したものより遅れていることが、ITRS配線分野の中心課題のひとつであった。2005年版ITRSでは、電子散乱によって増加するCu抵抗率と、それによって変化する抵抗・容量積(RC)の配線性能指標を記載している。またクロストークの指標が新たに導入されている。依然としてメモリデバイスが、最小寸法を争うテクノロジドライバーではあるものの、MPUのメタル1 (M1)ピッチは、2010年にDRAMと同じ値になると予想している。

当面(near term)の挑戦的技術にあげられている事柄は、急速に立ち上がる材料導入と、それに伴う複雑さを反映している。長期(long term)でみると、従来型のスケーリングに伴う材料変更では、もはや性能要求を満たせなくなっている。解決策は、設計・実装の斬新な開発努力とあいまった垂直配線インテグレーション、あるいは光、無線(RF)を使った革新的な配線技術の中にあるであろう。

配線あるいはワイヤリングシステムの役目は、チップ上のさまざまな回路やシステムに、同期などの信号を伝達し、電力とか接地ラインを供給することである。配線に関する開発要求の基本は、デザインルールをさらに縮小しても、チップの高速伝送要求を満足することである。

銅配線を使用したチップは、層間膜に酸化膜を使って1998年に導入されたが、技術ロードマップで予測された層間膜の誘電率の減少は、問題含みで推移してきている。すなわち、低誘電率膜をCuプロセスでインテグレーションした場合に、信頼性や歩留まりの問題が、当初の予想よりも困難であることが明らかになってきた。フッ素添加酸化膜($\kappa=3.7$)は180nm世代で導入されたが、比誘電率が $\kappa=2.6-3.0$ の材料は、90nm世代まで広く採用されなかった。 $\kappa < 2.6$ の多孔質(ポーラス)低誘電率(low- κ)材料のインテグレーションは、さらに困難が予想される。これらの新しい低誘電率膜の開発と完成度の向上は、絶えず行われることになるから、MPU製品サイクルの加速(2009年まで、3年から2年に)が、今後、達成可能な κ 値を引き下げるであろう。層間膜のバルクとしての比誘電率値は解決策候補の図で明示され、インテグレーションされた場合の実効的な比誘電率値の範囲は技術的要求表に載せられている。(より詳しい説明が必要であれば、「様々なインテグレーション方法に対する実効的な比誘電率値の計算」のサイトにアクセスしてください)。これらの新しい低誘電率膜の導入は、拡散防止(バリア)膜や核成長(シード)膜の膜厚低減と、均一性の向上と合わせて行う必要があり、インテグレーションする上で困難な技術課題といえる。

導電膜、拡散防止膜、核成長膜の解決策の候補は、ローカル、メタル1、中間層配線層、グローバル配線層の箇所に、受動素子と一緒にまとめられている。電子散乱効果によるCuの抵抗率上昇は、長期的に重要な要素になるであろうし、注目すべき分野である。原子層堆積法(Atomic layer deposition: ALD)は、下地の凹凸に無関係な優れた膜厚均一性と膜厚制御が特徴であり、導電膜、拡散防止膜や核成長膜、高誘電率膜の形成用として、依然として注目されている。電子散乱効果に起因するCu抵抗率の増加は、短期的にも重大な技術課題であり、注力すべき分野である。結晶粒界と界面の両方の散乱による抵抗率の扱いに関しては評価技術の貢献が大きい。今までのところ、この現象の解決策となるような技術は見出されていない。今後、実効誘電

2 配線

率の要求値を充たすため、デュアルダマシ構造を形成する際のトレンチ エッチング ストッパー層を使えなくなる。その結果、low- κ 誘電体材料を用いた、高精度のビア、トレンチ構造の形成が、エッチングの困難な技術課題となる。エッチングによる側壁の損傷は κ 値を増加させるので、これを最小限に抑えなければいけない。エッチング後のレジスト剥離が low- κ 材料に損傷を与え、実効誘電率を上昇させるという報告がある。エッチングと剥離の両方のイオン種への対応は、注力すべき分野となっている。また、超臨界 CO₂ のような、損傷を修復する新規技術が研究されている。

平坦化の解決策候補は、導電膜の平坦化と絶縁膜の平坦化の 2 つに分かれてきた。低誘電率膜とのインテグレーションに関する主要課題の一つは、平坦化過程での拡散防止層やキャップ層と、層間膜との密着性不良である。多孔質低誘電率膜では、さらに問題となりやすく、それ故、平坦化技術開発努力の最重要領域の一つである。

困難な技術課題

Table79 に 32nm ノードまでの当面(near term)の五大課題と、32nm ノード以降の長期(long term)の五大課題を示す。当面、配線分野での最大の課題は、配線の導電率の要求値を実現し、誘電率を低減できる新材料の導入である。長期的には、配線構造へのサイズ効果の影響を緩和しなければいけない。

3 次元的な加工制御は、現在および将来の配線技術の主要課題である。主な配線構造である、ダマシ構造では、厳しいパターニング、エッチング、平坦化の制御が求められる。最高性能を引き出すためには、配線構造は、好ましくない RC 特性劣化につながるプロファイル変動を許容できない。3 次元的な加工制御を実現するためには、高スループットの高アスペクト比構造を画像化する計測技術が新たに望まれる。また密着性や欠陥のインラインモニタリングが新たな計測技術として求められている。より大口径なウェーハの導入や、テストウェーハの削減要望により、in-situ でのプロセス制御技術の採用が推進されるであろう。3 次元的な加工制御は現在も課題であるが、多孔質低誘電率材料や ALD メタルなどの新材料が、より微細なピッチや、より高い A/R 比の中間配線層やグローバル配線層に用いられるようになると、さらに重要な課題となってくる。45nm ノードの時代になると電子表面散乱などの微細化の影響により、実効抵抗率が增大するため、新しい導電体材料が求められると予想される。Cu と低誘電率材料は将来のチップでも使われ続けると考えられるが、グローバル配線に対しては、配線遅延と消費電力を改善するため、RF 伝送、光配線、および three-dimensional integrated circuit (3 次元 IC) などの新しい配線ソリューションが必要になると予想され、これらの技術導入にはさらに困難な材料およびプロセスの課題を伴う。

形状の微細化、新材料、ダマシ構造はすべて、配線の開発と製造における on-chip metrology (オンチップ計測技術)の技術課題である。非常に高アスペクト比の構造や、非常に薄いバリア膜の Critical dimension (CD) 計測が必要とされている。それは、複雑さが増すチップの多層構成に対応できる方法でなければいけない。その他の技術課題として、高周波の抵抗率や誘電率測定、密着強度、機械的物性の計測が含まれている。

Table 79 Interconnect Difficult Challenges

<i>Difficult Challenges $\geq 32nm$</i>	<i>Summary of Issues</i>
Introduction of new materials to meet conductivity requirements and reduce the dielectric permittivity*	The rapid introductions of new materials/processes that are necessary to meet conductivity requirements and reduce the dielectric permittivity create integration and material characterization challenges.
Engineering manufacturable interconnect structures compatible with new materials and processes*	Integration complexity, CMP damage, resist poisoning, dielectric constant degradation. Lack of interconnect/packaging architecture design optimization tool
Achieving necessary reliability	New materials, structures, and processes create new chip reliability (electrical, thermal, and mechanical) exposure. Detecting, testing, modeling and control of failure mechanisms will be key.
Three-dimensional control of interconnect features (with it's associated metrology) is required to achieve necessary circuit performance and reliability.	Line edge roughness, trench depth and profile, via shape, etch bias, thinning due to cleaning, CMP effects. The multiplicity of levels combined with new materials, reduced feature size, and pattern dependent processes create this challenge.
Manufacturability and defect management that meet overall cost/performance requirements	As feature sizes shrink, interconnect processes must be compatible with device roadmaps and meet manufacturing targets at the specified wafer size. Plasma damage, contamination, thermal budgets, cleaning of high A/R features, defect tolerant processes, elimination/reduction of control wafers are key concerns. Where appropriate, global wiring and packaging concerns will be addressed in an integrated fashion.
<i>Difficult Challenges $< 32nm$</i>	<i>Summary of Issues</i>
Mitigate impact of size effects in interconnect structures	Line and via sidewall roughness, intersection of porous low- κ voids with sidewall, barrier roughness, and copper surface roughness will all adversely affect electron scattering in copper lines and cause increases in resistivity
Three-dimensional control of interconnect features (with it's associated metrology) is required	Line edge roughness, trench depth and profile, via shape, etch bias, thinning due to cleaning, CMP effects. The multiplicity of levels, combined with new materials, reduced feature size and pattern dependent processes, use of alternative memories, optical and RF interconnect, continues to challenge.
Patterning, cleaning, and filling at nano dimensions	As features shrink, etching, cleaning, and filling high aspect ratio structures will be challenging, especially for low- κ dual-Damascene metal structures and DRAM at nano dimensions.
Integration of new processes and structures, including interconnects for emerging devices	Combinations of materials and processes used to fabricate new structures create integration complexity. The increased number of levels exacerbate thermomechanical effects. Novel/active devices may be incorporated into the interconnect.
Identify solutions which address global wiring scaling issues*	Traditional interconnect scaling will no longer satisfy performance requirements. Defining and finding solutions beyond copper and low κ will require material innovation, combined with accelerated design, packaging and unconventional interconnect.

* Top three challenges (上位3つのチャレンジ)

CMP—chemical mechanical planarization

DRAM—dynamic random access memory

半導体製品に要求される性能と目標

配線に対する、より適切な記述をするために、短期 (Near Term) (2005-2013)、長期 (Long Term) (2014-2020)での技術的要求および解決策候補が、MPU (Micro-Processor Unit)、DRAM (Dynamic Random Access Memory)に分類して示されている。MPU に対しては、現在広く採用されている階層的スケーリング法を前提としており、配線ピッチ、アスペクト比が、メタル1 (M1)、中間層配線、グローバル配線で区別して示している。2005年版ロードマップでは、MPU 製品導入が、次の2世代の間(2007、2009)は、2年サイクルに加速され、2009年以降ふたたび3年サイクルに戻ると認識している。また、それによってMPUのメタル1ピッチが2010年にはDRAMと同じになると予想される。加えて、2009年までにMPUのメタル1と中間層配線のピッチの差がなくなる。また、最新ロードマップでは、MPUのメタル1に於ける“コンタクトつきピッチ”の定義を、最近接配線間でコンタクトが最近接で配置するのではなく、斜めにずれたコンタクト配置 (staggered contacts) の場合と明確にした。斜めにずれたコンタクト配置は、最近の標準的なMPU設計に用いられてきている。

MPUピッチの加速は、Cu配線のエレクトロマイグレーション問題をより悪化させる。現在の絶縁膜によるCu表面保護膜(キャップ)の場合の最大電流密度(Jmax)の許容限界を、2008年には超える。CoWPなどのCu配線の選択メタルキャップ技術開発が進められており、当面の解決策となる。一方、選択プロセスに由来する配

4 配線

線間ショート懸念があり、歩留まりを劣化につなげる懸念がある。絶縁膜キャッププロセスの改善も検討されている。

今回、電子散乱モデルが改善され、Cu の比抵抗上昇が配線幅とアスペクト比の関数として予測できるようになった。Figure 68 に示されているように、比抵抗上昇には粒界散乱と界面電子散乱の両方が大きく影響する。現時点では、この問題に対する解決策は見つかっていない。

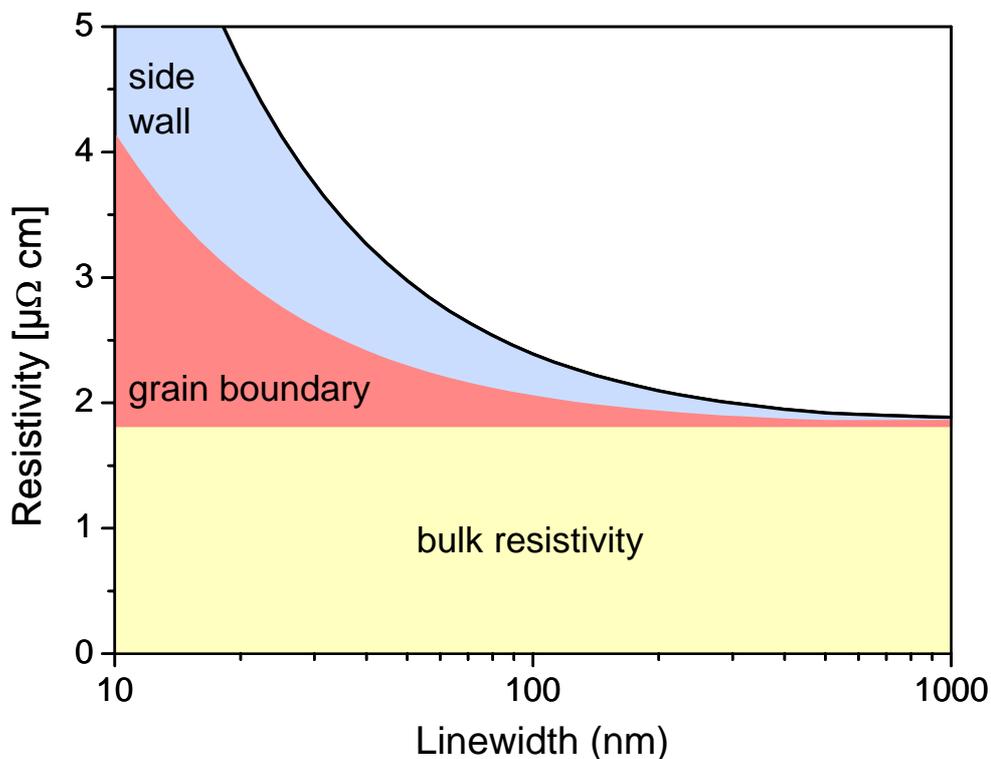


Figure 68 Cu Resistivity

これにそって、Cu の比抵抗値は最小のメタル 1、中間層配線、グローバル配線についてロードマップが扱うすべての年に対して記載されている。また、この比抵抗上昇の RC 性能指標への影響も計算され、要求される性能の表に含まれている。最小サイズ配線の 3 次元形状制御 (3DCD) は、ここ数年の ITRS において最重要課題のひとつとして挙げられている。最小寸法ばらつきと散乱による M1 配線抵抗のトータルばらつきも計算され、MPU の要求される性能の表に含まれている。従来のスケーリングによって、メタル 1 と中間層配線の配線長は通常、縮小されるため、これらによる遅延の影響はマイナーなものである。最も長い配線長のグローバル配線は、最も遅延への影響が大きい。材料変更や、Cu 比抵抗の改善では、最終的に性能要求を満足するには不十分であろう。Figure 69 は、将来の世代におけるメタル 1 とグローバル配線の遅延を示している。リピータ挿入によって遅延は改善されるが、消費電力とチップ面積が必要になる。

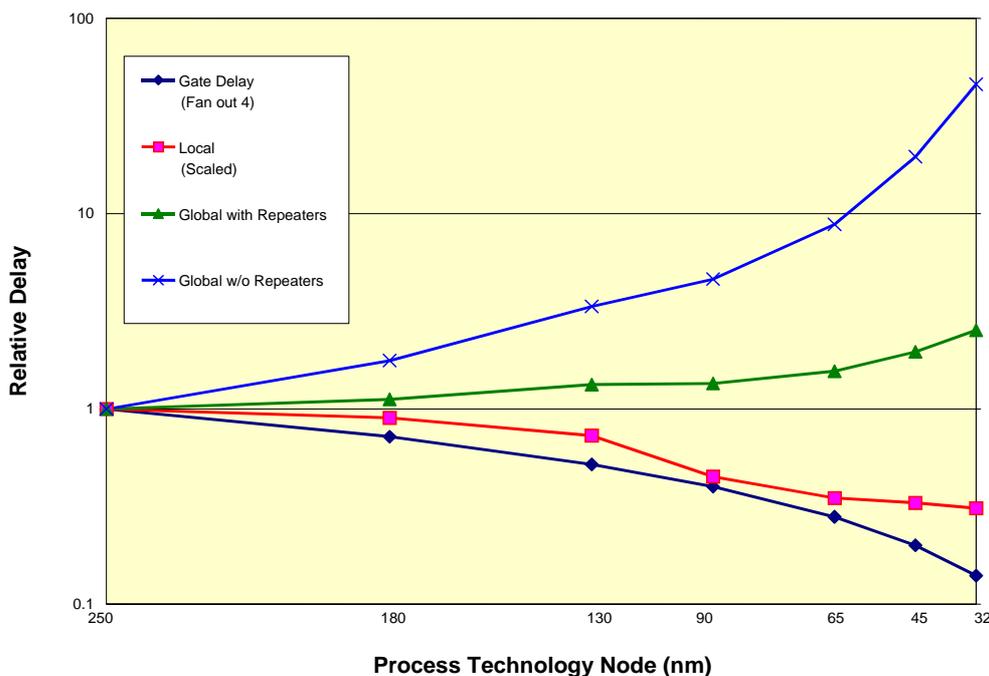


Figure 69 Delay for Metal 1 and Global Wiring versus Feature Size

長期的には、設計あるいは新たな技術的解決策(3D IC、自由空間 RF、光配線など)が、従来の配線の遅延、消費電力、帯域幅の限界を克服するために必要になる。インダクタンスの影響も、動作周波数が高くなるにつれてますます重要になってくるであろう。また追加のメタル層あるいは接地層が、インダクタンスの影響遮蔽のために必要になるかも知れない。供給電圧がスケーリングあるいは減少されるに従って、クロストークがあらゆるクロックと信号配線層で問題になってきている。新しいクロストークの指標が、メタル 1、中間層配線、グローバル配線に、ITRS2005 では導入された。その指標では、最小ピッチの犠牲配線においてクロストークによる電圧変動が、スイッチ電圧の 25%になる配線長を計算している。2020 年における最小グローバル配線の配線長限界は、2005 年の配線長の 30%未満である。従って、クロストークの課題解決のためには、設計分野との協力が必要となる。2005 年版ロードマップでは、将来の世代に向けて、新しいポーラス low- κ 絶縁材料の開発が引き続き行われていくが、その先にはエアギャップ(空中)配線技術の導入がある。

MPU の断面

MPU では、性能への配線遅延の影響を緩和するために、下層から序々に配線ピッチと配線厚さが増加する階層的スケーリング法による層数の多いメタル層が使われる。Figure 70 を参照。

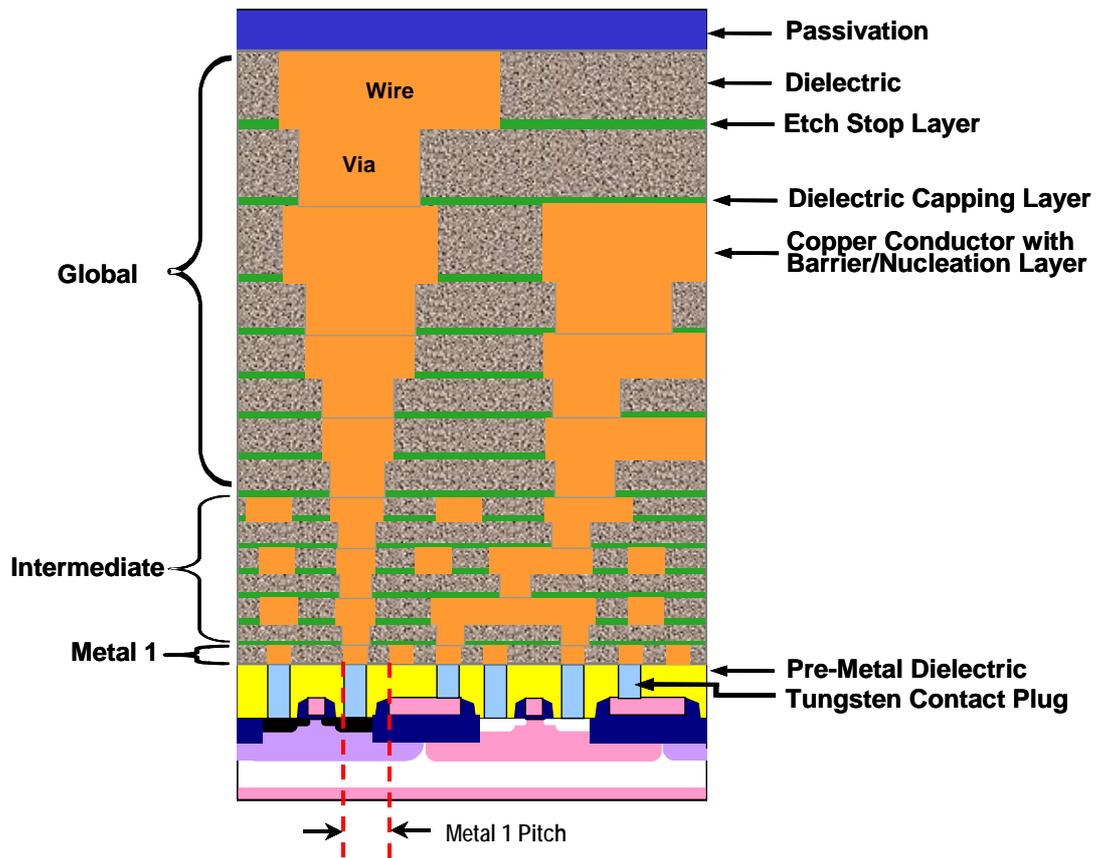


Figure70 Cross-section of Hierarchical Scaling-MPU Device

接地層やオンチップのデカップリング容量の必要性を考慮すると、性能要求を満たすために必要な層数から、さらにメタル層が増える。

ASIC の断面

ASIC の場合も Cu 配線や low- κ 絶縁膜といった MPU と共通する特徴をもっている。ASIC の設計手法は、一般的により標準化されたもので、メタル 1、中間層、セミグローバル(中間層の 2 倍ピッチ)、グローバル(中間層の 4 倍ピッチ)からなる配線である。2005 年版の MPU の要求される性能の表において、ASIC のみにセミグローバル配線ピッチの指標が、追加されている。典型的な ASIC の断面を Figure71 に示す。

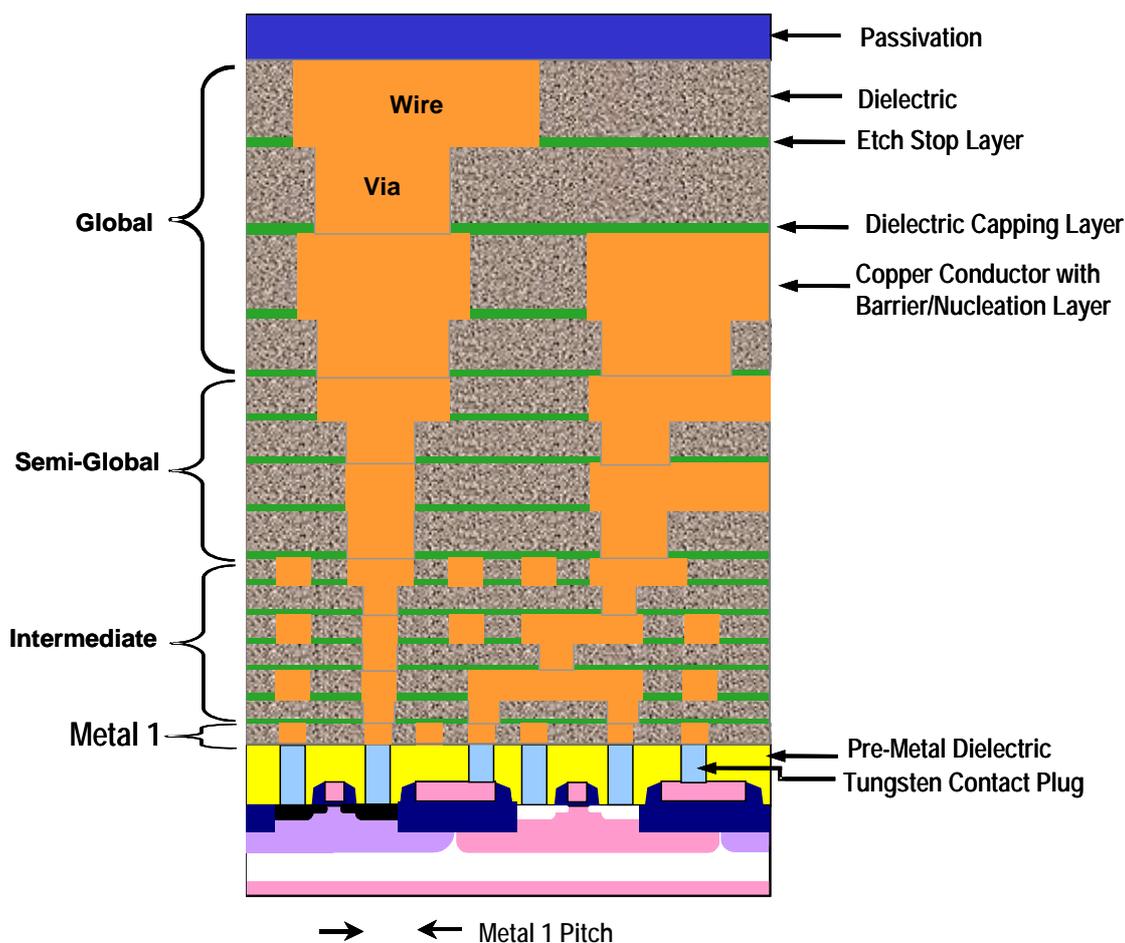


Figure 71 Cross-section of Hierarchical Scaling—ASIC Device

DRAM の配線技術は、もっとも厳しい配線ピッチ、もっとも高いコンタクトのアスペクト比を要求し、またもっとも厳しい寸法制御、欠陥制御を要求する。しかし、2010 年には MPU のメタル 1 ピッチが DRAM と一致すると予測されている。DRAM においても高速のメモリ製品に対応するために、低誘電率膜(FSG)が進行中で、またハーフピッチが 65nm では Cu 配線の導入が要求されることになるであろう。DRAM においてはマーケットにおける価格要求との兼ね合いであり、Cu 配線を用いることが価格を上昇させることになれば、その導入が遅れることもありえる。即ち、DRAM では、従来の Al 配線の改良と拡張が引き続き必要となる。

ダマシンプロセスフローは MPU/ASIC 製造方法の主要部分を占めていて、DRAM への使用も広がっていくことが期待されている。Figure 72 は いくつかの代表的な配線層間(ILD)構造を図示している。現在の Cu ダマシンプロセスは、物理的気相成長法(PVD)による Ta ベースの拡散防止膜と Cu 核成長層を利用している一方で、デザインルールの継続した縮小化が、異なる材料や核成長膜の堆積方法の開発を要求している。装置や薬液を継続して改善することによってめっき(ECD)によって堆積した銅配線をロードマップの予測最終年(2020 年)まで延命しようとしているが、微細、かつアスペクト比の高い形状が、別な埋め込み技術の並行開発と継続的な選択検討を必要としている。薄い拡散防止膜もまた これらの微細形状でも実効的な導電性を維持することが必要とされている。核成長層の孔の中の膜厚均一性に関する要求はダマシン構造への鍍金による埋め込みを可能とするため益々厳しくなる。表面処理(分離)、CVD、ALD、そして誘電膜の拡散防止が、途中状態での解決策候補であり、膜厚ゼロの拡散防止膜は望ましいが、必ずしも要求されていない。

短期的には、層間絶縁膜としては低誘電率化を、またデカップリングや金属・絶縁物・金属(MIM)キャパシタにおいては高誘電率化、さらに FRAM に対して残留分極の増大が、それぞれに用いられる絶縁膜に要求さ

れる。これらの絶縁膜の熱的、機械的、電気的な特性はプロセスインテグレーションに対してきわめて厳しい要求をすることとなる。より長期的には、高周波での誘電特性がより重要になるであろう。また、低損失導波路を形成するために十分な光学的なコントラストを有する光学材料が要求されるであろう。

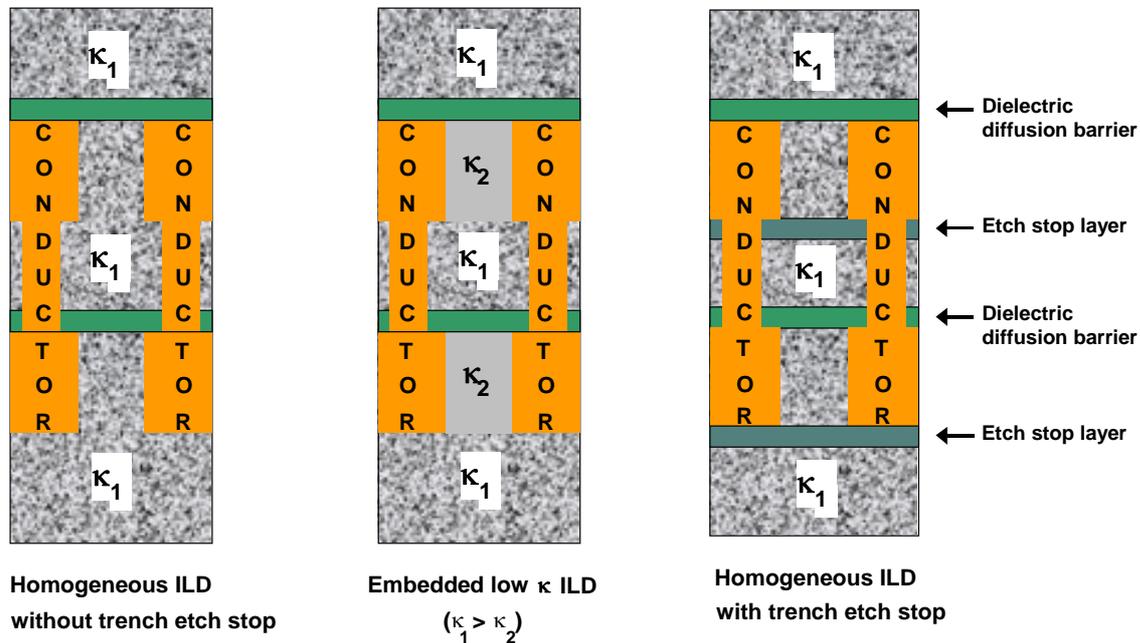


Figure 72 Typical ILD Architectures

絶縁膜 CMP と CMP 後の欠陥低減技術の継続的な改良が短期的には要求されるであろう。CMP 以外の平坦化技術の開発が、長期的な解決策候補である。Cu の CMP においては、Cu の厚さがスケールされるに従って、エロージョンやディッシングを極力小さくすることが、要求性能を満たすために必要となるであろう。また、低誘電率膜は、一般に低密度で機械強度が弱いため、それに対応できる平坦化技術(とそれに伴う終点)の開発が必須となる。また、将来のデバイスの低欠陥化に対して、ポスト CMP クリーニング技術の開発が非常に重要である。また、エッチストップ層やバリア層との高い選択比を持ち、low- κ を劣化させないエッチング技術、レジスト剥離技術、ポストエッチクリーニング技術の開発も必須である。また、エッチングや堆積プロセスでのダメージを低減化あるいはなくすことがゴールであり、特に、より薄膜のゲート絶縁膜、新ゲート絶縁膜の導入に際して重要である。

Table 80a MPU Interconnect Technology Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Number of metal levels	11	11	11	12	12	12	12	12	13
Number of optional levels – ground planes/capacitors	4	4	4	4	4	4	4	4	4
Total interconnect length (m/cm ²) – Metal 1 and five intermediate levels, active wiring only [1]	1019	1212	1439	1712	2000	2222	2500	2857	3125
FITs/m length/cm ² × 10 ⁻³ excluding global levels [2]	4.9	4.1	3.5	2.9	2.5	2.3	2	1.8	1.6
J _{max} (A/cm ²) – intermediate wire (at 105°C)	8.91E+05	1.37E+06	2.08E+06	3.08E+06	3.88E+06	5.15E+06	6.18E+06	6.46E+06	8.08E+06
Metal 1 wiring pitch (nm)	180	156	136	118	104	90	80	72	64
Metal 1 A/R (for Cu)	1.7	1.7	1.7	1.8	1.8	1.8	1.8	1.8	1.9
Interconnect RC delay (ps) for a 1 mm Cu Metal 1 wire, assumes no scattering and an effective pof 2.2 μΩ-cm	307	409	486	626	783	966	1224	1357	1572
Interconnect RC delay (ps) for 1 mm Cu Metal 1 wire, assumes width-dependent scattering and a conformal barrier of thickness specified below	440	612	767	1044	1388	1792	2392	2857	3451
Conductor effective resistivity (μΩ-cm) Cu Metal 1 wiring including effect of width-dependent scattering and a conformal barrier of thickness specified below	3.15	3.29	3.47	3.67	3.9	4.08	4.3	4.63	4.83
Barrier/cladding thickness (for Cu Metal 1 wiring) (nm) [3]	6.5	5.6	4.8	4.3	3.7	3.3	2.9	2.6	2.4
Line length (μm) where τ = RC delay (Metal 1 wire) no scattering	53	43	36	29	24	20	17	15	13
Line length (μm) where 25% of switching voltage is induced on victim Metal 1 wire by crosstalk [4]	136	118	107	96	90	84	79	73	61
Cu thinning at minimum pitch due to erosion (nm), 10% × height, 50% areal density, 500 μm square array	15	13	12	11	9	8	7	6	6
Total Metal 1 resistance variability due to CD erosion and scattering (%) [4]	28	29	28	29	30	30	31	32	32
Intermediate wiring pitch (nm)	200	167	140	118	104	90	80	72	64
Intermediate wiring dual damascene A/R (Cu wire/via)	1.7/1.5	1.7/1.6	1.8/1.6	1.8/1.6	1.8/1.6	1.8/1.6	1.8/1.6	1.9/1.7	1.9/1.7
Interconnect RC delay (ps) for a 1 mm Cu intermediate wire, assumes no scattering and an effective pof 2.2 μΩ-cm	254	360	437	626	797	984	1246	1334	1596
Interconnect RC delay (ps) for 1 mm Cu intermediate wire, assumes width-dependent scattering and a conformal barrier of thickness specified below	355	527	682	1039	1413	1825	2436	2784	3504

Table 80a MPU Interconnect Technology Requirements—Near-term Years (continued)

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Conductor effective resistivity ($\mu\Omega$ -cm) Cu intermediate wiring including effect of width-dependent scattering and a conformal barrier of thickness specified below	3.07	3.22	3.43	3.65	3.9	4.08	4.3	4.59	4.83
Barrier/cladding thickness (for Cu intermediate wiring) (nm) [3]	7.3	6	5.2	4.3	3.7	3.3	2.9	2.6	2.4
Line length (μm) where $\tau = RC$ delay (intermediate wire) no scattering	59	45	38	29	24	20	17	15	13
Line length (μm) where 25% of switching voltage is induced on victim intermediate wire by crosstalk [4]	235	185	165	136	126	116	106	95	80
Cu thinning at minimum intermediate pitch due to erosion (nm), $10\% \times$ height, 50% areal density, 500 μm square array	17	14	13	11	9	8	7	7	6
Semi-global wire pitch (nm) (ASIC only)	400	334	280	236	208	180	160	144	128
Minimum global wiring pitch (nm)	300	250	210	177	156	135	120	108	96
Ratio range (global wiring pitches/intermediate wiring pitch)	1.5–10	1.5–12	1.5–14	1.5–17	1.5–20	1.5–22	1.5–25	1.5–29	1.5–31
Global wiring dual damascene A/R (Cu wire/via)	2.2/2.0	2.2/2.0	2.3/2.1	2.3/2.1	2.4/2.2	2.4/2.2	2.4/2.2	2.5/2.3	2.5/2.3
Interconnect RC delay (ps) for a 1 mm minimum pitch Cu global wire, assumes no scattering and an effective ρ of 2.2 $\mu\Omega$ -cm	96	139	168	242	301	371	470	511	611
Interconnect RC delay (ps) for 1 mm Cu min pitch global wire, assumes width-dependent scattering and a conformal barrier of thickness specified below	111	165	209	316	410	523	687	787	977
Conductor effective resistivity ($\mu\Omega$ -cm) minimum pitch Cu global wiring including effect of width-dependent scattering and a conformal barrier of thickness specified below	2.53	2.62	2.73	2.87	3.00	3.10	3.22	3.39	3.52
Barrier/cladding thickness (for min. pitch Cu global wiring) (nm) [3]	7.3	6	5.2	4.3	3.7	3.3	2.9	2.6	2.4
Line length (μm) where $\tau = RC$ delay (global wire at minimum pitch – no scattering)	95	73	62	47	39	33	27	24	20

Table 80a MPU Interconnect Technology Requirements—Near-term Years (continued)

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Line length (µm) where 25% of switching voltage is induced on victim minimum global wire by crosstalk [4]	170	147	137	130	128	124	120	115	97
Cu thinning of maximum width global wiring due to dishing and erosion (nm), 10% × height, 80% areal density	220	220	230	230	240	240	240	250	250
Cu thinning global wiring due to dishing (nm), 100 µm wide feature	24	21	19	17	15	14	13	13	10
Conductor effective resistivity (µΩ-cm) Cu wiring, assumes no scattering	2.2	2.2	2.2	2.2	2.2	2.2	2.2	2.2	2.2
Interlevel metal insulator – effective dielectric constant (κ)	3.1–3.4	3.1–3.4	2.7–3.0	2.7–3.0	2.5–2.8	2.5–2.8	2.5–2.8	2.1–2.4	2.1–2.4
Interlevel metal insulator (minimum expected) – bulk dielectric constant (κ)	≤ 2.7	≤ 2.7	≤ 2.4	≤ 2.4	≤ 2.2	≤ 2.2	≤ 2.2	≤ 2.0	≤ 2.0

*Refer to Executive Summary Figure 4 for definition of metal 1 pitch

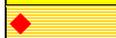
Manufacturable solutions exist, and are being optimized	
Manufacturable solutions are known	
Interim solutions are known	
Manufacturable solutions are NOT known	

Table 80b MPU Interconnect Technology Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Number of metal levels	13	13	13	14	14	14	14
Number of optional levels – ground planes/capacitors	4	4	4	4	4	4	4
Total interconnect length (m/cm ²) – Metal 1 and five intermediate levels, active wiring only [1]	3571	4000	4545	5000	5555	6250	7143
FITs/m length/cm ² × 10 ⁻³ excluding global levels [2]	1.4	1.3	1.1	1	0.9	0.8	0.7
J _{max} (A/cm ²) – intermediate wire (at 105°C)	1.06E+07	1.14E+07	1.47E+07	1.54E+07	1.80E+07	2.23E+07	2.74E+07
Metal 1 wiring pitch (nm)	56	50	44	40	36	32	28
Metal 1 A/R (for Cu)	1.9	1.9	2	2	2	2	2

Table 80b MPU Interconnect Technology Requirements—Long-term Years (continued)

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Interconnect RC delay (ps) for a 1 mm Cu Metal 1 wire, assumes no scattering and an effective pof 2.2 $\mu\Omega$ -cm	2053	2346	2943	3563	3754	4752	6207
Interconnect RC delay (ps) for 1 mm Cu Metal 1 wire, assumes width-dependent scattering and a conformal barrier of thickness specified below	4853	5951	8040	10252	11432	15853	23105
Conductor effective resistivity ($\mu\Omega$ -cm) Cu Metal 1 wiring including effect of width dependent scattering and a conformal barrier of thickness specified below	5.2	5.58	6.01	6.33	6.7	7.34	8.19
Barrier/cladding thickness (for Cu Metal 1 wiring) (nm) [3]	2.1	1.9	1.7	1.5	1.3	1.2	1.1
Line length (μm) where $\tau = \text{RC delay}$ (Metal 1 wire) no scattering	10	9	7	6	5	5	4
Line length (μm) where 25% of switching voltage is induced on victim Metal 1 wire by crosstalk [4]	52	47	41	36	33	29	24
Cu thinning at minimum pitch due to erosion (nm), 10% \times height, 50% areal density, 500 μm square array	5	5	4	4	4	3	3
Total Metal 1 resistance variability due to CD erosion and scattering (%) [4]	31	33	32	33	35	33	33
Intermediate wiring pitch (nm)	56	50	44	40	36	32	28
Intermediate wiring dual damascene A/R (Cu wire/via)	1.9/1.7	1.9/1.7	2.0/1.8	2.0/1.8	2.0/1.8	2.0/1.8	2.0/1.8
Interconnect RC delay (ps) for a 1 mm Cu intermediate wire, assumes no scattering and an effective pof 2.2 $\mu\Omega$ -cm	2085	2382	2982	3610	3803	4813	6287
Interconnect RC delay (ps) for 1 mm Cu intermediate wire, assumes width-dependent scattering and a conformal barrier of thickness specified below	4927	6042	8147	10386	11581	16059	23405
Conductor effective resistivity ($\mu\Omega$ -cm) Cu intermediate wiring including effect of width-dependent scattering and a conformal barrier of thickness specified below	5.2	5.58	6.01	6.33	6.7	7.34	8.19
Barrier/cladding thickness (for Cu intermediate wiring) (nm) [3]	2.1	1.9	1.7	1.5	1.3	1.2	1.1
Line length (μm) where $\tau = \text{RC delay}$ (intermediate wire) no scattering	10	9	7	6	5	5	4
Line length (μm) where 25% of switching voltage is induced on victim intermediate wire by crosstalk [4]	68	60.5	53	46	43	40	37
Cu thinning at minimum intermediate pitch due to erosion (nm), 10% \times height, 50% areal density, 500 μm square array	6	5	4	4	4	3	3
Semi-global wire pitch (nm) (ASIC only)	112	100	88	80	72	64	56
Minimum global wiring pitch (nm)	84	75	66	60	54	48	42
Ratio range (global wiring pitches/intermediate wiring pitch)	1.5–36	1.5–40	1.5–45	1.5–50	1.5–56	1.5–63	1.5–71
Global wiring dual damascene A/R (Cu wire/via)	2.5/2.3	2.6/2.4	2.6/2.4	2.6/2.4	2.8/2.5	2.8/2.5	2.8/2.5

Table 80b MPU Interconnect Technology Requirements—Long-term Years (continued)

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Interconnect RC delay (ps) for a 1 mm minimum pitch Cu global wire, assumes no scattering and an effective pof 2.2 μΩ-cm	798	896	1157	1400	1433	1814	2370
Interconnect RC delay (ps) for 1 mm Cu minimum pitch global wire, assumes width-dependent scattering and a conformal barrier of thickness specified below	1353	1601	2210	2794	2983	4064	5795
Conductor effective resistivity (μΩ-cm) minimum pitch Cu global wiring including effect of width-dependent scattering and a conformal barrier of thickness specified below	3.73	3.93	4.20	4.39	4.58	4.93	5.38
Barrier/cladding thickness (for minimum pitch Cu global wiring) (nm) [3]	2.1	1.9	1.7	1.5	1.3	1.2	1.1
Line length (μm) where τ = RC delay (global wire at minimum pitch - no scattering)	16	14	11	10	9	7	6
Line length (μm) where 25% of switching voltage is induced on victim minimum global wire by crosstalk [4]	85	79	71	64	61	55	49
Cu thinning of maximum width global wiring due to dishing and erosion (nm), 10% × height, 80% areal density	250	260	260	260	280	280	280
Cu thinning global wiring due to dishing (nm), 100 μm wide feature	10	9	8	7	7	6	6
Conductor effective resistivity (μΩ-cm) Cu wiring, assumes no scattering	2.2	2.2	2.2	2.2	2.2	2.2	2.2
Interlevel metal insulator – effective dielectric constant (κ)	2.4–2.4	1.9–2.2	1.9–2.2	1.9–2.2	1.6–1.9	1.6–1.9	1.6–1.9
Interlevel metal insulator (minimum expected) – bulk dielectric constant (κ)	≤ 2.0	≤ 1.8	≤ 1.8	≤ 1.8	≤ 1.6	≤ 1.6	≤ 1.6

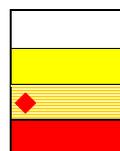
*Refer to Executive Summary Figure 4 for definition of metal 1 pitch

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



Notes for Tables 80a and b:

[1] Calculated by assuming that only one of every three minimum pitch wiring tracks for Metal 1 and five intermediate wiring levels are populated. The wiring lengths for each level are then summed to calculate the total interconnect length per square centimeter of active area.

[2] This metric is calculated by assuming that a 5 FIT (failure in ten thousand) reliability budget is apportioned to interconnect for the highest reliability grade MPUs. This number is then divided by the total interconnect length to arrive at the FITs per meter of wiring per one square centimeter of active area.

[3] Calculated for a conformal layer to meet minimum effective conductor resistivity with no scattering.

[4] Crosstalk is a calculated value. This metric will be managed by IC design.

Table 81a DRAM Interconnect Technology Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Number of metal layers	4	4	4	4	4	4	4	4	4
Contact A/R – stacked capacitor	15	16	16	17	17	>20	>20	>20	>20
Metal 1 wiring pitch (nm) *	160	140	130	114	100	90	80	72	64
Specific contact resistance ($\Omega\text{-cm}^2$) for n ⁺ Si	2.50E-08	2.30E-08	2.00E-08	1.70E-08	1.40E-08	1.20E-08	9.80E-09	8.20E-09	6.90E-09
Specific contact resistance ($\Omega\text{-cm}^2$) for p ⁺ Si	4.50E-08	3.80E-08	3.20E-08	2.70E-08	2.20E-08	1.80E-08	1.50E-08	1.30E-08	1.10E-08
Specific via resistance ($\Omega\text{-cm}^2$)	7.00E-10	6.00E-10	5.00E-10	4.00E-10	3.50E-10	2.90E-10	2.50E-10	2.10E-10	1.70E-10
Conductor effective resistivity ($\mu\Omega\text{-cm}$) assumes no scattering for Cu	3.3	3.3	2.2	2.2	2.2	2.2	2.2	2.2	2.2
Interlevel metal insulator – effective dielectric constant (κ)	3.6–4.1	3.6–4.1	3.6–4.1	3.1–3.4	3.1–3.4	3.1–3.4	2.7–3.0	2.7–3.0	2.7–3.0

*Refer to Executive Summary Figure 4 for definition of Metal 1 pitch

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

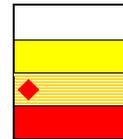


Table 81b DRAM Interconnect Technology Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 Half Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Number of metal layers	4	4	4	4	4	4	4
Contact A/R – stacked capacitor	>20	>20	>20	>20	>20	>20	>20
Metal 1 wiring pitch (nm) *	56	50	44	40	36	32	28
Specific contact resistance ($\Omega\text{-cm}^2$) for n ⁺ Si	5.80E-09	4.80E-09	4.00E-09	3.40E-09	2.80E-09	2.34E-09	1.96E-09
Specific contact resistance ($\Omega\text{-cm}^2$) for p ⁺ Si	9.20E-09	7.40E-09	6.20E-09	5.10E-09	4.30E-09	3.60E-09	3.01E-09
Specific via resistance ($\Omega\text{-cm}^2$)	1.40E-10	1.20E-10	1.00E-10	8.40E-11	7.00E-11	5.88E-10	4.90E-10
Conductor effective resistivity ($\mu\Omega\text{-cm}$) assumes no scattering for Cu	2.2	2.2	2.2	2.2	2.2	2.2	2.2
Interlevel metal insulator – effective dielectric constant (κ)	2.5–2.8	2.5–2.8	2.5–2.8	2.3–2.6	2.3–2.6	2.3–2.6	2.3–2.6

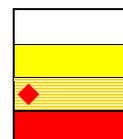
*Refer to Executive Summary Figure 4 for definition of Metal 1 pitch

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



解決策候補

絶縁膜に関する解決策候補

半導体産業は、未だに、シリコン絶縁膜やシリコン窒化膜、比較的単純なフルビアファーストデュアルダマシンインテグレーションプロセス(FVF)からのとても難しい変遷の最初の段階にある。これらの絶縁膜は、機械的に、電氣的にそして化学的に安定な特性のうち、それらのいくつかか或いは最善の組み合わせの特性を示す。また、FVFは成膜工程が少なく、層間絶縁膜のバルク κ 値と比べても最小の実効 κ 値を示す。しかし将来は、絶縁膜積層構造(Cap膜、Via層間膜、Trench層間膜、エッチストップ膜、CMP停止膜)を構成するそれぞれの成膜工程数は増え続けることになるであろう。こうした層数増は、異種材料の界面数の増加に関連した密着性に対する課題を提示する。汚染レベルを最小化しCoOを削減するための成膜の連続処理クラスター化は益々難しくなっている。代替キュア技術が、密着強度限界の打破や多孔質 low- κ 膜中からのポロジェン除去、low- κ 膜がその後の工程で受けたダメージを修復するために導入されつつある。半導体産業は、ITRS2001で計画していた革新路線の代わりに、low- κ 絶縁膜の採用や導入に対する進化の道を選んだ。この進化の道は、現在の low- κ 絶縁膜ファミリー(κ 値低減は付加的なプラズマ増速 CVD)、そして/或いは独創的な low- κ インテグレーションスキーム(それぞれの絶縁膜に対して独立のロードマップをもったハイブリッド)のいずれかに関連したものかもしれない。

新しい絶縁膜材料の要求は、殆どすべての現存する最終用途に対しては勿論のこと、従来そして新規のデバイスアーキテクチャーに対する要求を網羅しなければならない。絶縁膜材料の中には、電氣的、機械的、そしてプロセス上の特性に対する要求に対して、現状の層間絶縁膜に取って代わるための、付加的な特性をもたせたものもある。しかし、たとえ、将来のテクノロジ・ノードに対して、より説得力がある要求があったとしても、新材料には、その特性やインテグレーションにおける数々の問題が存在し、そのため、現在使用されている絶縁膜材料の寿命が成功裏に延長されてきた。次の4点のバックエンド工程全体にかかわる絶縁膜材料の技術課題は、本技術ロードマップの範囲で15年間通じて有効性を保っている。

- ・ 真の低誘電率材料を開発し、Cuデュアルダマシン技術で実現可能なコストで最大のパフォーマンスを得るデバイスを得るための、最小の実効誘電率を可能とする生産プロセスを構築すること。
- ・ 先端 Low- κ 材料や絶縁性バリア材料、環境影響評価やパッケージング構造に関係した信頼性や不良モードの早期把握
- ・ 中程度の誘電率($\kappa > 20$)から高誘電率($\kappa > 100$)材料を開発し、実現可能な単位価格あたりのビット数の増大を目指し続ける単体メモリへ適用すること、および、MPU/ASIC や SoC のためのデカップリングや MIM キャパシタへ適用すること。
- ・ 従来型の配線を、高周波や光配線、バイオ配線などに置き換える技術のために必要な、新しい材料の発明とインテグレーションにフォーカスした開発を行うこと。

絶縁膜材料への要求の範囲を明確にし、またバックエンド工程でそれぞれの特殊な用途にフォーカスするため、絶縁膜に関する解決策候補を示す Figure73 は、用途別に分けられ、また絶縁膜材料のプラットフォーム開発にとっての成膜技術とキュア技術の重要性を図解するために一節が加えられた。

Table81a と 81b にある“Interlevel metal insulator (minimum expected)-bulk dielectric constant”と“Interlevel metal insulator-effective dielectric constant”は、現状のロードマップの中で定義されている配線パラメータをもつ3つの主流のインテグレーションスキームに対する一般的な電気シミュレーションモデルから導出されたものである。このワーキングチームで使った方法論は、標準的なシミュレーションモデルと Cu Cap やハードマスク、Trench 層間絶縁膜、Via 層間絶縁膜やロードマップに記載された寸法や膜厚に関する最も“現実的な”パラメータを組み込んだ。そして、最も“現実的な”パラメータを用いたシミュレーションとともに、最も“挑戦的な”パラ

メータを用いたシミュレーションも合わせて行った。“Interlevel metal insulator-effective dielectric constant”に表記された範囲は、“現実的な”パラメータ使用によって得られた最大値と“挑戦的な”パラメータ使用によって得られた最小値である。“Interlevel metal insulator (minimum expected) -bulk dielectric constant”は、現実的な場合に使用された最も“挑戦的な”絶縁膜材料パラメータを表記している。その値は、何社かの IC 企業がこの値よりもっと挑戦的な low- κ 材料を選択するかもしれないことや、“Interlevel metal insulator-effective dielectric constant range”記載の最小値よりもっと高い値となるインテグレーションスキームを選択するかもしれないので“ \leq ”という表記をした。

チップ内のよく制御されたテスト構造から実効 κ 値 (κ_{eff})を推定するのに多くの電気シミュレーションモデルが存在する。Dielectric Appendix 記載の Figure A1~A3 は、現世代及び2世代先(90、65、45nm)の代表的な low- κ インテグレーションスキームに対する κ_{eff} のシミュレーション結果である。このモデルには、層間膜厚、アスペクト比、量産時期に実用化が可能と判断される絶縁膜材料に関する ITRS2005 ターゲット値が入力されている。得られた3種類の κ_{eff} 値は、それぞれの世代に対するそれぞれのインテグレーションスキームに対応したものである。 κ 値導出の論理的な根拠は、このロードマップの中で明確化されており、適切な配線パラメータが Figure A4 に示した論理モデルに基づいて提案されている。性能律速経路(クリティカルパス)は、平均長のインターメディアイト配線で多段に接続された典型的な標準回路(2入力 NAND+インバータ)と長距離のインターメディアイト配線とグローバル配線から構成されていると仮定している。長距離のインターメディアイト配線とグローバル配線は、RC 遅延を低減化するために最適化リピータで分割されており、長距離グローバル配線は幅と膜厚が逆スケーリングされている。このモデルの仮定は Table1に整理されている。この仮定の下、ハイエンド SoCにおける遅延時間を世代とともに30%低減化できるように配線抵抗と容量を確実にスケーリングしていく必要がある。Figure A5 に、この理論的なアプローチによって計算された κ_{eff} スケーリングカーブを上述の典型的なインテグレーションスキームを考慮した κ_{eff} 予測結果と比較して示した。これらはお互い良い一致をしている。

金属配線下層絶縁(PMD)膜

PMD(Pre-Metal Dielectric)膜については、その成膜技術の改良または変更が必要とされてくるだろう。ニッケルシリサイド(NiSi)の導入および、DRAM の隣接ゲート間隙のアスペクト比増大と高濃度のリンドープの必要性、そして、NOR 型フラッシュメモリにおける熱履歴低減の必要性が、その牽引力となっている。ロジック回路の接合およびゲートへの NiSi の使用拡大は、450-490°C以上の熱がかかるような成膜方法のへ異議を唱えるものとなるだろう。NiSi 導入と同様に、メタルゲートの導入においても熱履歴の制限が必要になる。この問題は高濃度のリンドープの要求で、さらに深刻になる。NOR 型のフラッシュメモリの中には、既に、リテンション対策として10%のリン濃度を必要としながら、かつ NiSi を導入しているものもある。これは、単なる熱成膜の方法では、打破しがたい技術課題である。

DRAMのゲート間隙のアスペクト比は2005年には16:1に達し、さらに増大し続けると予想されている。その結果、なされるであろうプラズマを用いた PMD 膜成膜にも、疑問点が増大している。今のところ、プラズマを用いた成膜による、ゲート絶縁膜のプラズマダメージ(Plasma Induced Damage)が、重要な問題となっている確証はない。しかし、この問題はゲート絶縁膜がさらに薄膜化されても、新たなる high- κ 材料に替わっても、懸念されつづける問題なのである。

最後に、DRAMのビットライン間の容量低減のために low- κ 絶縁膜の導入が切望されている。例えば、2010年までには実効 κ 値(κ_{eff})が2.7-3.1に、2020年には2.3-2.6にまで低減することが要求されている。このような、ギャップフィルや、低温化、リンドープ等に対する要求を満足するためには、将来の PMD 成膜のプロセスにはマルチステップ成膜が導入されるであろう。塗布とプラズマ成膜の組み合わせが2、3年以内の量産導入を睨んで既に学会で報告されてきている。

配線層間絶縁膜

この low- κ 材料の導入と同時に、バリアメタルの成膜技術の流動的な変更 (PVD→CVD→ALD) と、目標とする Cu 配線の抵抗値を維持するために行われるバリアメタルの継続的な薄膜化が、導入されなくてはならない。これらのインテグレーション上の技術課題および、クロストークや RC 遅延の見積りに関する設計上の改良に関する問題を検討した結果、ここ 3 年間にわたり本 ITRS で提案していた low- κ 層間絶縁膜の生産レベル導入時期について、今回、これを延期した。

シリコン系絶縁膜材料のインテグレーションにおいては、シリコン酸化膜プロセスの時に導入された“full-via-first”プロセスが一般的に用いられている。一方、有機系の絶縁膜材料については、通常、2 層の無機系のハードマスクを用いる構造が採用されてきた。これら両方のインテグレーションスキームは、費用効率が低い製造プロセスを提供するとともに、最小 κ_{eff} をもたらす。設計グループにとって最も重要な κ_{eff} は、チップ内の Cu 配線に沿って信号伝播が行われる場合のそれを取り囲む複合絶縁膜の比誘電率を示すパラメータである。最近、性能を最適化しプロセスインテグレーションの複雑さと課題を最小化する取り組みとして、“ハイブリッド”絶縁膜積層における無機材料と有機材料の組み合わせについて重要な議論がなされてきた。チップ内のよく制御されたテスト構造から実効 κ 値 (κ_{eff}) を推定するのに多くの電気シミュレーションモデルが存在する。Dielectric Appendix 記載の図に、代表的な low- κ インテグレーションスキームに対する κ_{eff} 抽出結果が何世代に渡って提示されている。このモデルには、層間膜厚、アスペクト比、量産時期に実用化が可能と判断される絶縁膜材料に関する ITRS2005 ターゲット値が入力されている。極端に低い絶縁膜 ($\kappa < 2.0$) が 2012 年以降に要求されるであろう。空中配線アーキテクチャ(空気を用いたハイブリッド絶縁膜積層)のような新規のインテグレーションスキームが要求されるであろう。

エッチングの選択性とダメージ、193nm 用レジスト、Cu-CMP、そして実装プロセスの適合性に関する技術課題については、いまだに、ほとんどすべての low- κ 絶縁膜材料に対して、解決のための努力が必要である。物理的、機械的、そして電気的な材料特性とこれらの関連性からは、インテグレーションの成功は予見できない。そのため、産業界において急激な学術の進歩が進行中である。技術集団は、ポーラス low- κ 材料の、ポアサイズ、ポア形状、アスペクト比そしてポアの連結性(オープンポア対クローズドポア)等の微細構造への要求について、健全で活発な議論を続けている。

ハードマスク

ハードマスクとはメタル間のトレンチ層のトップに成膜する絶縁膜の総称である。これには、デュアルダマシン構造のパターニングの補助と高選択比CMPのストッパー層 という二つの機能がある。さらに、この膜には、248nm および 193nm で使用される従来タイプの化学増幅型フォトリソグレイドにとって有害な酸や塩基成分の拡散を防止する役割もある。ハードマスクを効果的な CMP や酸・塩基成分のバリア層とすることは、 κ_{eff} の低減とは相反する。ほとんどのインテグレーションの構造では、このハードマスクの組成は、他の絶縁膜材料とは無関係に選択されている。しかし、ハイブリッドインテグレーションでは、もしハードマスクとビアレイヤーの絶縁膜が類似した材料であればエッチングシーケンスを簡略化できる。これらの材料としては、塗布系および CVD 系両方の成膜方法で誘電率を少なくとも 3.0 まで下げることができる。さらに、塗布系の材料の中には、2.2 程度の低い誘電率を提供するものもある。

エッチストップ層-ビア

ビアのエッチストップ層にもまた、二つの機能がある。ひとつは、孤立したビアに隣接する下地層絶縁膜がエッチングされることを防ぐために、ビアの絶縁膜に対して適正なエッチング選択性を確保する役割である。そして、このビアのエッチストップ層はまた、下層の Cu 配線のキャップ層としての役割もある。そのため、Cu の拡散を防止し、かつ、Cu のエレクトロマイグレーションの要求を満たすだけの、界面の密着性を有する必要がある。

また、ビアエッチストップ層は、全体的な k_{eff} に大きな影響をあたえるため、その膜厚と誘電率を最小にすべきである。

エッチストップ層—トレンチ

トレンチのエッチストップ層の主要な機能は、スムーズで良好な形状のトレンチボトムを形成するために、トレンチ絶縁膜と比較して十分な選択性を提供することである。トレンチ底部のラフネスはバリアメタルのカバレッジに影響するため、信頼性上の問題になる。トレンチ深さのばらつきは、配線抵抗のばらつきを招く。ハイブリッド構造のような代わりのインテグレーションスキームにおいては、それぞれ異なるエッチング特性が使われるので、個別のトレンチエッチストップ層の必要性はない。

DRAM

DRAM 技術においては、中程度の誘電率($5 < \kappa < 40$)材料の、スタックキャパシタへの導入が始まったばかりである。トレンチキャパシタ型の DRAM 技術では、キャパシタ面積の増大が容易であるため、このような中程度の誘電体材料の実施は少し先送りにすることができる。どちらの DRAM 技術においても、これら中程度の誘電率材料は、さらなる高誘電率材料($\kappa > 40$)のための途中段階と考えられている。次なる高誘電体材料は、スタックキャパシタ構造の DRAM で最初に導入され、トレンチ型ではその後になると思われるが、いずれにせよ、キャパシタへの high- κ 材料の導入は、ゲート絶縁膜への導入よりも早いだろう。

成膜及びキュア技術

層間絶縁膜の積層構造において用いられている絶縁膜材料の成膜技術は、歴史的にプラズマ増速 CVD (PECVD) 法に基づいて発展してきた。PECVD 法は今尚成膜技術の主流である。溶剤としての超臨界 CO_2 (scCO_2) を利用した装置を開発する取り組みがある。固体-気体-液体の 3 重点での CO_2 に関連した凡そゼロの表面張力は、高いアスペクト構造への埋め込みや無限の絶縁膜表面エネルギーとの整合性に対する解決策を提供してくれる。

BEOL プロセスのサーマルバジェットの低減化と絶対的な成膜温度・時間の低減化のために有望という理由から、キュア技術に対する関心が新たに高まってきている。キュア技術はまた、熱的及び機械的サイクル試験での劣化は勿論のこと、CMP やパッケージング工程に起因したプロセス課題への取り組みとして、low- κ 及び Ultra low- κ 材料の機械的特性の改善手段として検討されている。加えて、熱エネルギー以外のキュア技術によって Ultra low- κ 材料の(Closed Pore) 鋳型形成(Templating)後のポロジェン除去が促進されることがわかってきた。広帯域及び特定波長の UV エネルギー使用に関する検討が報告されており、今後も開発が継続されるであろう。電子ビーム源は以前に開発され、今では絶縁材料の機械的強度改善やポロジェン除去、そして層間絶縁膜の積層構造を構成する絶縁膜材料間の密着性改善に適用されつつある。

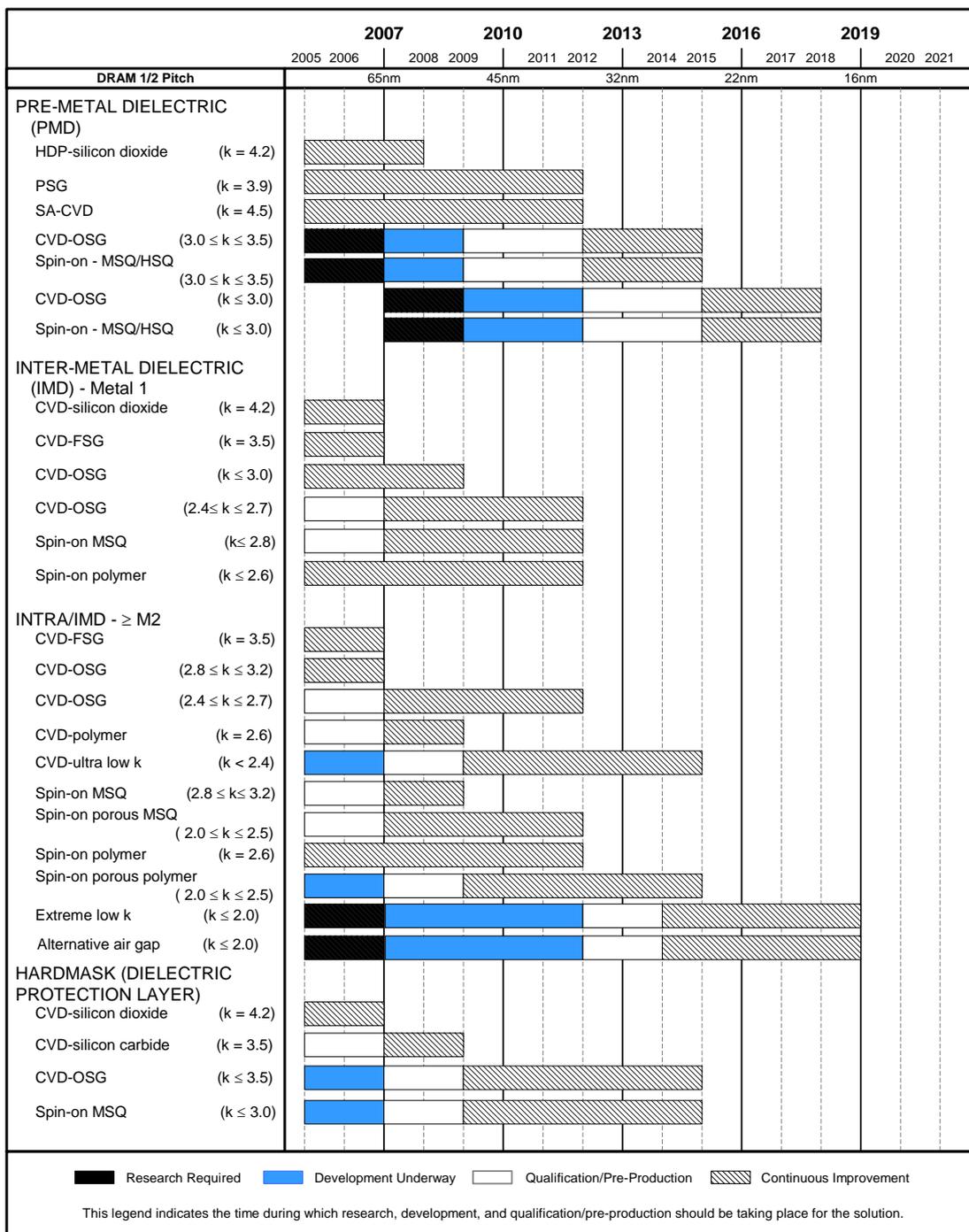


Figure 73 Dielectric Potential Solutions

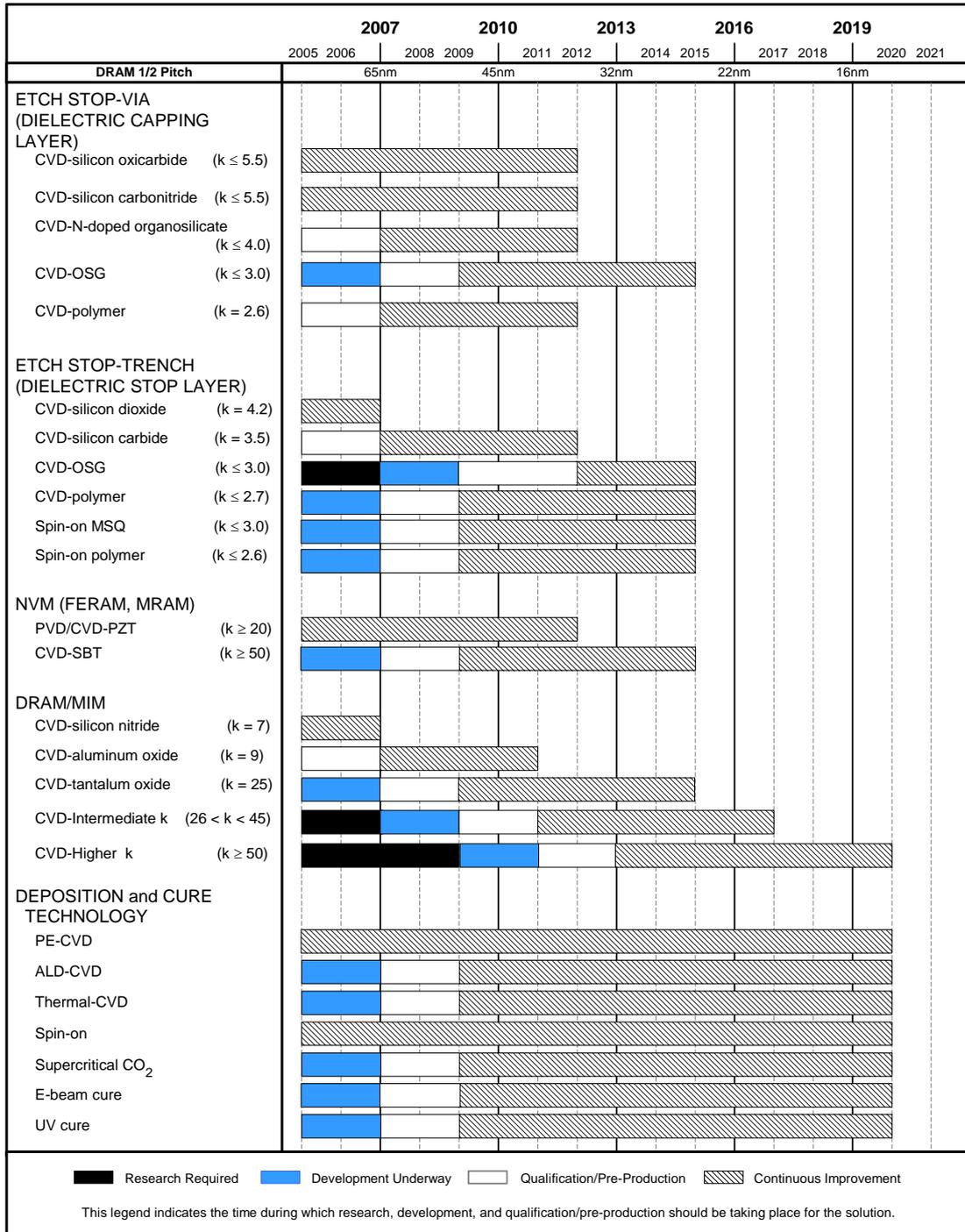


Figure 73 Dielectric Potential Solutions (continued)

拡散防止(バリア)膜解決策候補

タングステンのローカル配線及び埋め込みコンタクトに対するバリア材料としては TiN/Ti が当面の間、継続して使用されるだろう (Figure 74 参照)。長距離 PVD、イオン化 PVD、CVD のように既に確立している技術は、新しいシームのない W の埋め込み技術のために、継続的に改良がなされる。現在 ALD (Atomic Layer Deposition) による TiN/Ti が開発中であり、これを用いることで、コンタクトホールのピンチオフをなくすことができ、全くシームのない埋め込みが期待できる。CVD Ti/TiN バリア膜は DRAM スタックキャパシタなど高アスペクト比構造への W 埋め込みに使用するため、引き続き改良されていくだろう。タングステンプラグはその導電

率の面から、バリアメタルを極力薄膜化したいため、Ti/TiN 成膜の ALD への移行が進むだろう。

従来の PVD 法と CVD バリア技術も改良され、高アスペクトのアルミ埋め込みなどに適用されるが、近い将来、ALD がそれにとって代わるだろう。新規材料やより高アスペクトへの埋め込み技術への探索も進められており、これにともない、現状の コンタクト/ バリア/ 導電膜 という複雑な構造は、よりシンプルなものになっていくだろう。TiN の本来の目的は、W-CVD のプリカーサである WF_6 による Ti と F の反応の防止であることから、フッ素を含まないプリカーサを用いれば、バリア膜を完全になくすことが可能になる。また、コンタクトプラグとして、W に替わる Ru のような材料を用いる検討もされている。

Cu 配線に使用される拡散防止材料は隣接する酸化膜への Cu の拡散を防止するためのみではなく、界面での Cu 配線の空孔拡散を低減し、十分なエレクトロマイグレーション耐性を確保させるようなものでなくてはならない。Ta₂N₅/Ta は今後も工業的には主流な材料であるが、Ta、Ti、W の窒化物やシリコン窒化物、炭化物(カーバイド)なども有望な材料である。

長距離 PVD、イオン化 PVD や CVD による膜形成は、将来のデュアルダマシンの側壁へ被覆性に対する要求にこたえるために改良され続けるだろう。しかしながらこれらの成膜技術では、デュアルダマシンの溝の上部を狭めてしまうため、Cu の電気メッキによる埋め込み性に限界がある。将来主流となる解決策として期待される ALD バリアの開発に、非常に多くの努力が払われている。ALD の TaN と WNC が開発されはじめているが、エレクトロマイグレーション特性が十分に得られるのかどうか、銅との界面状態について疑問が残る。解決策候補のひとつとして、電気メッキ Cu との良好な界面状態を得るために、PVD Cu の上に PVD Ta のごく薄い層を形成する方法がある。この技術を用いて、PVD によるバリアメタル成膜技術を改良することで、-half ピッチ 45nm の MPU に対してまで引き続き使用できる。ALD の Ru はその上に直接電気メッキ Cu を成膜することが可能で、界面状態も良好だが、バリア性については疑わしい。さらに進んだ解決策候補は2つあり、一つは ALD TaN / ALD Ru、もう一つは ALD WNC / ALD Ru の 2 層構造バリアメタルである。

ALD バリア膜を採用するための最も大きな問題点は、ALD 膜形成の材料であるプリカーサ原料が多孔質 Low-k 膜内の空孔へ浸透することである。低誘電率膜の側面をチャンバ内で改質処理をすることによってこの問題を解決できるかもしれない。超臨界二酸化炭素を用いた無電界成膜によるバリア膜形成技術も探索中である。

もう一つのバリアメタルの目的は、デュアルダマシンの Cu 配線の上面への成膜である。この目的のためには、主として Si₃N₄、SiCN、SiC のような、プラズマ CVD による絶縁膜バリアが使用されている。これには、エレクトロマイグレーションを劣化させること、及びこれらの材料は誘電率が高いため、実効誘電率が高くなってしまふという問題点があるが、将来、配線間隔が狭くなった場合にも、配線のショートのリスクが小さいという長所もある。W、CuSiN、CoWP 等のような、選択成膜可能な金属材料の適用が探索されており、これらと銅との界面状態が良好なことによる、エレクトロマイグレーション耐性の大幅向上も確認されている。しかし、工業的には、選択成長金属キャップ膜は配線ショートによる歩留まり低下のリスクがあるため、導入は慎重になっている。

今後問題になる電子散乱による Cu 配線の抵抗上昇を改善するためには、Cu とバリアメタルの界面の平坦性やそのほかの膜特性を制御することが必要であり、先進的なバリアメタル材料とその成膜技術の分野で、さらに非常に多くの研究開発が必要となる。グローバル配線の諸問題への解決策への研究開発も始まったばかりである。これら、全ての技術に対して適切なバリアメタルの開発を今後とも行っていく必要がある。

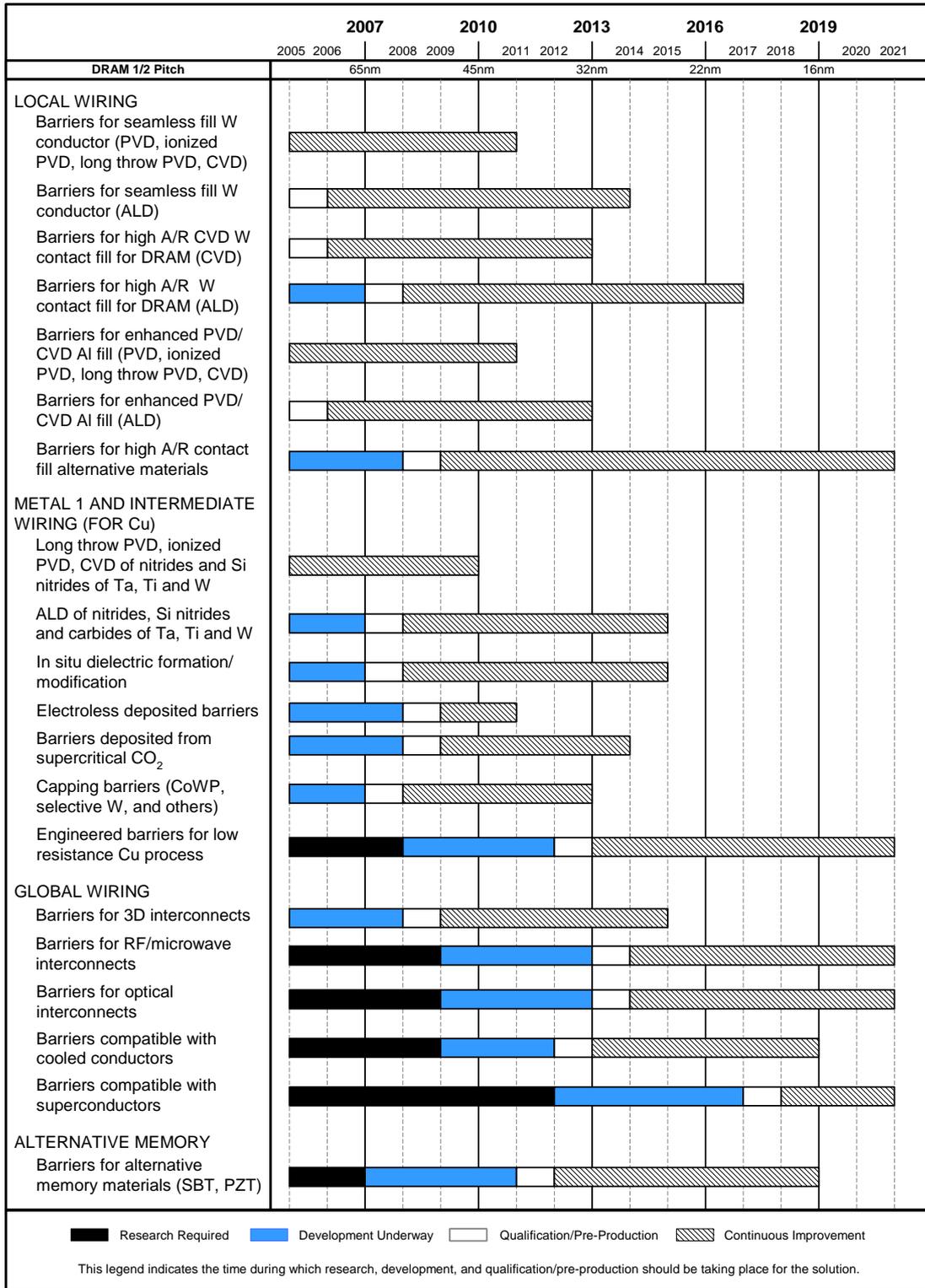


Figure 74 Barrier Potential Solutions

導電体膜に関する解決策候補

“M0(メタルゼロ)”とよばれることもあるローカル配線は、隣接するトランジスタを接続するための極めて短い配線に限定される。MPU、ASIC、DRAM 等のコンタクトとローカル配線については、タングステンが引き続き使用されるだろう。ALD 技術は CVD と組み合わせて、シームのない W 埋め込みのために、まず利用されるようになる。次工程に用いる電気メッキ Cu の欠陥を回避するためには、ローカル配線やコンタクトの W 埋め込みにシームがないということが特に重要なのである。また、W-CVD では通常シランによる核生成ステップが用いられるが、これで形成される、Si リッチな W がプラグ内に占める割合が高くなるため、将来の技術世代においては、コンタクト抵抗が許容できないほど上昇してしまうことになるだろう。Figure 75 に示すように、このプロセスを変更するか、または、この層をなくすことが目標となる。これに替わる技術として、Ru のような材料を ALD によって成膜することが検討されている。

スタックキャパシタ DRAM における高アスペクトコンタクト(2009 年には 17:1 になる)の W 埋め込みのためには、ALD による W 成膜の継続的な開発が必要である。最終的には、2010 年までにアスペクト比 20 を超えると予想されるスタックキャパシタ DRAM のコンタクトに対する長期的な要求に応えるために、新材料、新技術の開発に取りかからなくてはならない。アルミ配線はローカル配線として継続的に使用されるとともに、ダマシン構造に用いるための高性能 CVD/PVD のフロー技術の改良もなされていくだろう。

MPU や ASIC の第 1 層配線および中層の配線としては、Cu 配線を用いるのが望ましく、メッキによる成膜技術が近い将来の市場においてもなお支配的だろう。シームのない埋め込みやより高いアスペクト比に対応するために、電気メッキ技術および装置の改良が継続的になされる。メッキ技術と CEP (Chemically Enhanced Planarization) 方式の CMP を統合することで、一台の装置で成膜と平坦化を同時に達成する技術も開発中である。

CVD による Cu 埋め込みは、電気メッキと同様の“superfilling”(ボトムアップで膜が成長し、シーム形成の懸念がない)挙動と、微細構造が得られるようになれば、競合する埋め込み技術となってくるだろう。CVD と PVD の組み合わせの技術はより小さな構造へのシームのない埋め込みを達成するために使われるようになるだろう。超臨界二酸化炭素により Cu やその他の金属を成膜する技術は現段階ではまだ研究レベルであるが、これも今後期待できる技術である。MPU や ASIC に用いられる第 1 層配線および中層の最小幅の Cu 配線には、電子散乱による抵抗増加がすでに起こっている。しかし、これらの配線の配線長は技術世代に応じて短くなっているため、影響は最小限に抑えられている。

グローバル配線のレベルでは、はるかに幅広い配線が用いられるため、サイズ効果の影響は最後まで受けないだろう。最小ピッチのグローバル配線の抵抗率はこの 10 年で 40%程度上昇することが予想される。このことは、大きな問題である。なぜなら、グローバル配線は、より長い距離を引き回されるため、第 1 層配線や中間層配線よりも、もっと特性に影響を与えやすいからである。この抵抗上昇の影響を緩和するためには、Cu の界面状態、微細構造、不純物レベル等の制御が必要である。MPU の配線は階層構造をとっており、グローバル配線のピッチと厚さは上層ほど大きくなっていく。最上層のグローバル配線は世代が変わってもほとんど変わらないため、電子散乱の影響は受けないだろう。

他に設計上の手法として、リピータの使用、またはドライバーを大きくすることがあるが、両者ともチップサイズや消費電力に影響を与えてしまう。配線幅が狭く抵抗が高くなっていくグローバル配線の影響を最小にするため、近い将来最も有望な解決策は、設計と信号選択、パッケージ技術、三次元 IC の適切な組み合わせである。また、これらの問題を解決するための高周波や光技術の利用について、膨大な量の研究開発が行われている。より、急進的な解決策には低温電導、超伝導、ナノチューブ等がある。これらすべてのグローバル配線のための新しい技術は、配線ロードマップのなかでの新コンセプトの節で詳細に議論する。

無線デバイスと通信分野の市場の増大は、配線層に作り込む受動素子のプロセスや材料への注力に拍車をかける。特に、歩留まりと信頼性を向上させるための、MIM キャパシタの電極形成方法および材料に注目が

集まっている。アルミも Cu も現在、標準的なスパイラルインダクタに使用されているが、将来様々な磁性体材料や、異なったインダクタのデザインがこれらのデバイスの面積を低減するために出現するかもしれない。

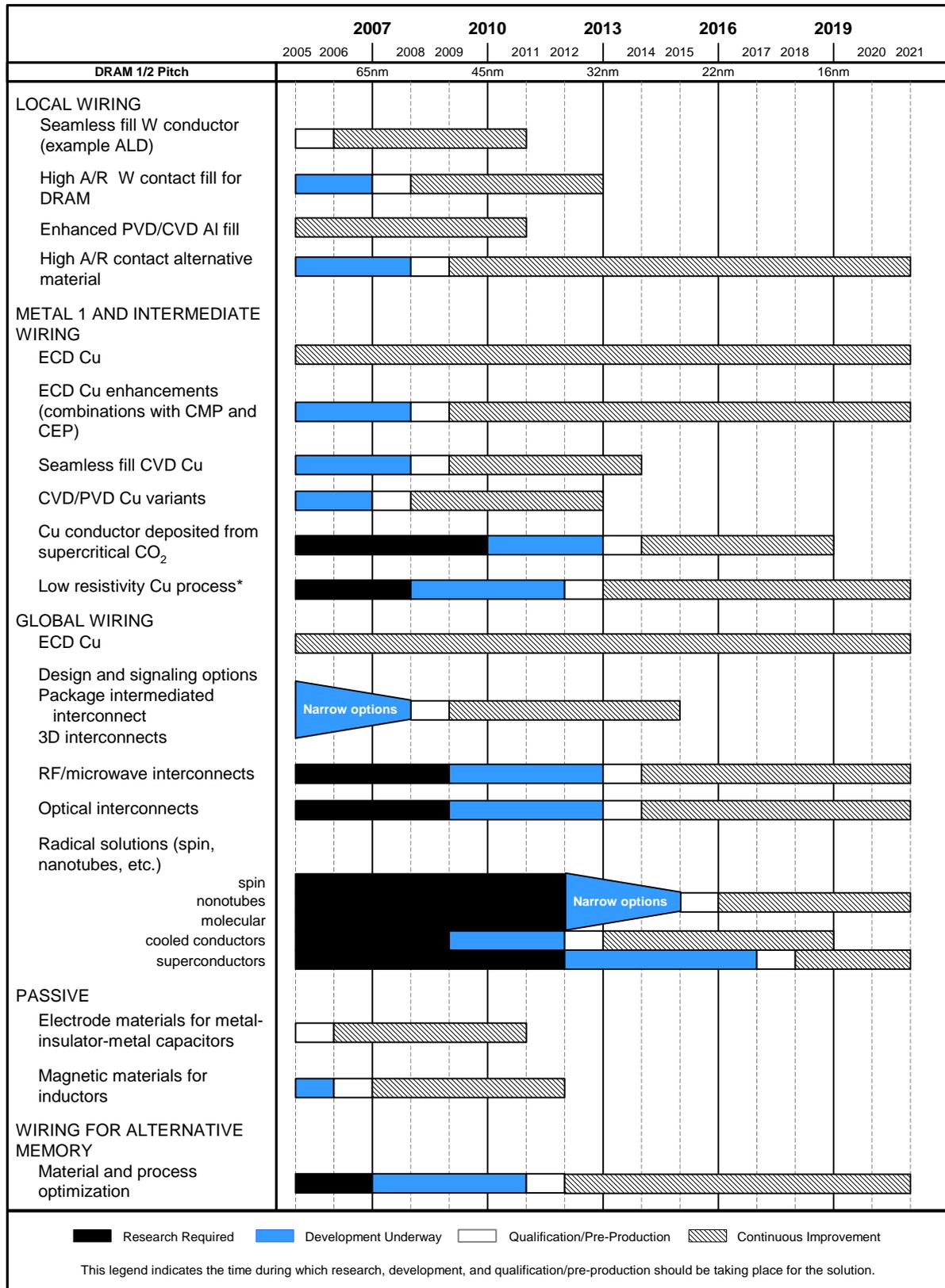


Figure 75 Conductor Potential Solutions

膜成長核形成に関する解決策候補

膜成長核形成層の微細構造部での均一性とカバレッジの良し悪しは、その次の導体金属の埋め込み工程におけるシームやボイドの発生に対して決定的な要因となり得る。ローカル配線やコンタクト埋め込みにおいては、従来から高アスペクト比コンタクトへの W 埋め込みを可能としてきた ALD W による成長核形成の継続的改善がなされるであろう。これらの ALD 核形成層は、プラグの抵抗率に対して影響を与えないように非常に薄いあるいは低抵抗でなければならない。Al 埋め込みにおいては、埋め込み特性の継続的改善を目指して CVD Al から ALD Al へと成長核形成技術が拡張されることも考えられる。Figure 76 によれば、DRAM の高アスペクトコンタクト埋め込みでの新たな材料とプロセスの開発は依然として継続中であり、これらについても ALD 成長核形成は必要となるであろう。

メタル 1 や中間層配線、グローバル配線では、今後ともロングスロースパッタや各種のイオン化スパッタなどの改善型 PVD Cu が Cu 電解めっきプロセスの成長核形成技術として主要なものとなる。これらの技術においては側壁のカバレッジや均一性に関して改善が進んでおり、65nm 世代の最も厳しい寸法での現実性と 45nm での潜在的可能性がみえてきた。さらに PVD による Cu 成長核形成は、より大きな寸法のグローバル配線では引き続き使用されるであろう。しかしながら、これらの改善型 PVD もいつかはメタル 1 や中間層配線での信頼度の高い成長核形成層を提供出来なくなり、やがては ALD に取って代わられるだろう。また無電解めっき、ALD、超臨界 CO₂ 技術などを含む複数の Cu 成長核形成の選択肢に関する研究が続けられるであろう。ALD Ru は Cu 拡散に対して僅かしかバリア性を持たないが、Cu 電解めっきに対して大変良好な成長核形成層であることが実証されている。このため ALD Ta や ALD WNC などの他のバリア膜と組み合わせて用いられるものとみられる。PVD Cu の側壁カバレッジが限界であることに対する別の解決策としては、電解めっきを用いた成長核層のリペア技術がある。なお、この問題のよりスマートな解決策は、電解めっきプロセスやバリア膜を改善して自己核形成が可能になるようにし、Cu 成長核形成を不要とすることである。

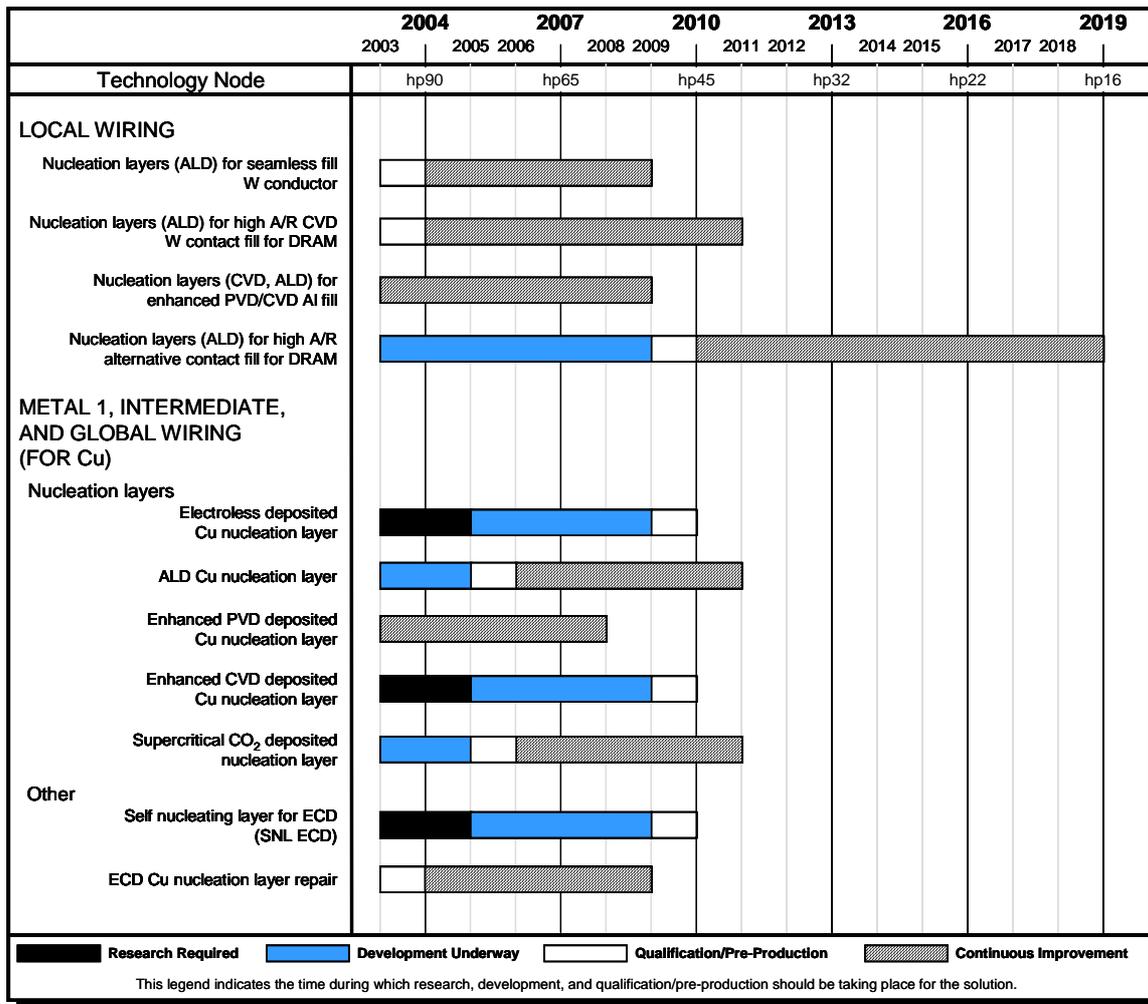


Figure 76 Nucleation Potential Solutions

平坦化に関する解決策候補

平坦化技術は、先進的な配線システムのプロセスフローにとって必要不可欠な工程となっている。なかでも化学機械的研磨とそれに類似の代替技術は、最有力な平坦化技術として存続している。また将来の世代のために新たな材料と構造、ならびにより微細な寸法が必要とされているが、それに合せて従来にはない新たな平坦化プロセスの解決策も潜在的に必要とされている。どの用途においても所望の表面を得るために、成膜とその後の余剰の膜除去という共通のテーマを抱えている。

Figure 77 の平坦化に関する解決策候補の最初の部分は、主要用途についての時間軸を示している。この時間軸は、その次の装置と消耗部材の部分に記されている解決策候補にとっての前置きとしての役目も果たす。主要用途は絶縁膜または導体膜に大別される。

浅いトレンチ分離 (STI) は配線構造には含まれないが、平坦化技術の整理をより完全なものにするためこの章に含めて説明することにした。ダイレクト平坦化 (バルク膜を除去するのに研磨以外の追加工程を含まない) は、現在のプロセスの標準となっている。STI の必要性は、金属配線形成前の層間絶縁膜 (PMD) で分離される新しいトランジスタ構造を実施することにより次世代技術においては減少していくかもしれない。現在の PMD 平坦化工程では、ターゲット法 (バルク膜内のターゲット膜厚で止める) と選択法 (下層膜で止める) の両者が使われている。ロジック技術では新しいフロントエンド構造 (FEOL) により、より選択的な PMD 工程の採用が加速されていくであろう。平坦化技術の新しい用途への適用は確実にあると考えられるが、それらのために計画を

たてることは困難である。これらの新しい導体膜と絶縁膜への適用は 45nm で必要とされると予測され、そこには FEOL プロセス、窒化膜の平坦化、不揮発メモリ(NVM)セルの新材料の研磨、フォトレジストの研磨およびその他のプロセスも含まれるであろう。

ポリシリコン(poly)膜は導体であるが、絶縁膜と同様に平坦化される。従来のポリシリコンの平坦化では高い選択比によって下層の絶縁膜の上で止められているが、現在は低選択による方法も同様に必要とされている。またポリシリコンの平坦性も、特にフラッシュメモリの製造においてより重要なものとなってきている。コンタクト層およびローカル配線の特定部分でのタングステンの利用は将来においても充分存続するであろう。

Cu とそのバリアに対して要求されている性能を達成することは、平坦化プロセスの前に立ちはだかる最大の難題と考えられている。標準的な絶縁層上の銅とタンタルベースのバリアの研磨は、今日のアクティビティの主流である。Cu とバリアの平坦化は、長期にわたって数多くの難題と直面している。平坦化の過程での配線材料の過剰除去が配線抵抗のばらつきに与えるインパクトが、資料により十分に裏付けられている。微細 Cu 配線中の電子散乱に対する平坦化プロセスの影響は充分には理解されていない。これに加えて、今後配線間の絶縁層はより脆弱となり、はがれやすかつ吸湿性が高くなる傾向となっている。また生産工場では同じ世代のものであっても、各層ごとに種類の異なる絶縁膜に直面することになる。バリア成膜に ALD 技術を採用することはより均一に成膜にすることになり、銅の平坦化における CMP ストップ層として使えるバリア膜厚を劇的に減少させるものとなるであろう。バリアに使われる材料の選択肢も時が経つにつれて変わっていくであろう。新たな導電膜の平坦化アプリケーションもまた要求されるであろう。メモリキャパシタのための貴金属の平坦化は遅れているが、いまだに有望なものである。メタルゲートの平坦化の必要性は、材料とインテグレーションのスキームが決まれば同様に起こりうる。アルミダマシ配線への関心が再度表面化してきている。さまざまな金属および合金が NVM チップに利用されようとしている。

装置に関する開発は引き続き行われるだろう。ウェーハのバフ研磨と洗浄を統合することは研磨装置にとって標準となっており、最適化された薬液を取り扱えることウェーハなる。CMP 後のウェーハ洗浄は、平坦化プロセスとより密接に集約されたものになるであろう。将来、洗浄薬液は個別の平坦化用途に適応するためにますます最適化されていくであろう。この個別化された洗浄方法は、薬品、粒子と対象とする膜表面の特有の組み合わせで決められる。洗浄のために機械的エネルギーを与える方法としては、バフパッド、ブラシあるいはコンタクトレスな方法が引き続き適用されるであろう。インライン膜測方法もその選択肢の1つであるが、様々なエンドポイント検出技術が今日使用されている。次世代装置は力、温度、平坦性および Defect を測定できるインライン計測を含むであろうし、さらには自動プロセス制御(APC)を可能とするであろう。特に銅とバリア用の装置は、脆弱な膜でのストレスを最小化するために低荷重で操作することが必要となるであろう。ストレスは研磨レートとリセスに関して非常に良い均一性を実現するために、半径方向に調整できなければならないであろう。

代替の平坦化技術の開発はより重要となっている。これらには化学的に促進された平坦化、化学的もしくは非電気化学的機械研磨とプレス平坦化などのオプションを含んでいる。これらの代替技術は生産性や膜ロスなどの点で優位性を持っているかも知れないが、特に今後要求される超低せん断ストレスへ到達するためにも必要とされている。

消耗部材は数多くの平坦化性能を左右する最大の因子であり、それゆえ大幅な進歩が要求されるであろう。今日使用されている高砥粒濃度スラリーは、特に欠陥の観点から粘度を増加する方向を余儀なくされている。低濃度もしくは砥粒を含まないスラリーの開発は、より良い平坦性と欠陥低減による生産性の向上を同時に達成するために重要なものである。新規の化学作用は、荷重を落すことによる生産ロスを解消するのに役立つであろう。今使用されている砥粒は、それぞれの用途に適するように設計されなければならない。通常ウレタンから作られ、様々な用途に使用されているハードパッドおよびソフトパッドの双方にも大幅な進歩が必要である。今日、固定砥粒パッドは特定の分野の市場で使われている。用途ごとにスラリーとの組み合わせを考えること

が出来る様々な種類のパッドの開発が強く望まれている。平坦性、欠陥低減と生産性の点において性能を同時に実現する技術の開発が要求されている。多数の平坦化用途とそれぞれの相異なったインテグレーション体系に対応するため、調整可能な基本組成から特定の性能を提供するべく薬液の処方がますます最適化されるであろう。代替平坦化技術の多くはその方法を実現可能とするために、使いやすく生産可能な薬液を必要とするであろう。

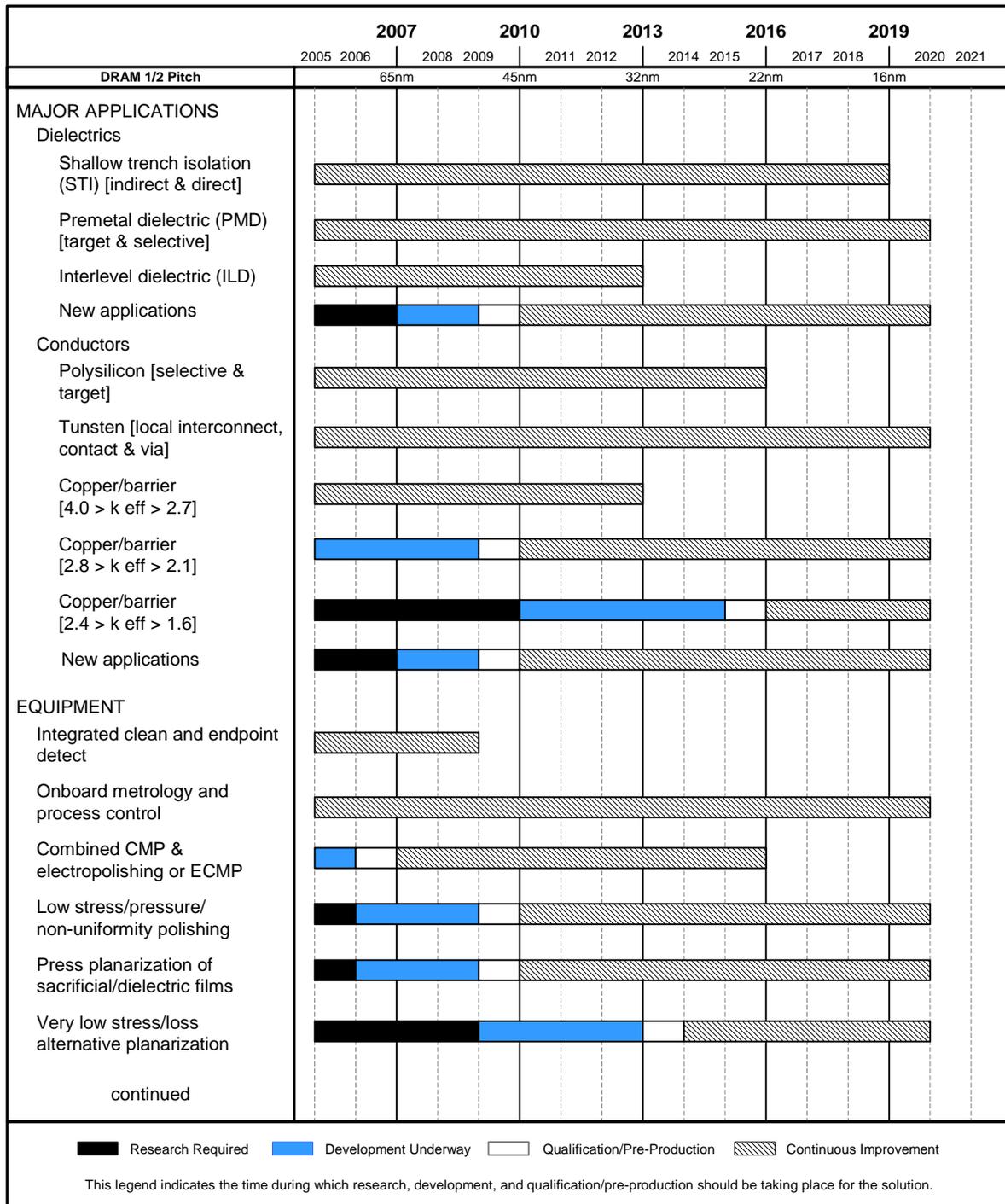


Figure 77 Planarization Potential Solutions

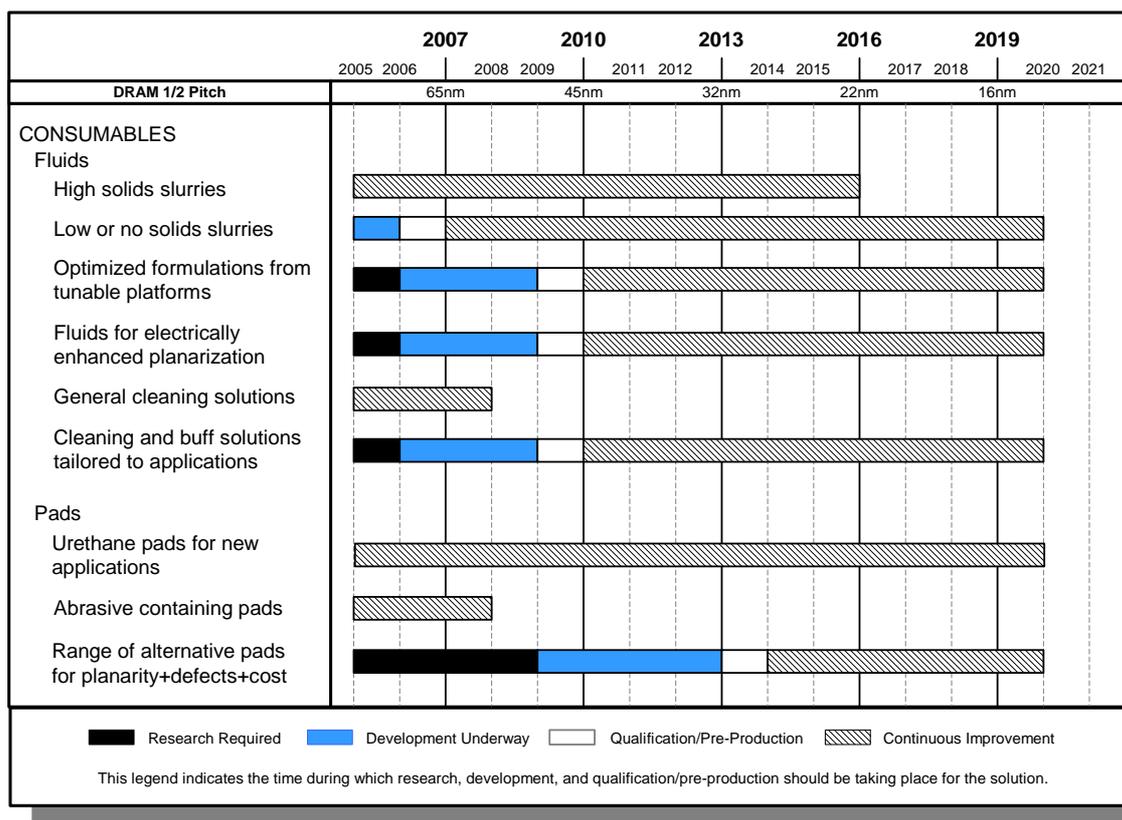


Figure 77 Planarization Potential Solutions (continued)

エッチ加工に関する解決策候補

将来の BEOL エッチング技術開発は多種の導体膜と誘電体膜を扱い続けるであろう。誘電体膜エッチングの課題は k_{eff} 必要条件を満たすため多様な無機、有機、およびハイブリッド材料が必要とされるロジック技術において主要になる。Figure78 を参照。これら各種材料の組み合わせも材料依存によるエッチング選択性を利用するために検討されるであろう。現在の容量結合型ソース技術の継続的な進歩は、トレンチとビアの微細化とともに大きくなるアスペクト比はもちろん、材料の課題にも十分に対応できると予想される。将来のロジック技術は、セル・エリア縮小のために革新的な高誘電体材料を要求するだろう。高融点金属処理も FeRAM の場合には要求されるだろう。ソース技術開発は、これらの材料を低い揮発性物質に対応しなければならない。メモリにおいて、既に十分高くなっているコンタクトのアスペクト比は、これからも増大し続ける。しかしながら、現在のソース技術は、将来の要求に対応すべく改善を続けていくことになる。

現在のアルミ合金は、25nm ハーフピッチの金属配線技術としていくつかのメモリ技術で使用され続けるだろう。そのため、現在の誘導結合ソース技術の継続的な改善を行わなければならない。Pt や Ir のような超硬合金に現在使われているプロセスは、高いスパッタ性がある。これは、強誘電体材料に使われているプロセスと同様である。規定外のリークは、エッチング生成物のコンデンサー側壁への再付着に起因する。より高い揮発性の生成物を作る新しいエッチングガスが望ましい。それにもかかわらず、500°Cで作動することができるプラズマソース及びウェハーチャック設計は要求されるかもしれない。現在の Si のディーブ・トレンチ・エッチング技術は持続的な進歩により将来の挑戦を満たすと期待される。

容量結合型ソース技術は、Cu デュアルダマシンの誘電体膜スタックをエッチングするために使用され続けるだろう。しかしながら、技術的な課題は増大し続けるだろう。第一に、より小さな最小配線幅を達成するために必要とされるフォトレジスト厚さの縮小は、フォトレジストへのより高いエッチング選択性を要求するだろう。トレン

チファーストデュアルダマシン形成方法は現在主流であるが、この問題に対処するためにはハードマスク形成方法は増加していくだろう。エッチング選択性がハードマスクにさえ不十分であれば、その代案として、3層レジストのアプローチが必要となるだろう。また、側壁の荒れを減少させるエッチングガスとプロセスが必要とされる。

寸法の縮小とポーラス ULK 誘電性材料の導入はさらにエッチングと剥離プロセス両方に課題をうむ。現在のプロセスによって引き起こされたトレンチの側壁ダメージは将来の技術ノードで容認できなくなる。損傷された側壁材料の一定の深さは、隣接している Cu 配線間の誘電体の大きな部分を含み、 κ 値が上昇する。ポーラス ULK 絶縁材料は簡単により深い深さまで損傷を受ける。エッチングプロセスはハイブリッド有機・無機の絶縁体から、より少ない炭素引き抜きを要求される。

ダメージフリーのフォトレジストや残渣の除去は、エッチデポの少ないエッチングプロセスや、エッチストップ層エッチング中に Cu 再付着の少ないエッチングプロセスが今後の開発を容易にする。低ダメージのレジストや残渣除去は、従来の高圧力アッシャーより方向性（＝異方性）の高い（プラズマ）ソース技術により助長される。追加として、ダメージ回復と（もしくは）ポアシーリング工程がポーラス ULK 絶縁膜のエッチングでは必要かもしれない。これらの要求は、エッチングまたは剥離装置のマルチステーションシステムへの拡張を強制するかもしれない。ダメージのある絶縁膜の吸湿性や反応までの時間問題ではエッチングを含む、ドライ剥離、ウェット剥離、ダメージ回復、デガス、ポアシーリング工程のインシチュプロセスフローが要求されるかもしれない。結局、エッチングまたは剥離装置は PVD のクラスタプラットホームに類似するようになるかもしれない。また、そのようなプラットフォームは、混合された多様な材料が存在するところ、大気に残留物の形式でさらされていた結果除去することをより困難にするところなどの他の工程を容易にするかもしれない。現状のプラズマドライ剥離技術は非常に危惧される、将来の高度な技術ノードでは代替技術を必要とするかもしれない。

3次元 IC スタック技術は、ウェーハを貫通する深さのビアエッチングを要求している。そのようなエッチングプロセスは現在の容量結合型ソース技術で実証されている。継続的な改良で、この技術が将来の必要条件を満たすことができると予想される。ウェーハ貫通ビアエッチングはウェーハ一枚あたり比較的多くの材料を除去する。従って、高い原子量の不活性ガスは、エッチングレートを加速する手段として調査されている。リアクター使用可能時間も大量のエッチング生成物によって影響される。リアクター休止時間を縮小する、より有効な手段は、大量生産のために研究されなければならないだろう。

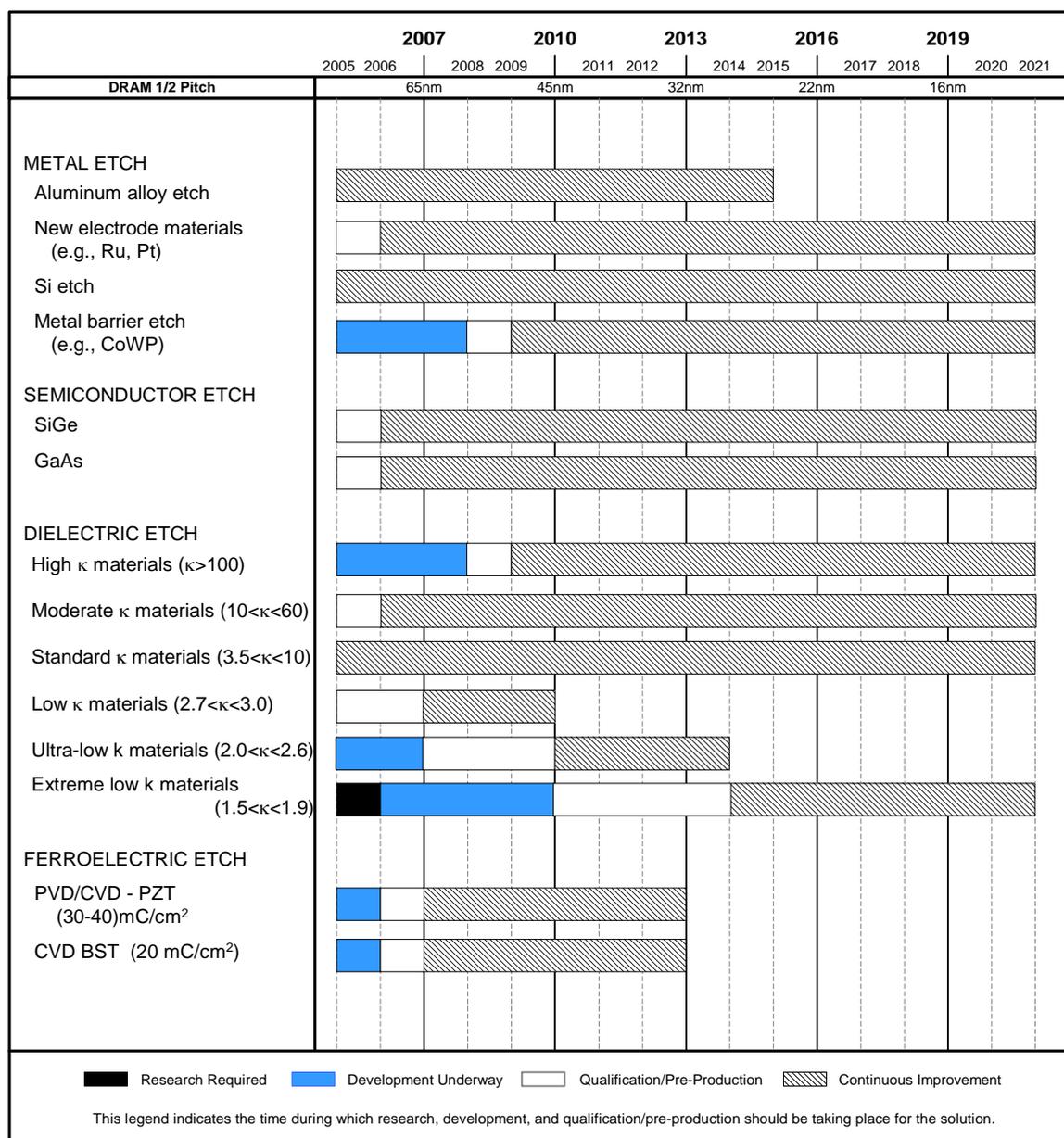


Figure 78 Etch Potential Solutions

配線構造の表面処理

Cu 及び ULK 材料に基づく配線構造は、難しい表面状態制御へのチャレンジを示し続ける。加えて、高アスペクトコンタクト及びキャパシタ構造は洗浄や表面状態制御へのチャレンジを増やす。配線表面の処理には、絶縁膜や金属膜のエッチ後のフォトレジスト剥離、剥離後の残渣除去、CMP 後洗浄、成膜前処理、そして成膜後処理が含まれる。表面処理のための新しい要求は、インターフェイスの付着の改良を含め、絶縁膜とバリア層の信頼性、絶縁膜の側壁のエッチングダメージの修復になる。Table82 の a, b は主に Cu と low- κ 絶縁材料を用いたデュアルダマシンプロセスに注目したものとなっている。配線には、エッチストップやハードマスクに使われるシリコン酸化膜やシリコン窒化膜と同様に、バリアやシード層のような幾つかの他の金属材料も当然ながら含まれる。

Wet 洗浄、プラズマ洗浄、UV/レーザ洗浄と、その他の超臨界流体や低温生成エアロゾル(超微氷粒)のようなドライ洗浄法などはすべて潜在的な解決策と見なされている。表面処理に対するすべての技術課題を解決できる 1 つのテクニックあるいは技術は存在しない。例えば、プラズマ剥離プロセスはフォトレジストと残留物の

除去にコスト効率が良いが、金属汚染を除去することができない。Wet 洗浄は、金属性の汚染は除去できるが、高アスペクト形状の場合に乾燥が難しいことが判明している。

表面処理は個別のスタンド・アロンのプロセスと一般に見なされるが、CMP のように技術的な有効性が認められるところには他のプロセス装置の中に組み入れられてきた。様々な表面処理法の組み合わせがウェーハ表面の洗浄に効果的であることが判明している。例えば、デュアルダマシン形成の配線トレンチエッチング後の典型的な洗浄シーケンスとして、その後のバリア絶縁膜除去は、トレンチエッチング、in-situ エッチング後のレジスト剥離とバリア絶縁膜除去が全て入るオールインワン etch/clean のクラスターが含まれる。多孔性 low- κ 材料のためには、keff の増加の制限と多孔性 low- κ 絶縁膜にバリア金属の浸透を防ぐために追加のダメージ修復、およびポアシーリングプロセスがインシチュに含まれるかもしれない。

ロジックと DRAM デバイスの両方には、洗浄への挑戦がある。DRAM 生産が Cu 配線へ移行すると、ロジックデバイスが直面する表面処理上の課題と同じ課題に対応していく必要がある。さらに、コンタクトやシリンダー型のキャパシタのような高アスペクト比の構造は洗浄や乾燥が難しい。ウェーハの表面、裏面、そしてエッジは、金属および有機的な汚染とパーティクルを有効に洗浄しなければならない。表面は荒れてはいけなく、また、材料は影響されてはならない。

配線の表面処理に対する“チャレンジと有望解は、主に Cu と low- κ 材料のインテグレーションのスキームに基づいている。Figure 79 を参照。近い期間については、low- κ の誘電体は高密度かナノ多孔性の材料になるだろう。これらの材料のため、エッチング、レジスト剥離、そして洗浄中に起こるかもしれない側壁の損傷は信頼性と歩留りだけではなく誘電体の実効 κ 値に主な影響力を及ぼすことが出来る。非常に高い疎水性で、高アスペクト比の構造物での洗浄(残留物とパーティクルの除去)は、独特な挑戦を示す。銅薄膜は、特にバリアと銅のインターフェイス周りを腐食させることなく洗浄されなければならない。そして仕上げ表面に厚い酸化膜が残らないようにして、電気的なコンタクトを確保しなければいけない。トランジスタ部への Cu の混入を避けるために、ウェーハ端や裏面の Cu を洗浄しなければいけない。

2012 年までにインテグレーションに用いられると予想されるメゾポーラス low- κ 絶縁膜は極端な表面処理への挑戦を提示している。これらの材料の高いポア密度によりエッチングと表面処理薬液やプラズマを絶縁膜に深く入り込む。これは誘電率の増加による下地のダメージ、絶縁破壊の低下、絶縁膜のボイド、そして信頼性の減少などの深刻な結果を生じる。ポーラス状のそして炭素を含む Ultra Low- κ 絶縁膜の統合は特に難しいと判明するかもしれない。この世代のために調査される表面処理と洗浄のテクニックはウェットとプラズマ洗浄を超えて超臨界液体、極低温のエアゾール、およびレーザ洗浄に広がるかもしれない。ウェット、プラズマそして熱処理技術の進歩はこれらの技術への改良が予想され未来まで拡大可能であると信じられている。表面のポアのシールに薄い ALD バリアを使用して、絶縁膜へのバリア浸透を防ぐのに必要かもしれない。いくつかのウェットとドライのテクニックは調査され始めている。

ウェット洗浄は、少なくとも予見できる未来での、CMP 後、レジスト剥離後、および成膜前の洗浄プロセスの選択肢であり続ける。Cu と low- κ 誘電体材料はウェット式またはウェットとドライのコンビネーションで洗浄できる。希薄な酸をベースに、フッ素系の化学物質、表面活性剤、キレート剤、そして/あるいは、腐食防止物質を添加した薬液が使用されるであろう。希薄なオゾン水や超臨界流体その他の独特な化学物質を用いるさらに先の wet 洗浄技術のアプローチはまだ研究段階であり、従来のテクニックで適切な性能を提供しないなら、使用されるかもしれない。

カーボンを含んだ low- κ 誘電膜は、疎水性表面が問題を引き起こしている。リンスした後、ウォーターマークが残らないように、あるいは表面活性剤の不要な残渣が残らないように乾燥させることがむずかしい。この問題に対して、表面張力乾燥法などのフロントエンドの表面処理技術で対処するかもしれない、あるいは超臨界

CO₂のような新規プロセスの導入や、2-プロパノールと置換可能な新しい薬液の導入を加速するかもしれない。さらに、微細化に伴い、よりこわれやすい構造でできているため、ダメージレスの洗浄プロセスを必要とする。

微細化の進展にともない、パーティクルの除去はますます重要となる。ウェーハ裏面、ウェーハエッジ、表面のパーティクルを除去し、ウェーハを洗浄しなければならない。研究中の新方式には、メガソニック、ブラシ、およびウェーハダメージを最小にする他の物理的な方法を発展させた方法が含まれている。ウェーハエッジと裏面のパーティクルが歩留まり低下を引き起こすことが知られているが、定量化は難しい。ウェーハエッジと裏面のパーティクルを測定でき、歩留まりとの相関が得られる新しい装置は研究中である。

洗浄プロセスとケミカルの構造は、低い濃度、低い毒性、そして環境にやさしい薬液を使用することで、環境、健康、および安全の問題に取り組むことになる。フッ素ベースの薬液と、特にキレート剤には廃液の問題がある。また、水の使用量を減らすこともゴールである。

Table 82a Interconnect Surface Preparation Technology Requirements*—Near-term Years

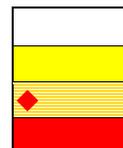
Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013	Driver
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32	D ½
MPU/ASIC Metal 1 ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32	M
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13	M
Wafer diameter (mm)	300	300	300	300	300	300	300	300	300	D ½、M
Wafer edge exclusion (mm)	2	2	2	2	2	2	2	2	2	D ½、M
<i>Front surface particles</i>										
Killer defect density、 $D_p R_p$ (#/cm ²) [A]	0.028	0.019	0.023	0.016	0.02	0.025	0.016	0.02	0.025	
Critical particle diameter、 d_c (nm) [B]	40	35	32.5	28.5	25	22.5	20	17.5	16	
Critical particle density、 D_{pw} (#/wafer) [C]	97	64	80	54	68	86	123.3	155	195	
<i>Back surface particles</i>										
Back surface critical particle diameter (nm) [D]	0.2	0.16	0.16	0.16	0.14	0.14	0.14	0.14	NA	
Back surface critical particle density (#/wafer) [E]	400	400	200	200	200	200	200	200	NA	
<i>Edge bevel particles</i>										
Edge bevel critical particle diameter (nm) [F]	160	140	130	114	100	90	80	70	64	
Particles (cm ⁻²) (G)	TBD	M								
Particles (#/wafer) (G)	TBD	M								
<i>Metallic Contamination</i>										
Critical front surface metals (10 ⁹ atoms/cm ²) (H)	10	10	10	10	10	10	10	10	10	
Critical back surface metals (Cu) (10 ⁹ atoms/cm ²) (I)	1000	1000	500	500	500	250	250	250	100	
Mobile ions (10 ¹⁰ atoms/cm ²) [J]	5	5	2.5	2.5	2.5	2.5	2.5	2.5	2.4	
Organic contamination (10 ¹³ C atoms/cm ²) [K]	1.4	1.3	1.2	1	0.9	0.9	0.9	0.9	0.9	
<i>Cleaning Effects on Dielectric Material</i>										
Maximum dielectric constant increase due to Etch、Strip + Clean [L]	2.50%	2.50%	2.50%	2.50%	2.50%	2.00%	2.00%	2.00%	2.00%	
Maximum dielectric constant increase due to rework [L]	2.50%	2.50%	2.50%	2.50%	2.50%	2.00%	2.00%	2.00%	2.00%	
Maximum effect on dielectric critical dimension due to Strip + Clean [M]	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%	2.50%	

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



注釈 Table 82a と b:

[A]キラー欠陥密度 (Killer defect density) は、歩留まり 99%に相当する欠陥密度を、式 $Y=0.99=\exp[-D_p R_p A_{eff}]$ から計算する。ここで A_{eff} は有効チップ面積、 D_p は欠陥密度、 R_p は欠陥のキラー率; 着目する欠陥がデバイス動作を不良にする確率である。積 $D_p R_p$ はウェーハ上のキラー欠陥密度を示す。 R_p は、パーティクルの大きさや形状、組成、および特定のデバイスレイアウトといった数多くの要因に依存する。これまで、クリティカル パーティクル サイズ (Critical Particle size); d_c より大きなパーティクルに対して、すべて R_p を 0.2 と仮定してきた。 A_{eff} は、Front End Surface Preparation の項と同じ値を仮定する。DRAM では、 $A_{eff}=2.5F2T+(1-aF2T/Achp) \times 0.6Achp$ 。ここで F は最小寸法、a はセル フィル ファク

タ、TはチップあたりのDRAMビット数(トランジスタ数)、AchipはDRAMチップサイズ。MPUでは、 $A_{eff} = aT(GL)^2$ で、GLはゲート長。 A_{eff} は一連の技術/世代において増減するため、DpRpは年毎に減少するわけではない。

[B] クリティカル パーティクル径(Critical particle diameter);dcは歩留まり改善の項で、配線のハーフピッチ寸法の1/2と定義される。ほとんどのパーティクル状汚染物の形状は一定でないため、この値は“実効的な”粒径と考えるべきである。

[C]クリティカル パーティクル サイズより大きなパーティクルの欠陥キラー率Rpを0.2と仮定した場合の一例を示している。旧版のロードマップから用いている仮定で、一般的に有効な値ではなく、具体的な計算例を示すための値である。ウェーハあたりのパーティクル数は、 $Rp \times 3.14159 \times (\text{ウェーハ半径} - \text{ウェーハエッジの除外長さ})^2$ を用いて計算される。ウェーハあたりのパーティクル数を、クリティカル パーティクル サイズに対する値から、替わりのパーティクルサイズに対する値に変換するための換算式は以下の通り。 $D_{alternate} = D_{critical} \times (d_{critical} / d_{alternate})^2$ 。

[D] and [E] ウェーハ裏面のクリティカル パーティクルの直径と個数は FEOL 表面処理ドキュメントの表の要求からの抜粋。

[F] & [G]ウェーハエッジ、ベベル部のクリティカル パーティクルサイズは、DRAM 1/2ピッチの2倍としている。剥がれ落ちて、ウェーハ表面上に付着し、致命的な歩留まり低下を引き起こすパーティクルのサイズである。エッジ欠陥と歩留まりとを結びつける文献はほとんど存在しないが、パーティクルサイズや密度をできるだけ減らすことは重要である。その基準はまだ評価中であり、この表には値が記されていないが、最新の実験では配線プロセス工程、特にCMP工程でのエッジベベル部のパーティクル増分は、1/4ウェーハあたり4個以下にすべきという指摘がある。繰り返すが、この値は指針として扱うべきで、仕様ではない。

[H] 表側表面の金属汚染濃度は、トランジスタへの金属拡散による歩留まりの低下、あるいはデバイスのリーク電流に基づいている。データは、濃度 $1E13$ 以下のCuが配線リークを引き起こし、 $1E10$ 以下でトランジスタの劣化を引き起こす可能性があること示している。Cuが誘電膜中に拡散し、さらにトランジスタまで拡散する可能性について、Cuが厚いシリコンを通して拡散することができないというたかさんのリファレンスの事実から疑問は残るが、Cu汚染は低いほうが良い。汚染濃度はまだ評価中であり、ここに示された値は指針として扱うべきで、仕様ではない。

[I]裏面のCu汚染濃度は、シリコン中のCu拡散によって引き起こされるトランジスタの電気的パラメータの劣化に基づいている。裏面Cu汚染がトランジスタに及ぼす効果を評価する多くの研究が行われてきた。最も深刻な影響は、電界ドリフトによるTDDDBである。裏面の酸素はシリコン中への拡散を防ぐ。しかし、いったんシリコン中に入ると、熱処理により拡散し、析出する。参考文献には、デバイス特性を劣化させる濃度として、 $1E15$ 以上や、 $1E11$ 以下という値が記されており、試験デバイスの構造や薄膜の厚さに依存している。繰り返すが、この値は指針として扱うべきで、仕様ではない。

[J]配線の可動イオンはフロントエンドの基準ほど厳しくない。可動イオンは誘電膜中であっても同様の電気的な劣化を引き起こし、膜の損傷を生じるが、酸化膜にはある程度のナトリウムをゲッターリングする作用がある。裏面の汚染濃度として、フロントエンドの値を用いる。配線に対して、ここで示される原因は許容レベルについての指針であり、フロントエンドの基準値の約2倍である。

[K] 有機汚染は通常、レジスト剥離と洗浄後とCMP後の洗浄後にウェーハ上に残存するハイドロカーボン層として存在する。有機汚染膜もしくは「カーボンスポット」というBTAとCuの化合物の層が残っていると、その上に成膜された膜が剥離する可能性がある。Cuの上の層がおおよそ1nmのBTAはおおよそ $4E+14$ 原子/cm²の炭素原子密度をもたらす。カーボンの残留物は、不適切に除去されたレジストやプロセスチャンパ内のパーティクルにも由来する。配線に対してフロントエンドと同じ基準が使われており、180nmノードのDcは、Siウェーハ表面の被覆率10% ($7.3E+13$ の原子/cm²)に相当する。それに続く世代のDcはCDとの比率でスケールリングされる。 $D_c = (CD/180) (7.3E+13)$

[L] エッチング、剥離と洗浄のプロセスは、絶縁膜の誘電率に有害な影響を及ぼすことが知られている。特に多孔質系誘電体材料で問題になる。この影響を最小限にし、ゆくゆくは無くすることが不可欠である。露光パターンニングのリワークには剥離と洗浄が含まれ、誘電率に同様の影響を及ぼす。これらの値は、許容できる誘電率の劣化量の指針である。

誘電率の変化は、MISキャパシタの測定によるフラットな膜の測定が、一般にインテグレーション構造での値の代用にならないように、くし型トレンチ構造によって測定される必要がある。1つの一般的なアプローチはバルクの誘電率量を仮定したコンピューター・シミュレーションからのそれらと測定RC製品を比べることである。シミュレーションからの測定の違いはエッチング/剥離/洗浄ダメージを代表している場合がある。2012年の黄色から赤の色の変化は k 値 <2.1 への絶縁膜の変化を反映している。

[M]現在のエッチングと剥離方法はLow-k膜のカーボンを抜き去ることでダメージを与えている。しかしながら、このダメージの範囲は、その後のウェット洗浄後まで完全に残っているわけではない。エッチングと剥離の後のCDロスは取るにたらないかもしれないが、下記のようなウェット洗浄の場合、CDロスは重要になるかもしれない。洗浄がエッチングによってダメージを受けやすくなった膜厚を取り除くことができるので、ウェット洗浄の後のCDロスの範囲はエッチングと洗浄プロセスの両方の結果であるかもしれない。測定できるCDロスが明確でないため、トレンチとビア構造のBowlingは、コンフォーマルなライナーとめっきによる成膜、及びCuのボイド発生への影響を軽減するためにも最小にしなければならない。

2012年の黄色から赤の色の変化は k 値 <2.1 への絶縁膜の変化を反映している。

Table 82b Interconnect Surface Preparation Technology Requirements*—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020	Driver
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14	D ½
MPU/ASIC Metal 1 ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14	M
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6	M
Wafer diameter (mm)	450	450	450	450	450			D ½, M
Wafer edge exclusion (mm)	2	2	2	2	2			D ½, M
<i>Front surface particles</i>								
Killer defect density, $D_p R_p$ (#/cm ²) [A]	0.016	0.02	0.014	0.017	0.022			
Critical particle diameter, d_c (nm) [B]	14	12.5	11	10	9			
Critical particle density, D_{pw} (#/wafer) [C]	123.1	155	106	133.4	168			
<i>Back surface particles</i>								
Back surface critical particle diameter (nm) [D]	NA	NA	NA	NA	NA			
Back surface critical particle density (#/wafer) [E]	NA	NA	NA	NA				
<i>Edge bevel particles</i>								
Edge bevel critical particle diameter (nm) [F]	56	50	44	40	36			
Particles (cm ⁻²) (G)	TBD	TBD	TBD	TBD	TBD			M
Particles (#/wafer) (G)	TBD	TBD	TBD	TBD	TBD			M
<i>Metallic Contamination</i>								
Critical front surface metals (10 ⁹ atoms/cm ²) (H)	10	10	10	10	10			
Critical back surface metals (Cu) (10 ⁹ atoms/cm ²) (I)	100	100	100	100	100			
Mobile ions (10 ¹⁰ atoms/cm ²) [J]	2.4	2.4	2.3	2.3	2.3			
Organic contamination (10 ¹³ C atoms/cm ²) [K]	0.9	0.9	0.9	0.9	0.9			
<i>Cleaning Effects on Dielectric Material</i>								
Maximum dielectric constant increase due to Etch, Strip + Clean [L]	2.00%	2.00%	2.00%	2.00%	2.00%			
Maximum dielectric constant increase due to rework [L]	2.00%	2.00%	2.00%	2.00%	2.00%			
Maximum effect on dielectric critical dimension due to Strip + Clean [M]	2.50%	2.50%	2.50%	2.50%	2.50%			

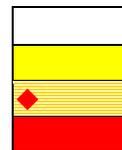
* Columns for years 2019 and 2020 will be updated in 2006.

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known



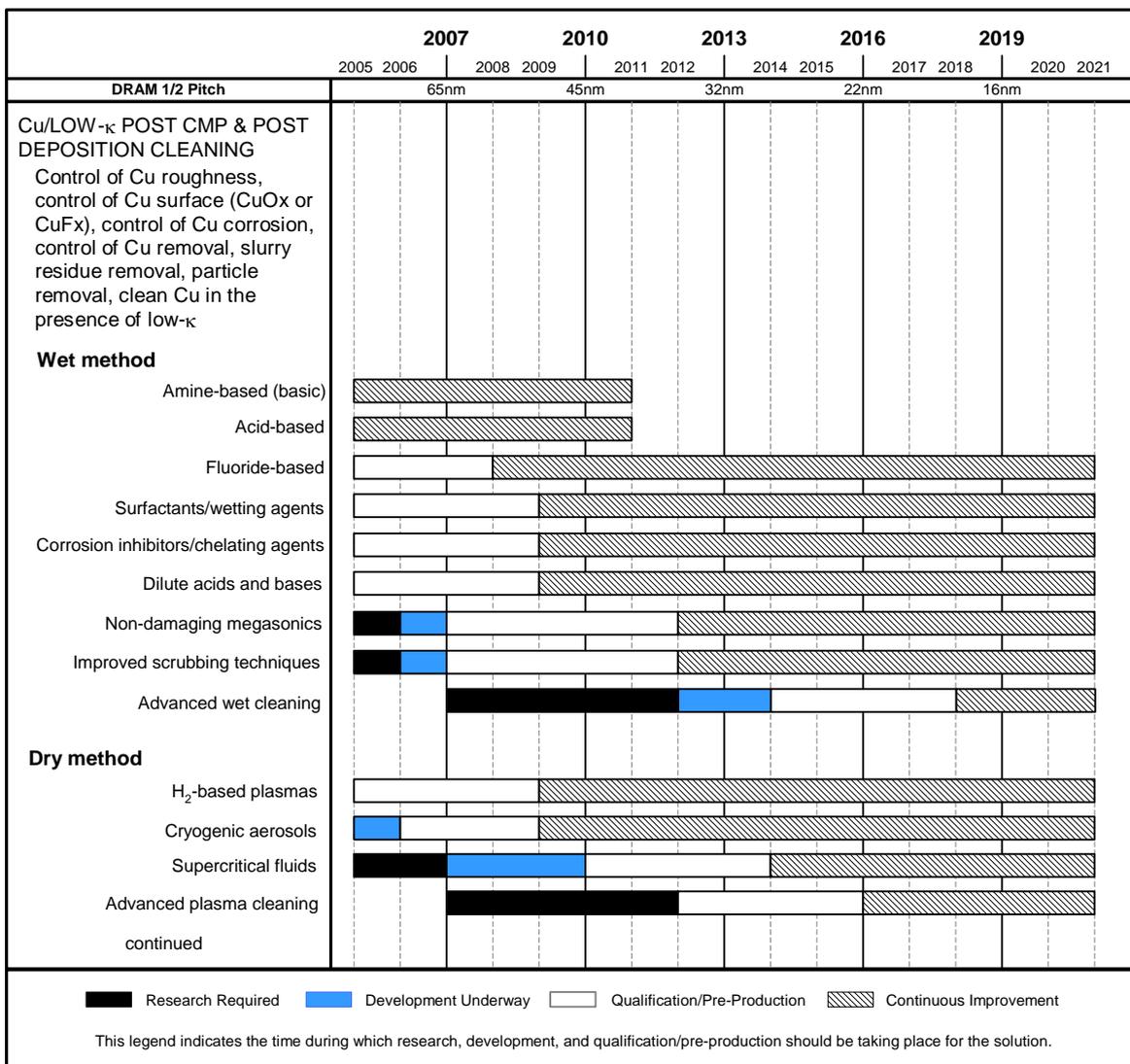


Figure 79 Interconnect Surface Preparation Potential Solutions

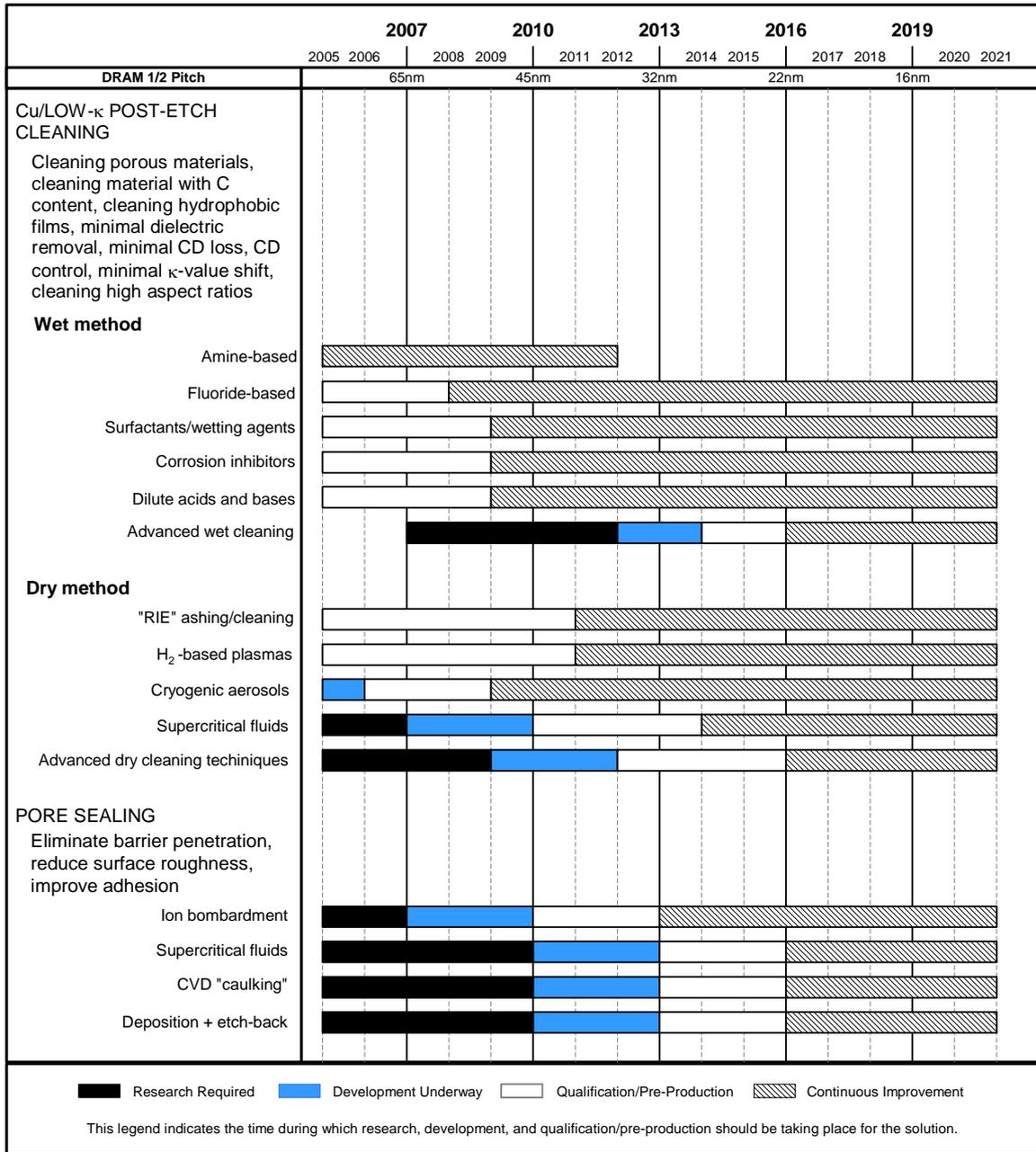


Figure 79 Interconnect Surface Preparation Potential Solutions (continued)

受動素子

イントロダクション

高精度のアーキテクチャの導入は、現在あるいは将来の配線アーキテクチャに対する新しいチャレンジとなる。高品質のキャパシタ、インダクタ、抵抗に対する要求は、先進的なミックスドシグナル、高周波 (RF)、システムオンチップ (SoC) への用途によって、主にドライブされている。ミックスドシグナル及びRF CMOS用途に対しては、基板とのカップリングノイズやその他寄生効果の低減と制御が、最も重要な項目の一つとなる。用途面からみた、受動素子に求められる重要項目は、ワイヤレスコミュニケーションの章に RF 及びアナログ/ミックスドシグナル技術の表に纏められている。過去においては、IC 上の受動回路要素 (例えばキャパシタや抵抗) を

実現するための従来法は、フロントエンドプロセス中に作り込むものであった。この場合には、ドーパされた単結晶シリコン基板、多結晶シリコンおよびシリコン酸化膜、シリコン酸窒化膜が用いられた。これらは、シリコン基板の近傍にあるため、フロントエンドプロセス中に作りこまれた受動素子は、特に高周波で使われる場合に性能劣化の増大の害を被っている。そのため、配線レベルで作製され、損失と寄生効果が少なく高品質な受動素子に対する要求が強くなっている。

配線インテグレーションにおいて、総合的な配線性能と信頼性を損なうことなく、この目標をモジュールとしてコスト効率よく達成することが、重要なチャレンジとなっている。現在のところ、基本的に異なる二つのアプローチが検討されている。ひとつは必要とする機能を達成するために新材料と組み合わせてオプションにあるいは追加する形で配線層を導入するアプローチで、高 Q 値の実現やチップ面積の抑制に効果がある。一般的にこのアプローチは、プロセスがさらに複雑になる欠点と、潜在的に製造コストが増大する欠点を有する。代替案では、単純に本来あるいは寄生的に備わっている特性、つまり予め配線層に備わっているキャパシタンス、インダクタンス、抵抗などを利用する。この二番目の方法は、受動素子の Q 値の低下やチップ面積の更なる浪費に苦しめられるが、ウェーハ製造における要求を最少に抑えることができる。

MIM キャパシタ

高品質な金属-絶縁膜-金属(MIM)キャパシタは、CMOS、BiCMOS およびバイポーラチップにおいて、使用の拡大が見込まれている。典型的な用途は、(例えば A/D、D/A コンバーターにおける)フィルターやアナログキャパシタ、RF のオシレーターや共振回路、マッチングネットワークにおける RF カップリングや RF バイパス用キャパシタである。MIM キャパシタの重要な特性は、幅広い電圧範囲での高いリニアリティ(小さな電圧依存性)、低い直列抵抗、良好なマッチング特性、容量の温度依存性が小さいこと、リーク電流が小さいこと、絶縁破壊耐圧が大きいこと、十分な絶縁膜の信頼性を有することである。

チップ領域の消費を小さくしたいという経済的な要求は、MIM の電荷蓄積密度をより大きくしたいという直接的な要請をもたらす。1.5-2fF/ μm^2 を越えるには、従来使われてきたシリコン酸化膜や窒化膜の更なる薄膜化では、リーク電流の増大や絶縁膜信頼性低下のために、もはや使うことができない。そのため、新しい高誘電率絶縁膜材料、 Al_2O_3 、 Ta_2O_5 、 HfO_2 、あるいは異なる材料の組み合わせは MIM 絶縁膜材料として評価され、将来用いられるであろう。

常にそうであるように、新しい材料の導入は、(ALD のような)成膜工程やインテグレーションにおいて、新たなチャレンジを引き起こす。膜厚均一性に優れ、欠陥が少なく高誘電率な良質の膜を、総合的な配線アーキテクチャとの整合性を保つために、450°C以下で形成する必要がある。基板との寄生カップリング容量の低減と MIM キャパシタの高い Q 値を実現可能とするためには、上層の配線レベルでのインテグレーションが望ましい。

高い MIM の Q 値と優れた信頼性を達成するためには、低抵抗なキャパシタ電極と、完璧に制御された電極と絶縁膜の界面が求められる。MIM キャパシタにおいて、高誘電率絶縁膜材料の有望なインテグレーションを行った例が、文献で幾つか報告されている(Appendix: Optional levels – passive devices を参照)。しかしながら、最小限の工程付加で、コスト効率と生産性の良い解を実現していくには、未だ、更なる改善が必要である。高品質な金属-絶縁膜-金属(MIM)キャパシタは、CMOS、Bi-CMOS およびバイポーラチップにおいて、使用の拡大が見込まれている。典型的な用途は、(例えば A/D、D/A コンバーターにおける)フィルターやアナログキャパシタ、RF のオシレーターや共振回路、マッチングネットワークにおける RF カップリングや RF バイパス用キャパシタである。MIM キャパシタの重要な特性は、幅広い電圧範囲での高いリニアリティ(小さな電圧依存性)、低い直列抵抗、良好なマッチング特性、容量の温度依存性が小さいこと、リーク電流が小さいこと、絶縁破壊耐圧が大きいこと、十分な絶縁膜の信頼性を有することである。

インダクタ

高品質のオンチップインダクタは、アナログ/ミックスドシグナルや高周波 RF の用途において、重要な部品となる。現在の所、特にインピーダンスマッチング、RF フィルター、RF トランシーバー、電圧制御オシレーター、

パワーアンプや低ノイズアンプ用の RF 回路において、これらは広く使用されている。重要な特性は、高インダクタンス、高自己共振周波数、低オミック損失、低い渦電流、そして低容量基板損失を保った状態で、高い Q 値を実現することである。

現在の所、最適な Q 値を達成するため基板から十分な距離を取った低抵抗のコイルを作成する必要がある。このため、上層の厚い Al または Cu 配線レベルで形成したスパイラルインダクタが最も広く使われている。これらの単純なスパイラルインダクタは、通常の配線プロセスを使って比較的簡単に作ることができる。しかし、これらは、あらゆる場合に、将来の RF の要求を満たせるほどには良好ではない。そのため、より先進的ないくつかの構造やアプローチが追及されている。

いくつかの配線層で実現したシャントコイル、金属また磁気的なグランドプレーン、エアギャップ中のスパイラルインダクタ、数 μm の厚い再配置配線で形成したコイルを持ったパッシベーション後の追加モジュール、または強磁性のコア有/無のソレノイドコイルのような例が、成功裡に報告されている。基板損失を低減するためのその他の可能性は、高抵抗基板、SOI 基板、イオンやプロトンの打ち込みによって部分的に半絶縁化した基板を使用することである (appendix: passive devices を参照)。

しかしながら、インテグレーションとプロセスの複雑さ、デバイスや製品要求との整合性の問題があるため、これら全ての代替の形成法が生産に適しているという訳ではない。これらの多くのアプローチの存在は性能改善に対する絶えまない格闘の現れとも言え、高周波領域でより高いインダクタンスを得ることや、コイルや寄生基板におけるオミック損失を低減することによって Q 値を改善することを伴う。

抵抗体

高精度の薄膜抵抗体は、アナログやミックスドシグナル回路、特定の SOC 用途において広く使われている。重要な特性は、正確な抵抗制御、優れたマッチング特性、電圧に対する高いリニアリティ、低い温度係数 (TCR)、低 1/f ノイズ特性、高い Q 値を実現するための低い寄生抵抗である。現在、最も広く使われているフロントエンドプロセスで形成されたシリコン基板、多結晶シリコンまたはシリサイド抵抗体は、主として劣悪な 1/f ノイズ特性と基板損失の害を被っている。

配線レベルでの薄膜抵抗体は、1/f ノイズ特性とその他の基板損失を、かなり改善することができる。配線における抵抗体の重要なチャレンジは、標準的な配線材料やインテグレーション方式と整合性があり、優れた膜厚制御、モジュールインテグレーション的に絶縁膜に対して良好なエッチング選択比を有し、適当かつ調整可能なシート抵抗を持った材料を見つけ出すことである。特に銅配線の場合は、TaN が有望な候補であることが見出されている。しかしながら、他の材料も、近い将来、使われることになるかも知れない。

用途、代表的な要求、受動素子 (MIM キャパシタ、インダクタ、抵抗体) 毎に異なるプロセスおよびインテグレーションに対する課題の詳細は、最近の文献リストとともに、配線章の付録の「受動素子」に示した。

信頼性

イントロダクション

配線の構成材料と構造の急速な変化は、新たな重大な信頼性のチャレンジを招いている。Al/SiO₂技術での不良メカニズムの理解は、この35年間以上の期間で、多くの蓄積がなされている。最近の10年間で、半導体産業は、Cu配線に移行した。そして、現在一連の新たな そして/または 大幅に改良された低誘電率層間絶縁膜材料もまた導入に向けた努力が行われている。これらのすべての変更は、これまで用いられてきている成熟した材料セットがもたらした信頼性を損なわないことが要求される。不良は、配線密度、配線層数、そして消費電力のさらなる増加によりますます増大する。この節では、Cu/low- κ 配線に起因する信頼性課題について簡単に説明する。

Cu配線は、アルミニウムに比べて高い信頼性が得られるとの期待からも採用された。同等の環境下では、この期待は正しいであろう。しかしながら、半導体産業が、ダイ上の総配線数の増大のみならず微細化と電流密度の増大を続けてきた結果、Cu配線の信頼性維持は、かつてのアルミニウム配線と同様に挑戦的な課題とな

っている。このCu配線の信頼性は、周りを覆う層間絶縁膜のみならず、バリアやシード層の性質に強く依存している。Cu/low- κ 配線の信頼性は、前世代の配線から3つの高度な差異を有することがいまや明白であるシステムの信頼性と見做すべきである。

1. メタルマイグレーションの物理が、アルミニウムとはかなり異なる。
2. 低誘電率層間絶縁膜中では、メタルは圧縮というよりむしろ引っ張り応力が架かっているような状態にある。
3. 層間絶縁膜の κ 値が下がると機械強度も下がる。

Cu メタライゼーション

高性能ロジックLSIは、10年前に、Cu配線に移行し始めた。そして今日、先端回路の大半がCu配線を使っている。Cuはシリコンやほとんどの絶縁膜中に拡散しやすい。配線間のリーク電流の増大や、トランジスタ性能の劣化を防止するために、メタル拡散バリア膜(たとえば、TaやTa₂N₅など)または、絶縁膜拡散バリア膜(たとえば、Si₃N₄やSiCなど)で覆う必要がある。Cu拡散は、デバイス動作時の隣接する配線間に印加された電界によって著しく加速される。そのため、完全なバリア特性が長期のデバイス信頼性を保障するために必須である。Alと異なりCuは、不動態層ができない。そのため、エレクトロマイグレーション挙動では、表面拡散が支配的であることが判っている。したがって、トータルな信頼性において拡散バリアとの界面が主要因となる。

今日の研究は、現在、“ウィークモード”と“ストロングモード”と呼ばれる、2つの基本的なタイプに分類できるとされる、不良モードの理解に焦点が当てられている。“ストロングモード”不良は、一般的に、Cu配線部と絶縁膜バリアの界面に形成されるボイドによって起こる。これらは、内部グレイン境界ではなくて、Cu細線の表面に沿った拡散パスが主要であるブラックの式に従う、典型的なエレクトロマイグレーションによる不良である。“ウィークモード”不良は、十分には理解されていないが、一般的にビア近傍で形成されるボイド(必ずしもビア内部である必要はない)によって起こる。“ウィークモード”不良は、信頼性の著しい低下を引き起こすため、原因や、緩和過程は、さらなる研究が必要な領域である。

ULK (Ultra Low- κ Materials)材料

大まかに言ってバルク比誘電率3.0以下で定義されるlow- κ 材料への業界の移行は、どんなこれまでのロードマップが予測していたよりも長くかかった。この移行は、初め、本質的に機械的、化学的頑健さがより小さい材料を実装する能力によって、次いで、最終製品でのこれらの構造の信頼性が確認されたことによって推し進められた。

有機基がシリコンに導入されたシリカ系層間絶縁膜(SiOC)は、主なデバイスメーカーが選択した材料である。しかしながら、依然として、幾つかのデバイスメーカーが、特殊な用途で、有機ポリマーを層間絶縁膜として使用している。緻密なSiOC膜材料では、2.5以下の比誘電率を実現している。さらに、比誘電率を下げるためには、多孔質化による、密度の低下が必要となる。フッ素を導入することで、低誘電率化してきたFSG材料は、一般的に化学的に不安定であることが分かったため、実用的ではないことが証明された。

シリコン酸化膜と比較して、すべての低誘電率膜の候補が有する、共通する信頼性課題を以下に挙げる。

- 低誘電率材料は、一般的に、金属配線に引っ張り応力が掛かるような熱膨張係数を有しており、この結果、パッケージ後テストするまで、わからないビアポッピング不良を引き起こす結果となる。材料の骨格により多くの炭素が導入されるほど、熱膨張係数は高くなり、メタルにより多くのストレスが加わる。
- 低い機械強度や、破壊強度の材料はすべて、工程や、パッケージングや実使用で加えられる歪のもとで構造を維持することができ難くなる。ボンディング工程でのひびや剥がれによる不良は、産業界での目下のチャレンジである。上層にさらに数層積み重ねられないと見られない新たなマイクロクラック現象が、観察された。最後に、より低誘電率の材料は、応力やエレクトロマイグレーションにより引き起こされるメタル突き出しに対する耐性が低い。
- すべての候補材料は、薬品に対する低い耐性を有する。この本質的な影響は、置き換えるべきシリコン酸

化膜の比誘電率以上に比誘電率を増大させてしまうプロセスでの低誘電率材料へのダメージである。多くの場合、ダメージは、水分吸着の増加や、膜中の水分量の増大を招く。半導体産業界は、比誘電率の低減のためにダメージの改善や修復を懸命に試みているが、修復された層の残留ダメージが及ぼす信頼性への影響はほとんど解かっていない。

ULK 材料(多孔質 Low- κ)

絶縁膜への空孔の導入は、上述の効果のほとんどを悪化させる。空孔が形成された絶縁膜は、大部分の絶縁膜が、熱応力や、外部からの機械的応力や、メタル突き出し機構に対して、制約を受けないと仮定される点についてまでも機械的に脆弱になる。さらに、ULKである大部分の材料からのどのようなメリットを活かすためにも、ハードマスクや、CMPストッパー膜、エッチストッパー膜や、拡散防止絶縁膜は、省かれるか、比誘電率を低減しなければならないが、それは、同時に、性能の劣化を招く。

バリアと銅配線の界面の不良物理と信頼性の知見の少なさのため、銅拡散バリアとして機能する連続なメタルバリアの多孔質な配線溝の側壁や底面上へ如何に形成すべきかという問題に対する答えは、まだない。

プロセスガスや薬品は、多孔質膜の内部に吸収される。ここでも再び、ダメージの場合と同様に、半導体産業界は、製造上の理由、またはより低い比誘電率を達成しなければならないことから、懸命に除去しようと試みている。しかしながら、吸収層中の如何なる残留物の信頼性への影響もほとんど解かってはいない。

多孔質低誘電率膜での絶縁破壊の物理的なメカニズムは、よくわかっていない。不良の原因は、絶縁膜の材料固有の性質というよりむしろインテグレーションの方法にある。寄与する要因は、拡散バリアとアシスト層(ハードマスク、CMP/エッチストップ)の厚みや組成と界面の品質である。信頼性は、また、多孔質膜を通しての酸素の移動を防ぐための、組み立てとパッケージ工程の間や後のエッジシールと保護膜の性能にも依存する。さらに、ストレス条件から使用条件への外挿の確実性に対して見解が一致しているわけではない。たとえば、E また $1/E$ モデルのどちらが適切か、高電界領域と低電界領域で、不良メカニズムが同じかどうか、また、テスト構造が、実際のデザインの不良箇所を代表しているかどうかなど。

Cu/Low- κ 材料とプロセス

これまでの低誘電率材料より桁違いに頑健な革命的な新しい低誘電率材料が開発されても、略述した課題を満足することができないということが、低誘電率材料の研究に捧げられた努力によって示された。すべての要素プロセスやインテグレーションプロセスの変更は、低誘電率膜へのダメージを防止するか、改善するものでなくてはならない。ダマシ構造が低誘電率膜により形成されたことにより、多層配線におけるレジスト除去とそれにつづくクリーニングのアプローチが変化した。はじめに、ハードマスク材料と有機低誘電率膜の酸素ガスをベースとするエッチングガスにより、配線溝、接続孔またはビアエッチ工程中でのその場レジスト除去が可能となった。しかしながら、ダメージとそれによる比誘電率の上昇は、新しいアッシング処理室のデザインだけでなく、還元性ガスの使用を強いることとなった。矛盾しているようだが、ある材料系では、RIEのようなアッシングが必要である一方、ある材料系は、ダウンストリームアッシングがもっとも効果的である場合がある。一般的に、高いアスペクト比を有する構造から、低誘電率膜や、銅やバリア膜をアタックすることなく、残渣や、パーティクルを除去するためには、プラズマアッシングだけでは不十分である。

軽度のダメージは、CMP やバリアメタル形成前のスパッタエッチからも生じることが分っている。半導体産業界は、比誘電率を低減するためにダメージを改善する努力をするだろう。しかし、すべてのプロセスと材料の組み合わせに対する詳細な信頼性への影響について理解する必要がある。すべての要素技術は、長期信頼性課題に対する影響の受けやすさだけでなく、それぞれの技術に特異的な歩留まり低下メカニズムを有している。

モデリングとシミュレーション

新製品や新技術の設計において、コスト効率よく最初の設計で成功するためには、信頼性を考慮した CAD ツールが必要となる。モデリングとテスト技術の改善によって高精度化した不良メカニズムとそのモデリング用いて、新しい CAD ツールの入力データ作成する必要がある。これらのデータと高性能な信頼性 CAD ツールの採用により、設計手法を選択する際の製品信頼性に対する影響を評価することができる。新しい CAD ツールは、時間に対する回路の電気的特性劣化を計算できるように、開発されるべきである。この場合に用いられる入力データは下記の因子に基づく配線およびビアの抵抗上昇であろう。

- ・ 配線長
- ・ 回路の電流特性より導かれる電流密度
- ・ 回路またはその他のジュール発熱から計算された局所的な温度

これらのツールを回路設計者のツールセットに含めることにより、製品の信頼性を製造開始する前に予想し、解決策を編み出し、解決策の適用を促進する必要がある。

将来の信頼性の動向

上記の節では、Cu/low-κに対して同定された信頼性上の問題に関してのみ議論した。多様な Cu/low-κ配線信頼性特性を十分に解明し、設計段階での信頼性作りこみのための正確なモデルを構築するためには、継続的な研究が必要である。多様な Cu/low-κ配線信頼性特性を十分に解明し、設計段階での信頼性作りこみのための正確なモデルを構築するためには、継続的な研究が必要である。配線のサイズが微細化され、配線の体積に対する表面の面積が増加し、比抵抗に対する電子の表面散乱効果の寄与が大きくなるにつれて、Cu の信頼性課題を引き起こす多くの問題が生じることが予想される。この領域に入った時に技術が延命できるかを見極め、発生する特有の不良モードを同定するためには、Cu/low-κの根本的な信頼性限界を確認する必要がある。

他の配線技術、つまり光配線技術、パッケージを介した配線技術、3次元配線技術、またはマイクロ波配線技術などに対するアプローチが、今後5年以内の実用化を目指して始まる。これらのアプローチに対するトータルのインテグレーション技術は不明で、信頼性の調査を完了することはできない。しかしながら研究部門では代替配線プロセスや設計技術を選択する際には、信頼性保証を主要検討項目とする必要がある。

システム及び性能に関する課題

配線性能

当面の配線技術(銅配線と低誘電率誘電膜)が、引き続き集積回路の性能要求を満たすために十分であるかどうかは、配線網の意図する機能と銅配線の製造技術によって変化する。要求がより厳しくなるに従って、集積回路に必要なトータルでの技術ニーズを満たすために、ますます配線を、パッケージとシリコンチップを含めた“システム”の一部として考える必要がある。計算によれば、180nm から 15nm までにいたる技術世代の現状のロードマップ数値を用いて、スケーリングされた配線の遅延はおおよそ 10ps 増加し、一方で、固定長の配線の遅延は約 2000ps 増加する。もしリピータでこれらの配線が修飾されれば、遅延はスケーリングされた配線で 3ps、固定長の配線で 40ps に低減する。ある設計においては、この程度の遅延の増加は、固定配線長の配線ニーズを減らす変調器のアーキテクチャによって扱える。一方で、そのような大きな回路アーキテクチャの変更は新たな設計ツールを必要とし、一般的にすべての設計に適用できないという害がある。

多くのデジタル応用においては遅延が主たる因子であるが、縮小された寸法や電流増加によって引き起こされるクロストークやノイズといった問題が、デジタルおよびアナログ回路両方において、より大きな問題である。このトレンドは、設計ストラテジの強力な関数であり、その観点から考慮されるべきである。

クロックと信号伝達のための、スケールリングした配線に伴う問題に加えて、それと同様に困難な配線の問題は、回路の電力分配である。Vdd の減少に関係して供給電流を増加することは、固定長の配線において電源とバイアス点の間の電圧降下を引き起こす。この問題は、固定長のクロックおよび信号配線のリピータによる解決策のように容易には解決できない。

システムレベルでの集積化要求

前のセクションで認識された配線の問題は、新しい応用による他の増加する需要とともに、システムレベル集積という視点で配線技術を捉えることを要求している。それらは、望ましい動作特性を実現するための電気的な性能のみでなく、物理的、機能的なマクロ機能の組み立て(アセンブリ)を含む。独立した部品の組み立て(ベアチップあるいはチップ上の機能ブロック)においては、システムに賦課されたすべての性能と信頼性要求を満たさなければならない。配線については、現状で、その要求はオンチップ配線、パッケージ、シリコンチップ、ボードレベル技術の別々の機能によって、明確に満たされている。将来は、現状の設計法によるオンチップグローバル配線問題に対して、配線技術のみでは解決できないと広く認識されていることから、いままでの見方は適当ではない。むしろ、現在の視点では、設計、プロセス技術、パッケージング、ボード組み立てが、寄り集まって、配線要求に対して最適化された集積システムレベルの解決策を提供する必要がある。

配線の進歩に関する現在の予測では、当面、新しい集積回路における配線遅延の問題は、クリティカルパスの配線長を最小にする特別な注意を持って、プレーナ技術の制約の範囲内で、回路設計によって満足させられる。このアプローチは、実質的に Cu/low-κ 技術を後押しすることと協調し、同時に、より革新的なパッケージングやボードのアプローチによって、設計アーキテクチャの変更を最小化して、ITRS で予測される性能進歩を満たす。

中期的には、Cu/low-κ は限界に達し、新しい設計アーキテクチャが、チップーパッケージ協調設計とともに、新しい CAD ツールで実現され、必要な性能進歩を著しく容易にする。このような現状のやり方の外挿のその先では、過激に新しい設計、パッケージング、配線技術の選択肢が必要になる。このような選択肢は、集積回路の全体的なシステムの視点を必要とし、解決策の中でパッケージ、配線、シリコンチップを融合させる。パッケージ、配線、シリコンチップを融合させた完璧な解決策のさまざまな選択肢のある見方については、次のセクションで示す。

新たな配線コンセプトと革新的な解決策

IC の周波数とパワーの継続的な増加とムーアの法則を満たす微細化に対する継続的な要求の結果、半導体工業の初期約 40 年間にわたり使われてきた伝統的なメタル/層間膜系にかわる新たな配線コンセプトが必要となってきた。微細化と材料の変化により配線技術が困難になってきていることは次のことから容易にわかる。つまり、1.0μm の Al/SiO₂ 技術世代ではトランジスタ遅延は~20ps で RC 遅延は 1mm 配線で~1.0ps であったのに対し、今後の 0.035μm の Cu/low-κ 技術世代ではトランジスタ遅延は~1.0ps となるのに RC 遅延は 1mm 配線で~250ps となってしまう。IC の性能がトランジスタ遅延で決まることから配線遅延によって決まるというこの劇的な変化は、伝統的なメタル/層間膜配線系の継続的な縮尺では未来の配線要求を満たせないということをはっきりと示している。

メタル/層間膜配線系の代替となり遅延と電力の問題を解決する多様な方法が考案されている。主な可能性のリストが Table 83 に示されている。これらの方法のいくつか、特に最初の 2 つは比較的成熟した技術ではあるが、Al/SiO₂ や Cu/low-κ 技術のように、どれか一つの技術が全てのタイプの IC に普遍的に使われることは無いであろう(これはこれらの技術が商業的に可能であることを証明しているわけではない。コスト、検査性能、要求される Si 面積など研究すべき課題が残っている)。Table 83 のリストはこれらの技術の現状を基にして、実施していく上で増大する困難さに対する、ITRS 配線ワーキンググループの見解である。これらの革新的な解は、主な集積回路製造業者 (IDMs) によって試作も量産もされていないので、正式な技術ロードマップは存在しな

い。これらの全ての代替技術が量産適用を期待されているわけではない。たとえそれらが技術的に可能であると示されたとしても、運用面と経済面の両面の多くの理由から、実施はされないかもしれない。時期を明示したロードマップの出現は、特定の技術が生産適用に向けて採用されたことの証拠となるだろう。このようなロードマップは「見込みの少ない手段」から「実施」への移行期に現れるはずである。次の章ではこれらの手段の詳細を記述するとともに、実施可能性を高めるために取り組むべき問題点を記述する。

Table 83 Options for Global Interconnects Beyond the Metal/Dielectric System

Use Different Signaling Methods <ul style="list-style-type: none"> – Signal design – Signal coding techniques
Use innovative design and package options <ul style="list-style-type: none"> – Interconnect-centric design – Package intermediated interconnect – Chip-package co-design
Use Geometry <ul style="list-style-type: none"> – 3D
Use Different Physics <ul style="list-style-type: none"> – Optics (emitters, detectors, free space, waveguides) – RF/microwaves (transmitters, receivers, free space, waveguides) – Terahertz photonics
Radical Solutions <ul style="list-style-type: none"> – Nanowires/nanotubes – Molecules – Spin – Quantum wave functions

異なった信号伝送方法

この方法は現在利用できる技術を活用して、通常用いられている矩形波よりも高速グローバル配線に合致する電流及び電圧波形を、信号フォーマットや回路動作で生成するものである。このための方法がいくつか提案されているが、そのうちの2つを下記に説明する。

レイズド コサイン シグナリング — この方法を支持する人々はインダクティブとキャパシティブな接合効果によって起こるノイズクロストークはますます重要な問題となり、結局はローカルからグローバル配線にわたる信号遅延の主な原因になると主張する。この様々な原因によるクロストークの増加は以下の4点に起因する。1) デバイスのスケーリングや配線間、層間が近づくことによって起きる、キャパシティブ、インダクティブ、レジシティブな結合による、高い近接場カップリング、2) 基板や電力導入線を通して離れた部分間で強まるカップリング、3) フリッカーや熱やショットノイズのような本来のデバイスノイズから強まったノイズカップリング、4) 配線の断続性による高周波放射効果である。

積極的なクロック分布設計では、クロック信号一つに対して、揺らぎ量(skew)と jitter はクロック周期の3-4%以下である必要がある。例としてITRSロードマップではチップ上の局所的なクロックは10GHzを目標に定めており、グローバルクロック率は3GHzに近づいている。これは jitter/skew をそれぞれ4ps、13ps以内に制御しなくてはならないことを意味している。レイズドコサイン技術は電力消費とノイズクロストークの両方を最小限に抑える高効率の電流モードドライバーはもちろんのこと、高速バスの基本関数として、矩形パルスの代わりにノイ

ズクロストーク問題に取り組む。この技術は特定の技術応用においてクロストークノイズを 40%も減らすことが示されている。

共鳴クロッキング — 共鳴クロックアプローチにおいては、伝統的な tree-driven グリッドが、そのクロックノードの基本的な周波数でクロック容量が共鳴するようにオンチップインダクタと結合している。基本波のエネルギーは電場と磁場の間で行ったり来たり揺れ動き、熱として散逸することは無い。クロックドライバーは、損失を超えるため、そしてより鋭い(サイン波でない)クロックエッジを供給するのに必要な高周波を注入するためのエネルギーを必要とするのみである。グリッドの実効キャパシタンスは低くなり、グリッドを駆動するのにより少ないプレドライバーを必要とするので、パワーやクロックの待ち時間は改善される。共鳴系の Q 値によっては約 40%の電力縮小が可能であると予想される。共鳴ネットワークのバンドパス特性とバッファの待ち時間を減少させることで、skew と jitter をどれだけ減少できるかが決まる。

クリティカルチャレンジ

- テスト、コスト、Si 面積のような量産性の問題
- これらの方法の限定的なスケーラビリティの拡張
- 共鳴回路のための高 Q オンチップコンポーネントの供給

革新的なデザインとパッケージオプション

周波数とパワーの増大により引き起こされる IC 製造の困難さに対するショートタームでの解決策は、材料やプロセス以外の技術によるアプローチであった。その方法とは主にデザインとパッケージによるものである。すでに最新の技術世代で達成されているが、このアプローチで超低誘電率膜やその他の革新的なグローバル配線形成技術の必要性を無くしている。このアプローチで必要なのはわずかにデザインツールのみで、それは基本的なサーキット構造とパッケージ構造が結合されているとき、デザイン最適化に必要な多スケールで多現象のモデリングとシミュレーションをするものである。このアプローチに対するいくつかの方法を下記に記述する。

配線中心のデザイン — クリティカルパスのデザインに既にいくつかの技術世代で用いられてきた手順は配線中心のデザインである。このアプローチでは、配線デザイナー配線計画、配線統合、配線レイアウトを含む — はデザイン過程のあらゆるレベルで最適化される(しばしば他の回路機能を犠牲にして)。このアプローチには、配線がボトルネックであるデザイン領域で性能を最適化するために現在の技術を使用する明白な利点がある。しかし 2 つの不利益がある。1 番目は、このアプローチを実現するために適切な配線デザインツールと設計モデルをすべてのデザインに対して適用することができず、多くの場合カスタムになること。2 番目に、このアプローチを実施し十分なメリットを得るためには、標準のデザインとレイアウトの改正をしばしば必要とする。このことは、ムーアの法則に従って過去に使用されてきたスケーリングと技術変化での利点と矛盾する。

パッケージを介した配線 — グローバル配線課題を緩和する賞賛すべき選択肢として、配線の一部をチップ上からパッケージ、または配線層のみで構成される追加チップ内のより厚く高速の配線に移載する方法がある。この方法を「パッケージを介した配線」とよぶ。信号は適切なポイントでチップ上に戻される。グローバル配線だけでなく、電源、グランド配線の問題を同時に改善する目的で、I/O 数を大幅に増加するための「密集リード (Sea of Leads)」手法がとられる可能性がある。パッケージを介したアプローチのほとんどの要素技術は、研究所レベルで検証されている。電力要求や生産性、コストなどの問題に対して更なる調査が必要である。これらのアプローチの実用化に対して創造的な開発が必要とされており、追加される部品要素や結線の導入による、本質的なコストや信頼性での限界を回避する必要がある。

チップとパッケージの共同デザイン — これは開発中の IC チップとパッケージのグローバルな最適化と評価

を可能にするモデルとデザインを統一したものである。このデザイン方法を最適化すると、電氣的、熱的、機械的なシミュレーションや最適化を結合できるだろう。このアプローチでは共同デザインモデルを用いることで、デザインの様々な部分のトレードオフとなる複雑さを、取り込み、分配し、取り扱うことができるだろう。このアプローチは、チップ、パッケージ、およびボードを包含する必要がある(重要な相互作用があるなら)。

クリティカルチャレンジ

- 革新的な回路構造、あるいは回路とパッケージを結合したものに対するデザインを最適化するための、多スケールで多現象のモデリングとシミュレーションができるデザインツールの有効性
- チップとパッケージ間の新たな配線のコストと信頼性
- 新たに付加されたチップのコスト(使用時)
- チップとパッケージ間の配線を区分することによる設計課題
- プロービングとテストのコストと信頼性

ジオメトリー

3次元IC — ICの高周波信号伝播の重荷を減少させる簡単で上品な方法は3D配線を使用して能動素子を積み重ね、必要な配線長を減少させることである。このような3次元配線では信号伝播に必要な最小距離で能動素子のコミュニケーションを可能とする。積み重ねられた能動素子層は、従来のボンディングパッドでパッケージを通して接続され交信する個別に接着された別々のチップかもしれない。Face-to-faceで接続された別々のチップかもしれない。革新的なウェーハ貫通接続で接続されるかもしれない。あるいは単一のチップ上の配線内に能動素子を積層したものかもしれない。パッケージを通して別々のチップを接続する方法が今日大量に使用されているが、シングルチップ上での3次元配線やウェーハ貫通接続のような最短の信号伝播を実現する配線長を得ることはできない。さらに、それは3次元層の中の能動素子が高速信号伝送を容易にするという利点も得られない。ITRSの*Assembly and Packaging*の章でも積層チップに関するロードマップの記述がある。

現在のシステムにおける3次元配線の主たる目的は、実装密度の改善であって、配線性能の向上ではないようである。この場合は、チップを積み重ねるパッケージングのアプローチは適切である。ますます増大する性能と機能を必要とする将来のシステムでは、他の形式の3次元インテグレーションがより有利になるであろう。SOC (System-on-a-Chip) と SIP (System-in-a-Package) と 3次元インテグレーションの議論では、まずSOCは機能や性能を向上させるとチップサイズが大きくなり歩留まりが下がる、製造プロセスが複雑になりコストが増大するという問題がある。SIPでは性能の向上があまり見込めない。3次元インテグレーションは性能と密度でメリットがあり、異種技術を必要とするシステムの必要性もあり、3次元によるアプローチが望まれるだろう。しかし、3次元インテグレーションの方法は一つではない。wafer-to-wafer や chip-to-wafer、 chip-to-chip といった、製品やシステムの要求に応じて異なったプロセスオプションがあり得る。標準化される可能性は低いであろう。

クリティカルチャレンジ

- 三次元デバイスの高熱伝導に互換性のある熱容量
- 薄層化とウェーハ接合
- リソパターン、エッチング、アライメント、およびチップ間の密集した狭いビアの埋設
- 能動デバイスは、配線層の最上層上に形成されるが、トランジスタグレードの電子材料を低温で配線層の上に形成する方法
- 特定の製品へのアプリケーションを目指したオプションの中から、最適な選択を可能にする三次元デバイスの製造コストと歩留まりのモデル
- 3D構造のプロビングとテスト方法
- 3Dデバイスの信頼性
- 3D形成プロセスの標準化

信号伝播のための異なる物理学

前述されたオプションで実現できるよりも更なる配線性能の向上を求めるのであれば、従来の金属 / 絶縁膜配線に代わる材料と構造を導入することが必要である。それは情報伝達に電荷以外のものを用いる。現在検討されている3つの例を下記に示す。

光配線 — 光配線は、グローバル配線の導電体/絶縁体の代替手段として、ひとつのオプションとして考えられている。光学的なアプローチは、多くの種類があり、最も簡単な手法は、チップの最上部に、エミッタオフチップ、フリースペース導波管、検出部を有するものである。次第に、モノリシックエミッタ、導波管、検出部においても複雑なオプションが取り入れられる。光学配線には多くの利点があるが、重要な研究を必要とするいくつかの研究分野が明らかになっている。どちらのシグナルを光通信に入れるかに関する決定、そして、従来の導電体、絶縁体を残すか、そしてオンチップ光学エミッタの選択が重要である。信号が「光のスピード」で移動することから、この手法がスピード要求を満たすであろうことは容易に推測できる。しかしながら、トータルの配線システムを定義するためには、光学エミッタや検出部の降伏時間、移送媒体中の光のスピード、導波管中の損失(用いている場合)、導波管同士のカップリングノイズ、その他のものに起因した遅延が憂慮される。

クリティカルチャレンジ

- 実装からの要求で Si CMOS に(低コストで)完全にインテグレーションされる光エミッタと、高効率、高速スイッチングレーザソースの開発の必要性
- オフチップの連続レーザと同時に、Si CMOS に(低コストで)完全にインテグレーションされる低パワーモジュレータ
- Si CMOS に(低コストで)完全にインテグレーションされる低パワー、高効率、小サイズの光学検出器
- チップ上の導波管と検出器と、外付けレーザとの低コスト接続
- 信頼性調査

RF とマイクロ波配線 — 従来の金属 / 絶縁膜配線から急速に取って代わるものとして、チップ内の一部から他のビアへ RF やマイクロ波を使つての信号伝送がある。このオプションは、本質的にチップ上で、アンテナ、及び、適切な信号発生、及び、信号検出回路を持つ、送信器、及び、受信機からなる LAN の形をとる。この場合の伝送は、パッケージ、及び、IC 構造を通した「フリースペース伝送」であることが提案されている。他の可能性は、RF シグナルが 容量的にパッケージ内で 導波管とカップリングする可能性のあることである。その伝送は、シノイドシグナル、あるいは、特定のシステム概念に応じてコード化されたデジタルシグナルとして提案されている。各オプションは、それぞれのユニークな要求と同様に、特有の利点、及び、欠点を持っている。グローバル配線へのこのアプローチのベーシックなコンセプトが示されている。

クリティカルチャレンジ

- 代替手段と比較しての、コスト及び性能面でのトータルシステムの概念の特徴づけ
- RF、マイクロ波配線のための電気、電磁気の面からのデザインルール
- RF とマイクロ波の最適化のための IC 基板とパッケージの検証

テラヘルツ導波配線

テラヘルツ導波は、 10^{12} Hz(1 テラヘルツ:1 兆ヘルツ) の周辺での周波数の伝送を使つた、RF と光学信号のハイブリッドである。これらは、Cu/low-κ、SiO₂ 構造 によって造られた マイクロストリップ導波管を通して増幅する。このアプローチは、材料のセットを変えない配線システムの帯域幅を著しく拡大する機会を提供する点で、魅力的である。この技術は、光学や RF 伝送よりもより微細化を達成できる可能性があり、“Intermediate” の配線層に適用できる可能性がある。

クリティカルチャレンジ

- Si CMOS へインテグレーションされる高効率テラヘルツ ソース(低コストで)
- Si CMOS へインテグレーションされる低パワーテラヘルツモジュレータ(低コストで)
- Si CMOS にテラヘルツ検出器へインテグレーションされる低パワーテラヘルツモジュレータ(低コストで)
(現在利用可能である「小さい」検出器は、大きな輻射があり、テラヘルツキャリアにより見積もられた帯域幅の余裕がない)
- インピーダンス、損失、分散、モード安定性、パワーハンドリング、電氣的信頼性、マイクロストリップ間のクロストーク、その他設計上必要なパラメータを決定するため、マイクロストリップラインのスケラビリティの研究。

革新的な解決策

上記のグローバル配線に対する選択肢に加え、独自の長所を持ついくつかのより革新的な選択肢がある。これらの革新的な選択肢にはナノチューブ、スピнкаップリング、分子配線などが含まれる。これらの選択肢は、まだ開発段階の初期にあり、量産のための計測技術と同様に、配線における有用性を証明できるトータルシステムとしてのコンセプトに向けての、共通のクリティカルな要求がある。さらにこれらの革新的な選択肢の研究を継続することで新たな、また予期しなかった事実が明らかになってきている。配線課題に対する革新的な解が多く重要な特性をもつことが認識されているが、これらの手法の実用化に対しては多くの研究が必要である。コストと生産性に関する課題を克服しながら、定められたロードマップの目標値を実現できる、あらたな創造的な手法が切実に求められる。

以上では IC 技術の進歩を継続する際に発生する配線課題に対する解を実現するためのいくつかの新しいコンセプトと革新的な候補技術を紹介した。いくつかの個々の手法を説明したが、解決手法は適用対象によって異なるため、最終的な解は上述のうち、複数の手法を組み合わせたものになると考えられる。これを実現するには、考えられる全ての技術を駆使して最良の手法を十分に評価し、確認することという、各分野にまたがった研究が不可避である。

配線技術は、1959 年のロバート・ノイスの特許に端を発し、進化の途を辿ってきた。困難とされている Cu/low-κ への変更でさえ、上述の崩壊的な技術と比べると、マイナーな技術推移でしかない。取り上げるべき技術課題は数多くあるが、産業が巨額の投資をとめない解決に至るまでに、指針といくつかの戦略的課題を列挙すると。

1. その解決法は、配線全てにわたっているか？
2. どれくらいの問題を解決するか？(どの製品のために？)
3. いつ実行できるか？
4. 狙った実行時期でのニーズにどれくらいマッチしているか？
5. どれくらいの汎用性、あるいは、何世代分に利益があるか？
6. 実行するためには、必要なほかの技術は無いか？
7. 有効に実行するために、適切な、ソフトウェア、ハードウェア、生産、アプリケーションあるいはビジネスなどの変化が必要か？
8. どの技術的な問題を実行の前に解決する必要があるか？また、それらの現状は？
9. 実行するために、何を時間どおりに完了あるいは付加しなければならないか？
10. どのようにその技術が主流になっていくのか？

分野をまたがる問題

配線に用いられる材料やその技術単独では、もはや、次世代の配線技術に必要な性能を引き出すことは不可能である。そのために配線のスケールリング則を支え続けるには、材料科学、基板技術、設計、モデリングとシミュレーションの相互関係がますます重要になっている。現状の配線設計ツールは、多層配線全体の性能を正確には予測できていない。さらに、そのモデルは RLC(抵抗、インダクタンス、容量)でなく RC(抵抗、容量)パラメータに基づいている。最高の性能を引き出すための設計の最適化は、試行錯誤に左右されていることもある。配線層数と周波数の増大につれ、デバイス全体の目標性能を達成するために、最先端部品の市場への投入時期は、レイアウトや配線(機能ブロックの配置や配線層、線幅)の修正の能力に影響され続けている。設計の能力は、ユーザーが効果的に、近未来から長期に渡り利用できる拡張性がなければならない。次世代の配線のチャレンジすべき項目としては、とりわけ、

1. RLC にも対応したモデルは、10GHz あるいはそれ以上でのオペレーションに耐えうる必要がある(30GHz での、自由空間波長は、概ね 1 cm まで)。この能力は RF またはテラヘルツ波配線にも必要となる。
2. 現実的なモデルにおいては、Cu 抵抗の上昇による配線遅延の影響を考慮しなければならない。これらのモデルにおいては、配線幅、アスペクト比、サイドウォールのラフネス、配線材料のグレインサイズとそれぞれの粒界、表面、不純物散乱係数を勘案したものであることが必要である。
3. 隣接する配線間のクロストークとダミー配線の影響による信号遅延の不確かさは、最適なモデルで考慮される必要がある。配線のアスペクト比が増大すると大きな問題になるからである。
4. プロセスばらつき(CD の許容誤差や配線高さばらつき、サイドウォールラフネス)は、線幅、ビア径の微細化に伴いますます重要になってくる。それゆえに、ばらつきを許容する設計とばらつきに敏感なモデルとシミュレーションが次世代技術をさせるために必要になってくる。
5. 機能ブロック配置の最適化手段は、3次元 IC の個々のダイ上だけでなく、今や、スタックダイにも要求される。
6. 新しいモデルは、エミッタ及び検知器の待ち時間を考慮した光学配線の最適化により開発されなければならない。
7. 上記の技術はすべて、ダイ全体の熱消費を増大させ、ダイ内で信頼性のクリティカルな「ホット・スポット」の発生数を増加させる。熱伝導を低減させる Low- κ 絶縁膜のサーマルインパクトを予測できる熱予測モデル、RF 定常波、3次元積層 IC に埋め込まれている多くの熱発生と、それによる熱発生、光学装置や量子井戸デバイスの熱特性が必要になるのと同様である。

モデリングとシミュレーションは、配線の問題にかかわる全ての技術分野を支援する重要なツールである。要求されるモデリングとシミュレーションに必要とされる能力は、配線が IC レイアウトやその電気特性(伝送遅延、ディストーション、信頼性など)に及ぼす効果といった高次元の予測から、(グレイン構造や、Cu とバリアメタルの界面や不純物による)Cu 配線の微細化による抵抗上昇や、新しい低誘電率層間膜やその他の馴染みのない配線材料を用いた物理構造の予測にまで及んでいる。

これら全ての場合において、モデリングとシミュレーションは、その要求と広範な実験のコストとを可能な限り軽減できるよう、十分な精度が必要である。これらの要求は、新たな配線技術と構成において十分に方向づけられた実験での最初のシミュレーションから、相当成熟した技術での実験でのばらつきの範囲内の可能性を予測する設計性能にまで及んでいる。

他の技術分野と同様に、配線におけるモデリングとシミュレーションへの要求は、勘案すべきパラメータとその影響が大きくなっているため、これまで以上に厳しくなっている。たとえば、熱伝導率の低い Low- κ 絶縁膜に変更することにより、熱的、機械的、電気的なモデルの組み合わせを加速させている(これは、ロードマップの問題として、短期的なモデリングとシミュレーションの新たなチャレンジとなっている)。

モデリングとシミュレーションの配線に関する具体的な要求は：問題となるアプリケーションに対してのスピードと正確さのトレードオフを最適化するための階層により、実際の理想化されていないプロセス(エッチング、PVD、CMPを含む)での複雑な構造(三次元のような)の配線性能予測(高周波効果と信頼性を含む)；目標仕様を満足するため、あるいは、不一致を識別するためのインテグレーションフローにおける製品とプロセス設計を結びつけるツールや手法；そしてこの配線中で使われている材料(金属、バリア、絶縁膜)の物理的、電気的特性と同様に、構造を予測する材料モデリングの能力である。特に重要なのは Cu のサイズ依存性、表面拡散、エレクトロマイグレーション、そして CMP 時の Thinning、Dishing である。「モデリングとシミュレーション」の章を参照されたい。

環境、安全性、健康(ESH)

配線技術に関しては、環境、安全性、及び健康(ESH)の面で独自の課題が伴う。特に、先端技術での性能優先は、新材料(Low- κ 絶縁膜、Cu・シード・バリア・ポアシール材料など)と新規プロセス(電気化学的成膜、CVD 金属・絶縁膜成膜、Cu/バリア CMP、Low- κ エッチ・洗浄など)を要求している。これらを急激に量産に導入しようとする場合は、ESH に関するさまざまな問題を考慮することが必要になる。ウェット・ドライの両プロセスは今後も使われるであろうし、適切な処理が必要で、新しい金属・絶縁膜材料の導入が、これらの ESH のチャレンジとなる。将来の Low- κ 絶縁膜や CVD による金属・バリア・シードの成膜で必要となる新しい材料、プリカーサ、及びプロセスについても、開発の早い段階で ESH の問題を考慮して入念にスクリーニングする必要がある。ESH に対する影響を改善するためには、反応生成物の放出、健康および安全面での特性、材料と装置や化学物質との適合性、可燃性、反応性といったことがらをあらかじめ特定することが必要である。また、業界もプロセスの最適化、代替技術の導入、リサイクル、除害等を通じて排出される化学物質や廃棄物(銅のメッキ溶液、CMP のスラリー、酸/溶剤、PFC、水)の削減を図る必要がある。包括的な情報と新しい薬品のスクリーニングについては ESH の章を参照されたい(化学薬品規制表)。

この点において、Low- κ 材の導入は ESH にとっては大きなインパクトではない。材料そのものは良性である。CVD プリカーサは多くの点で、これまでのシランガスより危険性が少ない。スピノン系の Low- κ の溶剤は、標準的な量産工程において、環境の面でも扱いやすく設計されている。ダマシン構造を形成するためのエッチングガスも、扱いや除害の面において量産の実績があるものが使用されている。

Cu 配線への切り替えにより、Al エッチング時に用いられたハロゲンガスの消費はなくなったが、Cu 金属や Cu イオン、沈殿を含む大量の排水を生み出した。この大量の水は電解メッキ、残渣はその後の Cu-CMP 工程から生み出されたものである。廃棄される水の中の Cu は、ユースポイント(CMP 装置の rinse)、あるいは、工場での他の“酸系廃棄物”と一緒に、大幅に希釈されている。CMP の場合、スラリーの砥粒が、Cu 金属やイオンに比べて非常に多くの割合で含まれている。解決策は、電気泳動、電解採取あるいはイオン交換樹脂のようなもので、より高濃度の Cu めっき排水から銅を取り除くことにある。しかしながら、CMP スラリー中の Cu の除去は、それが希釈されているために困難を極める。最新では、ESH の関心が、消費されたスラリー中に含まれるようなサイズ 100nm 以下のナノパーティクルの影響に移っている。これは、現時点では健康や環境への影響が十分につかめていないバルク材料の特性とは違った、ナノパーティクルの特性を示すエビデンスとなる。

2005 ITRS Interconnect Appendix

Dielectric

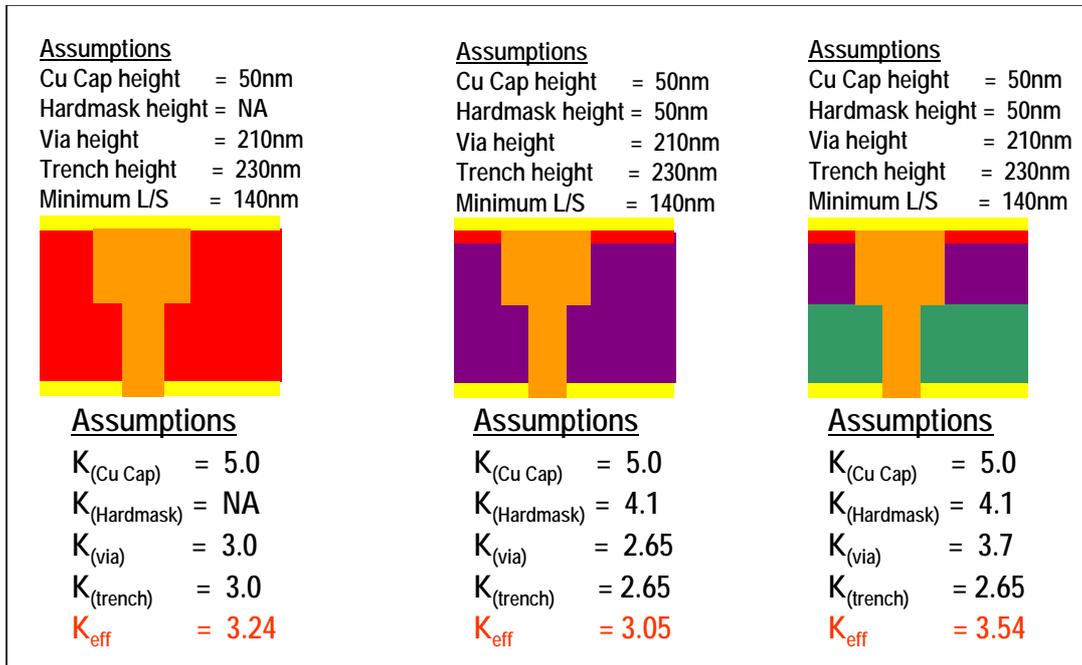


Figure A1 90 nm Potential Solutions (2004)

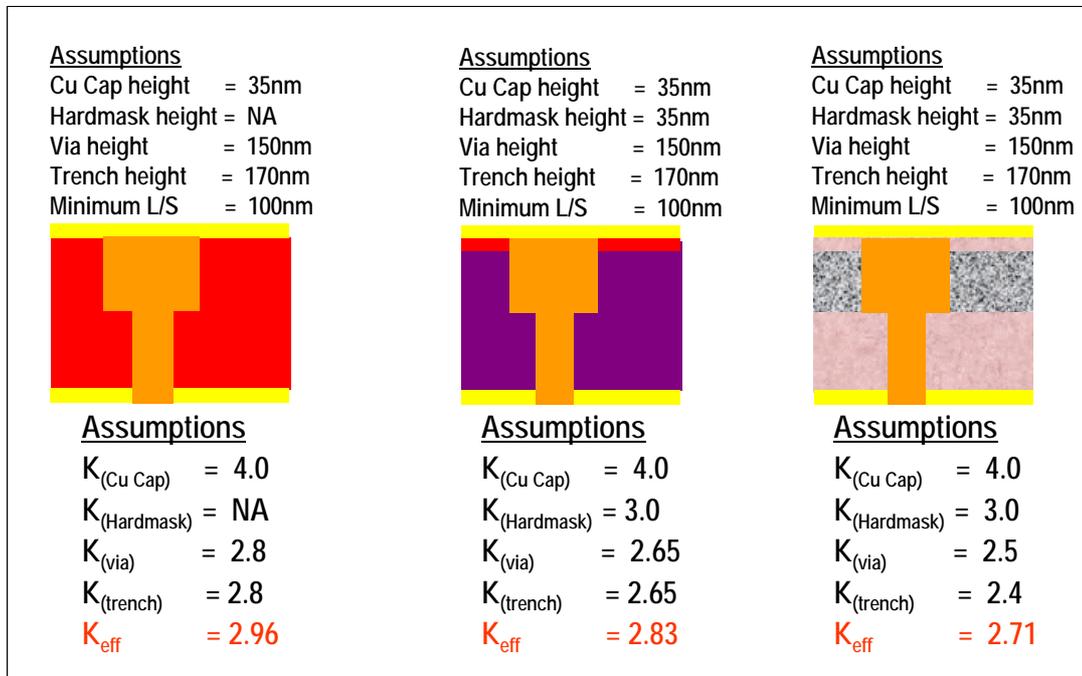


Figure A2 65 nm Potential Solutions (2007)

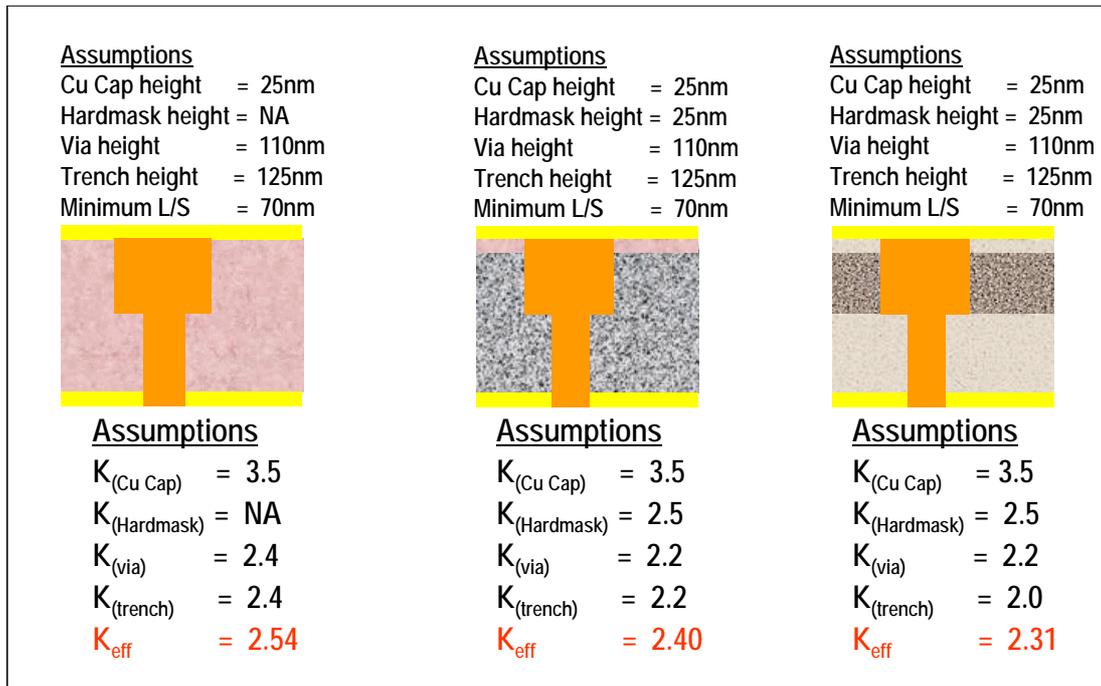


Figure A3 45 nm Potential Solutions (2010)

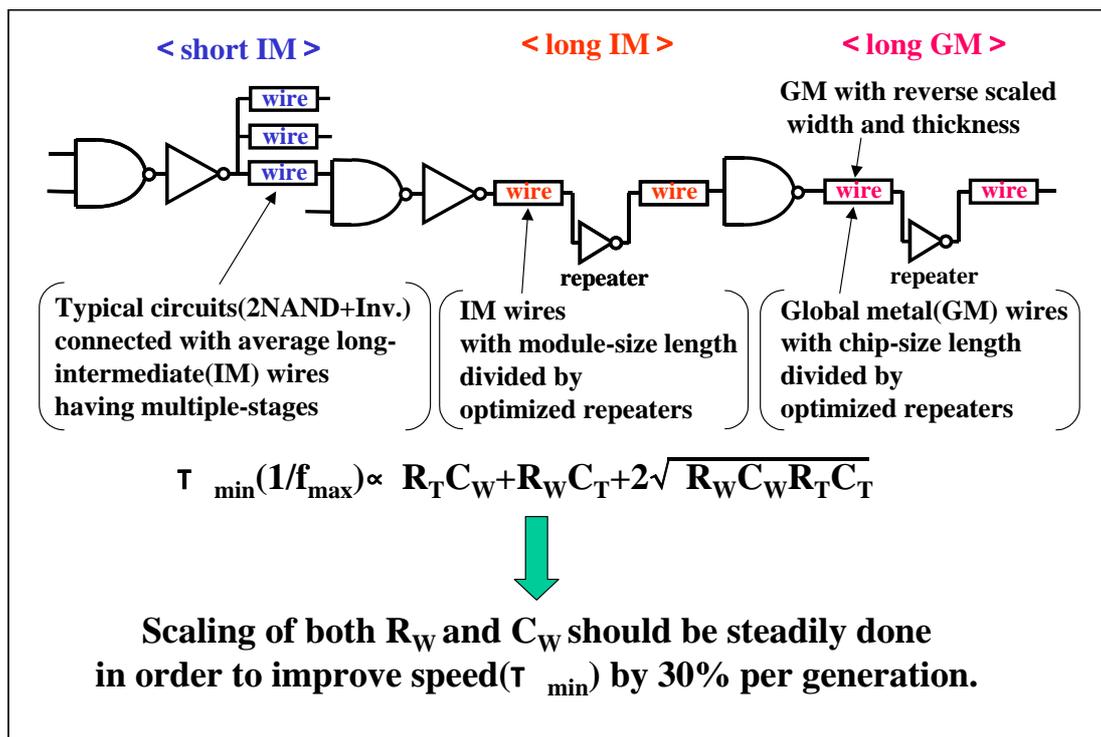
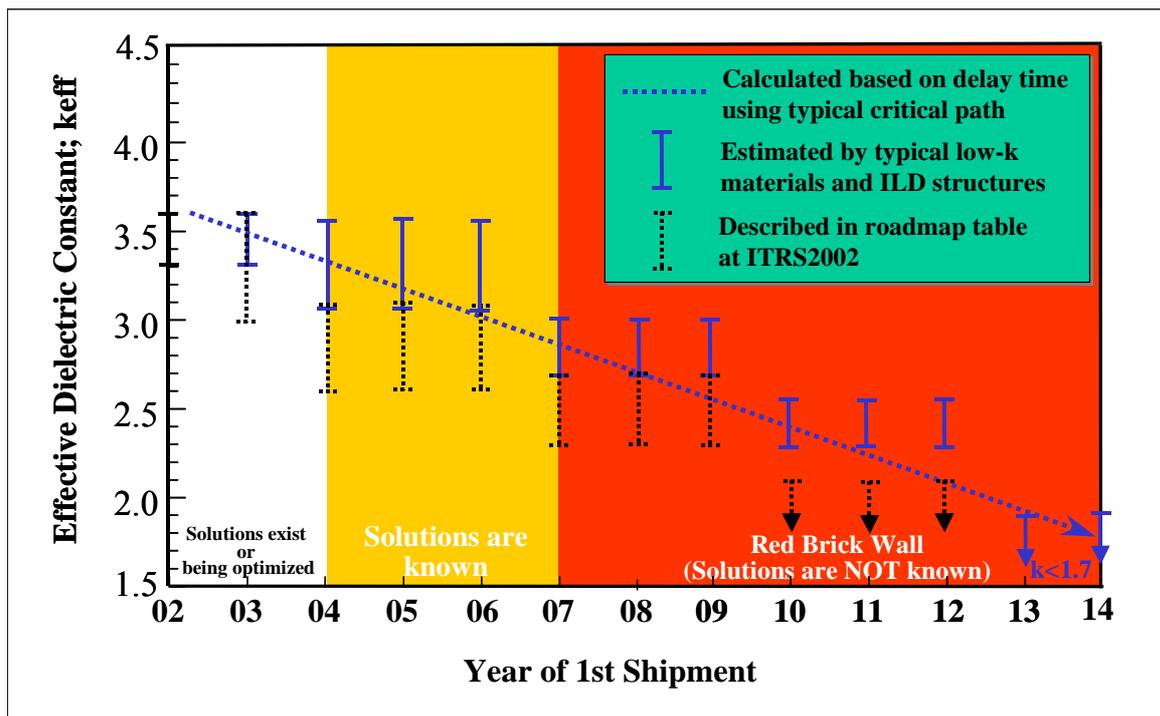


Figure A4 Critical Path in High-end SOC and RC Scaling Scenario

Table A1 Assumption on Interconnect Parameter Estimation Model

Assumption on Interconnect Parameter Estimation	
Design Rule	× 0.70/scaling、 reverse scaling for GM
Chip Size	=7 mm ² as 1-clock cycle limit
Module Size	× 0.70/scaling
Repeater	Inserted for long IM and GM wires
Gate Density	× 2.0/generation (based on ITRS 2002 MPU roadmap)
Active Power Density	× 0.6/generation with average-long IM wire
Logic Depth	× 0.75/scaling
<i>T</i> min.	× 0.70/scaling

Figure A5 ITRS 2003 κ_{eff} Roadmap Revision

受動素子

高品質なキャパシタ、インダクタ、抵抗体などの高精度なオンチップ受動部品のみタライゼーションへの導入は、現在ならびに将来の配線アーキテクチャに対する新しい要求である。この要求は、先進的なミックスドシグナル、RF、システムオンチップ(SOC)への用途によって主に推進されている[283、284、285、286、287]。IC上の受動回路要素(例えば、キャパシタ、抵抗体)を実現するための従来法は、フロントエンドプロセス中に作り

込むものであった。この場合には、ドーパされた単結晶シリコン基板、多結晶シリコンおよび、シリコン酸化膜又は、シリコン酸窒化膜が用いられた。フロントエンドプロセス中に作りこまれた受動素子は、シリコン基板の近傍にあるため、特に高周波で使われる場合に性能劣化の増大に苦しむことになる。そのため、配線レベルで作製した損失と寄生効果が少ない高品質な受動素子に対する要求が強くなっている。配線インテグレーションにおいて、この目標をモジュール的かつコスト効率よく、しかも、総合的な配線性能と信頼性を損なうことなく、達成することが重要なチャレンジとなる。現在の所、オプショナルな配線層および新材料を導入することが、必要な機能と特性を実現するための好ましいアプローチである。ミックスドシグナル及び RF CMOS 用途に対しては、基板結合ノイズやその他の寄生効果の低減と制御が最も重要な課題の一つである。キャパシタ、インダクタ、抵抗体のように最も広く使用されている受動素子に対する、アナログ、ミックスドシグナル、RF 製品のそれぞれの技術世代において期待されている将来の技術要求が、ワイヤレスコミュニケーション用の RF 及びアナログ／ミックスドシグナル技術の章に示されている。

次に、MIM キャパシタ、インダクタ、抵抗体の代表的なアプリケーション、技術要求、そしてインテグレーションに関するチャレンジについて簡潔に議論する。

MIM キャパシタ

CMOS、Bi-CMOS およびバイポーラチップにおけるアプリケーション

- CMOS 回路のスイッチングの間にチップ上の電圧/グラウンド配線やチップとパッケージを接続する配線に発生する過渡電流を低減するために使用される MPU 用デカップリングキャパシタ
- 高周波発振回路や共振回路、マッチング回路における RF カップリングや RF バイパスキャパシタ
- A/D、D/A コンバータのような高性能ミックスドシグナル製品用のフィルターやアナログキャパシタ
- DRAM や DRAM 混載ロジックデバイス用のストレージキャパシタ

MIM に関する代表的な要求

- 小寸法と高電荷蓄積密度
- 低リーク電流と低誘電損失
- 高い絶縁破壊電圧と高信頼性
- 同一チップ内で近接する MIM 間の絶対的および相対的容量が高精度であること
- 幅広い電圧範囲における高いリニアリティ(小さい電圧係数)
- 温度依存性が小さいこと(小さい温度係数)
- 寄生容量が小さいこと
- 過剰な熱を発生させることなく、高い Q 値と高いスイッチングスピードを可能にするために電極と配線の抵抗率を低減すること

プロセスインテグレーションに関するチャレンジ

- 良好な膜厚均一性と制御性を有した良質な絶縁性極薄膜
- キャパシタサイズを小さくするために高誘電率絶縁膜が望ましい。適切な材料については、絶縁膜に関する解決策候補の図を比較すること。
- 絶縁膜および金属膜の欠陥密度が低いこと(小さい表面粗さ)
- 総合的なメタライゼーション、特に低誘電率層間絶縁膜を使用する場合における低い成膜温度(<450°C)
- 追加プロセスステップやオプショナルなリソグラフィ工程などによるコストを総合的に削減するために、既存配線を最適に利用するスマートなモジュールインテグレーション
- 基板との寄生カップリング容量の低減と、高い Q 値を保持するために、上層の配線レベルで MIM キャパシタを実現すること。低誘電率層間絶縁膜の使用も効果的であるが、他のインテグレーション課題をもたらすかもしれない。

MIM キャパシタの成果は、Al ベース配線技術に関する文献と Cu ベース配線技術に関する文献の両方に見つけることができる[288、289、283、284、285、286、290、291、292、293]。今日、製造されているほとんどの MIM キャパシタでは、十分な材料特性、適度に良好な RF 性能、そして Al ベース又は、Cu ベースの配線技術へのインテグレーションの容易さから、MIM 絶縁体として、シリコン酸化膜、シリコン酸窒化膜、又は、シリコン窒化膜を使用している[294]。単層および積層アプローチによって、それぞれ異なる MIM キャパシタ構造が実現され、130nm 多層銅配線技術の特徴となった[295]。

配線インテグレーションに対応する高誘電率 MIM 絶縁膜(例えば、 Al_2O_3 、 Ta_2O_5 、 HfO_2 、 Nb_2O_5 、 TiTaO)に関する有望なデータがいくつかの論文で発表されている[285、296、297、298、299、300、301、302]。高誘電率 MIM 絶縁膜は、PVD 後に適切なアニールを行うことによって成膜されるか、または、プロセス全体の温度が通常 400°C ~ 450°C 以下に保たれた CVD、特に原子層 CVD プロセスによって成膜される。

しかし、リーク電流、電圧や温度リニアリティ、又は、絶縁膜の信頼性の観点から、記録的な容量密度 ($10\sim 26\text{fF}/\mu\text{m}^2$) を有するアプローチが全て役に立つとは限らない。最近、それらの課題を克服するために、様々な高誘電率 MIM 絶縁体の積層(多層)膜が提案された[301、303、304、305]。

高い容量密度、高い Q 値、良好な信頼性を有し、追加コストが小さい MIM キャパシタの製造が現実のチャレンジである。そのため、多くのアプリケーションでは、異なる配線レベルに形成された水平又は垂直の平行平板もしくは、クシや指状構造の寄生又は、固有容量を単純に用いて、単位面積あたりの容量密度を多少抑えた集積キャパシタを実現している[306、307、308]。このアプローチでは、チップ面積がプロセスの複雑さの低減と引き換えになる。

インダクタ

RF 回路におけるオンチップインダクタのアプリケーション

- ・ 現在のマイクロ波 RF 回路における異なる基本ブロック間のインピーダンスマッチング。周波数の増加とともに、将来さらにオンチップインダクタの重要性が増すだろう[309、310、311]。
- ・ RF トランシーバー
- ・ フィルター
- ・ 電圧制御発振器 (VCO)
- ・ パワーアンプや低ノイズアンプ (LNA)

インダクタに関する代表的な要求

- ・ 高インダクタンスにおける高い Q 値。一般的に、インダクタンスが増加すると Q 値が減少する。
- ・ 高い自己共振周波数 (SRF)
- ・ インダクタコイルにおける低オーム損失(低周波数領域で支配的)
- ・ 低容量基板損失(高周波数領域で支配的)
- ・ 高周波数領域における実効抵抗の増加の原因となる、インダクタと基板の相互作用により発生する渦電流が小さいこと

プロセスインテグレーションに関するチャレンジ

- ・ 低いコイル抵抗を実現するために厚い金属配線を使用すること。Cu 配線は従来の Al 配線と比較して効果的である。Cu ダマシン技術で形成されたスパイラルインダクタが同様に形成された Al コイルと比較して Q 値が 2 倍改善したことが報告された[312]。しかしながら、異なる配線レベルで実現された Al シヤントコイルでも改善は可能かもしれない。
- ・ インダクタと基板間の十分な空間的な分離、例えば、最上層の配線レベルにコイルを配置すること又は、パッシベーション上のポリイミド中に形成することにより、容量性寄生効果や誘導性寄生効果が低減され、Q 値が改善する。低誘電率材料は、容量性寄生効果や基板ノイズの低減に役立つ[313、314、315、316]。
- ・ 高抵抗なシリコン基板を使用することもまた寄生基板ノイズを改善する。しかしながら、このアプローチは全ての場合に可能であるとはいえない[310]。

- ・ インダクタ下の最下層配線レベルへ金属シールド(金属グランドプレート)を導入することにより、基板中の渦電流損失を低減することができる[309、310、311]。

現在、単層の Al 配線又は、Cu 配線で実現されたスパイラルコイルが、オンチップインダクタの最も一般的なタイプである。しかしながら、低基板損失であると考えられている多層シャントスパイラルタイプやソレノイドタイプのインダクタが将来は使用されるかもしれない[312]。

極端な金属膜厚(5~22.5 μm)やスパイラルインダクタの最内周径がスパイラルインダクタの Q 値に与える影響と同様に、Cu 配線ベースのインダクタスタックの最上部に追加されたアルミニウム層の疑わしい作用が報告されている[317、318]。

エアギャップを利用してサスペンドアルミニウムスパイラルコイルやサスペンドアルミニウムソノイドインダクタを形成することにより、基板カップリングを低減し、飛躍的な Q 値の改善を成し遂げた[319、320]。表面微小機械加工により形成されたインダクタンス 1.38nH(周波数 1GHz 時)のサスペンドインダクタが周波数 6GHz で Q 値 70 であることが示された[321]。その他の Q 値の改善(30~70%)方法は、配線前のデバイス製造後、もしくは、配線製造後に、陽子照射によりインダクタコイル下部に局所的に半絶縁性シリコン基板領域を形成することである[322、323]。ポーラスシリコン基板を使用することにより、Q 値や共振周波数が改善することが報告された[324]。マスクやプロセスステップを追加することなく、SOI 基板を使用した Q 値が約 20 の優れたインダクタが示された[308]。90nm RF-CMOS プラットフォーム技術で製造された Cu/シリコン酸化膜多層配線の最上部に 5 μm の Cu 配線と BCB 絶縁膜($\kappa\sim 2.7$)を使用して形成されたパッシベーション上(IC 上)のインダクタが、約 40 の非常に高い Q 値であることが報告された[325]。

磁性材料を使用した微小インダクタのインテグレーションの成功も報告された。CoZrTa から成る磁性グランドプレート導入により、正方形のスパイラルインダクタのインダクタンスが 36~50%増加した[326]。強磁性体 CoNbZr 層に挟まれたスパイラルインダクタにおいて、インダクタンスが 19%、周波数 2GHz 時の Q 値が 23% 改善することが示された[327]。別の例は、ソレノイドインダクタと強磁性体コア(Cr/Fe₁₀Co₉₀/Cr)のインテグレーションである[328]。強磁性コアを使用することで、低周波数領域(<0.2GHz)におけるインダクタンスを 8 倍まで高め、Q 値を 7 倍まで改善することに成功した。しかしながら、高周波数領域で、それらの改善は強磁性体コア内の強磁性共鳴損失と渦電流により著しく低下する。

三次元 IC SiP(System in Package)アプローチでは、上下チップ間の磁気遮蔽をするために Fe/Ni パーマロイ膜が成膜された極薄(1.7 μm)シリコン基板より成る上部チップに形成されたインダクタにおいて基板ノイズが著しく低減することが報告されている [329]。

抵抗体

アナログやミックスドシグナル回路におけるオンチップ薄膜抵抗体のアプリケーション

- ・ クロック、バスターミネーター
- ・ 精密な抵抗体アレイとネットワーク
- ・ 分圧器

抵抗体に関する代表的な要求

- ・ 優れたマッチング特性
- ・ 精密な抵抗調整
- ・ 高い電圧リニアリティ(低電圧係数)
- ・ 低い温度係数
- ・ 低 1/f 電流ノイズ
- ・ 高い Q 値(低い寄生効果)

プロセスインテグレーションに関するチャレンジ

- ・ 適度で調整可能なシート抵抗
- ・ 優れた膜厚管理(成膜均一性)
- ・ モジュールインテグレーション
- ・ 絶縁膜に対する良好なエッチング選択性
- ・ 標準的な配線材料の使用

薄膜抵抗体をベースにした配線インテグレーションに関する文献の発表は比較的少ない。一つの興味深いアプローチは、種々の化学量論的膜組成によって様々な抵抗率を持つ精密な TaN 薄膜抵抗体として MIM キャパシタのベースプレートに用いられる PVD TaN の多機能的な利用であった。TaN 膜の低い電圧リニアリティ係数、低い温度係数、そして優れたマッチング特性が報告された[292]。その他のアプローチとして、適度に良好な温度係数値を有するメタライゼーションベースの抵抗体として PVD WSix を使用する報告もあった[330]。

参考文献

導電体膜

- Clevenger, L., et al, "A Novel Low Temperature CVD/PVD Al Filling Process for Producing Highly Reliable 0.175 μm Wiring/0.35 μm Pitch Dual Damascene Interconnections in Gigabit Scale DRAMS, IITC, 1998, p 137
- Edelstein, D., et al, "Full Copper Wiring in a Sub-0.25 μm CMOS ULSI Technology", Tech. Digest IEEE IEDM Meeting, 1997, p 773
- Heidenreich, J., et al, "Copper Dual Damascene Wiring for Sub-0.25 μm CMOS Technology", IITC, 1998, p 151
- Luther, B., et al, "Planar Copper-Polyimide Back End of the Line Interconnections for ULSI Devices", Proceedings of the 9th VMIC, 1993, p 15
- Park et al, "Superfilling CVD of Copper Using a Catalytic Surfactant", IITC, 2001, p 12
- Reid, J., et al, "Optimization of Damascene Feature Fill for Copper Electroplating Process", IITC, 1999, 284
- Ritzdorf, T., et al, "Comparative Investigation of Plating Conditions on Self-Annealing of Electrochemically Deposited Copper Films" IITC, 1999, p 287
- Ritzdorf, T., et al, "Self Annealing of Electrochemically Deposited Cu Films in Advanced Interconnect Applications", IITC, 1998, p 166
- Zhang, J., et al, "CVD Cu Process Integration for Sub-0.25 μm Technologies, IITC, 1998, p 163

拡散防止膜

- Choe, H.S., et al, "MOCVD TiN Diffusion Barriers for Copper Interconnects, IITC, 1999, p 62
- Edelstein, D., et al, "A High Performance Liner for Copper Damascene Interconnects", IITC, 2001, p 9
- Haukka, S., et al, "Deposition of Cu Barrier and Seed Layers with Atomic Layer Control", IITC, 2002, p 279
- Hu, C.K., et al, Proceedings of 3rd IEEE VMIC, 1986, p 181
- Hu, C.K., et al, "A Study of Electromigration Lifetime for Cu Interconnects Coated with CoWP, Ta/TaN, or SiCxNyHz", Proceedings of AMC, 2003, p 253
- Jiang, O-T., et al, "Investigation of Ta, TaN and TaSiN Barriers for Cu Interconnects" IITC, 1999, p 125
- Mori, K., et al, "A New Barrier Metal Structure with ALD-TaN for Highly Reliable Cu Dual Damascene Interconnects" Proceedings of AMC, 2004, 693
- Rossmagel, S.M., et al, "From PVD to CVD to ALD for Interconnects and Related Applications", IITC, 2001, p 3
- van der Straten, O., et al, "Thermal and Electrical Barrier Performance Testing of Ultrathin Atomic Layer Deposition Tantalum-Based Materials for Nanoscale Copper Metallization", IITC, 2002, p 188
- Vijayendran, A., et al, "Copper Barrier Properties of Ultrathin PECVD WN", IITC, 1999, p 123
- Zhao, X., Copper Wetting of Two Dimensional Silicates: Robust Barriers for Interconnect Applications", IITC, 2001, p 6

膜成長核形成膜

- Andryuschenko, T., et al, "Electroless and Electrolytic Seed Repair Effects on Damascene Feature Fill", IITC, 2001, p 33
- Gandikota, S., et al, "Characterization of Electroless Copper as a Seed Layer for sub 0.1 μm Interconnects" IITC, 2001, p 30
- Haumesser, P.H., et al, "Electro-grafting: A New Approach for Cu Seeding or Direct Plating", Proceedings of AMC, 2003, p 575
- Johnston, S., et al, "Direct Plating of Cu on PVD Ru for Replacement of TaN Diffusion Barrier", Proceedings of AMC, 2003, p 335

- Malhotra, S.G., et al, "Integration of Direct Plating of Cu onto a CVD Ru Liner" Proceedings of AMC, 2004, p 525
- Park , K-C, et al, "Process Integration of CVD Cu as a Seed Layer for Cu Electroplating and a Plug-fill Application", IITC, 2000, p 43
- Seah, C.H., et al, Growth Morphology of Electroplated Copper: Effect of Seed Material and Current Density, IITC, 1998, p 157

Cu 抵抗率増加

- Jiang, O-T., et al, "Line Width Dependency of Copper Resistivity", IITC, 2001, p 227
- Kuan, T.S., et al, "Fabrication and Performance Limits of Sub-0.1 Micrometer Cu Interconnects", Mat. Res. Soc. Symp. Proc. , 2000, Vol. 612, D7.1.1
- Schindler, G., et al, "Assessment of Future Nanoscale Interconnects: Resistivity of Copper and Aluminum Lines", Proceedings of AMC, 2004, p 305
- Steinhoegl, W., et al, "Unraveling the Mysteries behind Size Effects in Metallization Systems", Semiconductor International, May 1, 2005

追記

新しい配線技術コンセプトと抜本的な解決策

- [267] J. Davis and J. Meindl, *Interconnect Technology and Design for Gigascale Integration*, Kluwer Academic Publishers, 2003.
- [268] R. Bashirullah and W. Liu, "Raised Cosine Approximation Technique for reduced Simultaneous Switching Noise," *IEE Electronic Letters*, vol. 38, no. 21, pp. 1256–1258, Oct. 10, 2002.
- [269] F. O'Mahony, C. Yue and S. Wong, "10GHz Clock Distribution Using Coupled Standing-Wave Oscillators," *International Solid State Circuits Conference Digest of Technical Papers*, pp. 428–429, San Francisco, CA, February 2003.
- [270] J. Cong and J. Shinnerl, editors, *Multilevel Optimization in VLSICAD*, Kluwer Academic publishers, 2003.
- [271] Muhammad S. Bakir, Hollie A. Reed, Paul A. Kohl, Kevin Martin, James D. Meindl, "Sea of Leads ultra-high density compliant wafer level packaging technology", *Proc. ECTC*, 2002, pp. 1087–1094.
- [272] A.C. Cangellaris, "Electrical Modeling and Simulation Challenges in Chip-Package Codesign", *IEEE Micro*, vol. 18, pp 50–59, 1998.
- [273] Arifur Rahman and Rafael Reif, "System Level Performance Evaluation of Three-Dimensional Integrated Circuits," *Special Issue on System Level Interconnect Prediction (SLIP)*, *IEEE Trans. on VLSI*, vol. 8(6), pp 671–678, 2000.
- [274] Navin Srivastava and Kaustav Banerjee, *Interconnect challenges for Nanoscale Optical Interconnects*, *Journal of Optical Materials*, pp.30–31, October, 2004.
- [275] K. K. O et al, "Wireless Communications Using Integrated Antennas", *Proceedings of the 2003 International Interconnect Technology Conference*, pp. 111–113, 2003.
- [276] S. E. Mick, J. M. Wilson, and P. Franzon, "4 Gbps AC Coupled Interconnection," (invited paper), *IEEE Custom Integrated Circuits Conference*, May 12–16, 2002, pp. 133–140.
- [277] W. Knap, Y. Deng, S. Remyantsev, J.-Q. Lu, M. S. Shur, C. A. Saylor, L. C. Brunel, "Resonant Detection of Sub-Terahertz Radiation by Plasma Waves in the Submicron Field Effect Transistor," *Appl. Phys. Lett.* Vol. 80, No. 18, pp. 3433–3435 (2002).
- [278] Stefan A. Maier*, Pieter G Kik, Luke A. Sweatlock, and Harry A. Atwater; *Mat. Res. Soc. Symp. Proc. Vol. 777 © 2003 Materials Research Society* p T7.1.1- T7.1.12
- [279] M. S. Fuhrer, "Single Walled Carbon Nanotubes for Nanoelectronics", *Advanced Semiconductor and Nano Technologies*, (Part II), H. Morkoc (Ed.), *Ekevier Science*, 2003.
- [280] N. Rana, et al., "Investigation of substrate selective covalent attachment for genetically engineered molecular interconnects", *Materials Research Soc. Research Soc. Symp. Proceedings Vol. 728* (2002).
- [281] Arijit Raychowdhury and Kaushik Roy, "Nanometer Scale Technologies: Device Considerations" in "Nano, Quantum And Molecular Computing: Implications To High Level Design And Validation", *Kluwer Academic Publishers*, ISBN: 1402080670, June 2004.
- [282] Azad Naeemi and James D. Meindl, "Performance Comparison Between Carbon Nanotube and Copper Interconnects for Gigascale Integration", *IEEE Electron Device Letters*, pp. 84–86, vol. 26, No. 2, February, 2005.
- [**] K. Cadien, M. Reshotko, B. Block, A. Bowen, D. Kencke, and P. Davids, "Challenges for On-Chip Optical Interconnects," *Proceedings of SPIE*, Vol. 5730, pp. 133-143.

受動素子

- [283] R. Mahnkopf, et al., *Digest 1999 IEDM*, p. 849
- [284] T. Schiml, et al., *Digest 2001 VLSI Technology Symposium*, p. 101
- [285] K. Miyashita, et al., *Digest 2001 VLSI Technology Symposium*, p. 11
- [286] C.C. Lin, et al., *Proc. 2001 IITC*, p. 113
- [287] K. Kuhn, et al.; *Digest 2002 IEDM*, p. 73
- [288] A. Kar-Roy, et al., *Proc. 1999 IITC*, p. 245
- [289] S. Van Huylenbroeck, et al., *IEEE Electron Dev. Lett.*, Vol.23, p.191, 2002
- [290] R. Liu, et al., *Proc. 2000 IITC*, p. 111
- [291] M. Armacost, et al., *Digest 2000 IEDM*, p. 157
- [292] P. Zurcher, et al., *Digest 2000 IEDM*, p. 153
- [293] C.H. Ng, et al., *Digest 2002 IEDM*, p. 241
- [294] C.H. Ng, et al.; *IEEE Electron Dev. Lett.*, Vol. 24, p. 506, 2003
- [295] C.H. Ng, et al.; *IEEE Electron Dev. Lett.*, Vol. 25, p. 489, 2004
- [296] T. Ishikawa, et al., *Digest 2002 IEDM*, p. 940
- [297] P. Mazoyer, et al., *Proc. 2003 IITC*, p. 117
- [298] Y.L. Tu, et al., *Digest 2003 VLSI Technology Symposium*, p. 79
- [299] S.J. Kim, et al., *Digest 2003 VLSI Technology Symposium*, p. 77
- [300] X. Yu, et al., *IEEE Electron Dev. Lett.*, Vol. 24, p. 63, 2003
- [301] S.J. Kim, et al.; *Digest 2005 VLSI Technology Symposium*, p. 56
- [302] K.C. Chiang, et al.; *Digest 2005 VLSI Technology Symposium*, p. 62
- [303] H. Hu, et al.; *Digest 2003 IEDM*, p. 379
- [304] Y. Jeong, et al.; *Digest 2004 VLSI Technology Symposium*, p. 222

- [305] K. Takeda, et al.; Proc. 2005 IITC, p. 91
- [306] R. Aparicio, et al., IEEE J. Solid-State Circuits, Vol. 37, p. 384, 2002
- [307] J. Kim, et al., Digest 2003 VLSI Circuits Symposium, p. 29
- [308] N. Zamdmer, et al.; Digest 2004 VLSI Technology Symposium, p. 98
- [309] J.N. Burghartz, Proc. 1997 ESSDERC, p. 143
- [310] J.N. Burghartz, Digest 1998 IEDM, p. 523
- [311] J.N. Burghartz, Proc. 1999 ESSDERC, p. 56
- [312] D.C. Edelstein, J.N. Burghartz, Proc. 1998 IITC, p. 18
- [313] J. Rogers, et al., Proc. 1999 IITC, p.239
- [314] K. Saito, et al., Proc. 2000 IITC, p. 123
- [315] Y. Nakahara, et al., Digest 1999 IEDM, p.861
- [316] S. Jenei, et al., Proc. 2001 IITC, p. 107
- [317] Y.S. Choi, et al.; IEEE Electron Dev. Lett., Vol. 25, p. 76, 2004
- [318] L.F. Tiemeijer, et al.; IEEE Electron Dev. Lett., Vol. 25, p. 722, 2004
- [319] C.-H. Chen, et al., IEEE Electron Dev. Lett., Vol. 22, p. 522, 2001
- [320] C.S. Lin, et al.; IEEE Electron Dev. Lett., Vol. 26, p. 160, 2005
- [321] J.-B. Yoon, et al., IEEE Electron Dev. Lett., Vol. 23, p. 591, 2002
- [322] A. Chin, et al.; Digest 2003 IEDM, p. 375
- [323] D.D. Tang, et al.; Digest 2003 IEDM, p. 673
- [324] K. Chong, et al.; IEEE Electron Dev. Lett., Vol. 26, p. 93, 2005
- [325] W. Jeamsaksiri, et al.; Digest 2005 VLSI Technology Symposium, p. 60
- [326] D. Gardner, et al., Proc. 2001 IITC, p. 101
- [327] M. Yamaguchi, et al., IEEE Trans. Microw. Theory Techn., Vol. 49, p.2331, 2001
- [328] Y. Zhuang, et al., IEEE Electron Dev. Lett., Vol. 24, p. 224, 2003
- [329] T. Ohguro, et al.; Digest 2004 VLSI Technology Symposium, p. 220
- [330] C.S. Pai, et al.; Proc. 2001 IITC, p. 216