

# 歩留まり改善 (YIELD ENHANCEMENT)

## 概要

歩留まり改善(YE)は、ある技術世代の基準歩留まりをR&Dレベルから成熟状態まで改善していく過程として定義される。この定義は、その技術世代について生産される実製品の設計に適用可能な基準ウェーハプロセスの存在を仮定している。この定義は、歩留まり向上曲線中のランプアップ部分の章を強調する。歩留まり改善の章の範囲は、ウェーハテスト歩留りに限定され、ウェーハプロセスライン内の工程歩留りや組立て/パッケージング歩留り、製品での最終テスト歩留りは含まない。

歩留まり改善の章は、歩留まりモデルと装置許容欠陥数(Yield Model and Defect Budget)、欠陥検出と特徴付け(Defect Detection and Characterization)、歩留まり習熟(Yield Learning)、ウェーハ環境汚染制御(Wafer Environment(s) Contamination Control)の四つの重要な技術領域に分けられる。半導体ビジネスの鍵となる指標は、特に300mm導入では、短期間での歩留まり向上の成功と、それに関連するこれら四つの重要な技術領域での優位性である。この優位性は、工場システム、回路設計、プロセスインテグレーションだけでなく、すべてのプロセス技術を連携する。キーメッセージは、歩留まり成熟時の装置許容欠陥数実現に向けたプロセス及び各装置の生成する欠陥の継続的削減を含んでいる。システムティックな要因を持つ歩留まり低下を安定化、減少、制御するには大変な努力が求められる。デバイスの物理寸法及び欠陥サイズも縮小を続けているので、欠陥と不良/不良と欠陥の対応付けやキラー率、不良個所特定技術も重要な技術課題である。より高い欠陥検出感度とデータ処理能力が求められる領域では、欠陥検出、レビューや欠陥分類技術の開発が再興されなければならない。垂直立ち上げ実現には、工場システム、設計、プロセス、テスト、工程仕掛(WIP)を連携させる自動化された知的な解析手法/問題簡略化手法の開発が必要となるだろう。標準モニタウェーハの準備や、検査用レシピ、エッジエクスクルージョン、TEG、短/長工程やサンプリングによるライン管理や歩留まり向上には、それぞれについてアイデアが必要である。全体的な、ガスや液体等の使用薬剤の不純物濃度改善は、予見出来る未来において特に必要ではないと考えられている。しかしながら新材料とその使用材料は、継続的な検討が必要となる課題を提供する。

サプライポイントからユースポイントまでの間での潜在的なコンタミネーション機会の明確化は、実際にウェーハに供給される純度の為に必要となる管理システムを定義するだろう。液体やガス等の供給点(POS)である個別供給容器から材料がウェーハに接触する場所(POP)までは、その経路の途中に純度を確認する為の色々な場所がある。この事が、Table115に見られる様なデータを含む使用薬剤の、品質に関する議論におけるかなりの混乱や不確かさを引き起こしている。Table108は、典型的な使用薬剤供給システムに見出される主な薬剤ハンドリング/計測点をまとめたものである。このTableは、これらの異なる観測点での属性や要求仕様を議論する為の、共通言語をつくる努力である。より詳細な経路中の観測点に関する情報は、供給材料や標準に関するSEMIの標準等に見出せる。

Table 108 Definitions for the Different Interface Points

	<i>POS</i> <i>Delivery Point of Gas/Chemical Supplier</i>	<i>POD</i> <i>Outlet of Central Facility System</i>	<i>POC</i> <i>Submain or VMB/VMP Take off Valve</i>	<i>POE</i> <i>Entry to Equipment or Sub Equipment</i>	<i>POU</i> <i>Entry to the Process Chamber</i>	<i>POP</i> <i>Contact with Wafer</i>
<i>Interfaces</i>	<i>SEMI Standards Focus Area</i>	<i>ITRS Factory Integration Facilities Group Focus Area</i>		<i>ITRS Factory Integration Equipment Group Focus Area</i>		<i>ITRS Front End Processes, Lithography, Interconnect TWG Focus Area</i>
Ultrapure water	Raw water	Outlet of final filtration in UPW plant	Outlet of submain take off valve	Inlet of wet bench	Inlet of wet bench bath, spray nozzle, or connection point to piping, which is also used for other chemicals	Wafer in production
Process chemicals	Chemical drum/tote/bulk supply	Outlet of final filtration of chemical distribution unit	Outlet of VMB valve	Inlet of wet bench or intermediate tank	Inlet of wet bench bath or spray nozzle	Wafer in production
Specialty gases	Gas cylinder or bulk specialty gas systems	Outlet of final filtration of gas cabinet	Outlet of VMB valve	Inlet of equipment	Inlet of chamber (outlet of MFC)	Wafer in production
Bulk gases	Bulk gas delivered on site or gas generator	Outlet of final filtration/purification	Outlet of submain take off valve or VMB valve	Inlet of equipment/subequipment	Inlet of chamber (outlet of MFC)	Wafer in production
Cleanroom and AMC	Outside air	Outlet of make-up air handling unit	Outlet of filters in cleanroom ceiling	Inlet to mini-environment or sub equipment	Gas/air in vicinity to wafer/substrate	Wafer/substrate in production (AMC/SMC)

*POD*—point of delivery    *POC*—point of connection    *POE*—point of entry    *POU*—point of use    *VMB*—valve manifold box  
*VMP*—valve manifold post    *UPW*—ultra pure water    *MFC*—mass flow controller    *AMC*—airborne molecular contamination  
*SMC*—surface molecular contamination

## 困難な技術課題

歩留り改善の章の困難な技術課題は、Table109 に要約されている。欠陥検査装置の SN 比が、関係者によって最も歩留り改善に最も重要な課題と認識された。現在、外観検査装置は、逐次スケールダウンされる各技術世代に必要なフィーチャーサイズと同等、もしくはそのやや先のサイズの欠陥を検出する事が期待されている。それと同時に検査感度を向上させる事は、膨大な量の疑似若しくは偽欠陥の中から微小であっても歩留りに影響する欠陥を発見する挑戦である。同時に、装置の低い所有コスト (CoO) が、高スループットの外観検査の為に求められている。これは、SN 比改善問題と対立する。有効なインスペクション結果の鍵となるのは、高感度であると共に、注目すべき重要な欠陥 (DOI) を容易に抽出出来る事である。

高スループットの論理回路故障診断能力は、歩留り改善の章で優先順位が最も高い課題である。マスク形状の不規則性が、論理回路領域を、リソのプロセスウインドウのマスク形状敏感性の様なシステムティック要因起因の歩留り低下に対して、非常に敏感にする。ランダム欠陥要因の歩留りの前に、システムティック欠陥要因起因の歩留り低下が、テストフローやチップ中に組み込まれた論理回路故障診断能力により認識され捕捉されなければならない。潜在しているさまざまな問題が、異なった自動テストパターン生成 (ATPG) への適合、故障診断収束に必要なテストベクトルのログでテスト時間が大幅増加するテストのアーキテクチャ、チップ当たりの論理回路故障診断に要する時間によって顕在化する。

歩留り改善関係者は、インラインでの欠陥特徴付けや解析、ウェーハエッジとベベルの管理やインスペクション、プロセスばらつきやコンタミネーションと歩留りとの関連付けの課題を、絶えず抱えている。

エネルギー分散型X線分析(EDX)に替わるインラインの元素分析技術が求められている。開発上のポイントは、軽元素の分析能力、パーティクルサイズの縮小による分析サンプル量減少への対応技術、及び、重要性が高まっているマイクロアナリシス技術である。SEM/EDX は、インラインの元素分析の技術としては制約がある。それは次のような理由による。1) EDX では我々が望むような小さいスケールのサンプルの分析には適さないこと、2) EDX は化学的性質に関する情報が不十分(例えば、化学結合状態に関する情報がない)、3) 電子ビームにより絶縁基板が大きく帯電するように、EDX でも電子ビームダメージが起きる。これにより、SEM 像の分解能が低下し、本当にパーティクルにビームが当たっているかどうか判断するのが困難となる。この課題は、「歩留まり改善」と「計測」に共通する挑戦課題である。

ウェーハエッジとベベルの欠陥やプロセス上の問題は、歩留まり問題になる。現在、ウェーハ裏面と同様にウェーハエッジとベベルの検査は、十分な注意が払われている訳ではない。それゆえ、欠陥検査の考え方や技術は、開発中若しくは数年内に実現すべきものとなっている。ウェーハ両面のエッジ、ベベル、先端部の根本原因検査方法を見つける事は、鍵となる挑戦である。

使用薬剤のコンタミネーションの種類やレベルと歩留まりとの相関をとり、管理限界を定める為の、データ、TEG、手法が求められている。この挑戦の核心は、ウェーハ歩留まりに対する各コンタミネーション源の相対的重要性、歩留まりや特性への影響を評価する標準テストと最大のプロセス変動(管理限界)である。基本的な挑戦は、主要プロセス中の不純物濃度と歩留まり、信頼性、性能との相関を取る事である。この相関は、コンタミネーションの限界基準を更に厳しくする事が必要かどうかを決めるだろう。挑戦は、プロセス使用材料の増加により複雑さが増加するので、最も敏感なプロセスでの研究を選択する事が、意味のある進歩に繋がるだろう。

投入ウェーハ数量増加時に同じ歩留まり向上率(30%から 70%への歩留まり向上過程)を維持する事や、量産時に習熟歩留まり状態(>80%)を維持する事も挑戦である。これは、新デバイス構造、新材料、歩留まり習熟の加速を含む今後のディーブサブミクロン技術世代において特に真実である。これ等は、高感度な見える及び見えない欠陥に対するインラインの検査装置だけでなく、不良の根本原因を明確にする為の強力な電氣的不良解析(EFA)や物理的不良解析(PFA)を必要とする。これは、迅速な歩留まり習熟の為の要求事項であり、それゆえ効果的なデータマネージメントや TEG、及び特性に敏感な歩留モデル開発の需要がある。歩留まり低下のフィードバックループや歩留まり習熟サイクルを短縮する為には、インライン計測、APC(Advanced Process Control)、電氣的特性、ワークステーション、生産工程制御システム(MES)を統合した歩留まり管理システム(YMS)が必要である。その YMS は単にエンジニアに解析環境を提供するだけでなく、ライン内の管理パラメータが管理限界を超えた場合にアラームを出す事が出来る。

### 必要とされる研究

この ITRS2005 の章に記述される技術的要求と解決策候補は、すべての利害関係者の間での継続的な協力関係を求めている。例えば、装置による発生欠陥数では、半導体メーカーと装置メーカーにとって、適用工程と要求装置が明確化される必要がある。特に電氣的不良が光学や SEM 画像で捉えられない場合には、欠陥要因特定の為の革新的なアルゴリズムが、迅速な歩留向上の為に必要である。

高アスペクト比の検査(HARI)や 100nm 以下(直径)の欠陥検出と特徴付けは、装置の処理能力の低さと高いCoOに悩まされている。もし生産仕掛かりに対する高いリスクを避けたいなら、経済的な解決策を見出さなければならない。

歩留まり向上の一方で製造コストを維持する為に、コンタミネーションコントロールは、プロセスポイントでの影響に注目しなければならない。再使用出来るガスや流体から除去したい成分だけを除去する様な、革新的なアイデアが調査されなければならない。新規薄膜材料に関しては、生成材料の純度要求に対する理解が必

#### 4 歩留まり改善

要である。

Table 109 Yield Enhancement Difficult Challenges

困難な技術課題 ≥32nm ノード	問題の内容
SN 比一検出感度の向上は同時に、大量の問題のない異常点や虚報の中から、微小ではあるが歩留に影響する欠陥を検出するという挑戦を増加させる。検査を成功させるキーポイントは、感度を達成した上で、注目すべき重要な欠陥 (DOI) の把握に於ける容易性である。	フィルタリングと ADC の使用が解決策候補である。システムの感度を改善する為の、検出器や試料からのバックグラウンドノイズの低減。 プロセスばらつきから欠陥を分離する為の SN 比の改善 プロセスばらつきと欠陥の境界は何処か？
ハイスループットの論理回路故障診断能力一形状の不規則性が、論理回路領域を、リソグラフィのプロセスウィンドウに関するパターン形成のマージナリティの様なシステムティックな歩留低下要因に対して高感度にする。	ランダム成分起因の歩留に取り掛かる前に、システムティック成分起因の歩留低下メカニズムが、製品中に組み込まれテストフローと組織的に協調した論理回路故障診断能力により認識され、取り組まれなければならない。 潜在的な問題が、異なる ATPG フローを適合させなければならない為に起こる; 論理回路故障診断を収束させるのに必要な数のテストベクトルをログする際に大幅な時間がかかる ATE や、ダイー個辺りの故障診断に必要な EWS の CPU 時間。
複数種類のキラー欠陥検出ー高い捕捉率、低 CoO、高スループットでの複数のキラー欠陥識別が必要である。	既存技術は、スループットを感度とトレードオフするが、今後に予測される欠陥レベルでは、スループットと感度の双方が、統計的な正しさを得る為に必要である。 CoO の観点からは、検査コストの低減が必須である。 最小サイズの欠陥を検出する能力は、不要かもしれない。 微妙なプロセスばらつきによる LER の検出 キラー欠陥に対する高い捕捉率、高スループット及び高精度での電氣的及び物理的の不良解析。
高アスペクトレシオ検査ー高速で経済的な高アスペクトレシオ検査装置の要求が継続している。電子線を使った暫定的な検査装置では、スループットと低コストの要求に適合しない。	微弱なビア底面へのエネルギー伝達、検出器への飛び出し 高アスペクトのコンタクト、ビア、トレンチに於けるグランドルール (GR) の 1/2 の欠陥を迅速に検出する能力 ウェーハ当りの非常に多くのコンタクトやビアの数
困難な技術課題 <32nm ノード	問題のまとめ
プロセス安定性に関する歩留との相関のとれた絶対的なコンタミネーションレベルー プロセスで使用する流体のコンタミネーションの種類や量を歩留と相関させたり管理限界を定める為の、データ、TEG 及び方法が求められている。	流体/気体の種類を標準 TEG や製品の歩留と相関させたり、採否判断する為の方法論 コンタミネーション相違による歩留に対する相対的な重要性の差異 歩留や特性への影響に関する標準的なテストの定義 最大プロセスばらつき(管理限界)の定義
インラインでの欠陥特徴付けと解析ーEDX の代替として。関心はパーティクルサイズから考えた薄く少量の試料、マイクロアナリシスにある。	サンプリングプローブに於いては、SEM イメージでの分解能による最小の損傷若しくは破壊でなければならない。 特に有機物に於ける化学的状態や結合状態に関する情報の供給が推薦される。 技術世代の寸法に適合した微小試料解析技術 パーティクルと下地からの信号の分離能力
ウェーハエッジとベベルの管理と検査ーウェーハエッジとベベルの周りの欠陥やプロセス上の問題は、歩留上の問題を引き起こす。	ウェーハ表/裏面の、ウェーハエッジ、ベベル及びアベックスの根本原因検査を見出す
迅速な歩留習熟には、効果的なデータマネジメントと、ふさわしい TEG が必要であるー歩留を制約する条件の根本原因解析を可能にする為に。次の技術世代のプロセスの複雑性の増加とより少ない歩留習熟サイクルを考えると、過去の歩留向上速度と習熟時の歩留レベルを達成するのは不可能だろう。	工場環境、設計、プロセス、テスト及び WIP の相関をとる、自動、知的構造、解析及び縮退アルゴリズムの開発 短い歩留習熟サイクルの為の道具や方法の必要性
新材料を考慮した特性に敏感な歩留モデルの開発ー OPC とプロセスインテグレーションに於ける高い複雑性を考慮したもの。そのモデルは、高い特性に対する感度、非常に薄い膜の完全性、回路設計の影響及び多くのトランジスタのパッキング等を包含するものでなければならない。	新しい技術世代の為の TEG の開発 複雑なインテグレーション上の問題への対応 非常に薄い膜の完全性のモデル化 増加するトランジスタ密度を含むフロントエンドプロセスの為のスケーリング方法の改善

ADCー自動欠陥分類

## 技術的要求

### 歩留りモデルと装置許容欠陥数

$$Y_{Die} = Y_S * Y_R = Y_S * \left( \frac{1}{1 + \frac{AD_0}{\alpha}} \right)^\alpha$$

ICプロセス全体のチップ歩留りは、一般にシステマティック成分起因の歩留り( $Y_S$ )とランダム成分起因の歩留り( $Y_R$ )との積で表現される。装置許容欠陥数に関する技術的要求は、 $Y_R$ をランダム欠陥起因歩留り、 $A$ をチップ面積、 $D_0$ を電氣的不良密度、 $\alpha$ をクラスタ係数とした負の二項分布歩留

まりモデルに基づいて導出されTable111と Table112のようになる。装置許容欠陥数に関する技術的要求で用いた前提をTable110に示す。ITRS2001年版、2003年版、並びに2005年版では、装置許容欠陥数の要求値は1997年、1999年、及び2000年にInternational SEMATECHの会員会社で行われたウェーハ処理のステップ毎のパーティクル増加数(PWP: Particle per Wafer Pass)の調査データに基づき算出されている。装置許容欠陥数は、一般的なプロセス装置のPWPの中央値を用いた推定を行っており、それぞれMPU及びDRAMの一般的なプロセスにあわせて計算されている。この装置許容欠陥数には、装置のウェーハ搬送による欠陥数も含まれる。またロット中の10%のウェーハが検査されると仮定している。

$$PWP_n = PWP_{n-1} \times \frac{F_n}{F_{n-1} \left( \frac{S_{n-1}}{S_n} \right)^2}$$

ある技術世代のPWP装置許容欠陥数を元に他の技術世代のPWP装置許容欠陥数を計算するには、左式のPWP推定式(PWP Extrapolation equation)が使用される。この推定は、チップサイズの増加、プロセスの複雑度の向上、デバイスサイズの縮小を考慮している。この

式では、PWPはウェーハがプロセス装置で処理された時のパーティクルによる欠陥密度増加(1m<sup>2</sup>あたり)、Fはマスク工程毎の平均欠陥数(ランダム電氣的欠陥数 $D_0$ をその技術世代のマスク層数で割った数字で定義される)、Sは最小クリティカル欠陥サイズで、nは技術世代を示す。全てのPWP予算は、クリティカル欠陥サイズ(MPUでは45nm、DRAMでは40nmとしている)に対して定められる。PWPの章のTable111とTable112の各数値は、MPUもしくはDRAMのプロセスで使用される一般的な装置についてのものを示している。将来の装置やプロセスはまだ不明であるので、ロードマップでは新プロセス、材料もしくは装置に対して従来より大きなPWPを許さないようにしているが、この仮定は定期的な見直しを必要とする。ここで用いている装置許容欠陥数の見積もり方法は、最小のデバイス寸法を実現するプロセス技術を基準としている為に、ワーストケースの見積もりになる傾向がある。実際、各社のプロセスには、その技術ノードのプロセスの設計基準を緩和した部分がある。しかしながら、同じ装置が最小設計基準でも緩和した設計基準のどちらにも用いられる。歩留りを低めに予想した場合の損害(低稼働の損害)は小さく、増産効果により隠れてしまう場合も有る。歩留りを高めに予想した場合の最大の損失要因は、スクラップとなる材料のコストである。従って、装置許容欠陥数を高めに見積もることが賢明である。

Table110は歩留りと製品の成熟に関する仮定を示し、MPUとDRAMの電氣的欠陥密度及びPWP装置許容欠陥数目標値の設定に用いられる。これらの仮定の大半は、2005年版のORTCに基づいている。クラスタ係数は2となっている。その理由は、クラスタ係数を2とする方が多くの半導体生産工場の欠陥分布の説明に適しているからである。Table111は、ORTCのTable1aと1bで定義されたコストパフォーマンスMPUに関する仮定を満たすランダムなPWPの許容欠陥数目標値を示している。MPUは、小さなL1 キャッシュ以外は主にロジックランジスタ動作部分で構成されるものと仮定している。MPUに関しては、それぞれの技術世代で適合すべきプロセス/デザイン改善目標値(ORTCのTable1gと1h)を前提としている。同様にTable112は、Table110に提示されたDRAMの歩留りに関する仮定に適合するランダムなPWPの許容欠陥数目標値を示している。マスク層当たりの不良数(PWP推定式の入力として用いられる)を算出するのに用いられる電氣的欠陥密度は、DRAMのロジックやデコーダ部分のみに基づいている。この部分は、ORTCの中で製品成熟期にはチップサイズの37%として反映されている。DRAMの周辺回路にはリダンダンシが無いので、その部分はランダム成分に対する89.5%の歩留り実現が求められる。DRAMのコア(セル)領域に関しては、チップ全体で歩留り85%を実現する為にリダンダンシが導入されることが仮定されている。DRAMのチップサイズは、次世代品が導入され

る時にはチップサイズが増加し、同世代品を生産(量産)する場合にはORTCのTable1cと1dに示される様に縮小する。このためDRAMチップサイズとD<sub>0</sub>は変動し、チップサイズから計算される装置許容欠陥数もそれに従って変動することになる。

しかし、Table111 と Table112 に示される装置許容欠陥数の算出時には、翌年の目標数値(計算値)が前年を上回る場合には前年の数値以下となるようにした。これによりチップサイズの変動による装置許容欠陥数の変動を避けるようにしている。Table111 と Table112 のランダム欠陥目標値は、あらかじめ決めた技術世代について SEMATECH 会員企業から集めた 164 台の装置のデータに基づいている。それらは 30 の標準装置分類としてまとめられている。これらはメモリ製品とロジック製品に対する目標値ではあるが、利用者の実際の線幅やチップ面積が ITRS ロードマップでの仮定と一致することはまれであると考えられる。

一方、装置のクリーン度の継続的な向上の他に、許容できる歩留りを実現する為に取り組むべき少なくとも三つの主要な課題がある。

1. システマティック成分起因歩留り(SMLY)が歩留り改善速度を律速するので、その要因の理解、モデル化、要因の除去を協調させて進める努力が必要である。
2. 現在及び将来の技術世代において受容可能な歩留りを実現する為には、ラインエッジラフネス(LER)の歩留りに与える影響を理解しモデル化し制御しなければならない。
3. ウェーハ表面だけでなく、ベベル/エッジ部及びウェーハ裏面のパーティクルや欠陥の問題にも注意を払う必要がある。

Table 110 Defect Budget Technology Requirement Assumptions

Product	MPU	DRAM
Yield Ramp Phase	Volume Production	Volume Production
Y <sub>OVERALL</sub>	75%	85%
Y <sub>RANDOM</sub>	83%	89.5%
Y <sub>SYSTEMATIC</sub>	90%	95%
Cluster Parameter	2	2

装置許容欠陥数の Table の数値は 5 年前に行われた調査結果に基づいているため、2005 年版では技術見通しを示す色分けを意図的に廃止している。より妥当な数値を示すためには、ITRS 次回改定までに新しい調査と手順により集めた最新のデータをもとに再計算することが必要である。Yield Enhancement 国際 WG では、半導体デバイスメーカーでの半導体製造装置の欠陥管理基準について新たな調査を行う計画である。歩留りモデルに関してはこれまで負の二項分布モデルが使われてきたが、他の技術領域、例えばフロントエンドプロセスの Starting Materials and Surface Preparation technologies では違う歩留りモデルを用いている。このため Yield Enhancement 国際 WG、Starting Material サブ WG (FEP 国際 WG)、及び Surface Preparation サブ WG (FEP 国際 WG) の間で歩留りモデルに関する議論が始まっている。これらの議論を通し ITRS で用いられる歩留りモデルが統一され、それに従い次の改訂版では YMDB の Table も変更されるかもしれない。

Table 111a Yield Model and Defect Budget MPU Technology Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	35	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted) [A]	90	78	68	59	52	45	40	35	32
MPU Physical Gate Length (nm)	32	28	25	23	20	18	16	14	13
Critical Defect Size (nm)	45	39	34	29.5	26	22.5	20	18	16
Chip Size (mm <sup>2</sup> ) [B]	111	88	140	111	88	140	111	88	140
Overall Electrical D <sub>0</sub> (faults/m <sup>2</sup> ) at Critical Defect Size Or Greater [C]	2210	2210	2210	2210	2210	2210	2210	2210	2210
Random D <sub>0</sub> (faults/m <sup>2</sup> ) [D]	1757	2214	1395	1757	2214	1395	1757	2214	1395
Number of Mask Levels [E]	33	33	33	35	35	35	35	35	37
Random Faults/Mask	53	67	42	50	63	40	50	63	38
MPU Random Particles per Wafer pass (PWP) Budget (defects/m <sup>2</sup> ) for Generic Tool Type Scaled to 45 nm Critical Defect Size or Greater									
CMP clean	276	207	157	112	87	65	51	42	31
CMP insulator	667	501	381	270	210	157	124	101	75
CMP metal	755	567	431	306	238	178	141	114	85
Coat/develop/bake	120	90	69	49	38	28	22	18	14
CVD insulator	594	446	339	241	187	140	111	90	67
CVD oxide mask	780	586	445	316	246	184	145	118	88
Dielectric track	189	142	108	77	60	45	35	29	21
Furnace CVD	338	254	193	137	106	80	63	51	38
Furnace fast ramp	307	230	175	124	97	72	57	46	35
Furnace oxide/anneal	198	149	113	80	62	47	37	30	22
Implant high current	264	199	151	107	83	62	49	40	30
Implant low/medium current	242	182	138	98	76	57	45	36	27
Inspect PLY	246	185	140	100	77	58	46	37	28
Inspect visual	264	199	151	107	83	62	49	40	30
Lithography cell	205	154	117	83	65	48	38	31	23
Lithography stepper	194	145	111	78	61	46	36	29	22
Measure CD	230	173	132	93	73	54	43	35	26
Measure film	198	149	113	80	62	47	37	30	22
Measure overlay	184	138	105	74	58	43	34	28	21
Metal CVD	360	271	206	146	113	85	67	54	41
Metal electroplate	187	140	107	76	59	44	35	28	21
Metal etch	800	601	457	324	252	189	149	121	90
Metal PVD	411	309	235	167	129	97	77	62	46
Plasma etch	728	547	416	295	229	172	136	110	82
Plasma strip	336	253	192	136	106	79	63	51	38
RTP CVD	220	166	126	89	69	52	41	33	25
RTP oxide/anneal	144	108	82	58	45	34	27	22	16
Test	57	42	32	23	18	13	11	9	6
Vapor phase clean	506	380	289	205	159	119	94	76	57
Wafer handling	23	17	13	9	7	5	4	3	3
Wet bench	329	247	188	133	104	78	61	50	37

Table 111b Yield Model and Defect Budget MPU Technology Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted) [A]	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Critical Defect Size (nm)	14	12.5	11.5	10	9	8	7
Chip Size (mm <sup>2</sup> ) [B]	111	88	140	111	88	140	111
Overall Electrical D <sub>0</sub> (faults/m <sup>2</sup> ) at Critical Defect Size Or Greater [C]	2210	2210	2210	2210	2210	2210	2210
Random D <sub>0</sub> (faults/m <sup>2</sup> ) [D]	1757	2214	1395	1757	2214	1395	1757
Number of Mask Levels [E]	37	37	37	39	39	39	39
Random Faults/Mask	47	60	38	45	57	36	45
MPU Random Particles per Wafer pass (PWP) Budget (defects/m <sup>2</sup> ) for Generic Tool Type Scaled to 45 nm Critical Defect Size or Greater							
CMP clean	24	19	16	12	9	7	6
CMP insulator	58	46	39	28	23	18	14
CMP metal	65	52	44	32	26	20	15
Coat/develop/bake	10	8	7	5	4	3	2
CVD insulator	51	41	35	25	20	16	12
CVD oxide mask	67	54	45	33	26	21	16
Dielectric track	16	13	11	8	6	5	4
Furnace CVD	29	23	20	14	11	9	7
Furnace fast ramp	26	21	18	13	10	8	6
Furnace oxide/anneal	17	14	12	8	7	5	4
Implant high current	23	18	15	11	9	7	5
Implant low/medium current	21	17	14	10	8	6	5
Inspect PLY	21	17	14	10	8	7	5
Inspect visual	23	18	15	11	9	7	5
Lithography cell	18	14	12	9	7	5	4
Lithography stepper	17	13	11	8	7	5	4
Measure CD	20	16	13	10	8	6	5
Measure film	17	14	12	8	7	5	4
Measure overlay	16	13	11	8	6	5	4
Metal CVD	31	25	21	15	12	10	7
Metal electroplate	16	13	11	8	6	5	4
Metal etch	69	55	47	33	27	21	16
Metal PVD	36	28	24	17	14	11	8
Plasma etch	63	50	42	30	25	19	15
Plasma strip	29	23	20	14	11	9	7
RTP CVD	19	15	13	9	7	6	5
RTP oxide/anneal	12	10	8	6	5	4	3
Test	5	4	3	2	2	2	1
Vapor phase clean	44	35	29	21	17	14	10
Wafer handling	2	2	1	1	1	1	0
Wet bench	28	23	19	14	11	9	7

Table111a と b の注:

[A] ORTC Table1a と 1b で定義

[B] ORTC Table1g と 1h で定義

[C] 量産時全体歩留りを 75%と仮定

[D] ORTC Table5a と 5b で定義、ランダム欠陥起因歩留り(RDLY) 83%と仮定

[E] ORTC Table5a と 5b で定義

Table 112a Yield Model and Defect Budget DRAM Technology Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted) [A]	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	23	20	18	16	14	13
Critical Defect Size (nm)	40	35	32.5	28.5	25	22.5	20	17.5	16
Chip Size (mm <sup>2</sup> ) [B]	88	139	110	74	117	93	74	117	93
Cell Array Area (%) at Production [B]	63%	63%	63%	56%	56%	56%	56%	56%	56%
Non-core Area (mm <sup>2</sup> )	32	51	41	32	51	41	32	51	41
Overall Electrical D <sub>0</sub> (faults/m <sup>2</sup> ) at critical defect size or greater [C]	5220	3288	4143	5219	3288	4143	5219	3288	4143
Random D <sub>0</sub> (faults/m <sup>2</sup> ) [D]	3517	2216	2791	3516	2215	2791	3516	2215	2791
Number of Mask Levels [E]	24	24	24	24	24	26	26	26	26
Random Faults/Mask	147	92	116	147	92	107	135	85	107
DRAM Random Particle per Wafer pass (PWP) Budget (defects/m <sup>2</sup> ) for Generic Tool Type Scaled to -40 nm Critical Defect Size or Greater									
CMP clean	1808	872	872	872	445	419	417	201	201
CMP insulator	1400	675	675	675	344	324	323	156	156
CMP metal	2145	1035	1035	1035	528	497	495	239	239
Coat/develop/bake	559	270	270	270	138	130	129	62	62
CVD insulator	1552	748	748	748	382	360	358	173	173
CVD oxide mask	1905	919	919	919	469	441	439	212	212
Dielectric track	784	378	378	378	193	182	181	87	87
Furnace CVD	1072	517	517	517	264	248	247	119	119
Furnace fast ramp	1009	487	487	487	248	234	233	112	112
Furnace oxide/anneal	808	390	390	390	199	187	186	90	90
Implant high current	939	453	453	453	231	218	217	105	105
Implant low/medium current	895	432	432	432	220	208	207	100	100
Inspect PLY	1225	591	591	591	301	284	283	136	136
Inspect visual	1264	610	610	610	311	293	292	141	141
Lithography cell	1048	506	506	506	258	243	242	117	117
Lithography stepper	697	336	336	336	171	162	161	78	78
Measure CD	1047	505	505	505	258	243	242	117	117
Measure film	984	475	475	475	242	228	227	110	110
Measure overlay	958	462	462	462	236	222	221	107	107
Metal CVD	986	476	476	476	243	229	227	110	110
Metal electroplate	750	362	362	362	185	174	173	83	83
Metal etch	1816	876	876	876	447	421	419	202	202
Metal PVD	1083	522	522	522	266	251	250	121	121
Plasma etch	1923	928	928	928	473	446	444	214	214
Plasma strip	1475	711	711	711	363	342	340	164	164
RTP CVD	964	465	465	465	237	223	222	107	107
RTP oxide/anneal	706	341	341	341	174	164	163	79	79
Test	138	66	66	66	34	32	32	15	15
Vapor phase clean	2042	985	985	985	502	473	471	227	227
Wafer handling	58	28	28	28	14	13	13	6	6
Wet bench	1463	705	705	705	360	339	337	163	163

Table 112b Yield Model and Defect Budget DRAM Technology Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted) [A]	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Critical Defect Size (nm)	14	12.5	11	10	9	8	7
Chip Size (mm <sup>2</sup> ) [B]	74	117	93	74	117	93	74
Cell Array Area (%) at Production [B]	56%	56%	56%	56%	56%	56%	56%
Non-core Area (mm <sup>2</sup> )	32	51	41	32	51	41	32
Overall Electrical D <sub>0</sub> (faults/m <sup>2</sup> ) at critical defect size or greater [C]	5219	3288	4143	5219	3288	4143	5219
Random D <sub>0</sub> (faults/m <sup>2</sup> ) [D]	3516	2215	2791	3516	2215	2791	3516
Number of Mask Levels [E]	26	26	26	26	26	26	26
Random Faults/Mask	135	85	107	135	85	107	135
DRAM Random Particle per Wafer pass (PWP) Budget (defects/m <sup>2</sup> ) for Generic Tool Type Scaled to -40 nm Critical Defect Size or Greater							
CMP clean	201	103	100	100	53	53	51
CMP insulator	156	79	78	78	41	41	40
CMP metal	239	122	119	119	63	63	61
Coat/develop/bake	62	32	31	31	16	16	16
CVD insulator	173	88	86	86	46	45	44
CVD oxide mask	212	108	106	106	56	56	54
Dielectric track	87	45	43	43	23	23	22
Furnace CVD	119	61	59	59	32	31	30
Furnace fast ramp	112	57	56	56	30	30	29
Furnace oxide/anneal	90	46	45	45	24	24	23
Implant high current	105	53	52	52	28	28	27
Implant low/medium current	100	51	50	50	26	26	25
Inspect PLY	136	70	68	68	36	36	35
Inspect visual	141	72	70	70	37	37	36
Lithography cell	117	60	58	58	31	31	30
Lithography stepper	78	40	39	39	21	20	20
Measure CD	117	59	58	58	31	31	30
Measure film	110	56	55	55	29	29	28
Measure overlay	107	54	53	53	28	28	27
Metal CVD	110	56	55	55	29	29	28
Metal electroplate	83	43	42	42	22	22	21
Metal etch	202	103	101	101	53	53	51
Metal PVD	121	61	60	60	32	32	31
Plasma etch	214	109	107	107	57	56	54
Plasma strip	164	84	82	82	43	43	42
RTP CVD	107	55	53	53	28	28	27
RTP oxide/anneal	79	40	39	39	21	21	20
Test	15	8	8	8	4	4	4
Vapor phase clean	227	116	113	113	60	60	58
Wafer handling	6	3	3	3	2	2	2
Wet bench	163	83	81	81	43	43	41

Table112a とbの注:

[A] ORTC Table1aと1bで定義

[B] ORTC Table1cと1dで定義

[C] ランダム欠陥起因歩留り(RDLY)を89.5%と仮定

[D] ORTC Table5aと5bで定義、ランダム欠陥起因歩留り(RDLY)を89.5%と仮定

[E] ORTC Table5aと5bで定義

## 欠陥検出と特徴付け

欠陥検出に対してまず第一に要求されていることは、歩留りに影響を及ぼす欠陥を特定のプロセス層においてインラインで検出できる能力を得ることである。プロセスの研究開発段階、歩留り立上げの段階、そして量産の様々なフェーズに対応して処理能力を向上させていくことは、欠陥検出技術の適用範囲を拡大することを意味し、また検査感度向上と処理能力向上の両立という極めて複雑な課題に対する解を得ることを意味する。以上のような要求はますます重要になっているが、その背景として、欠陥検査装置への多額の投資に見合う最大の効果を出すために、同じ欠陥検査装置を用いて様々なプロセス成熟度にある複数の製品を量産するようになってきていることがある。

プロセスの開発から量産の各フェーズに対応した性能を持つ装置が、デバイスメーカーに対してジャストインタイムで供給されなければならない。とりわけプロセスの研究開発に必要な装置は新しい世代のデバイス技術が導入されるのに先行して必要とされている。また歩留り立上げのフェーズで必要な装置は量産が始まる数ヶ月前に準備できていなければならない。最後の量産段階、即ち高い製品歩留りを追求している段階においては、その技術世代の製造プロセスの異常をモニタリングできる能力が必要である。

主要な課題のひとつは、注目すべき重要な欠陥 (DOI: defect of interest) を抽出することである。従って、すべての検査装置にとって、S/N 比 (Signal-to-noise ratio) が非常に重要な基準となる。擬似欠陥が多く検出されればされる程、結果として、重要な欠陥を抽出するためのレビュー作業が困難になり、レビューに費やされる無駄な時間が増加する。

技術上の要求項目は、パターン無しウェーハ検査、パターン付きウェーハ検査、高アスペクト比パターン検査、欠陥レビュー、並びにウェーハベベル部の検査に分けられる (Table113 参照)。この中で CMP (Chemical Mechanical Polishing: 化学機械研磨) 後のレーザー散乱を用いたパターン付きウェーハ検査は、パターンが絶縁膜に埋まっているため、むしろ装置管理を目的として使用されるパターン無しウェーハ検査に近いものとなり、このロードマップに適切なものとなっている。装置管理に広く利用されているパターン無しウェーハ検査は欠陥レビューにも用いられ、ここ数年その重要性が増している。ウェーハ裏面の検査を十分に生かすためには、欠陥レビューの実現が必要である。ベアウェーハの検査感度には、感度が向上した新しい装置におけるより現実的な値を反映させた。高アスペクト比パターン検査というのは、パターンの幅に対し深さの比が 3 以上の深いパターンの底の部分に存在する欠陥を検出する技術であり、通常のパターン付きウェーハ検査とは分けて考えられる。これは困難な技術課題の項と Table113 の脚注 E でも述べられているように、検出能力に特殊な要素が求められているからである。

多層構造の製品ウェーハの Top や Bottom 上の、ベベル部や端面、エッジ部の検査は、これらのエリアを起因とする欠陥/プロセスの問題がますます増加しているため、大きな課題となっている。SEM レビュー可能な標準結果ファイルと同様に、装置の ADC と光学レビューの能力も、重要な基準 (全ての領域をカバーすること、感度、検査速度を除いて) である。

パターン無しウェーハ検査における要求技術項目はウェーハそのものとデポ膜の種類に依存している。また、ウェーハ裏面の欠陥検出の際にはウェーハ表面に何らコンタミネーションや物理的な接触をもたらさないことが望まれる。このウェーハ裏面に関する要求項目は、リソグラフィ章の技術要求の Table、および、フロントエンドプロセスにおけるシリコンウェーハ、および表面処理への影響をも排除する必要から規定されている。

他にも幾つかの欠陥モードが検査装置で検出可能であることが必要となっている。見えない欠陥 (従来の光学的手法で検出できない欠陥) に対する知見の獲得についても、電子ビーム技術を用いた検出技術の適用拡大と合わせて必要性が高まってきている。上述の大半の欠陥は表面下の位置に存在し、デバイスの縦構造に対し無視できない大きさを持つ傾向がある。今の所これらの欠陥の検出すべき最小寸法の定義は明確にな

っていない。多くの欠陥はデバイス性能に電氣的な影響を強く及ぼし、それはフロントエンドプロセス(コンタクト酸化膜形成プロセス以前のプロセス)にもバックエンドプロセスにも同様に影響を及ぼす。また、以下で規定されるようなサブミクロンの欠陥検出を急ぐあまり、ウェーハの広い領域に影響を及ぼすマクロ欠陥が見落とされることがあってはならない。マクロ検査のスキャンスピードはすべての技術世代におけるリソグラフィおよび時にはCMPの処理能力(検査時間を含む)に合致するよう、継続して向上されなければならない。

一方、半導体デバイスメーカーは急速な歩留り立上げと歩留り損失のリスクを避けるために十分な頻度の自動検査を行うが、それにかかるコストと得られる利益とのバランスを取ることが重要である。欠陥検査装置の価格と占有面積、そして処理能力がCoO(Cost of Ownership)に響く主要な要素である。現在の所、このCoOの高さのため多くの半導体デバイスメーカーが僅かな検査装置の配備しかできない状況を生み出している。歩留りの習熟曲線を最大限高めるためには理想的には統計的に最適化したサンプリングアルゴリズムが必要であり、そのためにも検査装置がフルに活用されなければならない。もし将来、検査感度は向上するものの処理能力が低下したとすると、その装置のCoOは上昇し、半導体デバイスメーカーはさらに僅かなサンプリングしかできず、結果として歩留り損失と歩留り習熟の速度の低下を招くことになる。

Table113に示された検査感度に対する要求値は、テストウェーハあるいは校正用ウェーハ上に付けられたポリスチレンラテックス(PSL)球に対する検出感度で規定されている。しかし、実際には新規の装置はプロセス開発の間に発生する実際の欠陥に対する検出能力で評価されることが多い。このような欠陥は高解像度光学系を持つ装置で検出される。これらの欠陥にはパーティクル、ピット状のパターン傷、表面荒れ、スクラッチが含まれている。また、様々な工程において様々な欠陥タイプが増えてきており、新旧の欠陥検査装置においてこれらの欠陥をどの程度検出できるかその能力を評価するため、標準欠陥ウェーハを開発することが急務となっている。

すべての装置(ベベル検査装置を除く)のウェーハエッジ除外領域の定義は、ITRSの全体にわたって一貫させるために、ファクトリインテグレーションの決定に基づいて変更された。欠陥レビューのADCの仕様は、欠陥分類の数よりも、高い正確性と純正さがより重要であることを反映して変更されている。

Table 113a Defect Detection Technology Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013	
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32	
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32	
<i>Patterned Wafer Inspection, PSL Spheres* at 90% Capture, Equivalent Sensitivity (nm) [A, B]</i>										
Process R&D at 300 cm <sup>2</sup> /hr (1 “200 mm wafer”/hr)	40	35	32.5	28.5	25	22.5	20	17.5	16	0.5 × DR
Yield ramp at 1200 cm <sup>2</sup> /hr (4 “200 mm wafer”/hr)	64	56	52	45.6	40	36	32	28	25.6	0.8 × DR
Volume production at 3000 cm <sup>2</sup> /hr (10 “200 mm wafer”/hr)	◆80	70	65	57	50	45	40	35	32	1.0 × DR
Tool matching (% variation tool-to-tool) [C]	◆5	3	3	3	3	2	2	2	2	
Wafer edge exclusion (mm)	2	2	2	2	2	2	2	2	2	
Cost of ownership (\$/cm <sup>2</sup> )	0.078	0.078	0.078	0.078	0.078	0.078	0.08	0.078	0.078	
<i>High Aspect Ratio Feature Inspection: Defects other than Residue, Equivalent Sensitivity in PSL Diameter (nm) at 90% Capture Rate [D, E]</i>										
Sensitivity without speed requirement	80	70	65	57	50	45	40	35	32	1.0 × DR
Process verification at 300 cm <sup>2</sup> /hr (1 “200 mm wafer”/hr)	◆80	70	65	57	50	45	40	35	32	1.0 × DR
Volume manufacturing at 1200 cm <sup>2</sup> /hr (4 “200 mm wafer”/hr)	◆80	70	65	57	50	45	40	35	32	1.0 × DR
CoO HARI (\$/cm <sup>2</sup> )	0.388	0.388	0.388	0.388	0.388	0.388	0.388	0.388	0.388	
<i>Unpatterned, PSL Spheres at 90% Capture, Equivalent Sensitivity (nm) [F, G]</i>										
Metal film	64	56	52	45.6	40.0	36.0	32.0	28.0	25.6	0.8 × DR
Bare silicon and non-metal film	40	35	32.5	28.5	25	22.5	20	17.5	16	0.5 × DR
Wafer backside (defect size, nm) [H]	400	350	325	285	250	225	200	175	160	5.0 × DR
CoO (\$/cm <sup>2</sup> )	0.004	0.004	0.004	0.004	0.004	0.004	0.004	0.004	0.004	
Wafer edge exclusion (mm)	2	2	2	2	2	2	2	2	2	
<i>Defect Review (Patterned Wafer)</i>										
Resolution (nm) * [I]	2	1.8	1.6	1.4	1.3	1.125	1	0.875	0.8	0.05 × pattern sensitivity R&D
Coordinate accuracy (nm) at resolution [J]	800	700	650	570	500	450	400	350	320	10 × DR
Speed at ADR without ADC	960	1200	1200	1200	1200	1200	1200	1200	1200	
<i>Automatic Defect Classification at Defect Review Platform [K]</i>										
Redetection: minimum defect size (nm)	32	28	26	22.8	20	18	16	14	12.8	0.4 × DR
Number of defect types [L]	◆10	10	10	15	15	15	15	15	20	
Speed (defects/hours) with ADC	◆720	720	720	720	720	720	720	720	720	
Speed w/elemental (defects/hours)	◆360	360	360	360	360	360	360	360	360	
Number of defect types (inline ADC) [M]	◆10	10	10	10	10	10	10	10	10	
<i>Wafer inspection on multilayer product wafer of top and bottom bevel, APEX and 3 mm wafer edge exclusion PSL spheres at 90% capture rate, Equivalent sensitivity (nm) [N, O]</i>										
Sensitivity [nm] without speed requirement at 50% capture rate	◆400	350	325	285	250	225	200	175	160	5 × DR
Sensitivity [nm] at 100 wafer/hrs	◆2000	1750	1625	1425	1250	1125	1000	875	800	25 × DR
Defect classes, ADC [P]	3	5	5	5	10	10	10	10	10	
Tool matching (% variation tool-to-tool)	◆10%	10%	10%	10%	5%	5%	5%	5%	5%	
CoO [\$300 mm wafer]	1	1	1	0.9	0.8	0.8	0.8	0.8	0.8	

\*PSL—polystyrene latex (spheres utilized to simulate defects of known size during sizing calibration) ADR—automatic defect review

Manufacturable solutions exist, and are being optimized  
 Manufacturable solutions are known  
 Interim solutions are known  
 Manufacturable solutions are NOT known

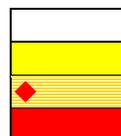


Table 113b Defect Detection Technology Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020	
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14	
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14	
<i>Patterned Wafer Inspection, PSL Spheres* at 90% Capture, Equivalent Sensitivity (nm) [A, B]</i>								
Process R&D at 300 cm <sup>2</sup> /hr (1 “200 mm wafer”/hr)	14	12.5	11	10	9	8	7	0.5 × DR
Yield ramp at 1200 cm <sup>2</sup> /hr (4 “200 mm wafer”/hr)	22.4	20	17.6	16	14.4	12.8	11	0.8 × DR
Volume production at 3000 cm <sup>2</sup> /hr (10 “200 mm wafer”/hr)	28	25	22	20	18	16	14	1.0 × DR
Tool matching (% variation tool to tool) [C]	2	2	2	2	2	2	2	
Wafer edge exclusion (mm)	2	2	2	2	2	2	2	
Cost of ownership (\$/cm <sup>2</sup> )	0.078	0.078	0.078	0.078	0.078	0.078	0.078	
<i>High Aspect Ratio Feature Inspection: Defects other than Residue, Equivalent Sensitivity in PSL Diameter (nm) at 90% Capture Rate [D, E]</i>								
Sensitivity without speed requirement	28	25	22	20	18	16	14	1.0 × DR
Process verification at 300 cm <sup>2</sup> /hr (1 “200 mm wafer”/hr)	28	25	22	20	18	16	14	1.0 × DR
Volume manufacturing at 1200 cm <sup>2</sup> /hr (4 “200 mm wafer”/hr)	28	25	22	20	18	16	14	1.0 × DR
CoO HARI (\$/cm <sup>2</sup> )	0.388	0.388	0.388	0.388	0.388	0.388	0.388	
<i>Unpatterned, PSL Spheres at 90% Capture, Equivalent Sensitivity (nm) [F, G]</i>								
Metal film	22.4	20.0	17.6	16.0	14.4	12.8	11.0	0.8 × DR
Bare silicon and non-metal film	14	12.5	11	10	9	8	7	0.5 × DR
Wafer backside (defect size, nm) [H]	140	125	110	100	90	80	70	5.0 × DR
CoO (\$/cm <sup>2</sup> )	0.004	0.004	0.004	0.004	0.004	0.004	0.004	
Wafer edge exclusion (mm)	2	2	2	2	2	2	2	
<i>Defect Review (Patterned Wafer)</i>								
Resolution (nm) * [I]	0.7	0.625	0.55	0.5	0.45	0.4	0.35	0.05 × pattern sensitivity R&D
Coordinate accuracy (nm) at resolution [J]	280	250	220	200	180	160	140	10 × DR
Speed at ADR without ADC	1200	1200	1200	1200	1200	1200	1200	
<i>Automatic Defect Classification at Defect Review Platform [K]</i>								
Redetection: minimum defect size (nm)	11.2	10	8.8	8	7.2	6.4	5.6	0.4 × DR
Number of defect types [L]	20	20	25	25	25	25	25	
Speed (defects/hours) with ADC	720	720	720	720	720	720	720	
Speed w/elemental (defects/hours)	360	360	360	360	360	360	360	
Number of defect types (inline ADC) [M]	10	10	10	10	10	10	10	
<i>Wafer inspection on multilayer product wafer of top and bottom bevel, APEX and 3 mm wafer edge exclusion PSL spheres at 90% capture rate, Equivalent sensitivity (nm) [N, O]</i>								
Sensitivity [nm] without speed requirement at 50% capture rate	140	125	110	100	90	80	70	5 × DR
Sensitivity [nm] at 100 wafer/hrs	700	625	550	500	450	400	350	25 × DR
Defect classes, ADC [P]	10	10	10	10	10	10	10	
Tool matching (%variation tool-to-tool)	5%	5%	3%	3%	3%	3%	3%	
CoO [\$ /300 mm wafer]	0.8	0.7	0.7	0.7	0.7	0.7	0.7	

\*PSL—polystyrene latex (spheres utilized to simulate defects of known size during sizing calibration)

ADR—automatic defect review

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

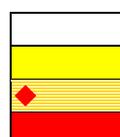


Table113a と b の注:

- [A] パターン付きウェーハの走査速度は、プロセス研究開発モードにおいては少なくとも  $300\text{cm}^2/\text{時間}$ 、また、歩留り立上げモードにおいては少なくとも  $1200\text{cm}^2/\text{時間}$ 、さらに量産モードにおいては少なくとも  $3000\text{cm}^2/\text{時間}$  が要求される。現存の解決手段では、上記Table中の感度要求値において、これら三つの速度目標は達成されていない。また、Table中に走査速度と合わせて  $200\text{mm}$  ウェーハの大まかな毎時あたりの走査枚数を併記した。 $300\text{mm}$  ウェーハの毎時あたりの枚数を得るためには、 $200\text{mm}$  に対するレート  $0.435$  を掛ければよい。(例: $3000\text{cm}^2/\text{時間}$  約  $10$  枚: $200\text{mm}$  は、約  $4.3$  枚: $300\text{mm}$ )
- [B] パターン付きウェーハの擬似 (nuisance) 欠陥率は、全てのプロセスにおいて  $5\%$  以下とすべきである。また虚報カウントは、研究開発段階で  $5\%$  以下、また歩留り立上げ段階と量産期間はそれぞれ  $1\%$  以下とすべきである。擬似欠陥は、ただ単に関心のないタイプの欠陥として定義されるのではなく、ある欠陥として存在し、一つの項目として定義されたものである。この欠陥は日数が経過したときに、ことによると重大にもなるし、または取るに足らないものになるかもしれない。欠陥分類にたずさわる人は、欠陥のタイプと欠陥の重要度合いを決めることを考慮するべきである。虚報は欠陥として表示されたもののうち、欠陥検査装置のレシピセットアップの有効性を支援する欠陥レビュー用の光学系を用いても見つからない欠陥として定義される。
- [C] %変動のための算出指針、装置間の整合性の無い欠陥個数/基準装置の総欠陥個数  
手順: 1号機(基準機)の虚報が5個以下になるよう感度レシピをセットする。このレシピを変更することなく他の号機に転送し10回の測定を行う。その時のウェーハ欠陥数は最低30個である。
- [D] 高アスペクト比 (High Aspect Ratio) は、コンタクト  $15:1$  で定義される。
- [E] HARI (高アスペクト比検査) による欠陥は、すでにあらゆるプロセスの段階において致命欠陥となると考えられているが、すべての特徴的なサイズを捕まえるためのコンタクトピッチのレベルにて定義される。そのため、すべての生産の段階において最小欠陥感度は、 $1.0 \times$  技術世代として規定された。物理的に障壁の無いメタル1層あるいはそれ以上の層のコンタクト底部領域が検出すべきモデルである。もし、将来、欠陥検査装置がサイズ、形状、あるいは材料の残留物を  $0.3 \times$  技術世代のオーダで定義できる場合、抵抗値変化として知られている経験とさらに十分に適合するであろう。HARI (高アスペクト比検査) 装置の走査速度は、プロセス検証と量産タイプにおいて向上してきた。プロセス検証は通常ボルテージコントラストの能力を持った SEM 式の装置 (将来は不必要) を参照している。Table に  $200\text{mm}$  ウェーハの時間あたりの概算処理枚数を示した。 $300\text{mm}$  ウェーハの毎時あたりの枚数を得るためには、 $200\text{mm}$  に対するレート  $0.435$  を掛ければよい。
- [F] 鏡面ウェーハ用欠陥検査装置は、擬似欠陥率および虚報率それぞれ  $5\%$  以下の条件において時間あたり  $200$  枚 ( $300\text{mm}$  ウェーハまたは相当品) の処理能力が要求される。
- [G] ロードマップのフロントエンドプロセスのシリコン基板の章にて規定されたヘイズ (Haze: 表面の曇り) や結晶起因のピット欠陥 (COP: Crystal Originated Pit) に対する要求に適合しなければならない。
- [H] 感度に対する要求値は、リソグラフィ TWG と合意した値となっている。EUV リソグラフィの動向により改訂する必要がある。裏面の光学レビュー能力に対する要求値となっている。
- [I] 欠陥レビューの解像度は、研究開発向けのパターン付き欠陥検査の要求感度  $\times 0.05$  で定義される。
- [J] 欠陥のサイズにより大きく影響される。
- [K] 前提: 1週間あたりウェーハ  $5000$  枚スタート。ウェーハ  $1$  枚あたりの欠陥は FEOL における洗浄に依存する。レビューを必要とする欠陥の欠陥個数/時間を導く、 $100\%$  ADC
- [L] 欠陥分類は左記に適合のこと: 再現性 (Repeatability)  $95\%$ 、精度 (Accuracy)  $85\%$ 、純度 (Purity)  $80\%$
- [M] 欠陥分類は左記に適合のこと: 再現性 (Repeatability)  $95\%$ 、精度 (Accuracy)  $80\%$ 、純度 (Purity)  $80\%$
- [N] レビュー能力: 装置内での光学レビューだけでなく、オフラインでの SEM レビューも必要。
- [O] 標準結果ファイルは SEM レビュー能力のためにも必要である。結果ファイルには、前工程との差分評価も可能な座標や角度の情報、画像情報を含んでいる。
- [P] ADC の最初の三つのクラスは、チッピング、大粒径パーティクル、小粒径パーティクルとなる。四つ目の ADC クラスは、blisters とするべきである。

## 歩留り習熟

歩留り習熟は、システムティックもしくはランダムな製造工程に於ける発生事象の把握と解決によるデバイス歩留り向上の為の、製造プロセスとウェーハに関する知見の収集およびその適用と定義される。Table114 の歩留り習熟技術への要求に見られる様に、これまでと同等の歩留り向上実現に必要な主な要求には、微細化する歩留りに影響する欠陥の検出、増加するデータ量の中でのタイムリーな根本原因の究明、チップおよびプロセスの複雑さ、および習熟サイクルあたりの歩留り向上率改善が含まれる。製造プロセスの複雑さが増加して工程が長くなるに従い、各装置や手法は、それぞれの技術ノードにおいて歩留り習熟に必要なサイクル数を増やして行かざるを得ない。さらに、絶え間なく続く微細化、工程数の増大、 $300\text{mm}$  ウェーハおよび新材料 (low-k, high-k, etc.) の導入になどに伴い、歩留りを低下させる全体的な相互作用を理解するための多くの装置や手法も要求されている。SOI, SiGe その他の新しいデバイス構造と材料の導入は、更なる歩留り習熟への挑戦となるであろう。

産業における歩留りとは、販売可能な製品数を製造可能な製品数で割った値で定義されてきた。半導体産業においてはSiウェーハが集積回路の集合体とみなせるので、ある特定の集積回路が設計された製品 (i) の歩留り ( $Y_{total\_i}$ ) は式 (1) のように表現される。

$$Y_{total\_i} = (Y_{line}) * (Y_{batch\_i}) \quad (1)$$

式 (1) の  $Y_{line}$  は、ライン歩留り、ウェーハ歩留り、もしくは生存率を示している。それは、全製造ラインを通して生き延びるウェーハの確率である。 $Y_{batch\_i}$  は、バッチ歩留り、チップ歩留り、あるいはダイソート歩留りを示している。これは、製造ラインの最終段階で正常に機能するある特定の設計 (i) の集積回路数のウェーハ内における比率である。

バッチ歩留りは式 (2) によって表わすことができる。

$$Y_{batch\_i} = (Y_{sys\_i}) * (Y_{random\_i}) \quad (2)$$

$Y_{sys\_i}$  はシステムティック不良起因のバッチ歩留り成分を意味している。また、 $Y_{random\_i}$  はランダムに分布する不良に起因したバッチ歩留り成分である。 $Y_{random\_i}$  はランダム不良密度とランダム欠陥に敏感なクリティカルエリアを変数とする高次な非線形関数で典型的に表現される。 $Y_{random\_i}$  はしばしば負の二項分布則で表現されることがある。

歴史的に言って、半導体産業はバッチ歩留り、中でも特にそのランダム成分によって支配されてきた。しかし半導体産業は、製品価格の指数関数的低下という環境下で経営を強いられる傾向にあり、それは半導体生産者を **time to market** の重圧下に置く。主に、利益は急峻な歩留りの立ち上がりによってもたらされる。半導体生産者は、高いバッチ歩留りを早く達成することによって、大量生産を早く立ち上げることができ、その結果としてより利益を上げることができるようになる。製造の初期段階に於けるバッチ歩留りを頻繁に支配しているシステムティック成分を改善する事は、チップ単価が極めて高い時期での製品の生産を可能にすることにより、利益率を増大させる<sup>1</sup>。この様に、製造初期段階での歩留り習熟は、製造後期におけるそれとは性格が大きく異なると考えられる。

また、ファンダリーにおける歩留り習熟も、少品種大量生産を行う半導体製造メーカのそれとは、かなり異なるものになる。大量生産者は、製造の初期段階におけるバッチ歩留りによって支配される。ひとたびバッチ歩留りが高くなり量産が開始された後は、ライン歩留りが支配的な要因となる。それとは対症的に、ファンダリーは非常に多くの少量製品を比較的成熟した製造プロセスに投入する。しばしば、非常に短い期間に販売を行うため、一ロットの 300mm ウェーハが製品寿命になることもある。ほんの少量のチップが特定の日に工場から出荷される。このような状況下においては、正確な最初の回路設計、欠陥の無いマスクでの製造、短い製造工程期間及び高いライン歩留りが、高いバッチ歩留りよりも重要である。

もう一つの最近の挑戦は、300mm ウェーハでの迅速な歩留り習熟である。他のウェーハ径での場合と同様に 300mm ウェーハにおける半導体デバイス製造には、極めて高いレベルの歩留りとコスト目標が課せられている。これらの課題の大半は 300mm において新しいことではなく、過去において新しいウェーハ径の導入時に課せられて来た事である。これらの挑戦は、清浄で欠陥の無い基板、基板の熱容量、プロセスの均一性、新

<sup>1</sup> See for example C. Weber, D. Jensen and E. D. Hirlman, "What drives defect detection technology?" *Micro*, June 1998, pp. 51-72.; C. Weber, "Yield Learning and the Sources of Profitability in Semiconductor Manufacturing and Process Development," *Proc. IEEE/SEMI/ASMC*, Boston, Mass., May 1, 2002, pp. 324-329.

材料、新しい基板技術を実現する全ての要素、その移行の計画時あるいは開始初期に解決されなければその技術世代での利益をもたらす歩留り達成を数ヶ月から数年遅らせる全ての要素を含んでいる。

簡単に言えば、300mmの製造ラインにおいて高歩留りを達成することは、最新でかつ最高性能の製造装置群を使用することである。それらの装置群の大半は過去に於ける学習により梃入れされ、最初から正しく作られた最も洗練された装置となる様な、設計における改善内容を持っている。シリコンが製造フロアに到達する前の、より良いプロセスの設計とシミュレーションが、300mm活動に利益をもたらす。プロセスシミュレーションは、非常にコスト効率が高く、変更の進捗も加速するタイムリーな手法である事が証明されている。また、一般に300mmウェーハの製造ラインには、これまでであったような製造の結果を理解する為の計測ではなく、予測を立てるのに必要な計測が、組み込まれている。最終的に300mmウェーハの物理的有効面積は、200mmウェーハのその2倍以上の大きさになる。

300mm生産ラインで製造初期に高い歩留りを得る為に必要な作業は、他のいかなる基板技術の移行時期に現れるものと同様な、ごく普通の挑戦である。誰もが新たな基板と同時に導入したいと思われるLow-k膜のような新しい材料が、また再び基板の変更とあわせて出てくるものである。300mmの唯一最大の問題は、全ウェーハ表面領域に渡っての均一性だと広く思われている。均一性の問題は膜厚、エッチング形状、そしてドーズ制御の通常の原因を含んでいる。300mmウェーハの広い領域を適正にカバーする計測によるモニタリング能力、及び表面の不均一問題が発生した時に検知する能力もまた大きな技術課題である。

300mmウェーハの生産工場における歩留り管理は、これまでのどの工場およびどの技術世代よりも、データ管理と密接に関連していくであろう。工場の全発生ソースのからのデータの収集、保存、編集、そしてアクセスは、これまでのいかなる製造環境よりも活性化するであろう。先進的な生産においては、発生したいかなるデータも、潜在的に分類で認識された歩留り問題を理解および解決する鍵となり得るものであり、必要とあれば歩留り技術者がアクセス可能なように記録される必要がある。有為な相関や結果を導き出し得る様な生データへのアクセスは、300mmノードにおいては重要な要求になるであろう。データストレージとそのデータをアクセスする為の必然であるユーザインターフェースは、もしそれらの工場がスタートアップ時に上手いかなければならないとしたら、後追いで整備は出来ない。

他の口径と比べての300mmの世界の違いは、データ供給源であろう。150mmと200mmの製造ラインで使われたデータソースに比べ、300mmラインでのデータソースは大幅に増やす必要がある。我々は明白なインライン計測、電気テスト、およびそのソート結果を参照する一方で、工場全体に組み込まれたAPCの一部であるより先進的なプロセスステートの状況と共に、詳細なプロセス装置情報<sup>2</sup>、FOUP(Front Opening Unified Pod)中のウェーハ位置、工場の環境条件、デリバリーサービス<sup>3</sup>も参考にするのである。

300mmラインに組み込まれたADCとFDC(Fault Detection and Classification)は、これまでのいかなる技術世代よりも一般的なものになるであろう。しかし、このような制御方法は、全システムをサポートするためには極めて大きなデータ転送およびデータ処理システムが必要とされる。これを工場の利益にリアルタイムに繋がるように運用することは、極めて大変な試みである。内部および外部の最適なシステムを同時に運用することができる、標準的かつオープンアクセスのシステムを維持することが必須である。

工場が保有する全てのデータのダウンストリーム、もしくはオフライン解析は、歩留りに相関のある全ての情

<sup>2</sup> 例として、装置の修理あるいはメンテナンスの状況、使用中の構成要素と部品キット、RF出力、ガス流量、真空度などを含むシステムの動作状況、現状のパーティクル発生状況などが挙げられる。

<sup>3</sup> 工場データは、内部と外部およびすべての化学的物質の保管場所、処理場所の温度と湿度状況を網羅している。また、現在使用中の化学物質の原料と品質の情報が入っている化学物質供給システムのデータも工場データの中に含まれている。

報を完全に掌握する為に、既存の方法に加えて新しい手法が必要となるであろう。歩留り習熟に必要とされる包括的データマネジメントシステムに関する最大の挑戦は、連続的、周期的、散発的、さらにある期間を置いたデータの流れを、技術者が共通の接続システムやユーザインターフェースで関連付けや分解出来る様に、処理および集積する技術を構築することである。ウェーハレベルおよび、おそらくダイレベルにデータを並び替えることは、現状では卓上のコンピュータで特殊な処理によって唯一行われているような自動データマッチング技術を必要とするであろう。たとえば、全てのウェーハ表面の情報<sup>4</sup>を汎用的な座標系で整理するという単純な仕事も、歩留りの解析において効果的な要求である。このような解析は、大半の企業では今日においても依然として汎用的に取り扱われていないのである。問題を発見する際に歩留り技術者のリソースを最大限に有効活用する為に、複数のユーザインターフェースで全てのデータソースをオープンにしてアクセス可能にすることも、また極めて難しいことである。今後のベストオブブリードなデータシステムでは、内製システム、複数のサードパーティーのソフトソリューション、及びGUI(Graphical User Interfaces)が生データのフォーマットにアクセス可能となり、技術者が歩留りを制約する問題の発見と解決する際に、大きな柔軟性を提供するだろう。もし企業が歩留り問題に最短の時間で対処したいなら、300mmウェーハによる量産に先立ち、これらの障害を取り除く必要がある。

集積されたデータマネジメントを通しての欠陥および不良原因の早期発見は、迅速な歩留り習熟の真髄である。Table114は歩留り習熟に焦点をあてた技術要求を示している。対象ウェーハ・ロットの情報量や回路の複雑さの増加にかかわらず、期待された時間内に導入から成熟期までの歩留りの立ち上りを実現するために、加速した速度で歩留り習熟を進めなければならない。集積回路の製造技術の複雑さの継続的な増加が、データ集積、記録、検索量の指数関数的な増加を決めてきた。増大する複雑さに直面して、統合データ管理(IDM; Integrated Data Management)の為に戦略とソフトウェアが、生産性を維持するためのキー技術と認識されるようになった。IDMは、歩留りを低下させるメカニズムを迅速に判別するために集積回路の設計内容、見える欠陥と見えない欠陥、パラメトリックデータ、プロセストレンドと突発不良を検知する電気的テストの情報を網羅してはならない。IDMシステムは、ひとたび歩留り低下のメカニズムが認識されると、歩留り低下要因の発生箇所にさかのぼる機能が必要である。欠陥、パラメトリック不良、もしくは電気的不良を発生させるプロセス装置、設計、テスト、もしくはプロセスインテグレーションが問題発生箇所として特定される。IDMは製造ラインに存在する多様なデータソースを統合する必要がある。このデータの統合化は、現在は相互の関係なく存在する物理あるいは仮想の各データベースを統合することにより達成できる。多様なデータソースと自動欠陥分類(ADC; Automatic Defect Classification)や空間分布分析(SSA; Spacial Signature Analysis)のような自動解析技術の革新が、欠陥、パラメトリックそして電気的テストのデータを利用価値のある製造プロセス情報に変換させることを可能にする。さまざまな種類の欠陥に対する技術的要求を以下に述べる。

### 見える欠陥(Visible Defects)

装置は検出、レビュー、分類、それに原因究明のための解析が要求され、技術ノードの進展に伴って見える欠陥サイズは小さくなっている。

### 見えない欠陥(Non-visual Defects)

見えない欠陥とは、電気的不良の原因になるが、今日の検査技術では物理的痕跡程度しか検出できない欠陥と定義する。回路設計がより複雑になると、物理的痕跡すら残さない欠陥が原因で生ずる回路不良が増える。こうした不良の一部は、たとえばウェーハ間やチップ間での抵抗や容量の変動の様に、系統的かつパラメトリック(特性規格はずれなど)な形で顕在化する。あるいは、応力起因の転位や局所的な結晶欠陥/原子結合不良(訳注:原子レベルでの結合が無いもの。たとえば界面準位)のような、偶発的かつパラメトリックではない形で顕在化する。後者の迅速な原因究明は、より挑戦的課題になると考えられている。開発が必要な技術

<sup>4</sup> ウェーハ表面情報は、膜厚外ロロジー、CD・アライメントメロロジー、欠陥、電気的テスト、電気的ビットマップなどを含んでいる。

は、不良を迅速に特定する技術および、特定された不良の原因を見える欠陥、見えない欠陥、それにパラメトリック欠陥に分類する技術である。

### パラメトリック欠陥 (Parametric Defects)

最小寸法が小さくなるに伴って、システムティック欠陥が制約する歩留り (SMLY or  $Y_s$ ) も同様に低下する。ウェーハ内およびウェーハ間の特性変動 (parametric variation) がシステムティック成分の主要素となっている。パラメトリック欠陥は歴史的に見えない欠陥とされてきた。しかしながら迅速な欠陥原因究明のためには、見えない欠陥とは分離して扱う必要が出てきている。

### 電氣的不良 (Electrical Faults)

プロセス工程数の増加、チップ内トランジスタ数の増加、回路密度の増加、問題となる欠陥寸法の縮小が進んでいるが、それに伴って生ずる欠陥数の増加は電氣的不良としてしか検知されない。電氣的不良には、ス点欠陥やパラメータ値を変えるプロセス揺らぎによる不良も含まれている。欠陥発生原因を特定するためには電氣的不良の位置をチップ内で特定しなくてはならない。この作業の複雑さは単位面積 ( $\text{mm}^2$ ) あたりのトランジスタ数×総プロセス数にほぼ比例するため、Table 114 にはその数値を欠陥特定の複雑度として表示してある。複雑さが増す状況にあっても欠陥発生原因を特定する時間を一定に保つため、チップ内での電氣的不良が発生位置を特定するための時間を増加させない様にする必要がある。さらに、散発的なチップ内タイミング変動によって発生するソフト不良は、点欠陥不良とシステムティック不良の中間に位置するため、発生原因を究明する革新的な新手法が必要となる。

### データ管理システム (Data Management System)

現存するデータ管理システム (DMS; Data Management System) は数種類の独立したデータベースを持ち、歩留り解析に携わる幾つかの技術者グループが利用できるようになっている。このデータはベースライン歩留り解析、突発的歩留り低下の抑制、歩留りトレンドの確認、プロセス設計、歩留り予測などに用いられている。

IDM の有効性を阻害する主要因は、システム間の情報伝達、データ仕様、データベース間の共通ソフトウェアインターフェースが基準とするデータの標準規格が無いことである。使いやすい標準規格を作ることは自動化を促進するためにも必要である。現在の技術的解析手法は人による操作が必要であり、発見的性格の域を出していない。SPC (Statistical Process Control) チャートや他のシステムのアラームをキューにして、多様なデータベースからの自動的にデータを収集する能力は、データの山からプロセスに関連した情報をタイムリーに引き出すために必要である。欠陥源究明を閉じたループ作業とするためには、DMS、特に市販の DMS がプロセス管理情報や装置管理情報 (たとえば WIP データ) を扱えるようにする必要がある。こうした情報処理が特に重要になると予想されるのは、装置が異常と判断された時に装置を停止するという単純な機能に留まらず、別の装置へのロットおよびウェーハの自動的な迂回や装置の異常内容の診断といった先端プロセス制御/装置制御の導入を考えた場合である。

DMS は今の所、In-situ プロセスセンサー、装置の正常/異常、ログデータといった装置の時系列データを扱うに留まっている。ロットあるいはウェーハベースのデータと関連付けて時系列データを記録できる方法が必要である。

今日の DMS で扱える製造データは非常に多様であるにもかかわらず、歩留り予測のためのハードやソフトは少数の専門家にしか扱えない状況が続いている。こうした解析手法を広範な技術者グループが使えるようにすれば、優先して解決すべき欠陥発生メカニズムを迅速に明確化でき、その結果、最も重要な問題にすばやく対応できるようになるであろう。

歩留り習熟の要求技術の Table は、デバイスの生産時に発生する歩留りを劣化させる事象の迅速な学習と

その問題を解決する能力を、それぞれの新しい技術ノードごとにコンパクトに示すことを目的としている。Table は、PRD、YRとVPの生産形態に分割されている。各生産形態におけるWafer out volumeは、PRDなら30%、YRなら70%、VPなら85%の歩留目標を達成する為に検査される累積ウェーハ枚数の典型的な数量である。Defect Sourcing complexity factorは、概ねウェーハのパターン数にプロセス工程数をかけたものである。それは、歩留目標を達成する為に検査される完成ウェーハに於ける素子数の指標と考えられる。Yield Improve % per inspectionの列は、次期改版時に数字を入れる予定である。全体としての目的は、半導体生産者や装置供給者に、現在から将来における技術世代に於ける高速な歩留習熟を容易にする、適用可能若しくは必要となる要素や技術への理解を、提供する事である。

Table 114a Yield Learning Technology Requirements—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
Wafer size (mm)	300	300	300	300	300	300	300	450	450
Number of mask levels	33	33	33	35	35	35	35	35	35
Number of processing steps	543	556	570	583	596	610	623	636	650
<i>Process R&amp;D at 300 mm wafer/hr, sampling rate at 100%</i>									
Patterned wafer inspection sensitivity (nm) during yield ramp	40.0	35.0	32.5	28.5	25.0	22.5	20.0	17.5	16.0
Wafer out volume (pcs) of yield learning to 30% at R&D [A]	4525	4633	4750	4858	4967	5083	5192	5300	5417
Defect sourcing complexity factor (1E15) [B]	64	85	101	135	179	226	292	876	1071
Yield improve % per inspection [C]	TBD	TBD	TBD	TBD	TBD	TBD	TBD	TBD	TBD
<i>Yield ramp from 30% to 70% at 300 mm wafer/hr, sampling rate at 50%</i>									
Patterned wafer inspection sensitivity (nm) during yield ramp	64.0	56.0	52.0	45.6	40.0	36.0	32.0	28.0	25.6
Wafer out volume (pcs) of yield learning from 30% to 70% [D]	9050	9267	9500	9717	9933	10167	10383	10600	10833
Defect sourcing complexity factor (1E15) [B]	25	33	40	53	70	88	114	342	418
Yield improve % per inspection [C]	TBD	TBD	TBD	TBD	TBD	TBD	TBD	TBD	TBD
<i>Yield ramp from 70% to base line (85%) at 300 mm wafer/hr, sampling rate at 20%</i>									
Patterned wafer inspection sensitivity (nm) during yield ramp	◆80.0	70.0	65.0	57.0	50.0	45.0	40.0	35.0	32.0
Wafer out volume (pcs) of yield learning from 70% to baseline [E]	◆13575	13900	14250	14575	14900	15250	15575	15900	16250
Defect sourcing complexity factor (1E15) [B]	10	13	15	20	27	34	44	131	161
Yield improve % per inspection [C]	◆TBD	TBD							

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

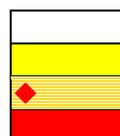


Table 114b Yield Learning Technology Requirements—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM 1/2 Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) 1/2 Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
Wafer size (mm)	450	450	450	450	450	450	450
Number of mask levels	37	37	37	37	39	39	39
Number of processing steps	663	676	690	704	717	730	743
<i>Process R&amp;D at 300 mm wafer/hr, sampling rate at 100%</i>							
Patterned wafer inspection sensitivity (nm) during yield ramp	14.0	12.5	11.0	10.0	9.0	8.0	7.0
Wafer out volume (pcs) of yield learning to 30% at R&D [A]	5525	5633	5750	5867	5975	6083	6192
Defect sourcing complexity factor (1E15) [B]	1427	1825	2406	2970	3734	4812	6397
Yield improve % per inspection [C]	TBD						
<i>Yield ramp from 30% to 70% at 300 mm wafer/hr, sampling rate at 50%</i>							
Patterned wafer inspection sensitivity (nm) during yield ramp	22.4	20.0	17.6	16.0	14.4	12.8	11.2
Wafer out volume (pcs) of yield learning from 30% to 70% [D]	11050	11267	11500	11733	11950	12167	12383
Defect sourcing complexity factor (1E15) [B]	557	713	940	1160	1459	1880	2499
Yield improve % per inspection [C]	TBD						
<i>Yield ramp from 70% to base line (85%) at 300 mm wafer/hr, sampling rate at 20%</i>							
Patterned wafer inspection sensitivity (nm) during yield ramp	28.0	25.0	22.0	20.0	18.0	16.0	14.0
Wafer out volume (pcs) of yield learning from 70% to baseline [E]	16575	16900	17250	17600	17925	18250	18575
Defect sourcing complexity factor (1E15) [B]	214	274	361	446	560	722	960
Yield improve % per inspection [C]	TBD						

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

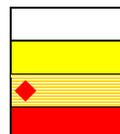


Table 114a と b の注:

[A] Wafer out volume of yield learning to 30% at R&D: 全体の 1/3 のプロセスステップが クリティカルであり、システムティック欠陥削減の為にプロセスのファインチューンが必要と仮定。一つのプロセスステップに対して 1 ロットが必要で、1 ロットは 25 枚である。

[B] Defect sourcing complexity factor: ウェーハ数 \* サンプルング頻度 \* 1/感度

[C] Yield improvement % per inspection : インспекション当りの歩留改善%

[D] Wafer out volume of yield learning from 30% to 70%: 全体の 2/3 のプロセスステップが歩留制約要因を含む可能性があり、ランダム及びシステムティック欠陥の始まりとなるそのプロセスステップのファインチューンが必要と仮定。

[E] Wafer out volume of yield learning from 70% to base line 85%: 全プロセスステップが、ランダム及びシステムティック欠陥の始まりとなるプロセスマージン不足に対するファインチューンが必要と仮定。

(訳者注) Table と注釈の対応が間違っていると考えられるので、独自の解釈で変更しています。原本を確認して下さい。

## ウェーハ環境汚染制御

ウェーハ環境汚染制御に関する要求は、Table115 に示されるように製造原料または環境によって分類される。

**ウェーハ環境制御** — ウェーハ環境制御には、ウェーハがクリーンルーム中大気には曝されているか、POD や FOUP 中に格納されているかによらず、ウェーハを取り巻く空間に関する。制御すべき雰囲気汚染の一覧の Table が拡大するにつれ、計測能力も向上しなくてはならない。経済的で、正確、再現性がありリアルタイムのパーティクル以外の汚染を測定できるセンサーの必要性が増している。プロセスの敏感性が増すとともに、ウェーハ輸送や格納環境への不活性環境の使用が拡大する。この不活性環境が最初に必要となるプロセスとして、ゲート酸化前、コンタクト、シリサイド、Cu 配線、レチクル保管環境が上げられる。加えて、不活性環境を使うことにより、真空ロードロック装置への水分の持込を抑制でき、汚染やロードロックの真空引き回数を削減できる。密閉のパージシステムが既にありまた発展している一方、洗浄装置のように不活性雰囲気が必要とされる装置には困難な課題がある。ウェーハ隔離技術が発展するにつれ、キャリアや容器の設計や材料選定がウェーハを環境から隔離する上で、また、汚染そのものを出不さないという点で非常に重要になる。加えて、材料と設計はプロセス中のクロス汚染を促進してはいけない。密閉技術、低アウトガスで吸着のない材料の開発が効果的なウェーハやレチクルの隔離配置にとって鍵となる。

**気中分子汚染** — クリーンルーム、ウェーハ製造装置、ウェーハケースで使用される構造材料からの脱ガスは、プロセスで使用する化学薬品からの蒸発物と並んで、気中分子汚染(AMC) 二大ソースである。低濃度の気中汚染物(例 一酸化炭素)と同様に、酸素や水蒸気も気中分子汚染対象物質の一部と考えられる。空気中の酸の蒸気によって HEPA フィルターからボロンが出てくる現象や、アミンが DUV 光露光用レジスト解像度に影響を与える現象は、気中分子汚染がウェーハプロセスに影響を与えるよく知られた例である。デバイスサイズが小さくなるほど、気中分子汚染の影響はより深刻になると考えられる。クリーンルームの中で、ppt レベルで AMC を測定できるより良い AMC モニタ装置が必要である。SAW デバイスと APIMS は低濃度の AMC 測定に使われてきたが、デバイスが分子サイズに近づくにつれて、低価格で定常的に使えるモニタ法が必要になると思われる。数原子層程度の炭化水素膜によってプロセスの制御性が悪くなることもある。特にフロントエンドプロセスではその可能性が高い。ポッドや FOUP の構成材料からの気中分子汚染物の脱ガスに関しては多くの研究がなされ、材料選択のガイドラインとして使われているが、重要な工程に関しては、さらにポッド内の窒素パージの必要性を調査されつつある。すべての工程が気中分子汚染の影響を受けるわけではない。たとえば、将来の露光システムは真空プロセスになる可能性があり、その場合はクリーンルーム雰囲気に関しては新たな分子汚染制御の対象から外れる。新しいプロセスに対する気中分子汚染の影響に関しては、すべてのプロセスインテグレーションの観点から検討する必要がある。

**プロセスに影響を与える材料** — Cuメッキ液、CMPスラリー、High/Low-k絶縁膜や他の薄膜材料のような CVD新規材料中の不純物規格について理解するために、さらに実験が必要である。一定体積あたりのパーティクル数の要求レベルは、問題となる最小のパーティクル寸法で一定としてきた。このことは、パーティクル密度が $X^{-3}$ 則の仮定に従うことを考慮すると、技術世代ごとに約 2 倍のクリーン化が必要なことを意味する。問題となる最小寸法のパーティクル測定が望ましい。しかし、最小寸法より大きな寸法のパーティクルをモニタし、推定されるパーティクルサイズ分布を用いて問題となる最小サイズでのパーティクル濃度に換算すれば同じことである。

**超純水** — 25°Cで 18.2 MΩ-cm の比抵抗を持ち、金属は数 ppt、無機アニオンやアンモニアは 50ppt 以下、TOC や溶解/コロイダルシリカは 1ppb 以下 のものが一般的に超純水と考えられている。パーティクルレベルは現在入手可能な最高レベルの濾過技術を用いることにより減少している。バクテリアは水面や少量ではあるが水中に存在しているが、非常に低いレベルに制御されており、1cfu 以下である。Table115 に提示されている 2005 年のロードマップの値は最先端デバイスを製造する工場で使用されていて、ベンチマーク調査によ

って確認された代表的な超純水の水質の値となっている。2005年版を超える更に厳しい基準値は、製造プロセスの要求値から改善が必要とされる証拠がある場合のみ提案される。[超純水に対する要求に関しては脚注でも議論する。](#)

超純水においては、いくつかのパラメータを、その絶対値よりは安定性を考慮しつつ、汚染物というよりプロセス条件と考える、という重要なトレンドがある。ある製造メーカは溶存酸素を現在そのように取り扱っているが、他社ではまだそれを汚染物質と考えている。不活性雰囲気で行われる製造プロセスステップにおいて溶存酸素を最小化する必要性を支持する証拠がある。しかし、ほとんど全ての水を集中的に使う製造ステップは酸素のある雰囲気で行われるので、要求値を若干緩和した。温度や圧力の安定性も引き続き重要である。

超純水の汚染に関する品質レベルは、その品質がどこで要求され、どこで計測されるかという視点を忘れてはならない。測定箇所には 供給ポイント(POD)、接続ポイント(POC)、装置接続ポイント(POE)、ユースポイント(POU)がある。PODとは超純水製造システムの最終処理ステップの直後であり、POEは装置との接続点、POUは装置の内部である。2005年版ロードマップでは Table115 に示すように、超純水の水質は POE または POU で規定している。超純水の水質はこれら 3 点の間で特に POE と POU 間で変化する可能性があり、水質を完全に維持するための特別な注意が必要となる。さらに、正確な分析結果を得るためにサンプリング技術も重要である。超純水の規格が POE から POU に移動したことにより、サンプリング方法がより難しく、高価格になってきている。大抵のベンチマークのデータは POD や POE で収集され、Table115 のパラメータに基づいている。汚染レベルが POU にまで拡大されてきたが、これは、半導体プロセス装置が最適設計され、適切な SEMI 基準に従って液体の純度を維持するという観点で運用されている、という技術的な判断に基づいている。

オゾン水に関しては、一般的にプロセス装置において添加される希薄なプロセス用の薬品であることを考慮して、このロードマップでは取り扱わない。液侵リソグラフィに関してはガス抜きの可能性と追加のより厳密な温度制御以外、超純水に対する特別な提起されていない。また、それらはプロセス装置で実施されることになる。

**超純水のリサイクル** — 超純水のリサイクル—資源の最適化を促進するために、超純水使用効率の改善が一般的に求められている。システムを通してより多くの超純水をリサイクルするようになり、超純水の品質が維持されていることを保証するため、処理方法や分析方法を含め、コスト効率の高い技術が必要とされている。適切なリサイクル計画の実行は、利益をもたらすだけでなく、“よりきれいな”給水の流れを使用することにより最終的な水質の改善ができることを示している。更なる情報と要求項目は [ESH の章](#)に記載されている。

**超純水の測定方法** — 超純水中の汚染を監視するための一般的な試験方法は Figure101 に示されている。過去数年にわたり ITRS の超純水チームは超純水の品質を決定するために、多くの最新の超純水システムをベンチマークしてきた。この活動により、いくつかの測定方法が超純水中の汚染を定量するのに相応しくないことが明らかになった。次の分析方法は現在の超純水中の汚染レベルに対して感度が無い:比抵抗、TOC、無機アニオン、有機イオンと有機物。有機物の化学形態別分析はこれらの方法に限定されていた。次の方法の感度は現在のところ適切である:生菌、溶存ガス、金属。パーティクルの計測は一般的に最小寸法では十分な感度を有していないが、パーティクルサイズと濃度データを最小寸法まで外挿することで技術的には妥当である。ベンチマークの結果から、このサイズ分布は特に超純水システムと計測技術に特有であることが分かっている。このロードマップを使用する人には、各工場で実験的に異物分布を決定することを薦める。ベンチマークの結果は傾きが-1 から-5 の log-log 分布を示している。[超純水関係のさらに完全な取り扱いはこの章の脚注で取り上げる。](#)そこに、[変換ツールについても記載する。](#)

<i>Parameter</i>	<i>Measured (POD/POC)</i>	<i>Test Method</i>
<i>Resistivity</i>	<i>Online</i>	<i>Electric cell</i>
<i>Viable bacteria</i>	<i>Lab</i>	<i>Incubation</i>
<i>TOC</i>	<i>Online</i>	<i>Conductivity/CO<sub>2</sub></i>
<i>Inorganic anions and NH<sub>4</sub><sup>+</sup></i>	<i>Lab</i>	<i>Ion chromatography</i>
<i>Organic ions</i>	<i>Lab</i>	<i>Ion chromatography</i>
<i>Other organics</i>	<i>Lab</i>	<i>Various, e.g., ES TOF, ICP-MS</i>
<i>Reactive silica</i>	<i>Online or lab</i>	<i>Colorimetric</i>
<i>Dissolved N<sub>2</sub></i>	<i>Online</i>	<i>Electric cell</i>
<i>Total silica</i>	<i>Lab</i>	<i>ICP-MS or GFAAS</i>
<i>Particle monitoring</i>	<i>Online</i>	<i>Light scatter</i>
<i>Particle count</i>	<i>Lab</i>	<i>SEM—capture filter at various pore sizes</i>
<i>Cations, anions, metals</i>	<i>Lab</i>	<i>Ion chromatography, ICP-MS</i>
<i>Dissolved O<sub>2</sub></i>	<i>Online</i>	<i>Electric cell</i>

ES TOF—Electro spray time of flight      ICP-MS—inductively coupled plasma mass spectrometry  
GFAAS—graphite furnace atomic absorption spectrometry

Figur e101      General Test Methodology for Ultrapure Water

**超純水と薬液のパーティクル測定** — 問題の定義と目指すもの: 超純水や薬液のパーティクルカウンターの感度の限界は、必要とされる最小パーティクルサイズ(ウェーハ歩留を決定するとされるパーティクルサイズ)の減少に遅れを取ってきている。最小パーティクルサイズの測定は、非常に小さいパーティクルの散乱効率が低いことにより困難になっている。パーティクル濃度が低いことや現状のパーティクルモニターの試料容量が少ないことにより、試料間のばらつきが大きくなってしまふ。適正な測定統計学を持ったより高感度なパーティクル測定方法が計画された純度の目標を達成するためには必要となる。

**感度の問題:**2005 年時点で、市販の最も高感度なパーティクルカウンターは超純水に対して 0.03  $\mu\text{m}$ 、薬液に対して 0.065  $\mu\text{m}$  である。ITRSによれば 2005 年には最小パーティクルサイズは 0.040  $\mu\text{m}$ 、2009 年には 0.025  $\mu\text{m}$  となる。これまでの超純水のためのパーティクルカウンターの感度向上は、レーザー出力の増大により行われてきた。薬液のためのパーティクルカウンターの感度向上は実行できるが、この手法を使った超純水のための更なる感度向上は、大幅なコスト増が予想されるためできそうにない。更に、高コストな解決策が生産に値する計測装置を保証するとは限らない。高い初期投資と増加する資産コストがより高感度な装置の実現の可能性に影響を与える。従って、ITRSの目標を満足させるためには、市販の装置の測定感度以下のパーティクル濃度を予想するための数学的な外挿法が活用されなければならない。この外挿法は液体中のパーティクル数とパーティクルサイズとの間に  $1/d^3$ の関係があると仮定している。ITRSの最小パーティクルサイズが実際の測定能力から乖離すればするほど、誤差(予想された値と真の値の差として定義される)の可能性も高くなる。従って、パーティクル数とパーティクルサイズの関係を保証するために、より高感度でパーティクルを測定できる手法を開発することは業界にとって今でも重要なことである。これにより、その関係は信頼性を持って使用され続けることができる。

**測定の正確性の問題:**プロセス条件が変わっていないことを監視するため、統計的プロセス制御がますます使われるようになってきている。液体純度のプロセス変動が液体の絶対的な純度と同様に歩留まりにとって重要になっている。従って、測定されたパーティクル濃度の信頼性を保証するための十分な数の事象を検出することが測定方法にとって重要である。報告されたパーティクル数の信頼度を向上させるためには、他に統計的に意味のあるパーティクル測定方法や大容量の試料を測定するパーティクルカウンターの開発が必要である。試料の容量(測定される液体の容量)が 試料の流れる距離中に検出されるパーティクルの計測数を決定する。[詳細は脚注を参照のこと](#)。

Table115 のガス/薬品部分の純度トレンドは基本的に一定であるが、特別なプロセスにおいてはさらに高い純度が要求される場合もある。平均的な汚染レベルを低減するよりも、純度のばらつきを低減することによって歩留まり向上が達成されることもある。従って、これらのプロセス原料の製造運搬過程における汚染レベルの統計的プロセス制御の改善が必要である。

**ガスと液体化学薬品** — Table115 中の汚染の要求の最小値は、最先端のデバイスを製造するために、2005年以降に使用されるガスや液体化学薬品の典型的な値を示している。多くの用途においては、これらのガスや液体化学薬品の汚染の要求値はもっと緩和されるだろう。一方で、より低い汚染レベルによって恩恵を受けると主張するメーカーもある。あるプロセスが、原料の純度の範囲で規定された“ウィンドウ”やパージ時間などの他のパラメータの範囲で規定された“ウィンドウ”の中でうまく実施されると考えれば、実際には課せられた純度要求やプロセススループットにはトレードオフが存在するのは当然である。プロセスを“純度のウィンドウ”の上限まで押し進めるには、かなりの時間的投資と他のパラメータを最適化するための努力が必要であり、その努力を追及することの経済性は、環境によって変わるだろう。汚染レベルを下げることによって得られる利益は、高純度のプロセスガスや薬液で達成された汚染ばらつきを低減のおかげである。半導体製造業で使用されるガスや薬品で現在達成可能な純度は、多世代にわたって満足いくものであり、平均的な汚染レベルを引き下げるよりも純度のばらつきを抑えることによって歩留まりの改善はより進むと思われる。従って、これらのプロセス原料の製造運搬過程における汚染レベルの統計的プロセス制御の改善が必要である。

POP(すなわちプロセスチャンバ自身)における純度の測定により、ガスや薬品の品質とプロセス性能の間の最も直接的な関係を提供してくれるが、この測定は、ウェーハ洗浄槽中のある液体の性質という例外を除けばしばしば非常に困難である。プラズマプロセス中のパーティクル生成やウェーハからの脱ガスといった例がある。後者は多くのプロセスにおいて水蒸気の最も重要な汚染源となり、プロセスの流体からの水分の寄与を目立たなくさせる。POU で測定することにより、プロセスチャンバに直接入っていくプロセス溶液の品質の最も直接的な情報を得ることができるが、これも多くの通常のプロセスにおいては不可能である。

これらの困難さのため、Table115 の値は Table108 に示されるプロセス装置への入り口と定義される POE に相当するようになっている。一般ガスや液体に関しては、多くの用途向けに POE の不純物レベルに関して指針を与える十分なデータがある。しかし、これらの流体に関する測定はしばしば POS、POD あるいは POC で行われている。これらの材料については、比較的反応性に乏しく、大容量で運搬されるので、POE への推定は一般的に妥当性がある。特殊ガスや反応性の流体の場合、そういった推定には細心の注意を要する。なぜなら、供給量が少なくなり、汚染の影響に対する感度が増し、構造材料に関連した供給システム中での劣化や、大気汚染、熱的な劣化が起りやすくなるからである。これらの要素は通常最適な構成や運転の実行により最小になっている。それゆえに POS の規格やそれほどではないにしろ POD や POC の測定が最も有効な指針となり、POE と等しいと解釈される。要約すると、全てのガスに対して POE の純度を推奨したいが、実用的には裏付けとなるデータはしばしば POS、POD や POC で収集されてきた。

目標のレベルは 必要不可欠な純度で流体を供給するか、局所的な純化器を使うことによって達成される。供給源からのガスの純度を維持するため最低限の注意は払う必要がある。その際、構成部品で生じるパーティクルや水分のアウトガス、不適当な材料から発生する副生成物といった汚染を POS の下流側で発生させてはならない。POU に限りなく近くでガスの異物濾過を行うことが一般的には望ましい。最も重要な用途に対しては、POU で最高の純度に高めたりそれを保証するために局所的な純化器が使用される。そういう場合、そのプロセスに相応しい POC のレベルを追求することや、純化器を“保険”とみなすことが一般的に行われる。純化器を最少にすることや純化器の長寿命化が課題である。

**液体化学薬品** — Table115a および 115b はプロセス装置に供給される化学薬品に対する純度要求値を纏めてある。拡散前洗浄の要求値が最もアグレッシブな不純物レベルとなっている。液中パーティクルレベルの目標は各技術世代ごとにより純度が高くなると示してある。現在、液体化学薬品中では、パーティクルカウンターの検出感度は 65nm に過ぎない。パーティクルサイズ分布を仮定することにより、より小さいパーティクルサイズまでパーティクル濃度を推測することができる。しかし、これは使用される濾過器のレベルで影響を受ける。薬品中の有機物やアニオン、カチオン汚染を正確に分析する能力が、ウェーハプロセスを成功させるために重要になってきている。CMP やめっき用化学薬品の使用量が増加するとともに、供給される化学薬品に対する純度要求値の理解を深める必要がある。Table115 には CVD/ALD プリカーサに関してごく一般的なコメントしか載せていない。層の種類とそれぞれに対する汚染物質は莫大である。従って、[イオンリストの纏め](#)と、[プリカーサの Table](#) を補足資料として掲載した。

**一般ガス/特殊ガス** — 最も一般的なガスについて、Table115 に分類してリストアップしている。ロードマップの将来の世代において、これらのガスに対する要求値を改善する必要があるという特別な報告は得られていないが、Table では 45nm 世代において改善が必要であると予想している。

Tableに示す通り、総炭化水素は一般ガスの項目に明記されている。全ての炭化水素が同じように有害であるわけではないが、THCの測定はこれまで水素炎イオン化検出器(FID)で行われてきた。FIDの応答性は炭化水素中の炭素原子数と濃度に凡そ比例し、通常メタンで校正される。そのため、THC濃度はメタン換算で報告される。APIMS(大気圧イオン化質量分析計)もTHC計測に使用される。その時は $\text{CH}_4^+$ のピークやイオン化条件によって他のピークをモニタする。大きな分子量の炭化水素の応答性はその分子の性質や分析条件に依存する。しかし、定量化はメタン標準試料による校正に基づいて行われる。現実的には、100ppb以上の測定には簡便なFIDによるTHC測定がふさわしい。APIMSは 10ppt以下の測定に力を発揮する。

最先端のリソグラフィのようなプロセスには、高分子量/高沸点( $\text{C}_6\text{-C}_{30}$ )の炭化水素が有害である。それに曝された表面にどんどん吸着し、レンズやマスク、鏡などの上に不揮発性の残渣を残すという光化学的劣化を起こす。同じ理由で、シロキサンや有機リン酸エステルも非常に少量でも有害になる可能性を持っている。それらを最高感度で検出するためには、当該種を直接検出すること、そして適切な標準試料を使って分析器を校正することが必要である。使用される方法は、AMCのための方法と類似しており、TD-GCMSやTD-GC/FID、IMSなどである。これらの手法を使っても、カラム中に留まる場合や、非常に広いピークとして現れてくる傾向のある、高分子量の hidrocarbon や極性を持った分子を検出しない場合がある。吸着トラップを使用する方法では、トラップ効率を測定することが重要である。個別の hidrocarbon をリアルタイムで測定するために APIMS を使うことは原理的には可能であるが、大きな hidrocarbon はイオン化過程で衝突により解離してしまうため校正が困難である。

賛同を得られる妥協案は、TD-GS/MS を使い炭素数 6 以上の全てのピークを足し合わせることである。測定器は通常多成分の標準試料で構成され、ヘキサデカン換算で報告される。この方法で与えられる定量性は概算であり、何種類かの分子は見落とされるが、簡便な校正を提供しつつ、少なくとも高分子炭化水素に重点をおくことができる。

酸素と水素は一般的に窒素濃度に関しては他の汚染よりも高いレベルを許容でき、Tableにはこの結果が反映されている。CDAやリソグラフィのパージガス、超臨界 $\text{CO}_2$ 供給に対する要求値も含まれている。CDAは必ずしも都合良く安価に手に入る訳ではないが、その製造には技術的な障壁は無い。分析方法は通常クリーンルーム大気中のAMCの分析と同様であり、金属や硫酸塩、アミンなどについては超純水中にバブリングする方法、有機物に関しては吸着トラップを使う方法である。おのおの場合で、試料が分析装置(水溶液サンプルはICP-MSまたはイオンクロマトグラフィー、有機物の脱離はGC-MS)に導入される時に必要な感度が得られるように、サンプラーは不純物を濃縮する。この方法は本来時間を要するものであり、もし可能であるならば直接

分析する方法が望ましい。しかし、リアルタイム分析に対する明らかに差し迫った必要性は今のところ無い。SO<sub>2</sub>分析にはUV蛍光分析という便利なオンライン手法がある。

特殊ガスに関しては、エッチャントやドーパント、デポジション用ガス中の汚染の値が Table に記載されている。パーティクル濃度の値は、通常オンラインのモニタが行われていないことや POU のパーティクルフィルタの有効性が十分に確認されているため、Table から除かれている。低温のエピ成長やそのためのクリーニングガスというような非常に要求の高い用途では、デポジション温度が低温化すると共に純度の改善により利益を得つづけられるという証拠はあるが、そのレベルを実質的に改善するよりもむしろ、標準的な純度のものを幅広く使っていくということも考えるべきである。一般ガスと特殊ガス両方に対して、純度の絶対値を改善するよりも厳しく純度を制御することの方が重要になると予想される。このことから、完全な汚染の除去よりも、ガス製造工程において汚染の統計的プロセス制御を行う要求が高まるであろう。

**新規材料** — プロセスで使用される新規材料の不純物規格はますます重要になってくるだろう。貴金属酸化膜、CMP スラリー、低/高誘電体材料、CVD 新規物質原料、電解メッキ溶液、Cu、Ta といったバリア膜や導電膜というような重要な材料に対する規格は幅広く研究されてない。これらの材料が、技術の要求を満たす不純物規格で製造されていることを保証するために、新たな測定技術や与える影響の研究が必要である。現在考えられている薄膜新規物質の種類の詳細は Table 115 の液体薬液の項目に記載されている。

**設計とプロセスとの相互関係** — ウェーハ環境中、大気中、プロセスに影響を与える材料、超純水中に存在する歩留を低下させる汚染物質を同定し制御するために、データ、テスト構造およびテスト方法が必要である。欠陥源やメカニズムを決定する際に重要となる標準的なテスト構造が必要とされる。いったん、設計とプロセスの相互作用を解明できれば、プロセス感度が低いデバイス設計の基本ルールを確立できるだろう。プロセス感度分析と劣化のサイクルはデバイスの設計と歩留の向上に重要である。その上、さまざまな層のランダム欠陥に対する設計感度は、設計プロセスにおいて考慮される必要がある。

**プロセスとプロセスの相互関係** — プロセス工程間の欠陥形成(レジスト膜厚とコンタクト密度がビア/コンタクト内の残渣レベルに影響を与えるような)の相互作用は対象の装置やプロセスに必ずしも密接な関連がないような前後の工程やプロセスに特別な影響を与えるかもしれない。隣接モジュールの性能を劣化させるあらゆる汚染物質が移送されないように、クラスタ装置や洗浄装置等は、注意深く設計されなければならない。不要なプロセス相互作用を検出し、理解し、なくすために、プロセスモニタと制御は重要な役割を果たす。適切なセンサーとデータは、上流/下流のプロセスパラメータや歩留まりにすばやく反映させるための適切な情報管理システムとともに、装置間や装置内の統計的プロセス制御(SPC)を可能にしなければならない。

Table 115a Technology Requirements for Wafer Environmental Contamination Control—Near-term Years

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
<i>Wafer Environment Control such as Cleanroom, SMIF POD, FOUP, etc....not necessarily the cleanroom itself but wafer environment.</i>									
Critical particle size (nm) [A]	40	35	33	29	25	23	20	18	16
Number of particles (/m <sup>3</sup> ) [A] [B]	ISO CL 2	ISO CL 1	ISO CL 1	ISO CL 1	ISO CL 1				
<i>Airborne Molecular Contaminants in Gas Phase (pptM) [C] [G] [M]</i>									
Lithography (cleanroom ambient) [V]									
Total acids (as SO <sub>4</sub> ) including organic acids	5000	5000	5000	5000	5000	5000	5000	5000	5000
Total bases (as NH <sub>3</sub> )	50000	50000	50000	50000	50000	50000	50000	50000	50000
Condensable organics (w/ GCMS retention times ≥ benzene, calibrated to hexadecane)	26000	26000	26000	26000	26000	26000	26000	26000	26000
Refractory compounds (organics containing S, P, Si)	100	100	100	100	100	100	100	100	100
<i>Gate wafer environment (cleanroom/POD/FOUP ambient)</i>									
Total metals (as Cu) [H]	1	1	1	1	1	0.5	0.5	0.5	0.5
Dopants [D] (front end of line only)	10	10	10	10	10	10	10	10	10
SMC (surface molecular condensable) organics on wafers, ng/cm <sup>2</sup> /week [M]*	2	2	2	2	2	0.5	0.5	0.5	0.5
<i>Salicidation Wafer Environment (Cleanroom/POD/FOUP ambient)</i>									
Total acids (as SO <sub>4</sub> ) including organic acids	100	100	100	100	100	10	10	10	10
<i>Exposed Copper Wafer Environment (Cleanroom/POD/FOUP ambient)</i>									
Total acids (as SO <sub>4</sub> ) including organic acids	500	500	500	500	500	500	500	500	500
<i>Exposed Aluminum Wafer Environment (Cleanroom/POD/FOUP ambient)</i>									
Total acids (as SO <sub>4</sub> ) including organic acids	500	500	500	500	500	500	500	500	500
Total oxidizing species (as Cl <sub>2</sub> )	1000	1000	1000	1000	1000	500	500	500	500
<i>Reticle Exposure (Cleanroom/POD/Box ambient)</i>									
Total acids (as SO <sub>4</sub> ) including organic acids	500	500	500	500	500	TBD	TBD	TBD	TBD
Total bases (as NH <sub>3</sub> )	2500	2500	2500	2500	2500	TBD	TBD	TBD	TBD
<i>General Wafer Environment (Cleanroom/POD/FOUP ambient, all areas unless specified below)</i>									
Total acids (as SO <sub>4</sub> ) including organic acids	1000	1000	1000	1000	1000	500	500	500	500
Total bases (as NH <sub>3</sub> )	5000	5000	5000	5000	5000	2500	2500	2500	2500
Condensable organics (w/ GCMS retention times ≥ benzene, calibrated to hexadecane)	4000	3500	3000	3000	2500	2500	2500	2500	2500
Dopants [E] (front end of line only)	10	10	10	10	10	10	10	10	10
SMC (surface molecular condensable) organics on wafers, ng/cm <sup>2</sup> /day [M]*	2	2	2	2	2	0.5	0.5	0.5	0.5
Front-end processes, bare Si, total dopants added to 24-hour witness wafer, atoms/cm <sup>2</sup> [D] [M]	2.00E+12	1.00E+12							
Front-end processes, bare Si, total metals added to witness wafer, atoms/cm <sup>2</sup> [F] [M]	2.00E+10	2.00E+10	2.00E+10	2.00E+10	1.00E+10	1.00E+10	1.00E+10	1.00E+10	1.00E+10

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

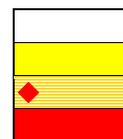


Table 115a Technology Requirements for Wafer Environmental Contamination Control—Near-term Years  
(continued)

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
<b>Process Critical Materials [G]</b>									
<b>Ultrapure Water [L]</b>									
Resistivity at 25°C (MΩ·cm)	18.2	18.2	18.2	18.2	18.2	18.2	18.2	18.2	18.2
Total oxidizable carbon (ppb) POE	<1	<1	<1	<1	<1	<1	<1	<1	<1
Bacteria (CFU/liter)	<1	<1	<1	<1	<1	<1	<1	<1	<1
Total silica (ppb) as SiO <sub>2</sub> [P]	<0.5	<0.5	<0.5	<0.5	<0.5	<0.3	<0.3	<0.3	<0.3
Number of particles > critical size (/ml) [A] POE	◆<0.2	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2
Dissolved oxygen (ppb) (contaminant based) [N] POE	<10	<10	<10	<10	<10	<10	<10	<10	<10
Dissolved nitrogen (ppm) [J]	8–12	8–12	8–18	8–18	8–18	8–18	8–18	8–18	8–18
Critical metals (ppt, each) [F]	<1	<1.0	<1.0	<0.5	<0.5	<0.5	<0.5	<0.5	<0.5
Other critical ions (ppt each) [W]	<50	<50	<50	<50	<50	<50	<50	<50	<50
Temperature stability (K) POE	± 1	± 1	± 1	± 1	± 1	± 1	± 1	± 1	± 1
Temperature gradient in K/10 minutes [U] POE for immersion photolithography	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1
<b>Liquid Chemicals [F]</b>									
49% HF: number of particles > critical size (/ml) [A] [K]	◆<10	<10	<10	<10	<10	<10	<10	<10	<10
37% HCl: number of particles > critical size (/ml) [A] [K]	◆<10	<10	<10	<10	<10	<10	<10	<10	<10
30% H <sub>2</sub> O <sub>2</sub> : number of particles > critical size (/ml) [A] [K]	<1000	<1000	<1000	<1000	<1000	<1000	<1000	<1000	<1000
29% NH <sub>4</sub> OH: number of particles > critical size (/ml) [A] [K]	<1000	<1000	<1000	<1000	<1000	<1000	<1000	<1000	<1000
100% IPA: number of particles > critical size (/ml) [A] [K]	<1000	<1000	<1000	<1000	<1000	<1000	<1000	<1000	<1000
49% HF: Na, K, Fe, Ni, Cu, Cr, Co, Ca, (Ag, Au, Pd, Pt, Ru) (ppt, each) [S]	150	150	150	150	150	150	150	150	150
49% HF: Cl (ppb, each)	10	10	10	10	10	10	10	10	10
30% H <sub>2</sub> O <sub>2</sub> : Al, Na, K, Fe, Ni, Cu, Cr, Co, Ca, (Ag, Au, Ba, Cd, Mg, Mn, Mo, Pb, Pd, Pt, Ru, Sn, Ti, V, W, Zn) (ppt, each) [S]	150	150	150	150	150	150	150	150	150
30% H <sub>2</sub> O <sub>2</sub> : Br, F (ppt, each)	TBD								
29% NH <sub>4</sub> OH: Al, Na, K, Fe, Ni, Cu, Cr, Co, Ca, (Au, Ba, Cd, Mg, Mn, Mo, Pb, Pd, Pt, Ru, Sn, Ti, V, W, Zn) (ppt, each) [S]	150	150	150	150	150	150	150	150	150
100% IPA: Na, K, Fe, Ni, Cu, Cr, Co, Ca (ppt, each)	150	150	150	150	150	150	150	150	150
100% IPA: Cl, Br (ppt, each)	TBD								
100% IPA: NH <sub>4</sub> (ppt, each)	TBD								

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

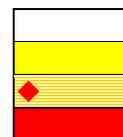


Table 115a Technology Requirements for Wafer Environmental Contamination Control—Near-term Years  
(continued)

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
<i>Liquid Chemicals [F] (continued)</i>									
49% HF: all other metals not listed in row above (ppt, each) [R]	500	500	500	500	500	500	500	500	500
30% H <sub>2</sub> O <sub>2</sub> : all other metals not listed in row above (ppt, each) [R]	500	500	500	500	500	500	500	500	500
29% NH <sub>4</sub> OH: all other metals not listed in row above (ppt, each) [R]	500	500	500	500	500	500	500	500	500
100% IPA: all other metals not listed in row above (ppt, each) [R]	500	500	500	500	500	500	500	500	500
49% HF: total oxidizable carbon (ppb)	TBD								
29% NH <sub>4</sub> OH: total oxidizable carbon (ppb)	TBD								
37% HCl: total oxidizable carbon (ppb)	TBD								
30% H <sub>2</sub> O <sub>2</sub> : total oxidizable carbon (ppb)	TBD								
100% IPA – Specific organic acids: formate, acetate, citrate, propionate, oxalate (ppt, each)	TBD								
IPA: High molecular weight organics (ppb)	TBD								
30%H <sub>2</sub> O <sub>2</sub> : resin byproducts (ppb)	TBD								
37% HCl: K, Ni, Cu, Cr, Co, (ppt)	1000	1000	1000	1000	1000	1000	1000	1000	1000
96% H <sub>2</sub> SO <sub>4</sub> : K, Ni, Cu, Cr, Co, (ppt)	1000	1000	1000	1000	1000	1000	1000	1000	1000
37% HCl: all other metals not listed in row above (ppt, each) [R]	10000	10000	10000	10000	10000	10000	10000	10000	10000
96% H <sub>2</sub> SO <sub>4</sub> : all other metals not listed in row above (ppt, each) [R]	10000	10000	10000	10000	10000	10000	10000	10000	10000
BEOL solvents, strippers K, Li, Na, (ppt, each)	10000	10000	10000	10000	10000	10000	10000	10000	10000
Planar slurries: scratching particles (/ml > key particle size) [I] [O]	TBD								
Post-CMP clean chemicals: particles>critical size (/ml) [A] [K] [O]	TBD								
Post-CMP clean chemicals: elements TBD (ppt, each) [O]	TBD								
Plating chemicals: particles > critical size (/ml) [A] [K] [O]	TBD								
<i>ILD CVD Precursors (e.g., Trimethylsilane, Tetramethylsilane) [X]</i>									
Metals (ppb)	<1	<1	<1	<1	<1	<1	<1	<1	<1
H <sub>2</sub> O and other oxygen containing impurities (ppm)	<10	<10	<5	<5	<5	<5	<5	<5	<5

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

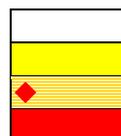


Table 115a Technology Requirements for Wafer Environmental Contamination Control—Near-term Years  
(continued)

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
<i>Bulk Gases (Contaminants, ppbv)</i>									
N <sub>2</sub> (O <sub>2</sub> , H <sub>2</sub> , H <sub>2</sub> O, CO, CO <sub>2</sub> , THC)	<5	<5	<5	<5	<5	<1	<1	<1	<1
O <sub>2</sub> (N <sub>2</sub> , Ar)	<50	<50	<50	<50	<50	<25	<25	<25	<25
O <sub>2</sub> (H <sub>2</sub> , H <sub>2</sub> O, CO, CO <sub>2</sub> , THC)	<10	<10	<10	<10	<10	<5	<5	<5	<5
Ar (N <sub>2</sub> , O <sub>2</sub> , H <sub>2</sub> , H <sub>2</sub> O, CO, CO <sub>2</sub> , THC)	<5	<5	<5	<5	<5	<1	<1	<1	<1
H <sub>2</sub> (N <sub>2</sub> , Ar)	<50	<50	<50	<50	<50	<25	<25	<25	<25
H <sub>2</sub> (O <sub>2</sub> , H <sub>2</sub> O, CO, CO <sub>2</sub> , THC)	<10	<10	<10	<10	<10	<5	<5	<5	<5
He (N <sub>2</sub> , O <sub>2</sub> , H <sub>2</sub> , H <sub>2</sub> O, CO, CO <sub>2</sub> , THC)	<10	<10	<10	<10	<10	<5	<5	<5	<5
CO <sub>2</sub> (CO, H <sub>2</sub> O, O <sub>2</sub> , THC)	<1000	<1000	<1000	<1000	<1000	<1000	<1000	<1000	<1000
<i>Lithography Purge Gases</i>									
Critical clean dry air (H <sub>2</sub> O)	<2500	<2500	<2500	<2500	<2500	<2500	<2500	<2500	<2500
Critical clean dry air (organics (molecular weight > benzene) normalized to hexadecane equivalent) (ppb)	<22	<22	<22	<22	<22	<22	<22	<22	<22
Critical clean dry air (total base as NH <sub>3</sub> ) (ppb)	<1	<1	<1	<1	<1	<1	<1	<1	<1
Critical clean dry air (NH <sub>3</sub> (as NH <sub>3</sub> )) (ppb)	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1
Critical clean dry air (total acid including SO <sub>2</sub> (as SO <sub>4</sub> )) (ppb)	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1
Critical clean dry air (SO <sub>4</sub> (as SO <sub>4</sub> )) (ppb)	<0.03	<0.03	<0.03	<0.03	<0.03	<0.03	<0.03	<0.03	<0.03
Lithography nitrogen tool/maintenance purging gas supply (H <sub>2</sub> O, O <sub>2</sub> , CO <sub>2</sub> ) (ppb)	<500	<500	<500	<500	<500	<500	<500	<500	<500
Lithography nitrogen tool/maintenance purging gas supply (CO) (ppb)	<2000	<2000	<2000	<2000	<2000	<2000	<2000	<2000	<2000
Lithography nitrogen tool/maintenance purging gas supply (H <sub>2</sub> ) (ppb)	<2000	<2000	<2000	<2000	<2000	<2000	<2000	<2000	<2000
Lithography nitrogen tool/maintenance purging gas supply (organics (molecular weight > benzene) normalized to hexadecane equivalent) (ppbV)	<22	<22	<22	<22	<22	<22	<22	<22	<22
Lithography nitrogen tool/maintenance purging gas supply (total base (as NH <sub>3</sub> )) (ppb)	<0.15	<0.15	<0.15	<0.15	<0.15	<0.15	<0.15	<0.15	<0.15
Lithography nitrogen tool/maintenance purging gas supply (total acid (as SO <sub>4</sub> ) including SO <sub>2</sub> ) (ppb)	<0.025	<0.025	<0.025	<0.025	<0.025	<0.025	<0.025	<0.025	<0.025
Lithography nitrogen tool/maintenance purging gas supply (refractory compounds (organics containing S, P, Si, etc.) normalized to hexadecane equivalent) (ppbw)	<0.3	<0.3	<0.3	<0.3	<0.3	<0.3	<0.3	<0.3	<0.3
Lithography helium tool/maintenance purging gas supply (H <sub>2</sub> O) (ppb)	<3500	<3500	<3500	<3500	<3500	<3500	<3500	<3500	<3500
Lithography helium tool/maintenance purging gas supply (O <sub>2</sub> , CO <sub>2</sub> ) (ppb)	<500	<500	<500	<500	<500	<500	<500	<500	<500

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

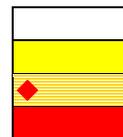


Table 115a Technology Requirements for Wafer Environmental Contamination Control—Near-term Years  
(continued)

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM 1/2 Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) 1/2 Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	13
<i>Bulk Gases (Contaminants, ppbv) (continued)</i>									
Lithography helium tool/maintenance purging gas supply (CO, H <sub>2</sub> ) (ppb)	<2000	<2000	<2000	<2000	<2000	<2000	<2000	<2000	<2000
Lithography helium tool/maintenance purging gas supply (organics(molecular weight > benzene) normalized to hexadecane equivalent) (ppb)	<22	<22	<22	<22	<22	<22	<22	<22	<22
Lithography helium tool/maintenance purging gas supply (total base (as NH <sub>3</sub> )) (ppb)	< 0.15	< 0.15	< 0.15	< 0.15	< 0.15	< 0.15	< 0.15	< 0.15	< 0.15
Lithography helium tool/maintenance purging gas supply (total acid including SO <sub>2</sub> (as SO <sub>4</sub> )) (ppb)	< 0.025	< 0.025	< 0.025	< 0.025	< 0.025	< 0.025	< 0.025	< 0.025	< 0.025
Lithography helium tool/maintenance purging gas supply (refractory compounds (organics containing S, P, Si, etc.) normalized to hexadecane equivalent) (ppbw)	<0.3	<0.3	<0.3	<0.3	<0.3	<0.3	<0.3	<0.3	<0.3
Number of particles > critical size (/M <sup>3</sup> ) [A]	<100	<100	<100	<100	<100	<100	<100	<100	<100
<i>Specialty Gases</i>									
<i>Etchants (Corrosive, e.g., BCl<sub>3</sub>, Cl<sub>2</sub>)</i>									
O <sub>2</sub> , H <sub>2</sub> O (ppbv)	<1000	<500	<500	<500	<100	100	100	100	100
Critical specified metals/total metals (ppbw) [Q]	<10/1000	<10/1000	<10/1000	<1/TBD	<1/TBD	<1/TBD	<1/TBD	<1/TBD	<1/TBD
<i>Etchants (Non-corrosive, e.g., C<sub>2</sub>F<sub>6</sub>, NF<sub>3</sub>)</i>									
O <sub>2</sub> , H <sub>2</sub> O (ppb)	<1000	<1000	<1000	<1000	<1000	100	100	100	100
<i>Deposition (e.g., SiH<sub>4</sub>, NH<sub>3</sub>, (CH<sub>3</sub>)<sub>3</sub>SiH)</i>									
O <sub>2</sub> , H <sub>2</sub> O (ppb)	<1000	<1000	<1000	<1000	<1000	100	100	100	100
Critical specified metals/total metals (ppbw) [Q]	<10/1000	<10/1000	<10/1000	<1/TBD	<1/TBD	<1/TBD	<1/TBD	<1/TBD	<1/TBD
<i>Dopants (e.g., AsH<sub>3</sub>, PH<sub>3</sub>, GeH<sub>4</sub>)</i>									
O <sub>2</sub> , H <sub>2</sub> O (ppb)	<1000	<500	<500	<500	<100	100	100	100	100
<i>Inerts for purging</i>									
O <sub>2</sub> , H <sub>2</sub> O (ppb)	<1000	<1000	<1000	<1000	<1000	<1000	<1000	<1000	<1000
He, H <sub>2</sub> cylinder carrier/purge gases (N <sub>2</sub> , H <sub>2</sub> O, ppb)	<100	<100	<100	<100	<100	<100	<100	<100	<100

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

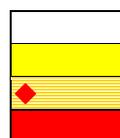


Table 115b Technology Requirements for Wafer Environmental Contamination Control—Long-term Years

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
<i>Wafer Environment Control such as Cleanroom, SMIF POD, FOUF, etc...not necessarily the cleanroom itself but wafer environment.</i>							
Critical particle size (nm) [A]	14	13	11	10	9		
Number of particles (/m <sup>3</sup> ) [A] [B]	ISO CL1						
<i>Airborne Molecular Contaminants in Gas Phase (pptM) [C] [G] [M]</i>							
Lithography (cleanroom ambient) [V]							
Total acids (as SO <sub>4</sub> ) including organic acids	5000	5000	5000	5000	5000	5000	5000
Total bases (as NH <sub>3</sub> )	50000	50000	50000	50000	50000	50000	50000
Condensable organics (w/ GCMS retention times ≥ benzene, calibrated to hexadecane)	26000	26000	26000	26000	26000	26000	26000
Refractory compounds (organics containing S, P, Si)	100	100	100	100	100	100	100
<i>Gate Wafer Environment (Cleanroom/POD/FOUF ambient)</i>							
Total metals (as Cu) [H]	0.5	0.5	0.5	0.5	0.5	0.5	0.5
Dopants [D] (front end of line only)	10	10	10	10	10	10	10
SMC (surface molecular condensable) organics on wafers, ng/cm <sup>2</sup> /week [M]*	0.5	0.5	0.5	0.5	0.5	0.5	0.5
<i>Salicidation Wafer Environment (Cleanroom/POD/FOUF ambient)</i>							
Total acids (as SO <sub>4</sub> ) including organic acids	10	10	10	10	10	10	10
<i>Exposed Copper Wafer Environment (Cleanroom/POD/FOUF ambient)</i>							
Total acids (as SO <sub>4</sub> ) including organic acids	500	500	500	500	500	500	500
<i>Exposed Aluminum Wafer Environment (Cleanroom/POD/FOUF ambient)</i>							
Total acids (as SO <sub>4</sub> ) including organic acids	500	500	500	500	500	500	500
Total oxidizing species (as Cl <sub>2</sub> )	500	500	500	500	500	500	500
<i>Reticle Exposure (Cleanroom/POD/Box ambient)</i>							
Total acids (as SO <sub>4</sub> ) including organic acids	TBD						
Total bases (as NH <sub>3</sub> )	TBD						
<i>General Wafer Environment (Cleanroom/POD/FOUF ambient, all areas unless specified below)</i>							
Total acids (as SO <sub>4</sub> ) including organic acids	500	500	500	500	500	500	500
Total bases (as NH <sub>3</sub> )	2500	2500	2500	2500	2500	2500	2500
Condensable organics (w/ GCMS retention times ≥ benzene, calibrated to hexadecane)	2500	2500	2500	2500	2500	2500	2500
Dopants [E] (front end of line only)	10	10	10	10	10	10	10
SMC (surface molecular condensable) organics on wafers, ng/cm <sup>2</sup> /day [M]*	0.5	0.5	0.5	0.5	0.5	0.5	0.5
Front-end processes, bare Si, total dopants added to 24-hour witness wafer, atoms/cm <sup>2</sup> [D] [M]	1.00E+12						
Front-end processes, bare Si, total metals added to witness wafer, atoms/cm <sup>2</sup> [F] [M]	1.00E+10						

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

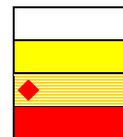


Table 115b Technology Requirements for Wafer Environmental Contamination Control—Long-term Years  
(continued)

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
<i>Process Critical Materials [G]</i>							
<i>Ultrapure Water [L]</i>							
Resistivity at 25°C (MΩ·cm)	18.2	18.2	18.2	18.2	18.2	18.2	18.2
Total oxidizable carbon (ppb) POE	<1	<1	<1	<1	<1	<1	<1
Bacteria (CFU/liter)	<1	<1	<1	<1	<1	<1	<1
Total silica (ppb) as SiO <sub>2</sub> [P]	<0.3	<0.3	<0.3	<0.3	<0.3	<0.3	<0.3
Number of particles > critical size (/ml) [A] POE	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2	<0.2
Dissolved oxygen (ppb) (contaminant based) [N] POE	<10	<10	<10	<10	<10	<10	<10
Dissolved nitrogen (ppm) [J]	8–18	8–18	8–18	8–18	8–18	8–18	8–18
Critical metals (ppt, each) [F]	<0.5	<0.5	<0.5	<0.5	<0.5	<0.5	<0.5
Other critical ions (ppt each) [W]	<50	<50	<50	<50	<50	<50	<50
Temperature stability (K) POE	±1	±1	±1	±1	±1	±1	±1
Temperature gradient in K/10 minutes [U] POE for immersion photolithography	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1
<i>Liquid Chemicals [F]</i>							
49% HF: number of particles > critical size (/ml) [A] [K]	<10	<10	<10	<10	<10	<10	<10
37% HCl: number of particles > critical size (/ml) [A] [K]	<10	<10	<10	<10	<10	<10	<10
30% H <sub>2</sub> O <sub>2</sub> : number of particles > critical size (/ml) [A] [K]	<1000	<1000	<1000	<1000	<1000	<1000	<1000
29% NH <sub>4</sub> OH: number of particles > critical size (/ml) [A] [K]	<1000	<1000	<1000	<1000	<1000	<1000	<1000
100% IPA: number of particles > critical size (/ml) [A] [K]	<1000	<1000	<1000	<1000	<1000	<1000	<1000
49% HF: Na, K, Fe, Ni, Cu, Cr, Co, Ca, (Ag, Au, Pd, Pt, Ru) (ppt, each) [S]	150	150	150	150	150	150	150
49% HF: Cl (ppb, each)	10	10	10	10	10	10	10
30% H <sub>2</sub> O <sub>2</sub> : Al, Na, K, Fe, Ni, Cu, Cr, Co, Ca, (Ag, Au, Ba, Cd, Mg, Mn, Mo, Pb, Pd, Pt, Ru, Sn, Ti, V, W, Zn) (ppt, each) [S]	150	150	150	150	150	150	150
30% H <sub>2</sub> O <sub>2</sub> : Br, F (ppt, each)	TBD						
29% NH <sub>4</sub> OH: Al, Na, K, Fe, Ni, Cu, Cr, Co, Ca, (Au, Ba, Cd, Mg, Mn, Mo, Pb, Pd, Pt, Ru, Sn, Ti, V, W, Zn) (ppt, each) [S]	150	150	150	150	150	150	150
100% IPA: Na, K, Fe, Ni, Cu, Cr, Co, Ca (ppt, each)	150	150	150	150	150	150	150
100% IPA: Cl, Br (ppt, each)	TBD						
100% IPA: NH <sub>4</sub> (ppt, each)	TBD						
49% HF: All other metals not listed in row above (ppt, each) [R]	500	500	500	500	500	500	500
30% H <sub>2</sub> O <sub>2</sub> : All other metals not listed in row above (ppt, each) [R]	500	500	500	500	500	500	500

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

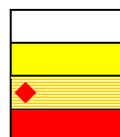


Table 115b Technology Requirements for Wafer Environmental Contamination Control—Long-term Years  
(continued)

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
<i>Liquid Chemicals [F] (continued)</i>							
29% NH <sub>4</sub> OH: all other metals not listed in row above (ppt, each) [R]	500	500	500	500	500	500	500
100% IPA: all other metals not listed in row above (ppt, each) [R]	500	500	500	500	500	500	500
49% HF: total oxidizable carbon (ppb)	TBD						
29% NH <sub>4</sub> OH: total oxidizable carbon (ppb)	TBD						
37% HCl: total oxidizable carbon (ppb)	TBD						
30% H <sub>2</sub> O <sub>2</sub> : total oxidizable carbon (ppb)	TBD						
100% IPA – Specific organic acids: formate, acetate, citrate, propionate, oxalate (ppt, each)	TBD						
IPA: High molecular weight organics (ppb)	TBD						
30% H <sub>2</sub> O <sub>2</sub> : resin byproducts (ppb)	TBD						
37% HCl: K, Ni, Cu, Cr, Co, (ppt)	1000	1000	1000	1000	1000	1000	1000
96% H <sub>2</sub> SO <sub>4</sub> : K, Ni, Cu, Cr, Co, (ppt)	1000	1000	1000	1000	1000	1000	1000
37% HCl: all other metals not listed in row above (ppt, each) [R]	10000	10000	10000	10000	10000	10000	10000
96% H <sub>2</sub> SO <sub>4</sub> : all other metals not listed in row above (ppt, each) [R]	10000	10000	10000	10000	10000	10000	10000
BEOL solvents, strippers K, Li, Na, (ppt, each)	10000	10000	10000	10000	10000	10000	10000
Planar slurries: scratching particles (/ml > key particle size) [I] [O]	TBD						
Post-CMP clean chemicals: particles > critical size (/ml) [A] [K] [O]	TBD						
Post-CMP clean chemicals: elements TBD (ppt, each) [O]	TBD						
Plating chemicals: particles > critical size (/ml) [A] [K] [O]	TBD						
<i>ILD CVD Precursors (e.g., Trimethylsilane, Tetramethylsilane) [X]</i>							
Metals (ppb)	<1	<1	<1	<1	<1	<1	<1
H <sub>2</sub> O and other oxygen containing impurities (ppm)	<5	<5	<5	<5	<5	<5	<5
<i>Bulk Gases (Contaminants, ppbv)</i>							
N <sub>2</sub> (O <sub>2</sub> , H <sub>2</sub> , H <sub>2</sub> O, CO, CO <sub>2</sub> , THC)	<1	<1	<1	<1	<1	<1	<1
O <sub>2</sub> (N <sub>2</sub> , Ar)	<25	<25	<25	<25	<25	<25	<25
O <sub>2</sub> (H <sub>2</sub> , H <sub>2</sub> O, CO, CO <sub>2</sub> , THC)	<5	<5	<5	<5	<5	<5	<5
Ar (N <sub>2</sub> , O <sub>2</sub> , H <sub>2</sub> , H <sub>2</sub> O, CO, CO <sub>2</sub> , THC)	<1	<1	<1	<1	<1	<1	<1
H <sub>2</sub> (N <sub>2</sub> , Ar)	<25	<25	<25	<25	<25	<25	<25
H <sub>2</sub> (O <sub>2</sub> , H <sub>2</sub> O, CO, CO <sub>2</sub> , THC)	<5	<5	<5	<5	<5	<5	<5
He (N <sub>2</sub> , O <sub>2</sub> , H <sub>2</sub> , H <sub>2</sub> O, CO, CO <sub>2</sub> , THC)	<5	<5	<5	<5	<5	<5	<5
CO <sub>2</sub> (CO, H <sub>2</sub> O, O <sub>2</sub> , THC)	<1000	<1000	<1000	<1000	<1000	<1000	<1000

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

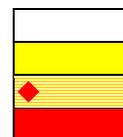


Table 115b Technology Requirements for Wafer Environmental Contamination Control—Long-term Years  
(continued)

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
<i>Bulk Gases (Contaminants, ppbv) (continued)</i>							
<i>Lithography Purge Gases</i>							
Critical clean dry air (H <sub>2</sub> O)	<2500	<2500	<2500	<2500	<2500	<2500	<2500
Critical clean dry air (organics (molecular weight > benzene) normalized to hexadecane equivalent) (ppb)	<22	<22	<22	<22	<22	<22	<22
Critical clean dry air (total base as NH <sub>3</sub> ) (ppb)	<1	<1	<1	<1	<1	<1	<1
Critical clean dry air (NH <sub>3</sub> as NH <sub>3</sub> ) (ppb)	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1
Critical clean dry air (total acid including SO <sub>2</sub> (as SO <sub>4</sub> )) (ppb)	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1	<0.1
Critical clean dry air (SO <sub>4</sub> (as SO <sub>4</sub> )) (ppb)	<0.03	<0.03	<0.03	<0.03	<0.03	<0.03	<0.03
Lithography nitrogen tool/maintenance purging gas supply (H <sub>2</sub> O, O <sub>2</sub> , CO <sub>2</sub> ) (ppb)	<500	<500	<500	<500	<500	<500	<500
Lithography nitrogen tool/maintenance purging gas supply (CO) (ppb)	<2000	<2000	<2000	<2000	<2000	<2000	<2000
Lithography nitrogen tool/maintenance purging gas supply (H <sub>2</sub> ) (ppb)	<2000	<2000	<2000	<2000	<2000	<2000	<2000
Lithography nitrogen tool/maintenance purging gas supply (organics(molecular weight > benzene) normalized to hexadecane equivalent) (ppbV)	<22	<22	<22	<22	<22	<22	<22
Lithography nitrogen tool/maintenance purging gas supply (total base (as NH <sub>3</sub> )) (ppb)	<0.15	<0.15	<0.15	<0.15	<0.15	<0.15	<0.15
Lithography nitrogen tool/maintenance purging gas supply (total acid (as SO <sub>4</sub> ) including SO <sub>2</sub> ) (ppb)	<0.025	<0.025	<0.025	<0.025	<0.025	<0.025	<0.025
Lithography nitrogen tool/maintenance purging gas supply (refractory compounds (Organics containing S, P, Si, etc.) normalized to hexadecane equivalent) (ppbw)	<0.3	<0.3	<0.3	<0.3	<0.3	<0.3	<0.3
Lithography helium tool/maintenance purging gas supply (H <sub>2</sub> O) (ppb)	<3500	<3500	<3500	<3500	<3500	<3500	<3500
Lithography helium tool/maintenance purging gas supply (O <sub>2</sub> , CO <sub>2</sub> ) (ppb)	<500	<500	<500	<500	<500	<500	<500
Lithography helium tool/maintenance purging gas supply (CO, H <sub>2</sub> ) (ppb)	<2000	<2000	<2000	<2000	<2000	<2000	<2000
Lithography helium tool/maintenance purging gas supply (organics (molecular weight > benzene) normalized to hexadecane equivalent) (ppb)	<22	<22	<22	<22	<22	<22	<22
Lithography helium tool/maintenance purging gas supply (total base (as NH <sub>3</sub> )) (ppb)	<0.15	<0.15	<0.15	<0.15	<0.15	<0.15	<0.15
Lithography helium tool/maintenance purging gas supply (total acid including SO <sub>2</sub> (as SO <sub>4</sub> )) (ppb)	<0.025	<0.025	<0.025	<0.025	<0.025	<0.025	<0.025
Lithography helium tool/maintenance purging gas supply (refractory compounds (Organics containing S, P, Si, etc.) normalized to hexadecane equivalent) (ppbw)	<0.3	<0.3	<0.3	<0.3	<0.3	<0.3	<0.3
Number of particles > critical size (/M <sup>3</sup> ) [A]	<100	<100	<100	<100	<100	<100	<100

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

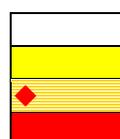


Table 115b Technology Requirements for Wafer Environmental Contamination Control—Long-term Years  
(continued)

Year of Production	2014	2015	2016	2017	2018	2019	2020
DRAM ½ Pitch (nm) (contacted)	28	25	22	20	18	16	14
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	28	25	22	20	18	16	14
MPU Physical Gate Length (nm)	11	10	9	8	7	6	6
<b>Specialty Gases</b>							
<i>Etchants (Corrosive, e.g., BCl<sub>3</sub>, Cl<sub>2</sub>)</i>							
O <sub>2</sub> , H <sub>2</sub> O (ppbv)	100	100	100	100	100	100	100
Critical specified metals/total metals (ppbw) [Q]	<1/TBD						
<i>Etchants (Non-corrosive, e.g., C<sub>2</sub>F<sub>6</sub>, NF<sub>3</sub>)</i>							
O <sub>2</sub> , H <sub>2</sub> O (ppb)	100	100	100	100	100	100	100
<i>Deposition (e.g., SiH<sub>4</sub>, NH<sub>3</sub>, (CH<sub>3</sub>)<sub>3</sub>SiH)</i>							
O <sub>2</sub> , H <sub>2</sub> O (ppb)	100	100	100	100	100	100	100
Critical specified metals/total metals (ppbw) [Q]	<1/TBD						
<i>Dopants (e.g., AsH<sub>3</sub>, PH<sub>3</sub>, GeH<sub>4</sub>)</i>							
O <sub>2</sub> , H <sub>2</sub> O (ppb)	100	100	100	100	100	100	100
<i>Inerts For Purging</i>							
O <sub>2</sub> , H <sub>2</sub> O (ppb)	<1000	<1000	<1000	<1000	<1000	<1000	<1000
He, H <sub>2</sub> cylinder carrier/purge gases (N <sub>2</sub> , H <sub>2</sub> O, ppb)	<100	<100	<100	<100	<100	<100	<100

Manufacturable solutions exist, and are being optimized

Manufacturable solutions are known

Interim solutions are known

Manufacturable solutions are NOT known

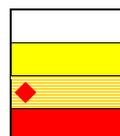


Table 115a と b の注:

\* Based on SEMI MF 1982-1103<sup>5</sup>

[A] クリティカルパーティクルサイズはデザインルールの 1/2 である。すべての欠陥密度はクリティカルサイズに「標準化」されている。装置の限界により、90nm以下のデバイスに対するクリティカルサイズのパーティクル密度は、より大きなサイズのパーティクル密度の測定とパーティクルサイズ分布を仮定するか経験的に推定して見積もる必要があるだろう。パーティクルサイズの分布は流体(たとえば、水、クリーンルーム雰囲気、ガス)に依存する、 $f(x)=K \cdot X^n$ (ここで、雰囲気/ガスの場合  $n=2.2$ 、重要な流体では  $n$  値は経験的な値として推奨されている 1 から 4 の間で変化する)<sup>6,7</sup>。

[B] 気中パーティクルの要求値は、ISO14644-1<sup>8</sup>「静止」に基づく。

[C] Tableに示されたイオン/種は計算値に基づく。暴露時間は初期表面濃度をゼロとして 60 分とする。リソグラフィの推定値はリソグラフィの装置メーカーによって定義される。金属と有機物は洗浄ロードマップ中の金属と有機物から定義する。Table中の値のリストは実験値に基づいているが、すべての気中分子汚染は  $S=E \cdot (N \cdot V/4)$  で計算できる。Sは到達率 (molecules/second/cm<sup>2</sup>)、Eは付着係数(0 から 1 の間の値)、Nは気中濃度 (molecules/cm<sup>3</sup>)、そしてVは平均熱速度 (cm/second)。次のように付着係数が提案されている; SO<sub>4</sub>=1×10<sup>-5</sup>, NH<sub>3</sub>=1×10<sup>-6</sup>, Cu=2×10<sup>-5</sup>。有機物の付着係数は分子骨格により大きく変化し、またウェーハ表面終端にも依存する。一般的に、250 以下の分子量の化合物は、揮発性が高いため有害であるとは考えていない。

[D] P, B, As, Sb を含む。

[E] 汚染目標はユースポイント(POU)に適用する。POU はプロセス装置内のプロセスチャンバ内部にウェーハが挿入されているポイントとして定義される。装置内の流体の純度の測定は難しく不可能であるが、流体の純度は正しく選択し取り付けた適切な構成材を使用する限り、装置の配管を通過時に変化しないと考えられる。この Tableの液体薬品の項目中の値は細かく明記された世代の製造プロセス中で通常、容認されている典型的なレベルとして表現されている。

[F] クリティカル金属およびイオンは Al, As, Ba, Ca, Co, Cu, Cr, Fe, K, Li, Mg, Mn, Na, Ni, Pb, Sn, Ti, Zn を含む。

<sup>5</sup> SEMI MF1982-1103 (previously ASTM F 1982-99e1), "Standard Test Methods for Analyzing Organic Contaminants on Silicon Wafer Surfaces by Thermal Desorption Gas Chromatography," SEMI.

UPW 中の Ca, Fe と Ni のレベルにより、ウェーハ上で問題となる濃度 (atoms/sq cm) となったという 3 個の異なった事例がある。これらの元素の UPW 中のレベルは 10ppt 以下に低減することによって容認できるレベルに低減されている。たった一つの事例ではあるが、0.5ppt を下回る値が得られたというデータが存在する。他の二つの事例では、10ppt (その時点での UPW 中の検出限界) 以下のレベルでも問題があった。イオン交換を追加することにより、この問題はなくなった。このイオン交換により汚染レベルが 1 桁減少したと推測することはとても合理的である。これらの結果から 1.0-0.5ppt という値が導き出される。

[G] Table 115 中のすべての汚染の単位はしばしば ppb が用いられる (もしくは ppm や ppt が用いられるが、ここでは ppb を使って説明する)。10 億分率 (ppb) の単位は質量、体積、モル比であることを認識すべきである。特に指定しない場合には以下のガイドラインのとおりである。化学薬品と UPW は一般的に質量 ppb、ガスとクリーンルームは一般的に体積 ppb とする。理想気体として振舞う流体の場合には体積 ppb はモル ppb に等しい。上記の例外としてガス中のメタルは質量 ppb とする。

[H] Table に示されたメタルの検出はサンプリング時間と流量に依存する。

[I] スクラッチを引き起こす原因となるパーティクルサイズは、スラリーのパーティクルサイズの平均値に依存する。目標値はスラリーとウェーハ形状の敏感さにより特定される。

[J] 溶存窒素の範囲はメガソニック洗浄の物理的なプロセスの必要性のためだけに存在する。メガソニック洗浄なしのプロセスではこの項目は無視できる。その濃度はプロセス特有でありエンドユーザーによって決める必要がある。UPW の温度とメガソニックのエネルギーを含むファクターを考慮して装置に入力する。適切なメガソニックエネルギーを入力すること無しに  $N_2$  濃度を増加させることは過度な洗浄になる。ガスの添加で生成される気泡に関して、特に温超純水中ではガスの溶解性は高温で低くなることに注意しなければならない。たとえば、UPW 中の  $N_2$  飽和溶解濃度は、 $20^\circ C$  で 15.7ppm、 $70^\circ C$  で 10.7ppm の範囲である。他のガスが使用される場合には、最適なレベルは異なる。他のガスに関する化学薬品中のプロセス歩留についてはこの章では範囲外とする。

[K] 現行のアップデート版では化学薬品中の液中パーティクルの最小感度は  $0.065\mu m$  である。これらのパーティクルカウンターで得られた値はロードマップの値と直接比較できるものではなく、脚注 A に記述した計算式と方法を用いたロードマップ中のクリティカルパーティクルサイズの値に標準化する必要がある。

[L] 多くのベンチマークのデータは供給ポイント (POD) または装置接続ポイント (POE) で収集されており、Table 115 のパラメータの基礎となっている。半導体プロセス装置を想定した技術判断に基づいた POU へ広がる汚染源のレベルは、適切な SEMI スタンドの通りに主要な流体純度に関してよく設計されている。Table 中の値は別に記述がない限り、POU のことである。

[M] 有機物フリーウェーハ作製されたウェーハを酸化したのち 24 時間暴露し、そしてウェーハ表面を TD-GC-MS (昇温脱離-ガスクロマトグラフ質量分析計) を用いて  $400^\circ C$  の熱脱離にて分析する。定量はヘキサデカン ( $C_{16}H_{34}$ ) をスタンダードとした絶対検量線法に基づく。TIC (トータルイオンクロマトグラム) の反応係数は SEMI-MF 1982-1103 (公式には ASTM 1982-99)<sup>9</sup> による。上記の方法により決定される検出下限は多くの有機物の指標となる。次のプロセスステップより前に酸化や洗浄されたプロセスウェーハはより高い限界値が使用される可能性があることに注意すべきである。ゲート酸化膜形成やポリシリコン成長のようなプロセスは特に DOP のような高沸点の有機物に対してより敏感である。SiN 成膜もまた上記の他のいくつかのプロセスよりもより敏感である。ドーパントの要求は前の章でカバーされている。

ドーパントフリーの表面を得るためにははじめに HF (フッ化水素酸) で剥離処理し、24 時間暴露する。ウェーハ最表面のボロンを信頼性の高い方法として知られている方法で回収して分析する。これは稼動している工場でのサンプリング値に基づくドーパントの指標となる。キーとなる FEP、特に微細な構造やより低いサーマルバジェット、そして低ドーズのデバイスに対してさらに低い基準値が要求されるだろう。もし、ウェーハが次の熱プロセスの直前に HF または BOE (バッファード酸化物エッチャント) によりすみやかに剥離処理されるのであれば、そのときのステップは表面分子ドーパントに対して敏感でなくなり、より高い限界値が適用されるだろう。BEP (バックエンドプロセス) は FEP よりもドーパントに対しては 1 桁以上敏感でない傾向があることに注意する必要がある。

ITRS FEP のシリコン基板の Table のスペックに合致した  $1e10 atoms/cm^2$  の濃度のウェーハをクリーンな環境に 24 時間暴露する。次に VPD-ICPMS (フッ酸蒸気-分解誘導結合プラズマ質量分析計) または VPD-AAS (フッ酸蒸気分解一原子吸光度計) を用いてウェーハ表面の分析をする。キーとなる FEP、特に微細な構造低い指標が要求されるだろう。もしウェーハが次の熱工程の前に洗浄されれば、洗浄よりも前のステップ中に雰囲気暴露されても問題はないであろう。環境からのメタル汚染の大多数は分子ではなくパーティクルであることに注意しなければならない。ウェーハ上の総パーティクル数が大多数のメタルとして基準内に保持されていれば、環境からのほとんどのメタルは基準内であるだろう。バックエンドプロセス (BEP) は FEP よりもパーティクル起因でないメタルに対して敏感でない傾向にある。入荷するウェーハのスペックの 2 倍のスペックは容易に到達し、24 時間暴露したウェーハの場合は容易に計測できる。実際のプロセスでははるかに短時間しかウェーハは暴露されないため、24 時間暴露することにより、ウェーハの汚染は強調される。上記 SMC (表面分子汚染) の下限値は予備的なものでありすべてのプロセスステップや有機物の種類、ドーパントあるいはメタルのすべてに適用する単一の値は存在しない。

SMC の限界値は実質的なプロセス毎に変化する可能性があり、局所雰囲気清浄化あるいはページにより汚染レベルを制御する必要がある。

[N] 溶存酸素 (DO) は水素パッシベートされていない  $SiO_2$  と Cu 構造に対してエッチレートに影響を与える。Table のレベルはもっとも有力な値である。同じ桁内でのわずかに高いレベルは半導体製造プロセスへの影響に関してあまり重要でないと考えられる。いくつかの半導体製造工場では DO はひとつのプロセスで変化する可能性があると考えられており、DO は Table に定められている値より 3 桁以上高いレベルで運用されている。DO の関数としてエッチレートはすべての材料に対して直線関係をもたない、特に銅のエッチレートは DO が 300ppb でほぼ極大になる。

[O] 工場で使われているさまざまな化学薬品に対する目標レベルや化学薬品中のパーティクルやイオン状の汚染のウェーハへの反応性は、現在はっきりわからない。これらのパラメータは今後考慮される可能性のあるクリティカルなものとして認識されており、正確なレベルを定義する作業は現在進行中である。

[P] UPW 中の総シリカは、ウェーハのウォーターマークの原因となる。ウェーハ表面から溶出したシリカもまたウォーターマークの主要な原因となる。Table 中の値は典型的な 90nm デバイス構造で見いだされた濃度を基にしている。デバイス構造がより微細になれば、シリカ濃度の要求はより低くなると予測される。UPW 中のシリカの濃度とウォーターマークの因果関係を明確にする必要がある。ボロンと反応性シリカのそれぞれ 50ppt と 300ppt の値は UPW 運用パラメータとしての Table から除外された。これら二つの種は、混合されたイオン交換層からいち早く溶出するため、イオン交換レジンの交換容量を示す値として残っている。それらは典型的な UPW システム濃度としてプロセス上重要ではないので Table から除外している。

[Q] クリティカルなメタルのリスト(例 Al, Ca, Cu, Fe, Mg, Ni, K, Si, Na)は基盤中でのメタルの移動度と同様にゲート酸化膜の信頼性、少数キャリアライフタイムのような電気的パラメータへの影響に依存するプロセス毎に変化する。プロセスで使用される液体化学薬品は脚注[G]に挙げられたメタルは重要であるが、特殊ガス中のメタルについてはガス中でメタルパーティクル(例 Fe, Ni, Co, P)が増すことで腐食する可能性が一番の問題である。メタルを含んだ揮発性物質はバルクガス中には一般的に存在しないが、各特殊ガスに関しては考慮すべきである。

[R] 定義された化学薬品中に関係する完全なメタルイオンリストである: Ag, Al, As, Au, Ba, Ca, Cd, Co, Cr, Cu, Fe, K, Li, Mg, Mn, Mo, Na, Ni, P, Pb, Pd, Pt, Ru, Sb, Sn, Sr, Ti, V, W, Zn

[S] リストに記載されていない元素はデバイスの品質性に高いあるいはいくつかの影響を及ぼすかもしれない。そしてしばしばプロセスで使用している化学薬品中に存在するかもしれない。リストに記載されている元素はデバイスの品質性に対して高い影響を及ぼす可能性はあるが、プロセスで使用している化学薬品中に典型的に存在しない。

[T] 汚染レベルは時間をベースとしている( $\text{ng}/\text{cm}^2/\text{week}$ )。問題を引き起こすレチクル上の総汚染レベルもまた露光エネルギーにより変化する。これらの指標は現在発生している新しいデータの変更に従っている。

[U] この温度安定性の要求は液浸用の液体として UPW を使用した場合の液浸リソグラフィ装置のためであり、2005 年にいくつかの製造装置によって考案された実用的な要求に基づいている。UPW の温度変化の極大レートが主要プロセス装置において要求された安定な温度で装置に適切に供給されることを説明している。

[V] フトリソグラフィーの AMC の指標はリソグラフィ装置メーカーから入力された値に基づいている。すべてのフトリソグラフィ装置は装置内部の空気を清浄化するためにケミカルフィルターを搭載している。これらのフィルターは汚染物の吸着量に依存した寿命がある。化学的に清浄な環境を供給することはこれらのフィルターの寿命を延ばすことができるであろう。

[W] 他のクリティカルイオンはアンモニアと同様に  $\text{F}^-$ ,  $\text{Cl}^-$ ,  $\text{NO}_2^-$ ,  $\text{NO}_3^-$ ,  $\text{PO}_3^{2-}$ ,  $\text{Br}^-$ ,  $\text{SO}_4^{2-}$  のような無機イオンを含む。しかしながら、超純水中にこれらのイオンが 50ppt を上回る濃度の場合にプロセス上への影響があるという文献は現在まで見つからない。酢酸、ギ酸、プロピオン酸、クエン酸そしてシュウ酸のような有機系のイオンの有害なレベルもまた現在立証中である。

[X] CVD や ALD で使用される新規物質の変化はこれらのアプリケーションと同様に増加個し続けている。汚染の種類と

レベルは違った化学挙動によって幅広く変化する。そのため上記の典型的な新規物質の概要はリンクのプリカーサの

Table に示す。

## 解決策候補

### 歩留りモデルと装置許容欠陥数

1997年、1999年、2000年にSEMATECHが行った装置許容欠陥数に関する調査の結果が、2001、2003、2005年版の改定時に活用されている。装置許容欠陥数の適正化のためには、新たな調査が強く望まれる。今後に向けたモデル化への取り組みとして、より優れたモデル化技術の研究が必要である。シ歩留り習熟技術のエキスパートにとって、システムティック要因による歩留り(SMLY)が大きく注目すべき対象になってきた。これはSMLYが初期歩留り向上時の主要問題であり、その歩留り向上速度は加速され続けているという事実による。加えて、パラメトリック歩留りと設計/プロセスのミスマッチが初期の歩留り向上期における歩留り低迷を起こす傾向がある。さらには、最近ラインエッジラフネスによって引き起こされるプロセスばらつきが顕在化しつつある。次第に主流となって来た見えない欠陥(non-visual defect)が、歩留りモデルと装置許容欠陥数をより複雑なものにする。よって、欠陥モデルは電気的特性のモデル化を考慮し、外観検査などの観察技術による解析への偏重を低下させる必要があるだろう。これは、欠陥の新しい特徴評価装置や評価方法の研究を必要とする。配線プロセスには特別な課題があり、技術要求の中でもそのように認識されてきた。薄膜の膜質が歩留りに与える影響や、プロセスの複雑度の増大、信号伝播速度及び伝達特性、欠陥になるかどうか判らないようなレチクル欠陥の波長依存性の影響等のモデル化など、いくつかの問題が含まれている。この研究は、大学やその他研究機関の先端領域半導体試作能力の欠如により、複雑化している。Figure102に、将来の歩留りモデルへの技術的要求に対する助けになるかも知れないいくつかの解決策候補を示した。

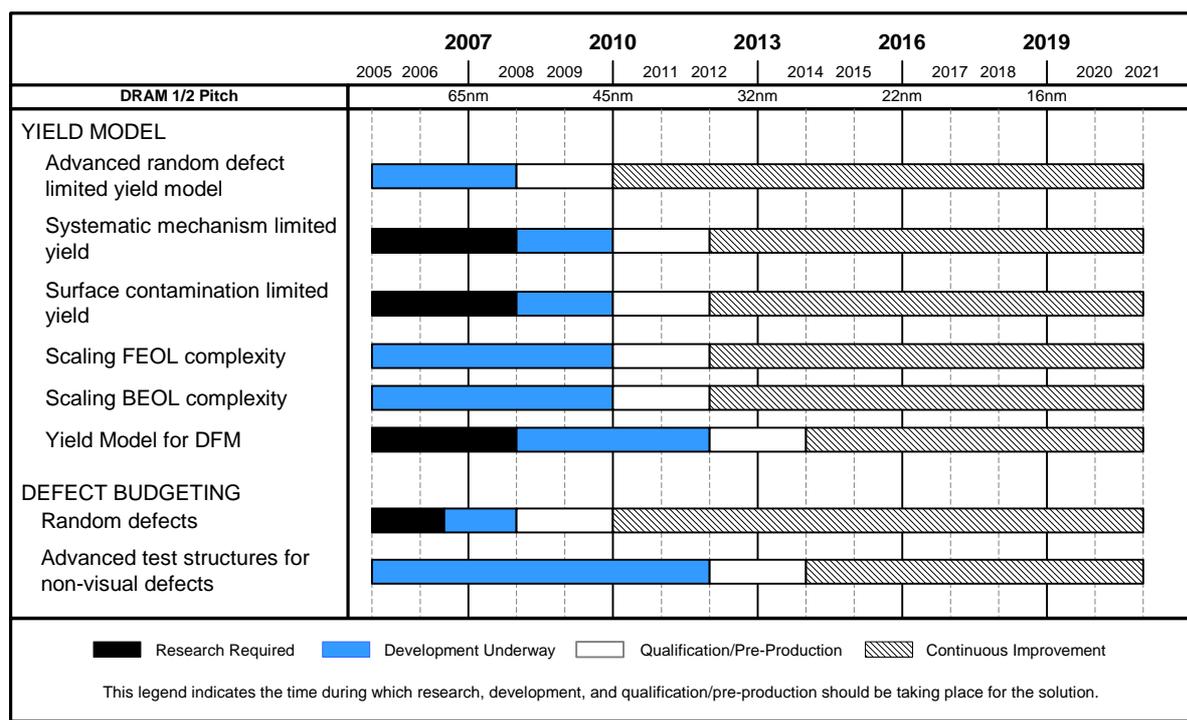


Figure 102 Yield Model and Defect Budget Potential Solutions

### 欠陥検出と特徴付け

欠陥検出装置に対する技術的要求を満たすためには、多大な研究と開発が今すぐに必要である。エッチング工程で形成された高アスペクト比(HAR; high aspect ratio)構造での検出(Figure78)は現在十分ではない。自動欠陥抽出のフィルタリング方法に着目して研究開発を行うべきである。主要なブレイクスルーとして、感度ロードマップにおける歩留り向上や量産段階でのスループットの要求値に到達することが要求されている。ウ

ウェーハ上のより大きなエリアからデータを並列処理で収集するために、配列検査スキームを研究する必要がある。

新たな検出システムの開発には適切な部品技術が不足している。経済的な光学技術の開発を継続するために、短波長化、連続波長レーザー、高い量子効率と高速捕捉、適当な低損失で低収差レンズ、波長板、偏光子、および安定した機械的、音響-光学走査装置が今すぐに必要である。

ロードマップで要求される感度を満たした上での歩留り立上げ時期および量産時期の目標処理能力を達成するためには大きなブレークスルーが要求されている。ウェーハ上の大面積領域からの並列データ取得のためにはアレイ検出が開発されるべきである。ソフトウェアのアルゴリズムの改良により SN 比を向上できれば、光学的検出技術を延命させることができるであろう。

解決策候補は、莫大な量の欠陥に関連した組成、形状、欠陥分類などに関するデータ、および、迅速な意志決定の必要性を含まなければならない(この領域における必要性についての補完的説明は次節の歩留り向上を参照)。自動欠陥分類、空間分布解析、動的サンプリング、歩留りへの影響評価、およびその他のアルゴリズム技術について、最大限の能力を発揮させるために、大幅に改善する必要がある。欠陥検出と特徴付けのための評価・解析装置はこれらの技術を分析するためにより多くの欠陥に関する情報を生み出すことが必要である。より小さい欠陥を検出するために感度を上げようとする課題は、分解能を上げるために特徴付けのためのプラットフォームをインラインに移した。処理能力と情報量のどちらを優先するかは重要な課題である。このため、欠陥検出は欠陥の発生源により近い所で行われている。欠陥検出機能をプロセス装置に集積するための開発は自動プロセス制御を導入するために加速する必要がある。

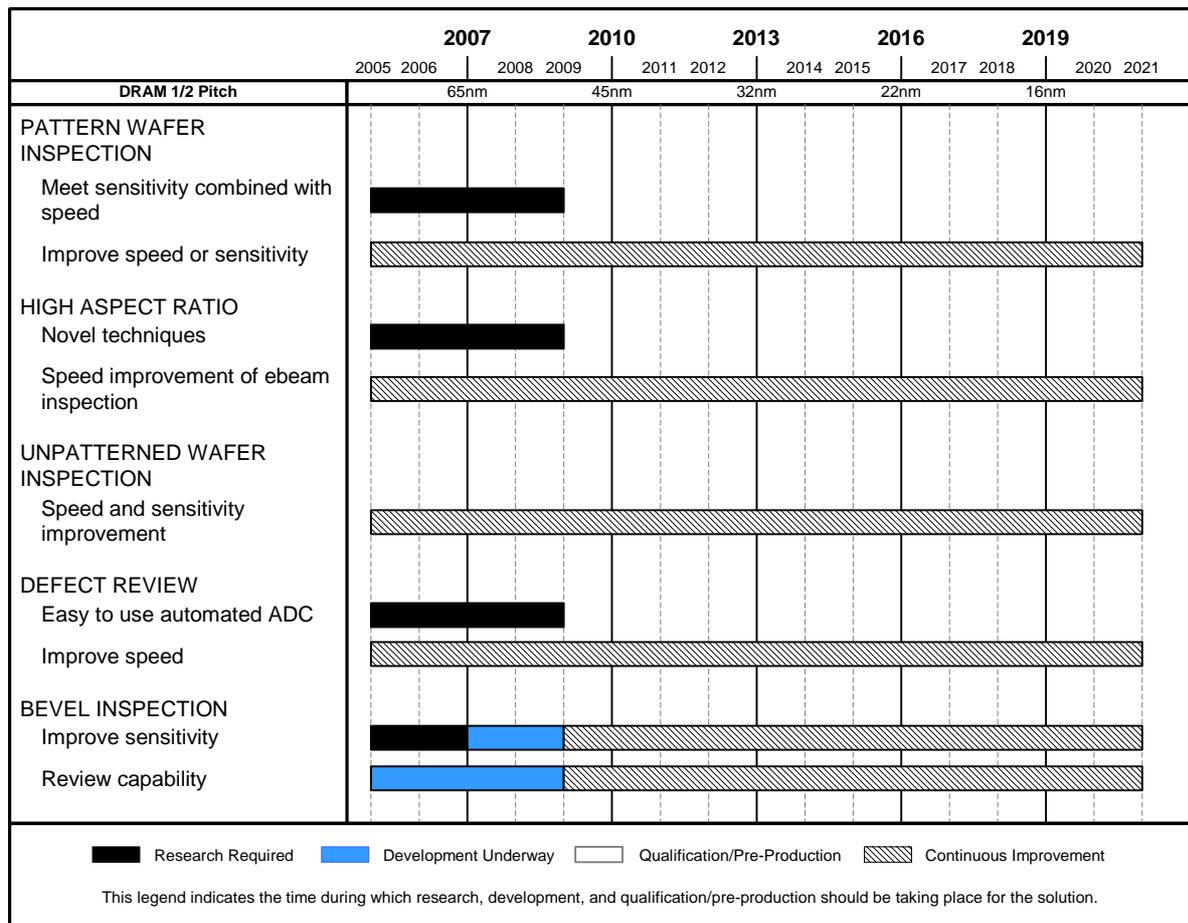


Figure 103 Defect Detection and Characterization Potential Solutions

## 歩留り習熟

歩留り習熟の技術要求の Table の yellow と red の領域で示されているように、最も高い着目が必要な二つの技術分野は、欠陥検出能力とその容量、及び迅速な欠陥／不良の原因究明である。デバイスメーカ、計測や IT 技術サプライヤ及び学界関係者等の利害関係者の間の協調的な努力が、迅速な歩留まり習熟に関係する欠陥検出能力とその容量に関する戦略的な計画を立案実行するために必要である。このような関係者の協調無くしては、欠陥管理と解析において多くの非効率が存在し続けるであろう。以下の歩留まり管理システムの所で、更なる解決策候補を示す。

これまで指摘してきたように、欠陥／不良原因がなければ歩留り習熟は受容される速度で改善が進むと期待できる。しかしながら、我々半導体工業の過去の技術移転の歴史を考えると、プロセス技術がプロセス R&D グループから生産ラインに手渡された後にも数多くの欠陥／不良原因が予想される。必要とされる歩留まり向上を時間内に達成する為には、以下の二つの方法がある:1)原因やメカニズムの究明が必要な新たな欠陥／不良の数を減らす、2)新たな欠陥／不良の原因やメカニズムの究明とその確定に要する時間を減らす。第一のアプローチは過半がそれぞれの企業に依存するが、第二のアプローチは迅速な欠陥／不良の原因究明のために、以下に示すような多くのツールや技術を必要とする。

さらに設計及び製造工程の継続的複雑さの増大に伴って、歩留りに影響を与える傾向や突発的な不良をタイムリーに検出して反応する能力には、パッシブデータへの大きな依存が必要となる。このことは、歩留まり習熟により最大の生産性と利益が得られる歩留り立上げ (yield ramp) 期において特に真実になる。パッシブデータとは、適切な抜き取り戦術によって製品からインラインで収集された欠陥、特性、APC パラメータ及び電氣的テストデータであると定義できる。短ループ試験のような実験のための時間的余裕は、将来の技術ノードでは簡単には手に入らないであろう。潜在的な問題の傾向づけや、プロセスの突発不良を明確にする為の時間への要求は、測定データに隠されている SN 比を最大にする様な抜き取り技術の開発を必要とする。歩留まり管理システム (YMS) の目標は、可能な限り少ない試料でプロセスの問題点を明確にすることである。製品の特性を製造プロセスに関連づけて把握する解析手法は、より強力な“信号”を提供し、様々なレベルのプロセス履歴や人間の経験 (学習した知識) のおかげで測定ノイズの影響を受けにくい。それ故に、歩留り習熟への解決策候補は、製品特性や装置の健康状態あるいはその他の in-situ プロセス状態測定から情報を生成する技術の開発をも含んでいる。... 時々、データ・マイニングとも呼ばれる、製品情報と製造プロセスとの相関付けの自動化手法もまた要求されている。新しい手法や技術をうまく統合する基本は、仮想的若しくは物理的に連結されたデータベース環境下でのデータのやり取りを促進する標準を要求することである。

## 見える欠陥 (Visible Defects)

見ることができる欠陥の原因をつきとめる装置 (光学方式あるいは SEM 方式による検出、そして欠陥レビュー、SSA, ADC, EDX, FIB (Focused Ion Beam)) はよく整備されているが、背景の擬似欠陥から真の欠陥を弁別するための十分な信号対雑音比を達成し、ますます小さくなっていく見える欠陥の元素組成を測定評価するために、新しい装置や手法が開発されなければならない。

## 見えない欠陥 (Non-visual Defects)

光学顕微鏡技術の先に、処理能力を犠牲にしないで高い分解能を提供できる適正価格の検査技術が必要である。見えない欠陥源をつきとめるために、電氣的不良解析 (EFA) と物理的不良解析 (PFA) の為の解析装置の分解能や技術が、改善されることが要求されている。90nm 以下の技術世代は、原子レベルの欠陥領域まで検出可能な拡張性のある不良解析技術の開発を要求している。さらに、個々の回路やトランジスタの特性評価、あるいはリーク経路を同定するために、内部回路用 DC マイクロプロービングの分解能が向上することが必要である。局所的な見えない欠陥をひきおこし得る、設計とプロセスの相互作用を研究してモデル化しなければならない。テスト容易化手法および診断容易化設計は、欠陥原因箇所を特定する能力を向上させるために、

これらのモデルを必要としている。

現在は、メモリアレイのテストチップやマイクロプロセッサ内のメモリアレイが、不良の迅速な特定に使用されている。この技術は、アレイ構成を持たないデバイスにも拡張可能である。将来の製品は、テスト工程で不良を特定出来る様に設計されなければならない。DFT や BIST は、不良個所特定の助けとなる手法である。DFT と BIST の双方共、不良個所を回路上に物理的に位置付け出来なければならない。正確な不良と欠陥の対応付けモデルも、不良個所特定に対する更なる補助の為に、開発される必要がある。他のテストプログラムは、予めモデル化された不良モード発生確率に基づいた解析が出来る様に、不良パターンの情報を保存出来なければならない。これらの全ての技術は、歩留まり向上技術者が、より迅速かつ正確に不良個所と回路誤動作の原因を特定する事を可能にする。

光学的近接効果補正 (OPC)、オルタネートや位相シフタのような技術のレチクルへの導入によって、欠陥に起因しない歩留り問題のポテンシャルが今後増えていくであろう。リソグラフィ工程のパターン形成及びエッチング工程の問題を把握し迅速に補正するために、計測された三次元の実形状を、設計に基づく仮想形状と比較するような新しい戦略や技術が必要になるであろう。光学干渉の技術、立体走査電子顕微鏡、そして高スループット原子間力顕微鏡などが、ウェーハ内の所望の場所の三次元形状を計測することが可能である(線幅測定を行う CD メトロロジーからの類推で)。これらの設計データから推定される参照形状をつくりだせる能力と統合された計測技術を用いることで、歩留りエンジニアは電気的なデバイス特性を決定づける物理的な形状の複雑な変化を見つけ出すことができる。ウェーハ内の複数点の計測を迅速に行い、推定された形状と比較する機能は、歩留りに影響を与える見えない形状に起因した構造的問題の習熟期間を改善するのに必須である。

### パラメトリック欠陥 (Parametric Defects)

テスタでの測定中により多くのパラメトリックデータを保存しておくことは、パラメトリック起因の欠陥の原因を突き止める助けになるであろう。この情報は、空間分布解析 (SSA) を含む各種の技術を使って、プロセスデータとの相関を可能とするであろう。"パラメトリック欠陥"を引き起こす可能性のある項目の確率をモデル化することで、原因まで遡るのに費やす時間を減らすこともできる。BIST (Built-In Self Test) 技術は、パラメータの変動やミスマッチによって起こるタイミング競合や他の不良モードを明確化出来る仕様で開発されるべきである。

### データ管理システム (Yield Management System)

以下の鍵となる分野が、次期 YMS の挑戦に適合する。

- データ/ファイルフォーマットと座標系の標準化
- YMS/WIP の統合
- データ収集、保管、記録と破棄についての YMS の方法論
- 先行的なツール/プロセス管理のための YMS

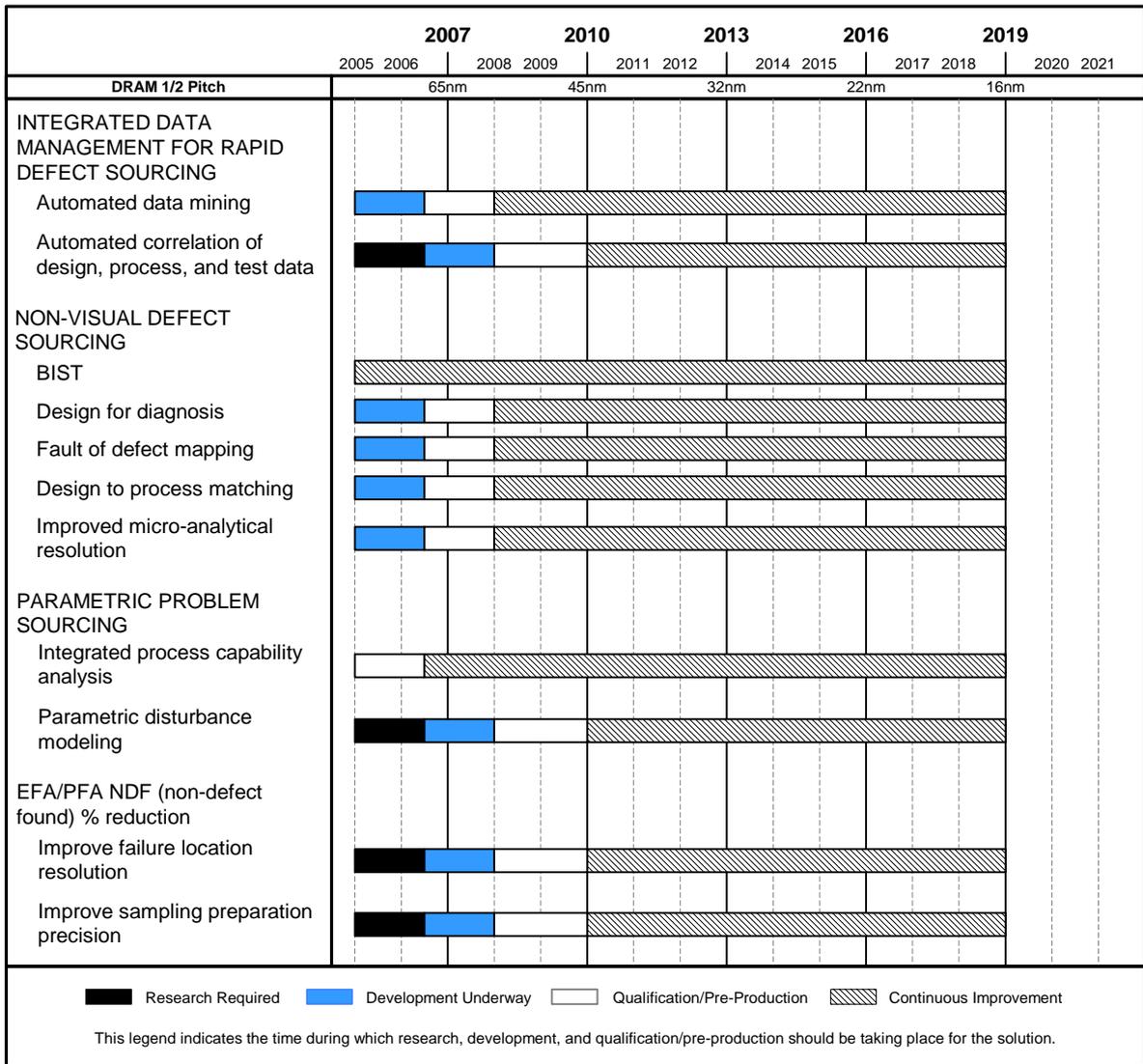


Figure 104 Yield Learning Potential Solutions

### ウェーハ環境汚染制御 (Wafer Environmental Contamination Control)

**プロセス装置** — プロセス装置内での欠陥を削減することは、欠陥密度の目標を達成するための最重要課題である。解決策と技術開発が今後 15 年間の主要な性能強化の可能性を提供し、90nm 以下のデバイスの低コスト大量生産の持続を可能にすると期待されている。Figure105 によれば、装置起因欠陥の目標は主として水平方向のスケーリングに基づいている。垂直方向の欠陥は、ゲートスタック構造や金属および見えない汚染、そしてパラメトリックな感度に適用される際に理解が必要となる。新しい洗浄剤やその場 (in-situ) チャンバーモニタリング法、材料の開発、そして部品洗浄の改善を含む技術により、処理毎のチャンバー清浄度の維持やチャンバーのウェット洗浄頻度の大幅削減が可能になる。これらの開発は装置稼働率向上に寄与するだろう。ウェーハ裏面汚染の削減要求が計測技術と装置の根本的な変化をもたらす。ウェーハ裏面から次のウェーハ表面への金属やパーティクルのクロスコンタミネーション、リソグラフィ工程におけるホットスポットや焦点深度そして静電チャックの突き抜けが、将来の装置に於いて対処を要する全ての問題となる。O リング材料の選定、ガスの流れや温度管理、ウェーハチャックの最適化などのパーティクルを回避するための技術が、欠陥密度の目標を達成するための大きな役割をになう。反応室での汚染形成、搬送、堆積物の基本的な理解を深めることが、現在の装置やプロセス設計を強化するのに必要であり、その場 (in-situ) センサーからのデータ解釈に役立てるために必要となる。これら基本的な物理、化学そしてプラズマ反応室の汚染モデルを採用すべきである。プロセス起因の欠陥を削減し、必要な検査を最小限にするために、その場 (in-situ) プロセス制御がますます重要となってくる装置における知的プロセス制御のためには、パラメータがデバイス性能にどのように影響するかという基本的な理解が必要である。知的プロセス制御のためには、使用者と装置供給者両者が、新しいセンサーと新しいソフトウェアを簡単に一体化できるような公開の装置制御システムが必要である。

**プロセスの重要な材料** — Figure105 に欠陥を防止し排除するための解決策が示されている。増大する純度への必要性を確認するためには、デバイスへの影響に対するさらなる研究が必要である。腐食の可能性のようなシステムの懸念のために、より高純度を追求するというプロセスの懸念を引き出すかもしれない。

新たな材料を内蔵するプロセスの歩留向上を加速するためには、研究開発には実用的な純度データを含めることが望ましい。ゲート絶縁膜のような新材料の研究は、初め基本的なプロセス性能に関心をもたれるが、その後は集積の問題となる。そのような開発段階では、汚染に対する関心は比較的小さい。しかし、情報を集めなければ、その後の歩留向上の努力は不適切な技術基盤を基に進められることになる。収集や報告する環境や材料の汚染のデータが実用的であれば、長期的に見て大きな価値をもつ。

**超純水** — 仕様を満足する超純水システムであれば、現在のデバイス構造に対する大きな欠陥要因とはならない。このことに基づいて、ロードマップでは将来の構造に対しても大きな変更は必要ないと予測している。ロードマップの優先順位としては、重要な変更を促すためには、超純水に関係する具体的な欠陥発生メカニズムが必要となる。現在の焦点は、装置が水質、特にパーティクル、バクテリア、溶存ガスに与える影響を理解すること、そして純水中に存在すると考えられるが利用できる分析手法の検出下限以下の物質を特定することである。超純水中の低レベルの汚染を特定する有機物や有機イオンの測定方法の改善が必要である。再利用や再生の取組みが、短時間のオンライン分析技術、特に POU での再利用超純水が、再生しない超純水と同等かまたは高純度であることを確認するための有機物の検出技術の改良をもたらすだろう。

**化学薬品** — Figure105 に、ウェーハ製造プロセスに輸送される薬品の純度を高めたり測定するための様々な技術分野を示す。

**ウェーハ環境制御** — 制御すべき雰囲気汚染のリストが増えるとともに、測定能力も増強しなくてはならない。手頃な価格で正確、再現性がありリアルタイムで検出できるパーティクル汚染の無いセンサーがますます必要になってくる。プロセスの敏感性が増すとともに、ウェーハを搬送したり保管したりするための不活性雰囲気の使用が増えてくると考えられる。ゲート酸化前やコンタクト形成前の洗浄、サリサイドーションがこの性能を初め

に必要とするプロセスとして挙げられる。それに加えて、不活性雰囲気を使うことにより真空ロードロック装置への水分の持込を低減でき、汚染やロードロックの真空引き時間を削減できる。密閉のパージシステムが既にありまた発展している一方、洗浄装置のように不活性雰囲気が必要とされる装置には困難な課題がある。ウェーハ隔離技術が発展するにつれ、キャリアや容器の設計や材料選定が、ウェーハを環境から隔離する上で、また、汚染そのものを出さないという点で非常に重要になる。加えて、材料や設計がプロセス間のクロスコンタミネーションを促進してはならない。密封技術や低アウトガスで吸着のない材料の開発が、効果的なウェーハやレチクルの隔離配置にとって鍵となる。

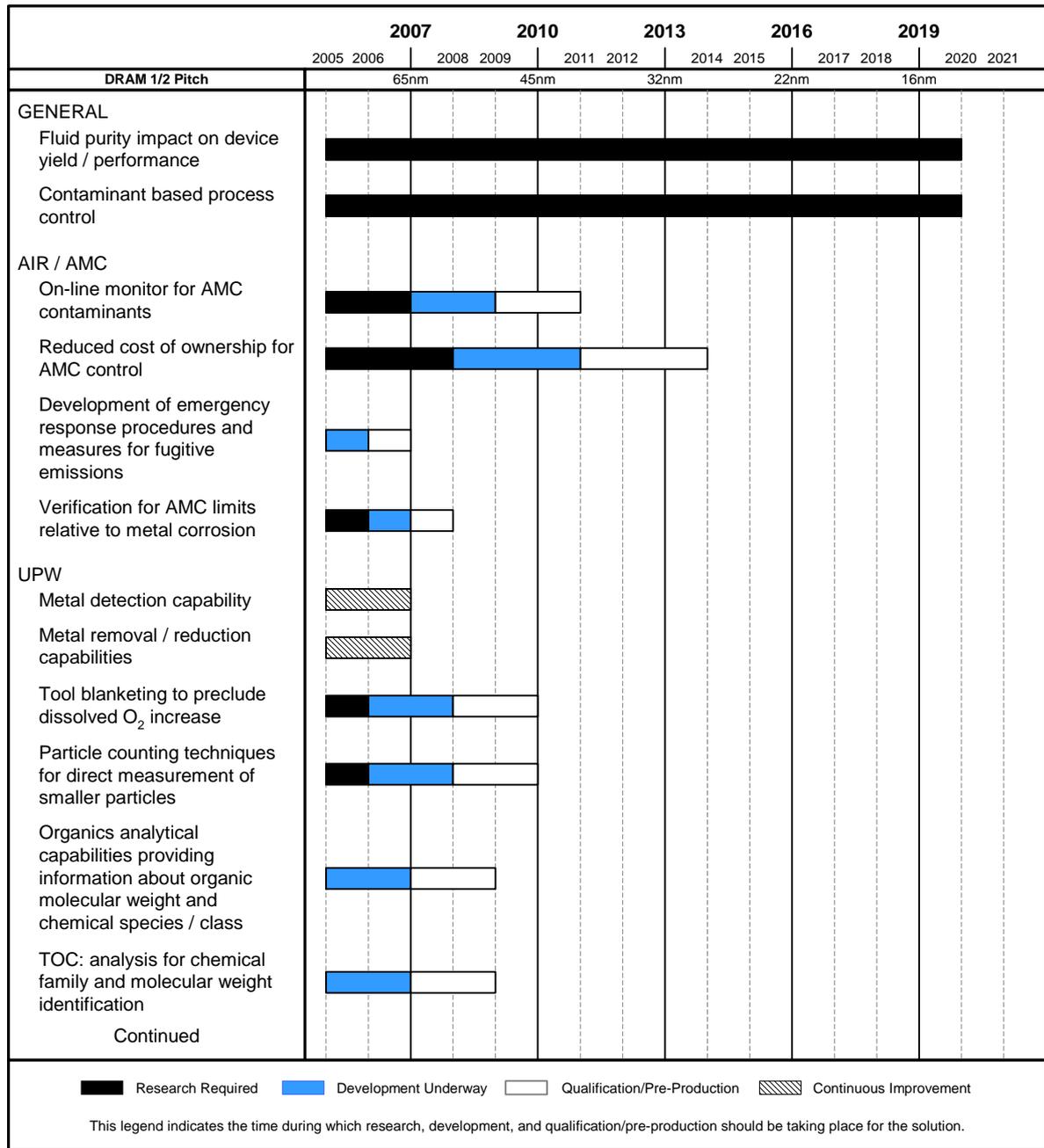


Figure 105 Wafer Environmental and Contamination Control Potential Solutions

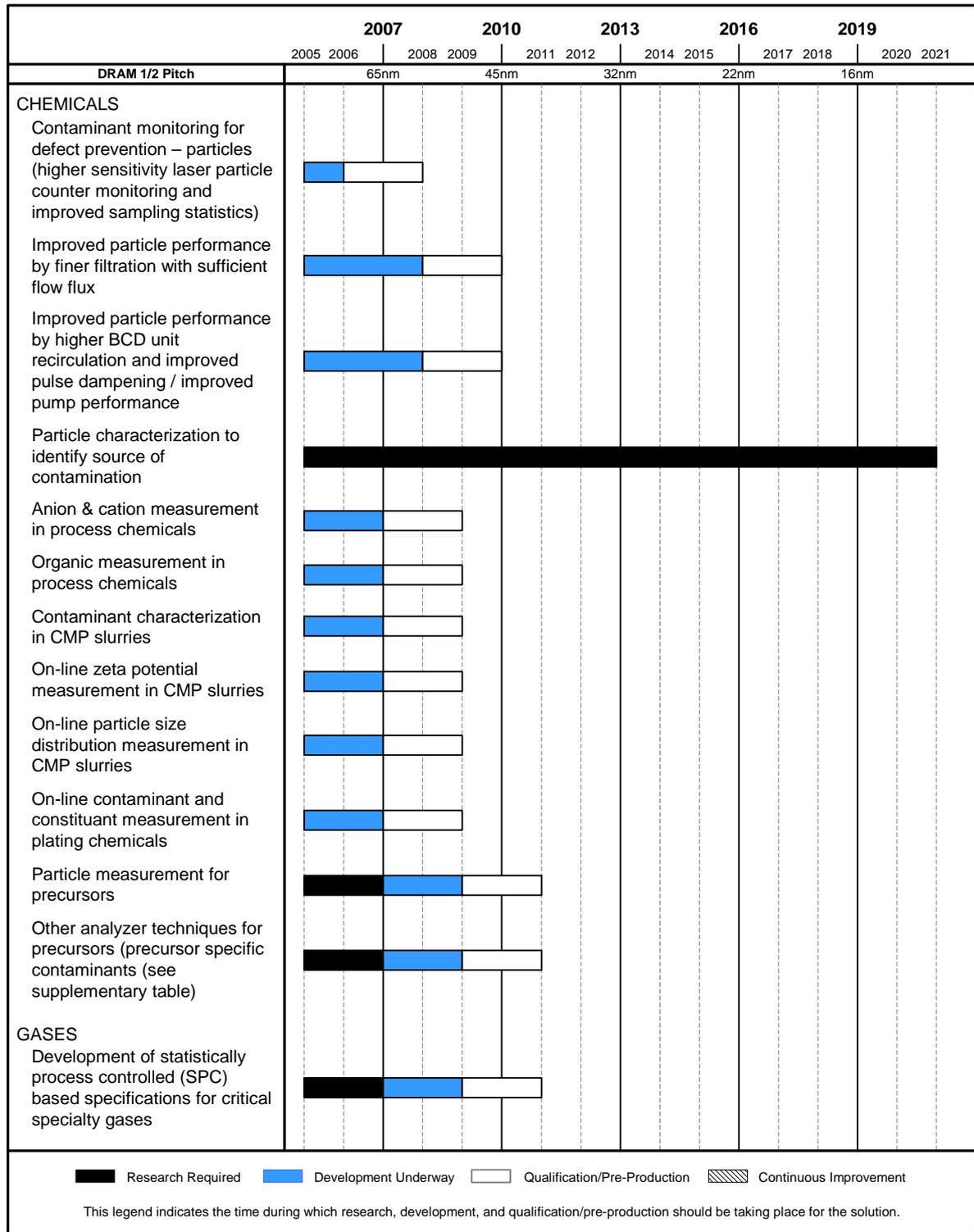


Figure 105 Wafer Environmental and Contamination Control Potential Solutions (continued)