

ITRS 2005 Editionの概要

注意

この資料はITRS 2005 Edition の概要をわかりやすくお伝えするため、ITRS 2005 Editionの本文、ITRSのソウル会議(2005年12月開催)での記者会見資料、ITRS Public Conferenceでの発表資料などをもとにSTRJが抜粋・編集したものです。ITRS 2005 Editionの内容を網羅することができておりませんし、重要な改訂点でこの資料で取り上げていないものも多くあります。あらかじめご了承ください。

2006年1月10日

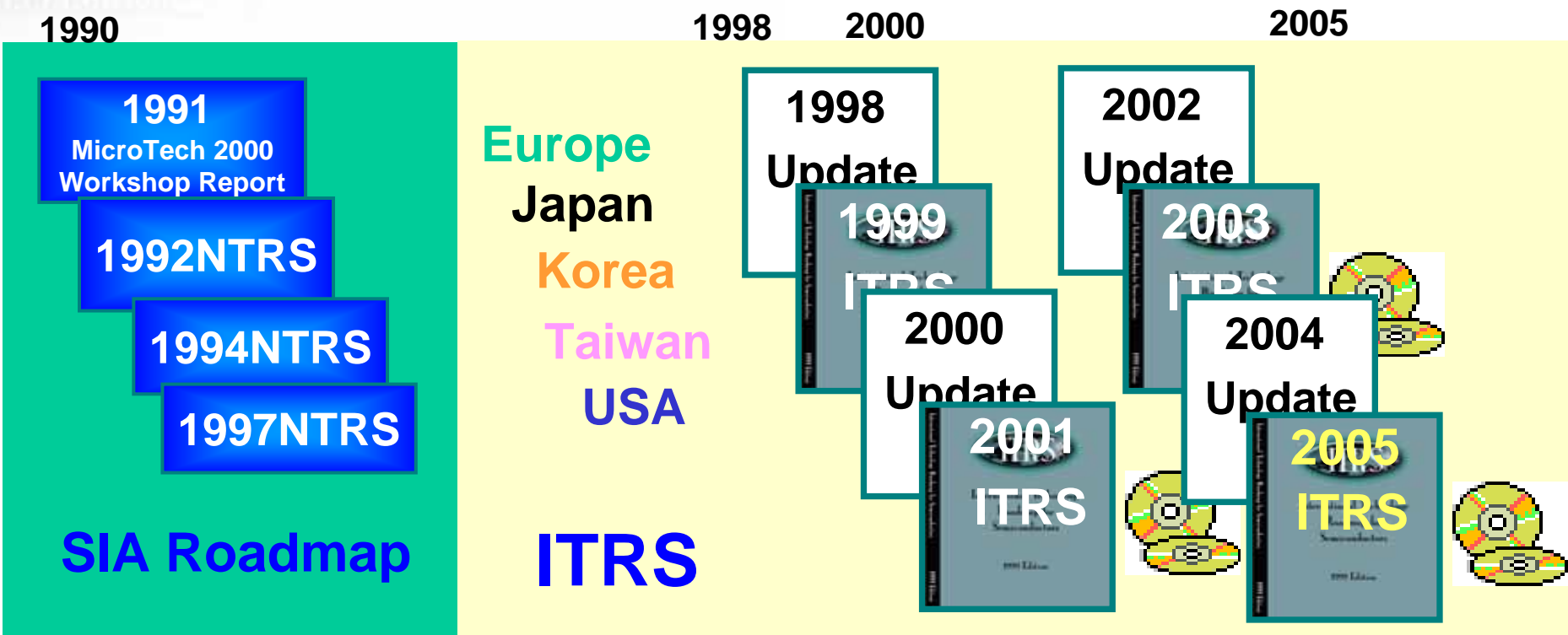
JEITA半導体技術ロードマップ委員会(STRJ)

委員長 石内秀美



目次

- はじめに
- ITRS 2005 Editionの概要
 - 主要トピックス
 - 微細化トレンド
 - リソグラフィーツール
 - High-kゲート絶縁膜導入時期
 - MOSトランジスタにおけるパラレルパス
 - 450mm ウェーハについて
 - More Moore と More than Moore
- 補足資料



1 技術ノード

- (1) 技術ノード (Technology Node) を表のヘッダからはずす。
- (2) DRAM, NAND型Flashメモリ, MPU/ASICで別々のロードマップ
- (3) NAND型Flashメモリがもっとも厳しいルール(ハーフピッチ)を使う

2 フロントエンドプロセス FEP

450mmウェーハの導入は2012年。

3 リソグラフィー

ArF液浸リソグラフィーが次世代のツールとして最有力。その次はEUV。
F2リソグラフィー、EPL、PELは候補から外れる。

4 プロセスとデバイスインテグレーション PIDS

- (1) 用途別にプロセスの選択が多様化するという、“parallel path”の考え方を取り込む。同一のデザインルールでも複数の製造プロセスが共存する
- (2) High-k(高誘電率)ゲート絶縁膜材料の導入は2008年に延期

5 Emerging Research Devices (ERD、新探究デバイス)

独立の章となる。技術候補を入替。Non Classical CMOSはPIDS章で記述。

6 More MooreとMore than Moore

微細化(More Moore)とともに、多様化(More than Moore)の視点に言及

ITRS 2003年版:

DRAMのハーフピッチをTechnology Nodeの代表値とする。
各Tableのヘッダーにこの値を記載

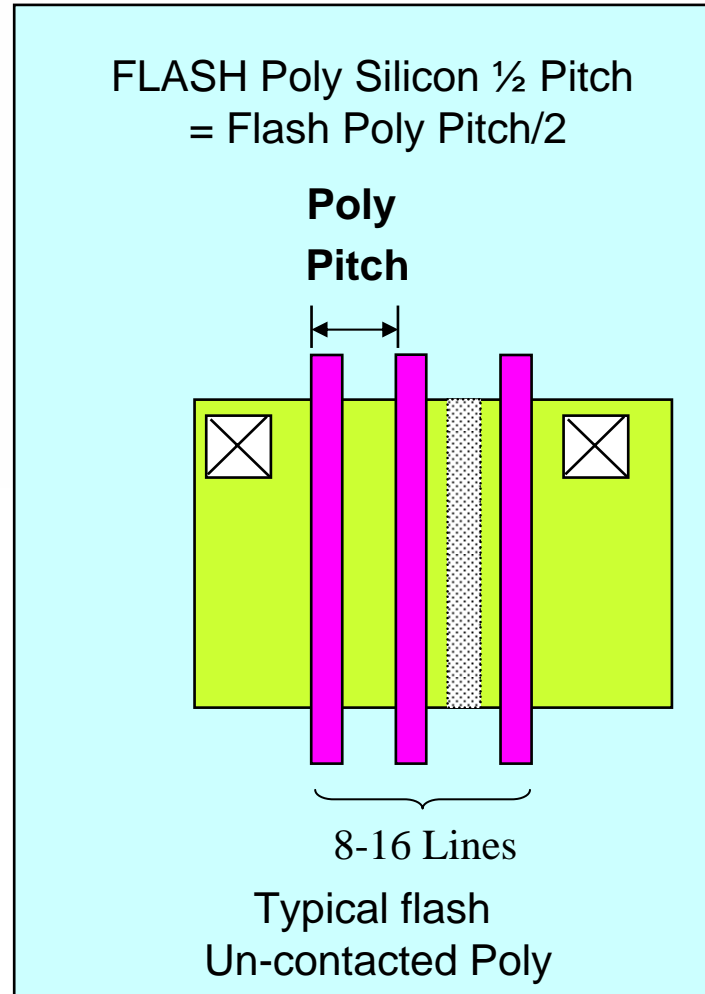
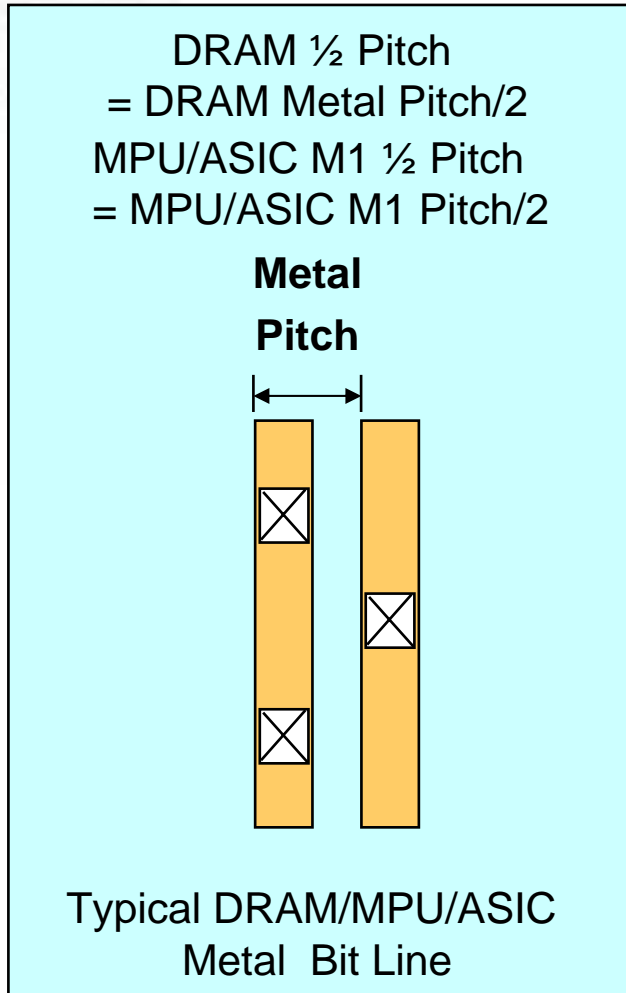
<i>Year of Production</i>	<u>2002</u> <i>[Actual]</i>	2003	<u>2004</u>	2006	<u>2007</u>	2009	<u>2010</u>	2012	<u>2013</u>	2015	<u>2016</u>	2018
<i>Technology Node (nm)</i>	<i>hp130</i>		<i>hp90</i>		<i>hp65</i>		<i>hp45</i>		<i>hp32</i>		<i>hp22</i>	



Source: 2003 ITRS - Exec. Summary

* Cycle Time = one-half of the time to reach a technology trend reduction to 0.5x

Half Pitchの定義 (ITRS 2005)



ITRS 2005年版: DRAM, Flash, MPUのハーピッチを各Tableのヘッダーに記載

Year of Production	<u>2000</u> [Actual]	2001	<u>2002</u> [Actual]	2003	<u>2004</u>	2005	2006		2008	2009		2012		2015		2018		2020		
Technology - Contacted M1 H-P (nm)	180	151	130	107	90	80	71		65	57	50		45		32		22		16	14

2-Year Technology Cycle
['98-'04]

3-Year Technology Cycle

2005 ITRS Flash Poly Half-Pitch Technology: 2.0-year cycle until 1yr ahead of DRAM @65nm/'06

Year of Production	<u>2000</u> [Actual]	2001	<u>2002</u> [Actual]	2003	<u>2004</u>	2005			2008		2010		2013		2016		2019	2020		
Technology - Uncontacted Poly H-P (nm)	180	151	130	107	90	76			65	57	50		45		32		22		16	13

2-Year Technology Cycle ['98-'06]

3-Year Technology Cycle

2005 ITRS MPU M1 Half-Pitch Technology: 2.5-year cycle; then equal DRAM @45nm/2010

Year of Production	<u>2000</u>	2001	<u>2002</u> [July'02]	2003	2004	<u>2005</u>	2006	2007	<u>2008</u> [July'08]	2009		2012		2015		2018		2020	
Technology - Contacted M1 H-P (nm)	180	157	136 [130]	119	103	90	78	68 [65]	59	52		45		32		22		16	14

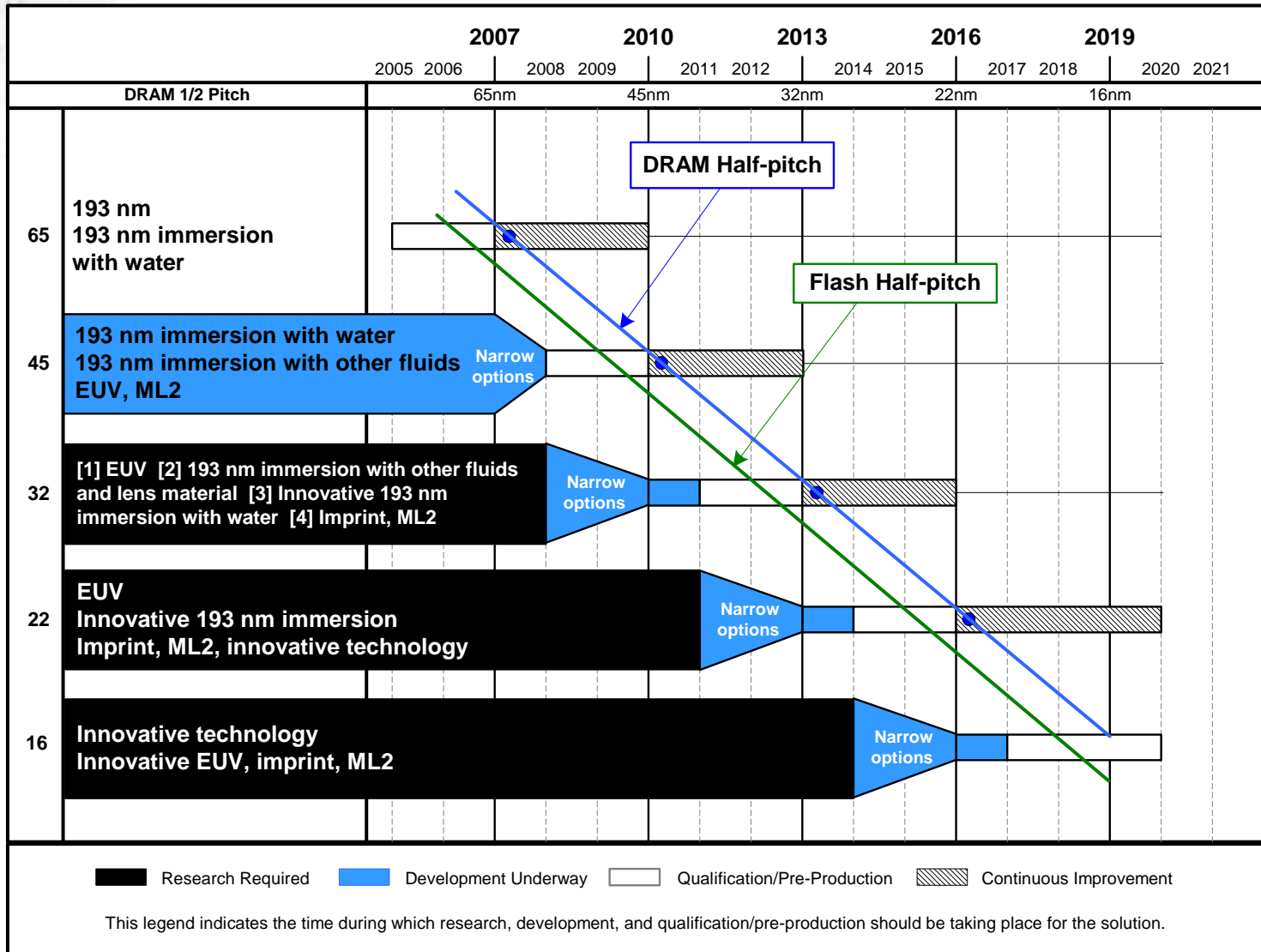
3-2-Yr Cycle]

2.5-Year Technology Cycle

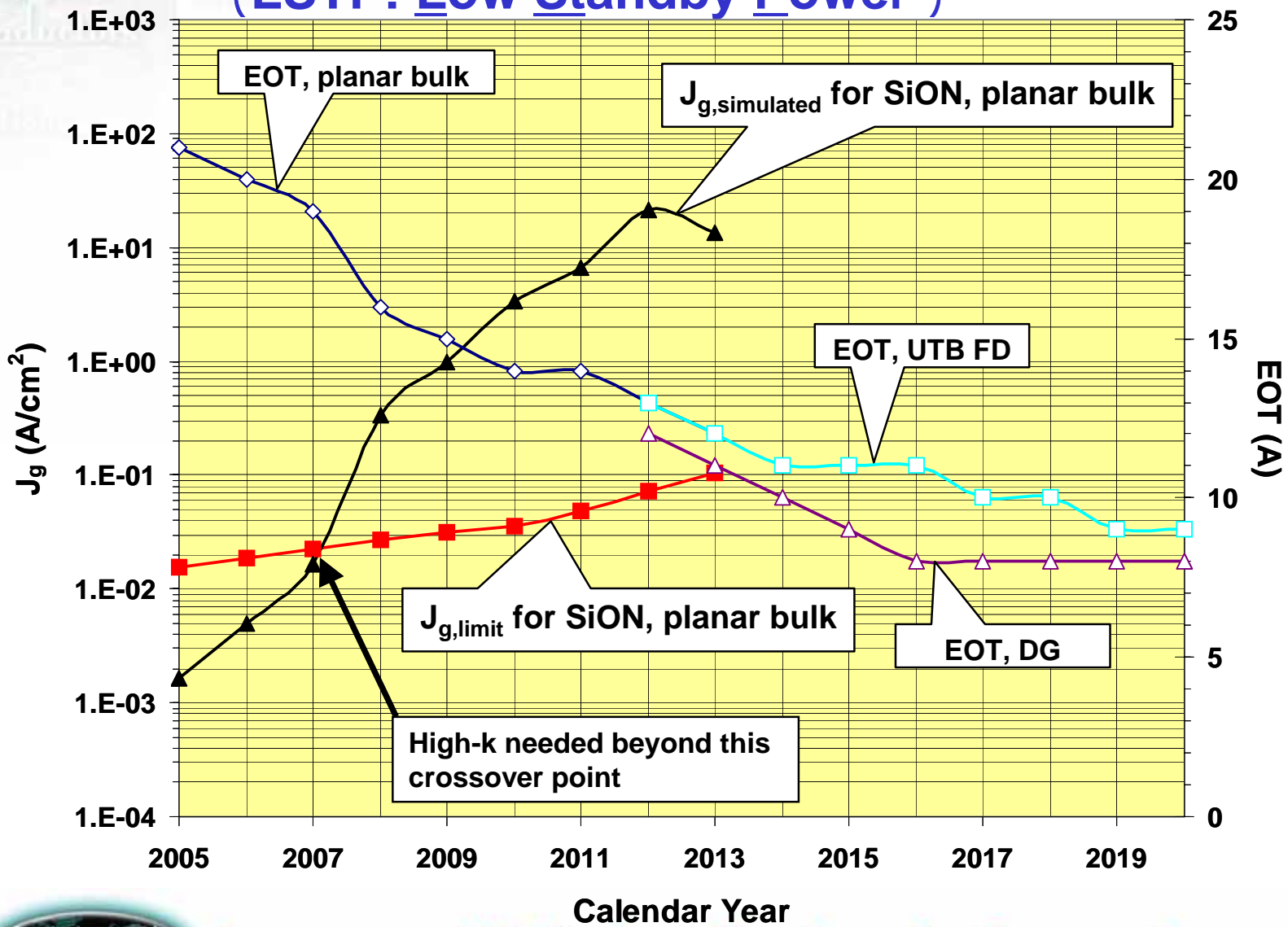
3-Year Technology Cycle

Note: Faster introduction of half-poly pitch from Flash is expected; Doubling of transistors every 2 years from MPU/ASIC is expected

リソグラフィのロードマップ

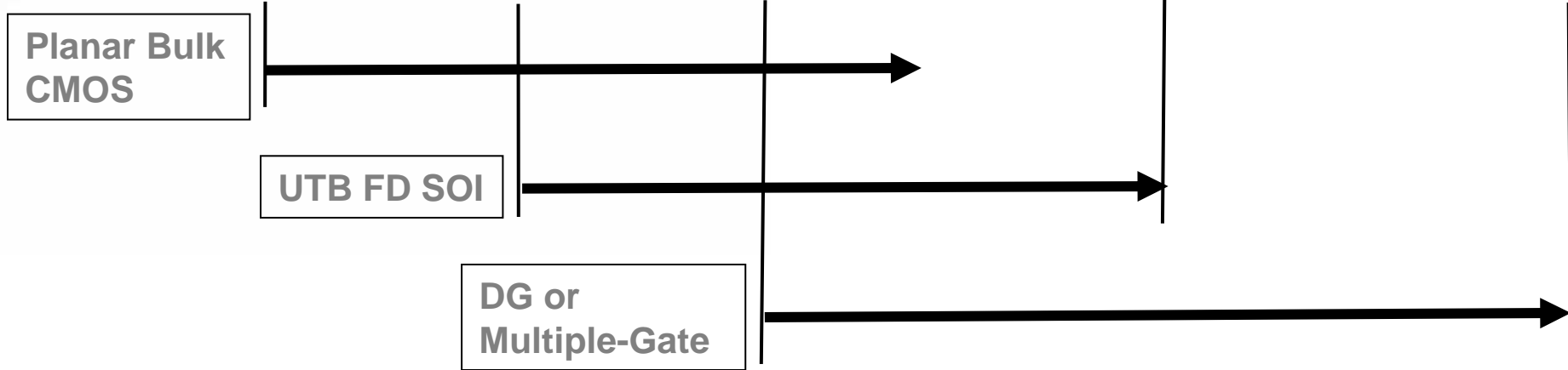


High-kゲート絶縁膜材料の導入時期は2008年以降 (LSTP: Low Standby Power)



Multiple Parallel Paths (High Performance Logicの例)

Year in Production		2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020
Physical Lgate (High Performance)	nm	32	28	25	22	20	18	16	14	13	11	10	9	8	7	6	5



Multiple parallel paths reflects most likely scenario:

- Some companies will extend planar bulk CMOS as long as possible
- Others will switch to FDSOI and/or multiple gate earlier
- Ultimate MOSFET is multiple gate
- Similar multiple paths for low-power logic

Multiple Parallel Paths (LSTPの例)

Year in Production	Units	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2017	2018	2019	2020
Technology Generation				lstp65			lstp45			lstp32			lstp22				lstp16	
# of years since 2005		0	1	2	3	4	5	6	7	8	9	10	11	12	12	13	14	15
Physical Lgate (Low-Standby-Power) (Bulk & DG)	nm	65	53	45	37	32	28	25	22	20	18	16	14	13	13	12	11	10
Physical Lgate (Low-Standby-Power) (FD)	nm								22	20	18	17	16	15	15	14	13	12

[FDSOI = Fully Depleted, Ultra-thin Body SOI]

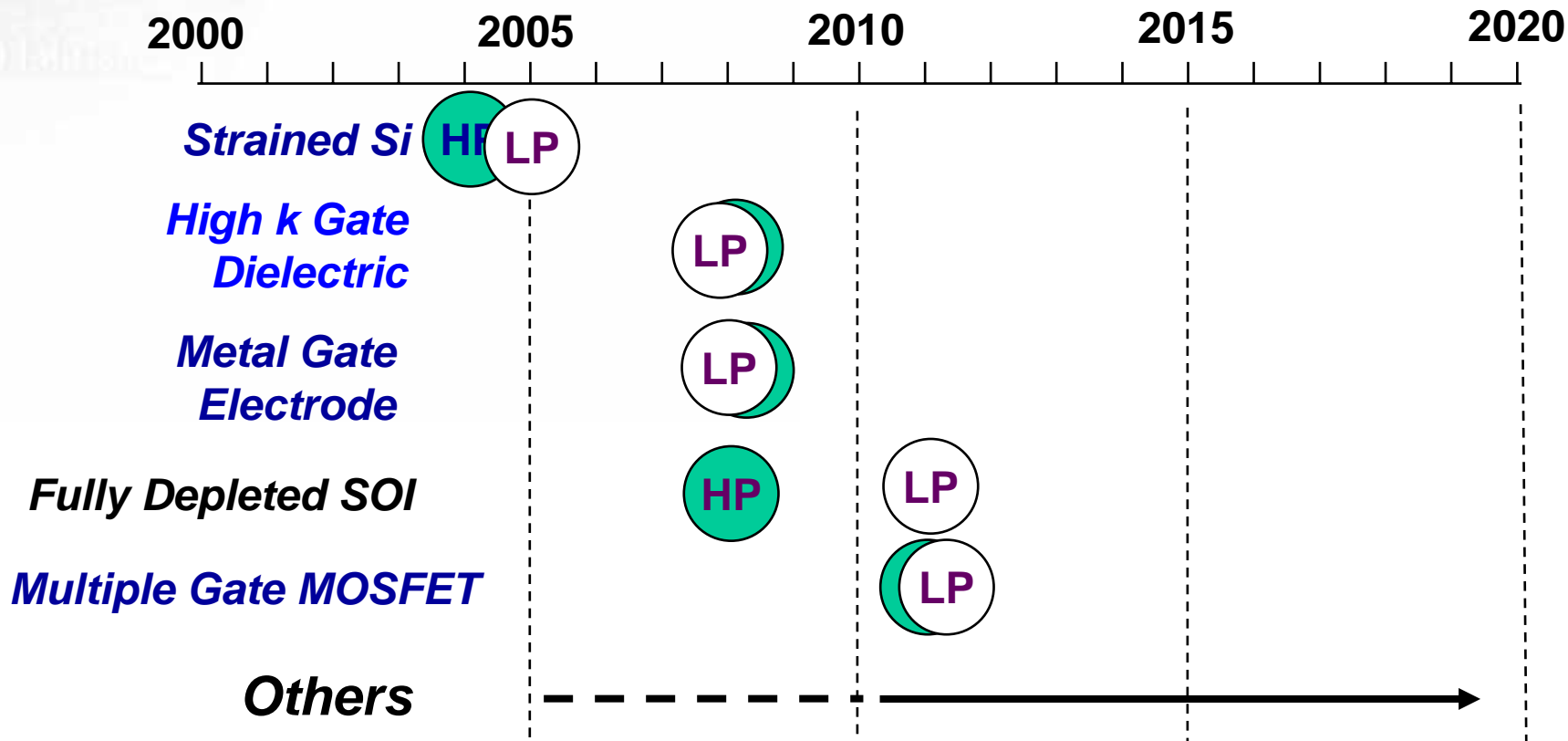
[MG = Multiple Gate (e.g., FinFET)]

- Approach**
- Extend planar bulk as long as possible
 - Implement FDSOI and MG in parallel
 - Slowed Lg scaling for FDSOI in latter years

MOSトランジスタへの新技術導入: 2008年に複数の技術導入

The “CMOS Change Crunch” Multiple, Big Changes Over Next 7 Years

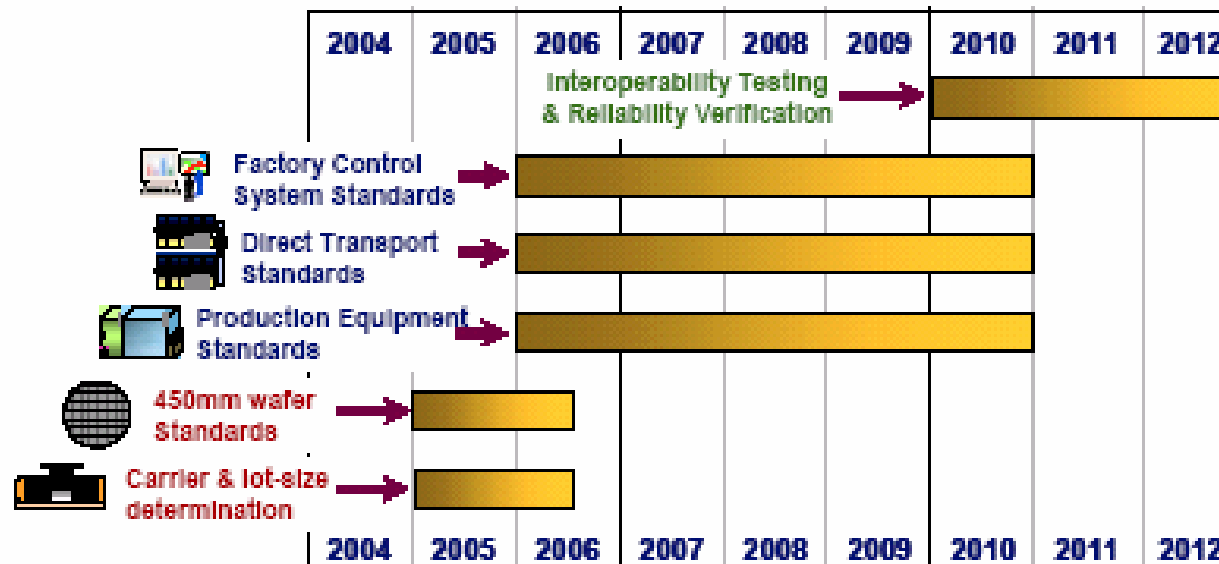
First Year of “Volume Production”



Driver: = High Performance Applications = Low Power Applications

450mm: 導入する際の課題を検討すべき時期

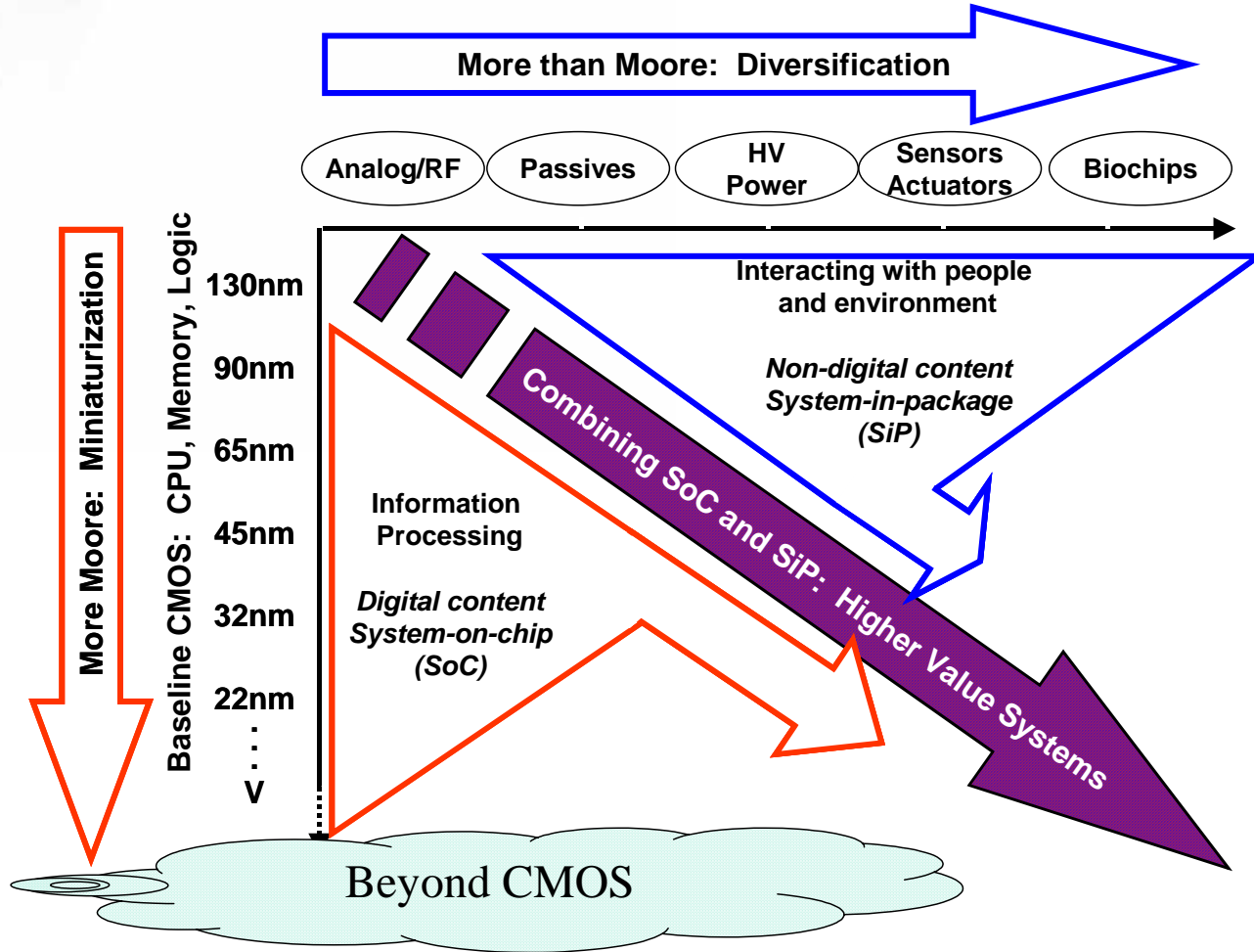
ITRS: 2012年から450mmウエハが、量産工場で利用開始



**J. Pettinato et al.
(ISSM2004より引用)**

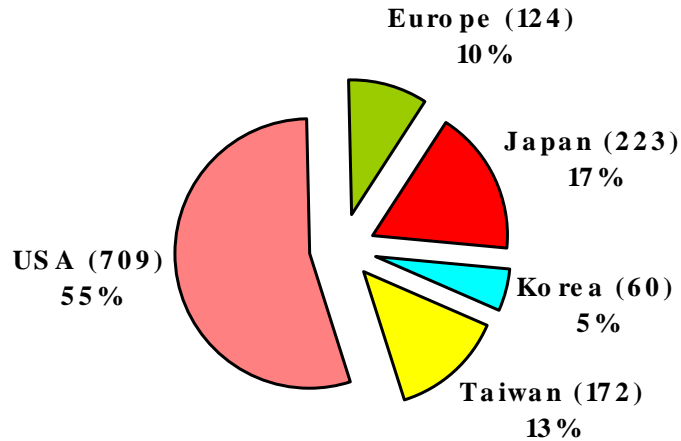
Figure 1. Proposed 450mm Wafer Transition Timeline.

Moore's Law & More

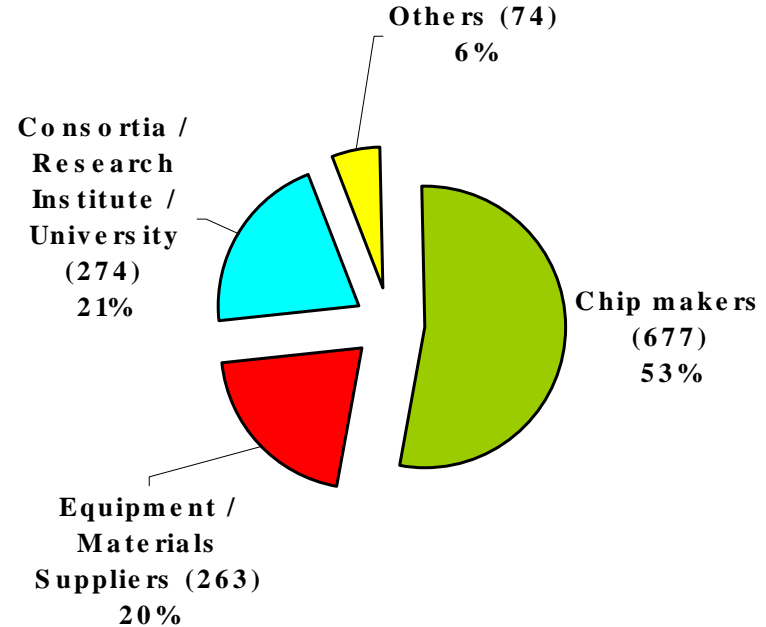


補足資料

2005 ITRS Members by Region



2005 ITRS Members by Affiliation



地域別

所属組織別

1. *Executive Summary*
 - *Introduction*
 - *Grand Challenges*
 - *What is New for 2005 --- the Working Group Summaries*
 - *Overall Roadmap Technology Characteristics*
 - *Glossary*
2. *System Drivers*
3. *Design*
4. *Test and Test Equipment*
5. *Process Integration, Devices, and Structures*
6. *RF and Analog/Mixed-Signal Technologies for Wireless Communications*
7. *Emerging Research Devices*
8. *Front End Processes*
9. *Lithography*
10. *Interconnect*
11. *Factory Integration*
12. *Assembly and Packaging*
13. *Environment, Safety, and Health*
14. *Yield Enhancement*
15. *Metrology*
16. *Modeling and Simulation*

青字：新しく独立した章



さらに詳しい資料については下記を参照願います

- ITRSの公式ホームページ
 - <http://public.itrs.net/>
 - ITRS 2005 Editionはじめ、ITRSの最新情報
- JEITAのロードマップのホームページ
 - <http://strj-jeita.elisasp.net/strj/index.htm>
 - ITRS 2003, 2001, 1999の日本語訳
 - ITRSの過去の版(英文)
 - STRJ(半導体技術ロードマップ専門委員会)の活動情報

