

# ITRS 2005 Edition (国際半導体技術ロードマップ2005年版) の概要

## はじめに

ITRS (International Technology Roadmap for Semiconductors、国際半導体技術ロードマップ) は、欧州、日本、韓国、台湾、米国の世界5極の専門家が半導体技術のロードマップをまとめたものです。

日本では、(社)電子情報技術産業協会 (JEITA) に半導体技術ロードマップ専門委員会 (STRJ) が設置されており、この場における議論と検討結果はITRSの編集に反映されています。半導体技術の急速な進歩に対応するため、ITRSは2年に1度のペースで全面書き下ろし版を公表し、2005年版はこれにあたります。その中間年で、改訂版 (改訂部分のみをまとめた資料) を公表することになっています。

2005年の12月12日と13日の2日間にわたり、ITRSのソウル会議が開催され、内容を確定するとともに、その概要について記者会見で発表しました。ITRS 2005の全文はウェブ上で公開されています。ITRSまたはSTRJのウェブサイトを参照してください。

<http://public.itrs.net/>

<http://strj-jeita.elisasp.net/strj/>

## 微細化トレンド

ITRSの以前の版では、DRAMの最下層金属配線のハーフピッチ (ピッチの半分) をその時点での技術を代表するものとして、テクノロジーノードという表現を使ってきました。ITRS 2005年版では、この表現を使わないこととし、DRAM、NAND型フラッシュメモリ、MPU/ASICなどのロジック製品群に使われるハーフピッチを、それぞれ明示することとしました。2005年以降、NAND型フラッシュメモリのPoly-SiのハーフピッチがDRAMのハーフピッチより小さくなり、一律に何nmノードと表現するのは適切ではないと判断したためです。

図1と表1に示すように、DRAMのハーフピッチは2004年の90nmを基点として、3年毎に0.7倍のペースで微細化が進むとしています。NAND型フラッシュメモリの微細化については、2004年の90nmを基点として、2006年までは2年で0.7倍のペースで、2006年以後は3年で0.7倍のペースで縮小していくものとしています。

MPU/ASICなどのロジック集積回路のテクノロジーノードの呼称については、各社のプレスリリースや学

会発表で使われているもの (仮に、「ロジックノード」と呼ぶことにする) はいままでのITRSの定義と異なりましたが、両者とも「ノード」という表現を使っていたため、混乱を与えていました。「ロジックノード」の65nm、45nm、32nmは、ITRS 2005の表では、概ね2005年、2007年、2009年に相当します。

ITRS 2005では「テクノロジーノード」という表現を使わないことにしたため、「ロジックノード」との混同が軽減されることを期待しています。

図1の「テクノロジーサイクル」は、デザインルールが0.7倍になるまでにかかる期間として定義されています。新世代の製品が何年毎に発売されるかを示している訳ではありません。

2005 ('05-'20) ITRS Technology Trends DRAM M1 Half-Pitch : 3-year cycle

Year of Production	2000 [Actual]	2001	2002 [Actual]	2003	2004	2005	2006	2007	2008	2009	2010	2012	2013	2015	2016	2018	2019	20
Technology - Contacted M1 H-P (nm)	180	151	130	107	90	80	71	65	57	50	45	32	22	16	14			



2005 ITRS Flash Poly Half-Pitch Technology: 2.0-year cycle until 1yr ahead of DRAM @65nm/06

Year of Production	2000 [Actual]	2001	2002 [Actual]	2003	2004	2005	2006	2007	2008	2009	2010	2012	2013	2015	2016	2018	2019	2020
Technology - Uncontacted Poly H-P (nm)	180	151	130	107	90	76	65	57	50	45	32	22	16	13				



2005 ITRS MPU M1 Half-Pitch Technology: 2.5-year cycle; then equal DRAM @45nm/2010

Year of Production	2000	2001	2002	2003	2004	2005	2006	2007	2008	2009	2010	2012	2013	2015	2016	2018	2019	2020
Technology - Contacted M1 H-P (nm)	180	157	136 [130]	119 [110]	103	90	78	68 [65]	59	52	45	32	22	16	14			



Note: Faster introduction of half-poly pitch from Flash is expected; Doubling of transistors every 2 years from MPU/ASIC is expected

図1. ITRS 2005による微細化トレンド

(社) 電子情報技術産業協会 半導体技術ロードマップ専門委員会 委員長

石内 秀美

(株) 東芝 セミコンダクター社 SoC研究開発センター 高性能CMOSデバイス技術開発部 部長

生産開始年	2005	2006	2007	2008	2009	2010	2011	2012
DRAM Metal 1ハーフピッチ (nm)	80	70	65	57	50	45	40	36
MPU/ASIC Metal 1ハーフピッチ (nm)	90	78	68	59	52	45	40	36
Flashメモリ Poly-Siハーフピッチ (nm)	78	64	57	51	45	40	36	32
MPU リソグラフィー後のゲート長 (nm)	54	48	42	38	34	30	27	24
MPU 物理的ゲート長 (nm)	32	28	25	23	20	18	16	14

生産開始年	2013	2014	2015	2016	2017	2018	2019	2020
DRAM Metal 1ハーフピッチ (nm)	32	28	25	22	20	18	16	14
MPU/ASIC Metal 1ハーフピッチ (nm)	32	28	25	22	20	18	16	14
Flashメモリ Poly-Siハーフピッチ (nm)	28	25	23	20	18	16	14	13
MPU リソグラフィー後のゲート長 (nm)	21	19	17	15	13	12	11	9
MPU 物理的ゲート長 (nm)	13	11	10	9	8	7	6	6

表 1. ITRS 2005年版にみる微細化トレンド (ITRS 2005のTable Bを引用)

ハーフピッチは、図2のように定義されています。以前の定義では、DRAMとMPU/ASICのハーフピッチの定義が異なりましたが、今回の版では、両者で同様の定義を使うこととしました。NAND型フラッシュメモリにおいては、セルアレイ内でのPoly-Siのワード線のハーフピッチが重要であり、これをハーフ

ピッチの定義としています。

図3に示すように、先行2社の生産数量が月産1万個を超えた年として、生産開始年を定義しています。これは従来の定義と同じです。

ITRSの各種の表は、生産開始年ベースで作成しています。新世代の半導体集積回路開発のためには、生産開始年以前に、試作のための製造装置が必要となります。また、量産開始年の2年程度前から、新世代の半導体集積回路の試作結果が、学会などで発表され始めますが、これはITRSの表と矛盾するものではありません。これも従来の定義と同じです。

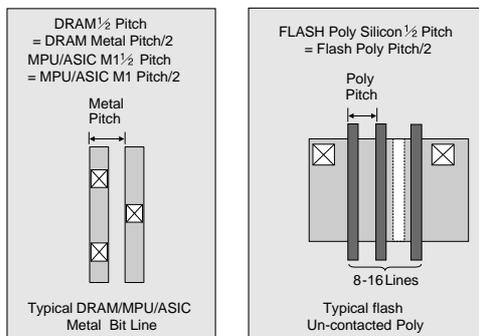


図 2. ハーフピッチの定義

### リソグラフィ

193nm波長 (ArFエキシマレーザの波長) のドライまたは液浸リソグラフィ技術が、ハーフピッチ65nm、45nmのパターン形成に使われ、32nm、22nmでも使用される可能性があります。157nm波長 (F<sub>2</sub>エキシマレーザの波長) のリソグラフィ技術、EPL、PELの各技術は、候補技術から外れました。

EUVリソグラフィは、ハーフピッチが45nm以細の世代の技術候補となっています。その他に、インプリント技術、マスクレスリソグラフィ (ML2) が技術候補に上がっています (図4参照)。

### フロントエンドプロセスとPIDS

2004年Update (改訂版) では、450mmウェーハの

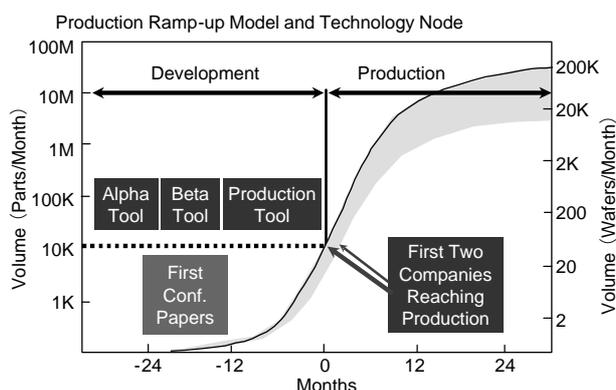


図 3. ITRSにおける生産開始年の定義

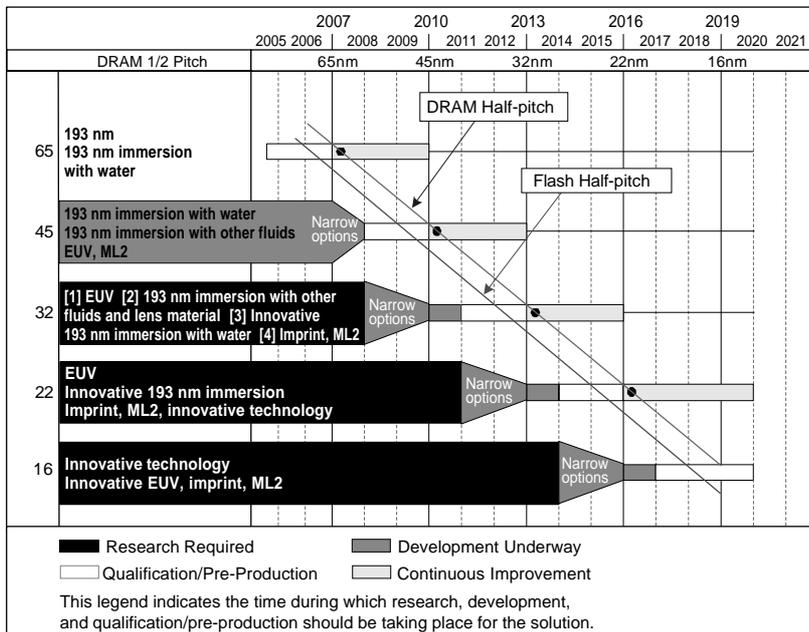


図4. リソグラフィ技術の候補

導入は2011-2015年となっていました  
が、ITRS 2005では、導入時期を2012  
年としています。これを実現するた  
めには、ウェーハの規格、装置仕様など  
について議論を始める必要があります。  
ITRSとしても、大口径ウェーハについ  
ての付帯文書をITRS本文とは別に公  
表の予定です。

High-kゲート絶縁膜の導入時期を、  
従来の版では2007年以降としていま  
したが、今回の版では、図5に示すよう  
に1年遅れの2008年以降としています。  
このため、High-kゲート絶縁膜とメタル  
ゲート電極技術を2008年に同時に導入  
するというシナリオになっており、この  
年に重要な新技術導入が重なることに

なります (図6参照)。

MOSトランジスタに関しては、2008年以降、複数  
の構造が併存する可能性が高く、各社の判断によっ  
て使い分けがなされると想定しています。この状況  
を、パラレルパスという言葉で表現しています (図7  
参照)。

### 配線技術

ロジック集積回路においては、銅 (Cu) 配線の層  
間絶縁膜の実効比誘電率 $k_{eff}$ を下げるのが、配線  
遅延を小さくするために重要です。2005年版では、  
Low-k技術への要求と比誘電率 $k$ の値 (材料自体の比  
誘電率 $k$ 、実効値 $k_{eff}$ とも) を全体的に少し前倒しま  
した。

また、MPU/ASICで使われる配線のハーフピッチ  
を図1のように定義し直して、実際のチップ内でよ  
く使われるパターンとを参照するようにしています。  
図8に、典型的なMPUの配線構造の断面図を示しま  
す。

Cu配線寸法の微細化とともに、配線側壁と結晶粒  
界での電子散乱による抵抗上昇が顕著になってきま  
す。この現象のモデルを記述しました (図9参照)。

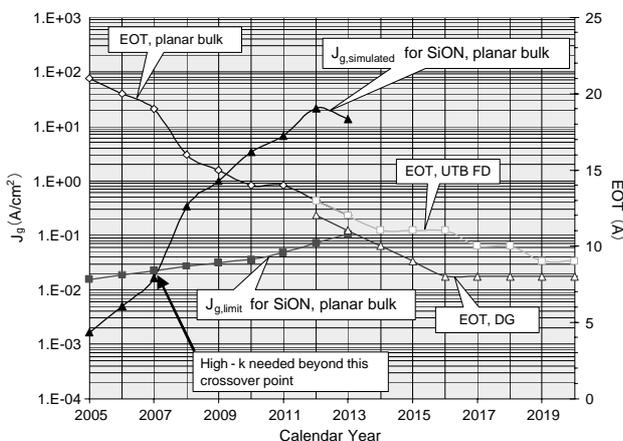


図5. ゲート絶縁膜のリーク電流とEOT (実効酸化膜厚) の推移  
2008年以降、SiONでのリーク電流が大きくなり、High-k  
ゲート絶縁膜が導入される。

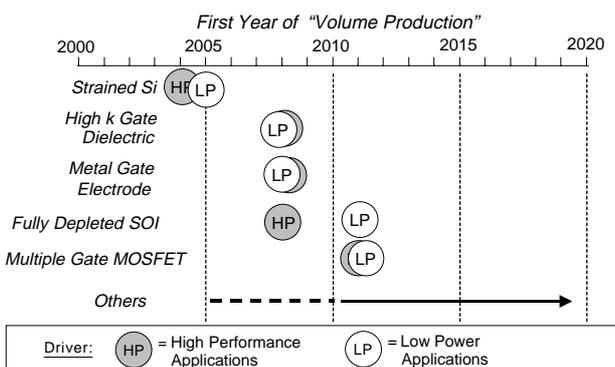


図6. MOSトランジスタの新規技術の導入時期

ITRSのウェブサイト：<http://public.itrs.net/>

STRJのウェブサイト：<http://strj-jeita.elisasp.net/strj/>

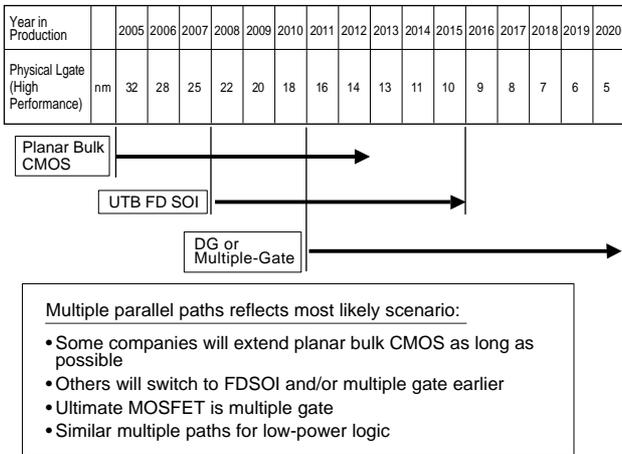


図7. 高性能 (High Performance) MOSFETのロードマップにおけるパラレルパス (parallel paths)  
2008年以降、平面のバルクCMOSトランジスタ、FD-SOIのトランジスタ、マルチゲートのトランジスタなどが使われるが、用途により、また各社の戦略により、複数のトランジスタ構造が利用される。

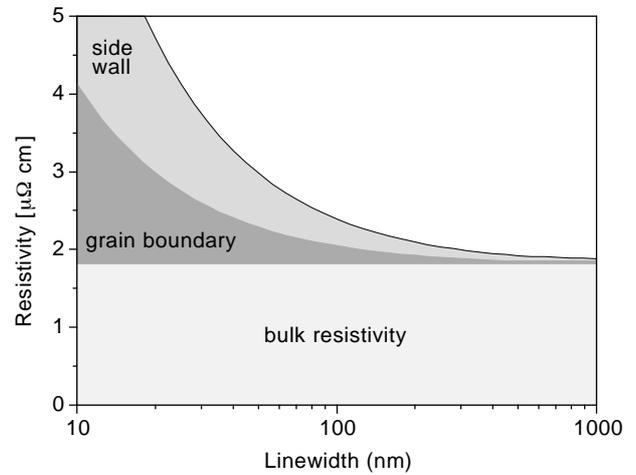


図9. Cu配線幅の縮小にともなう実効的な配線抵抗の上昇

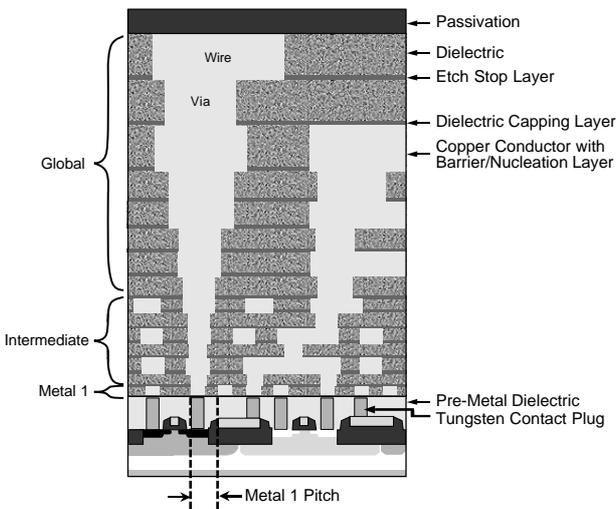


図8. 多層配線の断面構造とM1配線層の定義

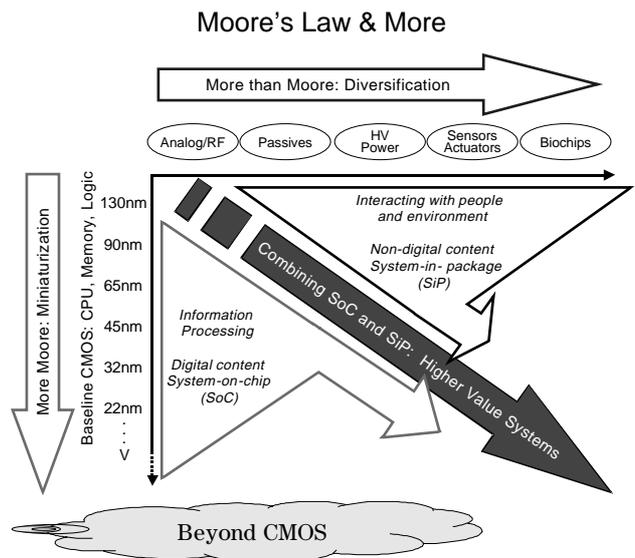


図10. More Moore (微細化) とMore than Moore (多様化) の両方が重要  
2020年以降、CMOSに微細化限界を超える素子が使われる可能性が高い (Beyond CMOS)

## More MooreとMore than Moore

ITRSでは、将来15年にわたるロードマップを編集しています。15年後の2020年頃はCMOSの微細化限界に近付くと考えられており、微細化の推進 (More Moore) の先にはCMOSを超える技術 (Beyond CMOS) が必要で、このため新探究デバイス (Emerging Research Devices) が独立した章となりました。また、同時に多様化 (More than Moore) の視点も重要となってきます。

## まとめ

ITRS 2005版は、全体で800ページを超えるものとなり、限られた紙面ではその一部しか紹介できません。ここでの紹介が、ITRSを読まれる際の参考になれば幸いです。興味をもたれた方は、前述のウェブサイトをご参照ください。今後とも、ITRSとSTRJの活動にご理解とご支援を頂きますようお願い申し上げます。