

国際半導体技術ロードマップ 2009 年版

概要

INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS

2009 EDITION

EXECUTIVE SUMMARY

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2009 Edition(国際半導体技術ロードマップ 2009 年版)本文の全訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 14 のワーキンググループ(WG: Working Group)が組織され、半導体集積回路メーカ、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソーシアなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2009 年版は英文で約 1000 ページの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、ITRS 2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要に限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。ITRS 2009 年版の作成にあたっては、当初から電子媒体で ITRS を公開することを前提に編集を進めた。ITRS の表は原則として、Microsoft Excel のファイルとして作成し、そのまま公開することにした。

ITRS は英語で書かれている。日本語訳の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くは専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字、脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただけますよう、お願い申し上げます。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出せず、原文のままの表記とした。原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。Executive Summary の用語集(Glossary)も参照されたい。原文の括弧()があってそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 STRJ 事務局の古川昇さん、関口美奈さんにご多大なお世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2010年5月

訳者一同を代表して

電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長
石内 秀美 (株式会社 東芝)

版權について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2009 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • 2706 Montopolis Drive • Austin, Texas 78741 • 512.356.7687 • <http://public.itrs.net>
Japanese translation by the JEITA, Japan Electronics and Information Technology Industries
Association under the license of the Semiconductor Industry Association

—引用する場合の注意—

原文(英語版)から引用する場合： ITRS 2009 Edition page XX, Figure(Table) YY
この日本語訳から引用する場合： ITRS 2009 Edition (JEITA 訳) XX 頁, 図(表)YY
と明記してください。

問合せ先：

社団法人 電子情報技術産業協会
半導体技術ロードマップ専門委員会 事務局
Tel: 03-5218-1068 mailto: roadmap@jeita.or.jp

謝辭 (ACKNOWLEDGMENTS)

INTERNATIONAL ROADMAP COMMITTEE

- ◆ *Europe*—Wolfgang Arden, Patrick Coge, Mart Graef, Reinhard Mahnkopf
- ◆ *Japan*—Hidemi Ishiuchi, Toshihiko Osada
- ◆ *Korea*—JooTae Moon, JaeSung Roh,
- ◆ *Taiwan*—Carlos H. Diaz, Burn Lin
- ◆ *U.S.A.*—Pushkar Apte, Bob Doering, Paolo Gargini

TECHNOLOGY WORKING GROUP KEY CONTRIBUTORS

Cross TWG Study Group—Alan Allan, Roger Barth, Herb Bennett, Bill Bottoms, Jeff Butterbaugh, Juan-antonio Carballo, Chris Case, Bill Chen, Alain Diebold, Bob Doering, Mike Garner, Dan Herr, Margaret Huang, Greg Hughes, Jim Hutchby, Raj Jammy, Jim Jewett, Andrew Kahng, Steve Knight, Shigeru Kobayashi, Larry Larson, Mike Lercel, Rich Liu, Jürgen Lorenz, Michael Mocella, Andreas Neuber, Kwok Ng, Andreas Nutsch, Hidekazu Oda, Dilip Patel, Jack Pekarik, Lothar Pfitzner, Mike Rodgers, Thomas Skotnicki, Brad Van Eck, Linda Wilson, Victor Zhirnov

System Drivers and Design—Yoshimi Asada, Kenji Asai, Fawzi Behmann, Valeria Bertacco, Ralf Brederlow, Yu Cao, Juan-Antonio Carballo, John Darringer, Wolfgang Ecker, Dale Edwards, Praveen Elakkumanan, Eric Flamand, Tamotsu Hiwatashi, Chanseok Hwang, Koichiro Ishibashi, Kwangok Jeong, Bill Joyner, Andrew Kahng, Masaru Kakimoto, Haruhisa Kashiwagi, Vinod Kathail, Chang Kim, Min Hwahn Kim, Victor Kravets, Frederic Lalanne, Austin Lesea, Sung Kyu Lim, Vinod Malhotra, Prasad Mantri, Grant Martin, Masami Matsuzaki, Alfonso Maurelli, Nikil Mehta, Kazuya Morii, Mamoru Mukuno, Katsutoshi Nakayama, Sani Nassif, Bernie New, Nobuto Ono, David Pan, Shishpal Rawat, Wolfgang Rosenstiel, Toshitada Saito, Kambiz Samadi, Jean-Pierre Schoellkopf, Hiroshi Shibuya, Gary Smith, Peter Van Staa, Leon Stok, Mikio Sumitani, Hiroki Tomoshige, Tadao Toyoda, Maarten Vertregt, Alfred Wong, Ichiro Yamamoto, David Yeh

Test and Test Equipment—Debbora Ahlgren, Rob Aitken, Ken-ichi Anzou, Takumi Aoki, Dave Armstrong, Roberta Bailey Roberts, Roger Barth, John Bearden, Shawn Blanton, Ken Butler, Yi Cai, Wendy Chen, Calvin Cheung, Steve Comen, Peter Crabbe, Robert Daasch, Stefan Eichenberger, Bill Eklow, Francois-Fabien Ferhani, Shawn Fetterolf, Anne Gattiker, Rama Gudavalli, Kazumi Hatayama, Jeong Ho Cho, Hisao Horibe, Hiroki Ikeda, Koji Isodono, Shuichi Ito, Takuya Kobayashi, Gibum Koo, Akitoshi Kumada, Greg Labonte, Rien Looijen, Michio Maekawa, Amit Majumdar, Prasad Mantri, Peter Maxwell, Jerry McBride, Anne Meixner, Peter Muhmentahler, Takeshi Nagasaka, Takairo Nagata, Masaaki Namba, Phil Nigh, Akitoshi Nishimura, Sejang Oh, Peter O'Neill, Mike Peng Li, Frank Poehl, Chris Portelli-Hale, Bill Price, Joe Reynick, Brad Robbins, Paul Roddy, Mike Rodgers, Yasuo Sato, Taylor Scanlon, Rene Segers, Steven Slupsky, Kozaburo Suzuki, Ken Taoka, Wataru Uchida, Kees Visser, Erik Volkerink, Burnie West, Tom Williams, Yervant Zorian

Process Integration, Devices, and Structures—Yasushi Akasaka, Dimitri Antoniadis, Gennadi Bersuker, Azeez Bhavnagarwala, Frederic Boeuf, Joe Brewer, Seon Yong Cha, Chornng-Ping Chang, Charles Cheung, Ted Dellin, Kristin DeMeyer, Carlos Diaz, Takahisa Eimori, Bill Gallergher, Guido Groeseneken, Toshiro Hiramoto, Atsushi Hori, Jim Hutchby, Jiro Ida, Kiyotaka Imai, Hirofumi Inoue, Gyoyoung Jin, Malgorzata Jurczak, Naoki Kasai, Chung Lam, Robert Lander, Rich Liu, Mike Ma, Witek Maszara, Michihiko Mifuji, Kwok Ng, Tak Ning, Anthony Oates, Hidekazu Oda, Mototsugu Ogura, Thierry Poiroux, Kirk Prall, Shizuo Sawada, Thomas Schulz, Yee-Chaung See, Kentaro Shibahara, Thomas Skotnicki, James Stathis, Toshihiro Sugii, Yoshitaka Tadaki, Yukio Tagawa, Shinnichi Takagi, Tetsu Tanaka, Wilman Tsai, Lan Wei, Philip Wong, Jeff Wu, Qi Xiang, Geoffrey Yeap, Makoto Yoshimi, Scott Yu, Peter Zeitzoff

Radio Frequency and Analog/Mixed-signal Technologies for Wireless Communications—Pascal Ancey, Herbert S. Bennett, Volker Blaschke, Bobby Brar, Wayne Burger, Pascal Chevalier, David Chow, Julio Costa, Stefaan Decoutere, Jonathan Hammond, Erwin Hijzen, Digh Hisamoto, Dave Howard, W. Margaret Huang, Matthias Illing, Anthony A. Immorlica Jr., Jay John, Alvin Joseph, Mattan Kamon, Tom Kazior, Yukihiro Kiyota, Sebastian Shyi-Ching Liau, Ginkou Ma, Jan-Erik Mueller, Takashi Nakamura, Hansu Oh, Jack Pekarik, Ed Preisler, Marco Racanelli, Mark Rosker, Bernard Sautreuil, Tony Stamper, Alberto Valdes-Garcia, Sorin Voinigescu, Dawn Wang, Albert Wang, Dennis Williams, Peter Zampardi, Herbert Zirath

謝辭 (Acknowledgments)

Emerging Research Devices—Hiroyuki Akinaga, Tetsuya Asai, Yuji Awano, George Bourianoff, Michel Brillouet, Joe Brewer, John Carruthers, Ralph Cavin, An Chen, U-In Chung, Byung Jin Cho, Sung Woong Chung, Luigi Colombo, Shamik Das, Kristin De Meyer, Erik DeBenedictis, Simon Deleonibus, Bob Fontana, Paul Franzon, Akira Fujiwara, Mike Garner, Dan Hammerstrom, Wilfried Haensch, Tsuyoshi Hasegawa, Shigenori Hayashi, Dan Herr, Mutsuo Hidaka, Toshiro Hiramoto, Jim Hutchby, Adrian Ionescu, Kohei Itoh, Kiyoshi Kawabata, Seiichiro Kawamura, Rick Kiehl, Suhwan Kim, Hyoungjoon Kim, Tsu-Jae King Liu, Atsuhiko Kinoshita, Dae-Hong Ko, Hiroshi Kotaki, Franz Kreupl, Nety Krishna, Mark Kryder, Zoran Krivokapic, Phil Kuekes, Kee-Won Kwon, Jong-Ho Lee, Lou Lome, Hiroshi Mizuta, Kwok Ng, Fumiyuki Nihey, Dmitri Nikonov, Ferdinand Peper, Yaw Obeng, Dave Roberts, Barry Schechtman, Sadas Shankar, Atsushi Shiota, Kaushal Singh, Satoshi Sugahara, Shin-Ichi Takagi, Ken Uchida, Yasuo Wada, Rainer Waser, Jeff Welser, Frans Wiershoven, Philip Wong, Kojiro Yagami, David Yeh, In-Seok Yeo, Hiroaki Yoda, In-K Yoo, Yuegang Zhang, Victor Zhimov

Emerging Research Materials—Hiro Akinaga, Nobuo Aoi, Koyu Asai, Yuji Awano, Rama Ayothi, Daniel-Camille Bensahel, Bill Bottoms, George Bourianoff, Alex Bratkovski, Bernard Capraro, John Carruthers, An Chen, Zhihong Chen, Byung Jin Cho, U-In Chung, Luigi Colombo, Hongjie Dai, Jean Dijon, Catherine Dubourdieu, Satoshi Fujimura, C. Michael Garner, Emmanuel Giannelis, Mihcael Goldstein, Daniel Herr, Bill Hinsberg, Jim Hutchby, Saori Ishizu, Kohei Ito, Ajey Jacob, James Jewett, Ted Kamins, Sean King, Atsuhiko Kinoshita, Yi-Sha Ku, Wei-Chung Lo, Louis Lome, Allan MacDonald, Francois Martin, Fumihiro Matsukura, Yoshiyuki Miyamoto, Paul Nealy, Fumiyuki Nihey, Dmitri Nikonov, Yoshio Nishi, Yaw Obeng, Chris Ober, Jeff Petereson, Ramamoorthy Rameesh, Paolo Rapposelli, Nachiket Ravavikar, Curt Richter, Dave Roberts, Jae Sung Roh, Tadashi Sakai, Mituru Sato, Sadasivan Shankar, Shintaro Sato, Hideyuki Sasaki, Atsushi Shiota, Kaushal K. Singh, Tsung-Tsan Su, Naoyuki Sugiyama, Raja Swaminathan, Takashi Kariya, Yoshihiro Todokoro, Yasuhide Romioka, Peter Trefonas, Toyohiro Chikyow, Shinichi Takagi, Koki Tamura, Yasuhide Tomioka, Ken Uchida, Yasuo Wada, Vijay Wakharkar, Kang Wang, Rainer Waser, Jeff Welser, C. P. Wong, H. S. Philip Wong, Hiroshi Yamaguchi, Toru Yamaguchi, Chintien Yang, Yuegang Zhang, Victor Zhirnov, Chuck Zmanda

Front End Processes—Mauro Alessandri, Luis Aparicio, Sehgal Aksey, Amulya Athayde, Souvik Banerjee, Joel Barnett, Twan Bearda, Meridith Beebe, Steve Benner, Ivan (Skip) Berry, Chris Borst, William Bowers, Ian Brown, Arifin Budiardio, Murray Bullis, Mayank T. Bulsara, Jeff Butterbaugh, George K. Celler, Cetin Cetinkaya, Luke Chang, Victor Chia, Phil Clark, Lee Cook, Jeffrey Cross, Adrien Danel, Suman Datta, Carlos H. Diaz, Roxanne Dulas, Paul Feeney, Graham Fisher, Nich Fuller, Mike Fury, Glenn Gale, Yehiel Gotkis, Mike Goldstein, Christina Gottschalk, Aomar Halimaoui, Qingyuan Han, Dick Hockett, Andrew Hoff, Yoshimasa Horii, Greg Hughes, William Hughes, Raj Jammy, Ravi Kanjolia, Bruce Kellerman, Deoksin Kil, Hyungsup Kim, Simon Kirk, Brian Kirkpatrick, Hiroshi Kitajima, Martin Knotter, Daniel Koos, Hwasung Kyunggi-Do, Larry Larson, Jeff Lauerhaas, Yannick Le Tiec, Kun-Tack Lee, Jooh Yun Lee, Tom Lii, Hong Lin, Prashant Majhi, Tom McKenna, Paul Mertens, Katsuhiko Miki, Ichiro Mizushima, Mansour Monipour, Paul Morgan, Brian Murphy, Anthony Muscat, Sadao Nakajima, Yasuo Nara, Masaaki Niwa, Toshihide Ohgata, Hiroshi Oji, Jin-Goo Park, Friedrich Passek, Eric Persson, Darryl Peters, Gerd Pfeiffer, Jagdish Prasad, Rick Reidy, Karen Reinhardt, Hwa-sung Rhee, Rob Rhoades, Marcello Riva, Jae-Sung Roh, Akira Sakai, Archita Sengupta, YugYun Shin, James Shen, Wolfgang Sievert, Chris Sparks, Robert Standley, Sing-Pin Tay, Bob Turkot, Steven Verhaverbeke, Hitoshi Wakabayashi, Mike Walden, Masaharu Watanabe, Han Xu

Lithography—Miyake Akira, Karten Bubke, David Chan, Will Conley, Kevin Cummings, Nigel Farrar, Theodore Fedynyshyn, Reiner Garreis, Janice Golda, George Gomba, Isamu Hanyu, Naoya Hayashi, Dan Herr, Tsuneyuki Hagiwara, Iwao Higashikawa, George Huang, Gregory Hughes, Yoshiaki Ikuta, Rik Jonckheere, Masaomi Kameyama, Kunihiro Kasama, Seongsue Kim, Keishiro Kurihara, David Kyser, Bruno La Fontaine, Ted Liang, Michael Lercel, Harry Levinson, Yuansheng Ma, Hiroyuki Mizuno, Susumu Mori, Shigeru Moriya, Hideo Nakashima, Patrick Naulleau, Kazuya Ota, Yasushi Ohkubo, Junichi Onodera, Eric Panning, Abbas Rastagar, Mordechai Rothschild, Masaru Sasago, Tsutomu Shoki, Kazuyuki Suko, Hidehito Tanaka, Tsuneo Terasawa, Yoji Tonooka, Walt Trybula, Takayuki Uchiyama, Mauro Vasconi, Keiji Wada, Phil Ware, Craig West, John Wiesner, Grant Willson, Masaki Yamabe, Yuichi Yamada, Atsuko Yamaguchi, Tetsuo Yamaguchi, John Zimmerman

Interconnect—Shuhei Amakawa, Nobuo Aoi, Sitaram Arkalgud, Lucille Arnaud, Mandeep Bamal, Koji Ban, Hans-Joachim Barth, Eric Beyne, Christopher Case, Robin Cheung, Alexis Farcy, Paul Feeney, Bob Geffken, Masayuki Hiroi, Harold Hosack, Yasushi Igarashi, Masayoshi Imai, Sibum Kim, Mauro Kobrinski, Scott List, J. D. Luttmer, Mike Mills, Azad Naeemi, N S Nagaraj, Tomoji Nakamura, Yuichi Nakao, Eiichi Nishimura, Akira Ouchi, Werner Palmer, Philip Pieters, Peter Ramm, Rick Reidy, Andy Rudack, Mark Scannell, Hideki Shibata, Larry Smith, Michele Stucchi, Weng Hong Teh, Katsuhiko Tokushige, Thomas Toms, Manabu Tsujimura, Kazuyoshi Ueno, Detlef Weber, Osamu Yamazaki, C.H. Yu

Factory Integration—Daniel Babbs, Gino Chrispieri, Hiroyuki Chuma, Peter Csatory, Dave Eggleston, Eric Englhardt, Denis Fandel, Terry Francis, Miki Furukawa, Toshiya Hirai, Michio Honma, Takeshi Ikeda, Junji Iwasaki, Mani Janakiram, Tom Jefferson, Nobuo Kanamori, Shigeru Kobayashi, Shoichi Kodama, Daihee Lee, Les Marshall, Kenichi Mukai, Kenjiro Nawa, Andreas Neuber, Takayuki Nishimura, Richard Oechsner, Masashi Omori, Mikio Otani, Gopal Rao, Gavin Rider, Dan Stevens, Shigeru Suga, Hiromichi Tani, Naritoshi Tsuzuki, Brad Van Eck, Robert Wright, Makoto Yamamoto, Shuji Yasunaga

Assembly and Packaging—Joseph Adam, Bernd Appelt, Richard Arnold, Muhannad S. Bakir, Souvik Banerjee, Steve Bezuk, Mario Bolanos, W. R. Bottoms, Chi-Shih Chang, Clinton Chao, Carl Chen, William Chen, Sonjin Cho, Bob Chylak, Kishor Desai, Michel Garnier, Steve Greathouse, George Harman, Shuhya Haruguchi, Ryo Haruta Haruta, Harold Hosack, Mike Hung, John Hunt, Hisao Kasuga, Namseog Kim, Michitaka Kimura, Takanori Kubo, Choon Heung Lee, Ricky S W Lee, Rong-Shen Lee, Sebastian Liao, Weichung Lo, Abhay Maheshwan, Debendra Mallik, Masao Matsuura, Lei Mercado, Stan Mihelcic, Hirofumi Nakajima, Keith Newman, Luu Nguyen, Masashi Otsuka, Richard F. Otte, Bob Pfahl, Gilles Poupon, Klaus Pressel, Charles Reynolds, Charles Richardson, Bernd Roemer, Coen Tak, Takashi Takata, Shigeyuki Ueda, Shoji Uegaki, Ryosuke Usui, Henry Utsunomiya, James Wilcox, Max Juergen Wolf, Jie Xue, Zhiping Yang, Eiji Yoshida, *Environment, Safety, and Health*—Junichi Aoyama, James Beasley, Laurie Beu, Hans-Peter Bipp, Reed Content, Mark Denome, Tom Diamond, Terry Francis, Bob Helms, Tim Higgs, George Hoshi, Shigehito Ibuka, Jim Jewett, Joey Lu, Mary Majors, Laura Medicino, Michael Mocella, Ko Chun Mou, Andreas Neuber, Takayuki Oogoshi, Brian Raley, Ron Remke, Harry Thewissen, Tetsu Tomine

Yield Enhancement—Rajat Agrawal, Scott Anderson, Hyun Chul Baek, David Blackford, Andrew Bomber, Tracey Boswell, Mark Camenzind, Jill Card, Jan Cavelaars, C. H. Chang, Jeff Chapman, Chan Yuan Chen, Uri Cho, James S. Clarke, Scott Covington, Mark Crockett, Dirk de Vries, John Degenova, James Dougan, Diane Dougherty, Janice Edler, Francois Finck, Frank Flowers, Dan Fuchs, Takashi Futatsuki, Barry Gotlinsky, Jeffrey Hanson, Allyson Hartzell, Takahiko Hashidzume, Teruyuki Hayashi, Rob Henderson, Benoit Hirschberger, Christoph Hocke, Kazuhiro Honda, Jim Huang, Stéphane Hubac, Steve Hues, Masakazu Ichikawa, Masahiko Ikeno, Francesca Illuzzi, Billy Jones, Keith Kerwin, Katsunobu Kitami, Isao Kojima, John Kurowski, Sumio Kuwabara, Sang KyuPark, Bob Latimer, Slava Libman, Chris Long, Luke Lovejoy, Michael Lurie, Steven Ma, Kosei Matsumoto, James McAndrew, Len Mei, Yoko Miyazaki, Fumio Mizuno, William Moore, Chris Muller, Jonathan M. Myers, Yoshikazu Nakagawa, Yoshinori Nagatsuka, Andreas Neuber, Kazuo Nishihagi, Andreas Nutsch, Joseph O'Sullivan, Akira Okamoto, Michael Otto, Takanori Ozawa, Kevin Pate, Dilip Patel, Lothar Pfitzner, Larry Rabellino, Dieter Rathei, Jeff Ritchison, Dave Roberts, Dan Rodier, Biswanath Roy, Koichiro Saga, Koichi Sakurai, Tony Schleisman, Sarah Schoen, Hisaharu Seita, Kevin Sequin, Ryu Shioda, Yoshimi Shiramizu, Aaron Shupp, Drew Sinha, Terry Stange, Val Stradzs, Yoshitaka Tatsumoto, Ed Terrell, Ines Thurner, Bart Tillotson, Stephen Toebes, Jimmy Tseng, Takahiro Tsuchiya, Ken Tsugane, Rick Udischas, Tings Wang, Jian Wei, Dan Wilcox, Hubert Winzig, C. S. Yang, Dimitry Znamensky, *Metrology*—John Allgair, Chas Archie, Bill Banke, Meredith Beebe, Ben Bunday, Soobok Chin, Hyun Mo Cho, Alain Diebold, Brendan Foran, Mike Garner, Dan Herr, Thomas Hingst, Richard Hockett, Kazuhiro Honda, Masakazu Ichikawa, Masahiko Ikeno, Eiichi Kawamura, Chul Hong Kim, Steve Knight, Mario Kobrinsky, Isao Kojima, Sumio Kuwabara, Jack Martinez, Fumio Mizuno, Yoshitomo Nakagawa, Kazuo Nishihagi, Akira Okamoto, George Orji, Ingrid Peterson, Noel Poduje, Bart Rijpers, J.H. Shieh, Sumito Shimizu, Atsushi Someya, Vladimir Ukraintsev, Brad Van Eck, Victor Vartanian, Mauro Vasconi, Andras Vladar, Yuichiro Yamazaki

Metrology—John Allgair, Chas Archie, Bill Banke, Meredith Beebe, Ben Bunday, Soobok Chin, Hyun Mo Cho, Alain Diebold, Brendan Foran, Mike Garner, Dan Herr, Thomas Hingst, Richard Hockett, Kazuhiro Honda, Masakazu Ichikawa, Masahiko Ikeno, Eiichi Kawamura, Chul Hong Kim, Steve Knight, Mario Kobrinsky, Isao Kojima, Sumio Kuwabara, Jack Martinez, Fumio Mizuno, Yoshitomo Nakagawa, Kazuo Nishihagi, Akira Okamoto, George Orji, Ingrid Peterson, Noel Poduje, Bart Rijpers, J.H. Shieh, Sumito Shimizu, Atsushi Someya, Vladimir Ukraintsev, Brad Van Eck, Victor Vartanian, Mauro Vasconi, Andras Vladar, Yuichiro Yamazaki

Modeling and Simulation—Joe Adams, Dölf Aemmer, Nobutoshi Aoki, Susumu Asada, Eberhard Bär, Augusto Benvenuti, Alexander Burenkov, Hajdin Ceric, Jae Hoon Choi, Mauro Ciappa, Won Young Chung, Andreas Erdmann, Vincent Fiori, An De Keersgieter, Wolfgang Demmerle, Tibor Grasser, Ronald Gull, Bert Huizing, Naoki Izumi, Herve Jaouen, Wong-Young Jung, Mitsunori Kimura, Takashi Kinoshita, Tatsuya Kunikiyo, Erasmus Langer, Keunho Lee, Wilfried Lerch, Scott List, Jürgen Lorenz, T.C. Lu, Wolfgang Molzer, Victor Moroz, Chandra Mouli, Seiji Ogata, Hwasik Park, Peter Pichler, Norio Sadatika, Beat Sahli, Nobuyuki Sano, Shigeo Satoh, Vivek Singh, Sadasivan Shankar, Tetsunori Wada, C.S. Yeh

謝辭 (Acknowledgments)

REGIONAL SUPPORT TEAMS

We acknowledge and thank the regional teams for their support:

◆ *Europe*—Tamara Bouwmans

◆ *Japan*—Noboru Furukawa

◆ *Korea*—BaeKeun Jun, Jae-Min Jun, In-Hee Jung, J.W. Ko

◆ *Taiwan*—Celia Shih

◆ *USA*—Yumiko Takamori, Linda Wilson

Intel meeting support team—Barbara Pebworth *ISMI*—Tom Abell, Michio Honma, Olaf Rothe, Brad Van Eck

SLA—Judy Ajifu, Jason Webb, Robin Webb



TABLE OF CONTENTS

序論 (Introduction).....	1
概要(Overview).....	1
ロードマップ作成過程 (Roadmapping Process)	2
ロードマップの内容 (Roadmap Content)	3
技術指標 (Technology Characteristics)	5
技術発展のペース (Technology Pacing)	6
ロードマップがカバーする範囲 (Roadmap Scope)	11
More than Moore(機能的多様化).....	13
ITRS 2009 年版のトピックス (2009 ITRS Special Topics)	15
主要な技術課題 (Grand Challenges)	19
概要 (Overview)	19
短期予測 In the Near Term (2017 まで).....	19
性能向上[Enhancing Performance]	19
低コスト生産[Cost-Effective Manufacturing]	25
長期予測 (~2017 through 2024).....	29
性能向上[Enhancing Performance]	29
低コスト生産[Cost-Effective Manufacturing]	31
2009 新規事項—ワーキンググループ要約 (What is New for 2009—the Working Group Summaries)	34
システム・ドライバ(System Drivers).....	34
デザイン	36
テストとテスト装置	37
プロセス、インテグレーション、デバイス、及び構造	39
Difficult Challenges	40
ワイヤレス通信のためのRFとアナログミックス信号技術	41
新探究デバイス.....	43
新探求材料.....	44
フロントエンドプロセス (Front End Processes)	47
リソグラフィ (Lithography)	49
配線	52
工場技術	54
アセンブリーパッケージ (Assembly and Packaging)	57
環境・安全・健康(ESH) (Environment, Safety, and Health)	60
歩留まり向上	63
計測 (Metrology)	66
モデリング&シミュレーション	68
総括ロードマップ技術指標 (Overall Roadmap Technology Characteristics)	73
背景 (Background)	73

目次

2009 年改訂の概要 (Overview of 2009 Revisions)	73
定 義 (Definitions)	73
ロードマップのタイムライン (Roadmap Timeline)	76
製品世代およびチップ寸法モデル (Product Generations and Chip-Size Model)	80
チップサイズ、リソグラフィ・フィールド、ウェーハ・サイズのトレンド	83
パッケージされたチップの性能	87
電氣的な欠陥密度 (Electrical Defect Density)	88
電源と消費電力 (Power Supply and Power Dissipation)	89
コスト (Cost)	89
用語集 (Glossary)	92

LIST OF FIGURES

Figure 1	2009 Definition of Pitches	7
Figure 2a	A Typical Technology Production “Ramp” Curve (within an established wafer generation)	8
Figure 2b	A Typical Technology Production “Ramp” Curve for ERD/ERM Research and PIDS Transfer timing (including an example for III/V Hi-Mobility Gate Technology Timing Scenario)	9
Figure 3	Technology Cycle Timing Compared to Actual Wafer Production Technology Capacity Distribution	11
Figure 4	Moore’s Law and More	13
Figure 5	A Typical Wafer Generation Pilot Line and Production “Ramp” Curve applied to Forecast Timing Targets of the 450 mm Wafer Generation	18
Figure 6	MOS Transistor Scaling—1974 to present	75
Figure 7	Scaling Calculator	76
Figure 8a	2009 ITRS—DRAM and Flash Memory Half Pitch Trends	78
Figure 8b	2009 ITRS—MPU/high-performance ASIC Half Pitch and Gate Length Trends	79
Figure 8c	2009 ITRS “Equivalent Scaling” Process Technologies Timing compared to ORTC MPU/high-performance ASIC Half Pitch and Gate Length Trends and Timing	79
Figure 9	2009 ITRS Product Function Size Trends: MPU Logic Gate Size (4-transistor); Memory Cell Size [SRAM (6-transistor); Flash (SLC and MLC), and DRAM (transistor + capacitor)]	81
Figure 10a	2009 ITRS Product Technology Trends: Memory Product Functions/Chip and Industry Average “Moore’s Law” and Chip Size Trends	82
Figure 10b	2009 ITRS Product Technology Trends: MPU Product Functions/Chip and Industry Average “Moore’s Law” and Chip Size Trends	83

LIST OF TABLES

Table A	Improvement Trends for ICs Enabled by Feature Scaling.....	1
Table B	ITRS Table Structure—Key Lithography-related Characteristics by Product	5
Table ITWG1	Major Product Market Segments and Impact on System Drivers	34
Table ITWG2	Overall Design Technology Challenges.....	36
Table ITWG3	Summary of Key Test Drivers, Challenges, and Opportunities	38
Table ITWG3	Process Integration Difficult Challenges.....	40
Table ITWG4	RF and Analog Mixed-Signal (RF and AMS) Technologies for Wireless Communications Difficult Challenges	42
Table ITWG5	Emerging Research Devices Difficult Challenges	44
Table ITWG6	Emerging Research Material Technologies Difficult Challenges	46
Table ITWG7	Front End Processes Difficult Challenges	48
Table ITWG8A	Lithography Difficult Challenges >22 nm	50
Table ITWG8B	Lithography Difficult Challenges ≤22 nm	51
Table ITWG9	Interconnect Difficult Challenges	53
Table ITWG10	Factory Integration Difficult Challenges	56
Table ITWG11	Assembly and Packaging Difficult Challenges.....	58
Table ITWG12A	Environment, Safety, and Health Difficult Challenges—Near-term	61
Table ITWG12B	Environment, Safety, and Health Difficult Challenges—Long-term	62
Table ITWG13	Yield Enhancement Difficult Challenges.....	63
Table ITWG14	Metrology Difficult Challenges	67
Table ITWG15	Modeling and Simulation Difficult Challenges.....	70
Table C	Rounded versus Actual Trend Numbers (DRAM Product Trend Example)	77
Table ORTC-1	ITRS Technology Trend Targets	81
Table ORTC-2A	DRAM and Flash Production Product Generations and Chip Size Model ..	84
Table ORTC-2B	DRAM Introduction Product Generations and Chip Size Model	84
Table ORTC-2C	MPU (High-volume Microprocessor) Cost-Performance Product Generations and Chip Size Model.....	85
Table ORTC-2D	High-Performance MPU and ASIC Product Generations and Chip Size Model.....	85
Table ORTC-3	Lithographic-Field and Wafer Size Trends	86
Table ORTC-4	Performance and Packaged Chips Trends.....	87
Table ORTC-5	Electrical Defects	89
Table ORTC-6	Power Supply and Power Dissipation.....	89
Table ORTC-7	Cost	91

[Link to 2009 ORTC tables.](#)

序論 (INTRODUCTION)

概要(OVERVIEW)

過去 40 年以上にわたり、半導体産業は半導体製品の急速な進歩を達成してきた。その間に進歩した主な項目とその内容例を Table A に示す。こうした進歩は、集積回路を製造するときに使用される最小寸法(feature size)を年々指数関数的に縮小する産業全般の技術力により実現されてきた。最もよく使用される集積化の進展を示すトレンドは、ムーアの法則(約 24 カ月でチップあたりのコンポーネント数が 2 倍となる)である。社会にとって重要なトレンドは、集積回路の機能あたりコストの低減で、これにより集積回路がコンピュータ、電気通信、家電製品の普及に貢献し、経済における生産性と社会全体における生活の質の大きな改善をもたらした。

Table A Improvement Trends for ICs Enabled by Feature Scaling

トレンドの項目(TREND)	性能指標の例(EXAMPLE)
集積レベル (Integration Level)	コンポーネント数/チップ、ムーアの法則 (Components/chip, Moore's Law)
コスト(Cost)	機能あたりコスト(Cost per function)
速度(Speed)	マイクロプロセッサの処理性能 (Microprocessor throughput)
消費電力(Power)	ラップトップパーソナルコンピュータあるいは携帯電話の電池寿命 (Laptop or cell phone battery life)
コンパクト性 (Compactness)	小型軽量製品(Small and light-weight products)
機能(Functionality)	不揮発性メモリ、撮像素子(Nonvolatile memory, imager)

「スケーリング則」とも呼ばれるこれらの進歩は、巨額の研究開発投資により可能となった。過去 35 年で必要投資額はますます増大したために、産業内での協力が進展し、多くの企業間研究開発協力、コンソーシアム、その他の協力ベンチャ企業が生み出されている。このような研究開発プログラムをガイドする一助として、米国の半導体産業協会(Semiconductor Industry Association, SIA)は米国半導体技術ロードマップ(National Technology Roadmap for Semiconductors, NTRS)の編纂を開始し、1992 年、1994 年、1997 年版をまとめた。1998 年には、SIAは欧州、日本、韓国、台湾の半導体工業会とともに、このロードマップの 1998 年改訂版を編纂するとともに、最初の国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors, ITRS)の編纂作業を開始し、翌年の 1999 年に出版された。それ以来、偶数年に部分改訂を、奇数年に全面改訂を行っている。ITRS の全般的な目的は、今後15年間にわたる産業界の研究開発のニーズに関して、「現時点での最良の予測」についての産業界のコンセンサスを提示することである。ITRS は、それ自体として、企業、大学、行政機関をはじめとする研究機関や研究資金供給機関の業務にたいしてガイドラインを与えている。ITRS はすべての階層で研究開発投資判断の質を向上させ、研究のブレークスルーが最も必要とされる領域で研究開発活動を支援してきた。

ITRS は動的な活動プロセスを持っていて、それは ITRS の文書からも明らかである。ITRS は半導体産業界が単純な幾何学的スケーリング(geometrical scaling)から等価的スケーリング(equivalent scaling)に移

行していくことを反映している。ムーアの法則 (Moore's Law) に代表される幾何学的スケーリング (geometrical scaling) 過去 35 年にわたりよい指導原理であり、目標であったし、半導体チップメーカーにとっても、多くの面で、今後とも目標である続ける。等価的スケーリング (equivalent scaling) の目標は、設計のイノベーション、ソフトウェア的な解決法、製造プロセスのイノベーションを通しての性能改善に代表されるが、今後 10 年間で半導体産業にとって、ますます重要な指導原理となる。2001 年以来、ITRS は新しい章を追加してきた。2001 年にシステムドライバーの章を、2005 年には新探究デバイス (Emerging Research Devices) の章と RF アナログ (Radio Frequency and Analog/Mixed-signal Technologies for Wireless Communications) の章を、2007 年の最新版では新探究材料 (Emerging Research Materials) の章書き下ろし、半導体産業の発展をよりよく反映させたものになった。

1992 年の NTRS 以来、NTRS と ITRS のロードマップの基本的前提は、エレクトロニクスの継続的な微細化 (scaling) は単位機能あたりのコストを削減 (歴史的には年率約 25-29%) し、市場を拡大 (歴史的には、年率約 17% であるが近年伸びが鈍化している) するということであった。したがって、ロードマップは、本質的には、「産業界がムーアの法則やその他のトレンドを維持するためには、どのような技術的な力を開発しなければならないか？」というチャレンジ精神に基づいてまとめられたものである。

今後 10 年間に、複数の新規の素子を導入することで、CMOS プロセスの能力を補強する必要があると予測されている。新規素子は、できることなら、CMOS 素子よりも良い特性をものであることが期待される。しかしながら、新規素子は CMOS をすべての特性で凌駕する可能性は低く、したがって、CMOS のコアの周りにこれらの新しい機能を、チップレベルかパッケージレベルで、集積化することが期待されている。

ヨーロッパ・日本・韓国・台湾・米国の 5 地域の専門家 (エキスパート) の参加と継続的なコンセンサス形成により、ITRS 2009 年版は、半導体技術と半導体集積回路市場の歴史的発展を将来にわたり拡大させようとする際に、最も信頼のおける半導体研究のガイドラインとなっている。ITRS 2009 年版全文や ITRS の過去の版の全文は、電子ドキュメントとしてインターネットウェブサイト <http://public.itrs.net> から 閲覧・印刷できるようにになっている。【訳者注: JEITA の半導体技術ロードマップ専門委員会 (STRJ) のウェブサイト <http://strj-jeita.elisasp.net/strj/> には ITRS へのリンクがあり、さらに ITRS の和訳にもアクセスできる。】

ロードマップの作成過程と構成 (OVERALL ROADMAP PROCESS AND STRUCTURE)

ロードマップ作成過程 (ROADMAPPING PROCESS)

ITRS の作成過程における全体調整は、国際ロードマップ委員会 (International Roadmap Committee, 以後 IRC と略記) の責任で行っている。IRC は欧州、日本、韓国、台湾、米国の各地域からの 2~4 名のメンバで構成されている。IRC の主要機能は以下である。

- 国際技術ワーキンググループ (International Technology Working Group, ITWG) の指導と調整を行うこと
- ITRS ワークショップを主催すること
- ITRS の編集を行うこと

それぞれの技術の章は、対応する国際技術ワーキンググループ (International Technology Working Group 以後 ITWG と略記) が執筆する。ITWG には 2 つのタイプ、すなわちフォーカス ITWG およびクロスカット ITWG がある。フォーカス ITWG は、設計/プロセス/テスト/パッケージという集積回路の一連の工程フローを構成する個々のステップに対応している。クロスカット ITWG は、いくつかのクリティカルなステップでオーバーラップする個別の ITWG 活動をサポートする活動である。

2009 年版 ITRS では、フォーカス ITWG は以下の通りである。

- システムドライバ

- 設計
- テストとテスト装置
- プロセス・インテグレーション、デバイス、構造 (PIDS)
- 無線通信用高周波、アナログ混載技術
- 新探究デバイス
- フロントエンドプロセス
- リソグラフィ
- 配線
- ファクトリインテグレーション
- アセンブリと実装

クロスカット ITWG は以下の通りである。

- 新探究材料
- 環境、安全、健康
- 歩留向上
- メトロロジ(計測)
- モデリングとシミュレーション

各 ITWG は、産業界(半導体デバイスメーカ、装置や材料のサプライヤ企業)、政府系研究機関、大学の専門家で構成されている。

各 ITWG の構成には、その技術分野の所属機関別専門化数が反映されている。たとえば、新探究デバイス(Emerging Research Devices)のように長期的な研究が必要な技術分野では、研究機関からの参加者数がサプライヤ企業からの参加者数より多い。プロセス技術(フロントエンドプロセス、リソグラフィ、配線)においては、装置・材料サプライヤからの参加者数を反映して、サプライヤからの参加比率より大きい。これは、近未来の技術的要求について述べる必要があるからである。

ITRS 2009 年版作成にあたって、世界レベルの ITRS 会議を 3 回開催した。ベルギーのブリュッセル(ESIA 主催、NXP Semiconductors がホスト)、米国のサンフランシスコ(SIA 主催、SEMATECH が組織、SEMI/North America が共催)、台湾の新竹(TSIA と TSMC が共同で主催・ホスト)で行われた会議である。これらの会議は各 ITWG メンバ間の討議や、異なる ITWG 間調整などのフォーラムの場となった。加えて、ITRS では年 2 回、公開の「ITRS コンファレンス」を開催し、最新のロードマップの内容を開示するとともに、広い範囲の半導体業界から意見や情報を収集し、フィードバックするようにしている。

ITRS は毎年改訂されている。偶数年には表等の改訂や修正を行った部分改訂版(Update)を発行しており(2000 年、2002 年、2004 年、2006 年、2008 年)、奇数年には全面改訂版(Revision)を発行している(2001 年、2003 年、2005 年、2007 年、2009 年)。この ITRS のプロセスにより、絶えず半導体産業の短期的、長期的な技術要求に対しアセスメントを行っている。また、ITRS 作成の過程ではタイムリーに ITRS の予測と技術解の候補となる最新の研究開発ブレイクスルーとの比較も行っている。

ロードマップの内容 (ROADMAP CONTENT)

ITRS は、[異なる研究主体間でも]研究活動が共有されうようにするため、技術的要求を明らかにし、達成されるべき目標のアセスメントを行っている。目標はできる限り定量的なものとし、表の形で表現し、重要なパラメータの時間的進化がわかるようにした。必要に応じ、説明文を付加し、表中の数字の意味を説明し、明確化するようにした。

さらに、ITRS では、個々の目標値に対して、その成熟度や確度を表中の色で表示している。

生産可能な解決策があり、最適化が進行中 (Manufacturable solutions exist, and are being optimized)	
生産可能な解決策が知られている (Manufacturable solutions are known)	
暫定的な解決策が知られている (Interim solutions are known)	
生産可能な解決策が知られていない (Manufacturable solutions are NOT known)	

最初の「生産可能な解があり、最適化が進行中」という状況は「白」で示されていて、「目標は現在利用できる技術や装置によって達成可能で、コスト的にも性能的にも生産可能な水準にある」ことを示している。2 番目の「黄」で示された状況は「目標達成のためには更なる開発が必要であるが、その解決策はすでに明らかになっていて、専門家は生産開始に間に合うように必要な能力を実演できると確信している」ことを示している。3 番目の「暫定的な解決策が知られている」という状況は、「現在の解決策には諸制約があっても生産開始が遅れることはないが、初期においてはなんらかの回避策が適用され、プロセス制御、歩留まり向上、生産性向上などの分野で生産性目標との乖離を埋めるためにその後の改善が期待される」ことを示している。4 番目の状況はロードマップの技術要求の表では「赤」で強調されていて、ITRS 編集が始まったところから、「赤い煉瓦の壁 (Red Brick Wall)」（以後、意識するときは「技術の壁」と訳出する）と呼ばれてきたものである。この「赤」はロードマップの上で公式に、「将来何らかの真のブレークスルーを達成しない場合にはこれまでの進歩が停止してしまう」難度の高い課題があることを明示し警告している。一部のロードマップの読者にとって「赤」が、「重要でエキサイティングなチャレンジを強調する」目的を適切に果たしていない場合があったし、また、ロードマップにおける数値を色には関係なく「確かな実現に至る道の途上にある」と見なす読者もある。しかし、これらは誤りである。

「赤」は ITRS の表中で、半導体技術のとある観点から見て、微細化を続ける上で、「生産可能（と確信できるような）な解が知られていない」ところを示すために使われる。「赤」で示された数値は次の 2 つのカテゴリに分類できる。

1. 遅れる可能性があるが、最終的にはその値は達成される。しかし半導体産業は現在提案されている解決策に対して自信が持てないでいる。
2. その値は達成されない。（たとえば、何らかの「回避策」が生まれてその数値が無用になるか、または、進歩が停止してしまう。）

第一のカテゴリの赤で表示された数値を達成するには、研究におけるブレークスルーが必要である。このブレークスルーが「赤」を「黄」（定義は「製造可能な解決策が知られている」）に変え、ITRS の将来版では最終的に「白」（定義は「生産可能な解があり、最適化が進行中」）に変えることになるだろう。

「概要(Overview)」の節で指摘したように、ITRS ロードマップは「ムーアの法則としにほかのトレンドを維持するために産業界はどのような技術的能力を必要としているか」という精神にそってまとめられたものである。そういうわけで、「ムーアの法則を継続するためには、どの研究分野に焦点をさだめるべきか」について重点を置いて、「技術予測」を主眼しているわけではない。挑戦すべき技術課題を抽出するという精神に沿って、OTRC（総括ロードマップ技術指標, Overall Roadmap Technology Characteristics）チームは高レベルの技術的ニーズを改訂し、これが、各章の統一を図るための共通的な基準点を定めている。高レベルの目標は OTRC の各表にまとめられている。これは少なくとも部分的には、従来どおり集積回路技術の急速な発展トレンドを維持しなければならないとの経済的戦略に基づくものである。

しかしながら、過去数年にわたり、ITRS ロードマップはしばしば自己達成的な予言とみなされてきた。これは程度まで、正しい見解でもある。各企業はロードマップをもとに、互いにベンチマーク(比較検討)を行うので、ロードマップは研究開発の加速のためには有効であると自ら実証することになった。この意味で、生産可能な解(Manufacturing solutions)や採用可能な暫定解が知られている場合には、ITRS ロードマップの目標を予測として使うことが不適当というわけでもない。

とはいえ、ITRS ロードマップの目標は民事争議やその他の場で法的主張の根拠として使うべきではない。特に、ITRS ロードマップ活動への参加企業は、ロードマップ目標達成を確約しているわけではない。ITRS は技術評価だけを意図して編纂されたもので、個々の製品や設備に関する商業的対価には考慮していないことに留意されたい。

技術指標 (TECHNOLOGY CHARACTERISTICS)

すでに述べたように、国際ロードマップ委員会(International Roadmap Committee, 以後 IRC と略記)の指導と調整の中心的部分は ORTC(Overall Roadmap Technology Characteristics、総括ロードマップ技術指標)の表を最初に作成し、以後継続的に改訂していくところにある。国際技術ワーキンググループ(International Technology Working Group, 以後 ITWG と略記)が編集した章には、いくつかの主要な表が含まれている。これらは、ORTC の表の作成後に、個々ITWG の技術要求の表として作成したものである。ITRS 2007 年版では、ORTC の表も、個別の技術要求の表も、短期(2009 年、2010 年...2016 年)、長期(2017年、2018 年...2024 年)に分けて、各年に対応する値が記載されている。表の様式を Table B に示す。この表には、リソグラフィに関係した Table ORTC1からいくつかの行を引用しており、フラッシュ製品(Flash Products、一括消去可能な不揮発性メモリ)のコンタクトを含まないポリシリコンのハーフピッチの技術トレンドは最先端の技術目標として、表中に含まれている。ITRS2005 年版では DRAM の互い違いのコンタクトを含む M1(最下層金属配線)のハーフピッチだけは、ITWG のそれぞれの表の最初の行に標準的なヘッダとして、必ず引用することにしていた。ITRS2007 年版以降、各表の最初の行は「生産開始年(Year of Production)」を標準的なヘッダとして使うことにするが、そのほか技術トレンドの指標については、各 ITWG の判断に従って、Table ORTC 1から適宜選択されたものを、それぞれの ITWG の表の主要な技術ドライバを表すヘッダとして使ってよいことにした。

Table B ITRS Table Structure—Key Lithography-related Characteristics by Product
Near-term Years

YEAR OF PRODUCTION	2009	2010	2011	2012	2013	2014	2015	2016
Flash Uncontacted Poly Si $\frac{1}{2}$ Pitch (nm)	38	32	28	25	23	20	18	15.9
DRAM stagger-contacted Metal 1 (M1) $\frac{1}{2}$ Pitch (nm)	52	45	40	36	32	28	25	22.5
MPU/ASIC stagger-contacted Metal 1 (M1) $\frac{1}{2}$ Pitch (nm)	54	45	38	32	27	24	21	18.9
MPU Printed Gate Length (nm)	47	41	35	31	28	25	22	19.8
MPU Physical Gate Length (nm)	29	27	24	22	20	18	17	15.3

Long-term Years

YEAR OF PRODUCTION	2017	2018	2019	2020	2021	2022	2023	2024
Flash Uncontacted Poly Si $\frac{1}{2}$ Pitch (nm)	14.2	12.6	11.3	10.0	8.9	8.0	7.1	6.3
DRAM stagger-contacted Metal 1 (M1) $\frac{1}{2}$ Pitch (nm)	20.0	17.9	15.9	14.2	12.6	11.3	10.0	8.9
MPU/ASIC stagger-contacted Metal 1 (M1) $\frac{1}{2}$ Pitch (nm)	16.9	15.0	13.4	11.9	10.6	9.5	8.4	7.5
MPU Printed Gate Length (nm)	17.7	15.7	14.0	12.5	11.1	9.9	8.8	7.9
MPU Physical Gate Length (nm)	14.0	12.8	11.7	10.7	9.7	8.9	8.1	7.4

OTRC と技術要求の表は、個々の技術要求の導入時期についての、現時点での最良の予想を示すことを意図したものである。技術導入年(Year of Introduction) と 生産開始年(Year of Production) についての詳細な定義については、用語集(Glossary)も参照のこと。

技術発展のペース (TECHNOLOGY PACING)

以前の ITRS の版では、集積回路(IC)の寸法微細化における産業界の全般的進歩をあらわす単一の単純な指標として、「技術ノード(Technology Node、hpXX ノードとも表記)」を使ってきた。これは、全製品の中からコンタクトホールを含む金属配線パターンの最小のものを選んで、そのピッチの半分として定義されていた。歴史的には、DRAM(Dynamic Random Access Memory、ダイナミックメモリ)がその製品であって、特定の時点では、DRAM がコンタクトホールを含む配線パターンとしては最も微細なパターンを使い、したがって、DRAM は ITRS の技術ノードのペースメーカーとなっていた。しかしながら、現在は複数の重要なテクノロジードライバが微細化を牽引する時代となった。このため、DRAM に代表される単一のテクノロジードライバを強調し続けるのは誤解を与えてしまうと考えた。

たとえば、ハーフピッチの微細化の進展に加えて、フラッシュメモリのセル設計においてセル面積比(セル面積/ハーフピッチの自乗)の縮小が急速に進み、これが更なる高集積化をもたらした。フラッシュメモリではひとつのセルに電氣的に複数ビットを書き分ける技術が進展し、リソグラフィ上のハーフピッチの微細化とは別の手段で、ビット集積度を向上させることができた。二番目の例は MPU/ASIC 製品群である。動作速度を向上させることが技術を牽引していて、[MOS トランジスタの]孤立したゲート電極パターンの寸法微細化が進展している。このためには、最先端のリソグラフィ技術をエッチング技術がゲート電極の最終的物理微細寸法を実現するために使われている。

従来の ITRS の技術ノードの定義についてはかなりの混乱があり、この問題は今でも続いている。多くのプレスリリースやその他の文書が「ノードの加速」に言及する際に、ITRS とは異なった、または、しばしば未定義の基準に拠ってきた。もちろん、異なる IC パラメータは異なる比率で微細化が進むと期待されるし、その多くのパラメータは製品ごとにその意味付けが異なるということも確かにもっともなことである。このようなことを考慮して、ITRS 2009 年版では「技術ノード(Technology Node)」という用語を使わないことにし、今後もそれを継続する。上述のように、IRC は、各表の最初の行は「生産開始年」とするが、その次の行以降で DRAM の M1(最下層の金属配線)のハーフピッチを示す場合もあるが、これは、集積回路(IC)の微細化の複数の歴史的指標のうちのひとつにすぎない。今回の版で ITRS の表のフォーマットを変更したが、ITRS が「技術ノード(Technology Node)」という概念に関する産業界の混乱の原因でなくなることを期待している。もちろん、「ノード」という用語は ITRS 以外の場合では使われ続けるであろう。その際には、特定の製品において技術がどのように応用されているかを踏まえ、「ノード」の使い方が定義されることを期待している。

ITRS 2005 年版(2009 年版でも同じ定義を使用)における、全製品に対する M1(最下層の金属配線)ハーフピッチの一般的定義とフラッシュメモリのポリシリコン(多結晶シリコン)層のハーフピッチの定義については、Fig.1を参照されたい。

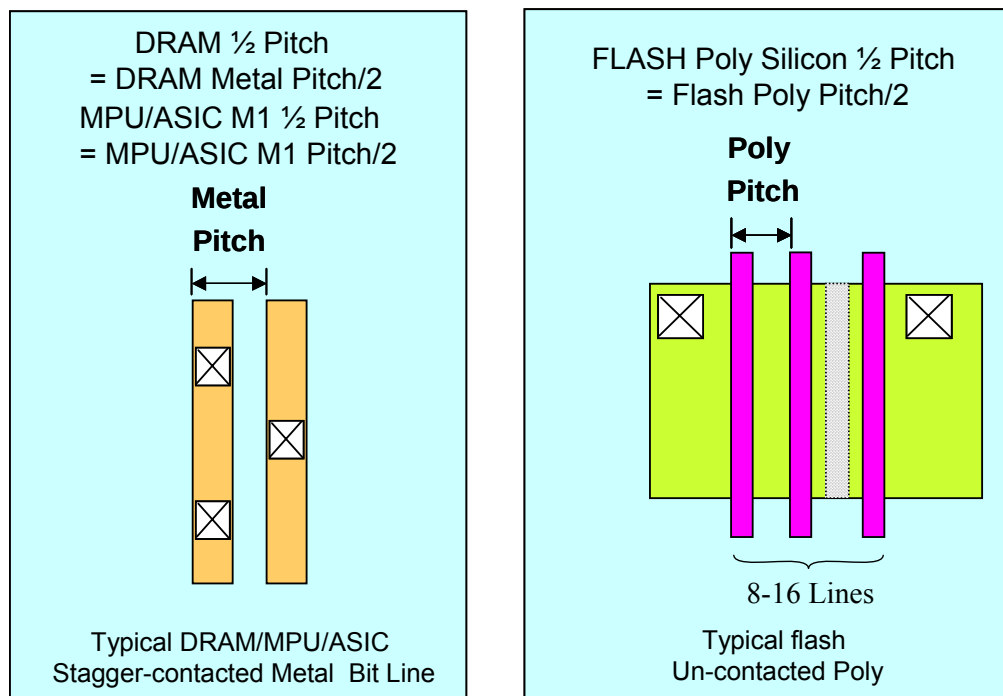


Figure 1 2009 Definition of Pitches

ITRS における技術導入時期の意味 (Meaning of ITRS Time of Introduction)

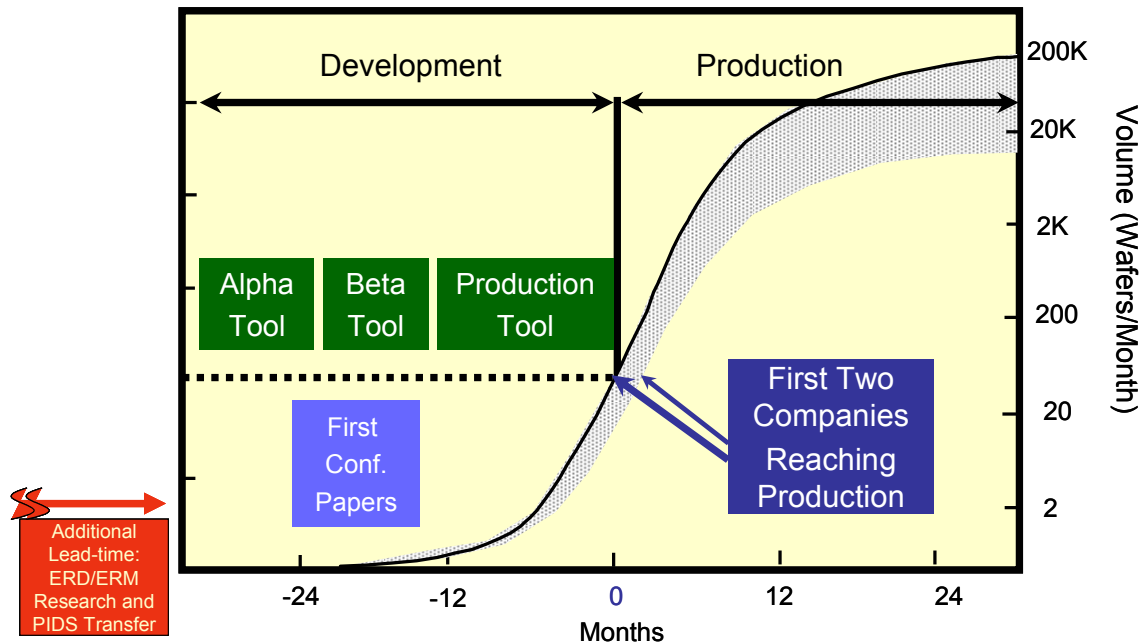
ORTC (Overall Roadmap Technology Characteristics、総括ロードマップ技術指標) と技術要求の表は、技術の導入時期に対して現時点での最良の推定を示している。理想的には、それぞれの分野での要求に応じて、研究-開発-プロトタイプ-生産という一連の複数のタイミングが示されるべきである。しかし、ITRS においてはひとつのタイミングに単純化し、「技術導入時期 (Time of Introduction)」は「生産が開始された時点 (Year of Production)」と定義しており、これが Fig. 2a に示されている。

Fig.2a は以前のロードマップ (の図) から改訂され、月産生産個数の軸を含んでいない。これは、それぞれの製品ごとに、初期の量産目標が異なるためである。したがって、縦軸には、典型的な大量生産品の立ち上げ数量を 2009 年版のロードマップに残している。

さらに、新探究デバイス (ERD: Emerging Research Devices) と新探究材料 (ERM: Emerging Research Materials) の両ワーキンググループの要請に従い、図中に注釈を入れた。ITRS の各ワーキンググループの主要技術課題への解決策の研究のためには、長期的研究が必要であることを強調するためである。最初のアルファ機またはアルファ材料の開発についても、ITRS が従来カバーしてこなかった今後 15 年より先の技術の開発についても、「技術の地平線 (horizon)」についてコミュニケーションをすることがますます重要になってくる。「地平線」にかんする技術は、最初は学会 (conference) の論文発表により提案され、その後に開発段階になると、ERD/ERM から PIDS/FEP のワーキンググループへの移管の時期を迎える。

より具体的には、Fig.2b に、2019 年の量産を目標としている新規のゲート電極構造を例として図示した。この例では、最初の研究論文が 2007 年に発表され、ITRS2011 年版のロードマップ編集作業の担当ワーキンググループを PIDS に移管する予定であり、さらに詳細な技術課題が定義される見込みである。

Production Ramp-up Model and Technology/Cycle Timing



ERD/ERM の研究とその PIDS への技術移転については、Fig.2b も参照のこと。また、(450mm 直径の)シリコンウェハを使ったパイロットラインと量産ラインの典型的な立ち上がりカーブについては、Fig.2c を参照のこと。

Figure 2a A Typical Technology Production “Ramp” Curve (within an established wafer generation)

ITRS における“生産”タイミングとは、まず、第一の企業がある技術による生産を開始し、第二の企業が典型的なケースでは 3 ヶ月以内に生産を行ったタイミングである。第二の企業が生産を開始するまでに、より長い期間を要する場合もある。生産とはプロセスおよび製品の認定が終了した時点である。製品の認定が終了するということは顧客が製品の納入を認めることを意味する。したがって、生産に先立ちプロセスの認定や製造装置の開発は終了していなければならない。生産用の製造装置は通常 12 から 24 ヶ月先行して開発されていなければならない。当然ながら、アルファ機およびそれに続くベータ機は生産用製造装置の前に開発されていなければならないことになる。

Fig. 2a と Fig.2b における「生産開始 (Time zero (0))」の時点はフル生産開始の立ち上がり時点である。例えば、2 万 WSPM (wafer-start-per-month, 枚/月)の能力を持つよう設計された工場では、20 WSPM からフル能力まで生産を立ち上げるのに 9 から 12 ヶ月かかる。この期間は、例えば、6 千個/月から 6 百万個/月の生産を立ち上げる期間に対応する。上記の 6 百万個/月の生産は、例えば、300mm ウェーハで 140mm² のチップ (430 チップ/ウェーハ) を 2 万ウェーハ/月生産し、歩留まりが 70%であったときの生産量 (430 チップ/ウェーハ × 2 万 WSPM × 70%) に対応する。

これに加え、上記の例では ITRS の生産量の立ち上げの例はウェーハサイズの世代が変化しないケースを想定していることを注意されたい。現在は、直径 300mm ウェーハから直径 450mm ウェーハへの移行期にさしかかりつつある。過去に、複数のウェーハ世代が共存するなかで、先行企業での生産量立ち上げのカーブがどうであったかについては、さらに精査されている。これについては、ITRS2009 年版の 450mm の節の議論と Fig. 5 を参照されたい。2 つのウェーハ世代が共存する中で技術世代の移行が行われる際に、ウェーハサイズの変更による経済的な生産性向上モデルが検討されている。

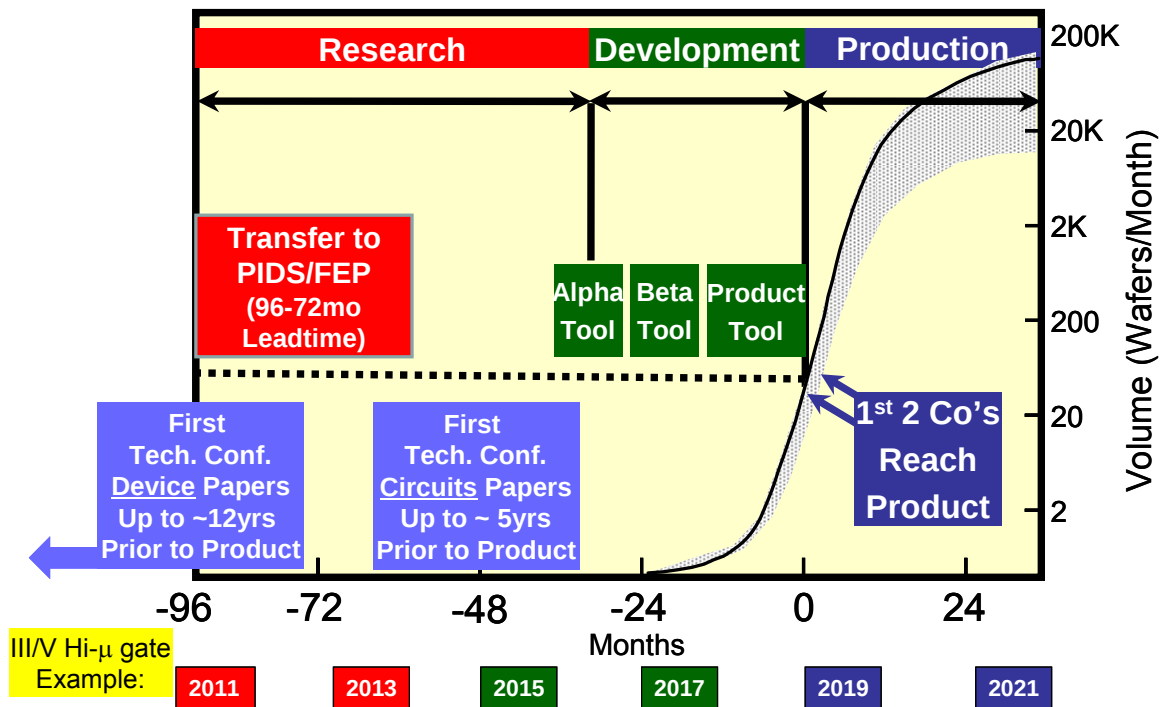


Figure 2b A Typical Technology Production “Ramp” Curve for ERD/ERM Research and PIDS Transfer timing (including an example for III/V Hi-Mobility Gate Technology Timing Scenario)

SICAS 2009 の産業界の製造能力の改訂 (2009 SICAS INDUSTRY MANUFACTURING TECHNOLOGY CAPACITY UPDATE)

ITRS は、文字通り、最先端半導体製造技術が最初に工場に導入される時期を予測することに注力している。ここでいう最先端半導体製造技術というのは、DRAM、フラッシュメモリ、MPU、高性能 ASIC などのように、特定の最先端半導体製品群の製造を支えるものである。一方、多くの企業においては、それぞれの理由により、最先端技術の適用時期を先行企業より遅らせることも多い。したがって、現実の製造の場においては、最先端技術から旧世代の技術にいたるさまざまな世代の技術が共存している。

さらに、いくつかの企業においては、最先端技術をその企業の製品ポートフォリオの一部として意図的に選択しするということもある。全製品に最先端技術を適用することは経済的に魅力的でないためである。また、個々の企業は、更なる微細化が意味を持たない場合には、特定の製品に対して、旧世代の技術をより長く使おうとしたり、使い続けることもある。このため、幅広い世代にまたがった技術が使われているし、今後ますますその傾向が顕著になってくる。

Fig.3 は、SICAS の 2009 年第 2 四半期のデータに基づき、棒グラフの形で、実際の世界の半導体製造能力を製品に使われる素子寸法ごとに示したものである。棒の横方向の長さは、MOS 集積回路の生産能力に比例している。産業界全体の製造能力素子寸法ごとに分けて統計がとられているが、同じ年でみても新世代から旧世代まで多くの技術にまたがった広い分布している。

ITRS の技術サイクルは、DRAM の M1 (最下層の配線) のハーフピッチを尺度として表示することにし、過去に実績値を黄色の印で示した。これは ITRS の各 TWG (技術ワーキンググループ) が実施した産業界の技術調査結果に基づいている。この調査は 2003 年、2005 年、2007 年に実施された。これによると、最先端の DRAM の M1 ハーフピッチは 2 年サイクルで、すなわち 2 年ごとに素子寸法が 0.71 倍というペース、つまり

技術世代ごとに 0.71 倍といペース、で推移し、1998 年の 250nm だったものが、2004 年には 90nm となった

【訳者注:ITRS では1サイクル(Cycle)を素子寸法が $1/\sqrt{2}$ となるために必要な期間と定義している。これは、素子のレイアウトが比例縮小される場合は、単位面積あたりの集積度が 2 倍になるために必要な期間に相当する】。しかしながら、最新の調査によると、DRAM の微細化トレンドは MPU の微細化トレンドに近づいている。この件については、2007 年と 2008 年にさらに調査され、ITRS 2008 改訂版で報告されるた。

Table ORTC1 は ITRS 2008 改訂版で改訂され、DRAM の M1 のコンタクトホール付のハーフピッチは 2.5 年サイクルで微細化が進み、これは、MPU の M1 のコンタクトホール付のハーフピッチの微細化ペースと同じである。DRAM の M1 のコンタクトホール付のハーフピッチの目標値は、ITRS 2009 年版の Table ORTC1 では、以前の版からの変化はなく、2010 年に 45nm に到達するまで、2.5 年サイクルとしている。2010 年から 2024 年までは、DRAM の M1 の(微細化ペースの)の目標値は3年サイクルとなっている。フラッシュメモリについては、コンタクト無しのポリシリコンのハーフピッチの目標値は、ITRS 2009 年版の Table ORTC1 では、2 年サイクルが 2010 年まで続き、そのときのハーフピッチは 32nm となり、以後は 3 年サイクルになる。MPU の M1 のコンタクトホール付のハーフピッチの微細化ペースの目標値は、ITRS 2009 年版の Table ORTC1 では、2 年サイクルとなるように改訂され、DRAM の M1 ハーフピッチと 2010 年に一致し、45nm となる。2 年サイクルのペースは 2013 年まで続き、以後は、DRAM やフラッシュメモリと歩調を合わせて、3 年サイクルのペースとなる。

Fig.3 の青い印は ITRS 2009 年版による DRAM の次の目標を示していて、2010 年に 45nm 技術が実現するとしている。以後 2013 年に向け、3 年サイクルで微細化が進む。同様に改訂された Fig.3 には、MPU の新たな 2 年サイクルのトレンドを青い丸で、フラッシュメモリのトレンドを紫の四角で示した。

最先端の素子寸法をもつ製品群の量産開始から 1 年以内に、生産のシェアが上昇して 20-30%に到達し、またシェアが 20-30%に到達した点のサイクルと量産開始のサイクルは、歴史的に 2 年サイクルが成り立っているときは、等しかった。しかしながら、最近の SIA WSTS の統計の 0.08um 未満の技術需要の統計(原注: WSTS (Worldwide Semiconductor Trade Statistics)は 2008 年に 0.08um 未満の区分が追加された)は、最先端の生産能力は 2 年サイクルの需要のペースより加速されていることを示している。

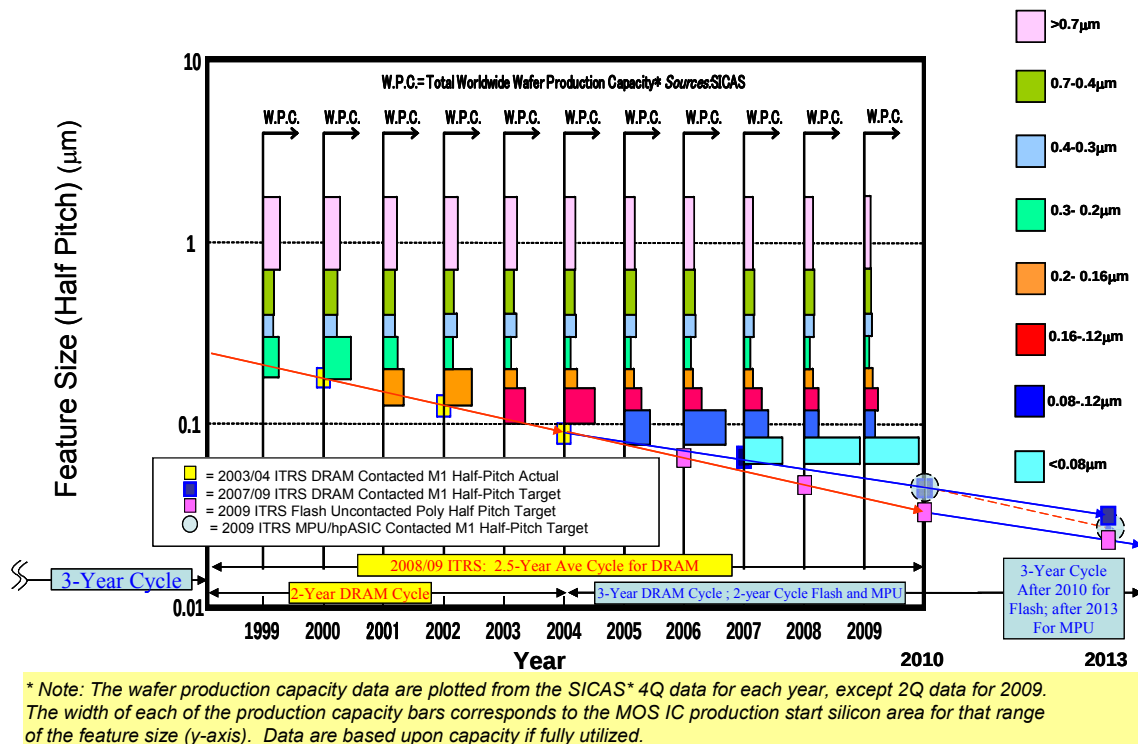
さらに、最先端技術の製造能力の比率は急上昇している。最先端技術世代とそのもうひとつ前の世代を合計すると、その製造能力も、典型的には、増加して、新技術導入から 2 ないし 3 年以内に全産業の生産能力の半分を占めるようになる。ITRS 2009 ではフラッシュメモリの微細化トレンドが 2010 年まで 2 年サイクル(2 年間で寸法が 0.71 倍)のペースで進むとした。これは、さらなる製造能力が最先端世代に付け加わっていることを意味する。

Fig.3 に示した SICAS データ上は、デザインルール 0.08um 未満の区分に最先端の 45nm 世代の製造能力が含まれていることに注意されたい。デザインルール 0.06um 未満の区分(製造能力が急増しているフラッシュメモリや MPU/ASIC の 45nm 世代はここに含まれる)の新設とその調査データの公表は、SICAS では 2010 年以降に延期された。このため、最先端世代(全体の MOS 製造能力の 20-30%を占める)が 1.5 年サイクルか、3 年サイクルかという実態の分析は ITRS 2010 年改訂版以降に持ち越しとしたい。

旧世代製品の生産能力はだんだん先端世代に移っていくという予想もあったが、現実にはその予測ほどには減少していないことにも注目された。SICAS で 0.08um 未満の区分ができて、最先端世代へ技術が移行していても、その時点での最先端世代のシェアは高くあり続ける。この現象は材料・装置のサプライヤの市場とビジネスモデルにとっては重大な意味を持ち続ける。最終的には、材料・装置のサプライヤが、ITRS の「主要な技術課題(Grand Challenges)」の解決策を開発して提供することになるからである。

サプライヤは長期間にわたって、旧世代技術の工場だけでなく、多様な製品と技術を扱う最先端の工場もサポートを提供しなければならない。これに加えて、サプライヤはアルファ機・材料、ベータ機・材料を生産開始時期の 2~3 年前に供給しなければならない。さらに、その後の複数世代にまたがる生産立ち上げに向けて必要な準備をしなければならない。このようなシナリオは、装置・材料のサプライヤとチップメーカーの両者に市場

機会をもたらすとともに、研究開発とサポートのリソースに対する課題をもたらしている。特に、来るべき直径 450mm のシリコンウェーハ世代の投資への準備についても上記のことがあてはまる。



注：半導体集積回路の製造の能力を SIA (Semiconductor Industry Association) の SICAS (Semiconductor Industry Capacity Supply statistics) のデータに基づきプロットした。各年の第四四半期 (4Q) のデータを使ったが、2009 年については第 2 四半期 (2Q) のデータを使った。棒の横方向の長さは、MOS 集積回路の生産能力に比例している。縦方向は集積回路のデザインルール (典型的パターン寸法) を示している。生産能力は、工場の設備がフル稼働したときの生産能力のことであり、生産実績とは異なる。

Figure 3 Technology Cycle Timing Compared to Actual Wafer Production Technology Capacity Distribution¹

ロードマップがカバーする範囲 (ROADMAP SCOPE)

伝統的に、ITRS の各版は CMOS (Complementary Metal-Oxide-Silicon) 技術のスケールリングは継続するという見方を中心として作成されてきた。しかし 2001 年版より、われわれは次の見方をしている。ロードマップの地平線 (Horizon) の向こう側 (たとえば、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のチャネル長が 9nm 以下になる時点) では CMOS の継続スケールリングに関する楽観的予測が危うくなるということである。さらに、半導体産業関係者の大多数の人々は、今までのようなプロセス装置および工場のコスト増加傾向を、さらにもう 15 年間どうやって負担し続けられるか想像することすら難しいと感じている。そこで、ITRS はポスト CMOS デバイスを対象として取り上げることを始めている。これらのデバイス、すなわち比較的身近な Non-planar CMOS からスピントロニクス (Spintronics) などエキゾチックな新デバイスを含むことにより、

¹ 上記グラフの分析につかわれたデータは SIA (Semiconductor Industry Association) の SICAS (Semiconductor Industry Capacity Supply statistics) に基づいている。この SICAS のデータは世界中の半導体メーカーから収集され (MOS 集積回路の製造能力の 90%)

ロードマップは必然的に拡散してゆく。CMOS の拡張であろうとまったく新規なアプローチであろうと、ポスト CMOS の導入により機能当たりのコスト低減し、集積回路の性能を向上させなければならない。さらに、製品の性能向上は素子数の増加だけに頼るのではなく、設計上の選択肢や技術のパラメータの複雑な組み合わせによって実現されるものになってくる。したがって、ロードマップでの新技術とは新規デバイスだけでなく新しい製造技術や設計技術のためのパラダイムをも含むことになる。

マイクロプロセッサ、メモリ、ロジック集積回路は、シリコンの CMOS 技術を必要としている。最小寸法の微細化によって、ムーアの法則に示されるように、ひとつのチップ上にますます多くのトランジスタを集積できるようになった。SoC (System-on-Chip、複数の機能を単一チップ上に集積化する技術)の本質的機能はデータ蓄積とデジタル信号処理である。しかしながら、電力消費、ワイアレス通信(または RF(高周波))のバンド幅などの多くの定量的要求、受動素子、センサー、アクチュエーター、バイオ機能などの機能的要求、さらには埋込みソフトウェアの機能などはムーアの法則の通りには微細化することはできない。このような場合には、非 CMOS 技術が適用されることが多い。将来、CMOS 技術と非 CMOS 技術を単一パッケージ内に集積化すること(すなわち SiP)がますます重要になってくるだろう。機能性の観点からは、SoC と SiP(Sytem in Package、複数のチップを単一パッケージ内に実装する技術)は相補的なものであり、必ずしも互いに競争する技術ではない。さらに、当初は専用の非 CMOS 技術によって満足させてきた機能も、その後の段階では、基本となる CMOS 技術から派生した混載技術をつかって、CMOS の SoC として集積化できるようになる。したがって、システムとしての機能を SoC と SiP に振り分ける方法は時とともに変化していくことになるだろう。これには、ナノエレクトロニクス(nano-electronics)、ナノ熱機械学(nano-thermomechanics)、ナノ生物学(nano-biology)、並列度が非常に高いソフトウェアなど、学際領域でのイノベーションが必要とである。SiP への応用のためには、実装技術が機能要素であり、重要な差異化要素である。このようなトレンドを ITRS 2009 年版の Fig.4 に図示したので、これを参照されたい。

Moore's Law & More

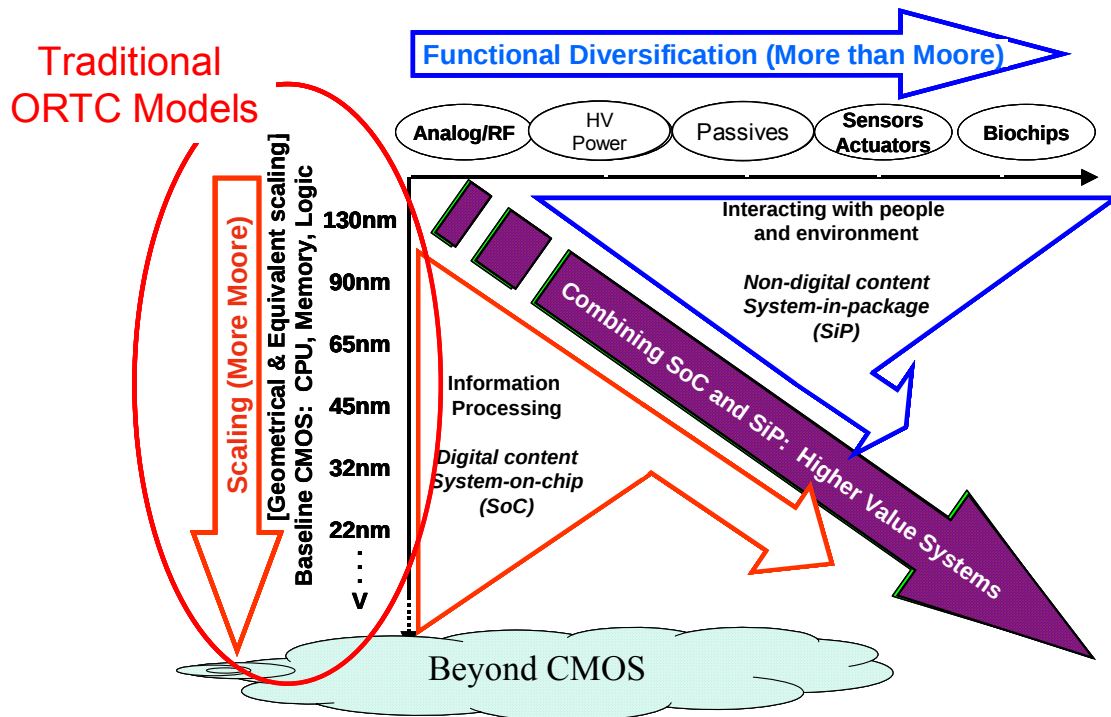


Figure 4 Moore's Law and More

MORE THAN MOORE(機能的多様化)

“More than Moore”という概念は 2005 年版のロードマップで紹介され、2007 年版ではさらに議論され改善された。例えば、“Beyond CMOS”という概念については多くの議論がなされ、ERD の章と ERM の章に詳述されている。また、複数の白書がウェブサイトで公開され、“More than Moore”について、また SOC (System on Chip) と SiP (System in Package) についてのより詳細な記述を提供している。これに加え、下記の定義についてのコンセンサスが得られた。これを ITRS 2009 年版で追加・改訂した。(Fig.4 と用語集 (Glossary) を参照)

微細化(“More Moore”)

- 幾何学的微細化(電界一定の微細化) (Geometrical (constant field) Scaling) は、チップ上のロジックとメモリの平面的(シリコン基板の表面方向)、垂直的(シリコン基板表面に垂直方向)物理的寸法を縮小し続けることにより、素子密度を向上させることで機能あたりのコストを削減し、性能(速度と消費電力)、信頼性を半導体応用機器や最終顧客にもたらすことを指す。
- 等価的微細化(Equivalent Scaling)は、幾何学的微細化とともに使われ、幾何学的微細化を可能にする以下のような技術手段を指す: 3 次元的な素子構造により“Design Factor”【訳者注: メモリセルの面積をデザインルールの一乗で割ったもの】を改善すること。これに加えて、集積回路の電気的性能を向上させるため、他の幾何学的スケーリングによらないプロセス技術や新規材料を導入すること
- 設計による等価的微細化(Design Equivalent Scaling) (上記の幾何学的微細化と等価的微細化とともに起こる) は、高性能、低消費電力、高信頼性、低コスト、設計効率向上を可能にする設計技術をさす。

- 例示すると(網羅的ではないが)、ばらつきを考慮した設計(design-for-variability)、低消費電力設計(スリープモード、ハイバネーション、クロックゲーティング、電源電圧の複数化など)、同種または異種のマルチコア SoC アーキテクチャ
- 定量化可能な特定の設計技術の必要性に焦点を絞ること。消費電力と性能間のトレードオフが微細化(“More than Moore”)の機能的要求に合致するように取り組むこと。さらに、高密度化(“More than Moore”)を指向する設計アーキテクチャ上の機能性が消費電力と性能の必要を解決できるようにすること

機能的多様化(“More than Moore”)

機能的多様化は必ずしもムーアの法則による微細化に従うことなく、異なる方法で最終顧客に付加価値を提供する機能をデバイスに組み込むことを指す。機能的多様化(“More than Moore”)のアプローチによれば、非デジタル機能(たとえば、無線通信、電力制御、受動素子、センサ、アクチュエータなど)をシステム基板レベルから特定のパッケージレベル(SiP)やチップレベル(SoC)の実装方法に移行させることができる。

- 設計技術は、“More than Moore”技術に利点をもたらすような新機能を可能にする。
- 例示すると(網羅的ではないが)、異なる機能統合するにあたり、個々の機能を個別部品に分割する際の新しい方式やそのシミュレーション、ソフトウェア、センサやアクチュエータのためのアナログとミクスドシグナルの設計技術。また SIP、MEMS、バイオテクノロジーとデジタル回路の同時設計(co-design)や同時シミュレーション(co-simulation)を行うための新しい方法やツール。
- 機能的多様化を可能にするための設計技術の必要性に注力すること

Beyond CMOS

新探究デバイス(ERD:Emerging Research Devices)と新探究材料(ERM: Emerging Research Materials)の両ワーキンググループは情報処理を行うための「新しいスイッチ」に注目している。典型的には、新しい状態変数を利用することにより、限界まで微細化した CMOS を超えて機能的に実質的微細化を実現しようとするものである。ここで、「CMOS を超えた(“Beyond CMOS”)の実質的微細化」は、機能的集積密度、性能向上、劇的に消費電力削減などの観点から定義される。「新しいスイッチ」は情報処理のための素子または技術であって、データの蓄積、記憶、素子間の接続の機能とともに利用できるものをさす。

- Beyond CMOS の例としては、以下のものを含む：炭素をベースにした(カーボンナノチューブやグラフェンを使った)ナノエレクトロニクス、スピン素子、強磁性体ロジック、原子スイッチ NEMS (Nano-Electro-Mechanical-Systems)

産業界の発展における機能的多様化(“More than Moore”)の構成要素の相対的重要性は今後ますます増大する。この傾向は、イノベーションのペースを維持するための研究がカバーすべき科学的分野の多様性を高める一方で、財務的試薬はより厳しくなる。ITRS が重要な役割をはたしているこのような研究分野におけるガイドラインについての問題意識は重大なものである。このことを検討するため、ITRS 内のいくつかのワーキンググループが、それぞれの専門分野において、機能的多様化(“More than Moore”)のトレンドの帰結について調査してきた。この作業は今後さらに勢いをますことになろう。調査結果については、ITRS のそれぞれの章に記載されている。

ITRS 2009 年版の守備範囲には、すべての CMOS 集積回路に対する詳細は技術要求が含まれていて、無線通信とコンピューティング用の製品もこれに含まれる。この製品グループは世界の半導体消費の 75%以上を占めている。もちろん、CMOS 集積回路の設計、製造に使用される技術の多くは、化合物半導体、ディスプレイ、光、マイクロエレクトロメカニカル・システム(Micro-Electromechanical Systems:MEMS)等、他のデ

バイスにも使用されている。したがって、ITRS ロードマップの直接的目的として明示してはいなくとも、ITRS ロードマップは集積回路技術をベースとするほとんどのマイクロ、ナノ技術に関し共通する技術的要求をカバーしているのである。

ITRS 2009 年版のトピックス (2009 ITRS SPECIAL TOPICS)

エネルギー (ENERGY)

エネルギー消費は、世界的なCO₂排出問題とあいまって、公共の議論の場でもますます重要なトピックスになってきた。半導体エレクトロニクスは、エネルギーの収集、変換、蓄積、放出、消費に広範囲に適用可能である。このため、ITRSがエネルギー問題の重要性の多くの要因に言及するのは驚くべきことではない。一般的に、ITRSは、印象的なトレンドを文書化し、将来のエネルギー効率について積極的な目標を設定している。たとえば、一つ動作(ロジックの状態の遷移、メモリのビット状態の書き換え)あたりの消費エネルギーなどである。最も詳細な目標は、半導体材料・プロセスとデバイス技術に直接関係していて、これらは、それぞれ、集積回路の製造と構成要素の基盤を形成している。

次に、ITRS は集積回路の設計とシステムについて言及している。ITRS の設計 (Desogn) の章とシステム (System Driver) の章では、数年来、エネルギー要因は設計技術にますます直接的影響をあたえるようになってきている。消費電力は、いまや、チップ設計の最大の設計制約であり、過去 5 年間、ITRS はこれを、全体で大きな三つの大きな技術課題のひとつとしてきた。リーク電流による消費電力は、そのばらつきも含め、将来 15 年間にわたる明確な長期的問題であり、また焦点となるトピックスとしてきた。このような、エネルギー問題への挑戦との関係は、情報技術機器の世界的な利用が増えるということに基づいている。

基本となる個別要素(スイッチ、配線、メモリのビット)とそれらによって構成される回路の効率向上とともに、先端半導体技術がエネルギー利用に与える主な好影響は、回路自体の応用にある、その回路が制御する応用装置のエネルギー効率を特に向上させるように設計されることも多い。例えば、マイクロプロセッサ、シグナルプロセッサ、電力や電池を管理する回路などは、通信システム、家庭電気製品、自動車などの乗り物、産業機器、などにとっても重要である。

ITRS は半導体の製造におけるエネルギー消費量の最小化にも言及している。とくにファクトリインテグレーション (Factory Integration) と環境・安全・健康 (ESH) の両章では、半導体集積回路の生産に必要なエネルギーとその他の資源消費量のさらなる削減目標を提示している。より一般的に、集積回路の環境負荷を軽減するための目標も示している。2008 年にファクトリインテグレーションの国際技術ワーキンググループ (ITWG) はムダ (waste) 削減のロードマップを定義するための上位の指標 (metrics) として、待ち時間のムダと装置出力のムダの 2 つを使うことを合意した。

ファクトリインテグレーションの国際技術ワーキンググループ (ITWG) の次の目標は、これらの 2 つの指標を ITRS 2009 年版に取り入れることで、「体系的なムダの可視化により、材料とエネルギー使用量を同定することが期待される。今後、それぞれの上位指標の初期値・基準値とそのフィードバックのやり方を定めるための戦略を定義する」との報告されている。

同様に、フロントエンドプロセス (FEP) の ITWG の報告によると、現在のグローバル (global) なエネルギーと環境の状況にかんして、FEP 分野の技術開発は回路の集積度や速度を向上させるという要望だけでなく、消費電力の低減や製造時のムダの削減の要望によっても主導されている。高誘電率 (high-k) ゲート絶縁膜と金属ゲート電極 (metal gate) の組み合わせをロジック集積回路のトランジスタに取り入れることにより、高速のトランジスタをもたらすとともに、リーク電流と電力消費も低減させた。消費電力と性能の双方が、結局は、FD-SOI (Fully Depleted Silicon-on-Insulator: 完全空乏形の SOI 基板上) のトランジスタやマルチゲート (MG: Multi Gate) のトランジスタ構造への移行を主導することになる。すでに ITRS 2007 年版でも多様な観点から述べられているが、化学薬品や材料の使用量とムダの削減の努力が続いている。たとえば、より希釈された溶液を洗浄工程に適用され続けている。さらに FEP はファクトリインテグレーションの ITWG と密に作業を続けており、ウェハの処理を行わないときに、「スリープモード (休止モード)」に入って消費電力を削減で

きる製造装置を同定した。もちろん、「スリープ」という概念や、その他の省エネルギーモードの起源は回路設計技術にある。ITRS 2008 年改訂版の用語集 (Glossary) ではこのような技術を「設計による等価的微細化 (Design Equivalent Scaling)」の一部として文書化している。【訳者注:あわせて ITRS 2009 年版の用語集 (Glossary) も参照されたい。】前述の「More than Moore (機能的多様化)」の節も参照されたい。

最後に、ITRS の 15 年間の守備範囲 (Scope) の終わりごろ (これを技術の地平線 (horizon) という) には、CMOS を越える (beyond-CMOS) 技術が情報技術のエネルギー効率を大幅に改善するかもしれないと ITRS は予想している。この分野での作業の一部として、ERD (Emerging Research Devices: 新探究デバイス) の技術ワーキンググループは、2008 年 Virtual Immersion Architecture (VIA) Forum の成果を以下のように要約した。「VIA 応用の増大が、グローバルなエネルギー消費の実質的増大をもたらすことが関心事である。これは、デスクトップ機器だけでなく携帯用機器についても、単位エネルギーあたりの計算スループットをより重要視することである。携帯用機器での応用においては、情報処理のためには、非常に少ないエネルギーしか利用できず、より広範囲の応用が実現するのであれば、1 ジュールの消費エネルギーあたりの性能をさらに高める必要がある。これらの両方のトレンドは、2020 年までに、計算性能を適当な評価指標のもとで 1 桁から 2 桁改善しなければならないことを意味している。これは、到達する 1 ジュールあたりの最大の性能についての問題を提起するもので、情報理論と熱力学に立ち返った検討の必要性を示唆している。4 つの命令をもつ 1 ビットのプロセッサを第一原理による解析で概算すると、CMOS 技術と典型的なコンピュータアーキテクチャによると 30% 以下の改善しか達成できない。おそらく、エネルギー効率の高い動作を実現するため、仕事量に対して自分自身で適応できるようなアーキテクチャを使うことによって、より 1 ジュールあたりのエネルギー効率のより高いほかのアプローチがもたらされることになるだろう」

ITRS は、これからも、上記の方向性に従ってエネルギーに関連する問題に丹念に焦点をあてていき、世界が直面するエネルギーへのチャレンジに重要な貢献をしていく。

新探究材料 (EMERGING RESEARCH MATERIALS)

新規デバイスや新規メモリの概念が ERD (Emerging Research Device) 章で議論されているが、その多くは新規材料を使うことになるだろう。たとえば、デバイス自体、デバイス間の相互配線、パッシベーション (passivation、デバイスを非活性化するため、薄膜を形成したり、特定の雰囲気化で熱処理したりする技術) などに新規材料が使われる。新規材料への要求は新規デバイスや新規メモリの性質や仕様に非常に強く依存している。このため、2005 年には、ERD 章編集のため、新探究材料 (Emerging Research Materials, ERM) のサブグループが組織された。ITRS 2007 年には、ERM サブワーキンググループは ERM のワーキンググループに昇格した。これらの活動成果は、2009 年にはさらに拡大と強化がなされ、独立した ERM (Emerging Research Materials) の章として公表された。

450mm 直径のシリコンウェハへの移行 (TRANSITION TO 450 mm)

450mm 直径のウェハへの移行の論理的根拠は生産性向上にあり、これは、ムーアの法則の実現手段のうちの一つである。他の技術に進展がないとしても、大口径ウェハの導入によって、1 平方 mm あたりのし遺跡回路の製造コストを削減させることができる。ITRS 2007 年版のロードマップの作成過程において、経済学的考察に基づき、ISMI (International SEMATECH Manufacturing Initiative) は、生産性向上のトレンドカーブを維持するためには、半導体産業は 2012 年までに、30% のコスト削減と 50% の生産サイクルタイムの改善を達成する必要があると結論づけた。ISMI の見解によれば、450mm ウェハへの移行によってのみ、この達成が可能となる。ただし、コスト削減は過去のウェハ世代交代においても達成されてきたが、サイクルタイムの改善は新たな目標である。この見解は、2007 年に、300mm ウェハ世代の製造ラインでの潜在的な改善可能性についての結論からも補強された。いわゆる「300mm Prime」プログラム【訳者注: 300mm ウェハの製造ラインでの生産性向上を目指したプログラム】では、サイクルタイムを削減する可能性はあるが、

ムーアの法則のトレンドに従ったコスト削減は達成できないという検討結果であった。この認識を受けて、ISMIは2007年7月に450mmイニシアティブを開始した。

その後、2008年5月に、Intel、Samsung、TSMCの3社(IST)は(装置・材料の)サプライア、その他の半導体関連組織、ISMIとともに、450mm技術開発し、2012年までにパイロットライン(pilot line)を作ることと目標とすると発表した。本格量産(full production)はその2〜3年後にできるとした²。この公表内容やアセスメントは将来の発表によって変更される可能性があるが、ITRS 2009年版の執筆時点では上記3社の記録に残っている声明である。

450mm 設備での生産立ち上げ時期は(初期のパイロットラインの生産能力との対比において)新しいウェハ直径への移行にともなうすべての技術的課題の習得だけに依存するのではなく、半導体産業の覚悟に依存する。移行時期の確からしさを評価するには、したがって、バリューチェーン全体を検証しなければならない。

- 装置サプライアの立場からすると、プロトタイプ装置の主要サプライアの計画が ITRS にはきちんと書かれていない。
- チップメーカーの立場からすると、重要な問題は特定の一時期にまとめた初期投資をする必要があることである。300mm 工場に生産性向上の見込みは実証されたが、それには、40 億ドル以上に巨額投資が必要であった。450mm 工場が経済的に成り立つための最小生産規模のための投資規模は、更に大きく、多くの会社にとって手が届かない。さらに、産業界全体を考慮に入れた経済モデルは 2012 年が 450mm への移行の適切な時期と結論付けているものの(ISMI も 2007 年に同様に結論づけている)、個別の会社の判断は会社ごとに異なるかもしれない。したがって、450mm の生産設備装置の市場の立ち上がりの速度と成熟期に市場規模は疑問の余地があり、このことが装置サプライヤの新世代の装置への開発投資時期を遅らせることがありうる。

過去の事例をみると、それぞれのウェーハサイズの移行は、それ以前の場合とは異なっているということがわかる。300mm ウェーハの移行の特徴は、このとき初めてコンソーシア(I300I と Selete)が産業界全体の取り組みをリードしたという点である。コンソーシア方式(の有効性)は実証済みであり、450mm へのウェーハ寸法の移行の際にもこの方式が選択される。SEMI の参画も 300mm ウェーハ寸法への移行に際して本質的であった。このとき初めて、最終仕様での製造装置が完全に開発される前に、「暫定的な標準」が産業界全体で合意されたからである。特に、完全なウェーハ搬送システムの受け入れに合意することで、産業界は基本的な問題を解決することができた。すべてのサプライアはウェーハ搬送、ポート設計、ロードサイズについての各社所有の解決方式を放棄し、FOUP / オーバーヘッド方式に合意した。関係するすべての団体が最終案に合意するまでには、数年間にわたる議論が必要であった。この観点からすると、450mm のウェーハ寸法への移行にあたっては、300mm ウェーハの搬送の標準化作業がすでに終了しているのは有利なことで、この状況を十分に享受することができる。300mm の搬送自動化はすでに受け入れられている技術であり、450mm への移行にあたっては、その小修正が必要だけである。したがって、自動搬送に関する限りは、300mm ウェーハ寸法への移行の場合に比べ、450mm ウェーハ寸法への移行の場合は必要期間が短くてすむ。

一方、フロントエンドプロセス(FEP)のワーキンググループは国際ロードマップ委員会(IRC: International Roadmap Committee)に対し、「SEMATECH/ISMI によって大きな進展がなされ報告されているものの、エピタキシャルプロセスと平面度についての開発段階での目標は達成されていない。ウェーハ供給メーカーは2011年までに研究段階から開発段階に移行すると推定される」と助言している。300mm ウェーハの場合には、この移行の7年後に300mm ウェーハが集積回路メーカーの大量生産に使われるようになった。開発が以前と同じ進むとすると、2018年までには450mm での生産が始まることになるだろう。集積回路メーカーが450mm ウェーハによる製造に2014年から2016年に移行するためには、上記項目の開発加速が必要で、SEMATECH/ISMI は供給メーカーとともに作業を進めていると思われる。このため、FEP のシリコンウェーハの

²出典: 2008年5月 / 2008年10月のISMI Symposium / 2008年12月に韓国で開催されたITRS IRC(International Roadmap Committee)でのISMI 450mm Transition Program Update

表 (Table FEP10) では、2014 年について、これらの項目を「黄色」に色分けしている。これは、IST (Intel、Samsung、TSMC) 3 社と ISMI の 2014 年の量産時期がずれるかもしれないことを示している。これは、2014 年の量産開始の可能性を否定するものではない。ISMI と IST3 社が発表した計画と整合をとるためのウェーハ製造業界の取り組みも考察する必要がある。ITRS 2010 年改訂版の作成作業と ITRS のワークショップを通し、(ウェーハ開発について)進捗状況のモニタを続ける。

上記の状況を踏まえ、また、SEMATECH/ISMI の NGF (Next Generation Factory: 次世代工場) プログラムは 300mm 対応装置の改善をめざすものであるが 450mm 対応装置にも適用可能であり、NGF プログラムの進展も考慮すると、450mm のパイロットラインの製造装置は 2012 年から 2014 年にかけて入手可能となると ITRS の国際ロードマップ委員会 (IRC: International Roadmap Committee) は考えている。2014 年から 2016 年以降の生産規模の拡大は、450mm ウェーハの大量入手が可能かどうかによって決まる。また、ITRS/IRC は、ウェーハ直径と技術世代が 1 対 1 に対応するわけではないと推定している。つまり、ある限定された期間にわたって、複数の最先端技術が、300mm と 450mm の両方の技術を使って製造されるだろう。以前、2001 年から 2003 年は 300mm ウェーハの立ち上がり時期であり、このとき、連続する 2 つの技術世代 (M1 (最下層の金属配線層) のハーフピッチで 180nm から 130 nm に相当) に対応している。

さらに、ITRS 2009 年版では、450mm での量産立上げモデルの図 (Figure 5) を新たに追加した。この図では、新しい世代のウェーハが導入される際には 2 つの S 字カーブで量産規模がたちあがること明示した。これは、2001 年から 2003 年にかけて、300mm ウェーハの立ち上がり時期が連続する 2 つの技術世代 (M1 (最下層の金属配線層) のハーフピッチで 180nm から 130 nm に相当) に対応したという経験に基づいている。

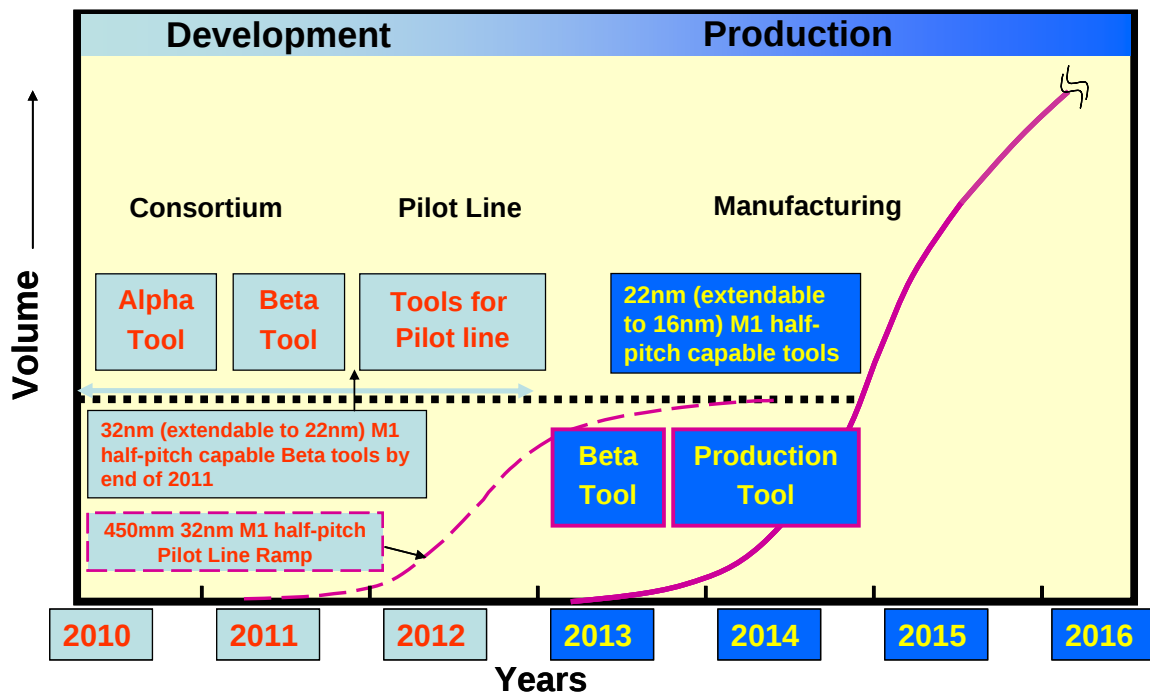


Figure 5 A Typical Wafer Generation Pilot Line and Production “Ramp” Curve applied to Forecast Timing Targets of the 450 mm Wafer Generation

主要な技術課題 (GRAND CHALLENGES)

短期予測 IN THE NEAR-TERM (2016 まで) と長期予測 LONG-TERM (2017 年以降)

概要 (OVERVIEW)

半導体産業界の継続的な研究開発の成果により、微細化の再加速と多様化が進むと予想している。フラッシュメモリの微細化は 2010 年までは 2 年サイクルで微細化進み、MPU は 2013 年までは 2 年サイクルで微細化が進む。DRAM の微細化ペースは 3 年サイクルである。[微細化のペースがそれぞれに異なるため、]技術ノードという言葉では、もはや、技術を明確に定義することができない。PIDS (Process Integration, Devices, and Structures, プロセスインテグレーション、素子、構造)の章では、MOSFET (MOS 型電界効果トランジスタ)の性能を向上させるためには複数の選択肢があり、この状況をパラレルパス (Parallel Path)と呼んでいる。MOSFET の構造としては、平面型の従来のバルク基板上の MOSFET (metal-oxide semiconductor field effect transistor, MOS 電界効果トランジスタ)、Fin-FET などのようにゲートを複数持つ MOSFET、SOI (Silicon on Insulator, SOI) 基板上の MOSFET が候補となっている。

ITRS も新時代に入りつつあり、産業界も CMOS 微細化の理論的限界に言及しはじめた。以下の技術領域には多くの技術課題が残っている: パターン形成、先端材料、特に非平面素子構造における歪エンジニアリング、接合リーク電流、製造プロセスの制御、製造可能性など。技術課題は CMOS に新規メモリ素子を統合する際の SoC 技術や SIP 技術を含む広い範囲の技術にも及んでいる。このような技術は半導体産業の持続的成長にとって不可欠である。

各 ITWG (International Technology Working Group) は「困難な技術課題」として表の形にまとめて、この概要 (Executive Summary) に含めた。本節 (主要な技術課題 (Grand Challenges) の節) は、技術課題のうちの主要なものを選んで、それを記述したものである。本節は、読者が主要技術課題の全体像を把握する一助となることを意図している。

これらの主要な技術課題を、性能向上と低コスト生産という、二種類の観点から分類した。さらに、短期的 (2007 年から 2015 年) と長期的 (2016 年から 2022 年) という二つの期間に分けて述べる。

短期予測 IN THE NEAR TERM (2017 まで)

性能向上 [ENHANCING PERFORMANCE]

ロジックデバイススケーリング [PROCESS INTEGRATION, DEVICES, AND STRUCTURES, FRONT END PROCESSES, MODELING AND SIMULATION, AND METROLOGY]

プレーナー CMOS のスケーリングは、重大な問題に直面している。ゲート絶縁膜の薄膜化、ゲート長の縮小や基板濃度の高濃度化といった一般的なスケーリングは、もはや、性能や消費電力から、応用機器の要求を満たさなくなっている。スケーリングの壁を打破するためには、プロセス制御性の改善を継続してゆくことに加え、新しいデバイスアーキテクチャーの導入はもちろん、新しい材料を導入することが必要となる。

短期予測では、HP や LOP デバイスに high-k メタルゲート (HKMG) が使われ始めたにも関わらず、酸化膜換算膜厚 (EOT) の薄膜化は、最も困難な課題である。22nm やそれ以降のデバイスでは、界面層のスケーリング、或いは、シリコン-high-k 界面の品質が、EOT スケーリングに非常に重要と考えられている。high-k 材料は、バンドギャップナローイングによりゲートトンネル電流が増加するため、デバイスに使用可能な high-k 材料は限られる。どの high-k 材料を選ぶかもまた、短期予測で直面する課題である。最良のデバイス特性と

なるようにまたコストに対しても最適化された完全なゲートスタック構造の材料が必要となる。シリコン絶縁膜/ポリシリコン構造が、長い間、最も信頼性の高いゲートスタック構造としての役割を果たしてきたため、これら high-k ゲートスタック材料への変更は MOSFET テクノロジーにおいて課題克服に向けての大きな挑戦である。

プレーナー MOSFET では、ショートチャネル効果を抑えるために高いチャネル濃度が必要となる。この場合、移動度の劣化とリーク増加による待機電力の増加とのトレードオフとなる。微細デバイスのしきい値制御のためにこのチャネルドーピングを用いるとしきい値ばらつきも増加し、電源電圧のスケーリングといった回路設計が難しくなる。解決策として、マルチゲート MOSFET(fin FET)、超薄膜ボディ FD-SOI、などの新しいデバイス構造が期待されている。これらの新規デバイスの課題は、薄膜 MOSFET の膜厚のばらつき制御である。回路設計やシステムアーキテクチャーの改善と共に、これらの課題克服を進めてゆく必要がある。

メモリデバイススケーリング[PROCESS INTEGRATION, DEVICES, AND STRUCTURES, EMERGING RESEARCH DEVICES, FRONT END PROCESSES, MODELING AND SIMULATION, AND METROLOGY]

産業における絶え間ない研究開発により、スケーリングの再加速やいろいろなスケーリング手法がもたらされている。現行の基本的なメモリとして、単体および混載型の DRAM、SRAM、NAND-Flash、NOR-Flash が挙げられ、ロードマップ table に掲載している。更に、試作段階ではあるが、新しいメモリとしてシリコン/酸化膜/窒化膜/酸化膜/シリコン(silicon/oxide/nitride/oxide/silicon (SONOS))、FeRAM(ferroelectric RAM)、MRAM(magnetic RAM)や相変化メモリ(PCRAM)をロードマップ table に掲載している。

DRAM の課題としては、高誘電体膜、低リーク設計、低抵抗のワード線ビット線材料の導入より、スケーリングで縮小される蓄積キャパシタの容量確保である。単体 DRAM では、high-k 膜はトレンチキャパシタセルの SIS(シリコン/高誘電体膜/シリコン)という形で使い続けられる。そして上部電極側のメタル化が 2007 年に、さらに 2009 年までに high-k を用いた MIM(metal/insulator/metal)が必要となる。このとき MIM で使われる high-k 材料は、50nm 以下の世代では、誘電率は 60 以上必要である。SOC との混載 DRAM では、集積化に向けての課題が多い。克服すべき課題の一つに ロジックデバイスのコンタクトルールで作られたスタックキャパシタ回りのコンタクトについての基本ルールの整合性が挙げられる。

スタックキャパシタセルの 6F2 に対し、トレンチキャパシタセルではまだ 8F2 で、トレンチ DRAM への high-k 膜の導入は、スタックキャパシタよりも 2-3 数年遅れる。トレンチキャパシタのスケーリングとしては、3D アレイトランジスタの導入が 65nm で予想されている。

フラッシュメモリ市場の急速な拡大に伴い、フラッシュメモリの材料やプロセスの課題に重点が置かれるようになった。この急速なフラッシュメモリの拡大で、フラッシュメモリは微細加工技術や材料技術に於ける新しいテクノロジードライブとなりつつある。実際に、NAND FLASH の単位セルの最小加工寸法 F は DRAM の 1/2 ピッチを追い越している。

FLASH メモリの課題としては、スケーリング則に従従することができないトンネル酸化膜厚とインターポリ絶縁膜厚、絶縁膜の特性、およびセルの縦横方向の大きさが挙げられる。FLASH メモリデバイスのセル縮小や書き込み電圧の低減を進めて行くためには、インターポリ絶縁膜やトンネル酸化膜をより薄くする必要がある。トンネル絶縁膜はデータ保持の為に十分厚くする必要があるが、書き込み・消去の為に十分薄くする必要がある。またインターポリ絶縁膜についてもデータ保持の為に十分厚い必要があるが、カップリング比を確保するためには薄くする必要がある。更に、従来のフローティングゲートの側面にコントロールゲートを埋め込み、カップリング比を得る構造は、ゲート幅ピッチの縮小に伴い実現不可能となる。そのため、2010 年までに high-k 膜のインターポリ絶縁膜がカップリング比確保の面から必要となる。これら FLASH メモリの課題は、新しいメモリ、MRAM や相変化メモリ、FeRAM で量産化や縮小化を行う場合の課題でもある。例えば MRAM のセルサイズ縮小と書き込みエネルギー低減化の手法が将来、必要になってくことや FeRAM では、セル耐久性、電力およびセルサイズの縮小化が問題になってくことなどである。MRAM と

FeRAM の他の課題としては、ロジック回路と組み合わせたときのコストであろう。特に、バックエンドで作られる MRAM と比べ、FeRAM では大きな課題となるであろう。また、3D 化が進めば、複雑で暫定的な金属酸化膜抵抗セルでも高集積化が進むと考えられる。

高性能、低コストRF&アナログ／ミックスドシグナルの解決策 [RADIO FREQUENCY AND ANALOG/MIXED-SIGNAL TECHNOLOGIES FOR WIRELESS COMMUNICATIONS]

10GHz 以下の無線トランシーバーやミリ波デバイスに於ける、主なテクノロジドライバは、コスト、消費電力、性能である。high-k 絶縁膜やチャネル歪エンジニアリングを用いたディープサブミクロン CMOS による 10GHz 以下の応用機器では、デバイスのミスマッチや $1/f$ ノイズを許容範囲にまで抑える技術が必要である。HBT デバイスを用いたアプリケーションは、縦方向のスケーリングをより進めると効果があると考えられる。MIM キャパシタに対し、より高い Q ファクターを持つ高密度で余り高価でないパッシブ素子では、新しい材料を用いて集積化する必要がある。MEMS 開発や Si に集積された MEMS やオフチップのパッシブネットワークに於いては、システム全体の性能が重要となる。ミリ波デバイスでは、Si 以外の GaN デバイスの開発が重要となる。

電源電圧が低減されているにも関わらず、チップが複雑になり、動作周波数が増える場合、チップの中のデジタルとアナログ領域の信号分離が、大きな課題となる。電源線やグラウンドが共用する基板を介してノイズカップリングを引き起こすことになり、新しい技術により基板ノイズカップリングを減らすことが必要となる。

新しいゲートスタックプロセスおよび材料 [PROCESS INTEGRATION, DEVICES, AND STRUCTURES, FRONT END PROCESSES]

ゲートスタック構造に於ける大きなブレークスルーとして、2008 年にマイクロプロセッサのゲート絶縁膜が酸化窒化膜から比誘電率 20 程度のハーフニウム系絶縁膜へ置き換えられたことが挙げられる。また、2008 年には、N 型、P 型にドーパされたポリシリコン電極もゲート空乏化のないデュアルワークファンクションメタルゲート電極に置き換えられている。

ロードマップでは、16nmノードのEOT(Equivalent Oxide Thickness: SiO_2 換算膜厚)が 0.8nm以下、16nmノード以降では、EOT0.6nm以下の薄膜化となっており、これらの薄膜化は 将来に渡り、最も困難な課題となっている。High-k材料としては、シリコンと荷電子帯、伝導帯のバンドオフセットが十分にあり、誘電率の高い材料が必要であり、界面層としては薄い酸化膜が必要である。また、16nmノードや 16nmノード以降、マルチゲートのゲートスタックでの界面準位低減も、キーとなる課題のひとつである。更に課題として、high-k膜とシリコン基板間の界面層のスケーリングが挙げられる。クーロン散乱やリモートフォノン散乱による移動度劣化を起こすことなく、界面層のスケーリングを行う必要がある。high-kや界面層の高品質化が困難であるため、Ge、SiGe、III-V族基板といった高移動度材料の導入も必要となろう。更に、絶縁膜破壊(ハードブレイクダウンやソフトブレイクダウン)、トランジスタ信頼性(チャージトラップ、仕事関数の安定性)などのhigh-k膜に対する信頼性要求も解決しなければならない。

DRAM の微細化には、データを保持するという信頼性の面から、記憶容量は、メモリセルが微細化されても 25-35fF に保つ必要がある。そのため、3D メモリセル構造を採用し、テトラゴナル構造ジルコニウム酸化膜、タンタル酸化膜、Ba/Ti が添加された high-k 膜、或いは、これらを組み合わせた high-k 膜など、より高誘電率の高い絶縁膜(higher-k)を導入することになるであろう。45nm ノード以降、メモリセルのリーク電流を 1 セル当たりフェムトアンペア(fA)レベルにまで低く保ち、メモリセル絶縁膜は、酸化膜換算値で 3 Å以下にする必要がある。このことが、DRAM が直面している大きな課題の一つである。

一方、フラッシュメモリでは、微細化と書込電圧の低電圧化のためには、インターポリ酸化膜とトンネル酸化膜の薄膜化が必要である。トンネル酸化膜は、保持性能を満たすにはある程度、厚くなければならず、消去／書込みを容易にするにはある程度、薄くなければならない。インターポリ酸化膜は、保持性能を満たすにはある程度、厚くなければならず、一定のカップリング比を維持するにはある程度、薄くなければならない。

このトレードオフが微細化を妨げており、フラッシュメモリプロセスに高誘電率膜と 3D 構造の導入が必要となっている。電荷トラップ層やもしくはナノ結晶を含む層にフローティングゲートを置き換えることでスケールアップが促進すると考えられるが、この場合、十分な読み出しマージンを持って小さくなったトラップ層に適切な量の電子を蓄積してゆくことが必要であり、大きな課題となっている。これは、ストレージに蓄えられる電子が 10 個以下となるマルチレベルセル(MLS)でより大きな課題となるであろう。

32 と 22 nm ハーフピッチ [リソグラフィ]

32 nm ハーフピッチは、依然としてリソグラフィ方式の変換点のままである。水を用いる 193nm 液浸プロセスは、NA の限界で 32 nm ハーフピッチを解像できない。しかし、微細なピッチは、ダブルパターニングあるいは二重露光によって、より大きなピッチに分割できるが、リソグラフィのコストはほぼ二倍になる。波長が 13.5nm と水液浸の ArF エキシマレーザよりも 1 桁小さい EUV リソグラフィはムーアの法則を進めるためのホープである。11nm ハーフピッチ近くまでは二重露光を必要としない。結果として、設計ルール制限は少なくなる。しかしながら、EUV リソグラフィは高出力で高効率な光源、高感度レジスト、無欠陥な高平坦マスクおよび関連インフラ整備を待っている。マスクの困難さを回避し、設計制限を無くし、生産の自由度を生む可能性を秘めている多重電子線マスクレスリソグラフィは開発の初期段階にある。量産機の時期、コスト、欠陥、重ね合わせ精度、そしてレジストについては今後の開発が必要な状況である。

22 nm ハーフピッチのリソグラフィに対して、193 nm 水液浸スキャン露光装置とダブルパターニングは、非常に大きな MEEF(Mask Error Enhancement Factor)、ウェーハ LER(Line Edge Roughness)、そして設計ルール制限のため延命はし難い。パターン形成装置で二回以上処理を行うことで高コストではあるが上記問題のいくつかは軽減させることができる。EUV 露光装置においては、NA 0.25 で 32 nm hp を満足する k1 ファクターと同等の k1 値を得るためには、NA は 0.36 より大きくなければならない。それは、投影光学系ミラー枚数の増加の可能性を意味し、それによりスループットの低下を抑えるための光源の出力増大が求められ、経済性の点で好ましくない。多重電子線マスクレスリソグラフィは、その時点ではよりよく開発されているが、同一サイズのフィールドで増大したピクセル数を維持する為に、ビームの描画高速性、あるいは、大きな並列性を持たなければならない。もし一回あたりの露光とプロセスのコストがマスクを用いる露光装置のそれと同等のフットプリントで実現できれば、ロジックとメモリーのアプリケーションに対して最も経済的で展望の開ける解となる。

マスク [リソグラフィ]

マスク技術は非常に高価で挑戦に満ちたものとなってきた。マスクコストは世代毎に高騰してきている。より高度な RET(Resolution Enhancement Technique)による微細化に加えて、MEEF の増大でマスクの寸法均一性の達成が困難となっている。二重そして多重パターニングにおいてはマスク位置精度への要求が厳しい。マスクのパターンサイズが縮小され、吸収体膜厚及び偏光照明の影響を受けて、問題をさらに悪化させている。EUV マスクは、無欠陥超平坦基板、ペリクル無しで露光するといった、さらに厳しい要求を抱えている。露光によるマスク検査および検証は EUV リソグラフィにとって必須である。EUV マスクインフラのコストと複雑性をよりいっそう増長させている。

レジスト [リソグラフィ]

フォトリジストの LER (Line edge Roughness) は実質的にはその絶対値をそのまま継続しており、寸法に対する割合はよりいっそう大きくなってきた。パターン形状のシュリンクに伴い、ショットノイズが問題となってくる。現像後のレジストパターンの倒れは、そのアスペクトレシオを 2.5 から 3 に制限するため、世代が進むに従いレジスト膜厚の絶対値は低減していく。液浸リソグラフィにおいては、レジスト材料の開発として、レジスト起因の低欠陥を保証しなければならないうえに、材料選択のさらなる制限を伴う。EUV リソグラフィにおいては、レジストからのアウトガスがデリケートな反射光学表面を汚染する恐れがある。生産性のための高感度とショットノイズに対する低感度、低 LER というトレードオフはレジストのパターン倒れより深刻な問題となっている。電

子線レジストにおいてもまた LER と同様、感度とショットノイズのトレードオフが問題である。電子線レジストにおける感度の要求は EUV リソグラフィのように厳しい状況ではない。

CDと L_{EFF} の制御[FEP, LithographyとPIDS]

ゲート長の急激な微細化に伴い、CD (Critical Dimension) 制御はリソグラフィーおよびドライエッチングプロセスにおける最も困難な課題の一つになっている。とりわけ、実効チャンネル長を制御するためにレジストスリミングとサイドウォール形状 (Profile) 制御が用いられているが、そのために CD 制御は更に難しくなっている。ゲート長に対して許容される 3σ ばらつきは、リソグラフィプロセスとエッチングプロセス間で最適比に分配されるが、プロセス許容値はどちらのプロセスでも限界に近づいている。設計の規則性を助ける設計ルールに関する制限をより強めることが、短期のスケラブルな CD 制御を可能にする方法として主流になった。LER (Line Edge Roughness) もデバイスばらつきに影響する重要な要因になった。計測技術における精度と処理能力と同じように、LER の抑制は加工プロセス (エッチングとリソグラフィー) の重要な技術課題であり続ける。更に、新しいゲート材料や 3D トランジスタ構造を導入することになると、選択的エッチングプロセスやサイドウォール形状制御における異方性改善に関して、より多くの課題を解決する必要があることになる。

導電性と低誘電率の要求を満たす新規材料の導入[配線技術]

信号伝播速度の遅延と電力の消費を最小限にするために、130nm 世代のダマシンプロセスから高導電性金属材料や低誘電率絶縁膜が導入されてきた。45nm 世代でもさらなる低誘電率絶縁膜が導入されている。絶え間ない配線の微細化は技術開発と量産技術に挑戦し続けている。メタル及び絶縁膜の急速な新規材料の導入が決定的要因になっている。Low-k 絶縁膜においては、既存の取組みはホモジニアスのポーラス Low-k 材料を導入する方法である。エッチング、CMP プロセスでの k 値の低減によるダメージは、よりポーラスな材料になるとますます重要になる。また他方の取組みはエアギャップである。これは同じ Low-k 材料を用いながらも、エアギャップの容積を増やすことで実効誘電率を下げることができ、魅力的である。エアギャップを含む様々な技術の中で、熱あるいは紫外線により劣化する犠牲層を設けるのが低コスト化のひとつの方法である。さらに、Low-k 材料は、ダイシング、パッケージングやアッセンブリーに耐えうる十分な機械的強度が必要である。メタルにおいては、Cu 配線幅の微細化に伴う Cu とバリアメタル、あるいは絶縁膜との界面、および粒界での電子散乱による急激な抵抗上昇への対策が重要になっている。極薄のコンフォーマルな低抵抗バリアメタルは、低抵抗かつ高信頼性を実現する Cu とのインテグレーションが要求されている。

配線の量産技術への取り組み[配線技術]

導電材料と Low-k 材のインテグレーションは、材料、寸法、平面性及び電気的特性の要求を満たさねばならない。特にドライ及びウェットエッチング、アッシング、スパッタリングや研磨工程のようなダメージを引き起こす他のプロセスとの量産のインテグレーションにおいて、機械的な強度、ケミカル耐性、耐熱性、物理的特性を満たす Low-k 材料が必要である。欠陥、ばらつき、及びコストは量産プロセスを確立させるために検討が必須である。近年の配線技術では、従来の寸法の微細化と機能の多様化を伴う実効的な微細化の双方において、性能、パワー、信頼性の課題に取り組んでいる。寸法の微細化における材料からの取り組みでは性能を満たすことができないため、最近になって 3 次元配線 (狭ピッチのシリコン貫通ビア = TSV、Through Si Via = を含む) や、エアギャップ、これまでにない信号伝播法、新たな設計や実装の手法、これまでにない物理や革新的な手法を用いた新探求配線などの新しい技術が提案されている。これらの革新的な技術を実現するためには、プロセスインテグレーション、CMOS との互換性、計測技術、予測可能なモデリング、及び配線／実装の構造設計のツールの最適化といった、新しい材料体系に挑むことになる。

消費電力の管理[デザイン]

コスト効率の良いチップパッケージからの放熱は、近い将来に改善が止まって横ばいになる。加えて、世代毎にトランジスタ数が 2 倍になるため、消費電力の管理は、すべての応用分野にわたって主要な問題である。消費電力の管理の課題は複数のレベル、特にシステム、設計、プロセス技術にまたがって取り組まれる必要がある。システムの動的な電力とリーク電力を含んだ回路技術としては、複数 Vdd、クロック分配の最適化、周波数のステップング、配線のアーキテクチャ、複数 Vt、ウェルのバイアス、ブロックのシャットダウンなどがある。これらの手法の実現にあたっての諸課題は、システム設計への要求として、消費電力最適化(プロセスばらつきに対応できる設計を含む)のための CAD ツールの継続的な改良に連なり、また、同時に新しいデバイスのアーキテクチャへのリークや性能要求に展開される。

(160GHz までの)高周波用途のための回路要素とシステムのモデリング

非準静的(non-quasi-static)効果、基板ノイズ、高周波ノイズ、1/f ノイズ、温度、ストレスのレイアウト依存、そして、寄生結合などの正確で効果的なコンパクトモデリングは、とりわけ重要である。プロセスが固まる前に、ローカルばらつきとグローバルばらつきとを辻褄が合うように扱えるように、相関のある統計性を計算機で効率的に回路モデルに考慮することが必要である。デバイスと回路のコンカレントな最適化、プロセス/デバイス/回路シミュレーションを用いて、効率的に最適ブロック/回路レベル構築をサポートすることが必要である。III/V 素子、CMOS、高耐圧(HV)素子に関するコンパクトモデルが必要とされている。受動素子(たとえばバラクタ、インダクター、高密度インターコネクト容量、変圧素子、電送線)のコンパクトモデルが必要とされている。こうした RF 回路用コンパクトモデルのパラメータ抽出は、RF 測定を最小限にするものである事が望ましい。77GHz の車載レーダのような典型的な RF 応用は、100GHz 領域に近づいている。40GHz 応用でも、3 次の高調波歪の場合、120GHz までの高調波モデリングが必要であることを意味している。グローバルな影響のモデリングも重要である。例えば、クロストーク、基板帰還パス、基板カップリング、エレクトロマイグレーション(EM)、熱的効果などがそうした例である。こうした回路ブロックや、配線、ダイ、パッケージ間の相互作用を、異なったモデリングとシミュレーションレベルで相補い、おそらく、異なった技術を組み合わせることによって、SoC と SiP との異質なツールの統合化(heterogeneous integration)を支援するように、CAD ツールを、さらに進展させなければならない。

ナノ構造のためのフロントエンド・プロセスのモデリング [MODELING AND SIMULATION]

先進的な USJ 構造はデバイス構造の継続的なスケージングのために重要である。ミリ秒アニールや SPER は拡散の抑制や活性化の促進のために広く使われることが期待されている。ミリ秒アニールや SPER のときのドーパントの拡散/活性化とダメージの増加に関するモデリングの能力とモデルパラメータの正確な校正が重要である。さらなる移動度の向上のために様々なチャネル材料が必要となるため、Si、SiGe:C、Ge、SOI、エピ層、極薄ボディ素子を含む様々な Si ベースの基板に対して、そのようなモデリングが必要となる。そのようなモデリングは、薄膜で起こりえる異方性、共注入(co-implant)とストレス依存、界面効果を含む上層の影響、熱プロセスにおける膜形成を含む、付加的な要因の考慮も必要となる。ダメージを減らすための分子種の利用のような先進的な注入技術のモデリングが必要となる。SiGe:C のようなエピタキシャルプロセスは、複雑な構造を持った多チャネルデバイスに展開される。このため、形状や構造を含んだエピタキシャル成長層のモデリングは、そのようなエピタキシャルプロセスの最適化に役立つ。デバイスの移動度を増大させるためのストレスの広範囲にわたる使用は継続される。アニール中の塑性変形や欠陥発生によるストレス緩和のようなプロセス中の材料特性の変化を含むストレスのより正確なモデリングが必要になる。シミュレーションのモデルとパラメータの校正のために、計測技術の改良(USJ(2D/3D のドーピング)のリバースモデリング/十分な分解能のストレス計測に対する継続的な要求がある。デバイスは擬似 2D から大きく外れ、自然と 3 次元になることが期待されている。このため、3D の計算の効率性と精度、特に、移動境界を改良するために、先進的な 3D メッシュが必要となる。バルク中や界面において、原子レベルから連続的なドーパントや欠陥までの階層的な

モデリングが、ナノスケール構造に関連する効果の理解の助けとなる。High-k/メタルゲートは基本的な構成要素として期待されているため、High-k/メタルゲートの仕事関数や信頼性のモデリングは必要である。

低コスト生産[COST-EFFECTIVE MANUFACTURING]

設計生産性と製造容易性[デザイン]

技術サイクルが進む毎に使えるトランジスタの数は倍になり、設計複雑度も同様に倍増する。プロセスの技術進化を追いかけつつ設計品質を保持するためには、設計インプリメンテーションの生産性を設計複雑度と同等のレベルまで改善しなければならない。設計生産性を向上し、設計の再利用を行うことはこれらの問題に対してキーとして考慮すべきことである。高位レベルのアブストラクション、プラットフォームベースの設計、マルチプロセッサのプログラマビリティ、検証、アナログとミックスシグナル回路の合成などが、プロセス技術サイクルの進展のペースに合わせて、設計生産性を進展させて行くための重要課題である。低コスト生産のためには製造容易化設計の分野の継続的な改良が要求される。特に、デバイスばらつきの性能と消費電力への感度を最小化する設計、リソグラフィにフレンドリーな設計(設計ルールの制約の増加に整合した規則的なレイアウト設計のスタイル)、テスト容易化設計、信頼性保証設計などの要求度が高い。

テストの複雑さ [テストとテスト装置]

次世代技術の複雑さは、設計とプロセスの相互作用がさらに入り組んで、生産立ち上げのための歩留り習熟の課題を課している。実際のシリコン上のデバイス特性はレイアウト環境に依存するであろうし、完全にモデル化するのは(不可能と言わないまでも)困難であろう。その結果、固定的な欠陥であれ関連するパラメトリックな変化であれ、製品の異常な動作発生現象は、ますます悪化すると思われる。テストと製品故障解析における効果と効率、歩留り向上の鍵となろう。半導体の故障解析の分野は技術進歩を遂げているものの、製品解析でプロセスや設計の根本原因を指摘するには、更なるサイクル時間の短縮が求められている。更なる改良の分野には、(1) スキャンと BIST の故障診断による効果的な位置指摘、(2) 物理的な故障解析技術、(3) 精巧な DFM 解の効果的な実施、等のための新たな装置、手法、およびソフトウェアが含まれる。

継続するテストのコスト低減[テストとテスト装置]

ムーアの法則で予測される継続するコスト低減は、テストには普通当てはまらないかもしれない。テスト容易化設計の革新、スキャンテストのように広く普及した構造化テスト手法、およびテスト並列性の上位レベルでの可能化は、大いに成功し、今日までテストコストを維持してきた。しかしながら、複雑度合いを増すデバイスへの新たな要求、歩留り習熟のためのテスト、高まる品質要求、そしてテスト並列化の現実的な限界などが、引き続きテストコストへの大きな課題である。特に、プローブカードを含むテストのツールコストは低減していないし、もしもこのままのトレンドが続くならば、総コストの大きな割合を占めると危惧される。新デバイスアーキテクチャあるいはその統合化の枠組みに対する習熟曲線の加速は、技術全体のコスト低減目標に同期させてテストコスト低減曲線を維持するために、重要である。生産コストの最適化は、出荷製品の総合品質を確保しつつ、設計、製造、歩留り習熟、およびテストのバランスを取らなければならない。テスト装置のテストプログラムの完全自動生成、テストおよびシステム信頼性のソリューションの統合、デバイス設計工程におけるテストのインタフェースハードウェアと機器のシミュレーションおよびモデルの統合、これらはテストコスト低減のための新たな課題である。

急速に変化するビジネス要求への対応 [工場技術]

従来からの IDM(統合デバイス製造者)を中心にしたデバイス製造のビジネスモデル以外に、ファブレス-ファウンドリーモデル、ジョイントベンチャーモデル、様々な業務の分担モデルあるいは製造の外部委託が、顧

客からの多様で、また変化の早い需要にこたえるために、半導体製造の業界内に広く浸透をしている。更に、顧客毎に大きく異なるデバイスの要求が顕著である SoC デバイスの製造においては、夫々が少量で多品種の製品製造への速やかな対応が、必須の要件となっている。これらの要件が、以下に示す技術分野で、短期要求に掲載されるべきチャレンジの項目となっている。すなわち、従来よりも多く台数と種類の装置とソフトウェアを工場で連携させて稼働させる、あるいは新しい工場の立ち上げ、または新世代のデバイスの立ち上げにあつては、工場全体システムの複雑な制御を支えるシステムの立ち上げ・稼働を速やかに行いつつ、製品の量産への立ち上げを短期間で実現する必要がある。

設計、マスク設計・制作、フロントエンドのプロセス、バックエンドのプロセス、テストング、パッケージングに至るまでの業務エリアで必要な、あるいは業務エリア間で必要な、情報の連携利用に掛かるプラットフォームの構築も、きわめて重要なチャレンジとなる。工場出力の最適制御、サイクルタイム改善、コスト縮減に対応した工場の製造能力と動態性能のモデル化は、多品種の混流製造オペレーションの成功に重要な要素である。

製造コストとサイクルタイムとのトレードオフ関係の改善 [工場技術]

サイクルタイムとコスト縮減のチャレンジに対応しての 300mm 工場の継続改善事項としては、装置のより改善された稼働率、搬送システムのより改善されたフレキシビリティ、また製造制御のフレキシビリティの強化、少数毎ウェーハの製造制御の改善、非製品ウェーハ(NPW)の削減が挙げられる。300mm から 450mm ウェーハによる製造技術の導入は 2014 から 2016 時期での、重要な技術的な節目である。450mm 移行は、コスト 30%とサイクルタイム 50%の同時改善実現に重要な技術であると考えられている。

変化する市場のコスト要求や性能要求を満たす [Assembly and Packaging]

“More than Moore”がパッケージング技術の急激な変化を加速している。構造、材料、プロセス、装置など、全てが変化している。既に多くの新材料が IC パッケージに導入されているが、環境規制の要求達成やパッケージ性能の改善や 45nm ハーフピッチプロセス以降 Cu 配線で採用される Low-k 絶縁膜との適合性を満たすために、ここ数年以内にさらに新しい材料が採用されるだろう。ナノ材料はパッケージングの領域でも重要な役割を果たすだろう。3D(3 Dimension)/SiP(System in Package)パッケージングの要求は、チップ積層、ウエハレベルパッケージング、TSV(Through Silicon Via)、受動素子形成インターポーザ、部品内蔵基板、ウェーハの薄化、wafer-to-wafer 接合、die-to-wafer 接合、新材料などの新技術開発を鼓舞している。自動車用パッケージング技術においては、ハイブリッド車や電気自動車の急激な成長がエレクトロニクスの新しい領域や環境条件の新しい流れを作り出すだろう。

オフ・チップ部品の集積化ソリューション [RF, Assembly and Packaging]

特に携帯ワイヤレス通信デバイス市場の急激な変化と増加に対応して、異なるアプリケーションとシステム要求を満たすために、SiP が開発された。共通の設計プラットフォームを構築するため、SiP ソリューションの統合は益々重要となる。MEMS(Micro Electro Mechanical Systems)や他のプロセスを用いた高 Q 値の RF(Radio Frequency)デバイスは通常、オフ・チップであり、IPD(Integrated passive device)として製造されることが要求される。3 次元積層技術や部品内蔵技術は、オフ・チップ部品を提供するための主要な方法である。(別々の部品を挿入することとは対照的に)受動部品をサブストレート基板内に形成することには、キャパシタ用 high-k 材や抵抗用高抵抗フィルム／ペーストやインダクタ用高透磁率(μ)材のような更なる材料開発が必要である。色々な受動部品内蔵のプロセス簡略化を考案することは、費用対効果の良い選択肢を可能にする重要な課題である。特にパッケージングやアセンブリプロセスの後では、テストングやチューニングが重要な課題を提供する。設計者が製造プロセスの前に、部品内蔵した回路特性をシミュレーションするためには、回路やテストの寄生成分と同様に、プロセス許容値を含む精確なモデルが必要である。また、部品内蔵のための CAD ツールの開発も必要である。

化学物質と材料に関するアセスメント(評価) [ESH]

新規化学物質、新材料、および新プロセスの短時間で導入する際、人の健康、安全、および環境への新たな有害影響を引き起こさずに製造過程で新規化学物質と新材料を利用できるのを保証するために新しく迅速に評価できる方法を必要とします。これらのアセスメントは、ESH影響の評価と定量化に応えることが求められているが、現在、焦点はプロセス実現を促進させるところにあります。そのようなものとして、地球温暖化の潜在能力(GWP)を有するとして分類された化学物質を使用する工程からの排出、無鉛のパッケージへの完全な変更、などを含む短期的課題、およびESHの要件に適合する間にも、技術障害を乗り越えるために不可欠な新素材/新規化学物質のしっかりとした、迅速なアセスメントの必要性があります。

資源の節約 [ESH]

半導体産業が成長し、その技術が微細化や大口径化に向かって前進して行くにつれて、自然の成り行きとして水、エネルギー、化学物質、そして材料の使用量が増加していくことになります。資源の節約は、主に使用効率、コスト削減、製造場所、維持可能性、そして廃棄物処理に関して主要な関心事になっています。したがって、効率的に資源を活用できるさまざまなプロセス装置を開発することが必要です。ファシリティー設備とプロセス装置における化学物質、材料利用有効利用、およびエネルギー消費削減に対する継続した改善はクリーンルームの熱管理と同じように必要とされています。

複数のキラ－欠陥の検出と SN 比 [Yield Enhancement]

近年、技術サイクルの要求する特徴的なサイズの微細化と同じ、もしくはそれを超えるような速さで、検査装置で検出できる欠陥サイズの微細化が期待されている。これに伴い、膨大な数の問題の無い欠陥もしくは擬似欠陥の中から興味のある欠陥(DOI)を効率よく経済的に識別しなければならないという課題が持ち上がっている。欠陥の識別における SN 比の向上によって検出ユニットと試料のバックグラウンドノイズの低減は、重要な課題である。

増加し続けているアスペクト比や配線構造の複雑化への対応も、継続しての重要な課題であり、検査装置開発が必要である。

レイアウト様式とシステムチック歩留まり低下：高スループット論理診断能力 [Yield Enhancement]

ランダムロジックの部分はリソプロセスウィンドウを横切るパターンの余裕のなさのようなシステムチックな歩留まり低下に非常に敏感である。ランダム欠陥が歩留まりを規定するようになるまでは、製品に組み入れられた、そしてテストフローにシステムチックに組み入れられた論理診断能力によってシステムチック歩留まり低下は効率的に検出、対策すべきである。異なる自動テストパターン生成(ATPG)の適応、論理診断に変換するのに必要な多量のテストベクトル記録がテスト時間の増加をもたらす自動テスト装置(ATE)、ダイ毎の論理診断時間、レイアウトに対応するシステムチック歩留まりモデルを構築するための診断結果の統計的収集といった潜在的な問題点もある。

ウェーハエッジ、ベベル管理と欠陥検出 [Yield Enhancement]

ウェーハエッジ、ベベル周りの欠陥、プロセス不具合が歩留まりに問題を引き起こすことが知られている。ウェーハエッジ、ベベル欠陥検査装置の検出感度、スループット、経済性(CoO)の開発と弛まぬ改善が先端デバイスの歩留まり向上において重要性を増している。

工場および会社規模での計測統合 [METROLOGY]

CoO を基本においたプロセス制御を行うためには、計測方法あるいは、相補的な計測方法の組み合わせを注意深く選択する必要があると同時に、計測のサンプリングに関しても統計的に最適化をしなければならない。一方、その場のインライン計測は、プロセス制御を厳密に行うことや、スループット面でも必須になりつつある。APC や FDC、あるいは、他のシステムと連携して、全ての計測(すなわち、オンライン計測やオフライン計測)からの情報は、データベースに統合され、プロセス制御パラメータを決定したり、計測情報と歩留まりの相関取りを行い、歩留まりを改善するために活用される。このような効率的でシームレスな情報統合を実現するには、プロセスコントローラー、インターフェース、データ管理、そしてデータベース構造に関する標準規格が必要である。センサーに関しては、校正、検出方法、データ処理を含め継続的に改善することが強い要望として上がっている。今後必要とされる新たなセンサーの開発においては、先進のプロセスモジュール開発と同時に、そして、かつてない開発スピードで行わなければならない。

複雑な積層材料、界面特性、構造の計測[METROLOGY]

メタルゲート、high-k ゲートの積層構造、高度な歪技術によって移動度を高める技術は、先進的な配線技術、low-k 誘電体構造同様に、最小寸法(膜厚、形状寸法、ラインエッジラフネス等々)、材料の物理特性(例えば、歪)や界面の物性(例えば、仕事関数、界面状態等々)を含む物理的、電気的特性の観点から、新規あるいは、継続的な計測手法の改善や標準試料を必要とする。FEP と BEP の積層膜構造の計測においては、通常大きな領域のテスト構造を用いて計測するために、その領域の物理的、電気特性の平均的な挙動を与えることになる。それゆえに、所望の寸法近傍の積層構造を特長づける新しい計測技術が近い将来必要となる。

クリティカル計測における考慮－“精密さ”と“不確かさ”[METROLOGY]

ロードマップ中の計測の値を比較する際に留意しなければならないことが幾つかある。比較することの有効性は、比較を如何に正確に行うかに強く依存している。従来 ITRS における“精密さ”(precision)は、単一計測装置の“経時変動を含んだ計測再現精度”(reproducibility)として解釈されていた。“精密さ”(precision)という言葉は“不確かさ”(uncertainty)という広義の言葉で最もよく理解される。計測誤差は時間変動(reproducibility)、計測装置間マッチング(tool-to-tool matching)、サンプリングによるバイアスの変動(sample to sample bias variation)の影響が複雑に反映されている。計測の“不確かさ”(uncertainty)は、このように、計測間、計測装置間、サンプル間の要因によって発生するバイアスの変動の総和(分散としての総和)として定義される。

リソグラフィーの計測 [METROLOGY]

リソグラフィーの計測はパターン形成技術の急速な進歩に絶えず対応しなければならないという課題を抱えている。トランジスタのゲート長のバラツキを適切に制御するために、まず、マスクの品質を計測することから始まった。大きな値のマスクエラーファクター(MEF)をリソグラフィーで使用する場合は、マスクの製造段階で厳しいプロセス制御が必要である。したがって、より正確で精密な計測の開発が必要である。マスクの計測は、光の位相が正確に投影されることを計測することも含んでいる。ウェーハ上における最小線幅と重ね合わせの計測も次第に困難になってきている。プロセス制御と製品の特性に対する計測の必要性は“精密さ”、相対的な“正確さ”、そして計測機マッチングの進歩を加速し続ける原動力になっている。将来の技術世代に対応した計測を具現化するためには、CD や重ね合わせに対する研究開発の加速は必要不可欠である。これらすべての課題にあたっては、もう一つの重要な計測の課題である計測能力の評価方法についても改善させなければならない。

長期予測 (~2017 THROUGH 2024)

性能向上[ENHANCING PERFORMANCE]

リーク電力の管理[デザイン]

消費電力は緊急の課題である一方、長期的にはリーク電流や待機時電流の要素が業界の主要な難題となっている。かつてバイポーラ技術がこのリーク電流ゆえに数十年前に整理されたように、CMOS 技術の生き残りが脅かされている。リーク電力は、ゲート長、酸化膜厚、しきい値電圧など、キーとなるプロセスパラメータにより指数関数的に変化し、スケーリングとばらつきの両方の観点から厳しい課題を提示している。低電力デバイスでのオフ電流はテクノロジーサイクル毎に 10%の割合で増加しており、ドレインとゲートの両方のリーク電流が多くなってくる。それゆえ、設計技術は待機時電流を一定に保つか、少なくとも制御できるような貢献をしなくてはならない。

ノンクラシカル CMOS チャンネル材料の進展[PROCESS INTEGRATION, DEVICES, AND STRUCTURES AND EMERGING RESEARCH DEVICES]

微細 MOSFET で十分な駆動電流を得るには、平衡状態の速度やソース端での注入を増強する注入擬バリスティック動作が必要となってくるであろう。最終的には、シリコン基板上に薄く形成された III-V 族やゲルマニウムといった高移動度チャンネル材料や、或いは、半導体ナノワイヤー、カーボンナノチューブ、グラフェンなどが必要とされよう。ノンクラシカル CMOS デバイスは、物理的にも機能的にも CMOS プラットフォーム上に統合される必要がある。このように CMOS プラットフォーム上に統合してゆくには、シリコン基板上に異なる半導体材料をエピタキシャル成長させる必要があり、このことが課題となっている。また、これらのノンクラシカル CMOS チャンネル材料やデバイスは、高温プロセスや腐食性の化学薬品を用いたプロセスを行っても、その性質や性能が変わらずに維持されていることが望まれる。信頼性に関しては、開発の早い段階で確認して取り込まれることが望ましい。

新規メモリ構造の認識、選択と実現[PROCESS INTEGRATION, DEVICES, AND STRUCTURES AND EMERGING RESEARCH DEVICES]

高集積、高速、低動作電圧の不揮発性メモリは非常に望まれるものとなり、究極の高集積化は、モノリシック集積回路における縦方向積層セルアレイのような三次元アーキテクチャを、十分な歩留りと性能を伴って実現することを必要とするかもしれない。DRAM の微細化は、特に、等価酸化膜厚(EOT)の薄膜化および必要とされる超低リーク電流と超低消費電力において、ますます困難になると予想される。現存のあらゆる形態の不揮発性メモリは、材料特性に基づく限界に直面している。成功は代替材料の発見と開発および／または新代替技術の開発次第であろう。

新たなアプローチによる従来の寸法の微細化から実効的な微細化と機能の多様化へのシフト[配線技術]

ラインエッジラフネス、トレンチの深さと形状、ビアホールの側壁のラフネス、エッチング時のシフト、洗浄による膜べり、CMP の影響、ビア側壁でのポーラス Low-k のボイドとの接触、バリア金属のラフネス、そして Cu 表面のラフネスがすべて、Cu 配線内での電子散乱には不利に働き、抵抗を増大させてしまう。新しい材料との組合せ、寸法の微細化とパタン依存プロセス、他のメモリの採用、光配線や RF 配線など、配線の多様化に挑まねばならない。エッチング、洗浄、高アスペクトの埋め込み、特に Low-k デュアルダマシン構造とナノ

スケールでの DRAM もまた、大きな挑戦項目である。配線層の増大は、熱機械的な効果を一層悪化させる。新規かつ能動的なデバイスは、配線構造の中に取り入れられる。3 次元のチップ積層は、機能の多様化を強化することで、従来の配線寸法の微細化の不備をうまく回避することができる。コストが見合う量産技術の検討は挑戦項目である。

レジスト材料[リソグラフィ]

22nm ハーフピッチ以降、酸拡散長の限界を原因とした化学増幅レジストの感度限界がおとずれる。デバイスの微細化に伴い、2016 年のすべてのリソグラフィ解決策に対し、ゲート寸法制御の要求は 3σ で 1.5nm 以下、LWR は 3σ で 1.4nm 以下まで小さくなる。(Si – Si の格子間距離は 0.235nm。) 解像性能が改善され、LWR 制御、および 10nm 以下のサイズの欠陥密度が低いといった新しいレジスト材料が必要である。将来の ESH の懸念から、PFAS 代替物質からなるレジスト、反射防止膜が期待されている。

CMOS とメモリデバイスにおける新構造への移行[FEP]

CMOS およびメモリデバイスにおいてスケーリングトレンドを維持していくには、いくつかのシナリオが存在する。新しい材料、新しいデバイス構造、あるいは 3 次元化によってスケーリング(等価スケーリング)が進むと予測されている。それらのなかで、CMOS の基本的な構造を変えることは非常に挑戦的で、例えばチャネル材料やマルチゲート構造の場合だと新しいプロセスも同時に開発する必要がある。これらのプロセス技術には、スターティングマテリアル、表面処理、リソグラフィ、パターン加工、そしてゲートスタックが含まれ、ゲートスタック技術はブースター技術、ドーピング、計測技術、均一性、信頼性も必要とする。一旦そのような新構造を選択すると後戻りはできない。プロセス統合や製造の観点で関連する ITWG 間の協力と議論が必要である。メモリ領域では、電荷を用いたデバイスがばらつきやクロストークなどの物理限界に直面している。コストと性能の面でこれまでのスケーリングトレンドを維持するには、新しい記憶メカニズムを用いるとか経済的な 3D プロセス統合を実現するなど、革新的な技術が必要になるだろう。

非破壊の製造工程ウェーハ、およびマスク計測[METROLOGY]

3 次元構造の寸法計測や欠陥検査をするために、非破壊(界面の帯電や汚染が無い)で高分解能のウェーハ/マスク工程の顕微鏡検査が必要である。CD 計測精度を向上させるためには、物理形状と計測装置内で分析された検出波形の関係を理解する必要がある。界面の帯電や汚染は、センサーや検出方法も同様に改善が必要である。新たな収差補正機能を有した光学設計が高分解能やスループットにとって必要である。高分解能光学系、検出波形の分析技術、試料の非帯電技術の組み合わせによって、ダマシンプロセスにおけるサイドウォール形状やトレンチ形状を含む 3 次元構造の CD 計測や欠陥検査が可能となる。同時に、CD 計測機器は、信頼性のある安定した計測を行うために、標準材料や標準構造を用いて校正されなければならない。

チップと受動部品とパッケージ基板を集積化するためのシステムレベル設計能力 [ASSEMBLY AND PACKAGING]

多くの会社においてシステム設計と製造を分離することは、複雑なシステムの性能、信頼性、コストの最適化を大変困難にさせる。情報を移すための仕組みと共に、色々な情報の標準化と質の管理が必要である。基板と同様にバンパにも受動部品が内蔵されるかも知れない。

材料技術 [新探求材料]

材料技術には多くの挑戦的課題が残されている。それらは、目的達成のために制御された特性を示す材料を見出し、優先順位を付け、そして課題解決方針を提示するところにある。そして、それらの材料特性は「プロセス・インテグレーション、デバイス、構造(PIDS)」に対して、実践的な研究開発を遅滞なく実施することが出来るほど十分に定義されていなければならない。さらに、これらの特性は、長期的ロードマッピング、そしてその先にあるナノメートルスケールでの高密度新探求デバイスの動作に対しても示唆を与えるものでなければならない。高密度デバイスの開発に向けて材料特性を制御するためには、材料合成の研究が推進されなければならない。そして、メトロロジやモデリング技術の更なる改善に向けた研究開発との融合が必要となる。

コンベンショナル CMOS 後の製造技術の不確定事項 [工場技術]

コンベンショナル CMOS 後の製造技術が定まらないために、今後工場技術と、工場設計に大きなインパクトを与える可能性がある。次世代の工場のデザインについては新しいデバイスの開発時期と導入時期、そのプロセス技術の継続性が不明であるために、幅広く工場ニーズを捉えたフレキシブルな工場設計をする必要がある。このような将来工場とは、製造技術の大きな転換に際して、新しいデバイスの開発当初から、量産のフェーズに至るまで要求される工場機能を遅滞無くフレキシブルに、またリスク無く提供するものである必要がある。同時に年毎の 0.7 倍のトランジスタ面積の微細化を目標とするダイサイズとコストに合致しながら達成する必要がある。これは数え上げ、想像するだけでも、工業的にも、工場リソースの実装にとっても非常に大きなチャレンジである。

低コスト生産[COST-EFFECTIVE MANUFACTURING]

新材料に関する化学的、熱機械的、電気的な特性のモデリング [MODELING AND SIMULATION]

計算材料科学ツールは、デバイスや配線に新材料を適用するために、材料合成、構造、性質、プロセスオプション、動作のふるまいを予測する必要がある。特に必要とされているのは、ゲートスタック、誘電率の予測、バルクの分極電荷、表面準位、相電荷、(移動度に対するストレス効果を含む)熱機械的、光学的な性質、信頼性、破壊、(バンド構造を含む)リーク電流、プロセス/材料や構造を考慮したトンネリングのモデリングである。3次元配線の新しいインテグレーションはエアギャップのモデリングが必要である。そして、極薄膜の材料特性と新しい超低誘電率材料(ULK)をモデル化するためにデータが必要である(これらのモデルは固有の特性に対するプロセスの影響を予測できなければならない)。モデリングにより支援される計測技術は、第一原理計算、簡略化モデル(古典的な MD か熱動的な計算)、計測技術(ERD と ERM 応用を含む)をリンクする必要がある。半経験的な計算のためのデータベースの蓄積は重要性が増してきている。

インラインでの欠陥の特徴付けと解析[YIELD ENHANCEMENT]

より小さな欠陥サイズと形状の上での特徴付けの必要性に基づき、光学的システムとエネルギー分散型 X線分光器システムの選択肢はパターンサイズより小さな欠陥のための高いスループットでのインラインの特徴付けと解析を要求される。解析されるデータ量は劇的に増加しており、それゆえにデータの解釈と質を保証するための新しい方法が要求されている。

コストコントロールと投資回収[リソグラフィ]

22nm ハーフピッチ以降へリソグラフィを延命させるには EUV リソグラフィや多重パターニング等のような新しい手法のリソグラフィ技術が必要とされる。これら手法の全てはシングル液浸露光プロセスや、現在の 32nm フラッシュのコンタクトを含まないポリシリコンのハーフピッチと 45nm DRAM のコンタクトを含む M1 (最下層金属配線) のハーフピッチのテクノロジー周期に対し、大きな変化をもたらす。従って、露光装置コストの処理能力に対する比率が一定に保つこともしくは改善させることができないといったジレンマがあるかもしれない。そのため、コスト低減効果のある次世代マスクの開発が必要とされている。マスクコストは高頻度使用であっても、リソグラフィコストの中のかかなりの部分を占める。450mm ウェーハ世代の量産のため、費用効果のあるリソグラフィシステムも期待されている。

歩留り習熟のためのテスト [テストとテスト装置]

欠陥の潜在的メカニズムやプロセスの余裕度を理解するためのフィードバックのループ、あるいは、急速な製造歩留り習熟と歩留り向上の実現の手段としての、テストの周縁的な役割は、ハード欠陥を除去する役割に比べて、伝統的に二義的なものと看做されてきた。光波長を大きく下回る加工寸法 (そして欠陥サイズ) の急激な縮小、故障解析時間の急速な増加、故障解析効果の低下、そして他の物理的技術 (パйка、レーザプローブ) の実用上の物理的限界への接近に伴い、業界は半導体ビジネスの戦略的な転換点に到達しようとしている。そこでは、テスト容易化設計 (DFT) およびテストによる故障診断と歩留り習熟が臨界点に達する点が、最重要となる。

言い換えると、過去のプロセス世代の歩留り習熟速度は、歴史的な故障位置指摘や故障解析手法それ自体によっては維持できない。むしろ、故障位置指摘の特異性に関してダイ上の計測と故障診断ソフトウェアツールを改善するとともに、ダイ上の回路 (DFT 回路など) を製品間に跨りまた製品を通して広く用いることによって、歩留り習熟速度をより強化する必要がある。過去においては、メモリ配列上の故障ビットや論理回路上の故障ゲートを指摘すれば十分だったかもしれないが、将来は少なくとも故障トランジスタまたは故障の配線を電氣的に指摘可能とするよう実ビジネス上の必要性がある。さもないと、新プロセス技術における歩留り改善速度の低下という経済的な結末を味わうことになる。恐らく、将来プロセスのダイサイズ毎に漸近的に達成可能な最大歩留りの低下をもたらすだろう。

続性と製品の管理[ESH]

ビジネス上考慮すべき事項、更には持続性評価基準 (費用対効果がよくてタイムリーな方法で) は、製品管理のために必要です。そのうえ、環境、安全と健康のための設計 (DFESH) は、管理者の意思決定と同様に付帯設備、生産設備、製品の設計のための肝要な部分にならなければなりません。環境にやさしい、付帯設備、製造設備、工業製品の寿命期、再利用、再資源化、回収は、ますます、ビジネスと ESH 両面のニーズを満たすために重要です。

AC パワースケーリング [PROCESS INTEGRATION, DEVICES, AND STRUCTURES]

DC 電力は、オフ電流 I_{off} で制御されるが、AC 電力は電源電圧 V_{dd} で大部分決まる。実際問題、電源電圧 V_{dd} は、高速回路動作のために高い駆動能力が必要で、スケーリングできず、電力密度やトータルの電力は増加し続けている。改善策としては、チャネル材料の改善や変更が考える必要がある。

コスト効果を持つ先端ファブの持つべきフレキシビリティとスケーラビリティへの適合 [工場技術]

変動の激しい市況のもとで、製造過程でのタスクシェアリングあるいは製造の外部委託を利用しながらも、生産を合理的に執行できる量の製品で常に工場を満たすように操業する能力が、製造利益を維持するために必要な能力である。製造が依頼された製品も含めて、高信頼性製品について如何に体系化された製造品質管理の可視化を顧客に提供するかも、チャレンジ事項である。300mm 工場の大型化のニーズ(40K-50K WSPM)のためには、建物、製造装置、補機、工場の情報制御システムの数世代に渡っての再利用が重要となる。タスク分担の実現は業界のデータ標準化や、業務可視化の方法の標準化に大きく依存する。

2009 新規事項—ワーキンググループ要約 (WHAT IS NEW FOR 2009— THE WORKING GROUP SUMMARIES)

システム・ドライバ(SYSTEM DRIVERS)

2009 年版に対しシステム・ドライバの担当チームは以下の更新・追加を行った:

- 民生用 SOC ドライバの更新の詳細を記載した。更新の理由、内容の詳細と、それに関連する主要なパラメータ(例えば消費電力)の更新を記載した。
- その他の更新は年次の更新などにともなう必要なものである。

Table ITWG1 Major Product Market Segments and Impact on System Drivers

<i>Market Drivers</i>	<i>SOC</i>	<i>Analog/MS</i>	<i>MPU</i>
<i>I. Portable/consumer</i>			
1. Size/weight ratio: peak in 2004 2. Battery life: peak in 2004 3. Function: 2×/2 years 4. Time-to-market: ASAP	Low power paramount Need SOC integration (DSP, MPU, I/O cores, etc.)	Migrating on-chip for voice processing, A/D sampling, and even for some RF transceiver function	Specialized cores to optimize processing per microwatt
<i>II. Medical</i>			
1. Cost: slight downward pressure (~1/2 every 5 years) 2. Time-to-market: >12 months 3. Function: new on-chip functions 4. Form factor often not important 5. Durability/safety 6. Conservation/ ecology	High-end products only. Reprogrammability possible. Mainly ASSP, especially for patient data storage and telemedicine; more SOC for high-end digital with cores for imaging, real-time diagnostics, etc.	Absolutely necessary for physical measurement and response but may not be integrated on chip	Often used for programmability especially when real-time performance is not important Recent advances in multicore processors have made programmability and real-time performance possible
<i>III. Networking and communications</i>			
1. Bandwidth: 4×/3–4 years 2. Reliability 3. Time-to-market: ASAP 4. Power: W/m ³ of system	Large gate counts High reliability More reprogrammability to accommodate custom functions	Migrating on-chip for MUX/DEMUX circuitry MEMS for optical switching.	MPU cores, FPGA cores and some specialized functions

Table ITWG1 Major Product Market Segments and Impact on System Drivers (continued)

<i>IV. Defense</i>			
1. Cost: not prime concern 2. Time-to-market: >12 months 3. Function: mostly on SW to ride technology curve 4. Form factor may be important 5. High durability/safety	Most case leverage existing processors but some requirements may drive towards single-chip designs with programmability	Absolutely necessary for physical measurement and response but may not be integrated on chip	Often used for programmability especially when real-time performance is not important Recent advances in multicore processors have made programmability and real-time performance possible
<i>V. Office</i>			
1. Speed: 2×/2 years 2. Memory density: 2×/2 years 3. Power: flat to decreasing, ³ driven by cost and W/m ³ 4. Form factor: shrinking size 5. Reliability	Large gate counts; high speed Drives demand for digital functionality Primarily SOC integration of custom off-the-shelf MPU and I/O cores	Minimal on-chip analog; simple A/D and D/A Video i/f for automated camera monitoring, video conferencing Integrated high-speed A/D, D/A for monitoring, instrumentation, and range-speed-position resolution	MPU cores and some specialized functions Increased industry partnerships on common designs to reduce development costs (requires data sharing and reuse across multiple design systems)
<i>VI. Automotive</i>			
1. Functionality 2. Ruggedness (external environment, noise) 3. Reliability and safety 4. Cost	Mainly entertainment systems Mainly ASSP, but increasing SOC for high end using standard HW platforms with RTOS kernel, embedded software	Cost-driven on-chip A/D and D/A for sensor and actuators Signal processing shifting to DSP for voice, visual Physical measurement (“communicating sensors” for proximity, motion, positioning); MEMS for sensors	

A/D—analog to digital ASSP—application-specific standard product D/A—digital to analog DEMUX—demultiplexer
DSP—digital signal processing FPGA—field programmable gate array i/f—interface I/O—input/output HW—hardware
MEMS—microelectromechanical systems MUX—multiplexer RTOS—real-time operating system

デザイン

2009 年版に対しデザインの担当チームは以下の更新・追加を行った:

- 信頼性のロードマップ化を開始した。(a)クロスカット課題、(b)DFM セクションおよび(c)設計章のいたるところに、この新しいトピックスである信頼性に関わる記載を追加した。
- クロスカット課題のモデリングとシミュレーションの記載を変更・更新した。
- テスト設計(DFT)を全面改訂した。テスト章のメンバーの協力を得て、新たに DFT の課題テーブルを記載した。一方で、DFT の解決策テーブルは削除した。
- ORTC の消費電力課題を更新した。
- すべての図、表の年次を 2024 年まで拡張、延長して、他の 2009 ロードマップとの整合をとった。
- システムレベル設計のテーブルに、消費電力削減の貢献度につき、システムレベル設計でのそれと、下位の設計レベルでのそれを記載した行を新たに追加した。

Table ITWG2

Overall Design Technology Challenges

Challenges ≥ 32 nm	Summary of Issues
Design productivity	System level: high level of abstraction (HW/SW) functionality spec, platform based design, multi-processor programmability, system integration, AMS co-design and automation Verification: executable specification, ESL formal verification, intelligent test bench, coverage-based verification Logic/circuit/layout: analog circuit synthesis, multi-objective optimization
Power consumption	Logic/circuit/layout: dynamic and static (leakage), system and circuit, power optimization
Manufacturability	Performance/power variability, device parameter variability, lithography limitations impact on design, mask cost, quality of (process) models ATE interface test (multi-Gb/s), mixed-signal test, delay BIST, test-volume-reducing DFT
Reliability	Logic/circuit/layout: MTTF-aware design, BISR, soft-error correction
Interference	Logic/circuit/layout: signal integrity analysis, EMI analysis, thermal analysis
Challenges < 32 nm	Summary of Issues
Design productivity	Complete formal verification of designs, complete verification code reuse, complete deployment of functional coverage Tools specific for SOI and non-static logic, and emerging devices Cost-driven design flow Heterogeneous component integration (optical, mechanical, chemical, bio, etc.)
Power consumption	SOI power management
Manufacturability	Uncontrollable threshold voltage variability Advanced analog/mixed signal DFT (digital, structural, radio), “statistical” and yield-improvement DFT Thermal BIST, system-level BIST
Reliability	Autonomic computing, robust design, SW reliability
Interference	Interactions between heterogeneous components (optical, mechanical, chemical, bio, etc.)

ATE—automatic test equipment BISR—built-in self repair BIST—built-in self test DFT—design for test

EMI—electromagnetic interference ESL—Electronic System-level Design HW/SW—hardware/software

MTTF—mean time to failure SOI—silicon on insulator

テストとテスト装置

2009 年版のテストロードマップは多くのテーブルに重要な変更を含んでいる、すなわち、アダプティブテストの新しい節と 3D のシリコンデバイスに関する議論を含み、特殊デバイスの節に関して加速度センサを追加した。テストコストに関する調査が 2009 年に完了し、結果はテストに着目したトピックスの節に含められた。高速インタフェースの節は大きく更新された。本章の他の節は小変更にとどまった。

アダプティブテストは総合的な生産テストのコストを削減し、かつ生産歩留りを向上させる手法として用いられてきた。テスト章は、アダプティブテストの概念、課題、エンジニアリングと工場の手法に対するインパクト、IT インフラの要求、およびいくつかの適用事例にひとつの節全体をあてがった。

D(3 次元)シリコンデバイスが 2009 年版の主要なドライバに加えられた。3D デバイスの概念は、デバイスのコストとパフォーマンスを最適化するため、TSV(シリコン貫通ビア)で複数のダイを接続して設計された、ひとつのデザインである。ひとつのチップに非常に複雑なシステムを集積する SoC 手法は、その要求に対応するために多くのマスク層が必要とされる。3D の概念により、各ダイについてはプロセスの最適化(ロジック、DRAM、不揮発性メモリ、アナログ等)が可能になるが、設計やテストは複雑になる。

テスト並列度のテーブルは、2005 年に新しいデバイス分類が追加されて以来、議論の俎上にあるが、典型的なファンクションピン数の仮定が補足に追加された。しかし、多くのデバイスがピン数削減のインタフェースを使用して、ウェーハプローブのテストを行っているけれども、テーブルに可能なすべての並列度を記載することは出来なかった。

SoC テーブルは最新のトレンドを反映するために更新され、節の記述も適切に変更された。ORTC テーブルにおける 2009 年の MPU とコンシューマのトランジスタ数の変更のインパクトを反映するため、ロジックテーブルでは計算式ベースの変更をおこなった。またメモリも 2009 年の ORTC 集積度ロードマップに従って変更された。

RF テーブルで搬送波の周波数範囲は、汎用と特殊無線通信に分類された。また、UWB 等の技術に要求される変調周波数帯の急激な増加は遅れることなく進んだ。テーブルの残りの部分は、数字の小変更とセルの色変更を行っている。

プローバ、プローブカード、ハンドラとテストソケットのテーブルは大幅な変更を行った。プローバのテーブルは殆ど全面書き直しを行ったので、変更の要約は簡単ではない。プローブカードは、特殊な LCD ドライバの要求の節を反映し、これらのデバイステストの固有の変更を明らかにしている。ハンドラは高電力(>10W)デバイス要求を、中位の高電力範囲(10-50W)と高電力範囲(>50W)に分けた。テストソケットはブレードラバーコンタクトをカバーするようにした。またソケットの自己インダクタンスが、6GHz を適切にサポートするには、0.3nH 以下に低減する必要があること、また 20GHz 信号のサポートには 0.1nH 以下が必要なことも含めた。

テストパターン数の増加係数、ミックスドシグナル、バーンインおよびプローブの困難な技術課題のテーブルは、変更がないか、セルの色の変更や小さな数字変更のみであった。

2010 年の方向

2010 年のロードマップではテーブル変更のみとなるが、チームは 2011 年更新へ向けて準備を進めるであろう。それは、高速テストの課題、DFT 節の拡充、そして SoC と 3D デバイス節の更新等を含むであろう。

KEY TEST DRIVERS, DIFFICULT CHALLENGES, AND OPPORTUNITIES*Table ITWG3**Summary of Key Test Drivers, Challenges, and Opportunities*

<i>Key Drivers (not in any particular order)</i>	
Device trends	Increasing device interface bandwidth (# of signals and data rates) Increasing device integration (SoC, SiP, MCP, 3D packaging) Integration of emerging and non-digital CMOS technologies Complex package electrical and mechanical characteristics Device characteristics beyond one sided stimulus/response model 3 Dimensional silicon - multi-die and Multi-layer Multiple I/O types and power supplies on same device
Increasing test process complexity	Device customization during the test process “Distributed test” to maintain cost scaling Feedback data for tuning manufacturing Dynamic test flows via “Adaptive Test” Higher order dimensionality of test conditions
Continued economic scaling of test	Physical limits of test parallelism Managing (logic) test data and feedback data volume Defining an effective limit for performance difference for HVM ATE versus DUT Managing interface hardware and (test) socket costs Trade-off between the cost of test and the cost of quality Multiple insertions due to system test and BIST
<i>Difficult Challenges (in order of priority)</i>	
Test for yield learning	Critically essential for fab process and device learning below optical device dimensions
Detecting Systemic Defects	Testing for local non-uniformities, not just hard defects Detecting symptoms and effects of line width variations, finite dopant distributions, systemic process defects
Screening for reliability	Implementation challenges and efficacies of burn-in, IDDQ, and Vstress Erratic, non deterministic, and intermittent device behavior
Potential yield losses	Tester inaccuracies (timing, voltage, current, temperature control, etc) Over testing (e.g., delay faults on non-functional paths) Mechanical damage during the testing process Defects in test-only circuitry or spec failures in a test mode e.g., BIST, power, noise Some IDDQ-only failures Faulty repairs of normally repairable circuits Decisions made on overly aggressive statistical post-processing
<i>Future Opportunities (not in any order)</i>	
Test program automation (not ATPG)	Automation of generation of entire test programs for ATE
Simulation and modeling	Seamless Integration of simulation and modeling of test interface hardware and instrumentation into the device design process
Convergence of test and system reliability solutions	Re-use and fungibility of solutions between test (DFT), device, and system reliability (error detection, reporting, correction)

ATE—automatic test equipment ATPG—automatic test pattern generation BIST—built-in self test HVM—high volume manufacturing

MCP—multi-chip packaging MEMs—micro-electromechanical systems

プロセス、インテグレーション、デバイス、及び構造

PIDS(プロセス、インテグレーション、デバイス、及び構造: Process, Integration, Device and Structure)は、ロジック、メモリ(DRAM と不揮発性メモリ)、信頼性の三部門で構成されている。主な変更点を下記に記載する。

ロジック

- 最新のサーベイ結果や論文から、ゲート長のスケーリングは、今までのロードマップで示されているよりも遅くなってきていることが判る。ITRS2008 では、このゲート長スケーリングの鈍化が、大きな変更点であった。詳しく言うと、ITRS2007 に比べ ITRS2008 では、HP(High Performance)ロジックのゲート長 L_g のスケーリングは、3 年から 4 年遅くし、スケーリングの進み具合も遅くした。その結果、ゲート遅延速度 CV/I も年率 17%から年率 13%の増加に鈍化している。LOP(Low Operation Power)ロジックでも同様にゲート長のスケーリングを 1 年から 3 年遅くし、スケーリングの進み具合も遅くした。ITRS2009 では、全てのロジックデバイスのゲート長スケーリングを ITRS2008 より更に 1 年遅らせるという微調整を行う。
- より現実的な速度を表す指標として、ファンアウト(負荷)1 とファンアウト 4 のリングオシレータの遅延速度を加えた。
- リングオシレータを構成するインバータのシミュレーションを行うために、p チャネル MOSFET の電流値をテーブルに加えた。p チャネル MOSFET の他のパラメータは、n チャネル MOSFET のパラメータと同じ仮定で見積もった値を用いている。
- サブシュレシヨルドソースドレインリークは、どの年度でも一定(同じ電流値)とする。HP、LOP、LSTP(Low Standby Power)で、それぞれ 100 nA/ μm 、5 nA/ μm 、50 pA/ μm である。
- ソース・ドレイン寄生抵抗の規格は、他の寄生抵抗がない理想的な場合を想定し、飽和電流を 33% (1/3)劣化させる抵抗値とする。

メモリ:DRAM

- より小さい $4F^2$ のセルサイズが、2011 年に登場する。
- チップあたりのトータルビットサイズは 1 年遅れとする。

メモリ:不揮発性メモリ(NVM)

- フローティングゲート型からチャージトラップ型への移行は、2 年遅れの 2012 年である。
- 3 次元チャージトラップ型フラッシュは、1 年遅れの 2014 年に登場すると予想される。
- 3bit セルから 4bit セルへの移行は、2 年遅れの 2012 年である。
- NAND フラッシュのハーフピッチは 1 年前倒しで微細化が進む。
- SST(Spin-torque-transfer)MRAM がテーブルに加わった。

信頼性

- 信頼性要求仕様の大きな改定を行った。
- デバイスの信頼性が回路に与える影響を強調した論調となっている。パラダイム変化の必要とそれに関する挑戦を記載した。

DIFFICULT CHALLENGES

Table ITWG3 Process Integration Difficult Challenges.

<i>Difficult Challenges for $L_g \geq 16$ nm</i>	<i>Summary of Issues</i>
1. Scaling of logic MOSFETs	Scaling planar bulk CMOS Implementation of fully depleted SOI and multi-gate (MG) structures Controlling source/drain series resistance within tolerable limits Further scaling of EOT with higher κ materials ($\kappa > 30$) Threshold voltage tuning and control with metal gate and high- κ stack Inducing adequate strain
2. Scaling of DRAM and SRAM	DRAM— Adequate storage capacitance with reduced feature size; implementing high- κ dielectric Low leakage in access transistor and storage capacitor Low resistance for bit and word lines to ensure desired speed Improve bit density and to lower production cost in driving toward $4F^2$ cell size SRAM— Maintain adequate noise margin and control key instabilities and soft-error rate Difficult lithography and etch issues
3. Scaling high-density non-volatile memory	Endurance, noise margin, and reliability requirements Non-scalability of tunnel dielectric and interpoly dielectric in flash Difficult lithography and etch issues with pitch scaling Maintain high gate coupling ratio in floating-gate flash
4. Reliability due to material, process, and structural changes	Threshold voltage shifts due to traps, carrier injection, and program/erase cycling in memory cells Mobility degradation due to mechanical stress relaxation or interface states New or changed failure mechanisms resulting from high- κ /metal gate and new doping/activation processes New failure mechanism resulting from fundamental length scales or new device structures Process variability
<i>Difficult Challenges for $L_g < 16$ nm</i>	<i>Summary of Issues</i>
1. Implementation of advanced non-classical CMOS structures	Advanced non-planar multi-gate MOSFETs below 10 nm gate length Control of short-channel effects Drain engineering to control parasitic resistance Strain enhanced thermal velocity and quasi-ballistic transport
2. Implementation of non-classical CMOS channel materials	Identification and demonstration of alternate channel materials New issues from materials, devices, and processing Integration of alternate channel materials on Si platform
3. Identification and implementation of new memory structures	Density and voltage scaling of NVM 3-D integration of NVM Implementing non-charge-storage type of NVM Scaling storage capacitor for DRAM DRAM and SRAM replacement solutions
4. Reliability of novel devices, structures, materials, and applications	Reliability characterization of new devices Dealing with fluctuations and statistical process variations Impact of microscopic physical effects Need for Design for Reliability tools

5. Power scaling	V_{dd} scaling Controlling subthreshold current
6. Beyond CMOS	Identification and implementation of non-CMOS devices and architectures Integration onto Si-CMOS platform See ERD and ERM chapters for more discussions and details

ワイヤレス通信のための RF とアナログミックス信号技術

要約

- ITRS2009 では、MEMS (Micro-electro-mechanical systems) は、RF と AMS (Analog/Mixed-Signal) とは技術分野を分けて取り扱う。ITRS2007 では、MEMS は More than Moore の章に入っていた。
- 3D 構造へのトレンドは、RF や AMS 技術に多くの影響を与えている。

RF と AMS CMOS

- 多くの製品群は、新しいバージョンに変わるとき、ノードをスキップする。
- パワーマネジメントとアナログは、90nm ノードから、オプションデバイスで作られている。
- ミリ波 CMOS 技術は、ミリ波の章にまとめた。

RF と AMS バイポーラデバイス

- HS-HBT (High-Speed Hetero junction Bipolar Transistor) は、 f_{MAX} / f_T 比が高くなり、大きく変更された。
- HV-HBT (High-Voltage Hetero junction Bipolar Transistor) は、この章のテーブルから抜けた。
- HS-PNP トランジスタが、新たにこの章のテーブルに加えられた。
- PA-HBT (Power Amplifier Hetero junction Bipolar Transistor) は、バッテリー電圧に変更された。

RF と AMS 向け オンチップ、オフチップ受動素子

- オンチップ: 3D 集積回路で受動素子の性能改善が可能
- オフチップ: 章には、3D 構造や受動素子のみの構造を反映させたロードマップを入れた。

パワーアンプ (0.4GHz-10GHz)

- この章では、携帯電話の四つの大きな傾向を記述している。1) 低電源電圧への誘導、2) 印加電圧スキームの複雑化、3) 低コスト市場へ CMOS 受動素子の誘導、4) PA モジュールによるモードの成長
- この章では、基本的な項目についての二つの傾向についても記述している。1) GaN の利用が増えてくると考えられるため、GaAs についてはこの章から抜く、2) 実に有益なアーキテクチャーの使用が広がっている。

ミリ波 (10GHz-100GHz)

- 最大電流 I_{max} を低ノイズデバイスのテーブルから抜いた。
- 60GHz と 94GHz での最大ゲイン MAG(Maximum available gain)を SiGeHBT と CMOS のテーブルに加えた。
- ミリ波の GaN パワー HEMT の量産を 2010 年に遅らせた。

MEMS

- ITRS2009 では、音響波デバイス BAD(Bulk Acoustic Device)、共鳴回路、メタルコンタクトスイッチ、キャパシティコンタクトスイッチを記載した。
- 将来の MEMS として、ジャイロ스코ープ、加速度センサー、マイクロフォン、ディスプレイを考えており、THz に迫る動作周波数になると興味を持っている。
- 残件は挿入損失や容量コンタクトスイッチの調整率といった量の定量化である。

DIFFICULT CHALLENGES

Table ITWG4 RF and Analog Mixed-Signal (RF and AMS) Technologies for Wireless Communications
Difficult Challenges

Difficult Challenges	Summary of Issues
CMOS	New materials (e.g., high-permittivity gate dielectrics, embedded structures to induce channel strain, and metal-gate electrodes) make predicting trends uncertain for transistor mismatch and for $1/f$ noise.
Bipolar HS-NPNs and HS-PNP transistors	Increasing f_T by more aggressive vertical profiles and still maintaining acceptable figures of merit, manufacturing control, and punch-through margins
Bipolar Power Amplifiers	Improving the trade-off between f_T/f_{MAX} and breakdown voltages to provide acceptable voltage handling and power densities at performance levels that can effectively compete with alternative technologies.
On-Chip Passive Devices	Integrating new materials in a cost-effective manner to realize compact and high quality factor (Q) inductors and high-density metal-insulator-metal (MIM) capacitors demanded by the roadmap for increased RF performance.
Off-Chip Passive Devices	The large number of options for embedded passives increases complexity and cost. And accurate models for process tolerance and parasitic effects and computer assisted design (CAD) tools.
Handset Power Amplifiers	Increasing functionality in terms of operating frequency and modulation schemes and simultaneously meeting increasingly stringent linearity requirements at the same or lower cost.
Base-station Power Amplifiers	Enhancing performance with continual product-price pressure. And Improving amplifier efficiency.
mm-Wave Devices	Thermal management for high power density circuits, multi-level integration and E/D mode transistors. And reduction of leakage current and understanding of failure mechanisms, particularly for GaN materials which are piezoelectric in nature.
MEMS	Incorporating the great process diversity of MEMS into specific ITRS processes. And developing design tools, packaging, performance drivers, and cost drivers for each MEMS device type.

新探究デバイス

2009 年版の新探究デバイスの章は新探究ロジック素子と新探究メモリ素子について評価を行った。新探究デバイスは2つの異なるシナリオが提案された。また、アーキテクチャを考慮した新探究デバイスの可能性について議論するセクションが補完的な役割を果たす。2つのシナリオのうちの1つは、電荷に基づくデバイス、あるいは CMOS を微細化の極限(ロードマップの終焉にいたる微細化の極限)まで拡張する技術である。もう一方のシナリオは CMOS を超えたデバイス(“Beyond CMOS” devices)で CMOS を補完し拡張するものである。例えば、短期的には相乗的な加速機能を実現し、長期的には新たな情報処理の考えたかに基づいて CMOS を補完することである。新チャネル材料(ゲルマニウムやⅢ－Ⅴ族化合物半導体)を用いた MOS トランジスタの研究は過去2年間で飛躍的に進歩し、ロードマップの終焉に至るまで CMOS の性能向上を維持し続ける技術として、高いポテンシャルを示し始めている。同様に、CMOS を超えたデバイス(“Beyond CMOS” device)では、不揮発性メモリや論理演算機能 CMOS チップ上で実現するためにスピン粒子が使われるかもしれない、スピン流を利用した情報処理がスピン粒子で実現されるかもしれない。

これら2つのシナリオを融合しつつ、2009 年版の新探究デバイスの章は、新探究情報処理技術とカーボン系ナノエレクトロニクスにスポットをあてて扱った。カーボン系ナノエレクトロニクスは、高い潜在力を示しつつまた急速に技術的に成熟してきている。このカーボン系ナノエレクトロニクスは、カーボン・ナノチューブ、グラフェン、グラフェン・ナノリボンを含み、MOS トランジスタに応用されたときの潜在的な能力の高さと、新しい情報処理を可能にする豊かな物理を内包するが故に選ばれたのである。

高集積・高速・低消費電力メモリデバイスを実現する可能性を持った不揮発のランダム・アクセスメモリを目指したいくつかの新しい研究分野が現れてきている。これらの新しいメモリは、二値のデータを蓄えるために、抵抗要素を利用している。この分野を牽引する候補は、スピン伝導トルク RAM (Spin Transfer Torque RAM)、ナノ熱 RAM (すなわち PCM and Fuse/Antifuse)、ナノイオン RAM (すなわち Atomic Switch and Memristor) などである。特に興味があるのは、16nm 技術世代を超えて適用可能な技術である。ナノクリスタルメモリ技術とトンネル障壁最適化技術の2つの技術は、過去数年にわたり ERD で追跡・評価されたが、十分にその潜在能力が示され、また十分な技術的成熟に達したので、2009 年版で PIDS と FEP で取り扱われるべく、ERD から移される。

アーキテクチャの節は再考され拡張された。新探究論理、新探究情報処理デバイス、新メモリ・アーキテクチャ、ベイズ推論ネットワークを使った処理の新しい例、限界に関する新しい解析などが拡張された項目である。これらは下記のように要約される。

1. ベンチマーク— The Nanoelectronics Research Initiative (NRI)は19の代替情報処理デバイス、ブール代数や特定用途論理演算の情報処理デバイスの性能をベンチマークする新しい方法論を開発し始めている。ブール演算は3つの論理ゲートに対するエネルギー、遅延をパラメータとする。これらの方法は現在さらに発展され、異なるデバイス技術の比較に応用されている。このベンチマーク解析の結果は公開可能になった時点で、暫定的には来年に、出版される。
2. メモリ・アーキテクチャは、新しいメモリ技術を利用することで、エネルギー消費を削減するという観点から議論される。大量のエネルギー消費は、現在のメモリに本質的な問題である。
3. ベイズ推論ネットワークの例は、1つもしくはそれ以上の Beyond CMOS デバイスを全く新しいアーキテクチャの下で結合することで、究極的に微細化した CMOS で実現できるサイズ、電力、性能を拡張する情報処理を実現する観点から議論される。
4. 限界に関する、熱力学的な新分析手法が概観される。そのなかで、新探究デバイスのボルツマン－ハイゼンベルグ限界における物理は、デジタル回路のパラメータと関連づけられる。提案される方法論は、ある技術で実装された情報処理の到達可能な最善の性能を予測することに拡張可能である。

困難な課題

新探究デバイスに関する困難な技術課題は、下表に示すように、メモリ技術に関する課題と、情報処理すなわちロジックデバイスに関する課題に分けられる。課題の一つは、現在のメモリの最良の特徴を併せ持ち、CMOS プロセスフローと互換性のある作成技術で作られ、現在の SRAM や FLASH の限界である 22-16nm まで、そしてそれを超えてスケーリング可能な新メモリ技術が必要なことである。これに関連する課題は、CMOS ロジック技術のスケーリングを 16nm 以降も持続することである。

Table ITWG5 Emerging Research Devices Difficult Challenges

<i>Difficult Challenges ≥ 16 nm and < 16 nm</i>	<i>Summary of Issues and opportunities</i>
Scale high-speed, dense, embeddable, volatile and non-volatile memory technologies to and beyond the 16 nm technology generation.	SRAM and FLASH scaling will reach definite limits within the next several years (see PIDS Difficult Challenges). These are driving the need for new memory technologies to replace SRAM and FLASH memories. Identify the most promising technical approach(es) to obtain electrically accessible, high-speed, high-density, low-power, (preferably) embeddable volatile and non-volatile RAM The desired material/device properties must be maintained through and after high temperature and corrosive chemical processing Reliability issues should be identified & addressed early in the technology development
Scale CMOS to and beyond the 16 nm technology generation.	Develop new materials to replace silicon as an alternate channel and source/drain to increase the saturation velocity and maximum drain current in MOSFETs while minimizing leakage currents and power dissipation for technology scaled to 16 nm and beyond. Develop means to control the variability of critical dimensions and statistical distributions (e.g., gate length, channel thickness, S/D doping concentrations, etc.) Accommodate the heterogeneous integration of dissimilar materials The desired material/device properties must be maintained through and after high temperature and corrosive chemical processing Reliability issues should be identified & addressed early in t
Extend ultimately scaled CMOS as a platform technology into new domains of application.	Discover and reduce to practice new device technologies and a primitive-level architecture to provide special purpose optimized functional cores heterogeneously integrable with silicon CMOS.
Continue functional scaling of information processing technology substantially beyond that attainable by ultimately scaled CMOS.	Invent and develop a new information processing technology eventually to replace CMOS Ensure that a new information processing technology is compatible with the new memory technology discussed above; i.e., the logic technology must also provide the access function in a new memory technology. Bridge a knowledge gap that exists between materials behaviors and device functions. Accommodate the heterogeneous integration of dissimilar materials The desired material/device properties must be maintained through and after high temperature and corrosive chemical processing Reliability issues should be identified & addressed early in the technology development

新探求材料

2009 年度版新探求材料(ERM)の章は、2007 年度版 ITRS ERM の改訂版である。2009 年度版 ERM 章は、応用別の章構成に再構成されている。それに対し、2007 年度版においては材料別で整理され、ロードマップ上の応用可能性について議論がなされていた。2009 年度版 ERM 章では、以下にあげる材料がレビューされている。ERD ロジック、ERD メモリ応用、新規レジスト材料を含むリソグラフィ、フロントエンドプロセスとデバイス応用、配線、アッセンブル&パッケージ応用などである。さらに、メトロロジ、モデリング、環境・安全・健康に関わる研究開発からの支援が、新規材料の応用可能性を拓げるために必須であることも指摘されている。新探求材料は将来の技術的課題を解決する可能性を持つ特性を示すが、将来の技術に採用されるためには更に大幅な改善がなされなければならない。

ERM 章が応用別に再構成されるに当たっては、幾つかの新しい応用と新材料が追加された。新探求デバイス用の材料としては、ERD ロジックデバイス用の CMOS チャネル代替材料 (Ge、III-V、グラフェン、カーボンナノチューブ、ナノワイヤのクリティカルアセスメントを含む)、チャージベース Beyond CMOS デバイス用材料、

ノンチャージベース Beyond CMOS デバイス用材料、そして新たにメモリ用材料が追加された。リソグラフィ材料としては、自己組織化材料に加え、微細化へ拡張可能な 193nm 及び EUV 露光用材料までが加えられた。後者については、非化学増幅レジスト(Non-CAR)、新ネガ型レジスト、ピッチ分割用材料が含まれる。また、新 EUV 露光用材料としては、カチオン重合性ネガ型レジスト材料、非化学増幅系ネガ型レジスト材料、無機および有機-無機ハイブリッドレジスト、非化学増幅系レジスト材料があげられた。フロントエンド用材料としては、決定論的ドーピング、選択エッチング・洗浄・蒸着のための誘導自己組織化材料に関する多くの技術がレビューされている。配線に関しては、超薄膜バリア材料や Low-k 層間膜などの Cu 配線延命材料や、新奇ビア・配線材料としての単層または多層カーボンナノチューブや単結晶ナノワイヤが記載されている。アッセンブルとパッケージング材料においては、低融点半田や異方的配線材料がレビューされた。また、チップ配線用カーボンナノチューブ、アンダーフィル、モールド複合材、接着材応用に要求される拮抗した特性を同時に満たすことを目的に開発されているナノ粒子や巨大分子を用いたパッケージングのためのポリマー材料についても取り上げられた。

新探求材料、新探求デバイスの章では、カーボン系 (カーボンナノチューブやグラフェンなど) エレクトロニクスにおける研究ニーズがハイライトされている。これは、新チャネル代替材料あるいは Beyond CMOS 応用そのものとしてカーボン系材料が高い可能性を持っているとアセスメントされたことによる。

挑戦的課題

サブ 16nm 世代における ERM の困難な技術課題が、表 ITWG6 にまとめられている。ERM の最も困難な技術課題は、よく制御され、所望の特性を持った材料オプション(選択候補)を、導入判断に影響を与える時期に作れるかどうかであろう。それらの材料オプションは、高密度 ERD やリソグラフィ技術、配線形成やその動作をサブ 20nm 世代、さらにはナノメートルスケールで実現するための潜在能力を持っていない。ナノメートルスケールでの材料特性の制御性を改善するためには、研究コミュニティ内での共同研究や共同作業が必要である。加速された合成、計測、モデリングのイニシアティブは、合目的的材料設計能力を高め、ひいては ERM 技術実現にむけて不可欠である。計測技術やモデリングツールの改善は、これらエマージングなナノ材料のロバストな合成法の発展にも不可欠である。多くの ERM 材料が成功するかどうかは、求められる組成やモフォロジーを持つ役立つナノ構造を作り出せて、量産技術と互換性のあるロバストな合成法に依存している。

高密度デバイスと配線を達成するため、ERM は所望な位置に合成されなければならない、さらに方向も制御されなければならない。またエマージングなデバイス、配線、パッケージ技術向上にむけたもう一つの ERM の要件は、埋め込まれた界面特性を評価し、制御する能力にある。形状がナノメートルのスケールに近づくにつれ、根本的な熱力学的安定性や揺らぎの問題が、わずかな寸法ばらつきや制御した有用な特性をもつナノ材料の加工に制限を与えるかもしれない。

Table ITWG6 Emerging Research Material Technologies Difficult Challenges

<i>Difficult Challenges ≤ 16 nm</i>	<i>Summary of Issues</i>
<i>Integration of alternate channel materials with high performance</i>	III-V has high electron mobility, but low hole mobility Germanium has high hole mobility, but electron mobility is not as high as III-V materials Demonstration of high mobility n and p channel alternate channel materials co-integrated with high κ dielectric Demonstration of high mobility n and p channel carbon (graphene or carbon nanotubes) FETs with high on-off ratio co-integrated with high κ dielectric and low resistance contacts Selective growth of alternate channel materials in desired locations with controlled properties and directions on silicon wafers (III-V, Graphene, Carbon nanotubes and semiconductor nanowires) Achieving low contact resistance to sub 16 nm scale structures (graphene and carbon nanotubes) Ge dopant thermal activation is much higher than III-V process temperatures Growth of high κ dielectrics with unpinned Fermi Level in the alternate channel material
<i>Control of nanostructures and properties</i>	Ability to pattern sub 16 nm structures in resist or other manufacturing related patterning materials (resist, imprint, self assembled materials, etc.) Control of CNT properties, bandgap distribution and metallic fraction Control of stoichiometry, disorder and vacancy composition in complex metal oxides Control and identification of nanoscale phase segregation in spin materials Control of surfaces and interfaces Control of growth and heterointerface strain Control of interface properties (e.g., electromigration) Ability to predict nanocomposite properties based on a “rule of mixtures” Data and models that enable quantitative structure-property correlations and a robust nanomaterials-by-design capability
<i>Controlled assembly of nanostructures</i>	Placement of nanostructures, such as CNTs, nanowires, or quantum dots, in precise locations for devices, interconnects, and other electronically useful components Control of line width of self-assembled patterning materials Control of registration and defects in self-assembled materials
<i>Characterization of nanostructure-property correlations</i>	Correlation of the interface structure, electronic and spin properties at interfaces with low-dimensional materials Characterization of low atomic weight structures and defects (e.g., carbon nanotubes, graphitic structures, etc.) Characterization of spin concentration in materials Characterization of vacancy concentration and its effect on the properties of complex oxides 3D molecular and nanomaterial structure property correlation
<i>Characterization of properties of embedded interfaces and matrices</i>	Characterization of the roles of vacancies and hydrogen at the interface of complex oxides and the relation to properties Characterization of transport of spin polarized electrons across interfaces Characterization of the structure and electrical interface states in complex oxides Characterization of the electrical contacts of embedded molecule(s)
<i>Fundamental thermodynamic stability and fluctuations of materials and structures</i>	Geometry, conformation, and interface roughness in molecular and self-assembled structures Device structure-related properties, such as ferromagnetic spin and defects Dopant location and device variability

フロントエンドプロセス (FRONT END PROCESSES)

2009 年に FEP の章は改訂されている。2009 年の FEP の章は、デバイスに関連する技術要求(高性能、低動作電力、低待機電力を含む論理デバイスや、DRAM, フラッシュ、相変化、強誘電体 RAM を含むメモリデバイス)に始まり、材料・プロセス技術要求(シリコン基板、表面処理、熱処理/薄膜プロセス・不純物導入、プラズマエッチング、及び CMP)が続いている。さらに最近の産業実態を研究した後、ORTC, PIDS, Design や他の技術ワーキンググループと協議の上、論理 LSI の物理ゲート長のスケーリングを 2008 年アップデートと比べて、さらに 1 年遅らせた。

材料の制限を受けたデバイススケーリングは、シリコンウエーハ基板に始まり、基本的な平面 CMOS 形成ブロックとメモリ記憶構造を包含して、事実上、全てのフロントエンド材料とユニットプロセスに関する新しい需要を生む。平面バルク CMOS の継続的なスケーリングは、より困難になっている。結果として、従来とは異なる MOSFET や平面 FD-SOI デバイス、縦構造を平面に配置した複数ゲートデバイスのいずれかの CMOS 技術が出現することに対して準備する必要がある。デバイス代替技術の概説は新探求素子の章で取り上げられている。従来とは異なる MOSFET の生産導入時期は、FD-SOI 又はマルチゲートに関して、2013-2015 年に予測されている。これらの多様な新材料・新構造の統合に関連した課題は、FEP の困難な技術課題 (Difficult Challenges) の中心テーマである。

金属ゲートを伴う高誘電率ゲート絶縁膜は量産されている。電気性能と信頼性を維持する 0.8 nm 以下の等価酸化膜厚(EOT)の継続的なスケーリングは、課題となる。歪み技術と新デバイス構造の採用における継続的な改善は、FEP の困難な技術課題として挙げられる。新材料の導入もまた、シリコンのドーピングと活性化の手法に関して追加課題を強いと考えられる。直列抵抗は短期で限界となり、また 2015 年に向けたゴールを実現することに取り組む必要がある。

メモリ分野において、スタンドアローン DRAM デバイスの製造は、積層容量構造に制限されている。従って、DRAM トレンチ容量向けの技術要求に関する表とテキストは削除されている。電荷捕獲型フラッシュのスケーリングを検討する新しい要求表が付け加えられている。FeRAM は顕著な商業的状況を実現すると考えられ、強誘電体や強磁性体の記憶材料が用いられる。加えて、相変化メモリ(PCM)デバイスは 2010 年には発売されると期待されている。

シリコン基板では、SOI 基板の様なバルクシリコン代替技術が急増すると予想される。この 2009 年ロードマップの展望で現れると期待される重要で困難な技術課題は、次世代 450 mm シリコン基板の必要性である。歴史的なウエーハ大口径化の周期を基にすると、産業界は、2014 年のデバイス製造を開始できるようにさせる次世代 450 mm シリコン基板を可能とするために必要な速さから既に数年程遅れている。

フロントエンドの洗浄プロセスは、高誘電率絶縁膜や金属ゲート電極、移動度を増大させるチャネル材料の様な新しいフロントエンド材料の導入により、継続的にインパクトを受けると予想される。スケーリングされたデバイスは益々浅くなると予想され、クリーニングプロセスが基板材料除去や表面荒さの観点で完全に影響を与えないようにすることが必要となる。スケーリングされた新しいデバイス構造は、耐久性が益々低くなるとも考えられ、採用されると考えられるクリーニングプロセスの物理的効果が制限される。

デバイスサイズスケーリングの永続的な課題は、ゲート電極長の CD (Critical Dimension) の制御である。ゲート CD を微細化する時、ライン幅の粗さ(Line Width Roughness)の存在は、28 nm 以下で CD ばらつきの最大要因となっている。LWR は、線幅微細化の時の最大の定数であり、主なスケーリングの課題となっている。最近の定量化の方法は、産業界が課題に取り組むことを促すために、標準化される必要がある。非平面

トランジスタが必要となった時、エッチングはより困難な課題となる。FinFET 形状は、選択性や異方性、ダメージ制御に関して新しい制限を持ち込む。

化学機械研磨(CMP)は、フロントエンドプロセスにおいてより重要となり、2009 年 FEP 章に初めて具体的な考察が掲載される。しかし残念ながら、選択性とパターン密度依存性は、CMP プロセスにとって継続的な課題となり続ける。

DIFFICULT CHALLENGES

Table ITWG7 Front End Processes Difficult Challenges

<i>Difficult Challenges ≥ 16 nm (Metal 1 1/2-pitch)</i>	<i>Summary of Issues</i>
	Strain Engineering - continued improvement for increasing device performance - application to FDSOI and Multi-gate technologies
	Achieving DRAM cell capacitance with dimensional scaling - finding robust dielectric with dielectric constant of ~60 - finding electrode material with high work function
	Achieving clean surfaces free of killer defects - with no pattern damage - with low material loss (<0.2 Å)
	High-k/Metal Gate - introduction to full scale manufacturing for HP, LOP, and LSTP - scaling equivalent oxide thickness (EOT) below 0.8 nm
	450 mm wafers - meeting production level quality and quantity
<i>Difficult Challenges < 16 nm (Metal 1 1/2-pitch)</i>	<i>Summary of Issues</i>
	Continued scaling of HP multigate device in all aspects: EOT, junctions, mobility enhancement, new channel materials, parasitic series resistance, contact silicidation.
	Lowering required DRAM capacitance by 4F2 cell scheme or like, while continuing to address materials challenges
	Continued achievement of clean surfaces while eliminating material loss and surface damage and sub-critical dimension particle defects
	Continued EOT scaling below 0.7 nm with appropriate metal gates
	Continued charge retention with dimensional scaling and introduction of new non-charged based NVM technologies

リソグラフィ (LITHOGRAPHY)

周知の通り、光リソグラフィの延命はますます困難になってきている。2010 年にフラッシュデバイスは NA と波長を一定にしたまま延命させ 32nm ハーフピッチのダブルパターンニングにより生産される見通しである。この手法は 32nm ハーフピッチの DRAM と MPU には難しいだろう。そしてフラッシュは 2013 年の 22nm ハーフピッチノードで光解決策の限界の評価を始める。しかし、22nm 以降のリソグラフィ手法への円滑な移行を確実にするために、代替次世代リソグラフィは量産導入されなくてはならない。

ITRS に貢献する国際学界は、22nm ノードにおいて実際に使われる可能性があり、且つ 11nm ハーフピッチまでのロードマップを延長できるような4つの技術を認めた。これらは解決策として望ましいもので実現可能なものとして毎年ランク付けされている。EUV リソグラフィは CoO が低いという理由から第一の候補になっている。二番目は 22nm ハーフピッチノードで k1 が 0.15 まで小さくなる 193 液浸のダブルパターンニングの延命であり、続いてマスクレスリソグラフィ、インプリントリソグラフィである。これらすべての手法を用いた評価およびさらなる開発のため、アルファ機やベータ機が出荷されている。多くの場合、技術はリソグラフィ装置ではなく、むしろ支持技術によって制約されている。

< 22nm での困難な課題 対 技術

次世代リソグラフィの困難な課題は多く、我々が知っていて理解している技術での改善はあまりない。技術オプションは依然膨大で、そして多くの場合は技術および支持するインフラ技術が生産に近づくためには意義のある発明が必要である。≤22nm の困難な課題の表に次世代リソグラフィ技術が生産へ導入されるために解決すべき主な課題を示す。これらの課題は認められている困難さの順に記載されている。EUV リソグラフィには、相当な改善が求められるとして三つの主な項目が長い間挙げられている。初めは EUV 光源の強度と信頼性である。明るい EUV 光源は近年 DPP(discharged produced plasma)から LPP(laser produced plasma)へと変わったが、確認されたパワーレベルは生産に必要なところから未だ 4 から 6 倍足りない。二番目は EUV 用レジストシステムで、解像度、LWR、感度のスペックが低露光量において同時に実現される必要がある。加えて、EUV 放射での各フォトンには 193 のフォトンよりも 15 倍のエネルギーを持つ。従って、露光量は量子ノイズに近いぐらいの 15 倍少ないフォトンで達成される。三番目の課題は EUV マスクとそれらを支持するインフラである。このマスクに転写する欠陥は、従来からあるパターン形成層の不透明な欠陥だけでなく、EUV 基板の小さな位相欠陥や反射ブランクスが多層膜中に形成された位相欠陥に由来する。これらの位相欠陥は今日の測定に制限され、観察と改善が非常に困難である。現在、22nm ノードの EUV マスク製造に必要なインフラ測定設備(基板、ブランクス、パターン形成マスク、AIMs)は存在しない。

マスクレスリソグラフィはもう一つの次世代リソグラフィ技術であるが、生産用技術として検討する前に大きな課題を克服しなくてはならない。まずは、適切な LWR と解像度を伴ったレジスト感度と併せたシステムの処理能力である。これは電子線磁束に関するシステムの問題とレジスト材料の問題の両方である。第二の懸念点は4倍マスクで現状得られているのと同様な性能のウェーハ像検査ができないことである。検査には二つの問題があり、(十分なスピードでの)ウェーハ検査の解像度、およびシステムティックな繰り返し欠陥がないことを保証するためのダイ to データベース検査である。

インプリントリソグラフィは三つの主要な要求があり、等倍マスク、インプリント材料とインプリントシステムである。第一にマスク検査である。等倍マスクのパターン幅のわずか 10%の欠陥を検出する必要がある。電子線システムなら可能かも知れないが、生産に必要なスピードはない。二番目は、等倍マスクにおける LWR と寸法の規格に適合するために低速度の電子線レジストを描画する時間である。三番目は、等倍の欠陥サイズは現状の4倍の光学マスクプロセスで要求されるよりも4分の1小さいということである。そのため、インプリントのテンプレートと電子線レジスト形成プロセスはこれらの規格に適合するために開発される必要がある。他の課題として、インプリントの材料は十分な処理能力を得るために十分な低粘度でなくてはならないということである。

ある。リソグラフィ関係者では、生産に受け入れるためには処理能力、欠陥レベルと重ね合わせ精度の全てが検討される必要があると信じられている。

短期的な課題が多いが、産業界はそれらを解決するために努力している。リソグラフィのシステムは古いステッパーの約二倍の処理能力が出るように作られおり、従ってダブルパターニングによる CoO の課題に取り組んでいる。リソグラフィマスクパターン形成システムにおける位置精度と重ね合わせ精度もダブルパターニングの生産移行のために取り組んでいる。産業界は同様に次世代リソグラフィ技術の基礎的な課題、特に EUV リソグラフィとそのマスクインフラ整備にも取り組んでいる。これらの成果により、リソグラフィ産業は将来投資回収が改善する方向に戻るだろう。

Table ITWG8A Lithography Difficult Challenges >22 nm

<i>Difficult Challenges > 22 nm</i>	<i>Summary of Issues</i>
Optical masks with features for resolution enhancement and post-optical mask fabrication	Equipment infrastructure (writers, inspection, metrology, cleaning, repair) for fabricating masks with sub-resolution assist features Registration, CD, and defect control for masks Eliminating formation of progressive defects and haze during exposure Understanding and achieving the specific signature and specifications for a Double Patterned mask Establishing a stable process so that signatures can be corrected.
Double patterning	Overlay of multiple exposures including mask image placement, mask-to-mask matching, and CD control for edges defined by two separate exposures Availability of software to split the pattern, apply OPC, and verify the quality of the split while preserving critical features and maintaining no more than two exposures for arbitrary designs Availability of high productivity scanner, track, and process to maintain low cost-of-ownership Photoresists with independent exposure of multiple passes Fab logistics and process control to enable low cycle time impact that efficient scheduling of multiple exposure passes.
Cost control and return on investment	Achieving constant/improved ratio of exposure related tool cost to throughput over time ROI for small volume products Resources for developing multiple technologies at the same time Cost-effective resolution enhanced optical masks and post-optical masks, and reducing data volume 450 mm diameter wafer infrastructure
Process control	New and improved alignment and overlay control methods independent of technology option to <5.7 nm 3σ overlay error Controlling LER, CD changes induced by metrology, and defects < 10 nm in size Greater accuracy of resist simulation models Accuracy of OPC and OPC verification, especially in presence of polarization effects Lithography friendly design and design for manufacturing (DFM)

Table ITWG8B *Lithography Difficult Challenges ≤22 nm*

<i>Difficult Challenges ≤22 nm</i>	<i>Summary of Issues</i>
EUV lithography	Source power > 180 W at intermediate focus, acceptable utility requirements through increased conversion efficiency and sufficient lifetime of collector optics and source components Cost control and return on investment Resist with < 1.5 nm 3s LWR, < 10 mJ/cm² sensitivity and < 20 nm ½ pitch resolution Fabrication of Zero Printing Defect Mask Blanks Establishing the EUVL mask Blank infrastructure (Substrate defect inspection, actinic blank inspection) Establishing the EUVL patterned mask infrastructure (Actinic mask inspection, EUV AIMs) Controlling optics contamination to achieve > five-year lifetime Protection of EUV masks from defects without pellicles Fabrication of optics with < 0.10 nm RMS figure error and < 7% intrinsic flare
Resist materials	Limits of chemically amplified resist sensitivity for < 22 nm half pitch due to acid diffusion length Materials with improved dimensional and LWR control add (limits) Resist and antireflection coating materials composed of alternatives to PFAS compounds Low defects in resist materials (size < 10 nm) Line width roughness < 1.4 nm 3 sigma
Mask fabrication	Timeliness and capability of equipment infrastructure (writers, inspection, metrology, cleaning, repair) Mask process control methods and yield enhancement Cost control and return on investment
Cost control and return on investment	Achieving constant/improved ratio of exposure-related tool cost to throughput Development of cost-effective post-optical masks Cost effective 450 mm lithography systems Achieving ROI for small volume products
193 nm Immersion Multiple Patterning	Cost control and return on investment Wafer processing to tighter overlay and CD controls Mask fabrication to tighter specifications
Metrology and defect inspection	Defect inspection on patterned wafers for defects < 20 nm Resolution and precision for critical dimension measurement down to 6 nm, including line width roughness metrology for 0.8 nm 3s Metrology for achieving < 2.8 nm 3s wafer overlay error Template inspection for 1× Imprint Patterned Masks Phase shifting masks for EUV
Gate CD control improvements and process control	Development of processes to control gate CD < 1.5 nm 3s with < 1.4 nm 3s line width roughness Development of new and improved alignment and overlay control methods independent of technology option to achieve < 2.8 nm 3s overlay error, especially for imprint lithography
Maskless Lithography	Wafer throughput Cost control and return on investment Die-to-database inspection of wafer patterns written with maskless lithography Pattern placement - including stitching Controlling variability between beams in multibeam systems
Imprint Lithography	Defect-free imprint templates at 1× dimensions Infrastructure for 1× technology templates (key here is inspection!) Template fabrication to tighter specifications Protection of imprint templates from defects without pellicles Mask life time Throughput Cost control and return on investment Overlay Process control methods to compensate for systematic CD and overlay errors

配線

ITRS における配線章では、必要なパワーと接地配線を供給する集積回路の様々な機能ブロックへ、クロック及び他のシグナルを分配する配線システムに主眼をおいた。2008 年から、そのスコープは、コンタクトレベルを包括するところまで拡大されて、さらにメタル 1 からグローバル配線層へと続いている。グローバル配線の遅延は、“主要な技術課題”として位置づけられ、一般にはこの遅延に取り組むことが、最優先となっている。

2008 年からの配線 WG のこの遅延に対してのアプローチは、高帯域幅・低消費電力伝送のソリューションを可能にしたことと、INTC6 表という高密度 TSV (Through Silicon Via) の目標仕様表を追加したことである。ここでは、配線材料として Cu のデュアルダマシ構造を使うことを前提としているが、最新の取り組みは、3 次元のインテグレーションや新探求技術にその軸足がシフトしている。

- 要求仕様表 (INTC2) は、大半を改訂し、以下のように組み替えた。
 - 一般的な要求—たとえば、バルクの抵抗値や、絶縁膜の誘電率など。
 - 配線層ごとの配線やビアのサイズに応じた固有の要求値—たとえば、バリアメタルの膜厚や実効的な抵抗率。
- 低誘電率絶縁膜ロードマップ—若干の鈍化
 - バルク絶縁膜誘電率のレンジ見直し
 - 新探求技術からエアギャップ構造を移動—もはや、新探求ではなく、主流になることを考慮して。
 - バルク絶縁膜誘電率 2.0 未満でのエアギャップ採用。
- ALD (原子層積層) バリアプロセスと Cu メタルキャップは、量産化はまだ遅れている—1nm 以下の目標仕様への整合が必要。
 - Ru を含むハイブリッドバリアが注目を浴びている。
- 最大許容電流 ($J_{\max}$) の限界が配線幅依存性を示している—新たな信頼性の課題となる。
- 技術の牽引は、寸法の微細化と実効的微細化の双方を支えるところまで拡大している。
 - CMOS コンパチブルの実効的微細化の要求は、新たな (FET でない) スイッチングデバイスの配線特性を一義的に考察に従って、拡大された “*Emerging Interconnect Properties*” のセクションで強調されている。
- TSV を使った 3 次元実装の設計とプロセスは、遅延と電力消費をキーエリアとして位置づけ、新たな表を導入した。

DIFFICULT CHALLENGES

Table ITWG9 Interconnect Difficult Challenges

<i>Difficult Challenges ≥ 22 nm</i>	<i>Summary of Issues</i>
Introduction of new materials to meet conductivity requirements and reduce the dielectric permittivity*	The rapid introductions of new materials/processes that are necessary to meet conductivity requirements and reduce the dielectric permittivity create integration and material characterization challenges.
Engineering manufacturable interconnect structures, processes and new materials*	Integration complexity, CMP damage, resist poisoning, dielectric constant degradation. Lack of interconnect/package architecture design optimization tool
Achieving necessary reliability	New materials, structures, and processes create new chip reliability (electrical, thermal, and mechanical) exposure. Detecting, testing, modeling, and control of failure mechanisms will be key.
Three-dimensional control of interconnect features (with its associated metrology) is required to achieve necessary circuit performance and reliability.	Line edge roughness, trench depth and profile, via shape, etch bias, thinning due to cleaning, CMP effects. The multiplicity of levels combined with new materials, reduced feature size, and pattern dependent processes create this challenge.
Manufacturability and defect management that meet overall cost/performance requirements	As feature sizes shrink, interconnect processes must be compatible with device roadmaps and meet manufacturing targets at the specified wafer size. Plasma damage, contamination, thermal budgets, cleaning of high A/R features, defect tolerant processes, elimination/reduction of control wafers are key concerns. Where appropriate, global wiring and packaging concerns will be addressed in an integrated fashion.
<i>Difficult Challenges < 22 nm</i>	<i>Summary of Issues</i>
Mitigate impact of size effects in interconnect structures	Line and via sidewall roughness, intersection of porous low- κ voids with sidewall, barrier roughness, and copper surface roughness will all adversely affect electron scattering in copper lines and cause increases in resistivity.
Three-dimensional control of interconnect features (with its associated metrology) is required	Line edge roughness, trench depth and profile, via shape, etch bias, thinning due to cleaning, CMP effects. The multiplicity of levels, combined with new materials, reduced feature size and pattern dependent processes, use of alternative memories, optical and RF interconnect, continues to challenge.
Patterning, cleaning, and filling at nano dimensions	As features shrink, etching, cleaning, and filling high aspect ratio structures will be challenging, especially for low- κ dual damascene metal structures and DRAM at nano-dimensions.
Integration of new processes and structures, including interconnects for emerging devices	Combinations of materials and processes used to fabricate new structures create integration complexity. The increased number of levels exacerbate thermomechanical effects. Novel/active devices may be incorporated into the interconnect.
Identify solutions which address 3D structures and other packaging issues*	3 dimensional chip stacking circumvents the deficiencies of traditional interconnect scaling by providing enhanced functional diversity. Engineering manufacturable solutions that meet cost targets for this technology is a key interconnect challenge.

* Top three challenges

CMP—chemical mechanical planarization

DRAM—dynamic random access memory

工場技術

工場技術ワーキンググループは、要求される工場業務サービスと関連する技術を同定し、要求技術の短期予測と長期予測、そしてポテンシャルソリューションを更改する。このワーキンググループは以下に示す5つの専門分科会からなる。夫々のフォーカスについて次のテーブルに纏めた。

<i>Functional Area</i>	<i>Key technology focuses and issues</i>
Factory Operations (FO)	1) Systematic productivity improvement methodology prior to 450 mm insertion 2) Systematic factory waste visualization of cycle times and factory output losses
Production Equipment (PE)	1) 450 mm production tool development 2) Reliable and predictable equipment availability improvement
Material Handling Systems (MHS)	1) Reduction in average material delivery times 2) More interactive control with FICS and PE for accurate scheduled delivery
Factory Information and Control Systems (FICS)	1) Increased FICS reliability performance for more complex factory control 2) Enhanced system extendibility
Facilities	1) Enhanced extendibility for 450 mm and facility cost reduction 2) AMC management, electric static control on masks, wafers, and facility surfaces

2009 年版のハイライト

2009 年版の工場運用(Factory Operation)の技術要求テーブルは、NGF (Next Generation Factory: 次世代工場)と無駄低減マネジメントに掛かる要求事項とに関連する新しいメトリクスを含むように改定された。その他の専門分科会毎の技術要求テーブルも、この工場運用技術要求に合致する要求と、夫々の技術分野固有の要求に合わせてアップデートされている。

次世代工場技術要求の包含

工場技術ワーキンググループ注目分野での検討によって、450mm ウェーハによる製造技術の導入前に、著しい生産性の改善が NGF として為されるべきであるとの結論を得た。NGF は、特に横断的な生産性の能動的な業務サービスの可視化によって支援される体系立てた生産性無駄の低減活動として定義されるのが最も妥当である。NGF は所謂 300mm プライムとしての移行的な役割も持ち得る。NGF のスキームによって業界としては現行の工場技術と 450mm とに共通な技術開発に資源を割くことができる。

生産性無駄削減マネジメント

生産性無駄削減のアプローチは NGF の推進力として認識されている。生産性無駄削減マネジメントの最終的なゴールは、工場技術以外の ITRS の他の技術ワーキンググループで生産性無駄削減のスキームが技術要求表に取り込まれることである。すなわち、新しい従来からの Si スケーリングによるコスト低減軸に生産性無駄削減の軸が追加されることである。工場技術ワーキングは、生産性無駄削減マネジメントを進展させるために、2つの高位の生産性無駄メトリクスを工場運用の技術要求テーブルに新しく追加した。1つは工場レベルの待ち時間無駄 WTW (Wait Time Waste)であり、製品ウェーハが工場内で経験する待ち時間の総計をスパーホットロットのサイクルタイムとの比として定義されている。もう1つは、工場レベルの装置出力無駄 EOW (Equipment Output Waste)であり、装置のスループットの瞬間的な値と、平均した値との差を正規化した値として定義されている。

他技術分野との関連事項

グリーンファブに関する事項、高度なプロセス制御、先端プロセスに掛かるファブ温度/湿度制御、シングルウェーハ処理あるいはバッチ処理方式、450mm に掛かる技術等が技術要求あるいはポテンシャルソリューションのテーブルに反映されている。

今後の工場技術ワーキンググループの活動

450mm 工場技術に関する要求が体系立って明らかになり次第、捕捉されるべきである。生産性の無駄を究極まで削減した製造技術として枚葉生産を捉え、その開始を 2019 年と考えているが、当該技術要求について当技術ワーキングでの十分な検討が必要である。生産性無駄削減マネジメントについては ITRS 全体として、そして業界での十分な検討と理解が依然必要である。業界の構成員は、今回揭示された工場レベルの生産性無駄削減を夫々の立場で解釈し、自らの立場での生産性無駄削減に寄与するロードマップの策定をすることが必要である。グリーンファブ推進については、工場業務サービスとしての観点から理解され、工場技術としての十全なサービス要求が記述されるべきである。

DIFFICULT CHALLENGES

Table ITWG10 Factory Integration Difficult Challenges

<i>Difficult Challenges through 2017</i>	<i>Summary Of Issues</i>
1. Responding to rapidly changing, complex business requirements	Increased expectations by customers for faster delivery of new and volume products (design → prototype and pilot → volume production) Rapid and frequent factory plan changes driven by changing business needs Ability to load the fab within manageable range under changeable market demand Enhancement in customer visibility for quality assurance of high reliability products
2. Managing ever increasing factory complexity	Quickly and effectively integrating rapid changes in process technologies Increased requirements for high mix factories. Examples are (1) significantly short life cycle time of products that calls frequent product changes, (2) the complex process control as frequent recipe creations and changes for process tools and frequent quality control criteria due to small lot sizes Manufacturing knowledge and control information need to be shared as required among factory operation steps and disparate factories Need to concurrently manage new and legacy FICS software and systems with increasingly high interdependencies Ability to model factory performance to optimize output and improve cycle time for high mix factories Need to manage clean room environment for more environment susceptible processes, materials, and, process and metrology tools Comprehending increased purity requirements for process and materials
3. Achieving growth targets while margins are declining	Ability to visualize cost and cycle time for systematic waste reduction from all aspects. Reducing complexity and waste across the supply chain Minimize the cost of new product ramp up against the high cost of mask sets and product piloting
4. Meeting factory and equipment reliability, capability and productivity requirements per the Roadmap	Increased impacts that single points of failure have on a highly integrated and complex factory More equipment reliability, capability and productivity visualization that can be used bidirectionally between equipment suppliers and users for more efficient task sharing Design-in of equipment capability visualization in production equipment Equipment supplier roadmap for equipment quality visualization and improvement, and, reduction of Equipment Output Waste. Reduction of equipment driven NPW (non-product wafers) operations that compete for resources with production wafers and Dandori operations[1]
5. Emerging factory paradigm and next wafer size change	Uncertainty about 450 mm conversion timing and ability of 300 mm wafer factories to meet historic 30% cost effectiveness. Uncertainty concerning how to reuse buildings, equipment, and systems to enable 450 mm wafer size conversion at an affordable cost
<i>Difficult Challenges Beyond 2017</i>	<i>Summary of Issues</i>
1. Meeting the flexibility, extendibility, and scalability needs of a cost-effective, leading-edge factory	Ability to utilize task sharing opportunities to keep the manufacturing profitable such as manufacturing outsourcing Enhanced customer visibility for quality assurance of high reliability products including manufacturing outsourcing business models Scalability implications to meet large 300 mm factory needs [40K–50K WSPM] Cost and task sharing scheme on industry standardization activity for industry infrastructure development
2. Managing ever increasing factory complexity	Higher resolution and more complications in process control due to smaller process windows and tighter process targets in many modules Complexity of integrating next generation lithography equipment into the factory More comprehensive traceability of individual wafers to identify problems to specific process areas Comprehensive management that allows sharing and re-usages of complex engineering knowledge and contents such as process recipes, APC algorithms, FD and C criteria, equipment engineering best known methods
3. Increasing global restrictions on environmental issues	Need to meet regulations in different geographical areas Need to meet technology restrictions in some countries while still meeting business needs Comprehending tighter ESH/Code requirements Lead free and other chemical and materials restrictions New material introduction
4. Post-conventional CMOS manufacturing uncertainty	Uncertainty of novel device types replacing conventional CMOS and the impact of their manufacturing requirements on factory design Timing uncertainty to identify new devices, create process technologies, and design factories in time for a low risk industry transition Potential difficulty in maintaining an equivalent 0.7× transistor shrink per year for given die size and cost efficiency

[1] Dandori operations: Peripheral equipment related operations that are in parallel or in-line and prior to or following to the main thread PE operations. So-called in-situ chamber cleaning is another good example than NPW operations.

アセンブリーパッケージ (ASSEMBLY AND PACKAGING)

3次元実装や SiP や、“More than Moore”を実現するその他の新技術の急激な成長は、A&P のロードマップの変化を加速させた。ITRS2009 では、これらの新技術を記載するために、幾つかの節を追加したり、内容の拡張を図った。なお、これらの幾つかは ITRS2008Update で最初に変更されている。

主要な変更は以下の通りである。

- 2011 年での量産技術として、SiP におけるチップ上またはチップ間のオプティカル接続技術が追加された。
- 特殊な技術でのボンディングピッチの変更を反映させるため、Table AP3 と AP4 を修正した。技術力の変化より、需要の変化により変更している場合もある。
- リフロー実装時のパッケージと基板の反りの問題が益々重要になってきたので、新しく Table AP4b を追加した。
- 一般的な有機基板と、高温デバイス対応のガラスセラミック基板のロードマップの違いを明確にするために、Table AP5a、AP5b、AP5c を変更した。
- ITRS2007 での定性的な情報から、定量性を反映させるために、Table AP9 を再構成した。
- 詳細な情報を記載するために Table AP10 を修正し、主要なプロセス毎に分割した。
- SiP の要求を満たすために変化している部品サイズ、リフロー温度、その他のパラメータの変更に合わせて Table AP11 を修正した。
- Table AP15 に能動オプティカルケーブルを追加した。この Table とそれに関連した記載内容は、SiP でのオプティカル接続とシステム間接続の統合を反映して、ITRS2009 で大幅に見直した。
- 色々なオプトエレクトロニクス応用事例に対して異なるパッケージング課題があることを認識して、Table AP16 を分割した。
- Table AP19 は主要な改訂作業中にあり、ITRS2009 で統合されるだろう。[訳注:最終版を作成前に書いたため、このような文章になったと思われる。]
- Table 21 には、自動車における動作環境仕様が追加された。これらは ITRS2007 の文中に記載されていたが、電気自動車やハイブリッド車に関する電子部品記載内容の増加に合わせて、今回、新規の Table にした。この話題に関しては ITRS2009 の本文の記載量も増加している。

ITRS2008Update に対する A&P の Table の変更はその他にも多数ある。今回の見直しでの最も重要な課題は、上述の主要な変更と関係している。これらは、3次元実装への挑戦と“More than Moore”の領域の機能的多様化を記載するために必要な材料、プロセス、設計の変更のより詳細な取り扱いと合致するだろう。

困難な技術課題

現在、パッケージ技術が多くの種類のデバイスのコストと性能の制限因子であるという認識から、A&Pの革新は加速している。短期の困難な技術課題は、設計から製造、テスト、信頼性に渡る A&P プロセスの全ての段階で存在する。

今後解決すべき重大な技術要求を下記の Table ITWG11 に示す。これらの要求を解決するには、研究開発への効果的な投資が必要となるだろう。

Table ITWG11

Assembly and Packaging Difficult Challenges

<i>Difficult Challenges ≥ 22 nm</i>	<i>Summary of Issues</i>
Impact of BEOL including Cu/low κ on packaging	-Direct wire bond and bump to Cu or improved barrier systems bondable pads - Dicing for ultra low k dielectric -Bump and underfill technology to assure low-κ dielectric integrity including lead free solder bump system -Improved fracture toughness of dielectrics- -Interfacial adhesion -Reliability of first level interconnect with low κ -Mechanisms to measure the critical properties need to be developed. -Probing over copper/low κ
Wafer level CSP	-I/O pitch for small die with high pin count -Solder joint reliability and cleaning processes for low stand-off -Wafer thinning and handling technologies -Compact ESD structures -TCE mismatch compensation for large die
Coordinated design tools and simulators to address chip, package, and substrate co-design	-Mix signal co-design and simulation environment -Rapid turn around modeling and simulation -Integrated analysis tools for transient thermal analysis and integrated thermal mechanical analysis -Electrical (power disturbs, EMI, signal and power integrity associated with higher frequency/current and lower voltage switching) -System level co-design is needed now. -EDA for “native” area array is required to meet the Roadmap projections. -Models for reliability prediction
Embedded components	-Low cost embedded passives: R, L, C -Embedded active devices -Quality levels required not attainable on chip -Wafer level embedded components
Thinned die packaging	- Wafer/die handling for thin die - Different carrier materials (organics, silicon, ceramics, glass, laminate core) impact -Establish infrastructure for new value chain -Establish new process flows -Reliability -Testability -Different active devices -Electrical and optical interface integration

Table ITWG11 Assembly and Packaging Difficult Challenges (continued)

<i>Difficult Challenges ≥ 22 nm</i>	<i>Summary of Issues</i>
Close gap between chip and substrate Improved organic substrates	-Increased wireability at low cost -Improved impedance control and lower dielectric loss to support higher frequency applications -Improved planarity and low warpage at higher process temperatures -Low-moisture absorption -Increased via density in substrate core -Alternative plating finish to improve reliability -Solutions for operation temp up to C5-interconnect density scaled to silicon (silicon I/O density increasing faster than the package substrate technology) -Production techniques will require silicon-like production and process technologies after 2005 -Tg compatible with Pb free solder processing (including rework at 260°C)
High current density packages	-Electromigration will become a more limiting factor. It must be addressed through materials changes together with thermal/mechanical reliability modeling. -Whisker growth -Thermal dissipation
Flexible system packaging	-Conformal low cost organic substrates -Small and thin die assembly -Handling in low cost operation
3D packaging	-Thermal management -Design and simulation tools -Wafer to wafer bonding -Through wafer via structure and via fill process -Singulation of TSV wafers/die -Test access for individual wafer/die -Bumpless interconnect architecture
<i>Difficult Challenges < 22 nm</i>	<i>Summary of Issues</i>
Package cost does not follow the die cost reduction curve	-Margin in packaging is inadequate to support investment required to reduce cost -Increased device complexity requires higher cost packaging solutions
Small die with high pad count and/or high power density	These devices may exceed the capabilities of current assembly and packaging technology requiring new solder/UBM with: -Improved current density capabilities -Higher operating temperature
High frequency die	-Substrate wiring density to support >20 lines/mm -Lower loss dielectrics—skin effect above 10 GHz -“Hot spot” thermal management There is currently a “brick wall” at five-micron lines and spaces.
System-level design capability to integrated chips, passives, and substrates	-Partitioning of system designs and manufacturing across numerous companies will make required optimization for performance, reliability, and cost of complex systems very difficult. -Complex standards for information types and management of information quality along with a structure for moving this information will be required. -Embedded passives may be integrated into the “bumps” as well as the substrates.
Emerging device types (organic, nanostructures, biological) that require new packaging technologies	-Organic device packaging requirements not yet defined (will chips grow their own packages) -Biological interfaces will require new interface types

TSV—through silicon via

環境・安全・健康(ESH) (ENVIRONMENT, SAFETY, AND HEALTH)

2009 年の ITRS ESH 章には、従来版と同様の 4 つの基本的な戦略が残っています。すなわち: 1) 開発段階における、プロセスと材料の理解(特徴の明確化); 2) 危険性が少ないか、または副生成物がそれほど危険でない材料の使用; 3) より少量の原料とリソースを消費する製品及びシステム(製造設備とファシリティ)の設計、そして、4)、従業員にとって安全な工場の製造、です。

2009 年版には、ESH Categories の追加という 1 つの特筆すべき新しい要素があります。従来の ESH 章テーブルは技術的な推進における(例えば、Interconnect、Front End Processes など)ESH 懸念事項関連した要件一覧を示していました。また、従来版では、一つの技術的な推進(本質的とみなされる)に付随するものより広範で一般的な ESH 懸念事項を特定しています。

ESH の改善に加えて、これら最もすばらしい付加利益の領域に向かう、利用可能資源の焦点を合わせるために、すべての ESH 要件が現在、3 つ区分されたカテゴリの 1 つに分類されています:

1. *Critical*—このカテゴリにおけるいかなる要件も ESH 利益と同様に技術成功/実現のための不可欠の項目です。問題解決の努力無しには、技術を製造に適用する能力を危うくするかもしれません。
2. *Important*—このカテゴリにおけるいかなる要件も ESH 利益と同様に技術成功/実現のためのキーとなる項目です。問題解決の努力無しには、製造におけるスループットや、歩留まりや、化学物質/材料や、そしてその他の、冶工具などの項目で、技術のコスト(CoO)を危うくするかもしれません。
3. *Useful*—このカテゴリにおけるどんな要件も、ESH 利益(ベストプラクティス)のためのキーとなる項目ですが、明確な追加要素がなければ上の 2 つのカテゴリのどちらかにそれを分類することは出来ません。問題解決の努力の無い場合、その技術を製造に導入するときに、それほど大きな ESH の影響が発生しないかも知れません。

また、新しい 2009 版には、以下の ESH ドメインに従って容易に参照できるように分類された 2009 Roadmap を考慮するためのすべての ESH 要件のテーブルが準備されています。これらは、制限された化学物質、新規化学物質、ナノテクノロジー(新規化学物質の以前のまとめ)利用(効率)/廃棄物の削減、エネルギー、グリーンファブなどがあります。

2010 年の ESH 章に対する一つの重大な領域は、材料に関する ESH ポリシー(政府と一般)からの影響を効率的に組み入れるために技術項目ニーズを更に改善することになるでしょう。これは、技術要件に ESH の特性分類を継続的に調和させることによって成し遂げられるものです。

2010 年の他の注目領域は、エネルギーとカーボンフットプリント(省エネルギーに対する新技術の視点の改善)、化学物質アセスメントデータとアセスメント方法論のタイムリーな利用可能性の改善、450mm の潜在的影響度の深堀評価、そして ESH 要件がメモリデバイスとロジックデバイスの間で ESH の要求事項がどう異なるかの評価などが挙げられます。

DIFFICULT CHALLENGES

Table ITWG12A Environment, Safety, and Health Difficult Challenges—Near-term

Difficult Challenges ≥ 16 nm	課題の概要
化学物質と材料の管理	- ケミカルアセスメント: 人の健康、安全、および環境を保護すると同時に、新規化学物質/材料を製造で(遅滞無く)利用できるためのしっかりとした迅速なアセスメント方法を確認にする必要があります。研究開発の可能性の世界的動向、プレ製造、および完全な商業化を考えて、これらの方法論は地域の法制度/政策の差、および総合的な暴露限界の低下やモニターリングの増加のトレンドを認識しなければなりません。 - 化学物質データの有効性: 独占化学物質/材料の使用において、増加する法規制/政策要件へ対応するには不完全で広範な多くの ESH データが存在します。加えて、対応先取りや将来の要件を予測する方法論は十分に開発されていません。 - 化学物質の暴露管理: 化学物質/材料が如何に使用されていて、副生成物がどう形成されるかに関する情報には不完全なものがあります。また、そのような情報を得るのに使用される方法が、さらに標準化される間、それらの有用性は固有の課題の対応によって変化し、そして改善は利用可能となります
プロセスと設備管理	- プロセス化学物質の最適化: プロセスと製造設備を技術要求を満たすべく開発する必要性があり、同時に 人の健康や安全、および環境(例えば、より効率的で費用対効果に優れた工程管理で化学量要件を減らして、より優しい材料を使用する)でそれらの影響を減少させる必要があります。 - 環境管理: ESH の特性を理解して、プロセスからの放出と副生成物の有効なマネジメントシステムを開発する必要があります。これにより、そのような有害又は非有害物質の放出と副生成物のための適切な緩和(廃棄物の流れにおける要素分離のための能力を含む)を対応できます。 - 地球温暖化放出量削減: 高い温室効果(GWP)を有する化学物質の放出、それらを使用するプロセス、そして副生成物としてそれらを発生する過程から削減させる必要があります。 - 省水と省エネルギー: 革新的なエネルギー及び水の高効率プロセス、および製造設備の必要性があります。 - 消耗品の最適化: 化学物質/材料利用の、改良された再利用化/再資源化/回収技術とプロセスからの放出、および副生成物を含み、これら資源のより効率的な利用の必要があります。 - 副生成物管理: 副生成物分析のための改良された方法の必要性があります。 - 化学物質の暴露管理: 化学物質の潜在的暴露の可能性回避のための設計と保護具(PPE)へ対する要求事項の必要性があります。 - メンテナンスのためのデザイン: 一般的に、単独の作業者によって実施されるメンテナンスや点検整備でも、最小の安全衛生リスクとなるように、修理されるコンポーネントや消耗部品は簡単に安全にアクセスできるように製造設備を設計する必要があります。 - 製造設備のエンドオブライフ: 製造設備の再利用化/再資源化/回収技術に関連する課題に取り組むための効果的な管理システムを開発する必要があります。
ファシリティ技術要件	- 保存・維持: エネルギー、水、および他のユーティリティ使用の抑制と、熱管理のためのより効率的なクリーンルーム及び施設システムの必要があります。 - 地球温暖化放出量削減: CO₂ 等価の総排出量を削減するために、低エネルギーの製造付帯設備を設計する必要があります。
持続可能性と製品の管理 (スチュワードシップ)	- 持続可能性数値指標: 技術ジェネレーションの持続可能性を定義し、測定する方法論の必要性があります。 - ESH のためのデザイン: 新世代の付帯設備、製造設備、プロセス、および製品のための設計段階における ESH パラメタの必要性があります。 - 寿命期における再利用化/再資源化/回収技術: 寿命期における問題を容易にするように付帯設備、製造設備、および製品を設計する必要があります。

Table ITWG12B *Environment, Safety, and Health Difficult Challenges—Long-term*

Difficult Challenges < 16 nm	課題の概要
化学物質と材料の管理	● ケミカルアセスメント: 人の健康、安全、および環境を保護すると同時に、新規化学物質/材料を製造で(遅滞無く)利用できるためのしっかりとした迅速なアセスメント方法を確かにする必要があります。 ● 化学物質データの有効性: 独占化学物質/材料の使用において、増加する法規制/政策要件へ対応するには不完全で広範な多くの ESH データが存在します。 ● 化学物質の暴露管理: 化学物質/材料が如何に使用されていて、副生成物がどう形成されるかに関する情報には不完全なものがあります。
プロセスと設備管理	● 化学物質の削減: プロセスと製造設備を技術要求を満たすべく開発する必要性があり、同時に 人の健康や安全、および環境(例えば、より効率的で費用対効果に優れた工程管理で化学量要件を減らして、より優しい材料を使用する)でそれらの影響を減少させる必要性があります。また、高い温室効果(GWP)を有する化学物質の放出、それらを使用するプロセス、そして副生成物としてそれらを発生する過程から削減させる必要性があります。 ● 環境管理: ESH の特性を理解して、プロセスからの放出と副生成物の有効なマネージメントシステムを開発する必要性があります。これにより、そのような有害又は非有害物質の放出と副生成物のための適切な緩和(廃棄物の流れにおける要素分離のための能力を含む)を対応できます。 ● 省水と省エネルギー: 革新的なエネルギー及び水の高効率プロセス、および製造設備の必要性があります。 ● 消耗品の最適化: 化学物質/材料利用の、進展・増加した再利用化/再資源化/回収技術とプロセスからの放出、及び副生成物を含み、これら資源のより効率的な利用の必要があります。 ● 化学物質の暴露管理: 化学物質の潜在的暴露の可能性回避のための設計と保護具(PPE)へ対する要求事項の必要性があります。 ● メンテナンスのためのデザイン: 一般的に、単独の作業者によって実施されるメンテナンスや点検整備でも、最小の安全衛生リスクとなるように、修理されるコンポーネントや消耗部品は簡単に安全にアクセスできるように製造設備を設計する必要性があります。 ● 製造設備のエンドオブライフ: 製造設備の再利用化/再資源化/回収技術に関連する課題に取り組むための効果的な管理システムを開発する必要性があります。
ファシリティ技術要件	● 保存・維持: エネルギー、水、および他のユーティリティ使用の抑制と、熱管理のためのより効率的なクリーンルーム及び施設システムの必要があります。 ● 地球温暖化放出量削減: CO₂ 等価の総排出量を削減するために、低エネルギーの製造付帯設備を設計する必要があります。
持続可能性と製品の管理 (スチュワードシップ)	● 持続可能性数値指標: 技術ジェネレーションの持続可能性、そしてまた 工場のインフラレベルにおける持続可能性を定義し、測定する方法論の必要性があります。 ● ESH のためのデザイン: 総合的な製造フローに対して、施設の運転、プロセス、化学物質/材料、消耗品、およびプロセス装置からの ESH の影響を評価し、全体的に定量化する方法論で新世代の付帯設備、製造設備、プロセス、および製品ののための設計段階における ESH パラメタの必要性があります。 ● 寿命期における再利用化/再資源化/回収技術: 寿命期における問題を容易にするように付帯設備、製造設備、および製品を設計する必要があります。

歩留まり向上

困難な技術課題

重要課題は YE の 2009 年 ITRS のワーキンググループで確認された最新の開発と課題に対して適用される。2009 年に新しい長期の重要課題が提起された。この新規課題とはその大口径化により YMDB (歩留まりモデルと許容欠陥数) はもとより、DDC (欠陥検出と分類) にも影響を及ぼすと期待される 450mm ウェーハの導入である。450mm ウェーハの導入は新世代の検査装置を必要とする。低所有コスト (CoO) はスループット、装置コストによって大いに影響される。450mm ウェーハでの検査装置のスループットを 300mm と同等に維持することは困難であろう。それゆえ装置コストは重要である。検査用の 450mm ウェーハのハンドリングは大口径ウェーハ対応出来るフレキシビリティと欠陥レビュー装置に必要とされる位置座標精度に問題がある。大口径化により大量の検査データが得られる事になるであろう。データの質の改善及びデータ量の減少が今後重要になるだろう。許容欠陥数と歩留まりモデルは大口径ウェーハ上の現在未知の欠陥密度により影響を受ける。

短期の重要課題の順番とタイプが 2009 年に変更された。現在の最重要課題は多重キラー欠陥と SN 比となるであろう。多重キラー欠陥の検出とそれらを同時に分類することを高い捕捉率、低 CoO でかつ高スループットで行うことが課題となる。更には、膨大な量の問題のない擬似欠陥がある中で歩留まりに影響する欠陥を特定することも最重要課題と言える。2 番目に重要な課題としては、3D 検査要求が提起された。この事は高アスペクト比の検査ができる装置を必要とするだけでなく、ボイド、埋め込み欠陥、最表面層下 (界面) の欠陥の検出することも重要である。また、高速でコストに見合った検査装置も引き続き重要である。高速で、コストに見合った 3D 検査装置は 3D 欠陥種の重要性が増加するにつれ重要となる。E ビーム検査は以上の計測要求に対して最早解決策を与えないであろう。

短期における歩留まり向上を目指す別の課題は以下の様に優先順位付けされる。

- プロセスの安定性に対する歩留まりと相関のとれた絶対値としてのコンタミネーションレベル — ウェーハ環境やウェーハのハンドリングによって引き起こされる欠陥と歩留まりの相関を求めるために TEG、手法及びデータが求められている。この事はガス、薬液、空気、プリカーサ、超純水及びウェーハの表面清浄度の管理基準の決定を必要とする。
- ウェーハのエッジ、ベベルのモニタリングとコンタミ管理 — ウェーハエッジとベベルにおける欠陥とプロセス不具合の検出による歩留まり低下の原因究明。現在モニタリングとコンタミ管理手法について重点的に開発する必要がある。

長期の課題については、現在以下の重点課題が提起されている。

- 見えない欠陥とプロセス変動 — 見えない欠陥とプロセス変動による歩留まり低下が計測手法、故障診断、管理における新たなアプローチを要求している。このことは、システムティックな歩留まり低下とレイアウト特徴の相関をも包含する。ロジック領域における変則的特徴はリソプロセスウィンドウを横切るパターンのプロセス変動のようなシステムティックな歩留まりロスメカニズムに大変効いてくる。
- インライン欠陥評価と分析 — 光学計測システムや EDX (エネルギー分散 X 線システム) に代わってより小さい欠陥サイズでの動作及び欠陥種の特徴付け機能の必要性に基づき、現存のピッチサイズ以下の欠陥に対する高スループットのインライン評価と分析が要求される。分析されるデータ量が非常に増大しているため、データ解釈の新技术が必要とされており、その質に対しても信頼性が求められる。
- モデルに基づく設計製造インターフェイスの開発 — OPC とプロセスインテグレーションの複雑さから、モデルは特性に対する感度、超薄膜の完全性への感度、回路設計への感度を有し、より多くのトラン

ジスタのパッケージに対応するものでなくてはならない。

● 450mm ウェーハの導入(上記参照)

歩留まり向上の章は“許容欠陥密度と歩留まりモデル(YMDB)”、“欠陥検出と評価(DDC)”、ウェーハ環境とコンタミ管理(WECC)“の3つのサブ章から構成されている。2009年の主なワークは表の管理と更新である。その変更分を以下にまとめる。

許容欠陥密度と歩留まりモデル(YMDB)

- “許容欠陥密度”の表は更新しなかった。ITWGは最新のウェーハの1パスあたりのパーティクル数あるいはウェーハの1パスあたりの発生する欠陥及び許容されるパーティクルに対するパーティクルの管理限界を装置メーカーやデバイスメーカーに将来問い合わせられるような“解”を要求している。

欠陥検出及び評価(DDC)

- YE6,7及び8の表は欠陥検査や検出における最新の開発対して注意深くチェックされた。

<i>Table ITWG13 Yield Enhancement Difficult Challenges</i>	
<i>Difficult Challenges ≥ 16 nm</i>	<i>Summary of Issues</i>
Detection of Multiple Killer Defects / Signal to Noise Ratio - Detection of multiple killer defects and their simultaneous differentiation at high capture rates, low cost of ownership and high throughput. It is a challenge to find small but yield relevant defects under a vast amount of nuisance and false defects.	Existing techniques trade-off throughput for sensitivity, but at expected defect levels, both throughput and sensitivity are necessary for statistical validity. Reduction of inspection costs and increase of throughput is crucial in view of CoO. Detection of line edge roughness due to process variation. Electrical and physical failure analysis for killer defects at high capture rate, high throughput and high precision. Reduction of background noise from detection units and samples to improve the sensitivity of systems. Improvement of signal to noise ratio to delineate defect from process variation. Where does process variation stop and defect start?
3D Inspection – For inspection tools the capability to inspect high aspect ratios but also to detect non-visuals such as voids, embedded defects, and sub-surface defects is crucial. The need for high-speed and cost-effective 3D inspection tools becomes crucial as the importance of 3D defect types increases.	Detection of non visible defects e.g. voids, embedded defects, and sub surface defects in the structures. The demand for high-speed and cost-effective inspection is crucial. Large number of contacts and vias per wafer E-beam inspection seems not to be the solution for all those tasks any more. Sensitivity of the inspection tool to process variation and definition of maximum process variation (control limits).
Process Stability vs. Absolute Contamination Level – Including the Correlation to Yield Test structures, methods and data are needed for correlating defects caused by wafer environment and handling with yield. This requires determination of control limits for gases, chemicals, air,	Methodology for employment and correlation of fluid/gas types to yield of a standard test structure/product Relative importance of different contaminants to wafer yield.

Table ITWG13 Yield Enhancement Difficult Challenges

precursors, ultrapure water and substrate surface cleanliness.	Define a standard test for yield/parametric effect.
Wafer Edge and Bevel Monitoring and Contamination Control – Defects and process problems around wafer edge and wafer bevel are identified to cause yield problems.	Currently, the monitoring and contamination control methods require intensive development.
<i>Difficult Challenges < 16 nm</i>	<i>Summary of Issues</i>
Non-Visual Defects and Process Variations – Increasing yield loss due to non-visual defects and process variations requires new approaches in methodologies, diagnostics and control. This includes the correlation of systematic yield loss and layout attributes. The irregularity of features in logic areas makes them very sensitive to systematic yield loss mechanisms such as patterning process variations across the lithographic process window.	SMLY, resulting from unrecognized models hidden in the chip, should be efficiently identified and tackled through logic diagnosis capability designed into products and systematically incorporated in the test flow. It is required to manage the above models at both the design and manufacturing stage. Potential issues can arise due to: a) Accommodation of different Automatic Test Pattern Generation (ATPG) flows. b) Automatic Test Equipment (ATE) architecture which might lead to significant test time increase when logging the number of vectors necessary for the logic diagnosis to converge. c) Logic diagnosis runs time per die. d) Statistical methodology to analyze results of logic diagnosis for denoising influence of random defects and building a layout-dependent systematic yield model. Test pattern generation has to take into account process versus layout marginalities (hotspots) which might cause systematic yield loss, and has to improve their coverage.
In - line Defect Characterization and Analysis – Based on the need to work on smaller defect sizes and feature characterization, alternatives to optical systems and Energy Dispersive X-ray Spectroscopy systems are required for high throughput in-line characterization and analysis for defects smaller than feature sizes. The data volume to be analyzed is drastically increasing, therefore demanding for new methods for data interpretation and to ensure quality. [1]	Data volume + quality: strong increase of data volume due to miniaturization The probe for sampling should show minimum impact as surface damage or destruction from SEM image resolution. It will be recommended to supply information on chemical state and bonding especially of organics. Small volume technique adapted to the scales of technology generations. Capability to distinguish between the particle and the substrate signal.
Development of model-based design-manufacturing interface — Due to Optical Proximity Correction (OPC) and the high complexity of integration, the models must comprehend greater parametric sensitivities, ultra-thin film integrity, impact of circuit design, greater transistor packing, etc.	A lot of models should be operated at the design stage. For example, Optical Proximity Correction, Well Proximity, Stress Proximity, CMP and so on The Amount of models seems to be rapidly increasing. Not only accuracy of models, but also optimization of trade-off between models might be requested. Development of test structures for new technology generations
The introduction of 450 mm wafers is expected to impact the defect detection and characterization but as well defect budgets and yield models due to the large surface of the substrate. The introduction of 450 mm wafers requires a	The cost of ownership is impacted by throughput and tool cost. It will be difficult to maintain the throughput of inspection tools at the 45 mm wafer size. Therefore, the tool costs are crucial.

Table ITWG13 Yield Enhancement Difficult Challenges

new generation of inspection tools.	450 mm handling for inspection has the risk of large substrate flexibility but also coordinate accuracy required for defect review. Due the large surface a huge amount of inspection data will be obtained. Improvement of data quality and reduction of the amount of data will be important. Defect budgets and yield models are impacted by the unknown defect densities on the large substrates.
-------------------------------------	--

[1] Cross-link to Metrology chapter

計測 (METROLOGY)

計測に対する要求は、先進のリソグラフィプロセス、新材料、そして **Beyond CMOS** に関わる材料、構造、デバイスによって推し進められている。2 回パターンニングや 2 重露光リソグラフィ技術の導入によって、1つの計測領域に存在する2つの母集団の線幅、サイドウォール角度、線幅ラフネスの分布を測る必要性が生じている。最小寸法の計測に対する重要な課題は計測装置間のマッチングである。今後数年間に必要とされる計測の精密さ(precision)は、単一計測装置に限定しなければ実現できない。EUV リソグラフィ、とりわけマスクの計測は、数多くの現実との乖離が存在する。完全なマスクを製造するためには、マスクパターンに放射線を当てて検査したり、空間像を作り出すための技術の進歩が必要である。重ね合わせ検査の能力は、高精度に重ね合わせ制御をしたいという要求に対して遅れを期している。前工程では、高誘電率材料、デュアル仕事関数の金属ゲート、新たな極薄接合形成のためのドーピングプロセスの計測に対する準備を要求し続けている。1 nm 以下の EOT のゲート積層構造を製造するためには、非常に進んだ膜厚、組成制御技術が必要である。配線構造は、周期的に新たな材料の導入を必要としている。低誘電率の空隙率を制御する必要性によって、空隙率計測に対する新たな関心が起こった。3 次元の配線構造の計測要求は、TSV の研究開発における活動によって非常に大きな高まりを見せている。次世代の TSV に必要とされる bonded wafer の重ね合わせ制御については、まだ調査段階ではあるが、実現可能性のある解が現時点で見えている。Beyond CMOS の研究開発の計測領域においては、顕微鏡、および電気的手法を用いたグラフェンの計測技術が大きく進歩した。さらに、現在では、計測試料のグラフェンの層数を決定する手法も複数存在する状況にある。広い領域中のグラフェンの均一性について理解するために、物理的、電氣的計測手法が推し進められている。さらに、計測の研究開発は、他の Beyond CMOS 材料も対象としている。

困難な課題

以下に挙げられている計測に関する短期的課題の多くは、16 nm 技術世代以降も継続課題として残される。2017 年以降の計測ニーズは、これから明らかとなるであろう新材料および新プロセスの在り方に応じて変わる。従って、今後の計測ニーズを全て洗い出すことは難しい。パターン寸法の縮小、しきい値電圧やリーク電流のようなデバイスパラメータをより精密に制御すること、そして 3 次元配線のような新しい配線技術は、物理計測技術に大きな挑戦課題を与えることになるであろう。所望のデバイス・スケーリングを成し遂げるためには、原子スケールでの特性測定ができなければならない。表 ITWG14 に、計測の 10 大課題を示す。

Table ITWG14

Metrology Difficult Challenges

困難な技術課題 ≥ 16 nm ノード	問題の内容
工場および会社規模での実時間／その場／組み込み／インラインの計測装置；頑丈なセンサ (robust sensors、訳者注：測定精度に余裕があり、環境の変動などに強いセンサ) およびプロセスコントローラの開発；センサの追加統合が可能なデータ管理。	プロセスコントローラおよびデータ管理の標準規格が必要である。大量な生データを歩留り向上に有用な情報に転換することが必要である。トレンチエッチング時の終点検出、イオン注入時のイオン種／エネルギー／ドーズ量(電流)、および RTA 処理時のウェーハ温度に対して、より良いセンサの開発が必要である。
シリコンウェーハ (starting materials) 製造やデバイス製造での計測技術は SOI のような新しい基板の導入によって影響を受ける。シリコンウェーハで問題となる量の不純物検出(特に微粒子)、およびウェーハ周辺部の検査不能領域の削減。CD、膜厚、欠陥検査は薄い SOI の光学的性質や電子・イオンによる帯電によって影響を受ける。	現行のままでは、ロードマップの目標レベルを達成できない。極微小粒子の検出とサイズ分類が必要である。SOI ウェーハに対する性能向上が必要である。課題は、SOI 構造による余分な散乱と表面の品質に起因する。
二度露光のような新しいプロセス技術、メモリ素子の容量やコンタクト穴のような複雑な 3 次元構造、および 3 次元配線の制御は、急な導入に対して準備ができていない。	二度露光に対する重ね合わせ測定は、より厳しい制御要求になる。重ね合わせは CD を決める。3 次元配線は様々に多くの実現法がある。プロセス制御に必要とされる新しいニーズが不明確である。たとえば、容量・デバイス・コンタクトを含めてトレンチ構造の 3 次元 (CD と深さ) 測定が必要であろう。
複雑な積層材料の測定、および界面における物理的性質や電気的性質の計測。	制御された薄膜と界面層を含む新 high-k ゲート／容量誘電膜、配線バリアのような薄膜と low-k 誘電膜、およびその他のプロセスニーズに対応する標準試料／標準物質と標準測定方法。ゲートや容量誘電膜の光学的測定結果は広い領域の平均であり、界面層の評価・解析が別に必要になる。至 Si や SOI 基板あるいはバリア層の測定で積層構造に対するキャリア移動度評価が必要になるだろう。メタルゲートの仕事関数の評価は、もう一つの大きなニーズである。
測定用のテスト構造と標準試料／物質。	特にスクライブ線において、テスト構造に割当てられる面積は縮小している。スクライブ線上にあるテスト構造ではチップ内の特性変化と相関が取れないという懸念がある。重ね合せその他のテスト構造はプロセス変化に敏感であり、テスト構造はスクライブ線上とチップ内の対応が取れるように設計を改善する必要がある。適切な標準物質を作るために、標準化機関は最先端技術を用いて開発や製造の能力を向上させる活動に早急に着手する必要がある。
<i>Difficult Challenges < 16 nm</i>	
ウェーハおよびマスクに関する 3 次元構造の寸法測定／重ね合わせ精度測定／欠陥検出／解析に使用する非破壊の生産用顕微鏡観察技術。	表面帯電およびコンタミネーションは SEM 像形成時の障害となる。寸法測定ではパターン側壁の形状を考慮しなければならない。ダマシンプロセスにおけるトレンチ構造の寸法測定が必要である。ステップの焦点と露光量、エッチバイアス(エッチ後寸法とレジスト寸法の差)などのプロセス制御は高精度化と 3 次元対応が必要である。
チップ内特性を測ることでチップ間やウェーハ間ばらつきを反映できるような新しい計測法を考える必要がある。	デバイス縮小に伴って、テスト構造を変えた場合の特性とチップ内の特性との相関を取るのが難しくなっている。測定試料の扱い方を最適化することが、これ等の問題を解く鍵である。
統計変動が顕在化する 32nm ノード以降でのプロセス制御。	自然現象としてのゆらぎが計測を制限する領域では、プロセスを制御することが困難となる。たとえば、低ドーズのイオン注入、薄いゲート絶縁膜、および極微細構造でのエッジラフネスである。
デバイススケールでの構造や組成の解析、および CMOS 以降のデバイスの測定。	界面層制御、ドーパント位置、欠陥、元素濃度に関して、デバイススケールとの対応が取れるような材料評価や計測方法が必要。一例は、3 次元のドーパントプロファイル測定。自己組織化プロセスの測定も必要である。
デバイス構造と配線技術が明確にならない段階で製造における計測を決める必要がある。	現在のトランジスタに代る新デバイス構造や Cu 配線に代る材料が検討されている。

* SPC(Statistical Process Control) - 検査を置き換える、プロセス変動を減らす、欠陥を制御する、あるいは廃棄量を減らすために、統計的プロセス制御のパラメータが必要である。

モデリング&シミュレーション

モデリング&シミュレーションは半導体デバイスの仮想的なチップ製造と特性解析である。計算プログラムは、構造、デバイスの歪みと化学組成(ドーパント、SiGe など)、電気的な性能と信頼性、最終的な回路とシステムのふるまいを予測するために使われる。モデリング&シミュレーションの全般的な狙いは、実験から得るにはより困難で、より費用がかかり、より効率的でなく、より時間を浪費する情報を、開発期間とコストの削減のために提供することにより、現実の技術、デバイス、回路とシステムの開発をサポートすることである。これを可能にするためには、モデリング&シミュレーションツールは、適切なパラメータセットを含む適切な物理モデルを含有し、アプリケーションの普遍性、計算時間、取り組むことができるアプリケーションの複雑性、最後であるがおろそかにできない、ユーザインタフェースとインタラクションに対する様々な要求を満たす必要がある。順次、モデリング&シミュレーション機能に対する献身的研究開発活動が必要である。

産業界と研究においてシミュレーションツールのユーザの要求を最も良く満たすために、ITRS のモデリング&シミュレーショングループは、2009 年においても、グループ内の評価と ITRS の他グループの結果を通して、プロセス技術・インテグレーション・製造の課題に対処するための産業界の要求にその仕事の基礎を強く置いた。

モデリング&シミュレーション章の主要部は、これらのクロスカットと最新の技術の全般的な評価を基に準備された。以下、章の主要素は、2007/2008 ITRS との比較の観点から特に纏められている。

初期の頃と同様に、モデリング&シミュレーションの困難な技術課題は、章の最初で強調されている。6 個の短期的な技術課題は 2009 年において 16nm までの node を参照している。これらの中で、2 個の技術課題がナノスケール・デバイスシミュレーション機能 (手法、CMOS の限界予測に寄与するモデルとアルゴリズム)と、配線とパッケージのための電気的・熱的・機械的モデリングに名前を変えた。産業界の要求と現状の開発のために、2009 年モデリング&シミュレーション章の Table ITWG15 の下と Table MS-1 に示すように、これらの技術課題の全ての詳細な内容が大きく変えられた。長期的な技術課題は現在 16nm よりも小さい node を参照している。ここでは、これらの内の最初の 2 個の内容が少しだけ修正された。

ITRS の他グループとのこれらのクロスカットと同様に、プロセス、デバイス、配線、回路からパッケージまでの装置シミュレーションの領域を整理することにより、モデリング&シミュレーション章によってカバーされている領域間の強いリンクが存在する。2009 年のモデリング&シミュレーション章は様々なレベルのモデリングを取り扱う 7 個(装置/特徴スケールモデリング、リソグラフィモデリング、フロントエンドモデリング、デバイスモデリング、配線と集積化受動素子モデリング、回路モデリング、パッケージシミュレーション)の節を含んでいる。これらの節の範囲は 2007 年と比べて変わっていないのに対して、そこで述べられている要求はモデリング&シミュレーションにおいて産業界と最新の技術の発展に基づいて大きく進展した。

2007 年 ITRS では、これらの 7 個の領域を横断する 3 個(材料モデリング、設計・製造・歩留りのための TCAD、数値解法)のトピックスがあった。2009 年 ITRS において後者の節はツール間の接続性を含むように拡張された。これは、産業界と研究においてシミュレーションの効率的な使用に対する重要な要求である。これらの横断的な節は 2 点目として設計頑丈さ・製造・歩留りのモデリングの節で範囲が進展した。さらに、信頼性の課題はシミュレーションの全てのレベルでより重要になっていて、さらに、デバイス、回路、パッケージレベルの信頼性の問題は製造プロセスとそれらのバラツキの詳細に部分的に基づいているため、新たに分離した横断的な信頼性モデリングの節が 2009 年モデリング&シミュレーション章に加えられた。

新たなモデリング機能の開発は、一般に長期間の研究と益々の学際的な活動が必要である。これは、大学や研究所環境で実行されるのがベストである。このため、モデリング領域で成功するには、産業界との緊密な連携と共に、上記のシミュレーション連鎖に沿って、大学や独立な研究機関における膨大な研究努力が事前に必要となる。

必要な基礎的な仕事は一般に極めて長期間の開発時間がかかるため、産業界の将来の重要な必要性について述べるために、適切な研究基金がタイムリーな方法で利用できることが重要である。現在では、そのような研究基金の不足は、上記に纏めた困難な技術課題よりも、かなり厳しい。例えば、2005 年と 2007 年の ITRS に纏めた幾つかのモデリング&シミュレーションの要求は、十分な R&D が研究基金の不足により行われなかったため、この 2009 年の課題に押し出され遅れた。

DIFFICULT CHALLENGES

Table ITWG15 Modeling and Simulation Difficult Challenges

Difficult Challenges ≥ 16 nm	Summary of Issues
Lithography simulation including EUV	Models and experimental verification of optical and non-optical immersion lithography effects (e.g., topography and change of refractive index distribution)
	Simulation of multiple exposure/patterning including database splitting
	Multi-generation lithography system models
	Simulation of defect influences/defect printing in EUV. Mask optimization including defect compensation
	Optical simulation of resolution enhancement techniques including combined mask/source optimization (OPC, PSM) and including extensions for inverse lithography
	Models that bridge requirements of OPC (speed) and process development (predictive) including EMF effects
	Predictive resist models (e.g., mesoscale models) including line-edge roughness, etch resistance, adhesion, mechanical stability, leaching, and time-dependent effects in single and multiple exposure; resist processing techniques special for double patterning
	Resist model parameter calibration methodology (including kinetic and transport parameters)
	Simulation of ebeam mask making (single-beam and multibeam)
	Simulation of directed self-assembly of sublitho patterns
	Modeling lifetime effects of equipment and masks
	Predictive coupled deposition-lithography-etch simulation (incl. double patterning, self-aligned patterning)
	Modeling metrology equipment for enhancing its accuracy
Front-end process modeling for nanometer structures	Coupled diffusion/activation/damage/stress models and parameters including SPER and millisecond processes in Si-based substrate, that is, Si, SiGe, SiGe:C, Ge-on-Si, III/V-on-Si, SOI, epilayers, and ultra-thin body devices, taking into account possible anisotropy in thin layers
	Modeling of interface and dopant passivation by hydrogen or halogens
	Modeling of cluster or cocktail implants
	Modeling of plasma doping, e.g. for FinFETs
	Modeling of epitaxially grown layers: Shape, morphology, stress, defects, doping
	Modeling of stress memorization (SMT) during process sequences
	Modeling hierarchy from atomistic to continuum for dopants and defects in bulk and at interfaces
	Efficient and robust 3D meshing for moving boundaries
	Front-end processing impact on device leakage (e.g. residual defects) and reliability
Integrated modeling of equipment, materials, feature scale processes and influences on devices, including variability	Fundamental physical data (e.g., rate constants, cross sections, surface chemistry for ULK, photoresists and high- κ metal gate); reaction mechanisms (reaction paths and (by-)products, rates ...), and simplified but physical models for complex chemistry and plasma reaction
	Linked equipment/feature scale models (including high- κ metal gate integration, damage prediction)
	Deposition processes: MOCVD, PECVD, ALD, electroplating and electroless deposition modeling
	Spin-on-dielectrics (stress, porosity, dishing, viscosity, ...) for high aspect ratio fills
	Removal processes: CMP, etch, electrochemical polishing (ECP) (full wafer and chip level, pattern dependent effects)

Table ITWG15 Modeling and Simulation Difficult Challenges

	Simulation of polishing, grinding and wafer thinning in backend processing
	Efficient extraction of impact of equipment - and/or process induced variations on devices and circuits, using simulation
Nanoscale device simulation capability: Methods, models and algorithms that contribute to prediction of CMOS limits	General, accurate, computationally efficient and robust quantum based simulators incl. fundamental parameters linked to electronic band structure and phonon spectra
	Models and analysis to enable design and evaluation of devices and architectures beyond traditional planar CMOS
	Models (incl. material models) to investigate new memory devices like MRAM, PCM/PRAM, etc
	Gate stack models for ultra-thin dielectrics with respect to. electrical permittivity, built-in charges, influence on workfunction by interface interaction with metals, reliability, tunneling currents and carrier transport
	Modeling of salicide/silicon contact resistance and engineering (e.g. Fermi-level depinning to reduce Schottky barrier height)
	Advanced numerical device simulation models and their efficient usage for predicting and reproducing statistical fluctuations of structure and dopant variations in order to assess the impact of variations on statistics of device performance
	Physical models for novel materials, e.g., high- κ stacks, Ge and compound III/V channels, etc.: Morphology, band structure, defects/traps, etc.
	Treatment of individual dopant atoms and traps in (commercial) continuum and MC device simulation
	Reliability modeling for ultimate CMOS
	Physical models for stress induced device performance
Electrical-thermal-mechanical-modeling for interconnect and packaging	Model thermal-mechanical, thermodynamic and electrical properties of low κ , high κ , and conductors for efficient on-chip and off-chip incl. SIP and wafer level packages, including power management, and the impact of processing on these properties especially for interfaces and films under 1 micron dimension
	Thermal modeling for 3D ICs and assessment of modeling tools capable of supporting 3D designs. Thermo-mechanical modeling of Through Silicon Vias and thin stacked dies (incl. adhesive/interposers), and their impact on active device properties (stress, expansion, keepout regions, etc.). Size effects (microstructure, surfaces, etc.) and variability of thinned wafers.
	Signal integrity modeling for stacked die
	Model effects which influence reliability of interconnects/packages incl. 3D integration (e.g., stress voiding, electromigration, fracture, dielectric breakdown, piezoelectric effects)
	Physical models to predict adhesion on interconnect-relevant interfaces (homogeneous and heterogeneous)
	Simulation tools for adhesion and fracture toughness characteristics for packaging and die interfaces
	Dynamic simulation of mechanical problems of flexible substrates and packages
Circuit element and system modeling for high frequency (up to 160 GHz) applications	Supporting heterogeneous integration (SoC+SiP) by enhancing CAD-tools to simulate mutual interactions of building blocks, interconnect, dies on wafer level and in 3D and package: - possibly consisting of different technologies, - covering and combining different modelling and simulation levels as well as different simulation domains
	Scalable active component circuit models [1] including non-quasi-static effects, substrate noise and coupling,, high-frequency RT and 1/f noise, temperature and stress layout dependence and parasitic coupling
	Scalable passive component models [1] for compact circuit simulation, including interconnect, transmission lines, ...
	Scalable circuit models [1] for More-than-Moore devices including switches, filters, accelerometers, ...

Table ITWG15 Modeling and Simulation Difficult Challenges

	Physical circuit element models for new memory devices, such as PCM, and standardization of models for III/V devices
	Computer-efficient inclusion of aging, reliability and variability including their statistics (including correlations) before process freeze into circuit modeling, treating local and global variations consistently
	Efficient building block/circuit-level assessment using process/device/circuit simulation, including process variations
<i>Difficult Challenges < 16 nm</i>	<i>Summary of Issues</i>
Modeling of chemical, thermomechanical and electrical properties of new materials	Computational materials science tools to predict materials synthesis, structure, properties, process options, and operating behavior for new materials applied in devices and interconnects, including especially for the following: 1) Gate stacks: Predictive modeling of dielectric constant, bulk polarization charge, surface states, phase change, thermomechanical (including stress effects on mobility), optical properties, reliability, breakdown, and leakage currents including band structure, tunneling from process/materials and structure conditions. 2) Models for novel integrations in 3D interconnects including airgaps and data for ultrathin material properties. Models for new ULK materials that are also able to predict process impact on their inherent properties 3) Modeling-assisted metrology: Linkage between first principle computation, reduced models (classical MD or thermodynamic computation) and metrology including ERD and ERM applications. 4) Accumulation of databases for semi-empirical computation.
Nano-scale modeling for Emerging Research Devices and interconnects including Emerging Research Materials	<i>Ab-initio</i> modeling tools for the development of novel nanostructure materials, processes and devices (nanowires, carbon nanotubes (including doping), nano-ribbons (graphene), deterministic doping, quantum dots, atomic electronics, multiferroic materials and structures, strongly correlated electron materials)
	Device modeling tools for analysis of nanoscale device operation (quantum transport, tunneling phenomena, contact effects, spin transport, ...). Modeling impact of geometry, interfaces and bias on transport for carbon-based nanoelectronics
Optoelectronics modeling	Materials and process models for on-chip/off-chip optoelectronic elements (transmitters and receivers, optical couplers). Coupling between electrical and optical systems, optical interconnect models, semiconductor laser modeling
	Physical design tools for integrated electrical/optical systems
NGL simulation	Simulation of mask less lithography by e-beam direct write (shaped beam / multi beam), including advanced resist modeling (low activation energy effects for low-keV writers (shot noise effects & impact on LER); heating and charging effects), including impact on device characteristics (e.g. due to local crystal damage by electron scattering or charging effects)
	Simulation of nano imprint technology (pattern transfer to polymer = resist modeling, etch process)

[1] In More than Moore, scalability refers to the ability to model litho-defined device variations

総括ロードマップ技術指標 (OVERALL ROADMAP TECHNOLOGY CHARACTERISTICS)

背景 (BACKGROUND)

総括ロードマップ技術指標(ORTC: Overall Roadmap Technology Characteristics)の表は、国際技術ワーキンググループ(ITWG)が詳細に章を執筆する活動のための叩き台として、ロードマップ作成過程の初期に利用される。これらの表は、ロードマップ更新作業を行うに当たって特定表間の不整合を強調し、技術ワーキンググループ(TWG)間での整合をとる手段としても使用される。表を改訂する作業では、基本となる傾向モデルを開発して目標値の同意を得るために、ITWG や各 TWG 間で様々なレベルでの調整およびコンセンサス(合意)形成を行なう。この結果、ORTC 表は数回の反復と審査の過程を経ることになる。

ORTC 表にはメートル標記の数値が記載され、ロードマップ全体を通して各ワーキンググループの章にはさらに詳しく記載されている。本節に記載される情報は、現在の半導体技術進歩の急速な進展を強調することを目的としている。この情報は 2008 年に開始した改訂と更新作業の集大成となっている。なお付録の ORTC 用語集が 2009 年版で載せられ改訂されている。

2009 年改訂の概要 (OVERVIEW OF 2009 REVISIONS)

定義 (DEFINITIONS)

上で述べたとおり、ロードマップ全体の技術的特長の表に主要技術数値が要約されている。特定の行項目について特に指定しない限り、デフォルトの年ヘッダーでは、(以前のロードマップと同じく)製造サイトからの「生産装置」を使った製品出荷量が、数千ユニット/月・IC を最初に越えた年を示している。更に 3 ヶ月以内に 2 番目の会社が生産を開始することが必要である(図 2a 参照のこと)。ASIC (Application Specific IC: 特定用途向け集積回路)では、この定義を満たすため、工場で処理した多数の個別製品系列項目の累積量を用いても良い。

ITRS のエグゼクティブ・サマリーの紹介で述べられているが、再度繰り返して言うと、各社の「ノード」の進展とタイミングの一般プレス発表には、引き続き混乱がある。この「ノード」は ITRS の定義と目標に合致しているものもあり、していないものもある。

2003 年版 ITRS を作成している時には、多くのロジック製造会社が行った、2003 年に製造された「90nm」技術「ノード」と言及している一般プレス発表を調停する試みが行われた。実際のデバイスのコンタクト有りメタル 1 (M1) ハーフピッチは 110-120nm と述べられており、ITRS DRAM 千鳥コンタクト有り M1 ハーフピッチのヘッダー目標との関係に関して混乱が持ち上がっていた。先進の製造会社と会話した後、公で述べているもののあるものは(密度に関して)ハーフピッチと(スピード性能に関して)露光ゲート長の平均を表して指標化した技術ノード・ロードマップを述べていることが分かった。ある会社は製品の機能が 2 倍になる(例として、ロジックゲート数やメモリ・ビット数が 2 倍になる)タイミングを述べていた。技術の進歩を計るこのアプローチは「ノード」の関係を複雑なものにした。と言うのは、密度の改善は設計の改善とリソのリニヤな像寸法縮小で達成されるからである。

更なる混乱が、Flash メモリ製品の発表で技術「ノード」が言及された事により起こった。Flash 技術は 2005 年と 2007 年版 ITRS で強調されて述べられている。例えば、Flash の製品セル密度はコンタクトなしポリシリコン(ポリ)配線ハーフピッチで決まっており、メタル 1 (M1) ハーフピッチ (DRAM、MPU、ASIC 製品で密度を決めている鍵となるパターン)によって決まっていない。また、非常に挑戦的な Flash メモリ・セルのセルエリアファクター(用語集参照のこと)改善が、果敢にコストを削減し、急速に立ち上がる不揮発性メモリ(NVM)の需要を満たすために、Flash セル設計者によって行われている。

国際ロードマップ委員会(IRC)は、2007年版ITRSではITRSと個々の会社の公的発表の間の混乱を最小限にする最善の方法は、様々な技術傾向のドライバーを製品で、すなわち DRAM, MPU/ASIC, Flash で分けることであると決断した。前に述べたように、MPU/ASICとDRAM製品のハーフピッチは今や両者とも M1 千鳥コンタクト有りで言及されており、他方、Flash 不揮発性メモリ(NVM)製品はコンタクトなしポリの高密度ライン(図1参照)で言及されている。個々の TWG 表は夫々の表で技術の傾向ドライバーを最も代表するヘッダーライン項目を採用している。

別々の製品傾向を追跡することを新たに強調するため、共通の製品技術のヘッダーを表より取り去った。個々の表のヘッダーとして最低限必須としたのは、参照される技術製品の生産年のみである。2007年版ITRS以降のそれぞれのロードマップでは、個々の製品グループ(DRAM, Flash, ASIC)に付随した、技術の傾向、機能(トランジスタ数、ビット数、ロジックゲート数)や特徴(スピード、電力)性能が強調されている。ITRSと比較をしたい個々の会社は、いまや言及する製品の技術傾向ライン項目を使わなければならない。この項目は更に詳しく「概要(Executive Summary)と用語集(Glossary)」【訳者注:本文書のことを指す】で定義されている。

個々の製品技術は引き続き監視しているが、最新の技術グループによる調査では、DRAMの歴史的トレンドは平均すると2.5年サイクル(2サイクルの期間は寸法が半分になるのに要する期間に相当する)のトレンドが続いている。2009年DRAM M1 ハーフピッチの目標はITRS 2008年改訂版から変更されていない。このようにモデル化されて計算して見積もったトレンドは実態調査の結果とはわずかながら差を生ずるが、大きな挑戦と潜在的な研究開発の解解決策に影響を及ぼすタイミングは最新の調査結果による平均的トレンドと矛盾しない。

DRAMとM1目標の傾向は2007年更に調査され2008年の改訂で報告されるが、最新の調査結果は詳しく2007年版PIDSの章でも述べられている。幾つかの小さな矛盾は2007年と2008年版では現れるかもしれない、また2007年ITRSの2008年目標は、実際の産業が行うことより僅かに進んでいるかもしれない。2009年から先に関しては、大きな挑戦と潜在的な研究と開発解に影響を及ぼすタイミングは最新の調査結果と一致している。

最新のFlashメモリ技術の調査によると、最先端分野では、Flashメモリ製品の寸法傾向がリソグラフィの全般的解像度をドライブし続けている。例えば、以下に詳しく述べるように、Flashメモリのコンタクト無しポリ・ハーフピッチは、DRAMの千鳥コンタクト有り M1 ハーフピッチに比べ、さらに先行(2010年までに、3年先行)している。リソグラフィプロセスの難しさの観点からすると、Flashメモリのコンタクト無しポリ・ハーフピッチの2年先行は、DRAMの千鳥コンタクト有り M1 ハーフピッチの1年先行と等価と考えられている。したがって、このような先行がさらに進むことが、Flashメモリ技術が先進リソグラフィをドライブし続ける原因になる。「生産の年」のタイミング定義に関する詳細については、「用語集」の節を参照されたい。

ITRS 2009年版の表の技術傾向目標は、2009年から、ロードマップの限界である15年後の2024年までの間、年毎に記述するというやり方を続けている。しかしながら、以前に確立したIRCのガイドラインに従って、2009年版ITRSは、技術傾向サイクルタイムをプロセス技術において重要な進歩が達成される期間とする定義を残している。明確には、技術傾向サイクルタイムの進歩は1サイクルで約0.71倍の縮小(2サイクルで正確に0.50倍)を達成する期間として引き続き定義されている。図6、7を参照のこと。

ITRS 2009年版の表 ORTC-1 で技術サイクル・タイミングが個々の製品で異なっていることに注意して欲しい。例えば、ITRS 2009年版では、依然として、DRAMの千鳥コンタクト有り M1 ハーフピッチは2.5年で0.71倍(5年で0.5倍)のタイミング・サイクルに基づいて予想されている。2010年以降、DRAMのM1の微細化傾向は、3年サイクルで進むと予想されていて、2024年の目標値は約9nmに達する。3年サイクル・タイミングの場合、毎年の縮小率は年0.8909倍で、これは、中間の年毎の傾向目標(例えば、2011年に40nm, 2020年14nm)を計算する時に用いられている。

入手できる産業界のPIDSによる調査データ、その他のITWGやIRCのインプットを考慮に入れた後、コンタクトなしポリシリコン・ハーフピッチの定義に基づき、新規のFlash製品技術タイミングモデルに関してセンサスが得られた。Flashメモリのコンタクト無しポリ・ハーフピッチは、2000年の180nm以降2010年の

32nm にいたるまで、2 年サイクル・タイミング速さである。リソグラフィの ITWG も、Flash メモリのコンタクト無しポリ・ハーフピッチ (現在、DRAM の千鳥コンタクト有り M1 ハーフピッチより、数値的には 3 年先行している) を、その目達成のために必要なプロセス装置の技術開発を牽引するために使っている。Flash メモリのコンタクト無しポリ・ハーフピッチは、2010 年に 32nm に到達したのち、3 年タイミング・サイクルになり、DRAM の傾向と平行して (年率での微細化ペースは同じで)、しかしながら、3 年先行するかたちで毎年微細化が進み、2024 年に 6nm に達するだろう。

ITRS 2009 年の設計技術ワーキンググループの新しいデータとモデル対応して、MPU (と高性能 ASIC) の製品傾向サイクル・タイミング (DRAM と同じ千鳥コンタクト有り M1 ハーフピッチに基づいている) を改訂した。歴史的データの分析と ITWG と IRC のコンセンサスにより、MPU M1 ハーフピッチは、現在は、DRAM の傾向より遅れているが、MPU と高性能 ASIC は 2 年サイクル (4 年間で寸法が半分となる) ペースで微細化が進み、2013 年に 27nm に達する。2010 年 45nm の時点で、MPU と高性能 ASIC の M1 目標は DRAM M1 サイクル・タイミング目標に追いつき、2013 年に 27nm に到達した後、3 年タイミング・サイクルとなって、ロードマップの表の最終年の 2024 年まで続くこととした。

MPU と高性能 ASIC の最終的な物理ゲート長 (phGL) 目標は 2008 年改訂版とそれに続く ITRS 2009 年版の作業で大きく修正された。歴史的傾向の部分に対する目標は ITRS 2003 年版と変わっていない。1999 年から 2003 年にかけて、タイミングは 2 年サイクル (4 年で 0.5 倍、年 0.8409 倍) で 2003 年に 45nm に達する。それ以後、2009 年の 29nm の目標に達するまで、FEP と PIDS の ITWG による、実際のデータ点による傾向を採用した。2009 年の 29nm より先は、PIDS の調査結果を反映したモデルを使い、3.8 年タイミング・サイクル (7.6 年で 0.5 倍、年 0.9128 倍) の傾向を目標とし、これがロードマップの表の最終年の 2024 年まで続き、7.4nm に達するとした。リソグラフィと FEP の ITWG は露光ゲート長と物理ゲート長 (エッチング工程を含む) の比について新しいコンセンサスに達し、改訂された合意事項を ITRS 2009 年版に掲載した。

同様に、低消費電力 (LOP) ASIC のゲート長目標は、PIDS の調査データを採用した。MPU の露光ゲート長と物理的ゲート長目標に比べて、導入時期をずらして設定している。低待機時電力の物理ゲート長についても、2008 年改訂版に項目が追加され、と ITRS 2009 年版の表が修正された。

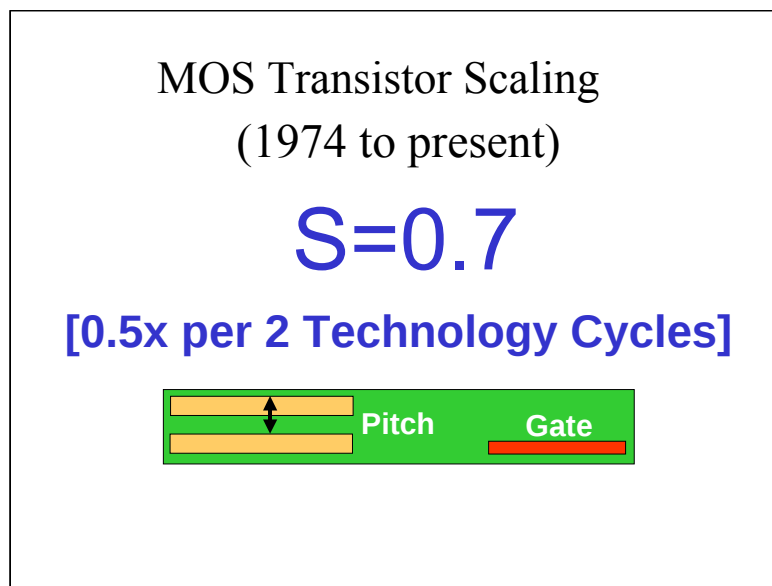


Figure 6 MOS Transistor Scaling—1974 to present

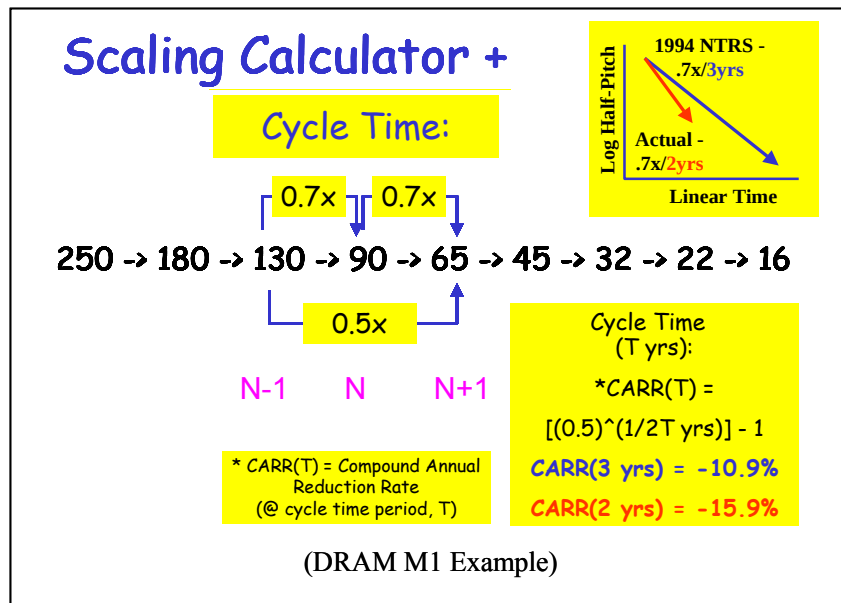


Figure 7 Scaling Calculator

ロードマップのタイムライン (ROADMAP TIMELINE)

2009 年版ロードマップは、2009 年を基準年として 2024 年までの 15 年間の予測を表している。以前のロードマップでは、DRAM 製品の将来の技術革新ペースのタイミング傾向が、千鳥コンタクト有り M1 ハーフピッチに対する先端性を代表していて、2010 年の 45nm の後、3 年サイクル(3 年毎にパターン寸法の 0.71 倍)に戻ることが予想されている。これは 2008 年改訂版と変わっていない。2008 年改訂版では、PIDS TWG (Technology Working Group: 技術ワーキンググループ)による最新の調査から、90nm DRAM ハーフピッチ製品は 2005 年に顧客による製品認定が終了し、製造が開始した。これは、ITRS 2003 年版で明確に定義されている、DRAM 製品の「製造」の定義と合致している。

PIDS TWG による調査に基づき、ITRS 2008 年改訂版の表 ORTC-1 では、DRAM 製品 M1 ハーフピッチは、産業界の過去のトレンドである 2.5 年サイクルに合致するように計算された(2000 年の 180nm を基点として、2005 年に 90nm となった。2010 年に 45nm に達すると予測した)。DRAM 製造メーカから提供されたデータによると、DRAM の千鳥コンタクト有り M1 ハーフピッチの 3 年サイクル(3 年で寸法が 0.71 倍となる)を示唆しており、図 8a に示すように、ロードマップの期間中、M1 ハーフピッチは 2010 年の 45nm から 2024 年の 9nm に至る。

上に述べたように、技術サイクル(0.71 倍のパターン寸法の削減)の達成を定義する上で、DRAM 配線ハーフピッチが、半導体製造の先端技術を最も良く表す寸法としてもはや使用することは出来ない。実際、Flash メモリのコンタクト無しポリシリコン・ハーフピッチ・パターンは、2010 年に 32nm に達するまで 2 年サイクルのペースが続く。これは、DRAM M1 の目標値に対して、数値的に 3 年先行し、リソグラフィ ITWG では、先端製造技術の最も進んだドライバと考えられている。同様であるが、すでに述べたように、遅れていた MPU と ASIC の M1 千鳥コンタクト有り配線ハーフピッチの微細化は、より早い 2 年サイクルのペースで進んでおり、2010 年に 45nm に達し、DRAM ハーフピッチに追いつく。以後も 2 年サイクルのペースが続き、2013 年に 27nm となる。同じペースとなることが期待されている。ITRS 2005 年版以来、新製品指向に焦点を当てて、全ての製品技術傾向がモニタされる。その製品傾向の何れかが、更に加速を起こし、先端技術において、産業の研究や装置・材料サプライヤをドライブするかもしれない。図 8a, 8b を参照のこと。

丸められたトレンド数値 (ROUNDED TREND NUMBERS)

DRAM ハーフピッチ・データの 2000 年 180nm をトレンドの計算起点としているため、2009 年版 ITRS には、技術サイクル傾向目標について、過去の「四捨五入」方式の訂正が含まれている。実際の数学的な傾向 (ORTC と各技術ワークグループ表のモデル計算で用いられているが、) では、2 技術サイクル毎に 50% 縮小とし、四捨五入で丸められたノード数値は、1995 年の 350nm から始まり、以下の表 C のようになっている。

Table C Rounded versus Actual Trend Numbers (DRAM Product Trend Example)

YEAR OF PRODUCTION	1995	1998	2000	2002.5	2004	2005	2006	2007.5
Calculated Trend Numbers (nm)	360	255	180	127.3	103.4	90	68.2	63.6
ITRS Rounded Numbers (nm)	350	250	180	130	100	90	70	65

YEAR OF PRODUCTION	2009	2010	2012	2013	2015	2016	2018	2019	2022	2023	2024
Calculated Trend Numbers (nm)	51.7	45	35.7	31.8	25.3	22.5	17.9	15.9	11.3	10.0	8.9
ITRS Rounded Numbers (nm)	52	45	36	32	25	22.5	17.9	15.9	11.3	10.0	8.9

半導体産業が新ナノ技術 (サブ 100nm) の 2 桁 nm データのサイクルに入ると、新しい「四捨五入」の訂正がさらに重要になったことに注意して頂きたい。いくつかの分野では、それぞれの過去の公表内容との整合性をとって、100nm/2004 から始まる以前の技術世代を引き続き採用する権利を留保している。2004 年の 100nm を基点とすると、現行の 2009 年版ロードマップの慣行 (70nm/2006; 50nm/2009; 36nm/2012; 25nm/2015) よりも 1 年早い時点でマイルストーンが置かれることになる。IRC の合意事項によって、長期の計算には両方の数値の組み合わせが入手できる。もとの 2001 年版 ITRS の長期の欄 (2010/45nm; 2013/32nm; 2016/22nm) が残され、新しい欄 (2012/36nm; 2015/25nm; 2018/18nm; 2021/13nm) が加えられて、現在ではすべて年に対応する列が含まれている。ITRS 2008 改訂版での ORTC の表の改訂では、2016 年以降、少数点以下 1 桁の数値を表 ORTC-1 の技術トレンド項目のヘッダに含めた。2009 年版の ORTC の表は、エクセルファイルの表として、www.itrs.net から入手できる。モデル計算された高精度の数値はエクセルの表に含まれていて、読者はそれを入手可能である。

ORTC の改訂 (UPDATES TO THE ORTC)

MPU/hpASIC (MPU と高性能 ASIC) の M1 ハーフピッチは、DRAM と同様、千鳥コンタクト有りハーフピッチとして、引き続き定義されている。DRAM のトレンドは 2008 年 ITRS と変わっていないが、MPU/hpASIC のハーフピッチは DRAM より遅れているが 2 年サイクルで微細化が進むトレンドに改訂され、DRAM には 2010 年に追いついて、45nm となり、2 年サイクルは 2013 年まで続いて、27nm に達する。その後、3 年サイクルとなり、ロードマップの全体的なトレンドと一致するようになる。Flash 製品のハーフピッチは引き続き、コンタクトなしポリシリコン・ハーフピッチと定義され、ITRS 2008 年改訂版では、2010 年の 32nm まで 2 年サイクルが続き、その後 2024 年までは、3 年サイクルが続く。図 8a, 8b を参照のこと。

等価的微細化 (Equivalent Scaling) を実現するプロセス技術 (Cu 配線と低誘電率 (low-k) 層間絶縁膜、歪シリコン技術、高誘電率 (high-k) ゲート絶縁膜と金属ゲート電極など) による性能向上とのトレードオフのため、性能と消費電力の他の選択肢として (図 8c を参照)、描画時のゲート長 (printed gate length) と物理ゲート長 (physical gate length) は ITRS の 2008 年と 2009 年の ORTC の表で大きな修正がなされた。すでに述べたように、物理ゲート長は過去データと調査結果に基づいて、3.8 年サイクルとペースダウンされ、このトレンドは 2009 年の 32nm から 2024 年の 7.5nm まで続く。描画時のゲート長については、2011 年を起点に 3 年サイクルの微細化が 2024 年まで続き、7.9nm に達する。この間、描画時のゲート長と物理ゲート長の比は次第に小さくなり、2024 年には、描画時のゲート長は予想される最終物理ゲート長よりわずかに大きくなる。図 8b を参照のこと。

業界のリーダーシップを獲得するため、スケジュールを前倒して達成しなければならない目標のセットとして、ORTC の技術数値は、半導体関連企業により頻繁に使用されている。このように、激しい競争的環境に置かれている半導体産業では、ORTC の技術数値の大半が、すなわちロードマップそのものが時代遅れになる恐れがある。我々が行う毎年の改訂作業では、技術の方向性に関する十分に密着した追跡を国際コンセンサスの場で行い続けることにより、半導体産業における ITRS の有用性を維持することを期待している。

たとえば、実際のデータや学会の論文は、会社の調査データや公の発表とともに、2010 年の改訂プロセスのなかで再評価される予定である。いくつかの個々の製品の技術トレンドにおける技術サイクルの更なる調整の可能性もある。上に述べたように、様々なサイクルを反映し、将来のロードマップのシフトを密着してモニタするため、2009 年から 2016 年までの毎年の技術要求を発表し、この期間を「短期」と呼び、2017 年から 2024 年までについても毎年の技術要求を発表し、この期間を「長期」と呼ぶことが同意されている。図 8a と 8b に示すように、ITRS 2009 年版で「長期」あたる期間は、16nm 以下の技術を実現するための困難な課題に挑戦する時期に相当している。

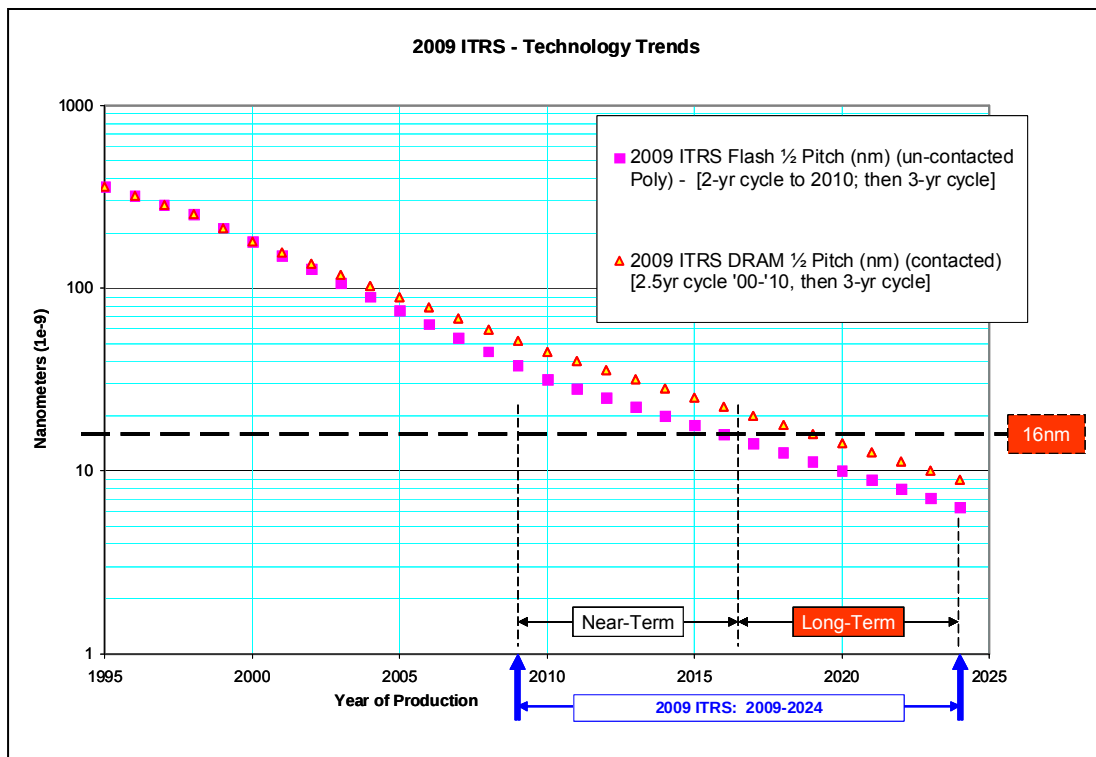


Figure 8a 2009 ITRS—DRAM and Flash Memory Half Pitch Trends

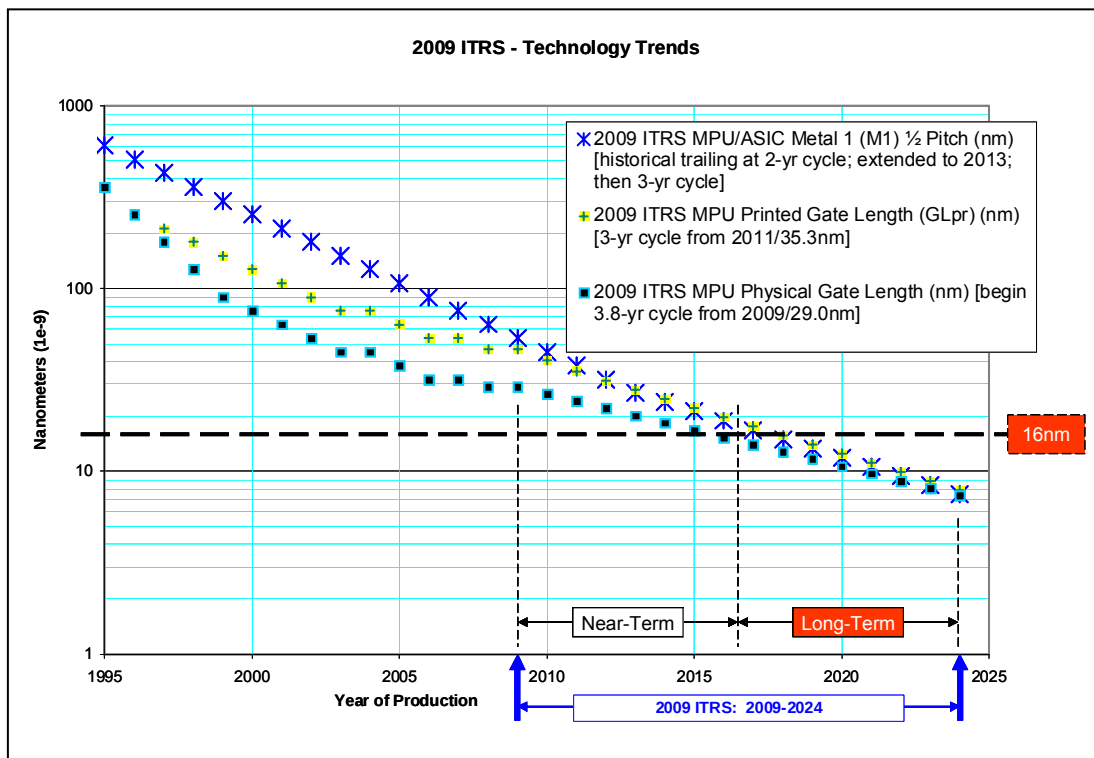


Figure 8b 2009 ITRS—MPU/high-performance ASIC Half Pitch and Gate Length Trends

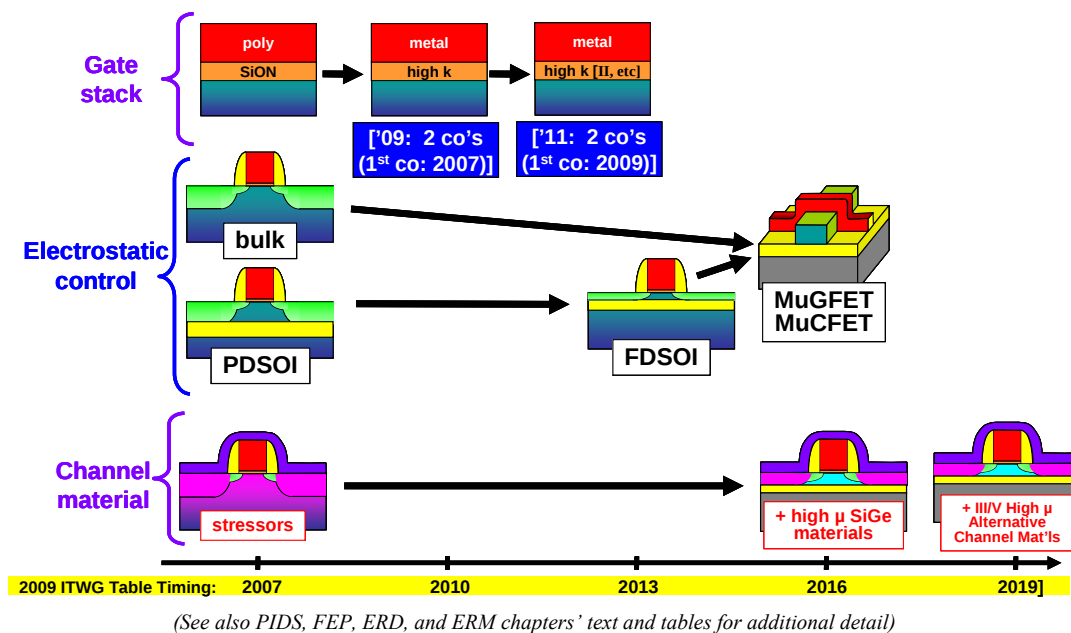


Figure 8c 2009 ITRS “Equivalent Scaling” Process Technologies Timing compared to ORTC MPU/high-performance ASIC Half Pitch and Gate Length Trends and Timing

製品世代およびチップ寸法モデル (PRODUCT GENERATIONS AND CHIP-SIZE MODEL)

このセクションでは、「製品世代」およびその技術サイクルとの関係を述べる。というのは、今までこの2つの用語を頻繁に区別なく使用してきたからである。しかしながら、3年ごとに新しい DRAM 製品世代(前世代密度の4倍で、基本的に新しい技術機能群に基づく)が誕生するという今までの単純な図式は、技術サイクル・タイミングの進歩を定義する手段として時代遅れになっている。この2005年版 ITRS で始まった慣行を続け、2009年版 ITRS は個々の製品技術傾向に基づいて、技術のペースを決めている。これは、先端製品の進化/縮小のパスが複雑になるにつれ、市場の機能・性能・値ごろ感の要求に基づいて、個々の製品技術傾向がお互いに異なった速さで進展することを反映したものである。

歴史的に言えば、DRAM 製品は全半導体産業の技術の動輪として認識されてきた。1990年代後期より前にさかのぼると、ロジック(MPUと高性能 ASIC(MPU/hpASIC)で代表される)技術は DRAM 技術に遅れる形ではあるが、同じペースで微細化が進展していた。2007年の DRAM 製造メーカの調査結果によると、2000年の180nm世代以降、DRAM 技術の進展は平均すると2.5年のペースに移行した。ここ数年間、MPU/hpASIC 製造に使用される新規技術の開発速度は2年ペースを続け、他方 DRAM は減速して2010年の45nmから2024年のロードマップの限界まで3年サイクル速さとなることが予測されている。より速い2年サイクル速さを継続する結果、MPU/hpASIC 製品は DRAM とのハーフピッチ技術ギャップを縮めることになる。Flash メモリの技術要求とあいまって、最先端のリソグラフィ装置と等価的微細化のためのプロセス技術を推進すると期待されている。特に、露光ゲート長と物理ゲート長の孤立ライン・パターンを処理し、消費電力低減と性能向上の能力に期待されている。「等価的微細化のためのプロセス技術」としては、エッチングによるパターン形成、歪シリコン、高誘電率(High-k)ゲート絶縁膜と金属ゲート電極などである。すでに述べたように、Flash 技術はコンタクト無しポリシリコンで定義されていて、最先端技術で推進可能な点まで加速されている。このように、最近の Flash 技術はリソグラフィを推進している。PIDS の調査によると、コンタクト無しポリシリコンの微細化は2010年に32nmに到達するまでは、2年サイクルで進み、以後2024年まで3年サイクルが続く。

しかしながら、この2つの製品ファミリの間には、いくつかの基本的な差異が存在する。コスト削減および工場生産性向上への商品市場の経済的な圧力が強いために、DRAM製品ではチップ寸法の最小化が強調されている。そのためDRAMの技術開発は、主にメモリ・セル占有面積の最小化に焦点が当てられている。しかしながら、このセル寸法最小化の圧力は、セルの静電容量最大化の要求と矛盾してしまう。このセルの静電容量最大化要求は、メモリ・セル設計者にプレッシャーをかけ、セル寸法を縮小しながら静電容量の最低必要条件を満たすように設計と材料にわたって創造的な手段を探索させている。その上、最小面積に最大数のDRAMセルを密に実装するためには、セル・ピッチの最小化が必要となる。ITRS 2009年版では、新規の埋込みビット線・ワード線によるセル技術の導入にを予想している。これにより、2011年はじめには、4F²のセル寸法が可能となる。ただし、4は設計係数(design factor)で、Fはミクロン単位で表したハーフピッチである。

マイクロプロセッサでも、最高性能を保ちつつコスト削減を達成するという市場圧力が強くかかっている。主にトランジスタ・ゲート長と配線層数により、高性能が可能なものとなる。改訂された ORTC 表に関する所要の機能、チップ寸法、セル面積、密度などについて、2009年版 ITRS チームは意見の一致をみている。MPU 製品チップ寸法表は、導入時の大きなチップ寸法が時を経て手ごろなチップ寸法を達成しなければならない点では、DRAM モデルと似ている。追加のライン項目が加えられ、モデルのコンセンサスを伝え、背景にあるモデルの仮定は ORTC 表の注に含まれている。

表 ORTC-1 には、技術傾向の要約をしめした。表の完全性を図るため、ASIC/低電力のゲート長も含まれてはいるが、待機電流および動作電流を最大にするために、最先端 MPU より遅れている。「透過的微細化」、設計係数(design factor)、ハーフピッチ、ゲート長の特長に関する詳細な定義については、用語解説セクションを参照して頂きたい。各製品世代について、最先端の(「現在導入中」)DRAM 製品と量産(「現在量産中」)DRAM 製品の双方を示す。

図 8a と 8b を要約すると、DRAM コンタクト有り M1 ハーフピッチ・パターン寸法の長期平均年縮小率は 2010 年 45nm 以降 3 年の技術サイクル速さに戻ることを予測していることに注目して欲しい。これは、年約 11% (3 年約 30%縮小)を表している。以前(2000 年 180nm から 2010 年 45nm)の 2.5 年サイクルは年間平均縮小率が 13%/年(2 年約 24%縮小)である。上述のとおり、新 Flash メモリコンタクト無しポリシリコンは 2010 年に 3 年ペースに移行すると予想されており、DRAM の M1 に先行している。MPU/hpASIC の M1 (図中では MPU/ASIC と表記されている)は、DRAM の M1 に 2010 年/45nm で追いつき、2013 年/27nm までは、2 年ペースが続き、それ以後 3 年ペースに変わる

Table ORTC-1 ITRS Technology Trend Targets

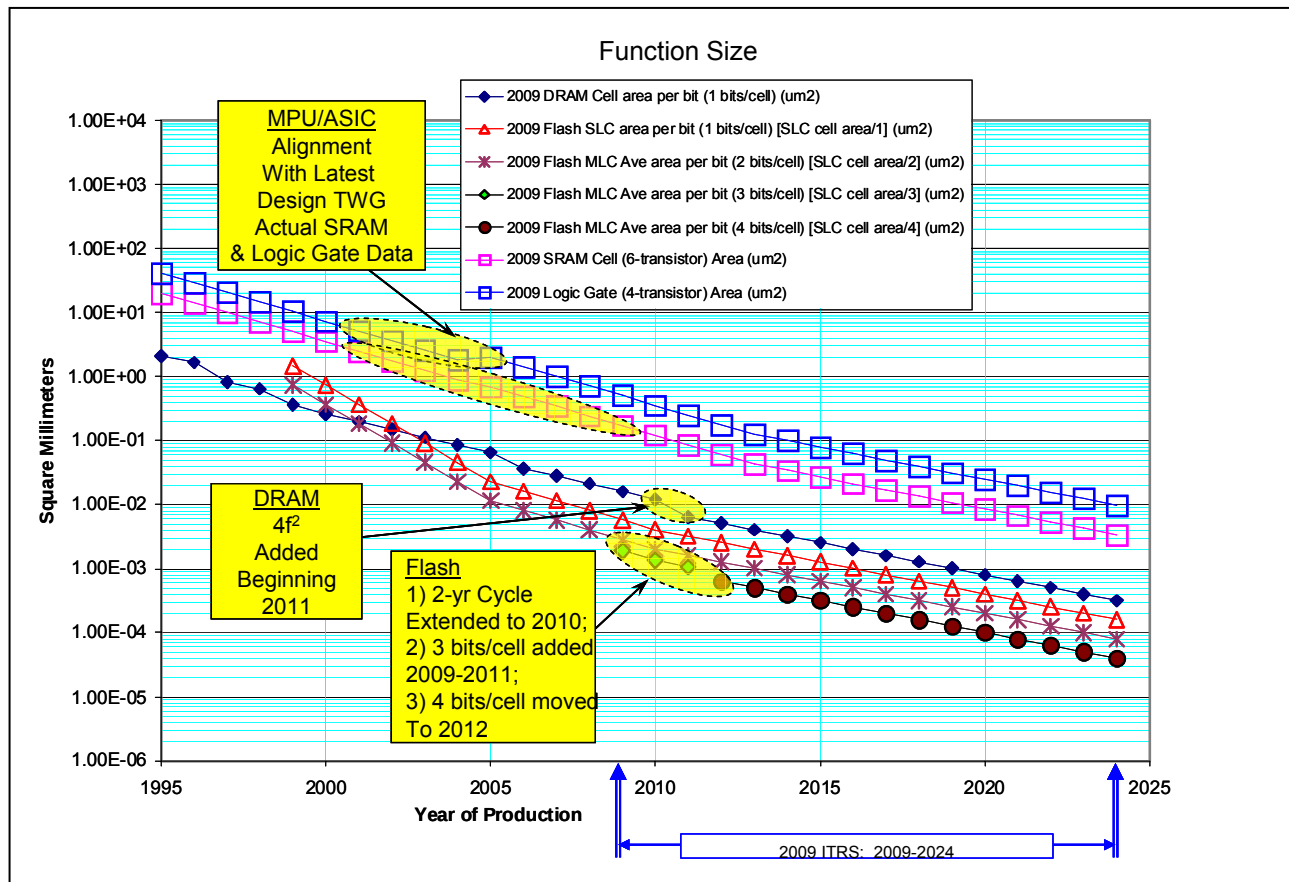
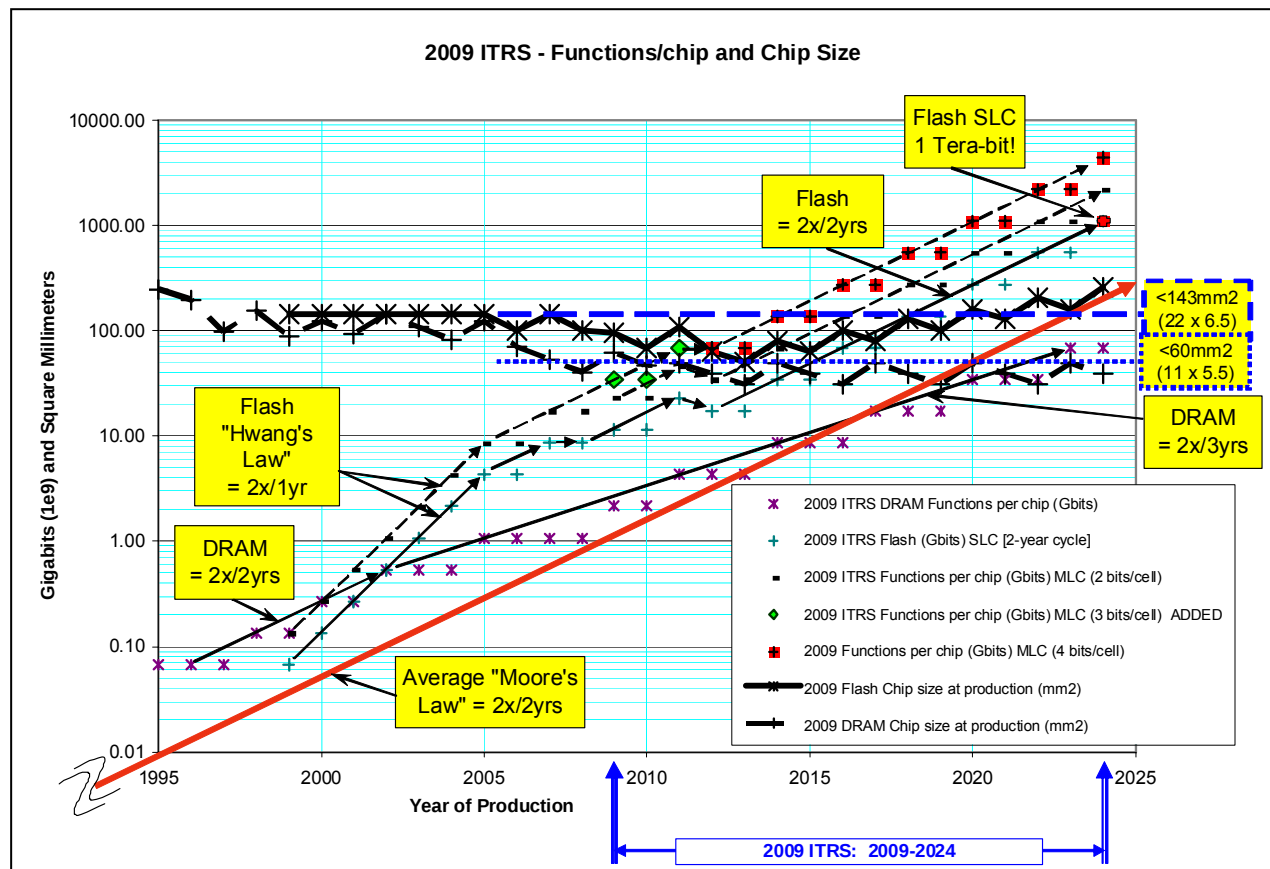


Figure 9 2009 ITRS Product Function Size Trends:
MPU Logic Gate Size (4-transistor); Memory Cell Size [SRAM (6-transistor); Flash (SLC and MLC), and
DRAM (transistor + capacitor)]



*Figure 10a 2009 ITRS Product Technology Trends:
Memory Product Functions/Chip and Industry Average "Moore's Law" and Chip Size Trends*

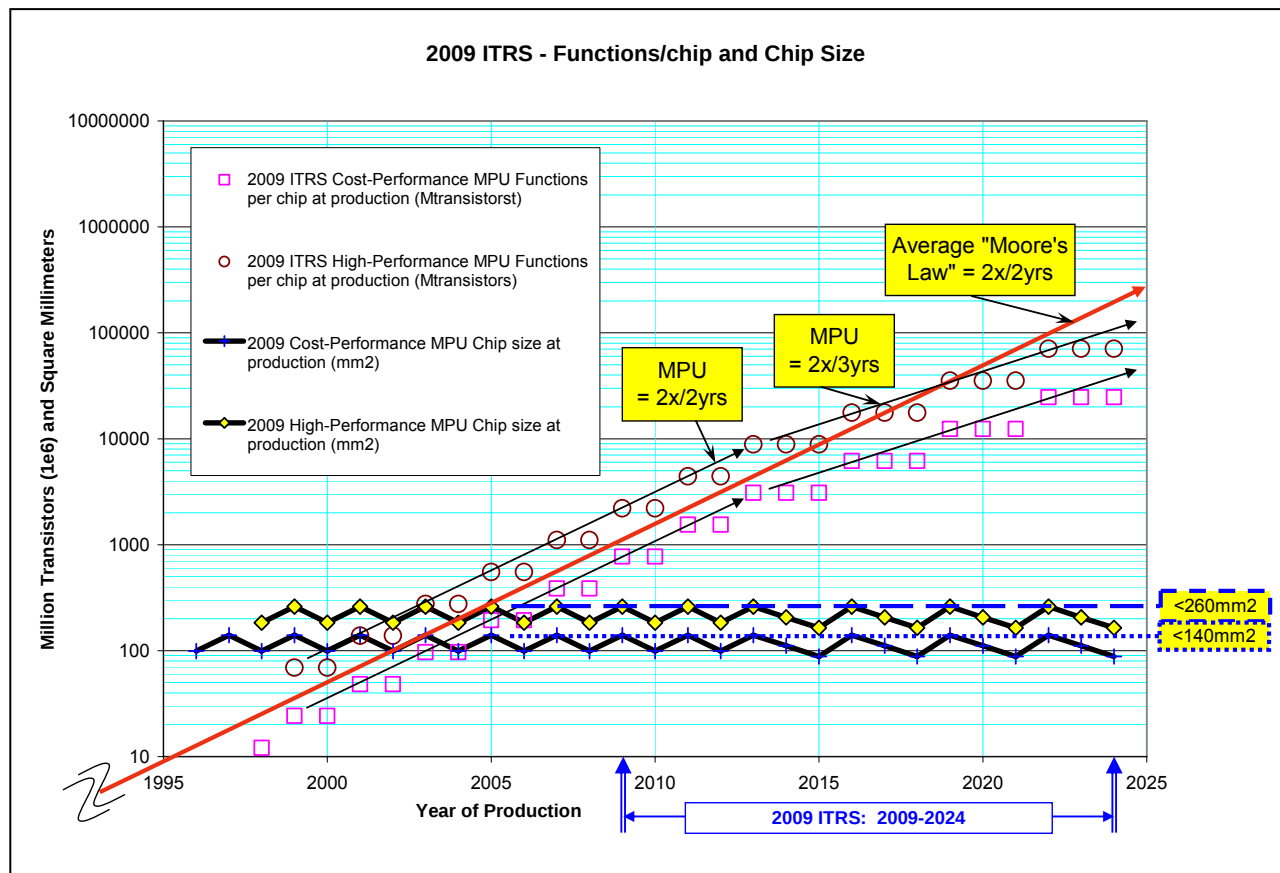


Figure 10b 2009 ITRS Product Technology Trends:
MPU Product Functions/Chip and Industry Average "Moore's Law" and Chip Size Trends

CHIP-SIZE, LITHOGRAPHIC-FIELD, AND WAFER-SIZE TRENDS

チップサイズ、リソグラフィ・フィールド、ウェーハ・サイズのトレンド

2～3年毎に素子寸法が約30%縮小するにもかかわらず、IEEE(Institute of Electrical and Electronics Engineers)主催のISSCC(International Solid State Circuits Conference)などの技術フォーラムにおける発表では、先端メモリあるいはロジック製品の導入段階におけるチップサイズが6年毎に倍増している(年間約12%増)。ムーアの法則(1.5～2年ごとにチップあたりの機能が倍増する経験則)を維持するには、ビット・キャパシタ・トランジスタを年率40～60%増加させる必要があり、そのためにはチップ面積の増加が必要となる。その上で、先端製品のコスト／機能が年率～30%減少するという傾向を維持するには、設備生産性の増加、製造歩留りの向上、最大サイズ・ウェーハの使用、ウェーハとシリコン面積あたりの処理速度の維持あるいは増加、そして中でも1枚のウェーハ上の使用可能な機能単位(トランジスタ、ビット、ロジックのゲート)あるいはチップ数を継続的に増加させることが必要となる。

1枚のウェーハ上で使用可能な機能単位やチップ総数の増加は、主として素子サイズの小型化(縮小やスケールリング)と製品・プロセスの再設計(圧縮)の組合せによる機能またはチップあたりの面積縮小によって達成される。例えば最新のITRSチップサイズ・モデルを使えば、低コスト製品世代の最初のチップサイズは長期に亘って一定になるはずと予測されている。ここで世代間(世代対世代)機能は2年ごとに倍増させなければならない。さらに、各技術サイクル期間において、世代内縮小率50%(リソグラフィ縮小率0.7xの二乗)までチップサイズを縮小させなければならない、設計要素に関する密度改善が可能であるならばこの縮小トレンドは更に加速できることになる。

入手容易な価格で購入できるDRAMやフラッシュメモリ製品でも、世代内でチップサイズをほぼ一定に維持するためにはセル占有率も全チップ面積の 58～63%に維持しなければならない。歴史的にDRAMやフラッシュメモリ製品はセルエリア・ファクタ a (セルエリア Ca は $Ca=af^2$ で表される、 f は最小設計寸法)を小さくすることが必要だった。PIDS ITWG(International Technology Working Group)とFEP ITWGは、セル占有率目標、セルエリア・ファクタ、およびチップあたりのビット数に関するメンバー会社の調査データを提供している。さらにフロントエンド・プロセスの章には、セル面積目標値を達成するための解決策に対応する技術課題とニーズが詳述されている。これら新しい技術課題を追跡・調整することが非常に重要なので、DRAMとフラッシュメモリのセルエリア・ファクタ、セル面積目標、チップサイズに対するセル占有率などの項目はORTC-2Aと2Bで実情追跡を継続していくことになる(詳細については、用語集参照)。

Table ORTC-2A DRAM and Flash Production Product Generations and Chip Size Model

Table ORTC-2B DRAM Introduction Product Generations and Chip Size Model

特に最新の調査データと入手可能な公開情報によれば、ITRS2009 のモデルに比べてDRAMセルエリア・ファクターの縮小トレンドは加速されていて、2011 年には $4f^2$ になっている(ITRS2005 では $6f^2$ で一定だった)。2011 年からセルエリア・ファクターは $4f^2$ になり、ITRS2009 の最終年である 2024 年まで 4 が維持されると今でも予想されている。 $4f^2$ だけでなく、セル占有率 56%についても 2006 年からITRS2009 の最終年である 2024 年まで続くという調査結果が得られている。こうしたDRAMセル設計効率や機能密度の増加と低めの目標チップサイズ(現在 60mm²未満になっている。【訳注:各世代で最も大きい量産チップサイズのこと】)とはトレードオフ関係にある。そのため、DRAMに関するムーアの法則であるチップあたりのビット数目標設定を 1 年遅らせ、短期長期とも 3 年毎に 2 倍を維持することにした。64GDRAM製品は最終年である 2023 年に位置することになる。(Figure9、10a、10bのFunction Size and Functions per Chip 参照)

改訂された ITRS2009 ORTC フラッシュ製品モデルでは、機能ビットサイズは依然として SLC(Single Level Cell)の設計ファクターとコンタクト無のポリシリコンの密ラインのスケーリングに基づいて計算されている。2009 年に PIDS TWG が行ったフラッシュに関する調査によれば、2010 年までは 2 年毎の急激なスケーリングが予想されるものの、SLC 設計ファクターはずっと 4 のままである。その結果、フラッシュのチップサイズ・モデルにおいては機能(ビットサイズ)に必要な面積低減が加速され、フラッシュのコンタクト無のポリシリコン・ハーフピッチは、ジグザグにコンタクトが配置されたされた DRAM の M1 ハーフピッチより 3 年先行する予測になった。明らかに、最先端のフラッシュ製造技術が半導体プロセス全体の製造技術を明らかに牽引することになっていて、DRAM 最先端製品に使われると同レベルのリソグラフィ装置をフラッシュでも使っているとリソグラフィ TWG は確信している。

フラッシュのSLCビット技術によって、2005 年には早くも 76nmのコンタクト無しポリシリコン・ハーフピッチと設計ファクター4 が実現され、2010 年には 32nmまでスケーリングが可能と予測され、SLCビットサイズは 0.004 μm^2 となる。このセルサイズは、同じ年のDRAMセルサイズの 1/3 である(ITRS2005 のFigure9 にある Product Function Chip Trends 参照)。フラッシュメモリ技術の継続的加速によって、DRAM製品では未だ 2Gbit(但し、市場の価格要求と生産性からサイズはわずか 61mm²)しか実現できない 2009 年に、フラッシュでは 96mm²の 22Gbit SLC製品が製造可能になる。さらにフラッシュメモリ技術では、同じ面積で電氣的にビットの数を倍増することができ(MLC; Multi-level-cell)、結果として実質的なチップあたりのビット数が倍増された 22Gbitの最初の製品が 96mm²で可能になる。PIDS TWGが行ったフラッシュに関する調査によれば、3 ビットMLC製品が 2009 年生産され、更に困難な 4 ビットMLCは 2012 年には生産される見込みである。

ITRS2001 以降の最も劇的な変更によって、設計 ITWG は MPU チップサイズ・モデルを改良し、最新のトランジスタ密度、大型オンチップ SRAM、小型目標チップサイズを改訂した。設計 ITWG は、新たなトランジスタ設計改善ファクタを含む追加詳細項目もモデルに追加している。設計 ITWG による新たなモデルでは、

SRAMトランジスタに対して 60 件の設計ファクタ(以前のロードマップでは 100 以上であったものを激減させた)を用いて、そのため自然にゆっくりと改善するというような状態から脱している。ロジックトランジスタの設計ファクタも 300 以上から 175 まで激減させ、この値はロードマップ期間中も一定に保たれると予想される。アレー構造での重要な変更(チップサイズ・モデルに影響する唯一のパラメータ)を除き、「縮小」と密度改善は、リソグラフィにより可能となる配線ハーフピッチのスケーリングによって今後ももたらされるだろう。

今回のITRS2009のMPUモデルでは、過去はM1 ハーフピッチが 2 年サイクルよりいくらか遅れていて、DRAMのM1 ハーフピッチと 2010 年/45nmで交差し(て追越し)、2013 年/27nmまでは 2 年サイクルが続き、それ以降はDRAMのM1 ハーフピッチやフラッシュのポリゲート・ハーフピッチと同様に 3 年サイクルに変わっている。寸法や設計ファクタのモデルは過去のITRSロードマップから大きく改訂されたが、高性能MPU(今は 260mm²まで減った)およびコスト優先MPU(140mm²)双方に対してチップサイズ一定を目標にすることで、入手しやすさ(値段)に関する相反する要求に対応しつつけている。

2013 年までの MPU 2 年サイクル・ハーフピッチ”追付き追越しフェーズ”により、リソグラフィの改善だけで MPU 製品は一定のチップサイズを目標としていた。しかし 2013 年以降、ITRS の技術世代に示されている世代間 MPU チップサイズのモデルでは、テクノロジーサイクルごとにオンチップ・トランジスタの数を倍増させるペースを減速させることによってのみ、一定のチップサイズを維持することができる(2013 年以降 3 年サイクルになる)。

2009 年の改訂も MPU モデルでは、ロジックコア数はたった二世代毎に 2 倍になるようなアプローチを続けている。しかし、1 コアあたりのトランジスタ数の目標も二世代毎に 2 倍としたので、トランジスタ数とトランジスタ密度は変わっていない。MPU モデルに対するこのアプローチが現在の設計トレンドを代表しているというのが設計 TWG の一致した見解である Figure9、10a、10b の Function Size and Functions per Chip 参照。

[訳注:MPU は 1 世代ごとに、デザインルールは 0.7 倍、チップ面積は一定となる。結果として、トランジスタ数/チップは 2 倍となり、これは以前の版の ITRS と変わっていない。ITRS2007 の改訂では、その振り分けを、コア数/チップを 1.4 倍、トランジスタ数/コアを 1.4 倍としている。コア数は整数で、端数を許さないで、2 世代ごとにコア数/チップは 2 倍、トランジスタ数/コアは 2 倍となる。]

最新の予測は MPU の M1 ハーフピッチの 2 年テクノロジーサイクルを延長しているので、現在の MPU チップサイズ・モデルでは、チップ上の機能(トランジスタ)が 2 年毎に 2 倍になるという歴史的なムーアの法則を 2013 年/27nm まで保つことができる。2013 年以降、緩やかな 3 年サイクルになる(一定のチップサイズトレンドを維持するため)ことに対応して、オンチップ・トランジスタに関するムーアの法則は 3 年毎倍増へと低下する。2013 年以降も実効的にこれまでの機能生産性のトレンドを維持するには、MPU のチップ設計者およびプロセス設計者は、基本的なリソグラフィ依存のスケーリングによって改善される設計以外に、より多くの”等価スケーリング”的な設計・プロセスの改善を追加しなければならない。Table ORTC-2C と 2D に MPU モデルの新しい目標値を要約して示す。

Table ORTC-2C MPU (High-volume Microprocessor) Cost-Performance Product Generations and Chip Size Model

Table ORTC-2D High-Performance MPU and ASIC Product Generations and Chip Size Model

生産性を向上するには、製造プロセスの各ステップで良好なチップの生産量を増加しなければならない。1 回の露光で複数チップをプリントする能力は生産性向上の主な原動力であり、その原動力はリソグラフィ装置のフィールド・サイズ、およびウェーハにプリントされるチップのサイズとアスペクト比により決定されている。これまではリソグラフィ露光フィールドサイズはテクノロジーサイクル 2 世代毎に倍増していて、導入レベルでの最大チップサイズが増大するという要求を満たしていた。その結果、非常に広いステップ走査フィールド(26 x 33 = 858mm²)が達成された。

しかし、継続的に解像力の向上を図りながら大きなフィールドサイズを保つことは、大幅なコスト上昇を招くということが、リソグラフィITWGにより示された。そのため、リソグラフィITWGでは最大のフィールドサイズを 858mm^2 に制限し、個々のメモリとロジック製品のチップサイズの調査結果およびモデルに基づいて、最大のフィールドサイズの範囲内で要求フィールドサイズを制御しつつ、より典型的で価格的に入手容易なフィールドサイズ範囲となるようにもしている。

DRAMチップサイズは、歴史的に、最も困難な露光ハーフピッチと価格的に入手容易なリソグラフィ・フィールド・サイズを示すと見なされてきた。ITRS2009のDRAMチップサイズ・モデルでは、導入レベルのチップサイズを最大サイズである 858mm^2 より十分小さなリソグラフィ・フィールド・サイズ 750mm^2 よりも小さく設定して、少なくとも1個の導入レベル・チップサイズがフィールド内に収まるようにしている。今回、ITRS2009の量産DRAMチップサイズモデル(60mm^2 より小さいチップサイズ維持が目標)では、少なくとも9個のチップを 572mm^2 のフィールド内に収めている。

テクノロジー世代のスケーリングとセル設計改善(ITRS2007での 6f^2 から新たな 4f^2 導入を含むA-ファクタの縮小)との組合せにより目標を達成している、ここではオンチップ・ビットの倍増という目標を3年サイクルというより遅いスピードで実現することも許容している。しかし上記の生産チップサイズモデルで記述したように、2011年に加速して4倍になったDRAM設計改善と新たな入手容易な量産チップサイズ目標 60mm^2 を考慮すると、価格的に入手容易なチップサイズおよびリソグラフィ・フィールドの限界内で生産するには、追加するオンチップ・ビット数を減らすという要求が生じることになる。この要求は、DRAMモデルで量産のビット数／チップを1年遅らせ、ムーアの法則が示すビット／チップのトレンドを3年毎で倍増というよりゆっくりとしたペースをロードマップの最後まで維持することにより達成することができた。DRAMモデルのデータ目標をTable ORTC-2Aと2Bに載せる。

フラッシュの量産チップサイズモデルも図表に追加し、最大の実現可能なチップサイズを 143mm^2 とした。フラッシュのビット／チップの倍増は2年毎に達成される目標を維持している。ポリ・ハーフピッチの2年サイクルを2010年／ 32nm まで延長し、3ビットや4ビットのMLCを加えることによって、フラッシュ製品のチップサイズは2021に至るまで 143mm^2 未満に保たれる。2022年にはチップサイズは業界で価格的に入手容易な最大サイズである 200mm^2 を超えてしまうので、将来のITRS版ではビット／セルモデルの修正が必要になるかもしれない。

リソグラフィ工程の最大フィールドサイズの絶対値は、高性能MPUやASICの初期導入時のチップサイズによって決定される。このサイズは、リソグラフィITWGによる最大入手可能サイズ($26 \times 33 = 858\text{mm}^2$)で実現できる実際的なフィールドサイズとなる。マスク倍率レベルは将来は $8\times$ になるかもしれないので、その場合には最大フィールドサイズを現在の 858mm^2 からその $1/4$ に、すなわち 214mm^2 未満に引き下げられることが予想される。最大フィールドサイズの限界と、マスク倍率の関する課題に関連する詳細は、リソグラフィITWGにより、リソグラフィの章の中で示されている。目標とする最大フィールドサイズは、Table ORTC-3に示していて、この値はITRS2007の目標値と変わっていない。

[訳注: 厳しいマスク精度を緩和するためマスク倍率(マスク上とウェーハ上のパターンサイズ比率)が現在の $1/4$ から $1/8$ に変わる可能性がある。その場合、ウェーハ上のフィールドサイズは $(1/2) \times (1/2)$ で $1/4$ になり、ウェーハ上の露光面積拡大という観点からは不利な方向である。]

Table ORTC-3 *Lithographic-Field and Wafer Size Trends*

ITRS2009におけるDRAMモデル、MPUモデル、及びフラッシュモデルは、DRAMとMPUとフラッシュの設計およびプロセスの改善目標を達成できるかどうかにかかっている。達成できない場合は、現在のロードマップが示したより大きな露光チップサイズの方への圧力が高まるか、または、オンチップ機能に関する”Moore’s Law”の増加率がさらに低下することになる。いずれの結果でも、コスト／機能の低減率(半導体産業の生産性向上と競争力に関する古典的な尺度)にネガティブなインパクトをもたらすことになる。

コスト低減の圧力が高まる中で、特に先端的な IDF やファウンドリにとって、200mm ラインを生産性ブースターである 300mm ラインの生産性にグレードアップすること(同時に、ファブの生産性を向上させることも)の必要性がかつてないほど増加している。しかし、経済情勢の悪化、特に最近の世界的な景気後退、によって財政上の課題が生じ、設備投資が抑制されることになった。Table ORTC-3(詳細はフロントエンドプロセスの章にも載っている)にある最大ウェーハ径に関する内容は、2001 年に始まった 300mm ライン能力の増強と整合していて、300mm ウェーハは今やシリコンウェーハ面積の 50%に達している。

厳しい経済状況によって、生産性向上のブースターとして期待される次の 1.5 倍ウェーハ・サイズ＝450mm 径ウェーハを用いた最初の半導体量産に対する投資とそのタイミングも影響を受けた(Executive Summary の 450mm の章に記載)。その結果、450mm 生産性向上ブースターの可能時期が ITRS IRC によって再設定され、32nm(M1 ハーフピッチ)で 2012 年にパイロットラインに、22nm 量産立上げでは先端の MPU・メモリ・ファウンドリがによって 2014～2016 年に必要とするようにになるという予測になった。

しかしながら、他の生産性を向上させる推進力(リソグラフィ技術や設計・プロセスの改善)がスケジュール通りに実現しなかった場合、生産性の向上策として大口径ウェーハの使用を加速するか、あるいは生産性を向上させるために同等の効果のある別の解決策を用いなければならないだろう。

将来技術開発の加速・減速の影響や次のウェーハサイズへの転換のタイミングに依存して、包括的かつ長期的な工場の生産性モデルおよび経済モデルの開発と適用が必要となる。このような産業経済のモデル化(industry economic modeling: IEM)は、SEMI(Semiconductor Equipment and Materials Institute)と SEMATECH(Semiconductor Manufacturing Technology Institute)が合同で継続的に資金援助と実働作業を行っている。最も確かなことは、将来の技術的・経済的要求を明確にするとともに必要とされる研究と開発に対する適切な投資メカニズムを導き出すために、半導体サプライヤやチップメーカによる非競争領域での協働が必要であるということである。

パッケージされたチップの性能

パッド数とピン数、パッドピッチ、ピン当りコスト、周波数

チップの機能を高めたいというニーズが、各製品世代に対応して増加するトランジスタ数/ビット(メモリセル)数の集積化を要求する。一般的には、チップ内のトランジスタの数が増加すると、集積回路への入出力(I/O)信号の入出力に必要なパッド数/ピン数も増加する(Table OTTC-4 を参照)。

付加的な電源・グランドのチップへの接続は、電源設計の最適化と雑音耐性の向上に必要である。MPU や高性能 ASIC 製品は ITRS のロードマップ期間に 3～7k パッドになる。MPU 製品のパッド数はその期間に約 50%増加し、ASIC のチップ当たりのパッド数は 2 倍になると予測される。2 種類の製品では電源・グランドパッドの割合が全く異なる。典型的な MPU のパッド数は、1/3 が I/O 信号パッドで、2/3 が電源・グランドパッドとなっており、1 ヶの I/O 信号パッドに対して 2 ヶの電源・グランドパッドを持っている。MPU とは異なり、代表的は高性能 ASIC 製品のパッド数は 1 ヶの I/O 信号パッドに対して、1 ヶの電源・グランドを持つ。

Table ORTC-4 Performance and Packaged Chips Trends

A&P ITWG により提供されたパッケージピン数とピン当たりコスト(Table ORTC-4)は、将来の製造経済学(manufacturing economics)への課題を示している。ピン当たりコストは減少していくが、チップ内のトランジスタ数が予定通り増加すると、パッケージピン/ボール数も増加し続けると予測される。パッケージング全体の平均コストは毎年増加することになるので、パッケージ組立メーカにとって、コスト効率の良い解決策を提供することが大きな課題となる。

非常に競争の激しい家電用電子製品環境(それは、設計やシステムドライバの章の主要な技術課題や解決策候補において、中心的製品区分であるが)において、PC や携帯電話のような大量生産するハイテク製品のコストは現状維持か、減少傾向となる。これらのハイテク製品は一般に、2 年毎に性能は 2 倍になる。これは先端の半導体メーカでの最終顧客の市場環境である。年間 30%またはそれ以上の比率(2 年毎にコストは変わらず、チップ当たりの機能は 2 倍になる。つまり、年率 29%)で機能(ビット、トランジスタ)当たりコストが下がるという ITRS の経済的要求に基づく、重要なコストドライバである。

もし、将来の半導体製品の価格を維持または低下するとし、平均のピン当たりコストは下がるが単位当たりの平均ピン数が増加するならば、15 年間の ITRS ロードマップ期間で、トータルの製品コストに占める平均的なパッケージ比率は増加し続け、その結果として、総収益マージンを大幅に減少させ、研究開発と工場生産能力へ投資能力を制限することになる。

この結論が、マルチ・チップ・モジュール(System in Package : SiP)や COB(Chip on Board)やその他の創造的な解決策を用いた SoC(System on Chip) への機能統合により、システム全体のピン数要求を低減させる、産業動向に基づいた原動力の一つになっている。

機能当たりのコストを指数的に減少させながら、機能性を増加させる要求に加えて、更に高機能、低コスト製品に対する市場需要も存在する。消費者の需要を満たすために 1.5~2 年毎にチップの機能を 2 倍にするというムーアの法則が予測するように、より高速で電気信号を処理したいという要求がある。MPU の場合、毎秒当たりの処理命令数はこれまで、1.5~2 年毎に倍増してきた。しかし、以前のロードマップでも予測されていたし、最新の ITRS2009 においても、オン・チップ周波数の増加率が年率約 8%以下に低下すると予測している。(用語解(Glossary)で言及するが)幾何学的なスケーリング則によってこれまで達成されてきた性能向上は現在、プロセスでの「等価的スケーリング」と設計に関係した「等価的スケーリング」(用語解にアップデートされた新定義を参照)アーキテクチャやソフトウェアの改善によって実現されている。このアーキテクチャやソフトウェアの改善は、消費電力を制御しながら、顧客への SoC や SiP やシステムレベルの性能の継続的な提供を可能にする。

MPU 製品においては、MIPs (Millions of Instructions per Second)の単位で扱われる処理能力は、「アーキテクチャ性能」(クロック・サイクル当たりの命令数)によって増加する「未加工の技術性能」(クロック周波数)の組合せを通して実現される。より高度な操作性能に対するニーズは、新しいプロセス、設計、パッケージ技術の開発を継続して要求する。

これらの考慮すべき問題は Table ORTC-4 に反映されている。Table ORTC-4 には、チップの最大性能の傾向を予測するために設計 TWG によって提供された項目が含まれる。各製品世代に対応した最大周波数は、固有トランジスタ性能(on-chip, local clock)に直接関係する。配線間もしくは配線と基板間の容量結合による信号伝達遅延の劣化により、チップ内を伝わる信号の周波数と"local"周波数との差異が増加する。その他の信号劣化は、ワイヤボンドとパッケージリードのインダクタンスに関係する。結局、フリップチップ接続は、パッケージで生じる寄生効果を取り除く、唯一の現実的な方法かもしれない。チップ内の信号と電源の配置を最適化するためには、配線数を増加し続けることが期待される。配線の微細化が今後も継続すると、チップの製造プロセスにおいて、低抵抗の Cu 配線や低誘電率の各種の金属間化合物絶縁材料がより幅広く採用される。多重化手法もまた、基板上の動作周波数(off-chip; 詳細は A&P の章を参照)を増加されるために使用される。

電氣的な欠陥密度 (ELECTRICAL DEFECT DENSITY)

DRAM、MPU、ASIC の電氣的欠陥の密度に関する(量産の年に 83~89.5 %のチップ歩留を達成するのに必要な)最新目標を表 ORTC-5 に示す。DRAM とマイクロプロセッサについて表 2 で報告したように、最新

チップ寸法モデルに基づき異なるチップ寸法を考慮して、許容可能な欠陥数を計算している。その上、図表内のデータは生産ライフサイクルの内量産レベルだけが報告されている。歩留向上についての章に載せた式を使用して、同一技術ノードでの異なるチップ寸法における他の欠陥密度を計算することが出来る。常に増加しているプロセス複雑性の指標として、ロジック・デバイス用マスク層の概数を載せている。2009 年にはリソグラフィ TWG(技術ワーキンググループ)の作業が進行中で、各社のサーベイを行い、2010 年改訂版のために目標値の修正を行う予定である。

Table ORTC-5 Electrical Defects

電源と消費電力（POWER SUPPLY AND POWER DISSIPATION）

いくつかの要因(消費電力の低下、トランジスタチャネル長の縮小、ゲート誘電体信頼性の向上)が電源電圧の低減を推し進めている。表 ORTC-6 に示すように、現在、電源電圧の値は、範囲というよりは、むしろ特定の目標値で与えられている。

特定の V_{dd} 値の選択は、1個のICについて速度と電力を同時に最適化する解析の一部として続けられており、各製品世代の使用可能電源電圧の範囲をもたらしている。高性能プロセッサで $0.6V$ V_{dd} 値は 2024 年までには達成されないだろう。 V_{dd} 最低目標値は低消費電力応用製品で 2021 年に $0.6V$ となっており、2024 年までは引き下げることはないだろう。

最大電力傾向(MPU 用)は 3 つのカテゴリで提示される。

- 1) 高性能デスクトップ・アプリケーション、パッケージのヒート・シンクが許容される。
- 2) コスト重視型、最高性能の経済的な電力管理が最も重要。
- 3) ポータブル機器の電池による動作(低コスト、携帯)

全てのカテゴリで、低電源電圧の使用にもかかわらず、全体の電力消費量は、2009 年の表 ORTC-6 に示すように、比較的一定している。電力消費量の増加を推し進めているのは、高いチップ使用周波数、配線全体の高容量と高抵抗、および指数関数的に増加しかつ微細化するチップ上トランジスタのゲート・リーク(漏れ)の増大などである。

最大消費電力を計算するための方法論は 2009 年に見直された。2010 年のロードマップでは、設計とアセンブリ・パッケージの ITWG による計算モデルを改訂した。このモデルでは、チップ全体の消費電力を計算するというよりは、むしろ、特定のホットスポット(hot spot: 発熱量の多い領域)を考慮に入れている。

Table ORTC-6 Power Supply and Power Dissipation

コスト (Cost)

表ORTC-7 はコストの傾向を示している。機能あたりのコストを年間に平均 29%削減(2 年間で 0.5 倍)が可能なのは半導体産業に特有な特徴であり、定価格または低下した価格環境の中で 1.5~2 年ごとにチップ上機能の倍増を提供しつづけることは、市場圧力の直接的な結果である。このコスト削減圧力に対応するため、研究開発部門と製造部門では多額の設備投資を継続的に実施していかなければならない。工場あたりの投資額ベースでさえも、製造部門への設備投資額は上昇の一途を辿っている。しかし、歴史的に半導体産業は、チップ寸法とコストを増加させずに、または適度な増加によって、1.5~2 年ごとにチップあたりの機

能倍増を提供しており、シリコンの cm^2 あたりではおおよそ一定コストとなっている。技術面の性能と経済面での効果が半導体産業の成長を支えてきた基本エンジンであった。

しかし、今日の競争的市場環境の中にいる顧客は僅かなコスト増加にさえも抵抗を示し、チップとユニットコストを制御するために、今までチップあたりの機能倍増のスピード(ムーアの法則)にも圧力を加えている。そのため、半導体メーカは、半導体産業の成長を今まで担ってきた、同じような機能あたりのコスト削減必要条件を提供する新しいモデルを捜し求めなければならなくなっている。そのため、1999年版 ITRS では所望の削減を達成する新しいモデルが提案されている。チップあたり定コストおよび平均販売価格 (average selling price: ASP) で2年ごとに機能倍増を顧客に提供している。2001と2003、2005、2007そして2009年版 ITRS では、理想化されて単純モデルを使い続けていて、一機能(ビット、トランジスタ等)当たり29%のコスト削減となる。平均29%のコスト削減は、歴史的には(1999年以前は)、ユニットあたりのコストを1.4倍増の割合で3年ごとにチップあたりの機能4倍増の機能を提供することによって、達成されていることに注目されたい。

ITRS 2009年版のDRAMおよびMPUのコスト・モデルは、半導体産業の経済性の原動力として、機能生産性あたりのコストの平均として29%削減レートへのニーズを使い続けている。そのため、DRAMおよびマイクロプロセッサについて手ごろなコスト/ビットやコスト/トランジスタの世代内傾向を設定するために、この中心的な機能あたりのコストの傾向を使用してきた。今までの傾向から推測すると、「初期の」手ごろな値段のコスト/ビットが2009年には約1.3マイクロセント(microcent)であることが示されている。加えて、その今までの傾向は、ひとつのDRAM世代内では年間45%のコスト/ビット削減が期待されるべきであることを示している。F³F これに対応して、マイクロプロセッサについて公表データを使って行った解析は同様な結果をもたらしている。F⁴ 結果として、MPUモデルにも、同一世代内で45%の削減レート値とともに、世代間で手ごろなコスト/トランジスタの削減目標値29%/年が使用されている。

ITRS 2009年版ではMPUチップ寸法モデルを大幅に改訂した。設計ITWGはITRS 2009年版で、入手しうる最新のデータとモデルに基づいて、MPUモデルを改訂した。新しいモデルとモデルは、ロジック・トランジスタの寸法がリソグラフィのレート(技術サイクルごとに0.7倍の寸法縮小および0.5倍の面積縮小)の割合で改善していることを示している。そのため、MPUチップ寸法を一定の目標値である 140mm^2 に保つため、トランジスタの数は、技術サイクルごとに倍増させることができる。技術サイクルのレートは2010年45nmまで2年サイクル、2010年以降に3年サイクルに変わると予測されている。従って、より高いコストを許容する市場を持つ特別用途でチップ寸法が増加を許されない限り、2013年以降のMPUチップあたりのトランジスタ数は3年ごとにしか倍増しないことになる。

DRAMメモリ・ビット・セル設計の改善スピードも、ITRS 2009年版のDRAMチップ寸法モデル目標(表ORTC-2を参照)を反映して、加速している。「4」の設計係数、即ち「6」の係数に対し33%の改善は2011年に導入されと期待される。このことは、長期のコスト削減による生産性改善を更に加速させている。更に、最近のPIDS TWGのDRAM製造者の調査によれば、セル・エリア効率の目標値の56%が2006年達成されたが、この値はロードマップの最終年の2024年まで変わらないと予想される。これらの最近のモデルの変更とより許容できる生産開始製品寸法(従来の 100mm^2 ではなく 60mm^2 以下)の新しい目標とあいまって、将来のDRAMの1チップあたりの集積ビット数の増加スピードも低下して、3年で2倍のペースとなった。この

³ McClean, William J., ed. *Mid-Term 1994: Status and Forecast of the IC Industry*. Scottsdale: Integrated Circuit Engineering Corporation, 1994.

McClean, William J., ed. *Mid-Term 1995: Status and Forecast of the IC Industry*. Scottsdale: Integrated Circuit Engineering Corporation, 1995.

⁴ a) Dataquest Incorporated. *x86 Market: Detailed Forecast, Assumptions, and Trends*. MCRO-WW-MT-9501. San Jose: Dataquest Incorporated, January 16, 1995.

b) Port, Otis; Reinhardt, Andy; McWilliams, Gary; and Brull, Steven V. "The Silicon Age? It's Just Dawning," Table 1. *Business Week*, December 9, 1996, 148-152.

DRAMモデルの変化は 64Gbit世代の生産(導入は 2013 年)を 2023 年に遅らせ 128Gbit(導入は 2016 年)は現在のITRSが記述する 2024 年以前には不可能となる。

DRAMと MPU におけるチップあたりの機能の(2013 年以降)増加率の低下を補うために、チップやパッケージ、ボード、システムのレベルでのアーキテクチャや設計の等価生産性スケーリングから得られる利益から、変わりとなる生産性向上策を見出す方向への圧力がますます高まるだろう。

かりに将来チップ上機能の増加率が低下したとしても、1 チップあたりの機能の量はまだ指数関数的に成長している。1 チップあたりの機能の数値が増加し続けるので、最終製品のテストはますます困難になり、従って、コストが高くなっている。これは、テストのコスト上昇に反映されている。テストされるピン数も増加する(表 ORTC-4)。これは全体のコスト負担 (CoO)を増加させる付随する材料やカスタムのテスト機能ばかりでなくテストのコストも増大させる。それゆえ、組込みセルフ・テスト(Built-in Self Test: BIST)手法およびテスト容易化設計 (Design-For- Testability: DFT) 手法や製造容易化設計 (Design for Manufacturing :DFM) の実現加速へのニーズは、ITRS 2009 年版のタイムフレーム内で引き続いて存在する。詳しい説明はテストとテスター (Test and Test Equipment) の章で述べる。

Table ORTC-7 Cost

用語集 (GLOSSARY)

主要なロードマップ技術特性用語 (KEY ROADMAP TECHNOLOGY CHARACTERISTICS

TERMINOLOGY)

(所見と解析(ALSO WITH OBSERVATIONS AND ANALYSIS))

ITRS2009 年版の用語集には新定義の追加と訂正が含まれることに注目されたい

ムーアの法則 (Moore's Law) :「チップあたりの機能(ビット数、トランジスタ数)に対する市場の要求(そして半導体産業の対応)は 1.5~2 年ごとに倍増する」という、Gordon Moore 氏が歴史的所見として唱えた法則。また、デバイスが手ごろな価格であること(affordability)と性能も考慮すべきであることを彼は見出した。「自己実現的」の予言と見なす人もいたが、過去 40 年間にわたって「ムーアの法則」は最先端の半導体製品と企業にとって、一貫したマクロトレンドであり、成功した最先端半導体製品と企業にとって、重要な指針となっている。

微細化(Scaling) ("More Moore")

- 幾何学的微細化(電界一定の微細化) (Geometrical (constant field) Scaling) は、チップ上のロジックとメモリの平面的(シリコン基板の表面方向)、垂直的(シリコン基板表面に垂直方向)物理的寸法を縮小し続けることにより、素子密度を向上させることで機能あたりのコストを削減し、性能(速度と消費電力)、信頼性を半導体応用機器や最終顧客にもたらすことを指す。
- 等価的微細化(Equivalent Scaling)は、幾何学的微細化とともに使われ、幾何学的微細化を可能にする以下のような技術手段を指す: 3 次元的な素子構造により“Design Factor”【訳者注:メモリセルの面積をデザインルールで二乗で割ったもの】を改善すること。これに加えて、集積回路の電気的性能を向上させるため、他の幾何学的スケールリングによらないプロセス技術や新規材料を導入すること
- 設計による等価的微細化(Design Equivalent Scaling)(上記の幾何学的微細化と等価的微細化とともに起こる)は、高性能、低消費電力、高信頼性、低コスト、設計効率向上を可能にする設計技術をさす。
 - 例示すると(網羅的ではないが)、ばらつきを考慮した設計 (design-for-variability)、低消費電力設計(スリープモード、ハイバネーション、クロックゲーティング、電源電圧の複数化など)、同種または異種のマルチコア SoC アーキテクチャ
 - 定量化可能な特定の設計技術の必要性に焦点を絞ること。消費電力と性能間のトレードオフが微細化("More Moore")の機能的要求に合致するように取り組むこと。さらに、高密度化("More Moore")を指向する設計アーキテクチャ上の機能性が消費電力と性能の必要を解決できるようにすること

機能的多様化(Functional Diversification) ("More than Moore") : 機能的多様化は必ずしもムーアの法則による微細化に従うことなく、異なる方法で最終顧客に付加価値を提供する機能をデバイスに組み込むことを指す。機能的多様化("More than Moore")のアプローチによれば、非デジタル機能(たとえば、無線通信、電力制御、受動素子、センサ、アクチュエータなど)をシステム基板レベルから特定のパッケージレベル(SiP)やチップレベル(SoC)の実装方法に移行させることができる。

- 設計技術は、"More than Moore"技術に利点をもたらすような新機能を可能にする。

- 例示すると(網羅的ではないが)、異なる機能統合するにあたり、個々の機能を個別部品に分割する際の新しい方式やそのシミュレーション、ソフトウェア、センサやアクチュエータのためのアナログとミクスツグナルの設計技術。また SIP、MEMS、バイオテクノロジーとデジタル回路の同時設計(co-design)や同時シミュレーション(co-simulation)を行うための新しい方法やツール。
- 機能的多様化を可能にするための設計技術の必要性に注力すること

Beyond CMOS: 新探究デバイス(ERD:Emerging Research Devices)と新探究材料(ERM: Emerging Research Materials)の両ワーキンググループは情報処理を行うための「新しいスイッチ」に注目している。典型的には、新しい状態変数を利用することにより、限界まで微細化した CMOS を超えて機能的に実質的微細化を実現しようとするものである。ここで、「CMOS を超えた(“Beyond CMOS”)の実質的微細化」は、機能的集積密度、性能向上、劇的に消費電力削減などの観点から定義される。「新しいスイッチ」は情報処理のための素子または技術であって、データの蓄積、記憶、素子間の接続の機能とともに利用できるものをさす。

- Beyond CMOS の例としては、以下のものを含む: 炭素をベースにした(カーボンナノチューブやグラフェンを使った)ナノエレクトロニクス、スピン素子、強磁性体ロジック、原子スイッチ NEMS (Nano-Electro-Mechanical-Systems)

主要市場の特性 (CHARACTERISTICS OF MAJOR MARKETS)

技術サイクルタイム期間 (Technology Cycle Time Period): 製品のスケールを1期間で0.71倍にするか、2期間で0.50倍にするタイミングを言う。カスタム化されたパターン配置の(即ち千鳥配置のコンタクト/ビアを伴う)配線の最小ハーフピッチが、高密度(単位機能当たりで低コストな)DRAMとMPU/ASIC集積回路の製造を可能にするプロセス能力を最も良く代表するため、ITRSの技術サイクルの定義に選ばれた。FLASH製品技術サイクル・タイミングはコンタクトが無い高密度ポリラインのハーフピッチで定義されている。各製品特有の技術サイクル・タイミングには、何の製品であれ、メタルかポリシリコンのハーフピッチの中で、最小の値を採用する。歴史的に、DRAMはメタルピッチでリードしてきたが、将来は他の製品が代わる可能性もある。

IC技術の特徴付けるために他のスケールリングのパラメータも重要である。DRAM技術では、最小の経済的なチップ寸法に要求される一層目の千鳥コンタクト有り高密度配線のハーフピッチが代表である。しかし、マイクロプロセッサ(MPU)などのロジックについては、物理ゲート最下部の孤立長さが最高性能に必要な最先端技術レベルの最も代表的なものであり、リソで描画後更にエッチングして最も小さいパターン目標を達成している。MPUやASICロジックの配線ハーフピッチプロセス要求は、通常千鳥コンタクトがあるメタル層(M1)を指しており、DRAMの千鳥コンタクト有りM1ハーフピッチより僅かに遅れている。最小ハーフピッチは通常チップのメモリ・セルの領域に見出される。各技術サイクル時間(1つのサイクル期間で0.71倍、2つのサイクル期間で0.50倍の縮小)ステップは重要な技術の、装置や材料の進歩の創造を、千鳥コンタクトありメタルハーフピッチ(DRAM, MPU/ASIC)あるいは、コンタクト無のポリシリコン(FLASH製品)であらわしている。

すでに定義されているように、「等価的微細化」をもたらすプロセス技術を付加と、トランジスタのゲート寸法の微細化を組み合わせることが可能で、デバイスの性能や消費電力の管理特性を更に進歩させることができる。「等価的微細化」は個々の企業が特定の製品製造工場の範囲内で、種々の組み合わせを行うこともできる。最新のITRSのTWG(技術ワーキンググループ)の調査によると、寸法の微細化(ゲート長とゲート材料の厚さの両方)は鈍化しているが、「等価的微細化」をもたらすプロセス技術を付け加えて、うまく両者をトレードオフすることにより、消費電力管理と性能の要求を満たす例が見られる。

「等価的微細化」をもたらすプロセス技術とデバイス設計の例(必ずしも理解しやすい例ではないし、網羅的でもない)には以下のようなものがある: Cu配線、低誘電率(low-K)層間絶縁膜の材料、歪シリコン、高

誘電率 (high-K) ゲート絶縁膜と金属ゲート電極、SOI 基板上の完全空乏形トランジスタ (FDSOI: Fully Depleted Silicon-On-Insulator)、複数ゲートを持つ 3 次元構造のトランジスタ、III V 族のチャンネル材料【訳者注: 原文では III V 族のゲート材料となっているが、チャンネル材料として使うのが効果的】、など

「等価的微細化」のためのプロセス技術が入手可能になる時期、導入される時期は、寸法の微細化サイクルの場合と比べて、規則的ではないことに注意されたい。さらなる技術的な記述と時期の詳細については、配線 (Interconnect) の章と PIDS (Process Integration and Device Structures) の章を参照されたい。

機能あたりコスト製造生産性改善の原動力 (Cost-per-Function Manufacturing Productivity Improvement Driver): 1 チップあたりの機能を 2 年ごとに 2 倍にするというムーアの法則の原動力に加え、この「法則 (law)」の歴史に基づいた「系 (corollary)」が存在する。それは、値ごろな価格を実現し競争力を持つためには、製造生産性の改善は、機能あたりのコスト (ビットまたはトランジスタあたりマイクロセント (microcent)) は年率 29% で削減をしなければならないということである。歴史的には、機能が 2 年ごとに 2 倍になると、機能あたりのコストは 2 年ごとに半分しなければならない (平均すると年率 29% の削減)。したがって、平均すると、1 チップ (1 パッケージ) あたりのコストは、値ごろな価格を実現するためには、ほぼ一定でなければならない。これは、チップコストの目標もパッケージングのコスト目標も一定にとどまることを意味する。もし機能が 3 年ごとに 2 倍になる場合は、機能あたりのコストのペースが遅れて 3 年で半分になる場合 (平均して年率 21% の削減) に、1 チップ (1 パッケージ) あたりのコストが一定にとどまる。この単純な製造コストの値ごろ価格 (affordability) のモデルは ITRS の一次的原動力として使われているが、これは、経済の需要供給市場の現実の外部市場環境の複雑さを考慮に入れていないことにも注意されたい。

手ごろな値段の実装されたユニットのコスト/機能 (Affordable Packaged Unit Cost/Function): テストされパッケージに組み込まれたチップのコストを、チップ当りの機能で割り算し、マイクロセントで表した最終コスト。手ごろなコストは、手ごろな販売価格 [特定の製品世代の年間総収入を年間ユニット出荷高で割る] から荒利マージン (DRAM には約 35%、MPU には約 60%) を引き算するという歴史的な傾向により計算される。機能あたりの手ごろな値段は、将来市場の「トップダウン」型ニーズのガイドラインであり、このように、チップ寸法および機能密度とは独立に作成される。値段が手ごろであることの要件は、1) 技術改善と設計改善による密度の増加とチップ寸法の小型化、2) ウェーハ直径の拡大、3) 設備所有コストの削減、4) 設備全体における設備有効性の向上、5) パッケージ・コストおよびテスト・コストの削減、6) 設計ツール生産性の向上、7) 製品アーキテクチャおよびインテグレーションの改善、を組み合わせで達成されることが期待される。

DRAM と FLASH 世代 (製品世代ライフサイクルの中で) (DRAM and Flash Generation at (product generation life-cycle level)): ある年、ある製造技術能力、あるライフサイクル成熟度 (学会レベル、試作レベル、量産レベル、量産増大レベル、量産ピーク) で導入された DRAM と FLASH 製品世代の予想チップ当たりビット数。

Flash Single-Level Cell (SLC): フラッシュ不揮発性メモリでセル領域に 1 物理ビットの記憶だけを行うもの。

Flash Multi-Level Cell (MLC): 同じ物理的領域に 2 ビットから 4 ビットのデータを電氣的に蓄え、読み出すことが出来る。

MPU 世代 (製品世代ライフサイクルの中で) (MPU Generation at (product generation life-cycle level)): ある年、ある製造技術能力、あるライフサイクル成熟度 (学会レベル、導入レベル、量産レベル、量産増大レベル、量産ピーク) で導入されたマイクロプロセッサの製品世代機能 (ロジックと SRAM を含む) に関する汎用プロセッサ世代の区分。

コスト重視 MPU (Cost-Performance MPU): チップ上の SRAM レベル 2 とレベル 3 (L2 と L3) キャッシュの量を制限して最高性能と最低コストへの最適化を図った MPU 製品。ロジック機能および L2 キャッシュは一般的に 2 年から 3 年技術サイクル (サイクル期間毎 0.71 倍) 世代ごとに倍増する。

高性能MPU⁵ (High-performance MPU)： 単一または複数CPUコアと大容量のレベル 2 とレベル 3 (L2 と L3) SRAMの組合せで、最高システム性能への最適化を図ったMPU製品。チップ上のCPUコアと付属メモリの倍増により、ロジック機能およびL2 キャッシュが一般的に 2 年から 3 年技術サイクル(サイクル期間で 0.71 倍)世代ごとに倍増する。最近、MPU製品にみられる典型的な傾向は、1 世代内ではコアの数を一定とし、1 コア内のトランジスタ数を倍増させるというものである。最新のITRSのORTCモデルでは、この傾向を表の目標値に反映させている。

代間製品 (Product inTER-generation)： 手ごろなチップ寸法でチップ上の機能を定期的に倍増させようとする世代間製品目標。ムーアの法則(2×/2 年)を維持しつつ経済性成熟度(定チップ寸法およびユニットあたり製造コスト一定)を確保するように、目標を設定する。この 2 年ごとの定コストでの倍増は、機能あたりのコスト削減レート(逆生産性改善)が年間 29% (歴史的な目標削減割合)となることを保証する。2 年ごとにチップ上の機能を倍増するため、技術・サイクルのスケール(0.7×長さ、0.5×面積)が 3 年ごとの場合は、チップ寸法は増加せざるを得ない。

2005 年版 ITRS コンセンサス目標は、DRAM の増加レートについて 2 年ごとに 2×/チップから平均で 3 年ごとに 2×/チップになった。歴史的に DRAM セルの設計者は要求されたセル・エリヤ・ファクタ改善を果たして来たが、このゆっくりしたビット/チップの成長は現在でも続いている。ITRS の最新の合意では、セル・エリヤ・ファクタが、2010 年までに 4 とするが、以降改善されない。現在では、MPUトランジスタのエリヤはリソグラフィによる削減率でしか縮小していない(事実上、設計関連改善ゼロ)。従って、ロードマップ期間を通して、最大の面積の導入チップ、値段が手ごろな量産チップで一定チップ寸法を維持するために、最新の ITRS MPU 世代間機能モデルの目標は技術サイクル時間ごとに 2×トランジスタ/チップである。

世代内製品 (Product inTRA-generation)： ある一定の機能/チップ製品世代内のチップ寸法シュリンク傾向。2003 年版 ITRS コンセンサス・ベース・モデルの目標は、ロードマップ期間の全時点で利用可能な最新の製造/設計技術を使用して、チップ寸法を縮小する(シュリンクと「カットダウン」により)ことである。世代内の DRAM および MPU チップ寸法縮小の ITRS 目標は 0.71 倍の技術サイクル・タイミングで 1 世代当り 50% である。

デモンストレーションの年 (Year of Demonstration)： 設計そして/または技術・ノードの処理実行可能性ならびに巧みさを明らかにするため、先行チップ・メーカが製品の動作サンプルを供給する年。代表的なデモンストレーション会場は米国電気電子学会(IEEE、Institute of Electrical and Electronics Engineers)主催の国際固体回路会議(ISSCC、International Solid State Circuits Conference)などの主要な半導体産業の学会である。一般的に、デモンストレーション・サンプルは、開発初期レベルまたはデモンストレーション・レベルの製造ツールおよびプロセスで製造される。今まで、DRAM 製品は、実際の市場導入より一般的に 2~3 年先立って、先端プロセス・技術・ノードで 3 年から 4 年ごとに 4×ビット/チップの割合で示される。DRAM デモンストレーション・チップ寸法は 6 年から 8 年ごとに倍増しており、市場への導入が経済的に実行可能になる前に多数の縮小と遅延が必要となる。チップ寸法がリソグラフィ設備使用可能な露光領域よりも大きくなることが頻繁に起こり、極少量の研究サンプルでしか実行出来ない複数回露光手法により、「繋ぎ合わせ」なければならない。

例：1997 年/ISSCC/1Gb DRAM、対 ITRS 1Gb 1999 年導入レベル、2005 年生産レベル目標

導入の年 (Year of INTRODUCTION)： 先行チップ・メーカが少量(典型的には 1000 個以下)のエンジニアリング・サンプルを供給する年。サンプルは認定された生産設備とプロセスで生産され、早期評価のために主な顧客に提供される。製品を追加の設計ファクタの改善でチップの縮小や機能の追加が可能となるが、この改善が無い限り、タイムリーな市場への参入と経済的な生産をバランスさせるために、技術サイクル毎

⁵ 2007 年のMPUモデルは設計TWGによって改訂され、2 技術サイクルごとにコア数を2倍にするが、機能と密度がについては変更がなく、1 コアあたりのトランジスタ数は 2 倍になるとした。設計TWGはMPUモデルについてのこのアプローチは現在の設計トレンドをより良く反映したものであると考えていた。

(サイクル期間で 0.71 倍)に 2×機能/チップの割合で導入していく。更に、チップ寸法のシュリンクまたは「カットダウン」のレベルが達成されるまで、メーカは生産を遅らせる。これが世代間チップ寸法の成長を一定にしている。

生産の年 (Year of PRODUCTION): 先導チップ・メーカが顧客の製品で認定された*生産設備とプロセスで生産した製品の大量出荷(当初は月産 1 万個またはそれ以上、チップサイズとウェーハ世代の寸法によって異なる)を開始し、第 2 のメーカが 3 ヶ月以内に追従した年。(*注:実際の量産立ち上げは 1 ヶ月から 12 ヶ月の間で顧客製品認定の期間によって変わる。)先端的な性能を備え縮小(シュリンク)した新製品への需要が増すにつれ、生産装置技術とプロセス技術は製造能力の急速な拡充のために複数の装置モジュールへ「コピー」されていく。

高需要製品については、一般的に量産立ち上げから工場計画能力まで持つて行くのに 12 ヶ月以内で可能となる。一般的に量産立ち上げより 24-36 ヶ月先立って、アルファ・レベル製造設備および技術に関する研究論文が提供される。ベータ・レベル設備は、一般的に立ち上げより 12-24 ヶ月先立って、半導体業界会議への提出論文とともに提供される。ベータ・レベル設備はパイロット・ライン工場で生産レベルにされるが、完全な顧客製品認定を可能とするために量産立ち上げ「タイム・ゼロ」(エグゼクティブ・サマリーの図 2a 参照)の 12-24 ヶ月前には完了しなければならない。パイロット・ライン工場は、大量生産立ち上げ前の顧客によるサンプルと早期認定用にしばしば使用される製品を少量生産することも可能である。中規模生産レベルの DRAM が、小規模生産レベルの DRAM と同時に生産段階に入り、そして、縮小された前世代の DRAM も同時に大量生産されている(例:2003 年: 0.5Gb/生産、4G/導入、加えるに 256Mb/128Mb/64Mb 大量生産)。同様に、大量生産のコスト重視型 MPU が少量生産の大チップ高性能 MPU と同時に生産段階に入り、そして、縮小(シュリンク)された前世代 MPU も同時に大量生産されている。

機能/チップ (Functions/Chip): 利用可能な技術レベルで、単一モノリシック・チップ(single monolithic chip)上に低コストで製造できるビットの数(DRAM)またはロジック・トランジスタの数(MPU/ASIC)。ロジック機能(チップあたりのトランジスタ数)は SRAM およびゲート機能ロジック・トランジスタ数の双方を含む。DRAM 機能(チップあたりのビット数)は単一モノリシック・チップ上のビット数(冗長後)だけに基づく。

チップ寸法(mm²) (Chip Size): 利用可能な最良な先端の設計および製造プロセスに基づき、ある年に経済的に見合ったやり方で製造できるモノリシック・メモリおよびロジック・チップの代表的な面積。(データの歴史的な傾向とITRSのコンセンサスに基づいて、推定値を予測)

機能/cm² (Functions/cm²): 所与の面積(square centimeter)での機能密度 = チップ寸法で割った単一モノリシック・チップ上の機能。パッド・エリアおよびウェーハ・スクライブ・エリアを含む、チップ上の全機能に関する密度の平均値である。DRAMの場合、高密度セル・アレイおよび低密度周辺ドライブ回路の平均値を含む。MPU製品の場合、高密度SRAMおよび低密度ランダム・ロジックの平均値を含む。ASICの場合、高密度内蔵メモリ・アレイを含み、低密度アレイ・ロジック・ゲートおよび機能コア高密度内蔵メモリ・アレイで平均する。2009 年版ITRSでは、一般的な高性能ASIC (hpASIC) 設計の平均密度は、殆どSRAMトランジスタである高性能MPUと同じであると予想されている。

DRAM セル・アレイ・エリア(面積)・パーセンテージ (DRAM Cell Array Area Percentage): 世代ライフサイクルの様々な段階でセル・アレイが占有できるトータル DRAM チップ・エリア(面積)の実用的な最大パーセンテージ。周辺回路、パッド、ウェーハ・スクライブ・エリア用スペース確保のため、導入チップ寸法目標では、このパーセンテージが一般的に 74%未満である。パッドおよびスクライブ・エリアは、リソグラフィでスケールリングしないので、他の世代内シュリンク・レベルでは最大アレイ・エリア・パーセンテージが減少する(一般的に、量産レベルでは 56%未満、前世代の小さいシュリンクしたダイの大量生産立ち上げレベルも同様)。

DRAMセル・エリア(μm²) (DRAM Cell Area): 指定ITRSコンセンサスのセル・エリア・ファクタ(A)×最小ハーフピッチ(f)像寸法の二乗で表した、DRAMメモリ・ビット・セル占有エリア(面積)(C)。即ち、 $C = Af^2$ 。チップ寸法を計算するには、セル・エリアをアレイ効率で割り算しなければならない。アレイ効率-係数(E)は過

去のDRAMチップ解析データから統計的に求める。このように、平均セル・エリヤ(C_{AVE})は計算可能であり、これにはドライバ、I/O、バス・ライン、パッド・エリヤなどのオーバヘッドが含まれている。計算式は $C_{AVE} = C/E$ となる。

それから、(ビット/チップの全数 $\times C_{AVE}$)でトータルのチップ・エリヤが計算できる。

例：2000：A=8；ハーフピッチの二乗、 $f^2 = (180\text{ nm})^2 = .032\text{ }\mu\text{m}^2$ ；セル・エリヤ、 $C = Af^2 = 0.26\text{ }\mu\text{m}^2$ ；1Gb 導入レベルDRAMについてセル効率がトータル・チップ・エリヤの 74% ($E=74\%$)、 $C_{AVE} = C/E = 0.35\text{ }\mu\text{m}^2$ ；従って、1Gbチップ寸法エリヤ $= 2^{30}$ ビット $\times 0.35\text{e-}6\text{ mm}^2/\text{ビット} = 376\text{ mm}^2$

DRAM セル・エリヤ・ファクタ (DRAM Cell Area Factor)： 数値(A)、これをハーフピッチ(f)の二乗に掛けることで DRAM セル・エリヤ(面積)(C)を表す。一般的に、セル・ファクタはセルが占めるハーフピッチ単位の縦・横単位数の掛け算で表される。(2 $\times$ 4=8、2 $\times$ 3=6、2 $\times$ 2=4、など)

FLASH セル・エリヤ・ファクタ (Flash Cell Area Factor)： DRAM と同じ single-level cell(SLC)のエリヤ・ファクタ。しかし、Flash 技術は同じセル領域に 2 ビットから 4 ビットを蓄え電氣的に読み出すことが出来き、multi-level-cell (MLC) 「仮想」ビット寸法、これは SLC の製品セル寸法の半分から 4 分の 1 で SLC Flash 製品の半分から 4 分の 1 の仮想エリヤ・ファクタも持つことになる。

SRAM セル・エリヤ・ファクタ (SRAM Cell Area Factor)： DRAM セル・エリヤ・ファクタと同じだが、6トランジスタ (6t) ロジック-技術・ラッチ型メモリ・セルだけに適用する。数値は、技術・ノード・ハーフピッチ(f)の二乗に掛け合わせることで SRAM 6トランジスタ・セル・エリヤ(面積)を表す。一般的に、SRAM 6t セルのセル・ファクタは DRAM メモリ・セル・エリヤ・ファクタより 10～15 倍大きい。

ロジック・ゲート・セル・エリヤ・ファクタ (Logic Gate Cell Area Factor)： DRAM および SRAM セル・エリヤ・ファクタと同じだが、一般的な 4トランジスタ (4t) ロジック・ゲートだけに適用する。数値は、技術・ノード・ハーフピッチ(f)の二乗に掛け合わせることでロジック 4t ゲート・エリヤ(面積)を表す。一般的に、ロジック 4t ゲートのセル・ファクタは SRAM 6t セルエリヤ・ファクタより 2～3 倍大きく、DRAM メモリ・セル・エリヤ・ファクタより 30～40 倍大きい。

使用可能なトランジスタ数/cm² (高性能ASIC, 自動レイアウト) (Usable Transistors/cm² (High-performance ASIC, Auto Layout))： 少量生産される高差別化アプリケーション向けの、自動レイアウトで設計したトランジスタ数/cm²の数値。高性能、リーディングエッジ、アレイ内臓(エンベ)ASICはオンチップ・アレイ・ロジック・セルならびに高密度機能セル(MPU、I/O、SRAMなど)を含む。密度計算は、高密度機能セルの全トランジスタに加えて、アレイ・ロジック・セルにおける接続した(使用可能な)トランジスタも含む。最大高性能ASICの設計は利用可能な生産リソグラフィ露光領域全て占める。

チップおよびパッケージ物理属性と電氣的な属性 (CHIP AND PACKAGE—PHYSICAL AND ELECTRICAL ATTRIBUTES)

チップ I/O の数—トータル(アレイ)パッド (Number of Chip I/Os—Total (Array) Pads)： 「チップ信号 I/O パッド」 + 「機能またはテスト用としてパッケージ・プレーンに常時接続した、または(信号条件を整えるものを含む)電源/接地コンタクトを提供する、電源パッドおよび接地パッド」の最大数。これには、全ての直接チップ・ツウ・チップ配線またはボードへの直接チップ取付接続を含む(全ての配線プレーン、リードフレーム、またはパッケージ内の他の配線技術、即ち、チップ上またはボード上に存在しない全ての配線として、パッケージ・プレーンを定義する)。信号 I/O パッド対接地パッドは、MPU が一般的に 1:2 の比率であるが、高性能 ASIC では一般的に 1:1 の比率である。

チップ I/O の数—トータル(周辺)パッド (Number of Chip I/Os—Total (Peripheral) Pads)： 「チップ信号 I/O パッド」 + 「チップのエッジ周りだけコンタクトによる製品向けの電源パッドおよび接地パッド」の最大数。

パッド・ピッチ (Pad Pitch)： 周辺エッジまたはチップを横切るパッド・アレイにて、パッド間の中心から中心までの距離。

パッケージのピン/ボールの数 (Number of Package Pins/Balls)： パッケージにある、ボード接続用のピン、または、はんだボールの数(この数は、パッケージ・プレーン上の内部電源/接地プレーンまたはパッケージあたりの複数チップにより、チップ・ツウ・パッケージ・パッドの数よりも少ないことがある)。

パッケージ・コスト(コスト重視) (Package Cost (Cost-performance))： セント/ピンで表した、パッケージ包装および外部 I/O 接続(ピン・ボール)のコスト

チップ周波数 (MHz) (CHIP FREQUENCY)

オンチップ、ローカル・クロック、高性能 (On-Chip, Local Clock, High-performance)： チップのローカル化した部分における、高性能少量生産型マイクロプロセッサのオンチップ周波数。

チップ・ツウ・ボード(オフチップ)速度(高性能、周辺バス) (Chip-To-Board (Off-chip) Speed (High-performance, Peripheral Buses))： 大量および少量生産型ロジック・デバイスのボード周辺バスへの、最高信号 I/O 周波数。

他の属性 (OTHER ATTRIBUTES)

リソグラフィ・フィールド寸法(mm²) (Lithographic Field Size)： ある技術ノードでのリソグラフィ装置のシングルステップ露光領域またはステップ走査露光領域。仕様は、ある技術ノードについて半導体メーカが指定する可能性がある最低仕様値を表す。最大フィールド寸法はORTC目標値よりも大きな値で指定されることがあり、最終露光領域は露光幅と走査長の様々な組合せで達成できる。

配線層数の最大数 (Maximum Number of Wiring Levels)： ローカル配線、ローカルおよびグローバルなルーチング、電源および接地接続、クロック分布などを含む、チップ上の配線層数。

製造の属性と方式 (FABRICATION ATTRIBUTES AND METHODS)

電氣的なD₀欠陥密度(dm⁻²) (Electrical D₀ Defect Density)： 与えられた技術ノード、製品ライフサイクル年、目標プローブ歩留における、平方メートルあたりの電氣的に意味のある欠陥の数。

最小マスク数 (Minimum Mask Count)： 最大配線層数にて成熟生産しているプロセス・フローにおける、マスク層の数(ロジック)。

最大基板直径 (MM) (MAXIMUM SUBSTRATE DIAMETER)

バルクまたはエピタキシャルまたはSOIウェーハ (Bulk or Epitaxial or Silicon-on-Insulator Wafer)： 主流 IC サプライヤが大量に使用するシリコン・ウェーハの直径。ファクトリ・インテグレーション ITWG 提供の ITRS タイミング目標は、最初に製造用として認定された開発用製造施設に基づいている。さらに 2009 年に IRC によって、450mm ウェーハの処理がコンソーシアによる初期のパイロットライン設備が準備可能になる時期と、予想される生産準備完了と生産立ち上げ時期の区別が明確化され、ITRS に追加された。

電氣的な設計とテストの数値 (ELECTRICAL DESIGN AND TEST METRICS)

電源電圧(V) (POWER SUPPLY VOLTAGE)

最低ロジック V_{dd} (Minimum Logic V_{dd}): 設計要求条件での動作に関する、電源からのチップ公称使用電圧。

ヒートシンクを備えた高性能の最大電力(W) (Maximum Power High-performance with Heat Sink): 外部ヒートシンクを備えた高性能チップで放散される最大トータル電力。

電池動作時の消費電力(W) (Battery): 電池作動型チップで放散される最大トータル電力/チップ。

設計およびテスト (DESIGN AND TEST)

量産用テストのコスト/ピン(\$K/ピン) (Volume Tester Cost/Pin): 量産適用において、機能(チップ分類など)テスト・コストをパッケージ・ピン数で割った値。