INTERNATIONAL

TECHNOLOGY ROADMAP

FOR

SEMICONDUCTORS

2009 EDITION

TEST AND TEST EQUIPMENT

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2009 Edition(国際半導体技術ロードマップ 2009 年版)本文の全訳である。

国際半導体技術ロードマップ（以下 ITRS と表記）は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会（STRJ）が電子情報技術産業協会（JEITA）内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 14 のワーキンググループ（WG: Working Group）が組織され、半導体集積回路メーカ、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソーシアなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2009 年版は英文で約 1000 ページの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版（英語の原書）までは、ウェブ公開とともに、印刷された本としても出版していたが、ITRS 2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要が限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。ITRS 2009 年版の作成にあたっては、当初から電子媒体で ITRS を公開することを前提に編集を進めた。ITRS の表は原則として、Microsoft Excel のファイルとして作成し、そのまま公開することにした。

ITRS は英語で書かれている。日本語訳の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くの専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字、脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただけますよう、お願い申し上げます。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞（Acknowledgments）に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出せず、原文のままの表記とした。原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ（ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記）」「国際半導体技術ロードマップ（International Technology Roadmap for Semiconductors）」のように和訳の後に()内に原語やそれに対応する略語を表示した。Executive Summary の用語集（Glossary）も参照されたい。原文の括弧()があってそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注：この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意訳している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただけば幸いである。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 STRJ 事務局の古川昇さん、関口美奈さんに大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2010年5月
訳者一同を代表して
電子情報技術産業協会（JEITA）半導体部会　半導体技術ロードマップ専門委員会（STRJ）　委員長
石内　秀美　（株式会社　東芝）

版権について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2009 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • 2706 Montopolis Drive • Austin, Texas 78741 • 512.356.7687 • http://public.itrs.net
Japanese translation by the JEITA, Japan Electronics and Information Technology Industries Association under the license of the Semiconductor Industry Association

－引用する場合の注意－

原文(英語版)から引用する場合：　ITRS 2009 Edition page XX, Figure(Table) YY
この日本語訳から引用する場合：　ITRS 2009 Edition （JEITA 訳） XX 頁,図(表)YY
と明記してください。

問合せ先：
社団法人　電子情報技術産業協会
半導体技術ロードマップ専門委員会　事務局
Tel: 03-5218-1068　mailto: *roadmap@jeita.or.jp*

TABLE OF CONTENTS

2009 年版の紹介とスコープ 1
主要なドライバ、困難な技術課題（Difficult Challenges）、および将来の可能性 1
主要なドライバ 4
困難な技術課題（優先順） 7
将来の可能性 10
テストと歩留り習熟 11
電気的テストベース故障診断 11
故障解析 13
テストコストに注目したトピックス 14
ベースコストのトレンド 16
チャネルコストのトレンド 17
電源コストのトレンド 17
インタフェースコストのトレンド 17
同時測定のトレンド 17
その他のコストトレンド 18
重要な関心領域 19
アダプティブテスト 19
アダプティブテストの定義 20
プロセスばらつき - テストへの影響 21
今後 5～10 年のアダプティブテストの方向 23
アダプティブテストを構築するブロック 23
テスト技術への要求 25
導入部 25
システム集積－SoCとSiPのテスト上の課題とその意味するところ 26
ロジックコアに対する要求課題 26
メモリコアに対する要求課題 29
SiPのテストおよび装置に関する課題 30
後工程のダイの品質への影響 32
ロジック 32
高速I/O インタフェース 35
Memory 40
アナログとミックスドシグナルテスト 42
RF（Radio Frequency：無線周波数） 43
信頼性技術の要求 44
バーンインの要求 46
テストハンドラの要求 48
デバイスインタフェースの技術要求 49
プローブカード 50
テストソケット 55
特殊デバイス 57

List of Figures

Figure TST1 Test Cost Drivers 14
Figure TST2 Test Cell Cost / Unit versus Interface Cost Trend 16
Figure TST3 Importance of Multi-site Efficiency in Massive Parallel Test 18
Figure TST4 High-level diagram of Adaptive Test Flow 21
Figure TST5 Organization of Cores for System Integration and Applications 25
Figure TST6 Potential Solution for the Problem of the Test Data Increase 27
Figure TST7 Impact of Repeated Use of Same Cores 27
Figure TST8 Potential Solutions for Test Time Reduction 28
Figure TST9 High Speed Interface Trend 36
Figure TST10 High Speed I/O Jitter Test Accuracy Requirements Scaling with Frequency 39
Figure TST11 The Production Process with WLBI Compared with Package Burn-in 47
Figure TST12 Probing and Wirebond Contacting a Bond Pad 53
Figure TST13 Contactor Types 56
Figure TST14 Image Sensor Cell 58

LIST OF TABLES

Table TST1 Summary of Key Test Drivers, Challenges and Opportunities 3
Table TST2 Multi-site Test for Product Segments 18
Table TST3 "Stages" of Adaptive Test 21
Table TST4 Implications of Adaptive Test 24
Table TST5 System on Chip Test Requirements 28
Table TST6 Logic Test Requirements 34
Table TST7 Vector Multipliers 34
Table TST8 Memory Test Requirements 40
Table TST9 Mixed-signal Test Requirements 43
Table TST10 RF Test Requirements 44
Table TST11 Burn-In Test Requirements 46
Table TST12 Test Handler and Prober Difficult Challenges 49
Table TST13 Prober Requirements 49
Table TST14 Handler Requirements 49
Table TST15 Probing Difficult Challenges 52
Table TST16 Wafer Probe Technology Requirements 55
Table TST17 Test Socket Technology Requirements 57

LINK TO 2009 TABLES:FOCUS A EXCEL FILE THAT INCLUDES ALL TEST AND TEST EQUIPMENT TABLES

テストとテスト装置

2009 年版の紹介とスコープ

2009 年版のテストロードマップは多くのテーブルに重要な変更を含んでいる、すなわち、アダプティブテストの新しい節と 3D のシリコンデバイスに関する議論を含み、特殊デバイスの節に関して加速度センサを追加した。テストコストに関する調査が 2009 年に完了し、結果はテストに着目したトピックスの節に含められた。高速インタフェースの節は大きく更新された。本章の他の節は小変更にとどまった。

アダプティブテストは総合的な生産テストのコストを削減し、かつ生産歩留りを向上させる手法として用いられてきた。テスト章は、アダプティブテストの概念、課題、エンジニアリングと工場の手法に対するインパクト、IT インフラの要求、およびいくつかの適用事例にひとつの節全体をあてがった。

3D（3 次元）シリコンデバイスが 2009 年版の主要なドライバに加えられた。3D デバイスの概念は、デバイスのコストとパフォーマンスを最適化するため、TSV（シリコン貫通ビア）で複数のダイを接続して設計された、ひとつのデザインである。ひとつのチップに非常に複雑なシステムを集積する SoC 手法は、その要求に対応するために多くのマスク層が必要とされる。3D の概念により、各ダイについてはプロセスの最適化（ロジック、DRAM、不揮発性メモリ、アナログ等）が可能になるが、設計やテストは複雑になる。

テスト並列度のテーブルは、2005 年に新しいデバイス分類が追加されて以来、議論の俎上にあるが、典型的なファンクションピン数の仮定が補足に追加された。しかし、多くのデバイスがピン数削減のインタフェースを使用して、ウェーハプローブのテストを行っているけれども、テーブルに可能なすべての並列度を記載することは出来なかった。

SoC テーブルは最新のトレンドを反映するために更新され、節の記述も適切に変更された。ORTC テーブルにおける 2009 年の MPU とコンシューマのトランジスタ数の変更のインパクトを反映するため、ロジックテーブルでは計算式ベースの変更をおこなった。またメモリも 2009 年の ORTC 集積度ロードマップに従って変更された。

RF テーブルで搬送波の周波数範囲は、汎用と特殊無線通信に分類された。また、UWB 等の技術に要求される変調周波数帯の急激な増加は遅れることなく進んだ。テーブルの残りの部分は、数字の小変更とセルの色変更を行っている。

プローバ、プローブカード、ハンドラとテストソケットのテーブルは大幅な変更を行った。プローバのテーブルは殆ど全面書き直しを行ったので、変更の要約は簡単ではない。プローブカードは、特殊な LCD ドライバの要求の節を反映し、これらのデバイステストの固有の変更を明らかにしている。ハンドラは高電力（>10W）デバイス要求を、中位の高電力範囲（10-50W）と高電力範囲（>50W）に分けた。テストソケットはブレードラバーコンタクトをカバーするようにした。またソケットの自己インダクタンスが、6GHz を適切にサポートするには、0.3nH 以下に低減する必要があること、また 20GHz 信号のサポートには 0.1nH 以下が必要なことも含めた。

テストパターン数の増加係数、ミックスドシグナル、バーンインおよびプローブの困難な技術課題のテーブルは、変更がないか、セルの色の変更や小さな数字変更のみであった。

この文書は、謝辞に注釈したように、企業の広い分野に跨って代表する非常に多くの参加者の多大な寄与によっている。

主要なドライバ、困難な技術課題（DIFFICULT CHALLENGES）、および将来の可能性

2005 年版の ITRS テスト章から始まり、困難な技術課題の節を主要なドライバと困難な技術課題に分離し、将来の可能性の節を加えることで、テスト章の重要な節は再編された。主要なドライバは、来るべき半導体部品の生産テストの解決策の範囲の境界条件を決めるものであるが、この分離により主要な技術とビジネス課題に分けられた。高いレベルから言えば、これらの境界条件は、実際にテスト工程の期待や要求さえも表現

するのに対して、課題のほうは、現在やこれから起きる主要な障害物、戦略的な変曲点、あるいは将来の機会を表す。主要なドライバは本章の多くの概念やテーブル値を決定する。困難な技術課題は、半導体ロードマップにコスト的かつ効果的に対応するために必要な、更に開発され理解されねばならない領域を定義する。

多くの年月の間、半導体テストの役割は「欠陥のスクリーニング」と、また、より少ない範囲や特定のビジネス区分では「速度選別」や「速度分類」として表現されてきた。最も重要なテスト課題のいくつかが、現在、製造テストのより微妙で歴史的な使命－信頼性と歩留り習熟－に実際に重点を置いていることは注目に値する。またこれらの課題の影響が、製造テスト工程のみならず、将来のプロセスとコスト的に有利な製品の歩調を合わせたり、タイムリーにそれらを提供したりという意味において半導体のビジネス全体に重要な、顧客の信頼性に対する期待に及んでいることは留意すべきである。

困難な技術課題の節の中で、これらの課題は認知されている重要度や優先度の順に記載されている。例えば、歩留り習熟のためのテストには信頼性のためのスクリーニングが後に続くし、次にはシステマティックな欠陥が続いている。対象的に、主要なドライバは、それらは半導体テストの解決法が満たすべき全ての境界条件や要求であるので、記載順に特別な意図はない。TST1 テーブルは全ての主要なテストのドライバ、課題、および可能性を要約している。

Table TST1　Summary of Key Test Drivers, Challenges and Opportunities

Key Drivers (not in any particular order)	
Device trends	*Increasing device interface bandwidth (# of signals and data rates)*
	Increasing device integration (SoC, SiP, MCP, 3D packaging)
	Integration of emerging and non-digital CMOS technologies
	Complex package electrical and mechanical characteristics
	Device characteristics beyond one sided stimulus/response model
	3 Dimensional silicon - multi-die and Multi-layer
	Multiple I/O types and power supplies on same device
Increasing test process complexity	*Device customization during the test process*
	"Distributed test" to maintain cost scaling
	Feedback data for tuning manufacturing
	Dynamic test flows via "Adaptive Test"
	Higher order dimensionality of test conditions
Continued economic scaling of test	*Physical limits of test parallelism*
	Managing (logic) test data and feedback data volume
	Defining an effective limit for performance difference for HVM ATE versus DUT
	Managing interface hardware and (test) socket costs
	Trade-off between the cost of test and the cost of quality
	Multiple insertions due to system test and BIST
Difficult Challenges (in order of priority)	
Test for yield learning	*Critically essential for fab process and device learning below optical device dimensions*
Detecting Systemic Defects	*Testing for local non-uniformities, not just hard defects*
	Detecting symptoms and effects of line width variations, finite dopant distributions, systemic process defects
Screening for reliability	*Implementation challenges and efficacies of burn-in, IDDQ, and Vstress*
	Erratic, non deterministic, and intermittent device behavior
Potential yield losses	*Tester inaccuracies (timing, voltage, current, temperature control, etc)*
	Over testing (e.g., delay faults on non-functional paths)
	Mechanical damage during the testing process
	Defects in test-only circuitry or spec failures in a test mode e.g., BIST, power, noise
	Some IDDQ-only failures
	Faulty repairs of normally repairable circuits
	Decisions made on overly aggressive statistical post-processing
Future Opportunities (not in any order)	
Test program automation (not ATPG)	*Automation of generation of entire test programs for ATE*
Simulation and modeling	*Seamless Integration of simulation and modeling of test interface hardware and instrumentation into the device design process*
Convergence of test and system reliability solutions	*Re-use and fungibility of solutions between test (DFT), device, and system reliability (error detection, reporting, correction)*

ATE—automatic test equipment　ATPG—automatic test pattern generation　BIST—built-in self test　HVM—high volume manufacturing
MCP—multi-chip packaging　MEMS—micro-electromechanical systems

主要なドライバ

既に述べたように、テスト章における主要なドライバは、継続的なテストコストのスケーリングにおいて、半導体のテスト機能が動作し、なお満足できる部品の品質と信頼性を供給しなければならない境界条件であると考えられる。

デバイスのトレンド

- *デバイスインタフェースの帯域* — 2001 年版 ITRS ロードマップでは、問題の変化の方向は、(以前のトレンドと比較して)急激な部品の I/O 速度の増加に伴うシステム性能の向上に対応することを示していた。2003 年版では、テストワーキンググループは、2001 年版の予想ほどの急激なクロックスピードの増加はないものの、Gb/s インタフェースが半導体部品の市場区分(メモリ、CPU、チップセット、他)のより広い領域へ浸透することを記していた。設計のクロックスピードのロードマップは、アーキテクチャやトランジスタのスケーリングにより、2008 年版から始めたものより低い GHz 値になっている。高速シリアル I/O と差動 I/O のプロトコルは、速度上昇を続け、持続的なテストコストのスケーリングを維持するように DFT(Design for Testability) と量産(HVM:high volume manufacturing)テストプロセスにおける技術革新を求め続ける。
- *増加するデバイスの統合* — SoC (system-on-a-chip)と SiP (system-in-a-package) によるデバイスの統合が、多くのビジネス区分を通して行き渡っている。このデバイスの統合は、テストコストのスケーリングと製品の品質を維持するためのテスト解決策の再統合を強いる。単独の RAM、コア、その他のブロックのために最適化されたテスト解では、統合されたデバイスのテスト解に対する修正や、更なる DFT、新たな分割なしでは、線形にスケール拡大できない。とりわけ、ダイまたはパッケージにおいてさえも、埋込まれたブロックやコアにアクセスしてテストするために、更なる DFT が必要とされるかもしれないし、または量産テスト機器の更なる分配と再統合が必要とされるかもしれない。マルチダイパッケージングのための高品質ダイを供給する KGD (Known Good Die)の技術もまた、テスト技術とコストトレードオフの非常に重要で不可欠な部分となる。
- *新たな非デジタル CMOS 技術の統合* — ここしばらくの間、ミックスドシグナルデバイス回路がデジタル CMOS に統合されたダイの供給が増加しており、これが ATE(Automatic Test Equipment)、測定機器、テスト生産フロー統合の選択における主要な課題となっている。それはまた、DFT 革新のための新たな課題と機会を提示している。それはデジタルのロジックやメモリにおける DFT のようには普及していない。RF 回路の統合は、より根本的に異なる半導体デバイスタイプ、例えば、既に統合フォームのなかに姿を現している MEMS や、大規模 CMOS デジタルダイへの統合が間近に来ている光学系などと同様に高まりつつある。これまでの統合のタイプのように、これらのデバイスについてのテストの使命は、潜在的に埋込まれたブロックへのアクセスと、根本的に異なる複数のテスト手法をコスト効果のあるように製造プロセスへ統合することである。
- *パッケージ形状因子と電気機械的・熱的特性* — パッケージ形状による限界性能は内側と外側の両方の因子から要求を受けている。ハイエンドのマルチダイのための MCP や SiP におけるより複雑な形状因子があり、しかしまた、最も小さなプラットフォームの形状(例えばハンドヘルド)を目的としたシステムのためにスモールエンドに向けて推し進むチップスケールのパッケージングもある。さらに、熱の放射、拡散、あるいは電圧制御や消費電力管理などの機能をも含めたダイパッケージの多機能化が増加しているように見える。消費電力の増加に伴う主な関心事としては、形状因子からくる熱転送特性や熱均一性 (熱勾配係数ージャンクションと外気、ジャンクションとケース[theta-JA、theta-JC]、他)がテストプロセスにおいて更に重要となる。これら形状因子技術の限界性能の向上は、主要なテストサブシステムの改善と供給を必要とする。パッケージテストのハンドリング、接触抵抗低減技術、テストソケットがそれである(後に章の後半で初めて述べられる)。

- *片方向の入力応答モデルを超えるデバイス特性* — 半導体テストとテスタアーキテクチャおよび使用法の歴史は、決定論的なデバイスの挙動を基礎にして成り立っている。加えてデジタル CMOS のテストは、歴史的に、Vcc、温度、周波数などの環境トポロジーを簡略化することに基づいてきた。それ故、ワーストケース 1 条件で 1 回のみ行われるテストは、より広く連続的な範囲の環境トポロジーにおける性能を保証していた。これらのトポロジーが 2 つまたは 3 つの変数であれば、それらは制御可能であるし、量産テストのための特徴づけと最適化は大変容易である。しかしながら、多くのデバイス特性が、この 1 条件テストパラダイムの低次元性を危うくしている。量産の継続的なテストコスト削減を妨げるかもしれないのと同様に、テストの開発費（NRE）における非線形効果を脅かしている。拡張された自己救済・修正、組込みの可変多電源制御モードなどのデバイス機能は、デバイステスト条件の輪郭を、あらゆる面でとてつもなく複雑にする可能性がある。そのうえ、デバイスの設計、アーキテクチャ、挙動領域の点から、非決定論的な挙動（例えば、非同期ロジックアーキテクチャ、そして、欠陥耐性を持つデバイス）を示すデバイスが今後増加しそうである。そのような挙動においては、同様な条件下でのダイごとの（エンドユーザシステムの見地での）正しいデバイスの挙動は、時間／ベクタ同期の見地からは決定論的ではない。これらの挙動はエンドユーザとエンドシステムの見地が正しい限りは、同じ同期信号で供給された 1 と 0 からなるデジタルロジックの集合で、このような挙動を十分テストできる伝統的な量産テストの入力応答モデルを逸脱するであろう。これらのデバイスのアーキテクチャと挙動は、現在広く普及しているわけではないが、そう遠くない将来、半導体テストプロセスのための主要なパラダイムシフトまたは革新課題をもたらすだろう。

- *3 次元シリコンデバイス* ― TSVの進歩により、1 つの接続が 2um^{2}程度で可能となり、ダイ間の接続数は数十、数百個ではなく、数百万個レベルが可能となっている。その結果、複数のダイの領域に跨がったり、区分けしたりすることにより、コストパフォーマンスの優れたシステム設計が可能となっている。従来の単体のダイでは基板に多くの部品を実装する必要があるが、3 次元化により、基板上の多くの部品を削減し、3 次元での内部接続を使うことで性能向上のためのシステムの再設計が可能になり、コストや生産性を考慮したシステムの最適配置やダイの積層が可能となる。一例として、MPUは、1 つ目のダイにロジックコア、2 つ目のダイでキャッシュRAM、3 つ目のダイに不揮発メモリを持つことができる。このようなMPUでは、同じX-Y位置に数千個の 3 次元での接続が要求される。不揮発性メモリへの接続は、ロジックコアからキャッシュ部を経由した接続が必要とされる。さらにダイの接続については、それぞれのダイはウェーハテストにおいてテストされており、テスト機能の挿入はダイ単体で実施されている必要がある。ダイが上段に配置された場合、TSVにより接続されるが、ダイに組込まれたテスト機能を用いてそれぞれのダイは、十分ではないがテストが実施される。テストベクタやテスト対象のパスは、それぞれの単体のダイのテストに使われたものとは違うものとなる。さらにやっかいな問題として、数千個ものESD保護回路は非常に大きな面積を要するので、TSVはESD保護機能を持っていないことが多い。ESD保護されていないパッドやTSVをプローブするとダイへのダメージがあるため、バウンダリスキャンのようなTSVに直接コンタクトしない新たな手法を用いたテストが必要となる。

- *複数の I/O タイプ、および、複数の電源を持つデバイス* ― SoC や SiP のような集積されたデバイスに牽引され、コア毎に電力消費を最適化するために電源数が増加してきた。ロジック、アナログ、メモリ、ミックスドシグナル、そして高速 I/O は、各々異なる電源条件の下で最適に機能している。複数の電源を使うことは、電圧を発生させたり制御させたりする試みより、ダイ面積と電力を省略でき、コア間に跨る大きなノイズアイソレーションを実現するのに役立つ。シングルエンドとデイファレンシャルエンドの I/O はデータ転送能力を制限しない限り、電力を最適化するために使われるであろう。

増加するテストプロセスの複雑さ

- *増大したデバイスのカスタマイズとライン項目の複雑さ（テスト工程の）* — 「これは良いダイなのか？」という質問を取りまく測定だけでなく、特定のダイを修正、差別化、カスタマイズする現実のプロセス段階をも含めるために、テストプロセスはますます拡大している。これらの例としては、メモリブロック（とその他の）冗長／救済、ダイ上のチップ設定用ヒューズの溶断、読み出し専用メモリ（ROM）のプログラミング、

または、その他の製品機能のプログラミングなどが挙げられる。さらに、いくつかのビジネス区分では、製造テストフローの一部としての差別化や物理的分別を伴う、同一のダイベースから引き出される製造ライン項目の相当な増加が見込まれる。このすべてが、増加する製造テストプロセスの需要を招き、装備（例えばハンドリングやヒューズ溶断など）や生産の自動化および統合のインフラを拡大する。

- *コストスケーリングを維持するために増大した「分散」テスト* — DFT 技術の広い応用によって可能となったテスト内容、計測機器、および装置基盤要求の分散化は、テスト設備への設備投資、運用テストコスト、あるいは完成製品の品質を最適化する産業テストプロセスの統合案として、広く普及し続けるであろう。設計検証と製造テストというそれぞれ違うタイプの装置の分散と差別化が続くだろう。この差別化のための典型的なベクタは、検証ツールと製造ツールにおけるスピード、正確さ、チャネルの数と種類などの違いに集中するだろう。将来の製品で、ミックスドシグナルあるいは光学系とメカニカルシリコンなど多彩な CMOS 回路が一緒に統合されることで、分散テストの解決策が引き続き生み出されるであろう。むしろ、少なくとも製造テストにおいては、「何でもできる」式で ATE のプラットフォームの複雑さを増す方向よりも魅力的である。関連して、製造テストフローそのものは、複雑さ（段階数や相互作用）を増すであろう。

- *製造調整のために増大したテストデータフィードバック* — いくつかの理由によって、与えられたダイの良否の識別を超えた目的のためにテストデータの利用が不可欠となり、拡張し、改良され、より良く統合されたテストデータのシステムと設備基盤が必要となった。ある意味で、テストプロセスの構成要素の出力は、製造ダイと生産ロットの母集団を横断したテストプロセスで様々に適用された測定の結果としての、データである。製造工程での歩留り習熟、異端的な材料の特定、あるいは、より分散化された製造テストにおけるフィードバックのために、このテスト出力（データ）のより良く統合された活用の必要性は、ただ持てば良いだけでなく、ますます重要で不可欠な前向きの応用となる。

- *アダプティブテストを用いたダイナミックなテストフロー* — 全体的なテストコストを低減するための具体的な方法は、固定的なテストフローを変えることであり、その方法として、直近のテスト結果に基づき特定のテストを行うかどうかについて、ある確率に基づいて実施するかどうかを決定する方法がある。もし、あるテストまたはテスト群が、統計的に見てテストの必要性が低いと判断される場合、そのテストは一時的に省略するか、もしくは別のテストに置き換えることができる。テストが必要かどうかの確率により、実施すべきテストを増やすこともできる。

- *テスト条件の高次元化* — 従来、部品の製造テストでは、2 つか 3 つの環境変数（典型的には、電圧、温度、周波数）についてのポイントまたはコーナー条件からなる簡単なマトリクスを使って、テスト条件のポイントから定まる輪郭を越えた、製品仕様で規定する高次元の曲面と内部空間を保証してきた。バッテリー応用プラットフォームからクライアント・コンピューティングやサーバまで、幅広いマーケット範囲の部品が消費電力管理のための多くの仕組みを付加しており、これが直ちに、最悪テスト条件の描く曲面を急激に複雑にしている。例えば、この複雑な部品の仕組みには、複数または可変な電力モード（スリープ（休眠）やハイバネーション（冬眠）など）が含まれるし、あるいは、通常動作時に電圧や周波数をその場でコントロールしてアプリケーションの最適電力制御を達成するシステムが含まれるだろう。これらの変数の次数増加によって、部品の製造テストに用いる、これまでより大きな環境変数のテスト条件集合を決定し、特徴づけ、最適化（削減）することが困難になっている。この複雑さのペースが続くと、更なる検証の努力と、より複雑な環境変数のテストポイントの質を保証するための革新的手法が必要となる。これは製品テストにおいて、複雑化したワーストケース条件の欠落を防ぎ、その予測を確かにするために必要である。このテスト時の環境変数の集合からなるポイントの複雑化は、テストの内容と、製造フローにおける様々なポイントの集合で適用されるテストの繰り返し数との積で効いてきて、テストコストの継続的な削減に対する課題となるであろう。

持続するテストの経済的スケーリング

- *同時測定の物理的限界* 【訳者注:原文では parallelism となっている、これは同時測定テストを示す multi-site test よりも広い意味を含むが、特に大きな差がない範囲においては同時測定と訳した】— ここ数世代の間、特にコモディティなメモリにおいて、またデジタルロジックにおいても、トランジスタ数や機能の増大、入出力とコアの更なる高速化などに関連して、同時測定数(一回のテスト挿入でテストされるDUT【訳者注:Device-Under-Test】の数)を持続的に増やすことが、テストの経済的スケールを維持するための主要な方法であった。現在のテストツールとインタフェースハードウェアの統合パラダイムにて、同時測定数の更なる増加は、すぐに非直線的な限界に達し、その影響は次世代に現れるであろう。これは、物理的または電気的な近接を許容しながら、DUT とテスト機器のあいだの空間にどれだけ多くの電気チャネルを押し込めることができるかという実用的な限界による。テストの経済的スケーリングを持続させるための代替手法、または現在の発想をこえて同時測定数をさらに増加させることができるような、DUT、ハンドリング、コンタクト、テスト機器統合についての新しいパラダイムが必要となるであろう。

- *(デジタルロジック)テストデータ量の管理* — デジタルロジックのダイの複雑さと内容の増加に比例してテストデータ量(ベクタの数と幅)が増大している。この追加的なテストデータ量は、テストツール(ATE)のチャネルあたりの追加ベクタメモリの深さを増し、DUT あたりのテスト時間を増やすことで、テストの資源、運用コストをとめどなく増大させている。現在、多くの論理テストベクタの圧縮手段があるが、テストデータベース自体(スキャンベースのテストの場合)での圧縮や、製品ダイそのものに埋込まれた圧縮ハードウェア(DFT)を通しての圧縮など、種々の方法が開発され適用されている。増加を続ける製品の複雑さと、より高い製品統合レベル(例えば SoC、SiP)のために、データ圧縮は、構成要素のビジネス区分を横断してさらに広く使われるようになるであろう。また、最終的には圧縮の率(すなわち、非圧縮に対するテストデータベースの圧縮率)の向上が必要かもしれない。

- *量産用 ATE と DUT とのスピード差の効果的制限* — 近年、テストの経済的スケーリングを達成するための第一の手段として、アプリケーションデバイスのスピードと製造テスト性能の間のギャップの増加があった。これは、分散テストやテスト分割の主要技術であり、I/O ループバックや DUT における特殊テストモードなどの様々な DFT によって可能となる。アプリケーションスピードや設計を検証する ATE と量産用 ATE との差分が、テストの経済的スケーリングの持続を可能にする。しかし、エンドユーザのアプリケーションで十分な DUT の品質を保証するために、DFT との組合せにおいて必要とされるスピードの低減や精度の低減(例えば信号エッジの設定のため)には限界がある。デバイススピードと I/O エッジレートが増加すれば、製造テストの計測機器のスピードは遅れるが緩やかに増加させる必要がある。ATE 高速化のための置き換えや拡張の機会が、コストと品質をともに効果的に保つための最も良い機会をもたらすが、おそらく DUT そのものの変化よりも大きなステップ増分となる。

- *インタフェースハードウェアと(テスト)ソケットコストの管理* — テストとプローブインタフェースのハードウェアおよびテストソケットに基づくコストが、テストコスト全体のなかで占める割合が増加している。これには、より高速(Gb/s)で複雑な DUT I/O プロトコルや増加した DUT 並列性、信号ピンと電源ピンの多数化、電力供給や信号線チャネルの忠実度要求の増加など多くの要因がある。これ自体は憂慮すべき風潮ではあるが、それは、全体のテストプロセスコストおよび生産テスト全体の経済的スケーリングが持続できるか否かに照らして考えられなければならない。受け入れ可能な範囲でのインタフェースハードウェアのコスト管理はまた、技術的ドライバと境界条件にも依存するかもしれない。例えば、そのようなハードウェアのための主要な材料基盤として、可能な層数内で FR4 材料【訳者注:低伝導率のプリント基板材料】の使用が持続的に拡張していることなどがそれである。

困難な技術課題(優先順)

(1) 歩留り習熟のためのテスト

根底にある欠陥構造とプロセス限界を理解するためのフィードバックループとして、また急速な製造プロセスの歩留り習熟と改善を実現する手立てとしてのテストの周辺的な役割は、伝統的にハード欠陥をスクリーニングすることに対して二次的な役割と考えられてきた。光波長よりもかなり下回る形状(そして、欠陥)サイズの

急激な減少、故障解析スループット時間の急速な増加、故障解析有効性の減退、そして他の物理的技術（パイカ（pica）、レーザープローブ（laser probes））の事実上の物理的限界への接近などに伴い、産業は、半導体事業として戦略的な変曲点に到達しようとしている。そこでは、DFT の臨界、テストにより可能となる故障診断、及び歩留り習熟が最優先項目となる。言い換えれば、過去のプロセス世代ごとの歩留り習熟速度は、歴史的な故障絞込みと故障解析手法では、本質的に持続可能ではない。それどころか、故障絞込みの特性に関してダイ上の計測と故障診断ソフトウェアツールを改善するとともに、ダイ上の回路（DFT 回路など）を製品間にまたがって普遍的に配備可能にすることによって、歩留り改善速度をより強化する必要がある。過去、メモリ配列上の故障ビットや論理回路上の故障ゲートを絞り込むのに十分だったような箇所において、将来は少なくとも故障トランジスタまたは故障の配線を電気的に絞り込み可能とするよう実ビジネス上の要望がある。さもないと、新しいプロセス技術において、歩留り改善速度の低下による経済的な結末を味わうことになる。おそらく将来プロセスにおいて、ダイサイズ毎に漸近的に達成可能な最大歩留りを下げるということになるであろう。部品テストに対するこのミッションに最優先の重要度が与えられ、テストチームは、テストの最優先の技術課題としての関連性をまとめるだけでなく、この主題に関する詳細な節をテスト章の先頭部分に含めた。

(2)システマティック欠陥の検出

産業は、製造プロセス技術や回路感度の変化と設計モデリング限界に起因する、製造の不完全さに関連したテストと歩留り習熟の新しい技術課題に直面している。

1. 設計とプロセスのインタラクションの増加は、システマティックな欠陥を増加させている。たとえばパターン密度、パターン隣接および不完全な光学的近接効果補正（OPC）アルゴリズムのために、そのような欠陥は、特定の回路／レイアウト形状で起こる。それらはシステマティックであるが、まれなことと、発生条件が複雑なため、ランダムに発生するように見える。
2. プロセス技術の進展は、回路機能に影響を及ぼす物理的欠陥の母集団を変化させている。例えば、High-K 誘電体や金属ゲートに利用されるような材料に替えることは欠陥の母集団を変化させる。
3. 回路感度の変化と増加するプロセスばらつきは、おそらく過去に良性だった欠陥を、将来は致命欠陥にしてしまいそうである。例えば、より短いクロックサイクルでは、ピコセカンドの遅れを引き起こす欠陥が、より回路故障の原因となり易いことを意味する。さらに、電力最適化され、かつ、あるいは論理合成された設計では、十分なタイミング・マージンを持ったパスがより少なくなる。そして、それはランダムな遅延欠陥がより故障を起こしやすくなることを示す。同じように、例えばクロストークやパワー／グランドバウンスのような雑音効果の増加は、ノイズやタイミング・マージンを減少させ、再び欠陥に対する回路感度を増加させる。
4. モデリングの複雑さは、全てのプロセス条件下で回路が電力とパフォーマンスの仕様が見合ったことを保証するための EDA／設計の能力を脅す。プロセスばらつきの増加に伴うその能力の減少は、テスト時に回路のパラメトリック故障モードの増加となるかも知れない。
5. トランジスタの微細化は負バイアス温度不安定性（NBTI）のような重要な劣化性メカニズムを増加させる。
6. 放射線が引き起こすソフトエラー率は SRAM に加え、少なくとも企業用途のチップでは防止すべきラッチ部やフリップフロップ部で増加している。1 個の放射線による影響で複数の隣接セルが反転する SRAM の問題や低電力応用で問題な最低動作電圧の誤変化等の問題が多く観測されている。

欠陥モデリング、テストパターン生成、テスト検出率算出、DFT 解決策、テスト・アプリケーションと故障診断を含むテスト工程の全ての側面で、これらの実際に発生し変化する、製造／動作上の不完全さの母集団を扱わなければならない。有望な戦略としては、低 VDD または温度のようなスペック外を検出するテスト、統計的手法、アダプティブテスト、そして現実的な欠陥ベースの故障モデリング／ターゲッティング、等が含まれている。

(3) 信頼性のためのスクリーニング

主要な「欠陥除去」や良品と不良品を見分ける以外のあまり公表されない半導体テストのミッションは、初期故障を除去し、製品集団の信頼性を許容可能なレベルにすることであった。これをテストの「欠陥」ミッションよりに言い換えれば、この重要な機能を「t > 0 欠陥の除去」と呼ぶことができる。ここで時刻「0」は、部品供給者から顧客への納入により製品が移動する日を指す。歴史的に、異なった半導体ビジネス分野においては、顧客の要求品質に合わせるため、製品集合の信頼性の低い部分や製品を十分な数だけ除去するために、製造工程においてバーンインから IDDQ、電圧ストレス印加などのいろいろな技術を使ってきた。同様の動機から、特にバックグラウンド・リーク電流の増加や動作マージンの減少（プロセス微細化による Vdd／Vcc が低下）によって、これらの技術の全ては、効果が減少し、あらゆる面においてより高価になってきている。バーンイン装置と技術は本質的に変化しないままであり、80 年代前半から 90 年代半ばまで多くのプロセス世代を渡って再利用され、90 年代後半にはバーンイン生産システムは（この技術を導入する製品区分において）、テストの資本とインタフェースハードウェア・コストの最も大きな増加領域のうちのひとつであった。バーンインにおける高電圧と高温（初期欠陥の加速目的）では、リーク電流レベルは通常使用条件下より非常に高い。それに加えて、製品の Vcc と温度のマージン減少は、潜在的な欠陥母集団を加速するのに利用できる範囲を制限する。ASIC から SoC、汎用メモリまでの製品分野で広く使われていた IDDQ は、バックグラウンド・リーク電流の増加に比例するのと全く同じトレンドで、「正常な」静止電流レベルに対して潜在的な欠陥を含む DUT の SN 比が非常に減少するという大きな技術課題に面している。実際、これは少なくとも 250nm の DRAM ハーフピッチから課題とされ、多くの会社でより進歩した技術を使い始めた。例えば、初期欠陥に対して効力を保ちつつ無効な歩留りロスやコスト影響を減らすために、複数テストの結果と、ΔIDDQ や他のブーリアン【訳者注：スキャンテストや機能テスト等、電圧レベルで出力の論理値 0/1 を判定するテストを指すと思われる】静的状態の Icc／Idd とを組合せて比較する技術があげられる。テクノロジ世代ごとにいくぶんより低い固有リーク電流レベルを持つ傾向があった汎用メモリは、なんとかいろいろな IDDQ 技術によって他の製品ファミリーに比べて多少延命にすることができた。しかし、それらでさえ現在、1 世代または 2 世代先のテクノロジについては IDDQ 技術の有効性が現実に落ちてくるとの予想が報告されている。同様に、潜伏欠陥を加速するための正常基準範囲を越えた電圧ストレスや Vcc／Vdd とパターンの印加は有効性を失いつつあり、特に、Vstress【訳者注：ストレステスト時の電圧】と Vnominal【訳者注：通常電圧】の電圧差は各世代で縮小している。長い目で見れば、いずれここ数世代で、少なくともいくつかののビジネス分野や製品タイプにおいて、この信頼性スクリーニングを提供する機能のために新たな技術が必要であろう。調査中のより新しい概念のいくつかは、intra-die test（同一 die からの結果）と inter-die（隣接ウェーハ解析、ロット内解析、アダプティブテスト範囲、ロット間解析）の双方のいろいろなテスト結果の中において、ブーリアンおよび分布アルゴリズムを改良したものである。おそらく大きな推進の役割を演ずるもう一つの方向は、自己診断と自己修復による修復である。そして、それは今日エンベデッドメモリ RAM 上で、またはエラーコーディング検出と修復（ECC）技術によって実用化されている。このチャレンジはメモリに留まらないであろうし、むしろ方法と時を同じくして、論理回路においても自己修復への同様の能力や代替アプローチは実際に適応可能で、入手可能になるであろう。

(4) 歩留りロスのポテンシャル

製造歩留りロスとは、テストや検査工程において、そのデバイスを搭載する製品（システム）上では正しく動作するかもしれないデバイスを不良品としてリジェクトしてしまうときに、発生するものである。歩留りロスの原因には以下のようなものがある。

- テスタの誤差（タイミング、電圧、電流、温度管理など）
- オーバー・テスティング（例：非機能パス上の遅延不良）
- テスト中に加わる機械的ダメージ
- BIST などのテスト専用回路で不良が発生
- IDDQ のみで検出する不良
- 通常リペア可能な回路でのリペア失敗
- 行き過ぎた統計処理判定

テスタ誤差による歩留りロスは実速度機能テストに代わるテスト手法の導入により、ある程度まで低減されている。DFT 手法は、進んだパターン適応手法や新しい故障モデルによって生成される実速度テストベクタにより、現在最も良く検出される「間接的」不良の検出率を今より上げるように十分に発展しなければならない。しかし、この DFT 開発へ過大な期待をかけることには注意すべきである。適切な故障モデルへの更なる取り組みも必要である。

特性テスト時のテスタ誤差(タイミング、電圧、電流、そして温度管理)やテスト実行中に起こる DUT の特性変動は、歩留りに影響するほど大きなガードバンドを必要とすることがある。先進的リソグラフィを使うことにより DUT の特性ばらつきが増加しているので、より効果的な BIST や他の代替テスト手法、例えばチップ上に特性測定回路を形成するなど、が必要になろうとしている。

同様な歩留りロスに関する課題が、精度の良くないラウンチ・キャプチャ方式の遅延テストで近年表面化して来た。遅延パス測定では 15pS の測定誤差が観察されている — これは近年発表された内部クロック周期の 10%であり、遅延パス測定でのマージンテスト手法がまだ確立されておらず、歩留りロスまたはテスト見逃しの可能性を示唆している。同様に、不適正な遅延パスが測定された場合も歩留りロスの一因となる。ツール【訳者注:パターン発生ツール】は、不適正なパスの測定で生じる歩留りロスを避けるように開発されなければならない。

IDDQ 不良は様々な内部接続や他の不良を検出することで知られている。しかしながら、もし IDDQ のみで検出する不良がそんなに深刻ではないとしたら、バーインでほんの数%変化するか、そうでなければ信頼性の事案となることが経験的に知られている。これは、最終製品の品質要求によっては歩留りロスとみなせる可能性がある。

統計処理判定は潜在的な不良を見つける強力なツールになっている。しかしながら、例えば、「不良チップに囲まれた良品チップ」の廃棄などのように、これはもともと歩留りロスのメカニズムを持っている。

広い意味で歩留りロスとは、大量の適切に作られた内部回路を廃棄することを含むと理解されているかも知れない。なぜなら不適切に作られた一部の回路のみが不良だからである。このような歩留りロスは冗長回路を持つ高密度メモリでは減少している。同様の手法が、高度な再構成性や冗長性を適用するシステムレベルで使われ成功している。不良抑制のための再構成回路技術、あるいは間接的ダメージを起こさない手法に着目したリペア技術の継続的開発が求められている。

オンラインテストとリペアを連携させる方法に関しての研究開発は、システム技術としての豊富な歴史がある。これらの努力の結果を IC に取り入れることは、この広い意味での歩留りロスの低減に繋がる可能性がある。ロバスト設計、オンラインテスト、およびその場でのリペア技術の開発に関する更なる努力が求められている。

将来の可能性

テストプログラム自動生成 (ATPG では無い)

EDA(Electronic Design Automation) 業界がスキャン DFT、最近ではスキャン圧縮、および DFT 合成までに関わる広範な能力を提供している一方、例えばエンベデッドメモリでは、半導体ベンダが実際のテストプログラムの生成において、生産性の向上や自動化による開発コスト低減が必要な分野がある。今日、製造またはテストエンジニアリング会社では、新しい顧客のための個別のテストプログラム生成に多くの時間を費やしている。ATE と共に主として ATE ベンダによって提供された、または半導体ベンダが自社内で作成した、異なる数々のテストプログラム自動生成ツールがある。テストプログラムのためのデータや構造の標準化も以前から行われ、新たなものもできている(テスト・データ・フォーマット(tdf)あるいは標準テストインタフェース言語(STIL))。しかしながら、テストプログラム全体を生成し、広く汎用的に利用できるソフトウェア製品は存在しないのが実情で、今ある何千ものソフトウェアのほとんどは似かよった機能に留まっている。

シミュレーションとモデリング

ダイのパッケージングだけでなくテストインタフェースのハードウェア、ひょっとしたら、ATE の測定回路自体（パラメトリックと論理回路の両方）を含めた設計段階でのシミュレーションやモデリングの拡張は、製品と製造のテストの検証サイクルを短縮するであろう。この拡張は、また、製造テストの計測機能に統合された DFT を持つ DUT の製造前の検証の信頼性を高めるであろう。製造前の設計段階において、シームレスに統合化されたシミュレーションとモデリング環境を提供することは、製品の性能予測の精度を高めるばかりでなく、テスト工程の調整の手助け、DFT やテストインタフェースモードやハードウェアにおける軽微な不具合のために行う設計修正を減らせるであろう。

テストとシステム信頼性の統合

最も広く普及している DFT 手法（スキャンなど）は実際、元来はハイエンドの大型コンピュータに高信頼性を提供する動機づけにより開発された。スキャンを用いたハードウェアは、製造テストの選別目的のためにも使用可能であることから、急速に産業界に広がった。将来には、以下の様な多くの物理的、回路的な現象があり、ダイ内の下位レベルの信頼性を脅かすと思われる。それは、アルファ粒子、宇宙線で誘発されたソフトエラー、不安定な回路の振舞い、あるいは、他の間欠性の予測できない下位レベルの振舞いなどの増加である。これらを受けて、付加的な検出と修正を提供するデバイス機能の更なる拡張がありそうである。スキャンがそうであったように、今日 RAM で用いられているエラー訂正や将来の他の機能のような、システム信頼性向上のために設計される下位レベルの内部緩和の仕組みの開発や適用が、テスト目的にも再使用可能となりそうである（システマティックなものを含む不良の検出や修正、より不定期な、あるいは、本来はそれらから保護するように設計されている筈の、予測不可能な断続的な振舞いに対して。）

最終的にはテストプロセスの統合の問題となるが（メモリのリダンダンシー／リペアなど）、より楽観視すれば、未来の半導体テスト工程において、より有効で効率的に、低オーバーヘッドを提供できるであろう。

テストと歩留り習熟

良品／不良品を選別する機能に加えて、テストは製造されたチップの特性を理解するために基礎的なフィードバックループを提供する。テストは、欠陥位置絞り込み、故障原因の特定、コスト的に有効な不良の分離、プロセス測定と設計とプロセスの間の感度をサポートするため、その能力を向上しなければならない。

電気的テストベース故障診断

テストベースの習熟は、(1) 欠陥と、(2) パラメトリックとばらつきの両方に対して必要とされる。欠陥の習熟はランダム欠陥とシステマティック欠陥の両方に対して必要とされる（「欠陥と故障メカニズム」節を参照）。テスト構造ベースの欠陥習熟手法は、伝統的な面積に関わる制約と、多数のカバー可能な物理的設計形状の双方に悩まされる。影響を受けやすい局所的な欠陥は、OPC アルゴリズム、近接形状、および隣接密度を含む複雑な作用となるので、製品テストの故障診断による基礎的習熟がますます重要視され、それでもって重要な物理的設計形状を継続的に製品に反映する。

パラメトリックに関係したフィードバックは、(1) デバイスと内部接続パラメータや、(2) 設計プロセス相互作用に対して必要とされる。デバイスと内部接続パラメータの計測は、伝統的にテスト構造【訳者注：test structure、評価用素子のことで TEG(test element group) とも呼ばれる】、特にスクライブライン FET や内部接続抵抗や容量モニタに依存している。ダイ内ばらつき（イントラ-ダイのばらつき）の増加は、スクライブラインとチップ間のオフセットに対し不利に働く。加えてテスト構造は、カバー可能な物理的、電気的形状の数に制限がある。回路パラメータはそのような形状に影響のあるパラメータなので、製品テストの基礎的な習熟が重要になる。熱と電源電圧のセンサや、プロセスモニタリング用のリングオシレータは、チップ上に埋込んで分布し、パラメトリック不良の診断やばらつきの理解に補助的に使用される。この様な回路は、設計中の不良に依存するモデリング能力が、技術の変化に追従するために、またより多くのパラメトリックな問題がテストフロアに到達することにより、その重要度を増すだろう。製品テストは、Power-grid-droop【訳者注：IR ドロップの一種。局所的な電圧降下】や、クロストーク故障のようなノイズに関係した欠陥や設計プロセス相互関係にフィードバック

を行うのによく適している。製品テストベースのパラメトリック歩留り習熟は、比較的未熟な領域にあり多くの進展が必要である。

電気的テストベースの故障診断手法は、メモリ、論理回路、スキャンチェーンやメモリを含む回路に対して必要とされる。メモリの技術は最も成熟しているが、それ単体では最適とは言えない。マイクロプロセッサがテクノロジリーダとして RAM に置き代ってきているのが、RAM は全メタル層を使うことは出来なくて限られたレイアウト形状を表している。論理回路の故障診断は近年の研究開発の活発な分野であるが、精度、分解能と大量のデータの要求に関する課題がある。レイアウト情報の統合は一般的に使用されている。インライン検査結果の統合化の技術はすでに開発されているが、インラインデータの入手性や、かつてないほど小さくて殆ど見えない潜在的なキラー欠陥に苦しんでいる。多くの不良ダイを集めた大量故障診断（Volume Diagnostic）は、残っている課題を洗い出すのに有望な戦略である。大量故障診断に使用されているような多数個ダイの統計的手法は、ランダム不良のメカニズムからシステマティックなものを区別するのに有望である。システム欠陥のメカニズムを特定することは、プロセスの改善、DFM 補助（ホットスポットの特定を含む）とテスト品質を確信することに重要である。区別を実施する際の課題には、照合されるべきシステマティックに対するランダム不良の期待値の設定がある。伝統的なクリティカルエリア分析法を含む設計分析に基づく期待値は、もっともらし不良の仮定の作成が必要なこと、もしくは設計とプロセスの複雑な相互作用の中では正確性に欠ける欠陥モデルに頼らないといけないことに悩まされている。新たなツールの役割は、与えられた不良箇所、あるいは不良箇所のグループが PFA（Physical Failure Analysis）に適切かどうかを導くことである。特に、不可視性の不良メカニズム（不可視性の欠陥 もしくはパラメトリックの問題）が増加している場合に、PFA の成功率とコストが不良メカニズムにより異なる関連する事実がある場合に、これは重要である。故障したスキャンチェーンの歩留りへの影響は、最近の故障診断の焦点となっているが、より幅広く適切で正確な手法が求められる。クロックや他のインフラ的な信号に影響する欠陥は今日の手法では故障診断が難しい。ツールは、抵抗性ブリッジ、抵抗性コンタクト／ビアやオープンを含む全ての現実的な物理欠陥を扱わなければならない。また、スキャンベース、BIST ベースのテスト、ファンクションテスト、IDDQ テスト、および遅延テストを含む全ての主要なテスト手段で検出された故障に対する故障診断を扱う必要がある。

ツールおよび手段は、下記に示すいくつかのソフトウェアベース故障診断の複数の段階をサポートするべきである：

1. 分解能とテストコストのオーバーヘッドとのトレードオフを考慮しながらの、生産にとって価値あるデータの収集。テストデータ圧縮と BIST 手法は懸念事項である。最低限の要求は、故障しているブロック（例：コアまたは IP）の特定である。平均的なテスト時間のオーバーヘッドは 1%未満であるべきである。
2. 選択されたエンジニアリングやモニタウェーハまたはロットでの広範なデータ収集。その粒度は、正確な故障タイプのパレート図を作り、ツールに共通な解析を行うのに十分でなければならない。スループット時間は、十分な生産量の生産プロセスにタイムリーにフィードバックできるくらい短くなければならず、また時間ゼロの故障と信頼性の故障の両方をサポートしなければならない。ツールは、故障ネットを特定するだけでなく、故障した配線層も特定するべきである。そのような解析は、レイアウト情報とインラインテスト結果の両方、またはどちらかを故障箇所特定と統合することが必要であろう。通常のテスト時間は秒オーダーであるべきである。生産の初期段階では、相当な部分がこのような詳しいログに出力されるかもしれない。
3. 単一トランジスタ、10μm 以下の配線部分、あるいは故障した配線層を特定する個別のダイ解析。そのような解析は、故障診断の分解能向上を狙う特別用途の ATPG や、フェイルデータ収集とアナログの再シミュレーションの両方もしくはどちらかを伴い、故障解析にて追跡調査されるだろう。解析時間は前の 2 つのケースよりかなり長いかもしれない。

データ収集のインフラは、増加する故障診断のニーズをサポートしなければならない。特に、ATE は DFT テスタに関する表 TST6 に予測されたスキャンベクタ率モデルにおいて、スキャンデータを制限なく収集すべきである。BIST やテストパターン圧縮のような DFT 技術は、必要なデータ収集のサポートを特に考慮して設計されなければならない。IDDQ 計測デバイスは、故障診断により要求される精度のレベルをサポートする必要がある。故障診断のデータ収集は、単一もしくは少数の故障ネット候補に特定することを可能にするため

に、全テスト時間に対して著しく追加すべきではない。加えて、工場統合の問題も処理されなければならない。データの取得と管理の能力は、歩留り習熟のための統計的解析と量産データのデータマイニングにおける信頼性向上をサポートしなければならない。ファブレス／ファウンドリとサードパーティ IP を含む、分散した、設計、製造、およびテストのための、安定した歩留りデータフローのメカニズムが必要とされる。自動化やデータ共有をサポートするには、STDF-VA-2007 スキャンフェイルデータのような標準テストデータや、それらの伝達をサポートする基礎構造が必要とされる。分散環境の、設計、製造、およびテストは、（例えばデザインハウス、ファンドリやテストハウスが）、何処に問題があるのか決定する手助けとなるような手法とツールの新しい役割を作りだす必要がある。

故障解析

電気的テストに基づく習熟はますます重要になっているが、特に欠陥タイプがよく知られておらず、技術習熟するまでの間や、テスト漏れやシステム／市場故障のような重要な故障の理解のために、故障解析 [FA] が未だ必要とされる。CMOS 技術の移行は伝統的な FA 工程に大きな課題をもたらす。欠陥分離、加工や物理特性評価は時間がかかりすぎ、定常的な解析としては難しくなる。解析のペースを保つためには、現存するツール／技術の発展やブレークスルーが必要とされる。FA の性能ギャップについて以下の優先リストに詳しく述べる。

1. **Circuit node probing** － 昨今、顕筒内蔵型（SEM）や原子間力顕微鏡によるナノスケールのプロービングは、1 層目にある最小寸法トランジスタや SRAM の解析に用いられる。この技術は、ますます微妙で観測できない欠陥や、個々のトランジスタパラメータの測定するために必要となっている。主要な制限としては、デバイスへのダメージ、プローブドリフト、プローブ接触抵抗を回避するために必要とされる低加速電圧における SEM 像の質にある。
2. **Fault isolation precision** －ダイ状態での電気的故障や欠陥を同定する現状のツールは、感度と空間分解能が限界に近づいている。例えば、大多数の技術（TIVA: Thermally Induced Voltage Alteration、PEM: Photo Emission Microscope）など）は赤外線を利用している。赤外線は空間分解能の限界が約 1μm であるので、現状では最小加工寸法よりも1桁以上も分解能が悪い。SEM や FIB の手法（電圧コントラスト、EBIC: Electron Beam Induced Current）は分解精度がもっとよいが、露出した導体上に対してのみ有効であり、全面が絶縁膜で覆われた完成デバイスにおいては効果的でない。近接場を利用した手法が存在し、あるいは新しく開発されている（例えば、光的、磁気的、AFM: Atomic Force Microscope）が、この技術の適用は表面または表面近傍の露出した形状のサンプルに制限される。根本原因となる不良箇所まで信号を追跡するために多数のナノスケールの配線に電気的刺激を与えるために、高安定で非侵襲なブロービング能力が必要とされる。
3. **Packaging analysis** － パッケージ状態での欠陥分離や画像化は、有機膜、チップスケールパッケージ、チップ積層、パッケージ・オン・パッケージ形状のような新しい技術により強い影響を受ける。磁気電流像、X 線トモグラフィや CSAM （C-mode Scanning Acoustic Microscopy）のような基幹手法の進歩は重要であり、引き続きテストと治具が重視される。
4. **CAD/EDA tools.** －故障解析は故障場所を直接見出したり、他の故障同定用ツールと相互に補完したりするためにスキャン手法に大きく依存している。（EDA ツールには）継続的精度向上、「ソフト」欠陥や AC 欠陥【訳者注：遅延的な欠陥】への応用と継ぎ目のない統合性が求められる。CAD ナビゲーションは空間と時間ベースの両方、すなわちシミュレーション波形とリンクしなければならない。
5. **On-chip timing measurement** －電源の低電圧化は、ホットエレクトロンによる発光強度の急激な減少と発光波長の長波長側へのシフトを引き起こす。検出性能を維持するために、時間分解発光解析（TRE: Time Resolved Emission）技術と固浸レンズ（SIL: Solid Immersion Lens）光学系の改良が要求されている。レーザボルテージプローブ（LVP）のようなレーザを用いた新しいプローブ技術も有望視されている。動作時に電源電流が増加することによる発熱対策として、チップ裏面観察を妨げたり振動要因となったりしない冷却方法の開発も必要である。これらの分野での改良がなされない限り、根本的に異なる技術を開発する必要があるだろう。

6. **Sample Prep and Fixtures** ― パッケージ分野における様々な発展が、タイミング解析や欠陥分離のための裏面観察を難しくしてきている。例えば、時間分解発光解析(TRE)や光誘起抵抗変動解析（OBIRCH: Optical Beam Induced Resistance Change）のような解析ツールを適用するには、パッケージ、ダイチップ露出、治具において、反りやクラックの要因となるストレスの軽減制御が必要となる。積層チップパッケージや 3D チップでは観察サンプル作成手法が大きな課題になるだろう。

故障解析のための新たな開発には膨大な費用と高いリスクが生じている。特に、スループット低下と不良解析の価値提案が減少している。その結果、装置の導入がますます集中し、全体の装置市場として発展の可能性や魅力が薄れてきている。特にこの傾向は小規模な会社や操業開始企業に見られる。たった 1 社や 2 社の研究開発投資や偶発的（または突発的）な装置開発に頼っている現状から、多くの参加企業で開発の費用とリスクを分担するコンソーシアム方式に置き換わる必要があるかもしれない。

テストコストに注目したトピックス

量産でのテストコストを低減するために技術の進展を継続しているが、その前にまだ多くの研究課題が残されている。半導体テスト技術のトレンドは次に示す内容である。多チャネル化、同時測定テスト数の増加、新規構造プローブカードの実用化、新しいハンドリング技術、そして DFT 技術である。この傾向は、すでに実用化している低性能のロジックテスト装置と、メモリテストおよびロジックテストにおけるロードボード・ソリューション（BOST）の増大で明らかになっている。テストのコストの縮小には多くの努力がいるけれども、30%の回答者は既にテストコストをもっとも重要な課題のひとつと認識しており、85%の回答者はテストコスト削減がこれからの最も重大な課題と想定している。同様な改良を、アナログと RF を含んだボード市場に展開するという重要な研究課題がまだ残っている。DFT 技術は特定のエリアでポイントソリューションであり、一般化されたソリューションにはまだなっていない。コストに焦点を絞り続けることは、テスト手法、ATE 構造、その他の内容を考慮した複数のインサーション【訳者注:テスタ装置にチップを搭載してテストすること、テスト内容やテストが異なると複数回のインサーションが必要だがコスト増につながる。】に跨る分散テストと言った大きな視点からコストのトレードオフを理解することに大いに役立つことになる。そして、結果としてトータルのテストコストの削減となる。

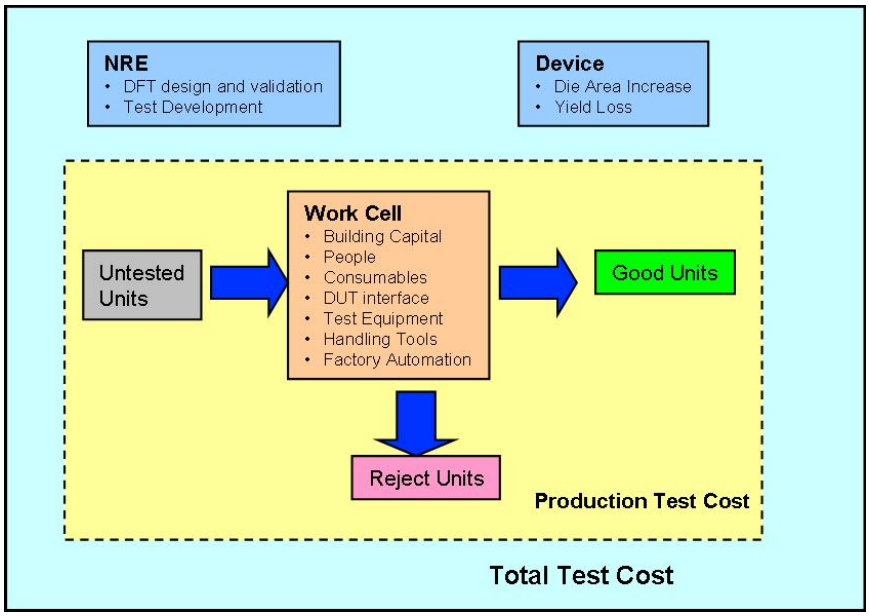


Figure TST1 Test Cost Drivers

半導体のテストコストは図 TST1 に示すように多くの要素から成り立ってしている。テスト原価に関連した様々な面をより良く理解するために、ITRS では 2009 年に広範囲な調査を行った。ほとんどの市場関係者は、製品当たりのコストや総製品コストの比率としてのコストや 1 秒あたりのコストといった主要な指標以上の、あまり精巧なコストモデルは配備していない。また、総設備投資や、トランジスタまたはビットあたりに対するテストコストのような測定基準は、テストのコスト効果を評価するのに用いられていない。これらの要素の中で重要なことは、デバイスごとにその要素が変わることである。特に、少量生産ではテスト開発コストは極めて重要となっている。DFT の面積コストは、その製品がパッド制限か、あるいはコア制限となるかどうかに依存している。許容できるテストコストはまさに市場スペックであり、そしてテスト価値とテストコストのバランスによって決定されなければならない。調査では、品質を得ること、歩留りおよび歩留り向上でサポートすることがテストの主要な価値であることが示された。ほとんどの関係者は、品質が分類で一番と考えている(57%)。さらに、3 分の 1 以上の関係者は、テストがそれらの製品の競争力に重要であると感じている(すなわち、より高品質な製品または低価格な製品において)。僅かであるが 6%の関係者は、テストの潜在的な価値を重く見ないが、それは必要悪と述べた。

ITRS 調査の関係者は、ATE 設備投資とインタフェース経費を 2 つ主要なコストドライバと認識しており(22% 対 21%)、次のコストドライバはテストプログラム開発とシリコンデバッグとしている。さらに、先行しているグループでは、主要なコストドライバとして、新しい欠陥や信頼性の問題、デバイス性能の測定指標、KGD の要求、および 3D 積層によるテスト要求を挙げた。

現在のコスト課題(上位)

1. ATE 設備投資
2. ATE インタフェース費用
3. テストプログラム開発費用
4. テスト時間およびテスト検出率

将来のコスト課題

1. 新しい欠陥および信頼性の問題
2. デバイス性能の測定指標
3. Known Good Die の要求
4. パッケージ実装でのテスト要求

ATE 投資コストは、簡単に 1 デジタルピン当りの費用を検討するアプローチで伝統的に述べられてきた。これは便利な指標であるが、少数ピンカウントと測定サイト数で起こるスケーリングと同様に、装置インフラストラクチャと中央装置に関連している基本システムコストを無視するので、良いコストの試算ができなかった。そのうえ、ATE プラットフォームの現在のトレンドではそのまま使えない。そこでは、同じベースインフラストラクチャが非常に多様なテストチャネルに使われている。以下の方程式は将来のテスト技術の関連コスト推進要因に関してテスト工程投資コストを表現している。

$$C_{CELL} = C_{BASE} + C_{INTERFACE} + C_{POWER-SUPPLIES} + C_{TEST-CHANNELS} + C_{OTHER}$$

この方程式では、C_{BASE} はピン／チャネルがない場合のテストシステムの基準コストである(例えば、それは機械的なインフラストラクチャ、バックプレーン、テスタのオペレーティングシステム・ソフトウェア、およびセンタ装置の費用を含んでいる)。$C_{INTERFACE}$ はデバイスに接続するのに必要な全てのコスト(例えばインタフェースエレクトロニクス、ソケット、およびプローブカード(予備を含む)を含んでいる。C_{POWER} は設備供給電源の費用である。$C_{TEST\text{-}CHANNELS}$ は計測器(デジタル、アナログ、RF、メモリテスト装置など)の費用である。C_{OTHER} は残りのコスト(例えば、床面積)を含んでいる。実際的に考えれば、特定のC_{BASE}インフラストラクチャで費用効率よく達成できても、全体テスト工程計画で考慮すべき総合的な性能の幅の制限があるかもしれない。例えば、ローエンドのシステムは空冷インフラストラクチャだが、ハイエンドのシステムには液体冷却を使用するだ

ろう。テストシナリオは、資本コストと性能指標を分割することによって評価される。例えば、重要な効果値は、「コストあたりの、時間あたりユニット数（*UPH/$M*）」、すなわち、総費用に対する、毎時の出荷デバイス数量（スループット）の比率である。

図 TST2 が急速に上昇しているインタフェースコストを示す。これは、全体テスト工程費用を支配するのを避けるために絶えず抑制されなければならない。次の節でさらに詳細にこれらの費用傾向について説明する。

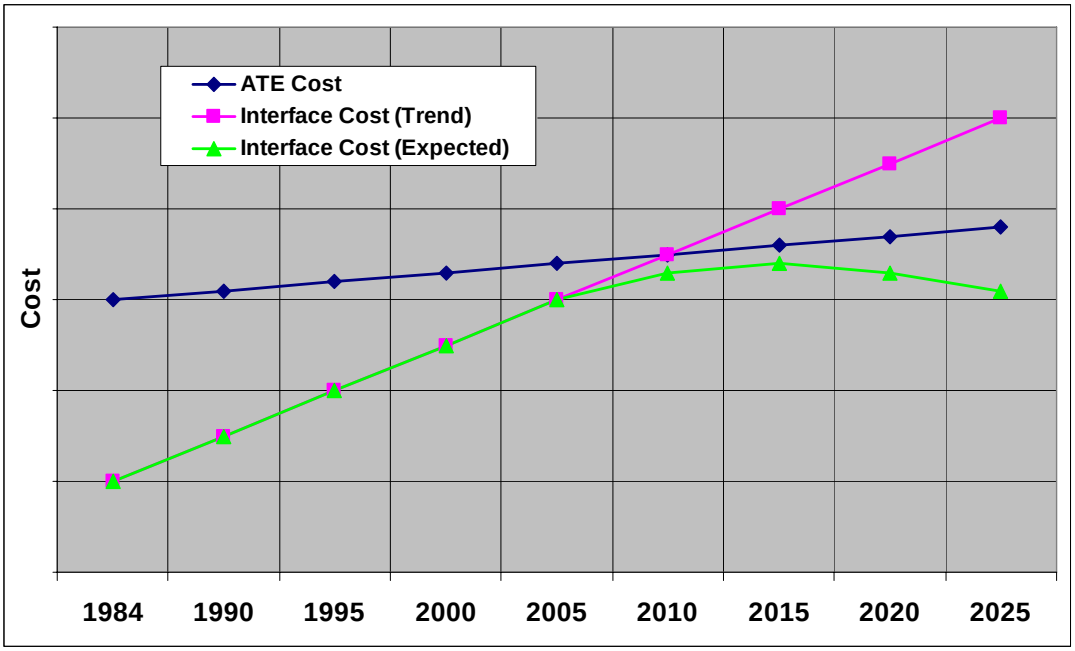


Figure TST2　Test Cell Cost / Unit versus Interface Cost Trend

現在最も良く使われているテストコスト削減技術、および将来動向についてウェブ調査を実施した。その 結果を以下に示す。

現在のコスト削減技術

1. 同時測定テストとピン数削減
2. 構造化テストおよびスキャンテスト
3. パターン圧縮／BIST／DFT
4. 歩留り習熟
5. コンカレントテスト

将来期待されるコスト削減技術

1. ウェーハレベルの実速度テスト
2. 高度な埋込み測定機器
3. アダプティブテスト
4. 新しいコンタクト技術
5. 組込みのフォールトトレラント技術

ベースコストのトレンド

総ベースでは、時間がたつにつれてわずかに減少すると予想される。プラットフォーム戦略はベースインフラストラクチャの寿命を延ばすだろう。そのうえ、コストはベースインフラストラクチャから測定機器へ動くかもしれない。同時測定テストはスループットを向上させるとともに、ベースコストを複数のダイに分散させる。その結果、サイトあたりのベースコストを低減させる（またベースコストへの懸念をなくさせる）。同時測定テストを使

用してコスト削減を成功させるためには、ATE インフラストラクチャは、共有のリソースはスループットを制限するかもしれないので、専用のリソースを割り当てることが重要である。メモリにおける大量な並列テストの傾向は続くだろう。そのうえ、新しいプローブカード技術とハンドラ技術は、他の製品区分での（ウェーハとパッケージテストの両方において）大規模な並列テストを可能にするだろう。

チャネルコストのトレンド

チャネルコストの継続的な削減は、同時測定テストを使用したコスト削減を成功するために非常に重要である: サイトあたりのチャネルコストが支配的であると、多くのサイトにベースコストを分散できるという利点が少なくなる。一方、高価なチャネルを複数サイト間で共有するとスループットを制限する。テスタのエレクトロニクス内の継続的な統合を通じ、また、ATE ピンへの要求性能を軽減するような DFT の適用の増加によって、チャンネルコストは削減が見込まれる。加えて、少数テストポートを利用したピン数削減のテスト戦略は、サイトあたりのチャネルコストを削減できる。

比較的に高価格のアナログや RF のテスト測定装置のコスト、そして、これらの回路のテストに関連した長いテスト時間は、主要な課題としてそのままで残っている。アナログやミックスドシグナルのための DFT 手法が要求される。

高速 I/O のテストコストは重要になってきている。通信分野では、SONET のデータレートは 2.5Gbps から 10Gbps～40Gbps のレンジに拡大するだろう。コンピュータ関連分野では、シリアル ATA が 2008 年に 1.5Gbps から 6Gbps に拡大し、PCI Express が 2008 年ごろに 2.5Gbps から 5Gbps に拡大する。そのうえ、同時双方向信号のような技術が重要になりそうで、テストコストを増加する。これからは、高速 I/O の DFT 技術と新しいテスト方法が、テストコストを抑制するための解決策としてますます重要になるだろう。

電源コストのトレンド

同時測定数の増加に伴って、電源のコストは上昇する。特に、もしピン数削減技術が適用されるなら、サイトあたりの電源コストは、サイトあたりのチャネルコストの大半を占めるかもしれない。電源のコスト増は、電源供給と電源伝達技術のイノベーションで食い止められるかもしれない。いくつかの DFT 技術では、テスト時間短縮を達成するために電源供給の要求が増えているということに注意が必要である。

インタフェースコストのトレンド

インタフェースコストの抑制は、同時測定テストを使用したコスト削減を成功させるために非常に重要である。サイトの数に伴って指数的に増加するインタフェースコストが支配的であると、サイト数増加の目的を無にしてしまう。インタフェースコストは高帯域（2Gbit/s）、そして、多数の同時測定（128 のサイト）で大きな課題となっている。市場でのプローブカード技術を広範囲にカバーするような一貫したコストモデルを開発する必要がある。長いプローブカードのリードタイムは、特に先進技術において、多大なコスト問題を引き起こす。プローブカードのリードタイムは、このロードマップの予測の期間範囲では半減されるだろう。ある種の製品にとっては、ウェーハテストを省略するか、または簡単で基本的なテストのみを行うことが経済的になるかもしれない。これからは高速 I/O の DFT 技術がインタフェース費用を抑制するための解決策としてますます普及するであろう。

同時測定のトレンド

前節で論じられたように、テストコストを下げる最も重要な方法はサイト数を増やすことである。サイト数を増やすことで得られる効果は、(1) 高いインタフェースコスト、(2) 高いチャネルコストと電源コスト、(3) 低い同時測定効率 M、によって制限される。

$$M = 1 - \frac{(T_N - T_1)}{(N-1)T_1}$$

ここで、N は並列に測定されるデバイスの数である（N>1）。T_1 はデバイスあたりのテスト時間である。そして T_NはN個のデバイスを並列に測定した時のテスト時間である。例えば、1 デバイスあたりのT_1 が 10 秒で、N=32 個の時のT_N =16 秒の時の同時測定効率は 98.06%になる。それ故、同時測定で増えるオーバーヘッドは (1-M)=1.94%になる。

Table TST2　Multi-site Test for Product Segments

チャンネルコストを削減する ATE の共有リソースは同時測定効率を下げる原因になるかも知れない（例えば、ミックスドシグナルや RF のテストで顕著である）。そのうえ、低い同時測定効率で並列測定の数を増やし続けると、テストコストに大きな影響を及ぼす。例えば、同時測定効率 98%は 2 サイトや 4 サイトのテストには適切である。しかし、32 サイトのテストには、更に高い効率が必要になる。同時測定効率 98%では、シングルテストから 4 サイトテストへの移行で 10 秒のテスト時間が 10.8 秒に増える。しかし、シングルテストから 32 サイトテストへの移行では 10 秒のテスト時間が 16.4 秒に増える。つまり、同時測定テストの潜在的利点を大幅に減らすことになる（図 TST3）。

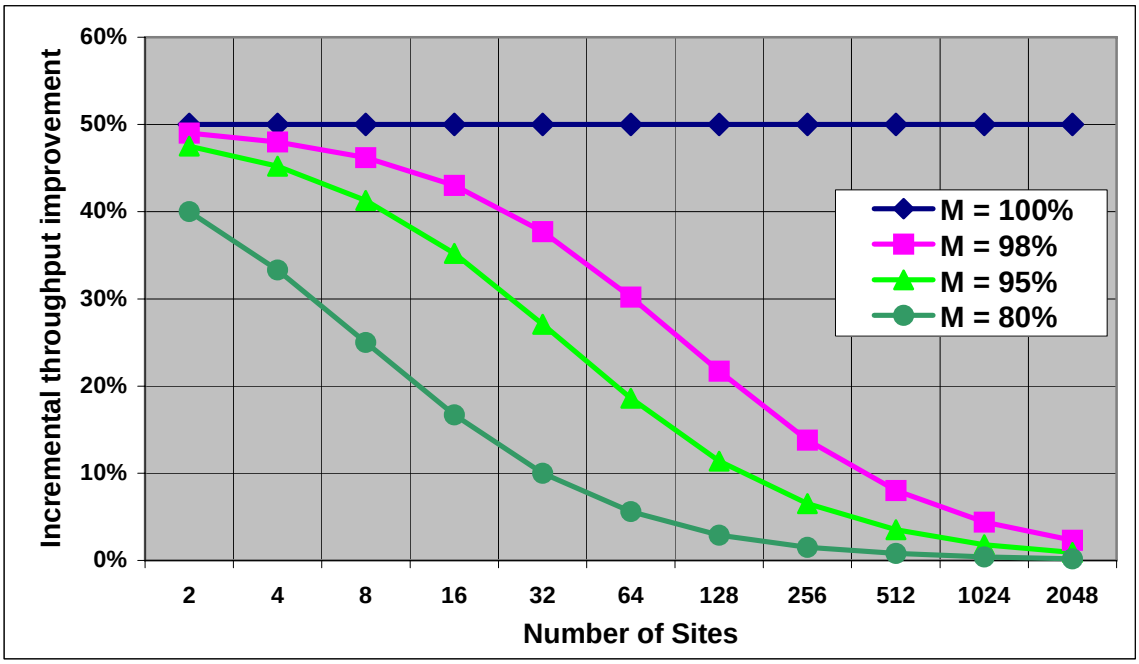


Figure TST3　Importance of Multi-site Efficiency in Massive Parallel Test

表 TST2 は、各製品分野における任意のデバイスに対するサイト数の予測トレンドを示している。カスタムな経済モデルが、カスタムデバイスのテストコストを減らすための最適化したロードマップを見つけて活用されるべきである。テストコスト目標を達成するための多様な方法やアプローチがあるということに注意が必要である。

その他のコストトレンド

メモリ、ロジック、RF を統合する解決策としての SiP の劇的な増加は、KGD 対応のウェーハテスト品質を改善することと同様に、複合技術による設計のためのテストコスト削減がますます強く望まれている。

テストの開発期間とコストは、DFT 技術や、テストの標準化（テスト内容の再使用、テストプログラムの相互運用性、圧縮、生産対応の俊敏性などに役立つ）や、テストパターンの自動生成（構造化テスト手法など）や、これ等を使用するプログラムで更に削減されるだろう。

BIST や組込み自己救済（BISR）技術のような独立したメモリ DFT は広く普及し、DFT はテストコストを抑制するために必須になるだろう。ある製品区分に対しては、新しい製造工程フローが経済的に理にかなうようになるかもしれない。例えば、BIST は低性能テスタを使い、次工程に高性能テスタを挿入する。

テスト調査に拠れば、テストコストを削減するための上位 5 つのテクニックは、ピン数削減、同時測定テスト、スキャン／パターン圧縮／BIST／DFT などの構造化テスト、歩留り習熟とコンカレントテストである。調査の回答者は、アダプティブテスト、測定機器の埋込みや、標準化努力（例えば CAST）も現在用いられている上位 5 つのコスト低減技術にはランク付けしなかった。しかしながら、アダプティブテスト、新コンタクト技術（例えば、MEMS、非接触プロービング）、ウェーハレベルの実速度テスト、組込みのフォールトトレラントや埋込みの測定機器は、将来においてテストコストを削減するための手法として確認された。

重要な関心領域

- サイト数の増加は、ATE アーキテクチャとプローブカード技術に厳しい要求を突き付ける。研究開発は、製品提供と同時測定テストのトレンドに向けられ、経済的なプローブ技術を市場に提供し続ける必要がある。先進的なプローブカードのリードタイムはひとつの課題である。高周波は大規模な並列テストにとって課題になるかも知れない。
- 比較的に高コストなアナログや RF のテスト装置と、これらの回路に関する長いテスト時間は、重要な課題を残している。並列テストを可能にするため、複数の測定機器が、フーリエ変換（FFT）または他の相関テストのような DSP テストアルゴリズムの高速実行に伴って必要となる。ミックスドシグナルの同時測定テストに対して次に考えることは、特に複雑なパッケージのテストに必要なロードボードの回路である。ミックスドシグナルと RF デバイスのための DFT 技術は、開発のニーズが残されている。高コストのため、ミックスドシグナルのリソース（および後処理）はしばしば共有され、同時測定効率を大幅に低下させている。
- 高速シリアルインタフェースは ASIC や SoC の市場に浸透している。ジッタ測定はテスト時間の長大化や装置導入コストの上昇を引き起こす。インタフェース数の増加につれて、コスト問題は直線的に増加するだろう。コストのスケーリング則を管理するための新しいテスト方法の開発が必要である。
- 大規模な並列テストの実行中に接続されていないピンを測定する新しい DFT 技法が要求されている。さらに、ピン数削減技術が展開されるような状況においては、電源のコストがチャネルコストの大半を占めるかもしれない。電源のコストは、電源と電力分配技術の革新によって封じこめる必要があるかもしれない。
- 低い同時測定効率は、少ないサイト数においては問題にならないが、大規模並列テストに対してはインパクトがあり、並列テストの目的にそぐわなくなる。同時測定のスケーリングを継続するためには、ATE アーキテクチャはサイト毎に専用のチャンネル／測定機器が必要になるかもしれない。なぜなら、共有のチャンネル／測定機器は、同時測定効率を制限するからである。コスト効率の良い方法で専用のチャンネル／測定機器を割り当てるため、チャネルコストは、特定の製品区分に対して低減する必要がある。

アダプティブテスト

製造プロセスばらつきを明確に管理し、同時に（あらかじめ設定した制約の下で）冗長な部分を削除するという、ダイナミックかつコスト効果的に調整されたICテストを目指す高まり続ける要求は、それは業界で広く適用されている静的な最適化によるレベルをはるかに超えたものだが、動的な「アダプティブテスト」手法の適用を加速するであろう。アダプティブテスト手法でもたらされる恩恵には、更なる低テストコスト、更なる高歩留り、より高い品質と信頼性、及びより効率的で早い歩留り習熟のための改善されたデータ収集環境などがあ

る。その発展的特長により、アダプティブテストは異端的な、もしくは欠陥のあるパーツの検出を改善したり、量産テスト工程の効率を向上させたり、また顧客の期待にさらに合致させることができる。

アダプティブテストの定義

アダプティブテストは、製造テストデータと統計的なデータ解析に基づき、テスト条件、テストフロー、テスト内容、テスト判定基準(ダイ／ユニット、またはダイより小さいレベル)を変える方法を説明するために使われる幅広い言葉である。この言葉は、インラインテストや上流テスト工程から下流テスト工程へのフィードフォワードデータや、後続生産のテスト最適化に使われるテスト後の統計的解析からのデータのフィードバックも含む。また、アダプティブテストは、統計的プロセスコントロール(Statistical Process Control = SPC)や、量産テスト中にオンザフライでテスト判定基準や内容の調整をするリアルタイムデータ解析も含む(例:平均値処理テストアルゴリズム)。 アダプティブテストを推進するための解析は、リアルタイムに(テスト中に並行して)、あるいはニアタイムに(1 個のテスト、1 枚のウェーハテスト、あるいは 1 ロットのテストの終わりに)、もしくはオフラインで発生する。また、いくつかの単純な応用は時々使われているが、アダプティブテストは今後徐々に使われ、ソフトウエアアルゴリズムの最新化、統計的解析方法の改善、およびデータベースのインフラの拡張が必要になるであろう。

アダプティブテストの流れの上位概念図を図 TST4 に示す。各テスト段階は、「リアルタイム」と「ニアタイム」(例えばウェーハの終わりで)の解析能力を持ち、共有データベースと解析システムからの情報にアクセスできる。「リアルタイム」解析は個々のダイのテスト中ずっと、連続したダイ間や非常に狭い時間ウインドウ(例えば 5 秒以内)で機能している。このリアルタイム解析によって、著しいテスト速度の低下があってはならない。このシステムは、任意のステップから他の任意のステップに、データと解析結果の完全なフィードフォワードとフィードバックができる。また、図には示していないが、このシステムはデータ解析に基づき複数の量産フロー(またはルート)に適用できる。このフローは、IDM 内に限定するものでなく、サプライチェーンを介して、複数の企業にまたがって適用されることも考えられる。

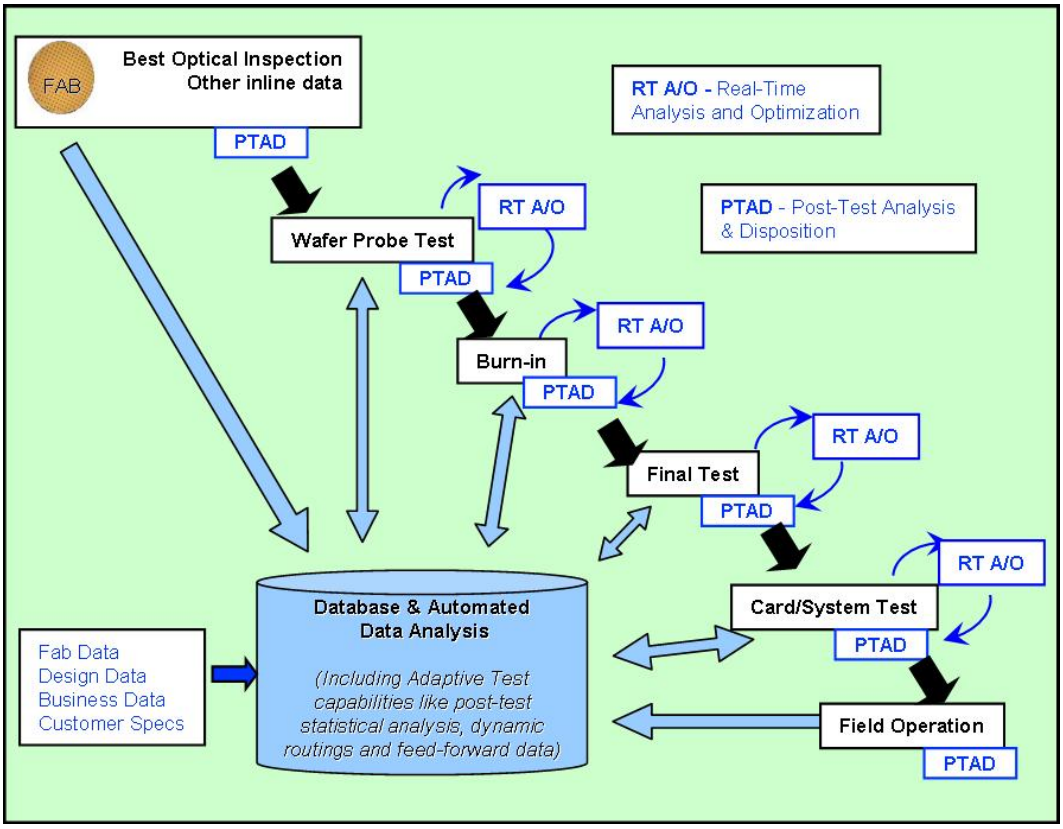


Figure TST4　High-level diagram of Adaptive Test Flow

プロセスばらつき - テストへの影響

プロセスばらつきの影響は ITRS 全体にかかわるテーマである。例えば、ITRS の設計の章は 100 倍以上の変動／ばらつきや不確かさを取り扱う。もし、設計が全てのばらつきと不確からしさを制御できるなら、テストはこれらの制御に有効であり、テスト上ではプロセスばらつきを無視できる。同様に、もしシステムがシステムの部品のばらつきに対応できれば、従来のテストのガードバンドは役に立つ部分となる。これらの制御と適用のレベルは明確になっておらず、それゆえにテストは、絶えずテスト条件やテスト内容やテストフローを調整できる新しいテスト方法を立案することで、ばらつきを明確にし、ふるいにかけなければならない。

Table TST3　"Stages" of Adaptive Test

Stages of Adaptive Test	*Implementation*
No Adaptive Test	• *Static Adaptation only -- test limits and test content and test flows are statically set and occasionally updated based on off-line analysis. (perhaps every few months)*
EMERGING METHODS (The following three stages may not necessarily be implemented in the order shown.)	
Adaptive Test Limit Setting	• *A procedure or algorithm is defined which sets test limits. (algorithm is statically defined)* • *During test execution, real-time (and possibly historical) DUT response data is used as input to the limit setting algorithms.* • *Many types of on-tester and off-tester outlier screening techniques can be applied at this stage.*
Data Feed-forward and Feed-backward	• *Data from any test step is available to be used at any other test step.* • *Data analysis of historical data at one test step is used to set limits, test content and flows at any other test step.*
Adaptive Test Content & Test Flows	• *A procedure or algorithm is defined which sets test content. (algorithm is statically defined)* • *During test execution, real-time (and possibly historical) DUT response data is used as input to the test content/flow setting algorithms.* • *Multiple Test flows can be dynamically chosen based on automated statistical data analysis.*
FUTURE METHODS	
Adaptive Test based on DUT Response Models	• *A "DUT response model" (which has many different limit setting schemes) is used instead of a static algorithm.* • *Over time, Adaptive Test will expand its input source from DUT responses to other types of process and business data.* • *In effect, there is a decision-tree structure that in the extreme could result in each DUT being uniquely tested by a flow dictated by the observed response which may include data from multiple insertions.* • *The more likely outcome is DUTs are identified as members of a common sub-group and the test flow is dynamically adjusted using the group of DUTs and their common response.*

応用例

下記はアダプティブテストの応用例である。これらの応用は手作業の静的方法からすべての段階（例：ロット、ウェーハ、ダイ）での自動適用と、生産やテストのエンジニアスタッフによる直接入力を最小化するテストのやり方に移行しつつある。

1. **Real-time monitoring of test results that can dynamically change test flows**――テストの追加や削除、および、もっと歩留り習熟をなすための特性評価や診断データの収集を選択的に実行する。この応用はまた、リアルタイムな統計的プロセスコントロールを支援する。
2. **Post-test statistical analysis of test results** ――DPM（Defect per Million）や信頼性不良を起こす分布はずれや異端的な事象をうまく識別するためのテスト後のテスト結果の統計的解析（例えば、ウェーハ全体またはロットに対して）。このテスト後の解析はまた、独自のテストフローによって目標のダイを見つけるのに使われる。
3. **Feed-forward of test results from one test step to later test steps**――テストの最適化、またはより的を絞ったスクリーニングをするために、ひとつの工程 から後に続く工程へのテスト結果のフィードフォワード（例えば、インラインテストからウェーハテストへ、ウェーハテストからパッケージテストへ、バーンイン結果からパッケージテストへ、パッケージテストから基板／システムテストへ）。
4. **Feed-back test results to drive changes for future devices**――例えば、オフライン解析は、テストフロー、テスト内容、あるいは測定ルーチンを最適化するのに使われる。またオフライン解析は、過去の収集データ、テスト生産能力、要求される対応時間、DPM 要求、期待された歩留りと特性データといった多くの情報源からのデータを統合する。
5. **Production test monitoring and alerts**――過去に実行したものだけでなく、より複雑な量産テストオペレーションを可能にするための全ての有用なデータのリアルタイムな統計的解析を含む（例えば、ウェーハプローブの、マージナルな接触性能に起因する難解な特性のシフトを立証するための、リアルタイム

なパラメトリックデータ解析）。

今後 5～10 年のアダプティブテストの方向

基本的に、アダプティブテストのゴールは、設計・モデル・製造・過去データ・等々といった全てのリソースからのデータを統合し、それを結合し分解し、個々のデバイスに対して最良の結果となるためにテストリソースをどう費やすかについて最も賢い決定をする工程を、完全に自動化することである。結合された周辺の測定方法、データ品質の保証、データ通信と配信、柔軟なテストフローや製造工程、それらにより全てのダイを少ないコストで適切にふるいに掛けるというアルゴリズム開発の作業は続く。

アダプティブテストの機能の抽象概念は、既存のアダプティブテストの応用の上に新規性や拡張性を構築することを認める。必要により、種々の詳細を取り除くことにより、システムの基本的構造が明確になる。以下のふたつの関係する疑問に対する答えは、アダプティブテストを理解する鍵となる。「テストプログラムの変更を制御するインハウスグループでどんな内容が評価され認められたのか？」、そして、「DUT の応答の観察により、テストフローのどの要素が データドライブされたのか？」 である。概念としてはふたつの機能要素、すなわち DUT 応答モデルとテスト判定基準設定に分けられる。ひとつのテストプログラムはこれらのふたつの組合せを、例えば、最終選別や連続テストといった各部分の配置に対して実行する。

アダプティブテストを構築するブロック

アダプティブテストは、テスト内容やフローを動的に最適化する一組のインフラ構築ブロック に依存する。そのキー要素は下記である。

- データ（色々なソース、それはリアルタイムデータ、過去のデータ、フィードフォワードのデータ、決定アルゴリズムに供給するために作られたデータであるかもしれない。）
- データ構造と制御経路（対象データを解析エンジンに配る、決定をアクションポイントに伝える。）
- 決定アルゴリズム（自動的にテスト判定基準、フロー、入力データに基づく内容を調整する。）
- 解析エンジン（特別な生産パラメータによる制御信号を返すために、データ構造に基づき、モデル／アルゴリズムの実行をする。このエンジンはテストプログラムまたはステーショ ンコントローラのソフトにあり、別になっていてもいいし、内蔵されていてもいい。）
- ステーションコントローラ／テストプログラムの仕掛け、これは解析エンジンとやりとりし起動させる。

アダプティブテストはさらなるインフラとビジネスプロセスがあれば以下のようなことも可能となる。

- フルトレーサビリティ（アダプティブテストが如何にしてテストされた個々の製品に用いられたかの詳細）
- 標準モデルとアルゴリズム（平均値処理テスト手法、線形モデル、機械学習、サンプリング、、、）
- レシピの管理（モデル書式とパラメータ、対象の製品とロット）
- 解析機能（品質、信頼性、テスト時間、歩留りロス、およびリスクアセスメント等のトレードオフを定量化）

テストデータ自動化に対するアダプティブテストの関係

- 全ての製造フローから上がってくる大量のテストデータ蓄積
- 過去のテストデータのリアルタイム読み出し（ダイ単位のフィードフォワード、リアルタイムなロット統計、フィードバック）
- リアルタイムなデータの完全性の確認
- 応答とトレーサビリティのためのファイル書式とデータ表現の標準
- アルゴリズムの表現

ATE（自動テスト装置）に対するアダプティブテストの関係

- テストの入力と結果のリアルタイム伝送経路のために、ATE の（標準）インタフェースを定義し開発すること
- テストフローを最適化するためにテストフローとハードウェア構成を制御する ATE の（標準）リアルタイムインタフェースを開発すること
- （ユニット間またはロット間において）テストプログラム内容をリアルタイムに調整するためのインタフェース

とルールを定義すること
・ テストフローを最適化するためのハードウェア構成の自動調整

Table TST4 Implications of Adaptive Test

Challenge	***Required Direction***
IT Infrastructure	• *Infrastructure to enable the Adaptive Test flow shown in .* • *End-to-end supply chain data integration – including data from Fabs, Test Houses and other Subcons.* • *Develop supply chain data integration and processes which automatically detect supply chain issues and implement corrective actions in near real-time.* • *Integrate multiple databases, flexible logistics system, full part tracking at each test step, and feed-forward/feed-backward data flows.*
Traceability	• *Enable full traceability of Adaptive Test parameters (limits, content, flows, rules) for each die. (accessible anytime in future)*
Real-Time Communications	• *Develop tester-to/from-data analysis engine communication – without significantly impacting test time.*
Development of Improved Models & Algorithms	• *Development of methods where the models are not fixed – instead the models are dynamically adjusted based on DUT responses.* • *Develop peripheral coverage metrics and associated quality impact of dropped or modified tests.* • *More encompassing fault coverage metrics are required – particularly for analog circuits.*

テスト技術への要求

導入部

過去 25 年にわたり、半導体テスト技術に対する要求は、主に性能とトランジスタ数の過酷な増加により押し上げられてきている。基本的な変化は、新たな市場要求（例えば可搬性、セキュリティ、使用の容易性、システム管理の容易性、低消費電力など）の緊急性によって、引き続き駆り立てられている。これにより、従来よりも多様な方法で、かつより多くのアプリケーションで、異なる半導体技術の統合が煽られることになる。テスト技術に対する要求を決定するのが、究極的にはアプリケーションの要求や仕様であることから、テストは本質的に大きな課題となるが、この章においてアプリケーションの包括的な集合と、これに関連するテスト要求の傾向を把握することは、不可能であろう。したがって、各コア技術に関連したテストの課題と傾向を述べ、またこれらのコア技術をともに SoC 又は SiP として統合するためのテスト上の課題を述べるための枠組みを与えるために、コアとなる半導体技術の構成要素を確認することとした。

各コア半導体技術は関連したあるアプリケーションをもち、これらのうちあるものが、長期的な傾向を引き出すための土台として用いられる。特に ITRS では、CPU, ASIC, DRAM, フラッシュメモリに対しキーとなる技術の特質の傾向を公開する。これらは、コア技術の節中のふさわしい箇所で参照される。図 TST5 は、この章で注意を向けられたコア半導体技術と、これらに関連するアプリケーションの例を示している。挙げられた例の多くが複数のコア技術を含んでいるであろうことから、アプリケーションの対応付けは意図的に緩くしている。コア技術は主に、それら固有の機能的な相違と、それゆえに異なるテスト要求により区別される。この版で含まれない 2 つの緊急的なコア技術は、MEMS および光伝送である。

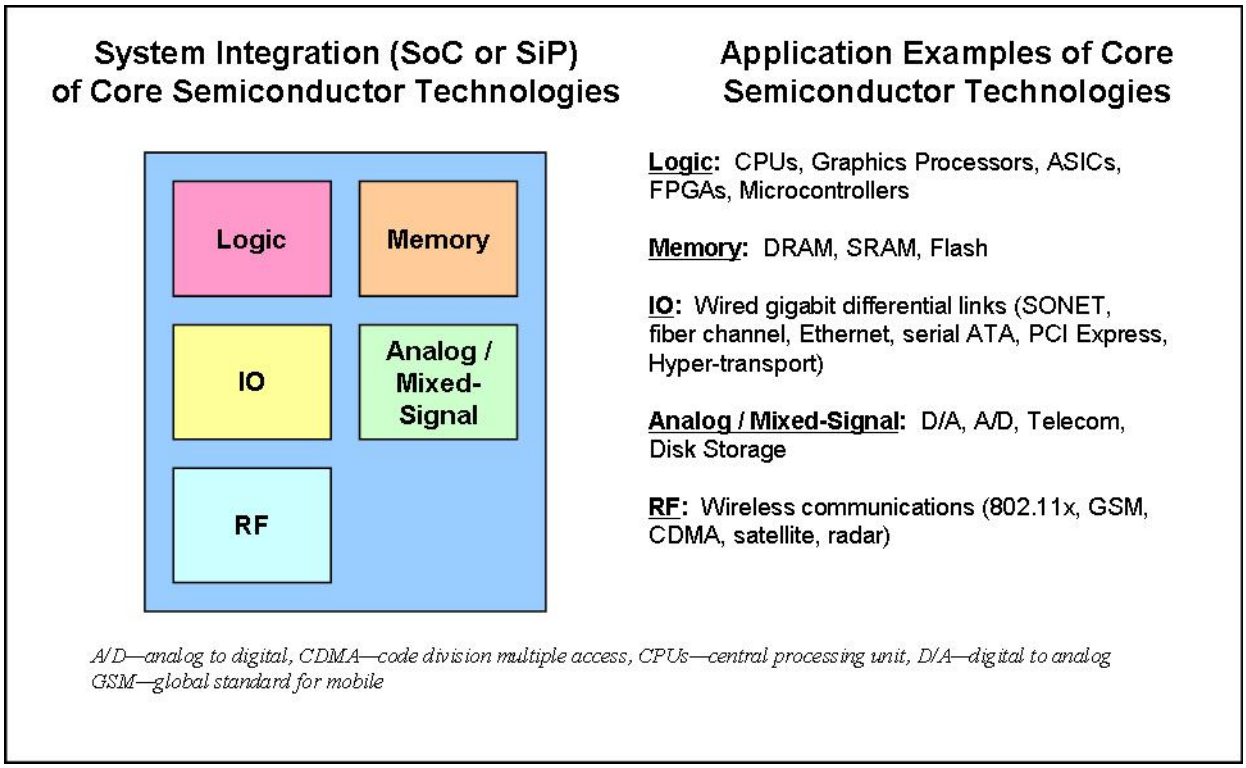


Figure TST5　Organization of Cores for System Integration and Applications

最近では、これらのコア半導体技術とアプリケーションが、異なるテスト上の解決策を明確に要求しており、それぞれに特定のテスト装置やインタフェースツールの市場を持つ。コア統合の増加は、これらの境界を不明瞭にする。コア統合の成否が、ただ「統合できるか」ではなく、「統合された全体を、経済的にテストできる

か」でどうかで決定されることから、DFT の重要性が増すことになる。テスト技術への要求の節の残りは、コア統合の増加に関連するテスト上の課題と、それを構成する各コア技術に対するテスト上の課題に向けられる。

システム集積－SoC と SiP のテスト上の課題とその意味するところ

SoC と SiP は、理論的には等価と言えなくはないが、どのテクノロジがパッケージあるいはチップにより集積しやすいかという点、およびそれぞれテストが意味するところが非常に異なるという点で、互いに大きな違いがある。 最近のアセンブリ／パッケージ技術の進歩は、異なるコア半導体技術を同一のウェーハ製造プロセス上で最適化することの困難さと相俟って、SiP に大きな勢いを与えてきたため、一部の予測では SiP が支配的になると言われている。ウェーハ製造プロセスの改良と設計／DFT のニーズが SoC を表舞台に押し出したり、また両者の複合物を生み出したりするかもしれない。ひとつ明らかなことは、集積化の傾向は継続するという点である。問題は、それがどれほど早く、またどのような形であるかという点である。以下の 2 つの節では、SoC、SiP のそれぞれに関連するテストの課題と、それが意味するところについて議論する。

システム・オン・チップ

SoCは複数の個別に設計されたブロック（コア）からなり、それぞれは異なったテクノロジ（ロジック、メモリ、アナログ、RF等）を用いている。このような取り合わせに対しては、これら搭載コアに対応する特定のテクノロジをテストするための多様な解決策が必要となる。SoC設計は、既存のIPコアに関しその設計自体や、搭載されたテストソリューション、および他コアとのインタフェースをカプセル化したデータベースへの依存を、次第に高めている。SoCのテストは、個々のコアのテストソリューションを観測・制御する、高度に構造化されたDFTの枠組みを持つことを意味する。SoCテストは、個々のコアやコア・テスト・アクセス、チップ全体のテストに関連するこれらのソリューションの適切な組み合わせを含む必要がある。SoCテストの基本的な課題のひとつは、相異なるテスト容易化手法を持つ複数のソースからの、テストに関する要求を組み合わせる必要がある点である。いまひとつの基本的な課題は、品質とコスト双方の高度な最適化である。SoC全体の品質とコストを評価し、顧客の受け入れ可能なレベルに調整する必要がある。階層的なアプローチや並列アプローチが必要となるであろう。

表 TST5 に示した量的傾向と要求は、ITRS システム・ドライバ章の SoC-PE モデルに示された傾向に基づいて推定したものである。この傾向は、トランジスタ数やフリップフロップ数、メモリビット数を含む。この推定は特定の SoC モデルを仮定して行われているが、各要求は種々の SoC 設計に対しても適用可能である。

ロジックコアに対する要求課題

ロジックコアに対する大量のテストデータを削減するためには、ロジック BIST や圧縮デターミニスティック・パターン・テストなどの高度な DFT 手法が必要である。手法の採用にあたっては DFT エリア・インベストメント、設計ルール制約及び関連する ATE コストのトレードオフを考慮する必要がある。ここで、DFT エリアは主にテストコントローラとテストポイントからなり、階層設計手法を用いることにより一定に保つことができる。

テスト品質とテストコストのトレードオフは重大な関心事である。高いレベルのテスト品質を達成するためには、ATPG は縮退故障及び遷移遅延故障のみならず微小遅延故障あるいは他の欠陥ベース故障にも対応しなければならない。ロジック・トランジスタ数の増加に従って、テストパターン数はロードマップの期間を通じて増加するだろう。しかし、テストコストの上昇を避けるためには、ゲートあたりのテスト実行時間を一定に保つ必要がある。したがって、テストパターン数削減、スキャンチェーン長削減、スキャンシフト周波数のスケーラブルな高速化などの種々のアプローチが詳細に検討されなければならない。

テストパターン数の増加がもたらす他の問題として、テストデータ量の増加がある。テスタメモリ容量が 3 年ごとに 2 倍になるとしても、近い将来高いテストデータ圧縮率が必要となるだろう。したがって、テストデータ圧縮は引き続き重要課題として取り組む必要がある。テスト実行時間とテストデータ量を同時に削減する解決策のひとつの可能性としては、同一 IP コアを 1 つのデザイン中で反復使用する方法がある。図 TST7 は同一 IP コアの反復使用がテスト実行時間及びテストデータ量に及ぼすインパクトを示している。これを見ると

一定テスト時間のための要求課題がある程度緩和されているが、問題を完全に解決するには不十分であることがわかる。したがって、他のアプローチ、例えば BIST と圧縮デターミニスティック・パターン・テスト【訳者注：本章では簡単に、スキャン圧縮、パターン圧縮などの用語でも参照されている】の組み合わせあるいは革新的な DFT 手法などにも取り組まなければならない。

電源領域の増加は、追加パターンを必要とするかもしれない。しかし、増加するテストパターン数は電源領域数に比例するので、全テストパターン数への多大なインパクトにはならない。それでも、電源領域の増加は同一コアの同時テストの効果を低下させるかもしれない。この効果へのインパクトは今後のロードマップで検討される。

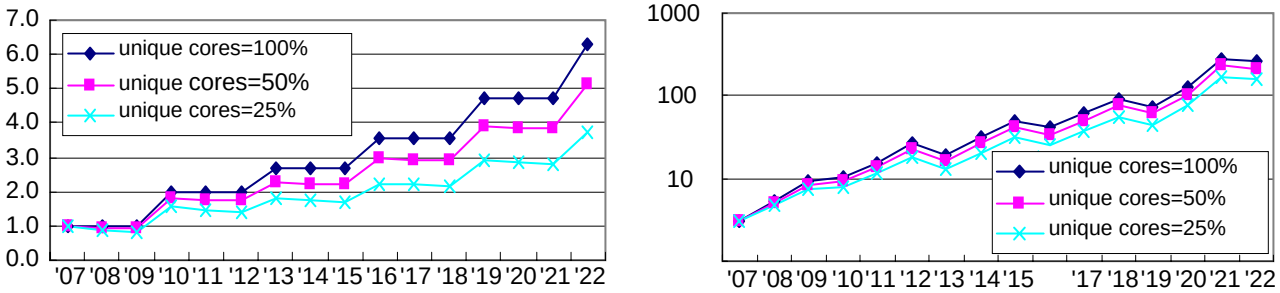
First Year of IC Production	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024
Required compression	80	200	300	500	750	1300	2000	3300	4800	7300	12000	20000	35000	67000	83000	104000
1-dim: Test-cube compression (100X)																
2-dim: Spatial compression(500X)																
3-dim: Time correlations compression(1000X)																
Multi-dim: compression(5000X)																

This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required
Development Underway
Qualification / Pre-Production
Continuous Improvement

Figure TST6　Potential Solution for the Problem of the Test Data Increase

図 TST6 はテストデータの増加問題への解決策候補（Potential Solutions）を示している。現在の圧縮技術は、主に各テストベクタが多くの"X"値（故障検出率増加に関与しないドントケアビット値）を持っている点を利用していて、100 倍以上の圧縮率が達成されている。しかし、表 TST5 SoC に示されているように、圧縮率 100 倍でさえ十分ではない。ゆえに、より洗練された技術が今後必要とされる。スキャンチェーンに印加されるテストベクタ値の類似性に、より高い圧縮率達成の見込みがある。さらに、テストベクタ値の時間方向の類似性に、より高い圧縮率達成への余地があるかもしれない。このように複数の次元での類似性を反映することがひとつの解決策候補と思われる。



(a) Test Time per Gate (Relative)　　**(b) Required Test Data Volume Compression**

Figure TST7　Impact of Repeated Use of Same Cores

また、ゲートあたりのテスト実行時間を一定に保つことは必ずしも安定したテスト実行コストを意味するもの

ではない点に注意する必要がある。したがって、トランジスタあたりのテストコストをスケーラブルに削減するためには、同測数の増加や低コスト ATE の使用あるいはテスト周波数の向上などの ATE コストを削減するための手法も必要である。

First Year of IC Production	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024
Required Test time reduction	1x	2x	2x	2x	2.5x	2.5x	2.5x	3.2x	3.2x	3.2x	4.2x	4.2x	4.2x	5.6x	5.6x	5.6x
Multi-site Test																
Core-Pararell Test																
Test Vector Reduction (include comprssion)																
Test per clock																

This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required
Development Underway
Qualification / Pre-Production
Continuous Improvement

Figure TST8 Potential Solutions for Test Time Reduction

図 TST8 はテスト時間の増加問題への解決策候補を示している。同測テスト数の増加はチップ毎のテスト時間削減のための効果的なソリューションである。コア階層での同時並列テストはテスト時間削減の可能性がある。ATPG／DFT レベルでのテスト時間削減技術が今後開発されなければならない。「Test per clock」は、スキャンテストとは全く異なるテスト方式を意味する（すなわち、非スキャンテスト）。そのテストは各クロックパルスで行われ、スキャンシフト操作を必要としない。その方式に関するいくつかの論文があるが、産業での実用化のためにはより多くの研究が必要とされる。

設計効率向上のために高位設計言語が使用されており、DFT も高位設計フェーズでの適用が望ましい。DFT 設計ルールチェックは、すでにある程度は利用可能であるが、テスト容易性の解析、故障検出率の推定及び非スキャン設計手法を含めた高位設計における DFT 合成が次の段階として必要である。一方、歩留りロスも関心事である。テストパターンが DUT 中のすべての可能な故障を活性化する場合、通常機能の動作では発生しない過剰なスイッチング動作を生じるであろう。これは機能動作を不安定にするような過剰な電力消費を生起し、結局はオーバーキルとなるテスタフェールを起こすことになる。さらに、IR ドロップやクロストークによるシグナルインテグリティの問題により機能動作が不安定あるいはマージナルとなり、不良を生じる可能性もある。したがって、DFT 設計における電力消費とノイズの予測及び制御が必要である。

Table TST5 System on Chip Test Requirements

メモリコアに対する要求課題

プロセス技術の進歩とともにメモリの総ビット数は増大し、これに伴って BIST、救済及び故障診断のための回路に対するエリア・インベストメントも増加する。また，メモリコアの高密度化と動作周波数向上により、メモリ DFT 技術としては以下のような機能及び性能上の革新が必要となる。

- ナノメータ・プロセスにおいて出現する新しいタイプの欠陥をカバーするため、テストアルゴリズムは、一般的な固定アルゴリズムから一般的なアルゴリズムとテスト条件の選択的な組み合わせ、あるいは、与えられたメモリ・デザインと欠陥集合に最適な専用アルゴリズムに進化しなければならない。さらに、柔軟なテストアルゴリズムの作成を可能にする高度なプログラマブル BIST が開発されなければならない。
- 組込み冗長割当（BIRA）や組込み自己救済（BISR）のような実用的な内蔵救済技術が開発されなければならない。ここで、BIRA は歩留りを改善するために BIST 結果を解析して冗長要素の割り当てを決定する技術である。また、BISR はチップ上で実際の再構成（ハード救済）を行う技術である。
- 不良情報のオンラインでの収集は歩留り習熟にとって本質的になりつつある。ビット、ロー、カラムの不良あるいはこれらの不良の組み合わせなどの不良タイプが、大量のテスト結果をダンプすることなくチップ上で識別される必要がある。組込み自己診断（BISD）機構があれば、メモリ出力の解析による不良タイプの識別が可能になり、その結果を ATE に渡すことができる。
- 以上のすべての機構は、コンパクトなサイズで実装されなければならないし、またシステム周波数で動作しなければならない。

表 TST5 に基づくと、2007 年（訳者注：正しくは 2009 年）において内蔵メモリに対する組込みテスト、救済及び診断のための回路のサイズは 1M ビットあたり最大 35k ゲートになる。これには BIST、BIRA、BISR 及び BISD の回路を含むが、光学的ヒューズあるいは電気的ヒューズのような救済をプログラムするためのデバイスは含まない。メモリの総ビット数に対するエリア・インベストメントの比率は、今後 10 年間は増加してはならない。この要求課題は容易に実現できるものではない。とくに、メモリの冗長アーキテクチャがより複雑になると、救済解析を少量の回路で実装するのは困難になるだろう。このため、BIST、救済、診断アーキテクチャにおけるブレークスルーが必要となる。メモリコアの BIST、救済、診断回路を高速部と低速部に分けることによりエリア・インベストメントとタイミング・クロージャのための応答時間は削減できるかもしれない。カウンタとデータ比較回路で構成される高速部はメモリコアに内蔵することも可能であり、それによりテストモードにおけるシステム速度での動作のための制限が緩和されるだろう。スケジューリングやテストパターンのプログラミングなどのための回路で構成される低速部は低速で動作するように設計することもできるし、あるいは複数のメモリコアで共有することもできる。これにより、エリア・インベストメントを削減でき、また論理設計及び物理設計の作業を容易化できるだろう。そのような設計メソドロジを自動化するためには、すべての必要なメモリタイプと構成に対して高速なメモリテスト動作のためのインタフェースが統一かつ標準化されなければならない。今日の SoC はしばしば数多くの小規模メモリコアを持っている。しかし、このような場合には、総ビット数が同じ単一のメモリコアを持つ場合と比較しより多くの DFT 回路が必要となる。したがって、これらの多数のメモリコアを少数のメモリブロックに集約することにより、メモリ DFT のためのエリア・インベストメントを劇的に削減することができる。テスト容易性を考慮した高位合成は、メモリセルの割り当てプロセスにおいてこの機能を実現するとともに、システム動作におけるメモリ・アクセスの並列性を考慮しなければならない。

SoC の集積に関する要求課題

IPコアの再利用は設計効率の観点からキーとなる課題である。IPコアをサードパーティのプロバイダから入手する場合には所定のテストソリューションを採用しなければならない。多くのEDAツールがロジックコアに対する標準フォーマット（例えばIEEE1500[1]）に既に対応しており、この標準フォーマットの普及とアナログコアな

[1] *1500-2005 IEEE Standard Testability Method for Embedded Core-based Integrated Circuits*

どへの拡張が必要である。DFTとATEのインタフェースも標準化されつつあるが（例えばIEEE1450[2]）、その中にはテストベクタだけでなくパラメトリックな要素も含められなければならない。各コアのテスト品質は、現在は縮退故障や遷移遅延故障あるいは微小遅延故障などの種々の故障検出率を用いて評価されているが、各コアの故障検出率をまとめて全体としてのテスト品質を得る統一的な方法が開発されなければならない。従来、構造テストの品質を補うために機能テストが用いられてきたが、コア間及びコア・インタフェースに対する自動テストが近い将来に開発されなければならない。SoCレベルの故障診断には、設計あるいはプロセスにおける歩留り限定因子（例えばシステマティック欠陥）の学習が可能なシステマティックな階層診断プラットフォームが必要である。それは欠陥のあるコア、そのコア中の欠陥のある部品、その部品中の欠陥のあるX-Y座標を階層的に指摘しなければならない。対応可能な欠陥タイプのメニューは、最新のプロセス技術における物理欠陥の母集団の増加に合わせて強化されなければならない。設計ツールとATEあるいはFA装置との間のスムーズな標準化されたインタフェースも必要である。同一のコアを含む複数の製品に亘って整合の取れたデータを収集し、データベースに格納してデータマイニング手法により解析するためには、大量診断が必要である。効率的な歩留り習熟のためにはデータ項目のメニューが非常に重要なキーであるが、現時点ではこれはノウハウとなっている。

システム・イン・パッケージ

SoC とは対照的に、SiP では集積する前に部品のテストを行うこともできる。一つの故障部品が SiP 内の他の複数の良い部品を使えなくすることもあり、またこれにより SiP の歩留りを厳しく制限することにもなるため、この点は重要である。さらに、集積がアセンブリやパッケージ時に行われることから、集積前の部品テストは通常ウェーハプローブテストの際に行われなければならない。つまり主要な課題は、集積前に良品ダイを識別するということになる。「Known Good Die (KGD) 」は、単一チップとしてパッケージされた場合と同等の品質と信頼性を持つと期待できるベアダイの呼称として、1990 年代中頃に創られた用語である。

多くの場合、単一チップパッケージの形でデバイスのテストおよびスクリーニングを行うことにより、今日出荷される IC 製品に対する出荷時の品質と信頼性の数値は基準を満たしている。一般的に、ウェーハプローブテストは性能選別、信頼性スクリーニング、あるいは効率的な同時測定コンタクトには向いていない。このため、一般的には、これらのテストはパッケージレベルでテスト・バーンインソケット、バーンインチャンバあるいはロードボードを用いて行うのがより効果的である。このため、KGD プロセスでは、許容できる品質および信頼性の目標に合致するように、プローブ時及びその後のダイレベルのテスト及びスクリーニングでは高いクラスに選別されることが暗に求められている。主要な短期的課題としては、異なるマーケット部門で要求される品質および信頼性目標の設定、ウェーハ、あるいはダイレベルで適用できるコスト効率のよいテストおよび信頼性スクリーニング手法の開発、そして、得られる品質および信頼性のレベルに関して高い信用レベルを与えられる品質および信頼性手法の開発がある。より長期的な課題としては、エンドユーザにも利用可能なエラー検出および修正機能を持つ完全な自己テスト戦略への移行が挙げられる。

SiPのテストおよび装置に関する課題

SiP 製品は複数のサプライヤからのダイを含んでいることが多いので、SiP 製品は製造の後工程に対し多くの独特な課題が存在する。このことは以下の領域に問題を生じさせる。

- コストと DPM の目標を両立させるためのパッケージテスト戦略の開発策定
- さまざまな製品／プロセス技術の信頼性スクリーニングの方法（バーンイン、電圧ストレス、など）の必要性に順応する製造フロー
- 品質問題とシステマティックな歩留り課題を解決するための故障箇所特定を行う故障解析方法

[2] *P1450.6, Draft Standard for Standard Test Interface Language (STIL) for Digital Test Vector Data—Core Test Language (CTL)*
（訳者注：1450.6-2005, IEEE Standard Test Interface Language (STIL) for Digital Test Vector Data-Core Test Language (CTL)）

パッケージレベルで、SiP のテストは複雑な SoC 製品のテストの問題と良く似ている。すなわち特殊なテスト要件のあるさまざまな IP を一つの一貫したテストフローに集約しなければならない。SoC の場合、全てがチップ上にあり、同時に設計されるので、様々なブロックのテスト戦略が IEEE1500 標準仕様にて定義されたような戦略を用いて、テストラッパーやテスト制御ブロックなどを通して統一される。SiP の場合、ダイの供給者が特殊なテストモード（汎用メモリ製品の場合、特にしばしば機密とされる場合がある）にアクセスするのに必要な情報の提供をいやがったり、SoC では通常用いられるテスト戦略のために実装する、必要なテストインフラを、個々のダイが持たなかったりする。

KGD のみを扱う SiP でさえ、組立てが正確に実施されたことを保証するために、最終組立ての後にある程度の量のテストが必要である。最終的な組立てがダイの薄型化と積層形成（KGD ダイを破損や変化を起こし得る）を含んでいるとき、追加のテストが必要になるかもしれない。故障箇所特定に関するケースでは、特定のダイ、更にそのダイの小領域まで故障箇所を絞りたい場合は、通常の生産で必要でなくても、そのダイに対する詳細なテスト戦略の詳細な理解が必要になる。

信頼性のスクリーニングの場合、あるダイがバーンインを必要とする一方で、他が電圧ストレスのみを要求するかもしれない。あるダイのストレス条件は、同一パッケージ中の他のダイにとって矛盾する（有害でさえある）かも知れない。SiP 製品の中の異なったダイには全く異なったプロセスがしばしばあるので、解決はより難しい。一つの解決策が最終組立後のスクリーニングの信頼性を損なうだけでなく、全体的なコストを増大しかねない（例えば、ウェーハレベルのバーンインは通常パッケージレベルのバーンインよりも高価である）。

異種のダイがマルチチップパッケージの中に組立てられるとき、組立てられたモジュールを完全にテストするのに、異なったプラットフォームにおけるいくつかのテストの追加が必要になる場合がある。複数のテストの追加は機械的なダメージによるテストエスケープや歩留りの低下をもたらすこともある。積層されたパッケージの表にコンタクトするために、新たなテスト装置が必要になる。ウェーハ積層技術には、より良い冗長救済技術が必要であり、歩留りとコストのターゲットを実現するために、最終的な積層を「修理する」ことが必要になる。動作中に故障した部品を特定し、冗長な要素を起動できるような電子システムを設計し製造することが、SiP の信頼性への主要な課題である。

ウェーハのテストと装置に関する課題と関心点

今日共用的に用いられているプローブカード技術は「最終テスト」の環境としてあまり理想的ではない。スピードクリティカル、RF、遅延およびアナログテストといった性能ベースのテストのほとんどはパッケージレベルで実施されているので、KGD のプロセスの最大の課題は、欠陥のある、あるいは使用初期に生じる故障をそれらのデバイスが次の組立工程に送られる前に、コスト効率良く、製造価値があり、確実で正確に識別する手法を開発することである。

ディスプレイドライバや最先端 DRAM などのある種のテクノロジでのテスト時間はきわめて膨大である。ウェーハプローブ工程の制約により、これらのテストのスループットはパッケージされた部品より大幅に低下する。コスト効率の良い方法で、DRAM ダイをウェーハレベルでフルにテストするための課題には、前にプローブしたダイと重複したり、ウェーハを外したりせずに、また既に除外したり明らかに動作しないダイ全てに対するテスト時間と電力の浪費を避けながら、ウェーハ上の複数のダイをプローブできる技術が含まれる。

RF デバイスのウェーハテスト

KGD のプロセスを RF ダイに適用するための主要な課題は、高性能で狭ピッチなプローブカードの開発である。RF ダイは小型であるので、パッドピッチは非常に狭い。例として、ある製品の中のパッドピッチは 75 μm を下回っており、今日、現在のプローブ技術の限界である。

RF プロービング時のシグナルインテグリティを良好にするために、GND－信号－GND という構成が RF 信号には要求される。RF デバイスを KGD プロセスに適用する際の主要課題は、適切なプローブカード設

計と RF プロービング技術により、RF パスのインピーダンスが制御されるよう、GND－信号－GND 構成が設計されていることの保証である。

ウェーハもしくはダイレベルでの信頼性スクリーニング

一定時間の電圧や温度印加は、シリコンに潜在している不良を故障へと加速するためのストレスとして知られている。これらはウェーハやダイレベルよりパッケージレベルでの適用が容易である。ダイをパッケージする前にこれらのストレスを適用するのは、KGD にとって主要な課題である。

製造から要求される工程の能力に対して、費用対効果に優れたウェーハ全体のコンタクト技術の開発は、この産業の主要な課題である。コンタクト工程の能力はコンタクト技術の性能だけではなく、その製品のためのバーンインストレスの要求でもある。

テストデータの統計的な処理

わずかで潜在している欠陥を特定するのに統計データ分析を使用する手法は、この業界、特に多品種少量生産、および製品寿命が短いためにバーンインが受け入れられなかったり、プロセスばらつきにより従来のテスタ制約の下では良品ダイと欠陥ダイを分別したりすることが不可能となるような製品分野において、支持を受けるようになってきている。バーンインの代わりにテスト追加を行う信頼性スクリーニングの利点は、テスト時間、テスト装置、設備、装置間の運搬を削減できることである。KGD の意味は、標準のプローブとテスタでウェーハレベルでのスクリーニングが実行されるということであり、全てのデバイスが最終的なパッケージに関わらず、出荷の過程において、データシートのスペックや、そのプロセスにおける出荷品質や信頼性のターゲットを完全に考慮されていると言うことである。テスタから離れて統計的手法を使用して、それぞれのダイのテスト測定値（例えば、Idd、Vddmin、Fmax）【訳者注：Vddmin は最低動作電圧、Fmax は最高動作周波数】は捨てられるのではなく、各々のダイで記録される。これらの測定値は異なるテスト条件や、ストレステストの前後や異なる温度条件で、記録が可能である。良品か不良品かの判断基準は、テスタを離れた後工程でのアルゴリズムを使用することで記録された測定値の統計分析に基づいて決定する。統計的分布の異常値は、システム故障か初期故障デバイスであることが、それらの統計的な見込みに基づいて等級付けされる、そして、インクを用いないウェーハマップがそれに従って更新される。統計的手法を用いてテストするための課題は、潜在的な故障の集団と本質的な歩留り損失の間の、許容できるトレードオフをとることである。

後工程のダイの品質への影響

アセンブリ途中の工程が、あるテクノロジにダメージを与えることがある。ウェーハの薄型化がひとつの例である: DRAM ウェーハの薄型化による、リフレッシュ特性の変化が観測されている。ウェーハレベルでフルにテストされたウェーハからのダイが、薄型化され SiP や MCP にアセンブルされた後、全く同じテストで故障となることがある。アセンブリ工程中の熱処理ステップが、個々のビットに対して、リフレッシュ特性の変化を起こすこともある。この現象は可変リテンション時間 (VRT: variable retention time) として知られており、アセンブリ工程前にスクリーニングすることはできない。

主要な課題は、ダイ供給者が達成する品質レベルを、再び確立することである。これは追加のアセンブリ後テストや、多チップパッケージ内にある個々の故障ダイ中での冗長要素の起動や、多チップのアプリケーション用に特別に設計された部品を用いることにより、達成できる。

ロジック

この節では、マイクロプロセッサのような非常に複雑なデジタル・ロジックデバイスに搭載された CMOS デジタルロジック部のテストや、もっと一般的に、単体、或いは、他のより複雑なデバイスと集積されるロジックコアのテストについて焦点を当てる。最も重要なことは、主要なロジックテストのトレンドが基本的なロードマップのトレンドを決定付けるということである。大抵のトレンドデータが掴めるので、「大量生産マイクロプロセッサ」と「民生 SoC」が主なリファレンスとして選択されている。内蔵メモリ（キャッシュメモリのような）、I/O、ミックスド

シグナル、あるいは RF に関する特殊なテスト要求が各々の節の中で述べられており、これらの技術が搭載された複雑なロジックデバイスについて考える場合には把握しておかねばならない。

大量生産マイクロプロセッサのトレンドを牽引するもの

テーブルの最初の部分にあるトレンドは ITRS の他の部分から抜粋したもので、将来的なロジックテストの要求を予測するための主要な仮定の根拠付けとして、ここに再掲載している。テーブル TST6 の最初の 2 行は、チップあたりの機能（トランジスタ数）のトレンドや量産段階でのチップサイズのトレンドを示している。チップサイズは、その減少度がひとつのプロセス世代の中で毎年増大しているのとは別に、比較的一定である。その次の行の項目は、主なマイクロプロセッサのスケーリング制約が消費電力になるという、マルチコア設計が向かうトレンドを一部分反映している。ITRS ではそれぞれのプロセス世代毎にコア数は倍になっていくと仮定している。ロジックテーブルの最後の 2 行は、標準的なデバイスの電源電圧範囲のトレンドとチップ外部データ転送速度のトレンドを示している。

システム・トレンドを牽引するもの

システム・トレンドを牽引するものは、将来的なテスト要求を企画する際にとても重要となる。例えば、最も重要なシステム制約の 1 つは消費電力である。モバイル用途の急増、省電力技術の改良、システムの電力浪費問題、そしてエネルギーコストの増加は、デバイスの消費電力に実質的な歯止めをかけるのに貢献している。パフォーマンスの増加とともに制限なくデバイス電力が増える時代は終わったのだ。これは必ずしもパフォーマンスも同様に歯止めがかけられたという意味ではなく、もしムーアの法則が継続するなら、これは克服すべき主要な技術課題のひとつである。トランジスタ、プロセス技術、設計構成及び、システム技術における革新は全て重要な影響を与える。

テストに影響を与えるシステム技術革新があるとしたら、それはチップ内部やパッケージ内部の電圧調整の統合であろう。チップ電力の増加とコア数の増加が、少なくとも 2 つの理由から、この考えをより確からしくする。第 1 の理由は、電源／グランドピンの数とピンあたりの最大電流に制約があることによって、パッケージは、最終的に消費電力を制限すると云うことである。非常に高い電圧でチップに電力を送ることが可能なので、これらの制約はチップ内部の調整で大きく緩和できる。第 2 の理由は、消費電力を完全に最適化するために、マルチコアのアーキテクチャは個々のコアに精巧な個別の給電を必要とすると云うことである。結局、これはチップ内部で処理されることが必要だろう。全般的に言えば、このトレンドは DUT への給電問題を簡単にするが、一方では新しいテスト問題を多く生み出している。と云うのは、正確な電圧管理や電流測定が大電力デバイスのテストの重要な局面にいつもなるからだ。

もうひとつの重要なシステム・トレンドは、長い年月に渡って必要とされてきたチップ間のデータ・バンド幅の継続的な増加である。これは、チップの I/O データ転送速度と、I/O 数の増加と解釈できる。1 ギガ転送/秒（GT/s）よりも遙かに早いスピードの信頼性を得るために、差動伝送やエンベデッドクロックのような高速シリアル信号手法が必要とされている。例えば、これは既に PCI Express や Serial ATA インタフェースに見出されているし、また ITRS の時間枠を超えてマイクロプロセッサの全ての I/O ポート（例えば front side bus）に広がりを見せるであろう。これらのインタフェースのテスト要求やテスト課題に関するもっと詳しい議論は高速 I/O インタフェース（High Speed Input/Output Interface）の節で述べる。

DFT のトレンドを牽引するもの

チップサイズと共にテストコストが比例して増加する事を防ぐために、DFT の適用範囲や有効性の継続的な改善が重要になる。再利用可能なコアが多数出現してきたことによって、DFT 手法も斬新的な発展の可能性がある。複数のコアを同時にテストすることは出来ないか？コア同士がテストし合うことは出来ないか？テストで「不良」になったコアや最終用途で「不良」になったコアを 1 つ又は複数の冗長なコアで置き換えることは出来ないか？更には、汎用的なテスト機能を持つコア ― オンチップ ATE の類 ― をチップ上に実現することは出来ないか？DFT がどの様に発展し、DFT が製造工程のテスト要求にどの様にインパクトを与えるかを正確に定めることは大変難しい。しかし、ある明確なトレンドがある。それは、

- テスト時のデバイス I/O インタフェースを制約するのと同様に、増加するテストデータ量を抑える為に、構造テストや自己テストやデータ圧縮技法はこの先も重要であろう。
- DFT 技術は、歩留り改善を推し進めるための不良位置特定に、不可欠な技術であり続けるだろう。
- DFT 技術には、メモリと I/O などのように組み込まれた技術に対するテストの複雑さを最小限にすることが求められる。例えば、メモリ BIST エンジンはデバイスの中に一般的に搭載されているが、これにより外部アルゴリズミック・パターン発生器の必要性は軽減されている。また同様に、I/O 用の DFT 技術により、大量生産のテスト工程では洗練された I/O テストの必要性が軽減されている。
- DFT 技術には、デバイスの決定論的な動作を保証したり、デバイスの非決定論的な動作に対応したりすることが今後益々求められるだろう。非決定論的な動作の例として、電源制御技術や、I/O の通信プロトコルや、デバイス自己救済の仕組みなどが挙げられる。

Table TST6 Logic Test Requirements

大量生産マイクロプロセッサのテスト要求

Logic Test Requirements テーブルの後半には、ITRS の展望によるテスト要求が列記されている。I/O のデータレートに関して、ストラクチャテストや DFT 技術を用いたテストでは低速アクセスで十分だが、そのインタフェース本来の速度のテストでは高速アクセスが必要になる。少なくても近未来の展望では、1 つのデバイスに複数の I/O タイプが搭載されることになるだろう。このロードマップの最後では、消費電力はクライアント用のマイクロプロセッサでは最大 300W 、サーバ用のマイクロプロセッサで最大 400W に事実上なってきている。同様に、テスト装置のベクタメモリ要求も少なからず増えていくと想定されている。

Giga-Pin-Vectors (GPV) は、縮退故障のみを対象として論理ゲート規模から見積もったものである。他の故障タイプを含めた時のパターン数は、縮退故障パターン数の倍数として表 TST6 に示した。

重要な関心領域

1. 消費電力と温度制御 — ロードマップ展望では、デバイスの消費電力は重大な制約となることが想定されている。そのため、システム設計の最適化よりも先にあり続けるために、テスト時の電力供給や温度制御の新しい方式が必要になるかも知れない。
2. 高速 I/O インタフェース — 高速のテスト装置解決策はデバイスの特性評価で必要とされるが、安価な DFT 用のテスト装置解決策は大量生産工程のテストで必要とされる。
3. マルチコアの傾向 — テストの悪化を引き起こすだけでなく、改善に結びつくかもしれない。マルチコア設計は前述の 2 つの懸念領域を悪化させる共に、テストを複雑にする。しかし、それだけでなく、テストを大いに助ける冗長救済のような、画期的な DFT が提案される機会になる可能性もある。

Table TST7 Vector Multipliers

Fault Type	Vector Multiplier Min	Vector Multiplier Max
BF (Bridging Fault)	1.3	1.3
TF (Transition Fault)	3	5
SD (Small Delay)	2	40

高速 I/O インタフェース

高周波 I/O 技術は、そのもともとの起源であるシリアル通信を超え、計算や通信の分野において、通信速度とポート数の点で急速に成長し続けている。これらは今日マイクロプロセッサや周辺インタフェース用チップ、あるいは周辺デバイス内に非常によく見られる IP ブロックである。PCIe やハイパートランスポート、DDR、FB DIMM、USB、インフィニバンド、SATA、SAS、ファイバーチャネル、ギガビット・イーサネット、XAUI、SONET、OTU、OIF などのギガヘルツインタフェースの標準は、応用範囲を広げてきている。応用範囲の多様さから、その将来的な傾向を単純な形で概説するのは、非常に難しい。技術的な限界を押し上げるようなデバイスが代表するのは、IC 産業のほんの小さな部分にすぎない。一方、必ずしもスピード限界を押し上げはしないが、ハイエンドの少量生産デバイスとは非常に異なるコスト構造と、それゆえの非常に異なるテストコスト上の許容レベルを持つために支持されている、大量生産のデバイスも存在する。他にも、単一デバイス上に多数のポートを必要とし、この技術の通常の「シリアルな」概念からは外れ、またそのため異なるテスト上の考慮を要求する、別のデバイスカテゴリもある。上記の理由から、将来の技術的傾向は、図 TST9 に散布図で示されている。

1998 年から 2001 年にかけての通信産業の急成長により、標準的なシリアル通信技術は 13Gbps に、より特殊なプロセスにおいては 40Gbps にまで到達した。ギガヘルツインタフェースの速度は、部分的には初期の通信技術の経験にてこ入れした結果、（対数目盛でプロットされた図 TST9 に示されているように）計算と通信の分野で指数的に増加している。しかしながら、高速インタフェースで用いられるコスト構造やプロセス、パッケージ技術、テスト技術などがそれぞれに異なるため、その適用は、簡単であるとは言いがたい。たとえば、ギガヘルツインタフェースの多くは、主流の CMOS プロセスを用いた SoC 組込み型デバイスである。大規模な統合作業においては、非常にノイズが大きい SoC 環境を対象とした、高信頼性の高性能インタフェース IP の設計が、大きな課題となるばかりではなく、そのような種類の高性能インタフェースのテストも、また課題となる。高度な統合レベルから導かれる別の課題は、Gbps/mW 値の低下傾向であり、これはこの領域での主要な競争力尺度となってきている。このパワー削減要求は、設計マージンに対する課題となっている。これは「設計保証」と「生産テストカバレージ」の複雑なバランスにより、テストの領域に影響を与える。組込み IP ブロックとして、ギガヘルツインタフェースのテストは、現在は SoC チップレベル全体でのテストに結び付けられている。これら製品分野の多くで、それは高周波／高性能テストが、多数の CMOS のデジタル端子や論理とかかわることを意味する。テストコストの許容度や、高周波計測器の利用可能性、テスト装置設計における信号整合性の制約などが、今後数年にわたる開発の新分野となる。

どの技術ロードマップ分析にもあるように、この指数的成長の傾向が持続できるかどうかは、技術的要求の変化や基礎技術の開発に依存している。2007 年に予測されたように、遠距離通信やデータ通信、およびストレージ産業は、一時的なギガヘルツの安定期に達し、さらに確立した 13Gbps の域を越えるための、技術的な真剣な保障を要求するようになるであろう。2009 年現在、微細化されたプロセス技術は、14Gbps の FC や 16Gpbs の PCIe など、13Gbps を超えたデータ信号速度の成長を支持し始めている。OIF において次世代の注目される common electrical interface (CEI) のいくつかは、25Gbps まで達すると予想される。長距離通信分野とは異なり、ギガヘルツインタフェースのある部分（特にチップ間インタフェース）は、より高速な技術（例えば CEI/OIF、40G/100G Ethernet（IEEE 802.3ba standard））が使用上コスト的により見合うようになるまで、（バスのような）ポート数の増加を選択してきた。いくつかの製品分野は、必要とされている世代的な性能の向上を容易にするコード形式を選択したので、予期されている 3 年で 2 倍になるという要求は、多少低減されることになる（例えば PCIe と FC）。将来のデータ転送速度の進展は、最近の歴史において見られたそれより遅くなるであろうが、それでも、数年ごとに 2 倍になることを要求している。

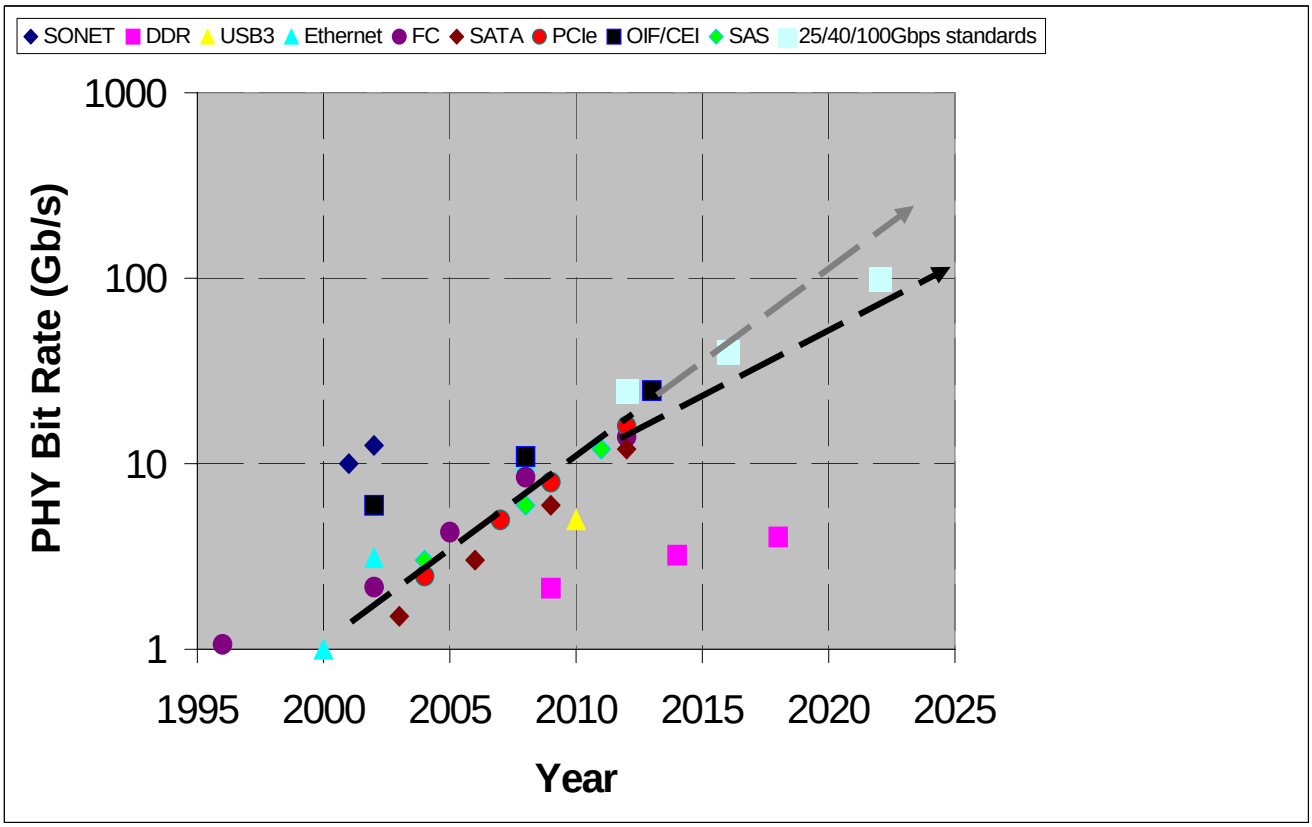


Figure TST9　High Speed Interface Trend

この 2 年の間にテストおよび計測機器産業は、高速シリアル接続のテスト手法において目覚しい進展を見せてきた。いくつかのテスト装置メーカは、6Gbps を超えるピンカードレベルで統合された解決手法を提供しており、他のメーカは既に 12Gbps の手法を提案している。いくつかの ATE での解決策のスループットは、前の世代から大いに改善された。より柔軟なクロック方式は、周波数と位相同期に関わる多くのオーバーヘッドを取り除いた。ジッタのコンプライアンス試験が、まだ多くの製品分野でテストコスト上の制約によって問題にされても、ジッタ測定とジッタの負荷試験については、もうこれらの機器の中で再考すべきことはない。ATE はまた、同期のアラインメントパターンタイプや、BIST のために使用される典型的な PRBS に基づくパターンをサポートしはじめている。実速度テスト用機器の観点からは、6Gbps の ATE テスト手法が確立されていると言うことは問題ない。もちろん、ATE の速度制限を超えたり（ハイエンド PHY 向けなど）、ポート数上限を超えたり（ネットワーク交換機など）する製品分野は、いつでも存在するであろう。

現在の時点で高性能の製造テスト手法は、内部的デジタルループバックや DFT に補助されたデジタルループバック、外部ワイヤループバック、外部アクティブループバック、高性能テスト装置のピンカード手法、テスト部品化、テストボード上の基準デバイスから、追加可能な外部機器まで、広い幅を持つ。これらのアプローチはそれぞれ、各企業が考慮しなければならない独自の得失を持つ。トレードオフとなるのはもちろん、DFT に使用されるシリコン領域と、実装のコスト、およびテスト装置とインタフェースのコストである。異なる製品の不良率の許容範囲もまた、異なるテスト手法の主要な選択基準である。

テスト機器に関するもうひとつの課題は、オンチップのイコライザがより広く採用されてくることである。全体的なシステムコストの削減を維持するために、FR4 のような低価格プリント回路基板（PCB【訳者注：PRINT CIRCUIT BOARD】）成層材料が、多くの通信用バックプレーンや計算機の分野で、依然として選択されるであろう。しかし、FR4 については、スペクトルバンド幅の点でボトルネックをもたらす。この制約の下で転送データレートを拡張するために、送信側イコライザ（シングル／マルチタップのプリエンファシス／デエンファシス）や

受信側の順応的なイコライザ（アナログイコライズとデジタルフィードバックイコライズ）などの技術が開発されている。これらのタイプの機能をテストするために、テスト機器は単なるバイナリデータの生成や取り込み以上のことを行わなくてはならない。比較的低い性能の製品分野では、これらのタイプのイコライズ機能は、AWGとサンプリングオシロスコープなどのアナログ機器によって取り扱われてきた。しかし、3～6Gbps を越える性能域では、これらのイコライズ機能のほとんどは、最終的な製品を模した帯域制限媒体を用いた、全体閉ループ BER テストでカバーされている。これはオンチップイコライズ回路の個々の部品を分離し、記述する能力を制限する。実際、生産テストの基板を最終製品と同じ状態にするのは、非常に難しい。オンチップでのレシーバのデータアイ解析を行うことは、このタイプのテストを容易にするために、より標準的になりつつある。テスト、DFT、および BIST においてこれらの機能を適切に規定するために、より多くの研究が必要とされる。

試験装置メーカは、GHz のテストのために機器を高度化している。柔軟なクロック生成とデバイス同期機能を持つ実スピードの機器を期待することは、標準的になりつつある。ジッタ測定と耐性テスト機能は、より容易に利用可能になっている。一方、GHz インタフェース I/O に導入されているイコライズ方式が頻繁に使用されているため、送信器と受信器の個々の性能を特定することが、ますます難しくなっている 。強い Tx 側イコライズと Rx 側順応的イコライズによって、伝送媒体モデルと受信側イコライザの設計を知ることなしには、転送のアイ品質だけを定量化することは、難しくなっている。これらは、ますます曖昧になる Tx と Rx の性能仕様の境界を、システムレベルの BER に注目した尺度だけでいかに扱うかという、テスト装置製造への課題を提示する。もちろん、実行可能な解決策は、費用対効果が高くなる必要がある。現在、この問題に対する解決策は、設計保証や綿密なキャラクタライズを行うための、初期段階での中量網羅的テストから、占有的な外れ値検出技術までの幅を持っている。

長期的には、性能に関するパラメトリックなテストをよりカバーできるように、既存の DFT 機能を、現状の機能的な擬似乱数ビットシーケンス（PRBS） BIST 手法以上のものに拡張する必要がある。オンチップ測定器や組込み設計検証手法が進化し、オフチップのテスト装置と共存することが予想される。オンチップとオフチップ手法がそれぞれどの部分を受け持つのが経済的に理想的であるかは、依然として懸案事項であり、製品分野ごとに変わってくるところである。全体的な目的は、製造テストコストを最小化し、多ピンデバイスを効率的にテストすることである。

重要な関心領域

1. **データ転送速度の増加—**大量生産のコンピュータ、ネットワークのアプリケーションではギガヘルツインタフェースの成長がまだ指数関数的ペースを保っているが、図 TST9 に示されるように対数表示では傾きが減少している。

2. **ポート数の増加—**低電圧 CMOS 技術と出力電圧の小振幅化で大規模 ASIC と SoC デバイスの高集積化が可能になっている。 2009 年現在では、250 ペア迄の 7Gbps バックプレーン型 SerDes が幾つかのアプリケーションで見られる。 しかしながら、大多数の最終製品ではポート数は 32 かそれ以下に制限される。 いまだポート数は増加し続けており、チップ全体の消費電力と単一レーンにおけるギガビット・データレートの実際の上昇によって制限される。

3. **コスト要因—**伝統的に、マルチギガビット・トランシーバは、集積レベルが低く生産量も比較的少ないにもかかわらず、高性能で高価で高マージンなデバイスとして設計されていた。 低コストで低電力の CMOS マクロ・セルの導入により、ギガヘルツインタフェースは大量生産でき、安価な（更には汎用的な）デバイスとして評価されるようになってきた。 ポート数が多いだけでなく、同時に全てのシリアルポートをテストできるコスト効率の良い ATE 解決策が量産には不可欠である。 性能対集積レベルという不変のトレードオフは、結果として SerDes デバイスを高性能レベルのシリアル・トランシーバと高集積レベルのギガヘルツ接続（リンク）のマクロ・セルという 2 つの領域に分離している。 それぞれのタイプのテスト方法はコスト要求に基づいて選択される。 高性能、長距離、通信関連製品の経済性は、一般的に従来の測定器依存のテスト手法や、以前にも議論されたハイブリッド・テスタの使用を許容している。 けれども、信頼できる DFT 技術や他の低コストテスト技術は多ポート化する SerDes に対し

て最終的な解決策であるが、実速度での特性評価や量産初期にテスタを用いたいという強い要求が未だにある。 技術改善が進むにつれて、殆どのデバイスのライフサイクルは大変短くなっており、その結果 DFT を回路的に検証したり最適化したりすることと歩留りを改善することは益々難しくなるかも知れない。

4. **ジッタ分解と測定**—送信器で発生するジッタは、送信器の品質を保証する重要な要素である。 多くのシリアルリンク規格では、ジッタをディタミニスティックジッタ（DJ）とランダムジッタ（RJ）に分ける概念が取り入れられている。 peak-to-peakジッタに基づくヒストグラムの従来の概念は、トータルジッタ（TJ）の概念に置き換えられてきており、これはシリアルリンクにおける一定のビットエラー率（BER、一般に 10^{-12} かそれ以下）に関係している。 データレートが 10Gbpsかそれ以上に増え続けるに従い、ジッタの拡大（新しい現象であり、それらの内、パルス幅の減少やデューテイサイクル歪（DCD）により引き起こされる高周波ジッタが、（例えばFR4 を用いた）損失の多いチャネルにより、拡大しつつある）は重大になりつつあり、抑制することが必要である。 従来のDJ、RJ、TJ要素に加えて、Pulse width jitter（PWJ）とDCDが 10Gbpsかそれ以上のテストとして新しいジッタ要素になっている。 さらにPCIe 3.0 のような大容量で高性能な幾つかのI/Oではジッタが（データパターンに対して）相関性があるか否かに新たに言及することが、相関性ジッタのイコライズにおける相殺効果の算出において、定着している。そのようなDJとRJは、さらに相関のあるDJ（データ依存ジッタ、DDJ）と相関のないDJ、RJに分離される。 相関のあるDJ（例えばDDJ）や相関のないDJとRJはPWJ、DCDとともにとともに、その相互運用と、イコライザ回路により与えられるジッターマージンの使用を保証するよう、テストされる必要がある。 またそれとは別に、一定数のサイクルでcycle-to-cycleジッタや、peak-to-peakジッタや、RMS ジッタを測定するトレンドもある。このトレンドは、非常に短い時間でジッタのデータを収集するクロック方式として大いに意味がある。また、ジッタ測定には非常に厳格なシグナルインテグリティ要求が必要になる。他方では、源の同期バスがギガヘルツ範囲に入ることで、クロックパスと複数データパス間の非相関ジッタなどは、ジッタ測定におけるもう一つの問題の始まりとなる。これは確実に従来のシリアルPHY（物理層）ジッタの定義を超えている。

DJとRJを正確に測定するため、測定器またはテスタのジッタ・フロアは測定されたDJ、RJに誤差が入らないようDUTのDJ、RJよりも十分に低い必要がある。 ジッタ測定の測定器やテスタはその性能に対してDJやRJの実力があるものをまた選定しなければならない。 たいていの高速規格ではBER が 10^{-12} で~ 0.3 UI TJ を、DJは 0.15UIを、RJは 0.15UIを規定している。このジッタ余裕度の割り当て・配分に従い、また測定器やテスタに対するTJ精度を 10%（相対的に緩い精度の目標）と仮定すると、そのDJ、RJ精度上限は、デュアル・ディラックモデルで評価でき（つまり、DJ分布はデュアル・ディラックであり、RJ分布はガウス分布である）、TJ、DJ、RJ 精度上限は、データレートの関数として図TST10 に示される。 10Gbpsにおいて、TJ、DJ, RJに対する精度要求は図TST10 によればそれぞれ 3ps、1.5ps、0.11psである。 このジッタ精度目標はたいていの最先端測定器で実現できている。もし大きなTJ誤差を許すなら、DJ、RJ精度の正確さは比例して緩くなる。 この図は仕様やハード要求よりもむしろ数学や物理学を基にしたTJ、DJ、RJ精度のガイドラインをジッタ測定器やテスタに対して導いていることに価値がある。

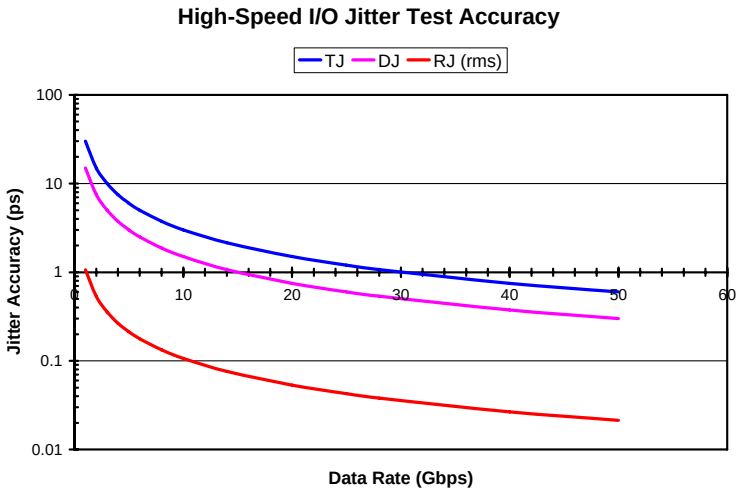


Figure TST10 High Speed I/O Jitter Test Accuracy Requirements Scaling with Frequency

5. **ジッタ許容テスト**—ジッタ許容テストとは、ビットエラー率（BER）とも言われる通信品質が低下する前に、レシーバが許容できる入力信号のジッタの度合いを測定することである。 これはレシーバ（Rx）のジッタや耐ノイズ特性に関する重要な仕様である。 ジッタ許容テストを実施するには、一般的にジッタの最悪値と送信機、チャネル、参照クロックの組み合わせから生成された信号条件をまねたような、管理された方式で、ジッタをデータストリームに慎重に入力しなければならない。 使用されているクロック方式のアーキテクチャに依っては、レシーバにストレスを掛けるために、別のタイプのジッタが必要になる。 正弦波ジッタ挿入が必要な応用や、スペクトル分解された、もしくは周波数帯域制限された DJ/RJ/DDJ、周期ジッタ（PJ）もしくは SJ の組み合わせを要する応用もあれば、有界非相関ジッタ（Bounded Uncorrelated Jitter：BUJ、クロストークに誘発されたジッタを模したもの）、一定数のサイクルで peak-to-peak ジッタか RMS ジッタを要する応用もある。 新たな緊急的で重要なトピックは、受信機イコライズ、特に判定帰還計算式（decision-feedback equation、DFE）のような、フィードバックベースの適応型イコライザのテストである。 ここでの課題は、BER が唯一、かつ一般的に観測できる尺度であるという、Rx に対するテストの可観測性が本質的に貧弱な事実に由来している。 ダイ上のスコープのようなダイ上、もしくはチップ上の測定器の補助がなく、目標値に対する DFE タップの適応を検証できないと非常に難しい。DFE の診断やデバッグテストを実行するには、ダイ上の測定器が実行可能な解である。これらの種類のジッタを入力できる統合化された計測器は、過去の ATE 業界には無かったが、2 年前にわれわれが予測したように、研究用装置の業界において、より利用可能な状態となり始めている。 今の時点では、幾つかの ATE 解決策が量産工程テストにおける、レシーバと、もしくはクロックやデータリカバリへストレスとしてジッタを加える可能性を提供しており、2 年前からの大きな進歩である。

6. **テスト治具のバンド幅**—デバイスと計測器あるいは ATE を繋ぐテスト治具にはプリント回路基板や、コネクタ／ポゴピンなどが含まれる。周波数が拡大し、ポート数が増えると、大きな損失も歪みも無いまま高周波信号を装置に伝える能力は、テスト工学において至難の技になる。 いったん信号が 10Gbps を越えると、テスト治具からの ISI ジッタを最小にするためテスト治具のバンド幅要求は 20GHz かそれ以上に達する。多くの場合、バンド幅だけが唯一の問題ではない。 位相応答が更にジッタ測定に大きな影響を及ぼす。最近、ソケットのバンド幅に重要な改善が成されてきているが、新しい高バンド幅ソケットの解決策が限定的な機械的スペックに向けて取り組まれている。 不確かな挿入や一貫性のないコンタクトは、テスト結果のばらつきを引き起こす未だにもっとも共通の問題である。これらテスト治具の制限により、性能試験において複雑な埋め込みから離れる（de-embedding）取組

が GHz インタフェースの典型になっている。 それゆえ、ソケット、PCB、ケーブル、コネクタを含む信号パスのシミュレーションや分離（de-embed）ツールのように活発な開発が行われている他の領域に刺激を与えている。 けれども、狭帯域の RF 分離（de-embed）とは異なり、広帯域分離（de-embed）の取組は、挿入損失だけでなく、広い周波数スペクトラムにまたがるリターンロスを要求している。 幾つかの SerDes 仕様では標準化されたテスト治具で分離の取組を緩和することも試みている。

【訳者注 ISI(Inter-Symbol Interference) :シンボル間干渉】

7. **DFT パラメトリック DFT 対ロジック DFT—** 基本的な擬似ランダムビットストリーム（PRBS）発生器と BER 検査機能はいまや長い間典型となってきている。 適応型イコライザに対処するため、いまや内部にデータ・アイ・パターン解析機能が GHz 以上の設計には含まれる。 多くのアナログ要素が GHz I/O 設計に取り入れられるにつれ、アナログ DFT の分野で多くの研究と革新が必要とされている。

8. **キャリブレーションファームウェア—** GHz I/O 設計に対する電力と面積要求から回路のアナログ部は、スケールダウンしなければならないという一定の圧力の下にある。 それはもっとデジタル的に補助されたアナログ設計実装に導かれ、よりチップ上に自己校正機能が必要とされることを意味する。 ある適応型イコライザの仕組みではファームウェアを使っている。 これは、校正ファームウェアの堅牢性（ロバスト性）をテストするという、新しいテスト要求を作り出した。

MEMORY

メモリセル密度【訳者注:メモリ容量】は、ムーアの法則に従ってロードマップの通りに成長を続けるだろう。ITRS ORTC テーブルは 3 年毎の DRAM テクノロジペースについて製造上の同意を示している。そのような全メモリ・デバイスのセル密度傾向は 2005 年度ロードマップと比較して緩やかになっている。メモリスケーリングの継続は高・低誘電体やその他の材料のより一層の開発を要求する。メモリ I/O データレートは先端 DRAM において、他のメモリタイプと比較してロードマップ全般に渡って増加するだろう。DRAM は、ロードマップを通して I/O パフォーマンスのリーダーであり続けるだろう。一方で、NAND フラッシュが容量において優位を占めるだろう。最近のメモリテスト解決策は、デバイスタイプ（DRAM、NAND、NOR）を対象にしていた。しかし、最近の様々なメモリタイプ間での容易な容量変更の要求が、特にウェーハテスト機能のテスト環境において、より共通の解決策を駆り立てている。さまざまなメモリタイプ間の I/O データレートの多大な不均衡が、パフォーマンステストのために、ひとつの低コスト解決策の開発を難しくするだろう。

Table TST8 Memory Test Requirements

DRAM

DRAM 容量は、3 年ごとに 2 倍になると見積もられ、IO パフォーマンスは上がり続けるだろう。DDR6 でのデータレートを予測する歴史的な DRAM モデルに基づくと、2022 年には IO 毎 8.4Gb/S のデータレートに到達する。もし DFT オフセットやマルチインサーションテストがコストを最小化しないならば、メモリ容量の増加は、デバイステスト時間と製造セルのスループットを低下させることになるだろう。故障検出、解析、救済は汎用 DRAM に必要である。テスト生産性を拡張するため、新しいテスト指向アーキテクチャが要求される。マルチビットテスト、BIST、BISR（built-in self-repair）が、生産スループットと歩留りの確保に不可欠になるだろう。

テストコストを管理するために、自動テスト装置によるかなりのテスト並列化が、ロードマップを通じて要求されている。汎用 DRAM は特殊用途の先端 DRAM より IO ビットレートの点で間を空けられるであろう。2Gbps 以上での領域では,テストソケットやプローブカードに DUT インタフェースのシグナルインテグリティの問題がある。テストヘッドあたり 128 個以上の同時測定は、要求されるインタフェースの配線混雑のために課題になるだろう。性能重視 DRAM の I/O ビットレートは、大量生産品のビットレートに比べ、少なくとも 2 倍になるだろう。高い I/O ビットレートは、将来のテスタ精度を正しく定義する方法についての課題となる。4、8、16 ビット

の伝統的な I/O バス幅は、モバイルデバイスによい駆動されている 32 ビットバス幅で補完された。大量生産の汎用 DRAM のバスは、潜在する差動バスの要求に駆動され、ロードマップの終わりごろには 32 ビット I/O に移るかもしれない。

Flash

短期的に見ると NAND フラッシュは 1 年ごとにセル密度【訳者注:メモリ容量】が 2 倍になり、その後、その傾向は減速して 1.5 年ごとに 2 倍になるだろう。1.5 年毎の倍増は、いくつかのセルタイプについては、単一のメモリセルに保存されるビットの数の増加(1 または、2 から 4)のため、計画されたリソグラフィのテクノロジノードの移行よりさらに早くなるだろう。どのテクノロジ世代でも、NAND のセル密度は一般的に NOR の 4 倍であった。そして今後も、そのトレンドは続くと見込まれている。誤り訂正技術の使用は、より大きな修正前エラー率を許容して、1 メモリセルあたりのビット増加を可能にする。NAND バス幅は主として 8 ビットであり続けてきたが、ある製品では 16 ビットもある。

NOR メモリ容量は、ロードマップの期間を通して、3 年毎に倍増すると予想される。2005 年とその前のロードマップは、一貫して 32I/O NOR 製品を示したが、32I/O NOR 製品は 2007 年度ロードマップから外された。NOR 製品は 8 か 16bit に整理されるが、I/O の数はシリアルバスとマルチバスの実装のために異なるだろう。入出力信号速度は、組込み用途で使用されるより速い ASIC デバイスと足並みをそろえるために、ロードマップの期間に、533Mbps で増加すると考えられる。

NAND と NOR は、アーキテクチャや、使用目的、不良ブロックの扱いが異なるため、同じテスト手法を一般的にとらない。しかしながら、NAND と NOR のバスの相違は時間が経つと共に無くなってきており、Serial Peripheral Interface(SPI)バスや他のシリアルバス定義は組込み用途を目的としている。用途に合わせたフラッシュメモリのカスタマイズによって、バスの種類は更に広がると思われる。4Mb を超えるセル密度ではバス幅は 8 ビットおよび 16 ビットが主流である。32 ビットバス幅の NAND は、2007 年に始まるロードマップからは除外された。

外部供給電源の 3 倍から 8 倍が必要になる内部駆動電圧の必要性は、ホットエレクトロンや Fowler-Nordheim の電荷移動メカニズムにより追い立てられ続けると思われる。低電圧化のトレンドによって、将来は供給電圧の絶対精度の向上が必要になるだろう。しかし供給電圧に関係する精度の割合は一定であることが要求される。入出力電圧の低下により、標準テスタの負荷回路は動作限界に達している。すなわち、将来は新しい手法が必要になる。

ウェーハテストでは、パッケージテストほどの性能は一般的に必要とされない。しかし、エラー検出や、エラー解析、救済の工程では必要とされる。フラッシュメモリと他のメモリや、ロジックデバイスを単一のパッケージ内に積み重ねる実装は標準的になってきており、今後も続くと思われる。1つのパッケージ内にある複数のチップはパッケージテストの要求を複雑にし、必要とされるピン数と電源数は増える。フラッシュメモリのデータ転送速度やクロック速度は増大するだろうが、最終製品に基づく要求には幅広い多様性が求められている。

Embedded Memory

内蔵 DRAM のビットは、汎用 DRAM や NAND とは容量成長率が一致しないであろう。 デュアル・ゲートプロセスを用いたロジック・DRAM の混載設計での主要な関心事は、アレイノイズとセンスアンプ不均衡であろう。100nm 以下の DRAM ハーフピッチでは、インラインでの欠陥検出を行う DFT が、製品開発のために不可欠になる。

内蔵フラッシュメモリのビット容量は、短期的には指数関数的に増加し、ロードマップの後年には 2 年毎に 2 倍になるだろう。より多くのデバイスが DRAM と Flash メモリの両方を含むだろう。酸化膜の信頼性、センスアンプの不均衡、及び酸化物―窒化物―酸化物(ONO)のスケーリング則は、将来フラッシュメモリで主要な関心事になるだろう。

テストの生産性を高めるため、新しいテスト指向のアーキテクチャが要求される。組込み自己テスト技術【訳者注:BIST】や組込み自己救済技術【訳者注:BISR】は、内蔵 DRAM や内蔵フラッシュメモリをテストし、

生産スループットや歩留りを維持するために重要となる。内蔵 DRAM では全てのデータバックグラウンドを用いたマーチテストが重要である一方、フラッシュメモリの基本的なテストアルゴリズムは、読出ディスターブやプログラムディスターブ、消去ディスターブであり続ける。

テストにおけるかなりの並列化が、メモリ密度【訳者注:メモリ容量】の増加で直面するテストスループットを今まで通りに維持するために必要とされる。いくつかの場合、ロジックと内蔵メモリを同じテスタでテストするよりも、2 つのデバイスを挿入する方が、コスト的な効果を生む。2 デバイス手法においては、ロジック部はロジックテスタでテストされる一方、内蔵フラッシュや DRAM はメモリテスタでテストされたり救済されたりするであろう。内蔵 SRAM のテスト要求については、本章の高性能マイクロプロセッサの節で説明する。

アナログとミックスドシグナルテスト

モノリシックインテグレーション（SoC）やパッケージインテグレーション（SiP）の経済性（コストメリット）は十分取り組まれている。このインテグレーションは、デジタル部、アナログ部、電源制御、ミックスドシグナル部、そして RF／高周波回路を一つのパッケージ上や チップ上に組み込んでいる。このインテグレーションの傾向は インタフェースタイプの種類を増加させており、テスト装置はこれらのインタフェース種類に対応することになる。

ミックスドシグナルやアナログのテストに影響を与えている もう一つの重要な傾向として、同時測定テスト（パラレルテスト）が経済的（コスト面）で不可欠になっている状況がある。パラレルテストに対応するには、各々のインタフェースタイプに対応した、より多くのテスト装置リソースがテストスループットを高めるために要求されている。

デバイス当たりのインタフェース数の増加と同時測定するデバイス数の増加により、リアルタイムに処理するデータ量の増加が必要となってきている。ミックスドシグナル部やアナログ回路部の測定データは、デバイスの品質を判定するためにデータ処理が必要である。このデータ処理はリアルタイムな処理、もしくは、他のテスト処理と並行して処理することでテスト工程のスループットを高くしなければならない。

このように、ATE（テスト装置）の様々なインタフェースへの対応、パフォーマンス、性能、そしてデータ処理能力の改善が経済面（コスト面）で重要となってくる。最も変化している RF（マイクロ波）分野は、個別の節で対応している。 ミックスドシグナルデバイスのデジタルと高速シリアル要求は、ロジックデバイスとその節でカバーされている。

この節は、アナログ／ミックスドシグナルのテスト要求に着目する。 ミックスドシグナルテストの要求テーブルは、特定のチップアプリケーションよりむしろテスト装置側に着目している。テスト装置は、一つ以上のデバイス区分をカバーしなければならず、一つのテスタ構成で十分利用できるようになっている。そして、複数のデバイス区分からの要求は、2、3 のテスト装置カテゴリーにまとめられる。アナログ波形発生器と測定器への要求は、2 つにとりまとめられる。 ミックスドシグナル向け ATE には、低周波信号の対応が基本的に最低限必要であり、高周波信号の対応はハイエンド向け装置に求められる。 必要に応じて、ミックスドシグナル用装置には、装置ロードマップの他の節やテーブルとの関連性を要求される。

2 つの重要な傾向がある。 最初にテストに適切な品質が挙げられる。大部分のアナログやミックスドシグナルのテストは、機能的に検査を行う。デバイスのエンドアプリケーションより、テスト装置の信号発生部機能や、測定帯域、分解能の装置能力が必要となる。これら双方のパラメータは、より多くの情報量がデバイス間やデバイス実装間で通信されるにつれ増える傾向にある。第 2 の鍵となる傾向は、テスト装置規模やパラレルテストの効率性、テストオーバーヘッドなどに対し コスト面での可能性がどうなるかある。表 TST2「製品セグメントにおける同時測定テスト」で示されるパラレルテストのレベルは、テスト装置の規模増加を示す。

ATE 装置のリソース数の増加や複雑さ、パフォーマンスアップの傾向は、今後も続くが、しかし、同時に、テストコストをより低くしていかなければならない（下記の懸念事項を参照）。アナログ／ミックスドシグナル DFT と BIST の技術は、他分野より出遅れている。 パフォーマンスに基づいたアナログテストの選択肢がな

いので、この分野は より多くの研究が必要である。アナログ BIST は、可能性ある解決策であり、より研究される分野として提案されている。テスト装置の複雑さを軽減したり、外部装置の必要性を無くしたりする技術のために基礎研究が必要となっている。

Table TST9 Mixed-signal Test Requirements

関心ある重要な分野

1. 市場性とタイミング（タイム・ツー・マーケット）と収益性とタイミングの問題は、ファーストシリコンを入手した時に十分なテストが準備できているかである。 アナログ／ミックスドシグナルのテスト環境は、テストフィクスチャ（テスト治具）やテスト手法がとても複雑化している。信号のノイズやクロストークの影響、追加回路の検討、測定ボードの複雑化、そして、ATE のハードウェア／ソフトウェアの問題が現在テスト開発のプロセスやスケジュールに影響を与えている。テスト開発のプロセスは、より短く、そして設計的により自動化されるようにならなければならない。そのうえ、アナログ/ミックスドシグナルのテスト IP を再利用する能力が、必要である。
2. すべてのアナログ／ミックスドシグナルデバイスの複数サイトでの並列かつ同時なテストの更なる対応は、テスト時間の短縮や生産性のスループット向上、そしてテストコストを削減するために必要である。すべての ATE（テスト装置）のタイプ（DC 用を含む）はコンカレント／パラレル動作が対応できる複数のチャネルが必要である。そして必要に応じ、DSP アルゴリズム（FFT 解析等）を高速に並列演算し結果を出す。そのうえ、テスト装置のチャンネル当たりのコストは、下げ続けなければならない。
3. アナログ／ミックスドシグナル DFT と BIST の改善は、上記のアイテム 1 と 2 を対応するために必要である。

RF（RADIO FREQUENCY：無線周波数）

RF 周波数帯域は、アプリケーション別に以下の四つに大別される。

1. 3GHz 迄の低周波数帯域は、主に長距離の携帯電話向けとして現在利用されている。 ただし、ワイヤレスクライアント通信プロトコルである WiMAX の一般化に伴い、携帯電話向けアプリケーションの周波数領域はより高周波な領域にシフトしていく。
2. 3-6GHz の帯域は、衛星放送 TV 及び 802.11a プロトコルによるワイヤレス LAN で使用されている。
3. 6-45GHz 帯域は、中距離の無線通信向けに運用される（Bluetooth は UWB（Ultra Wide Band）へ移行していく）。
4. 最も高周波となる 45-94GHz 帯域は、主に短距離のレーダーアプリケーション、特に自動車用として用いられる。 ただし、60GHz は今後、短距離のワイヤレス LAN や衛星間通信で用いられるであろう。CMOS 技術が今後 60GHz 程度の周波数をサポートする事が期待されている。

この中で最も注目すべき技術トレンドは、低周波数帯域での、802.11 及び 802.16 通信規格に沿った、より高周波帯域へのシフトである。 ただし、12GHz 以上の高周波数帯域デバイステストに関しては、非変調信号を用いた従来のテスト技法で対応可能であると予測される。

テストに対しては、テスタの電源／デジタル／AC ベースバンド測定部と RF 測定器との完全な同期が、重要な機能として要求される。 EVM（Error Vector Magnitude）測定は必須である。 RF が、SoC や SiP の機能として取り込まれる事に対する解決策の提供も重要となってきた。 RF のパラメータ測定だけではなく、ハイエンドデジタルやミックスドシグナル部と組み合わされ一体化されたデバイステストに対する解決策である。SiP テストに於いては、前工程でのテストが重要となる。 また、RF テストを、合理的なコストで全数テスト行う為に多数個同測は必須であり、RF の前工程での対応は今後も増加していく。ロードボード／ソケット／プローブカード等のツール類も DUT 入出力のシグナルインテグリティを確保する為に重要である。これらの課題

から、RF テストに対する DFT 手法の提案、及びフル RF ファンクションテストに代わる低コストテスト手法の提案に対する要求が、近い将来高まると想定される。

Table TST10 RF Test Requirements

重要な関心領域

1. 高性能化/高周波数化するデバイスに対する低コストテスト要求の関係から、新たな DFT テスト手法及び簡易化テスト手法の提案が大きな注目を集めている。
2. SoC や SiP 技術により、RF が製品に組み込まれる事が多くなった。 RF テストとデジタル（ハイエンド）やミックスドシグナルテストを組み合わせて行う事が一般的になってきている。 前工程での RF テスト対応は増加していく。 テストシステムに続き、ロードボード／ソケット／プローブカード等のツール類も、DUT 入出力のシグナルインテグリティを確保する為に重要となる。
3. 位相ノイズや信号感度測定の為の信号源及び測定器精度は現時点では十分といえるが、近い将来には更に高精度が求められる。 100KHz での位相ノイズ測定では、現状の測定器スペック-120dBc/Hz に対し、ここ 1、2 年のうちに少なくとも-130dBc/Hz への改善が要求される。
4. 6GHz 以上の高周波帯域の（アプリケーション）トレンドが見えてきている。
5. 6GHz を越える帯域での前工程テストは依然として大きなチャレンジであり、実変調波による 6GHz 超での前工程テストの可能性は、まだクリアとなっていない。
6. 前工程 RF テスト時のインピーダンス規格及びキャリブレーション手法の確立は急務である。
7. テスト開発環境と実際の量産現場では EMI 環境が大幅に異なっており、これが歩留りや相関取りに対し大きな影響を与えるであろう。

信頼性技術の要求

信頼性に対する要求は、以下の 3 項目の最適化である。

1) 信頼性欠陥密度（RDD : Reliability Defect Density）
2) 信頼性スクリーニング及びテスト手法
（RS&TM : Reliability Screens and Test Methods）適用性の学習
3) 信頼性のための設計（DFR : Design For Reliability）

信頼性向上の最適化目標は、投資した経費に対して、信頼性のための最良な価値を提供することである。そこで価値は、顧客の費用対満足度の比率として定義される。

信頼性の分野において、顧客満足度は、その分野における不良率（the field failure rate）または時間内不良数（FITs : failures in time）によって測られる。信頼性のコストは、製造のためのコストと、歩留りの 2 つの構成要素からなっている。従って、信頼性コストと同一視されるこれらの 2 つの要素は、すべての信頼性提供者が直面する主な対応項目となる。一方、製造コストは、バーンイン時間と装置の高度化の2つの基礎的な要素によっても影響される。業界では、従来の電圧ストレスと温度ストレスによる方法では検出できない潜在的な欠陥を検出する方法を捜し求めている。その後、多くの進歩した検出方法が作られたが、欠陥加速においては、電圧ストレスと温度ストレスを適用する従来方法のままである。

アプリケーション・スペックを超えて電圧と温度を適用することは、漏洩電力の発生に対しての電力の供給と放熱方法が最も要求される。信頼性のある部品のコスト低減は、歩留りに関係しており、歩留りは電力問題に派生的に関係した「オーバーキル」や誤判定（良品除去）を極端に排除したものである。しかし、誤判定（良品除去）の主要因は、仮想モデルを通して、ストレスプロセス工程を逃れる原因を最終的に見つけ、ストレス技法へ戻ることはない。その理由はこのようである：大半の市場用途は、コンポーネントの短寿命にもっとも関係がある。ほとんどの潜在欠陥、すなわち、加速漏れは製品寿命を短くする。ある部分にストレスを与えるに

は、ストレスをかけている間、出力を計測することによって、加速漏れを防ぐことが出来きる。用語の定義として、ストレスをかけながら出力を測定することを「In situ stress」と称し、ストレスをかけているが、出力測定を行わないものを「Dynamic stress」と称している【訳者注:一般的に日本では、前者をモニタード BI、後者をダイナミック BI と称している】。明らかに、コンポーネントは「in situ」を用いることにより加速漏れが減少し、それで初期故障率を下げられる。この故障率低減は、コストを掛けずに出来ないことが予測される。「situ stress」は、拡散の微細化に向かう状況で、ストレスを加えた、ファンクションテストが必要である。話を元に戻して、ストレス印加中に出力を測定することは、歩留り低下の要素をもたらす。製造プロセスばらつきのため、あるデバイスは適用状況によっては十分に動作を行うことが出来るが、拡散のある部分においては、電圧または温度のストレス時において、満足できる十分な余裕を持っていない。これらのデバイスが、信頼性のない欠陥が含まれていないにもかかわらず、「in Situ」ストレスは、この良品を不良と判断するであろう(すなわちオーバーキル)。「過剰な余裕」を持つ出デバイスは、先に述べた検出技術の今後の対象である。信頼性を満たす為には、トレードオフが必要である。多くの場合、性能と歩留りは秤に掛けられた状態にある。

信頼性欠陥密度の学習割合は、市場の信頼性要求を満たすための、最もコストに有効な手段である。本来、それはマイクロエレクトロニクスで収益性を達成させるときの歩留り習熟度合の副産物である。欠陥の学習は、欠陥モデルと物理的欠陥の節で述べられている。そして、信頼性固有の欠陥要素は少ないとの前提を、過去のデータは圧倒的に裏付けているが、最近の技術進歩は、その状況を変化させるであろう。欠陥の学習の節は、信頼性欠陥密度(RDD)学習に常に直接的に応用できるであろう。しかし、欠陥を加速させる高電圧と高温は、我々がデバイス物理学と物性科学の領域を超えて凝視する原因となる。ストレス条件はもはや標準の技術仕様で決定されるのではなく、システム適用条件によって決まる。妥当な電力における市場性能要求を満たすことの出来ない最近の技術は、システムの使用条件(電圧と温度)を増すことをシステム設計者に強いることで埋め合わせている。ストレス条件の応用の結果として、Vmin 動作レンジのシフトや、性能余裕度に影響する NBTI や、ゲート酸化膜の完全性(時間依存の絶縁破壊:TDDB)について、未だ大部分の説明が付かないままである【訳者注:NBTI=Negative Bias Temperature Instability;PMOS のゲート端子に負の電圧を印加することで発生する劣化】。従って、それらは補完的な挙動や信頼性故障率に変調を起こす。C4 や BEOL 配線における金属のエレクトロマイグレーションについての一般的な考え方でさえ、ストレス条件によって引き起こされる過度な電流や電力が原因とされる場合には、入念な調査が必要である【訳者注:C4=Controlled Collapse Chip Connection; フリップチップボンディングの一工法。ウェーハチップのパッドに付けたバンプを押しつぶすようにしてインターポーザ基板のパッドに接続するワイヤレス・ボンディングの一種】【訳者注:BEOL=Back End of Line; 半導体製造ラインの配線工程の意】。業界が「性能絶対化」を重視する状態はまだまったく終わらない。

DFR もまた、3 つの主な構成要素を持っている。それは、1)技術設計、2)チップ設計(論理的、物理的)、3)システム設計である。この 3 つの各々において、DFR 機能は、欠陥許容性を追及しなければならい。技術設計の場合において、リーク電流は、欠陥許容誤差を超える重要事項において電源の低下を引起す。チップデザインと DFR に関して、電源緩和と故障の許容は、設計の優先順位で同等である。冗長要素解析と電力消費の解析には、相当な設計技術力を費やすことになる。システムレベルでの欠陥許容性は、誤検出や修正、および冗長要素からなっている。

信頼性スクリーニングとテスト手法において、理想的データ、補助的データ、 強制的データ、偏ったデータが載せられた技法や方法論の文献が豊富にある。討論は、チップ回路のタイプ、設計スタイル、性能目標、信頼性要求、故障タイプ、テクノロジの世代によっては変わる。過度な電圧と温度が欠陥検出の主流として続く限り、信頼性スクリーニングとテスト手法が、電力供給や熱的な解決策において、最良の賢い考え方になるであろう。それは欠陥を加速させる一方で、デバイスの破壊を回避できるもので無ければならない—つまり、優先順位の変更である。過去、摩滅やその兆候となるストレス条件やストレス動作を避けるよう呼びかけや、あるいは暗示さえあった。過去の格言は、”欠陥を加速させる一方で、自らの摩滅は回避できるものではいけない“というものであった。しかし、10nm 以下の酸化膜、NBTI、Vmin のような過剰なマージン、数百アンペアの電流や数百ワットの電力、何マイルもの銅配線や数十億の内部接続などのシステム適用条件がさらに難しくなってきている。

RS&TM は、それらをウェーハ用途とパッケージ（またはモジュール）用途に分け、そして、更に「欠陥検出」と「欠陥加速」技術に分けることで、分類しやすくなる。この段構造は、市場からの返品がテスト見逃しか、信頼性欠陥による初期寿命かという絶え間の無い論議を和らげる手助けとなるであろう。

工程上のステップ（ウェーハまたはパッケージ）にかかわらず、欠陥加速テクニックは実用条件をはるかに超える温度や電圧（これらはリークに対して指数的に変化する）を必要とし、実効性のある電力を扱わなくてはならない。同様なことは、検出技法には当てはまらない。多くの場合、検出技法はリークを減らす VLV（超低電圧）や VLT（超低温）条件を使う。リークを悪化させる実用条件が必要な場合でも、それらの条件は欠陥を加速させる条件までには一般的に達しない。

バーンインの要求

バーンイン・プロセスのための技術的な課題は、デバイスピン数の増大、パッケージピッチの減少、デバイス動作周波数の高速化、劇的なリーク電流の増大、及び電圧／熱加速の増大によって方向付けられる。多くの信頼性故障モードがバーンインだけではスクリーニングできないので、信頼性を高めるために、IDDQ、HVST、ウェーハマッピングなどのいくつかの手法が併せて用いられている。

バーンインのシステム技術は、特に大電力デバイスにおいてコストダウンを継続する必要がある。 デバイスコア電圧の最小値は下がり続ける。 スキャンテスト手法が非常に深いベクタを実行するための大容量メモリを必要とする一方、大電力テスト手法は個々のデバイスの熱と電力の制御を必要とする。 バーンイン工程（システム／ドライバ／バーンイン・ボード／ソケット）では、内部生成クロック方式を持たない先端技術デバイスの速度に対応することが課題になる。 DFT 無しのデバイスは、I/O 数の増大を必要とする。KGD ニーズの増加は、ウェーハレベル・バーンインや、KGD キャリアや、プローブ段階でのストレス印加に対する努力を求め続ける。

デバイス電源や信号の要求はバーンイン・ボードにおける、多層化、短配線、省スペース、複雑な手順や部材、テストコストの増大、ボード信頼性などの問題を大きくする。 今後のデバイスの狭ピッチ化は新しいコスト課題であり、バーンイン・ソケットとバーンイン・ボードを繋ぐ革新的なインタフェースが必要になるだろう。

バーンイン・ソケットは、コンタクト数の増大、峡ピッチ化、大電流化、高周波数化への対応と云う大きな設計課題を要求されている。 同時に、ソケットは、大電力デバイスが自己発熱で破壊するのを防止すると云う熱対策ソリューションの重要な構成要素である。 ソケットメーカの主要な課題は、これらの新しい要求に対応する技術を提供しながら、低価格および短いリードタイムを維持することである。 0.5mm ピッチ未満のボールグリッド・アレイ（BGA）に適用されている水平動作のコンタクト設計は、増大する機械的ストレス要求に対する既存ソケット素材の性能不足やピン数の増加によって、垂直動作のコンタクトに置き換わるだろう。電流供給性能の向上にむけて、新しい設計と新しい素材が必要とされている。 ソケットの設計は、パッケージ寸法や反りに関してパッケージのルーズスペックに対応する必要がある。一方、パッケージの大型化や、パッケージの薄片化や、狭ピッチ／非標準ピッチ／混在ピッチに対応する必要もある。 コンタクト設計には、電気的／機械的性能を損なうことなくより大きな強度が求められている。

バーンインは、伝統的なユニット単位のバーンインを含み、システムでのバーンイン、ウェーハでのバーンイン、そして strip/array でのバーンイン で取り組まれている。（図 TST11） 高信頼性の用途において、システムレベルでのバーインは伝統的なデバイスでのバーンインを補うかまたは、置き換わる。ウェーハレベル・バーンイン技術は引き続き開発されているが、未だ従来方式のパッケージ・バーンインに対して置き換わることが出来ていない。ここでは、ソケットを用いたバーンインを省くことにチャレンジし、スキャンやロジック BIST、メモリ BIST（MBIST）を用いた、同時測定のウェーハレベル・バーンインを行う方法を調べる。Strip/array バーンインは、パッケージ・バーンインにおいて strip や array 方式のどちらにおいても同時測定テストでの量産を行う上で、もっと重要になってくる。

Table TST11 Burn-In Test Requirements

ウェーハレベル・バーンイン

ウェーハレベル・バーンイン（WLBI）は、何が構成要素であるか、明確な基準はない。あるベンダは、DRAM の内部ノードに単純な DC ストレスの逆電圧を与えることで「バーンイン」と称している。あるいは、WLBI は、デバイスの定常動作状態において、デバイスに電圧ストレスをかけると共に、ウェーハ全面のコンタクトと温度による欠陥の促進をさせるに充分な高温と時間を与えることとも言われている。 あるベンダは、スキャンや BIST などの DFT 機能を用いてローエンドのマイクロコントローラや SoC に WLBI を使用することを可能としている。

重要な取組として、選択肢の有効的な定量化、WLBI の定義の標準化、ウェーハレベルでの取扱による有効性の確認をするために使用する方法を示すことだ。特に、WLBI に適したデバイスである DRAM に対する取組は、ウェーハに対するバーンイン環境を、パッケージ・バーンインと同等で効果的な機能をパッケージ・バーンインのコストより安く供給できる。このコンセプトは量産におけるバーンイン環境に用いることで、バーンイン時間に有効的に利用することである。

WLBI に対する必要性は拡大しつつある。 初期故障率はトランジスタのスケーリング効果と新しいプロセス技術・デバイスの材料によりますます悪くなっている。デバイスの 動作電圧とマージンの減少は電圧加速、電圧ストレステストを用いた有効性の信頼性保証を低下させている。顧客の CSP（Chip Scale Packaging）と MCP（Multi Chip Module）の要求のために、KGD の必要性が増大する。半導体製造工程の 早い時期にバーンインを行うことにより、サイクルタイムの短縮やウェーハ工程への歩留り、欠陥情報の迅速なウェーハ工程へのフィードバックに役に立つ。最終的に、パッケージング前のプロセスで、不良デバイスの検出と除去を行うことで、不良デバイスのパッケージを行った場合のスクラップコストを低減できる。

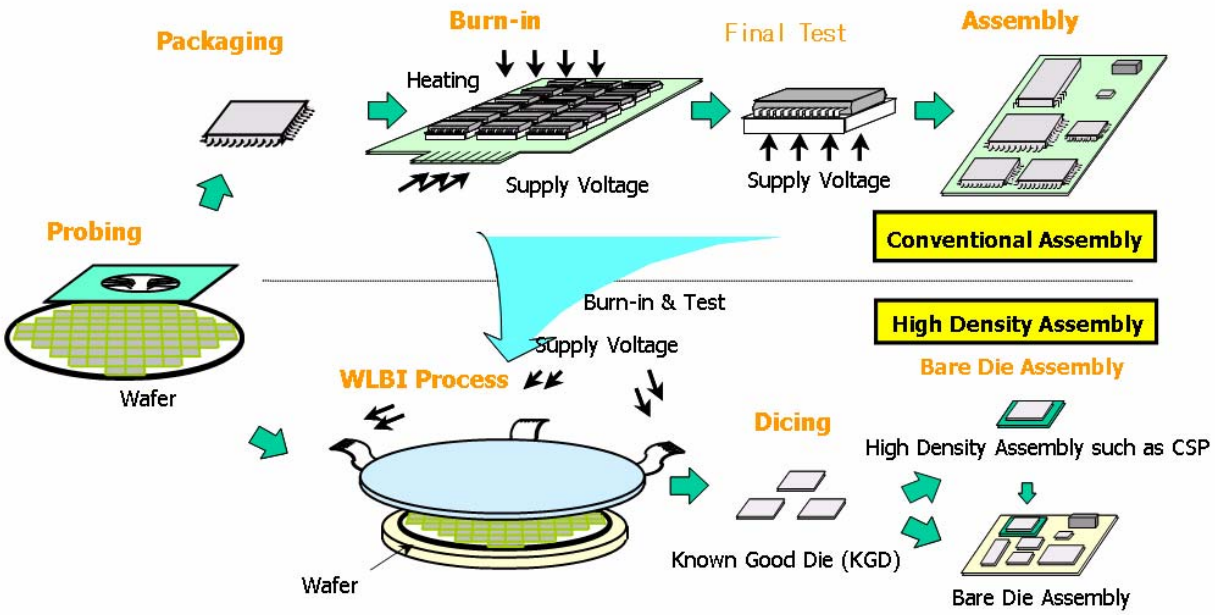


Figure TST11　The Production Process with WLBI Compared with Package Burn-in

ウェーハレベル・バーンインのためのプロービング技術

TPS プローブやマイクロ・ポゴピンコンタクタは、ウェーハ全面コンタクトのためのコンタクタに含まれる。TPS プローブは、多層配線基板、バンプ付き薄膜と PCR（異方性導電ゴム）シートの構成で出来ており、PCR シ

ートは多層配線基板とバンプ付き薄膜の間にあり、バンプの不均一高さを吸収し、均一性と安定したコンタクト行うことが出来る。このシステムの重要な特徴は、各バンプの先端に効率よく圧力をかけることが出き、 バンプの材質や表面状態管理により、アルミニウムパッドで 2 万ピン以上をコンタクトする能力がある。多層配線基板は、温度膨張係数（CTE）の不整合が起こらないように、シリコン（例えばガラスやセラミックス）と類似した温度膨張係数の部材が使用されている。

マイクロ・ポゴピンのコンタクタは、同等の CTE を持ったプローブハウジングと両端稼動のポゴピンで構成されている。ポゴピンは垂直に立ち、充分な追従性を持ち、隣接したコンタクト間での高さの変化に独立して動いて調整する。プローブピッチは技術に依存する。

ウェーハレベルパッケージ技術のようなウェア上の全パッドのコンタクトには、スプリング形状のコンタクトの適用が予想される。コンタクタロードマップに於いて、DRAM は 汎用メモリ・バーンインの多くを占めているため、目標として選ばれている。DFT ではシステム LSI が検討されている。

その他のウェーハレベル・バーンイン技術の考察

ウェーハの消費電流は、トランジスタのチャンネル長の短縮化による sub-threshold リークと、単位面積当たりのトランジスタ数の増加により増大する。高温のバーンイン時にもまた sub-threshold リークは増大する。従って、バーンイン装置は 1 ウェーハ当たり 1000A 以上の電流を供給できる能力がなければならない。また、適切な電流制限を行うために、ウェーハの温度の調節と温度均一性が必要になる。結果的に、バーンイン装置は異なる特性の各ウェーハに対して適応できなければならない。

BISTはデバイス当たりの被テストピンの数を減らすことが可能であるが、しかしダイの縮小とパッドの狭ピッチ化により、ウェーハの総ダイ数とパッド数を増加させるためこの利点を相殺してしまう。スキャン、BISTやJTAG[3]のようなDFT機能を用いてWLBIの利用を可能にするために、デバイス当たりの被テストピンとトータルコストの削減をしなければならない。そして、WLBI技術の性能を改善しなければならない。

WLBI を可能とするプロービング技術について上述した。しかし、プロービング技術は、将来の技術トレンドを満足させるため、いくつかの問題に直面している。LOC とペリフェラルデバイスに対する TPS プローブ技術の検討ではパッドピッチを 70 μm まで適用できると思われる。70 μm 以下のピッチに対して、フォトリソグラフィを用いた MEMS 技術が選択できる。この技術は、しかし、300mm ウェーハに適用できる解決策を持っていない。狭ピッチ化に対するプロービング技術が求められているとしても、パッドのレイアウトを行う時に DFT をうまく使い、一つおきにパッドを飛ばせば、通常ピッチに比較して実効的に 2 倍のパッドピッチにすることが出来る。Low-k 材料のために、多ピン低プローブ圧の適用も求められるであろう。 これは新しいプロービング技術の促進に役立つであろう。

テストハンドラの要求

Wafer probe（プローバ） と component test（ハンドラ）での装置は各セグメントにおいて明らかに技術的なチャレンジが必要になっている。 プローバ、ハンドラ共に、更なる多数個測定の実現と、装置自身やインタフェースのコスト増大を如何に抑えるかが主な課題である。

プローバでは、測定数を増やすために 300mm ウェーハ全面をカバーできるプロービング技術開発が必要となる。 特にプローブピンを増やすことでの信号取り回しの複雑性を解決する技術が課題である。プローバやプローブカードは多ピン化においてインタフェースを複雑にしないアーキテクチャが必要となる。

ウェーハレベルやパッケージテストでは、技術的なチャレンジと稼働率向上によるコスト削減を実現することが普遍の課題である。 スループットの向上と、測定数増大（例えテスト時間が短くても）、及びハンドラの速度向上／ハンドリングプロセス機能拡張（例：非同期テストや連続ロット供給など）は同時に成立しなければならない。

[3] *an IEEE standard 1149 boundary scan*

パッケージは更に小型化が進み、サブストレートは薄くなっていく傾向が進むことから装置がハンドリング可能なエリアは少なくなっていくと考えられる（当然、リードやパッド、ボールの数は増えていくことも要因の一つである）。将来、ハンドラは高精度ピック&プレース機能や極小／繊細パッケージへの対応、パッケージにダメージを与えない高推力コンタクト機能などが必要である。

最終製品での過酷な使用条件を網羅したテスト温度範囲の拡張が必要になる。特にテストスタート時のジャンクション温度のコントロールは改善されていくべきである。テストにおける吸熱量は総じて増加傾向にあるが、マルチコア技術はこれを緩和する傾向にある。

これら全ての要求を 1 台でかなえることの出来るハンドラは現れそうにない。 温度／スループット／搬送精度／同時測定数、特別な機能などの技術の統合とコストの面な装置の実現が今後の課題となる。 2007 年 ITRS ロードマップではデバイス発熱の観点でハンドラを 3 つのグループに分けて分類した。 デバイス毎の発熱が、10W 以上をハイパワー、0.5～10W までをミドルパワー、0.5W 以下をローパワーと定義した。 2009 年 ITRS ロードマップではハイパワーデバイス向けハンドラを 10～50W（典型的なハイパワーデバイス向け）と 50W 以上（更にハイパワーなデバイス向け）に更に分類している。

Table TST12　Test Handler and Prober Difficult Challenges

Med-High and High Power Handler	*Temperature control and temperature rise control due to high power densities during test*
	Continuous lot processing (lot cascading), auto-retest, asynchronous device socketing with low-conversion times
	Better ESD control as products are more sensitive to ESD and on-die protection circuitry increases cost.
	Lower stress socketing, low-cost change kits, higher I/O count for new package technologies
	Package heat lids change thermal characteristics of device and hander
	Multi-site handling capability for short test time devices (1–7 seconds)
Medium Power Handler	*Support for stacked die packaging and thin die packaging*
	Wide range tri-temperature soak requirements (-45°C to 150°C) increases system complexity
	Continuous lot processing (lot cascading), auto-retest, low conversion times, asynchronous operation
	Shielding issues associated with high frequency testing (>10 GHz)
Low Power Handler	*A wide variety of package sizes, thicknesses, and ball pitches requires kitless handlers with thin-die handling capability*
	Package ball-to-package edge gap decreases from 0.6 mm to 0 mm require new handling and socketing methods
	Handling package smaller then 1x2 mm for specialist device MEMS or photo sensor with low damage concern
	Parallelism at greater than x128 drives thermal control and alignment challenges
Prober	*Consistent and low thermal resistance across chuck is required to improve temperature control of device under test*
	Heat dissipation of >100 Watts at > 85°C is a configuration gap in the prober industry
	MEMS wafer stick on prober chuck without damage for chip probing (CP) test requirement
	Advances in probe card technology require a new optical alignment methodology

Table TST13　Prober Requirements

Table TST14　Handler Requirements

デバイスインタフェースの技術要求

デバイスのパワーと IO バンド幅の増加傾向は、電気的テストを行う上での信号伝達とハイパフォーマンスを共に向上させていく必要がある。つまりデバイスをテストする装置でのデバイスインタフェースにアセンブル

的な技術チャレンジが必要となる。最も高速となるインタフェースでは、デバイスのパワーとシグナルのソースからダイへの完璧なモデリングを要求する。テスタ／パス／プローブもしくはソケット／ダイの正確なシミュレーションモデルも大事になる。ダイの小型化とパッケージの多様化は、デバイスの生産性向上、ピン幅の狭小化とピン数の増加、多数個測定といった要求を加速させ、かつ測定インタフェースを複雑にしている。

機能的多様化（“More than Moore”）の考え方は SiP やダイ積層といった特別な技術革新により成立する。SiP やダイ積層といった高密度実装を実現する上で TSV や近接通信（非接触シグナル）といった技術革新が探求されている。SiP やダイ積層もしくは KGD では、歩留りやテストコスト向上という課題に直面している。これら 3D 実装やインタコネクトといった技術（ワイヤレスであれ、ワイヤードであれ）は、テスティングやプロービングにおいてアライメント精度などの技術課題を生む。

パッケージング工程でのテストは、機能的多様化の実現の解決策になりうる。これまでの半導体のファブにはプロセステストとして、さまざまなオフライン／インラインのテストがあった。パッケージング工程ではわずかな数のアクティブコンポーネントにて実行されてきただけである。SiP やダイ積層でのパッケージングでは複数のアクティブなダイとパッシブコンポーネントの組み合わせを必要とする。これまでパッケージ後のテストはアセンブリテストの代わりに行われてきた。

機能的多様化の実現のためには、パッケージング工程でのテストを真剣にとらえ試していくべきである（歩留りを予測するインラインテストなども）。そして機能的多様化の実現には高密度積載技術と KGD 技術の必要性においてプロービングが課題となる。プローブカードやテスタリソースの肥大は、引き続き BIST やプローブカードのエンハンスを必要とする。同測数やテスト手法におけるポテンシャルソリューションは、高密度ワイヤレスプロービングといった非接触なインタコネクト技術である。コーディネーションやテストカバレッジといった手法は、今後も続く異質なデザイン的チャレンジである。今後のソリューションは、前述のダイや各アセンブリパーツにテストストラクチャの追加を巻き込んでいくだろう。

プローブカード

ウェーハプローブ技術は、製品仕様やテストの実行条件や生産性目標やコスト削減の要求などに左右される複雑な電気的、機械的な課題に直面している。どの様なデバイスに対しても、これらの課題には電力の増大、周波数応答（バンド幅）、狭ピッチ化や小パッドまたは小バンプパッド化に伴う多ピン化、スイッチング電流（di/dt）の増大、パッド／バンプの代替材料、同時測定数の増加などへの対応が含まれている。プロービング技術の研究や開発は新規技術・改良技術を問わず、基本的なプロービングの条件、即ち確実な信頼性、堅実で経済的な DUT との電気的接続などの課題を満たしている必要がある。非接触プロービング技術の最近の進展は、プローブに関する将来の密度、速度および 3D 等の要件の実現を助けることになるだろう。

パッシブなプローブカードの進歩は、増強される機能性に対して機械的、電気的限界に近付いているように見える。インテリジェントなプローブカードは、同時測定と速度の双方の問題を解決する潜在的な可能性がある。MEMS 材料と異種機能・異種材料集積（Heterogeneous Integration）の進歩は、DUT 技術にマッチした同時測定と性能でインテリジェントプローブカードを経済的に作るができることを示唆している。3D パッケージテストで使用するインテリジェントプローブカードのいくつか市販レベルの提供がある。

この節に含まれる図表はテスト技術要求の節の構成に準拠し、デバイス製品種別に基づいた動向が導き出されている。

プローブカード技術のトレンド

重要な課題の表に記載したように、市場から緊急に要求されている研究開発課題は製品信頼性や機能テストの環境における経済的なプローブ技術である。

バンプ付きデバイスの生産は増え続け、しばしばエリアアレイの I/O を伴うので、垂直型プローブ技術へのピン数増加要求が有り、また同時測定数の増加も必要になる。さらに多重列ワイヤボンドで垂直型が必要と

なり、狭ピッチ化が重要課題となっている。 幾つかのマイクロプロセッサとハイエンド ASIC は動作電力が 500W から 1000W であり、プローブ当りの電流容量と温度の問題が起きる。またプローブ当りの電流は、ワイヤボンドのデバイスがより高度な半導体技術に移行すると、カンチレバー技術や MEMS 技術のプローブに対し問題となる。

デバイス量産テストは同時測定に移行した。幾つかの生産品目（例えば、メモリ）では、現在のウェーハプローブ技術で 512 個以上の同時測定が実施されている。 プローブ技術はウェーハ全面へのコンタクトが可能となっており、既に 200mm 及び 300mm ウェーハで実施されている。 これらの大規模並列プローブでは DUT あたりのピン数を増やす事が今後の課題である。

テストの革新には、TSV や近接通信などの新しい相互接続技術の効果的な使い方が必要とされている。

Table TST15 Probing Difficult Challenges

Geometry	• *Probe technologies to support peripheral fine pitch probe of 23 µm peripheral staggered pad probes at effective pitches of 20/40, and fine pitch (45 µm) for dual row, non-staggered probing on all four die sides.* • *Fine pitch vertical probe technologies to support 130 µm pitch area array solder bump and 50 µm pitch staggered pad devices.* • *Multi-site pad probing technologies with corner pitch capability below 125 µm.* • *Reduction of pad damage at probe commensurate with pad size reductions (or better).* • *Alternative probe technology for 75 µm on 150 µm pitch dense array (vertical probe; bumped device).* • *Increasing probe array planarity requirements in combination with increasing array size.*
Parallel test	• *Need a probe technology to handle the complexity of SoC devices while probing more than one device.* • *Current probe technologies have I/O limitations for bumped device probes.*
Probing at temperature	• *Reduce effects on probes for non-ambient testing -50°C to 150°C; especially for fine-pitch devices.* • *For effects on Handlers and Probers, see that section.*
Product	• *Probe technologies to direct probe on copper bond pads including various oxidation considerations.* • *Probe technologies for probing over active circuitry (including flip-chip).*
Probe force	• *Reduce per pin force required for good contact resistance to lower total load for high pin count and multi DUT probe applications. Evaluation and reduction of probe force requirements to eliminate die damage, including interlayer dielectric damage with lo* • *A chuck motion model is required to minimize probe damage*
Probe cleaning	• *Development of high temperature (85°C–150°C)* in situ *cleaning mediums/methods, particularly for fine pitch, multi-DUT, and non-traditional probes.* • *Reduction of cleaning requirements while maintaining electrical performance to increase lifetime.* • *A self cleaning probe card is required for fine pitch bumped pad devices*
Cost and delivery	• *Fine pitch or high pin count probe cards are too expensive and take too long to build.* • *Time and cost to repair fine pitch or high pin count probe cards is very high.* • *The time between chip design completion ("tape-out") and the availability of wafers to be probed is less than the time required to design and build a probe card in almost every probe technology except traditional cantilever.* • *Space transformer lead times are too long, thus causing some vertical probe technologies to have lengthy lead-times.*
Probe metrology	• *Tools are required that support fine pitch probe characterization and pad damage measurements.* • *Metrology correlation is needed for post repair test versus on-floor usage.*
High power devices	• *Probe technologies will need to incorporate thermal management features capable of handling device power dissipations approaching 1000 Watts and the higher currents (≥ 1.5 amp) flowing through individual probe points.*
Contact resistance	• *Probe technologies that achieve contact resistance <.5 Ohms initially and throughout use are needed.* • *A method to measure contact resistance is needed. The traditional continuity test is insufficient to monitor contact resistance.*
High frequency probing	• *Traditional probe technologies do not have the necessary electrical bandwidth for higher frequency devices. At the top end are RF devices, requiring up to 40 GHz.*

プローブカードの技術要求

多くのプローブカード技術が市場に導入されているが、種々のデバイスを正確にテストするための適合性（技術そしてまたテスト手法に左右される）や技術の限界があり、プローブカードを更に幅広く使用する際の障害となる。 一つのプローブ技術ですべてのデバイス群の要求を満たすものは見当たらない。

この節では個々のデバイスをテストする事を含めてプローブカード技術の課題を調査する。 これらにはウェーハに接触する時あるいはその後の接触による影響、生産性向上のための複数デバイスの同時測定に対するプローブカードの設計、そして使用環境など、プローブカードが実際に使用される時の予測が含まれる。

ピッチと接続変換

入出力信号密度はパッドやバンプのかつてない寸法の微細化を要求する。周知にように、最先端ワイヤボンドのパッドピッチは 30um 以下である（当然パッドサイズはこれより小さくなる）。従来のプローブ技術にとって、許容範囲の針跡と共に微細化は大変な課題である。

プローブ測定におけるカンチレバー型プローブカードとワイヤボンド技術の使用は、未だに今日の先進的な解決策であるが、極近い将来、ピッチとスクラブで事実上の限界に到達すると思われる。狭ピッチやスクラブの要求に対する解決案として、「半導体のような」プロセス（例えば、MEMS やメンブレン）多用による新プローブ技術が興されている。

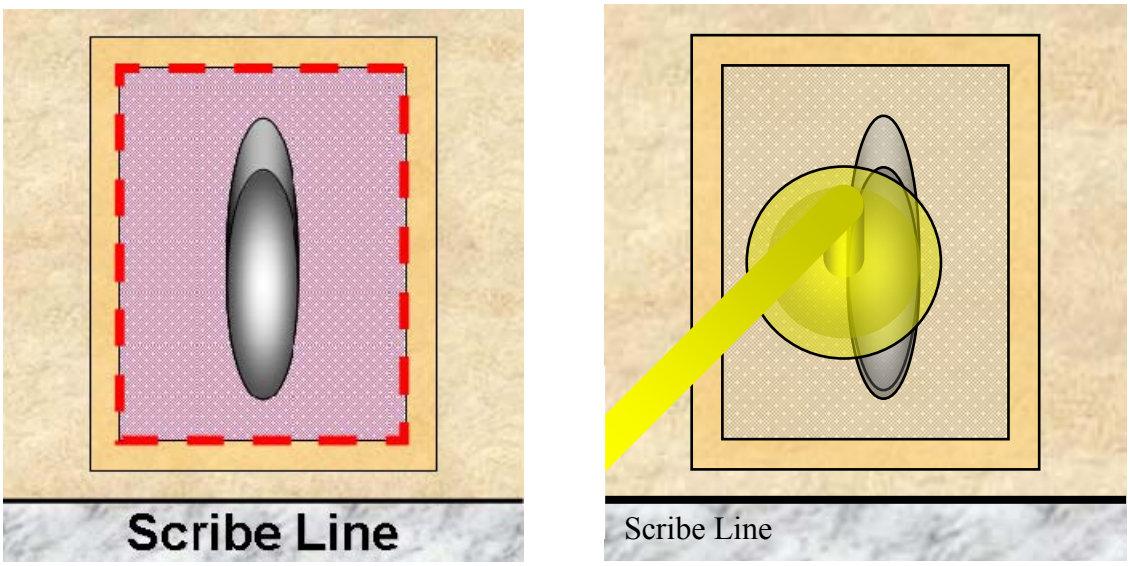


Figure TST12 Probing and Wirebond Contacting a Bond Pad

エリアアレイの半田バンプは成長分野のアプリケーションであり、垂直プローブ技術に見合った要求/需要を発展させている。ピッチやバンプの寸法が小さくなると、現在の垂直プローブ技術では恐らくアレイからの配線引出しに限界が生じ、新たな技術開発が必要になるだろう。

多数個同時測定

生産性の向上は 1 つ以上のデバイスを多数同時測定 (プローブ測定)することで実現可能である。メモリのテストがこの分野を牽引しており、最先端技術では 500 個の同時測定にさえ迫っている。表 TST2 に示すように事実上全てのメモリテストで多数個の同時測定が行われている。他のデバイスでも多数個同時測定への移行と加速は進行中である。DFT や「洗練されたテスト技術」の使用と共に促進され、16 個、32 個、そして

64 個同時測定さえも実現されている。また、ハイエンド・マイクロプロセッサにおいては 4 個同時測定まで実現されている。

多数個同時プローブ測定の要求は更なるプローブ数のますます増加しつつある。今日では、幾つかの新しいコンタクト／プローブの技術により 300mm ウェーハに全面コンタクトできると言われている。最終的なコンタクト／DUT 必要数は何百個にもなる。

電気的性能

ウェーハプローブ技術、プローブカードはウェーハ上の被測定デバイスとテストシステム・エレクトロニクスと電気的に接続する。プローブカードは、被測定デバイスとテスト装置の間で信号や電源を忠実に伝送、供給したりせねばならない。

本 ITRS の報告書の中に、デバイスの動作電圧や交流特性に関する情報が述べられている。加えて、このテストとテスト装置の章の中に、ウェーハプロービングの要求を理解するために手助けになる、広範囲な電気的特性に関するテスタ性能の情報が記載されている。

個々のプローブの電流容量は増大するように見受けられる。同時に、DUT あたりの総合計電流は回路密度やピン数の増大とともに増えると思われる。注目すべきは、1.5A 以上に達する大きな電流容量を必要とする幾つかの選択的アプリケーションがあると云うことである。また同様に瞬間最大電流値が増大していることにも注意を払う必要がある。

接触抵抗は常に着目されているプローブ技術のパラメータである。これはパッドやバンプの材質、パッドやバンプからの汚染、多数個同時測定の【訳者注:オフウェーハ上への】「はみ出し」、コンタクト圧、スクラブ(削り)、クリーニングなどのような多くの要因に左右される。本節の表 TST16 の要求は、プローブの実質的な寿命期間を通して「通常」使用した場合のコンタクト抵抗を反映している。初期およびクリーニング後の接触抵抗はかなり低く、一般に 200 mΩ 台かそれより低いことが要求される。クリーニングまでの期間（接触回数）を長くするために、コンタクト抵抗値を低くする要求が高まっている。

高周波測定においては、チップへの安定したインピーダンスの接触が未達成のため、課題として残っている。ロードマップは、デジタル I/O の特性は 20GHz 以上になることを示している。アナログピンの特性は高精細なレーダーや自動着陸装置および車両自動駐車システムなどにより 100GHz にもなる可能性がある。高周波測定下の多数個測定は課題として残り、また KGD 測定を可能とするためには多大な開発を必要とする。

耐熱特性

ロードマップとしての耐熱特性要求は大きくは変化しない。しかし確実に満たされなければならない。既に、チャック温度は零度よりずっと低い所から高温は沸点以上へと幅広い。このように、熱膨張率を適合させ、高電流要求を満たして、両極端を扱える材料を選ぶこととなる。

さらに、非常に大きな過渡電流による熱発生あるいは高電力デバイスに対応するためにプローバ内とくにウェーハとチャックの間に熱制御システムが必要となるかもしれない。

カードコストと低所有コスト（CoO:Cost of ownership）

本ロードマップでは、カードコストとその CoO は議論していない。コストと CoO に関しては、各企業が独自の評価法を持つ。しかし、共通のモデルがあって、業界全体に使え、市場にあるプローブカード技術をカバーできるのが望ましいという考えもある。

針のクリーニング

ロードマップでは、カンチレバータイププローブカードではオンライン中のクリーニング頻度は少しずつ増している。しかし多くの製品群において、オフラインでのクリーニングを行う代わりにクリーニング間のコンタクト

回数を増やしている。最終目標はできるだけテストシステムとプローブカードを有効活用することである。
垂直針系カードではオンラインクリーニング間のコンタクト回数が急増している。
つまりオンラインクリーニング頻度が下がり、カンチレバーの頻度に匹敵もしくはさらに少なくなる方向である。カンチレバーと同様に、オフラインクリーニング間のコンタクト回数はすべての製品群において増えている。
特記すべき例として、メモリ製品に対してオンラインクリーニングをやらない動きがある。ウェーハ全体への一括コンタクトに向けてのカード設計と針構造の複雑さを反映した動きである。

Table TST16　Wafer Probe Technology Requirements

テストソケット

ソケット部品は、DUT の電気的特性を決定付けるために、機械的なコンタクト機構を通して DUT と PCB 或いはテスタとの間の全ての電気的保有特性を転送すると云う役割を担う。近年、半導体の設計や製造の能力は進歩しているので、テスト工程での電気的要求や機械的要求は増加し続けている。それゆえ、ソケット技術は、著しく増えた電気的な要求や機械的な要求で急速な進展がもたらされてきている。その電気的要求や機械的要求のどちらも、大電力化・高電圧化・大電流化、パッケージサイズの小型化、狭ピッチ化、多端子化、小端子化、などに主導されている。すなわち電気的保有特性は、電気的要求だけでなく、機械的要求によっても決定されると言える。この複合物理問題によって、ソケット設計は難しい要求を伴う課題に次第になってきた。最近のソケットモデルでは、多端子化された BGA で、20GHz 以上の I/O 帯域では対応が非常に困難となっている。

表 TST17 にソケット技術の要求項目が記載されている。ソケットの分類条件は、TSOP、BGA という PKG に、NAND - TSOP、DRAM - BGA、SoC - BGA という 3 つのアプリケーションを当てはめ、NAND – TSOP にはコンタクトブレードの組み合わせ、DRAM - BGA にはスプリングプローブの組み合わせ、SoC - BGA には 50Ω スプリングプローブの組み合わせでソケットの分類を行っている（図 TST13）。 ソケット性能は、ボール、又はリード間のピッチに大きく左右されるため、アッセンブリやパッケージングのロードマップの変化を見ながら、ピッチの決定を行っている。

コンタクトブレードは、主に NAND - TSOP に使用され、ブレード自体がバネ性を持っているため、ソケットに DUT を押し当てることで、コンタクト荷重が発生している。コンタクトブレードは、とても単純な構造であり、量産に適しているものの、コンタクト荷重、ストローク、ライフを維持するためには、コンタクト長を長く取らざるを得ない。また、隣接するピンとの間にスリットの壁が必要であるため、狭ピッチには対応できないというマイナスポイントもある。スリットの壁は、ピッチが狭くなればなるほど薄くなり、製造がとても難しくなるためである。同時に、狭ピッチ対応ではブレード自体の板厚も薄くする必要があり、それによりコンタクト荷重や、適正ストローク、寿命を維持することが難しくなる。
スプリングプローブは、主に DRAM - BGA のテストに使用され、小径の筒（プローブとソケット）と圧縮バネにより形成されている。バネが縮むことにより、コンタクト荷重を生み出す仕組みである。ある程度の寿命を維持するためには、適当な強度や耐久性を維持するだけの大きい径である必要があり、長さもストロークを十分に考慮したものである必要がある。マイナスポイントとして、スプリングプローブではパッドやリードに対して、1 点もしくは 2 点だけのコンタクトであるため、他のコンタクタに比べ接触抵抗が高い傾向にある。それにもかかわらず、スプリングプローブの構造はいたってシンプルで、メンテナンスしやすく、さらに DUT 基板も設計しやすいというメリットがある。
DRAM - BGA のロードマップによると、スプリングプローブの径は、狭ピッチ対応のため小さくする必要がでてきている。さらに、高周波対応のため、インダクタンスも低いものが求められるため、スプリングプローブの長さを短くする必要がでてきている。
SoC - BGA の高周波を測定するためには、50Ω スプリングプローブのような同軸構造を持ったものが必要であり、これにより長さの問題は解決することができる。しかしながら、ロードマップの今後のボールピッチから、

同軸ピンの配列に制約が増える見込みである（2016 年の 0.5mm ピッチ）。 2016 年には、データレートが 20GT/sまで増える見込みであるが、50Ω スプリングプローブは、部品数が多く、接触抵抗が他のコンタクタより高いため、電気的特性において劣るものと思われる。2010 年に必要とされる 50mΩ の接触抵抗に対応するためには、材料、めっき、構造の開発が必要である。

BGA - SoC（高周波）のパッケージに使用可能な Rubber は、シリコンゴムの厚み方向に導電粒子の束を規則的に配列させる事によって上下の導通と隣接の絶縁を確保する方式である。インダクタンスが厚みに依存するため標準的な厚みでも低いインダクタンスを確保できる事から、高周波の測定にその優位性を発揮する事ができるが、 厚みを一定に保ったままインダクタンスをさらに低減していくことが後の課題となる。パッケージのボールピッチの微細化に対しては、現状のロードマップに示されたターゲットに対応する事は問題ないと思われるが、多ピン化にともない同一ストローク量を確保したまま必要荷重だけを低減していく事は容易ではない。

QFP ／ QFN - SoC（高周波）のパッケージ測定で主に使われる Contact blade + Rubber タイプのソケットは、高い周波数特性に対応するために、接触子自体にはバネ性を持たせず接触子の導体長を短くさせ、別に配置した Rubber に変位を与える事により接触荷重を発生させる。Rubber の硬度を変える事でパッケージパット材質に適した接触荷重に変更出来るというメリットがあるが、Contact blade タイプのソケットと比べると機械的な寿命は少ないというデメリットもある。

QFP／QFN - SoC（高周波）のロードマップによると、2013 年に I/O data 15GT/s の要求があるが、接触子の導体長を短くする事で高周波特性への対応は可能であるが、必要とされる Contact stroke を確保する事が難しくなって来るため、量産面での運用に課題が発生すると考える。また、2019 年に I/O data 40GT/s の要求があるが、接触子の導体長を、必要とされるインダクタンスまでに小型化する事が難しくなる。ソケットの構造や接触子の材質、メッキ等の見直しが必要となる。

ソケットのライフ時間に関しては、このロードマップで述べられていないが、今までの有鉛デバイスに比べ、鉛フリーデバイスにはもっと高いコンタクト荷重が必要となるため、近い将来、リード/ボールへのダメージ軽減のため低荷重化が求められてくることから、寿命も重要な課題となってくる。

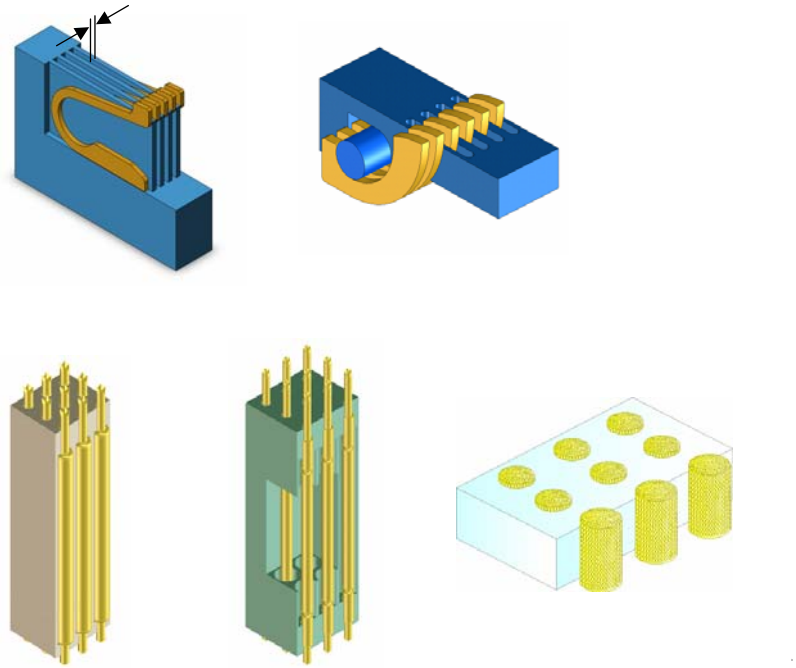


Figure TST13　Contactor Types

電気的要求

電気的要求には、ソケットピンあたりの通電電流容量（CCC）、接触抵抗、インダクタンス、インピーダンスがある。また、インサーションロス【訳者注：挿入損失】、リターンロス【訳者注：反射損失】、クロストークといったシグナルインテグリティ【訳者注：信号の品質】を悪化させる要素がある。大電力化や高バンド幅化に伴って、パッケージは CCC の増大や、低コンタクト化や、インピーダンス整合の適正化のソケットピン設計やソケット設計を必要とする。

ロードマップ上では、20GHz を超えるデータ転送速度の要求が必要と予測されている。この領域では、インピーダンス整合と潜在的な信号損失が大きな問題になる。一方、端子数が増えるのと同様に、パッケージの寸法や端子やピッチは小さくなる。この小端子化は、コンタクト抵抗やシグナルインテグリティをひどく悪化させる厳しい機械的な制約条件への対応を必要とする。電気的接触を安定させ、低い接触抵抗を確実にさせる 1 つの重要な要素は、一般的に端子あたり 20～30g 程度のコンタクト荷重である。端子ピッチが縮小すると、適正な接触抵抗を可能にする高いコンタクト荷重が維持できないかも知れないが、微小で細いソケットピンを使わざるを得ない。電気的保有特性に対する機械的要求の否定的な影響によって、電気的コンタクト技術の改善やソケットの革新が必要とされる。つまり、電気的保有特性とシグナルインテグリティは増大する機械的要求と密接に関係している。

機械的要求

機械的要求には、機械的位置決めや、コンプライアンスや、ソケットピンの信頼性が含まれる。機械的アライメントは、特にランドグリッド・アレイ（LGA）において、多端子化や小端子化によって大きな課題になってきている。現在、テストソケットの主流は受動的な位置決め制御になっている。この方式では、ソケットピンとデバイス端子の間のコンタクト確度は機械的なガイド機構の許容誤差の積み重ねに依存してしまう。よって受動的な位置決め方式は直ぐに限界に達するだろう。何故なら、製造時の許容誤差は数 μm 程度に設定されているからである。能動的な位置決め方式や光学利用のハンドリング装置の採用は、パッケージや端子の縮小化、狭ピッチ化、多端子化の継続に対応できる選択肢の 1 つである。

コンプライアンスは、垂直方向（Z 方向）の機械的コンタクト確度である。つまり、総合的なコンタクトストロークは、最低限必要なソケットピンの圧縮量に加えて、ソケットピンの高さのばらつき【訳者注：共面精度】と DUT ピンの非平坦度の両方も考慮する必要がある。一般的に、コンタクトのトータルストロークは、0.3mm から 0.5mm である。しかし、ソケットピン寸法の更なる小型化要求より、上記のストロークを維持することは不可能であろう。このような圧縮問題は、電気的コンタクト性能のボトルネックになるかも知れない。

コンタクタピンの信頼性、ピン先端の耐久性もまた課題を持っている。何故なら、厳しい幾何学的制約によりソケットピンの強度に余裕がないからである。高温化、大電流化、ピン先端コンタクトの微小化などにより、テスト環境は更に難しくなっている。

Table TST17 Test Socket Technology Requirements

特殊デバイス

テストのロードマップはすべてのデバイスの要求を含むわけではない。ロードマップでは言及しない多くのデバイスの要求事項が本ロードマップの範囲内ではある。しかし、範囲からはみ出るデバイス、つまり特記デバイスについてここで言及する。ここでの特記デバイスはモバイル関連の大量（High Volume）製品である。この節の目的は特記デバイスの技術課題を述べることである。2009 年版では LCD ドライバ、イメージセンサ、MEMS 加速度センサを取上げる。

LCD ドライバは縦横比が 10：1 以上にもなること、狭いパッドが多く並ぶ点で特別なデバイスである。2009 年にはパッド大きさ 8μm×150μm、ピッチが 20μm である。普通のデバイスが 25μm ピッチである。縦横比も

15:1 であって普通のものの 1.3:1 と大きく異なる。テスト時間が短いので同測数を極端に増す必要はない。一方安定で安価なコンタクト法が求められる。

イメージセンサはデジカメに、そして携帯ほかモバイル機器に標準装備される。2009 年には典型的デジカメは 1200 万画素の解像度であり、今後もっと増える。車載用及び監視カメラ用には 60 フレーム／秒が必要である。各ピクセルには、S/N 比を上げるため集光レンズ（図 TST14）が備わっている。そして全スペクトルにわたって各ピクセルの性能（輝度、輪郭、コントラスト）をテストする。現状、テストシステムの詳細は各企業の秘密であるが、いろいろな角度からセンサにイメージを照射する瞳プロジェクションシステムである。裏側から照射する方法もある。こうすると有効光量が増す。得られた生データを加工して画質を良くする。イメージセンサはデジタル出力するとはいえ、もともとアナログ情報なので 1／0 判定ができない。そのようにイメージセンサはセンサとデジタル回路を 1 チップにもつ。モジュールに組んだ形でできるテストに限界があり、さらにシステムに組込まれた形ではほとんど動作テストくらいしかできない。

MEMS 加速度センサは個人用電子機器や車載用に益々使われている。スマート携帯などがユーザーとのインタフェース制御に使う。加速度センサのコストは 2009 年に 10％下がった。同時にテストコストも下げる必要がある。しかしパッケージ後のパラレルテストが課題であるし、ウェーハテスト結果を歩留りに関連させるのも課題となる。

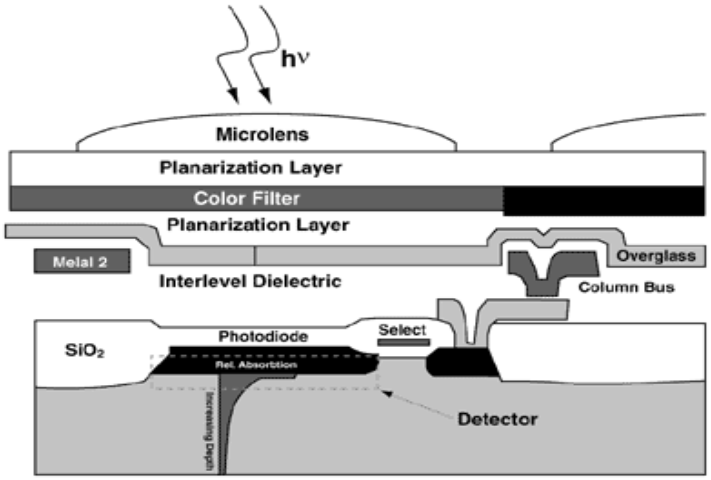


Image sensor structure cross section

Figure TST14 Image Sensor Cell