

INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS

2009 年版

無線通信のための高周波および
アナログ・ミックスドシグナル技術

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO
ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2009 Edition(国際半導体技術ロードマップ 2009 年版)本文の全訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 14 のワーキンググループ(WG: Working Group)が組織され、半導体集積回路メーカ、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソーシアなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2009 年版は英文で約 1000 ページの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、ITRS 2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要に限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。ITRS 2009 年版の作成にあたっては、当初から電子媒体で ITRS を公開することを前提に編集を進めた。ITRS の表は原則として、Microsoft Excel のファイルとして作成し、そのまま公開することにした。

ITRS は英語で書かれている。日本語訳の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くは専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字、脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただけますよう、お願い申し上げます。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出せず、原文のままの表記とした。原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。Executive Summary の用語集(Glossary)も参照されたい。原文の括弧()があつてそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 STRJ 事務局の古川昇さん、関口美奈さんに大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2010年5月

訳者一同を代表して

電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長
石内 秀美 (株式会社 東芝)

版權について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2009 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • 2706 Montopolis Drive • Austin, Texas 78741 • 512.356.7687 • <http://public.itrs.net>
Japanese translation by the JEITA, Japan Electronics and Information Technology Industries
Association under the license of the Semiconductor Industry Association

ー引用する場合の注意ー

原文(英語版)から引用する場合： ITRS 2009 Edition page XX, Figure(Table) YY
この日本語訳から引用する場合： ITRS 2009 Edition (JEITA 訳) XX 頁,図(表)YY
と明記してください。

問合せ先：

社団法人 電子情報技術産業協会
半導体技術ロードマップ専門委員会 事務局
Tel: 03-5218-1068 mailto: roadmap@jeita.or.jp

TABLE OF CONTENTS

無線通信のための高周波およびアナログ・ミックスドシグナル技術 1

概要 1

RFとAMS用CMOS	3
RFおよびAMS用バイポーラ素子	3
RFアナログ用のオンチップおよびオフチップ受動素子	4
電力増幅器 (0.4 GHz-10 GHz)	5
ミリ波 (10 GHz-100 GHz)	6
MEMS技術	6

困難な課題 7

RFおよびAMS用CMOS	7
RFおよびAMS用バイポーラデバイス	8
RFおよびAMS用のオンチップ受動素子と埋め込み受動素子	8
電力増幅器 (0.4 GHz-10 GHz)	9
ミリ波 (10 GHz-100 GHz)	11
MEMS	11

技術要求 12

RF性能指数	12
2009年版技術要求テーブルにおける変更点	12
RFおよびAMS CMOS	13
RFおよびAMSバイポーラデバイス	13
オンチップ受動素子	15
電力増幅器 (0.4 GHz-10 GHz)	16
ミリ波 (10 GHz-100 GHz)	20
MEMS	21

解決策候補 22

RF and AMS CMOS	22
RF/AMS バイポーラデバイス	22
RF/AMS用オンチップ/オフチップ受動素子	23
電力増幅器 (0.4 GHz-10 GHz)	24
ミリ波 (10 GHz-100 GHz)	27
MEMS	29

More Than Moore – Heterogeneous Integration 31

References.....	33
-----------------	----

LIST OF FIGURES

Figure RFAMS1	Applications of RF and Analog/Mixed-Signal Technologies	2
Figure RFAMS2	0.4 GHz–10 GHz Potential Solutions	26
Figure RFAMS3	10 GHz–100 GHz Potential Solutions	30
Figure RFAMS4	Options for Increased Performance and Functionality	31

LIST OF TABLES

Table RFAMS1	RF and Analog Mixed-Signal CMOS Technology Requirements	13
Table RFAMS2	RF and Analog Mixed-Signal Bipolar Technology Requirements	14
Table RFAMS3	On-Chip Passives Technology Requirements	16
Table RFAMS4	Off-chip Passives Technology Requirements	16
Table RFAMS5	Power Amplifier Technology Requirements	18
Table RFAMS6	Base Station Devices Technology Requirements	19
Table RFAMS7	Millimeter Wave 10 GHz–100 GHz Technology Requirements	21
Table RFAMS8	RF and Analog Mixed-Signal RFMEMS	32

[Link to 2009 ITRS Wireless Table file](#)

【訳者注: 英語版で設けられていたテーブルへのリンクは削除した】

無線通信のための高周波およびアナログ・ミックスドシグナル技術

概要

急速に成長する無線通信産業にとって、高周波およびアナログ・ミックスドシグナル(以下、RF(Radio Frequency) および AMS(Analog/Mixed-Signal))技術は、重要かつ必要不可欠といえるものである。この技術は、多くの材料系に依存しており、そこには SiGe のように CMOS プロセスと互換性を持つものから、周期表の III-V 族に属する化合物半導体のように、CMOS プロセスとの互換性に乏しいと思われるものまで含まれている。とりわけ、この ITRS2009 年版で、More than Moore(MtM)技術の考えに基づいて記載している現在の emerging research device が、市場に出てくるようになると、化合物半導体は、ますます重要となるだろう。

この 2009 年版 ITRS の RF および AMS の章の目的は、以下のようなものである。

1. 典型的には 0.4GHz から 100GHz で動作させる携帯電話、WLANs(wireless local area network)、WPAN(personal area networks)、フェーズドアレイ RF システム、また、レーダやイメージングといった新規の無線通信のため、RF および AMS 技術に求められる課題を示すこと。さらに、市場に登場する、100GHz を超える応用についても述べる。
2. Si-CMOS、BiCMOS および SiGe-HBT(heterojunction bipolar transistors)と、III-V 族化合物半導体デバイスを使い分ける分岐点について明らかにすること。

2009 年の RF および AMS の章では、無線通信のフロントエンドで用いる基本技術要素(トランジスタ、受動素子)の、課題と技術要求および解決策候補を示す。また、本章では、応用からの将来見通しについても示す。この 2009 年の RF および AMS の章は、6つの主要セクションからなっている。5つのセクション(AMS CMOS、RF と AMS バイポーラ素子、RF と AMS 用オン/オフチップ受動素子、パワーアンプ(PAs)、MEMS(micro-electro-mechanical systems)は、主として 0.4GHz から 10GHz での応用をカバーしている。第6のセクションは、ミリ波技術であり、10GHz から 100GHz での応用をカバーしている。以前の版と違い、周波数が 10GHz を超える RF CMOS については、ミリ波のテーブルのみで取り扱っている。ただし、ここでの周波数は名目上、通信用搬送波の周波数を示したものであり、必ずしも、クロックや個々のデバイス・回路の動作周波数を示したものではない。ミリ波帯については、学校教育で用いている分類では 30GHz 以上とされているが、この節では 10GHz 以上まで範囲を広げた。10GHz から 30GHz 帯で用いる技術や、技術的な要求および課題が、30GHz から 100GHz 帯と変わらないためである。また逆に、数社において、これまで低周波で用いていたアナログ設計技術を、ミリ波領域で使い始めていることも記しておく。

上記 6 つのセクションに加えて、この章では、新しいセクションとして“More than Moore＝シリコンと III-V 族化合物半導体の異種デバイスの集積”を設け、性能とコストから議論する。

無線通信向け技術の発展は、コスト、周波数帯域、消費電力、多機能性、小型化、量産性、そして標準規格や通信プロトコルなどに影響される。また、高周波技術は、しばしば性能やその指標を妥協させる必要が生じる。なぜなら、同時に相反した、または競合した要求に対応する必要があるからである。電力付加効率(PAE)、高出力、低消費電流、低電圧などがそれである。通常 Si 素子では微細化によって高周波性能を向上させる。III-V 族化合物半導体では材料技術、バンドギャップ制御技術によって伝導特性を向上させることで、高周波性能を高めている。これまで 20 年の間、III-V 族化合物半導体技術は無線通信産業で、新たな

ビジネス機会を獲得してきた。量産性が要求されるようになると、Si や SiGe などの IV 族半導体で、低コストかつ応分な性能が出せる分野では、III-V 族を置き換えるようになってきている。

このロードマップで応用先と考えられる無線通信回路は、AD/DA 変換器を含む AMS 回路、低雑音増幅器 LNA、周波数シンセサイザ、電圧制御発振器 VCO、ドライバアンプ、フィルタを含む高周波送受信回路、そして電力増幅器 PA である。

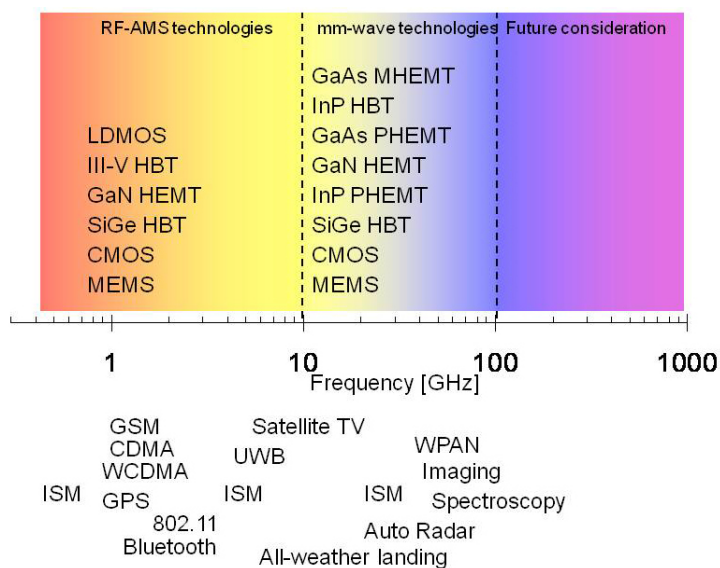


Figure RFAMS1

Applications of RF and Analog/Mixed-Signal Technologies

Figure RFAMS1 は、周波数に対して幾つかの応用例と、章で触れる技術について示したものである。2005 年版のロードマップの応用周波数帯を示した図に比べると、ここに示した多くの材料やデバイスが、高い周波数帯に移ってきており、また、その技術が使える上限が見えなくなっている。

民生用の無線通信市場は非常にコストに敏感である。また、複数の技術がアプリケーションのスペックを満たす場合には、様々な要因がコスト検討に影響を及ぼすことになる。そのため、異なる応用における材料やデバイスの選択を、一義的に決めることができなくなっている。

過去数十年にわたり、伝統的に化合物 III-V 族半導体がミリ波帯の主役であった。しかし、今日、車載レーダーのような低価格で大量生産される応用がでてくるようになり、IV 族半導体である Si および SiGe でも、サブ 100nm までスケールリングを進めることで、急速に従来 III-V 族の牙城であった周波数帯まで、周波数を伸ばしてきている。ここで触れる幾つかの無線応用と、材料およびデバイスについて Figure RFAMS1 に示した。

応用分野によっては、MHEMT(metamorphic high electron mobility transistor)が、GaAs の PHEMT(pseudo-morphic high electron mobility transistor)や InP の HEMT(high electron mobility transistor)を置き換えるようになるであろう。実際、InP HEMT や GaAs MHEMT が、このロードマップで扱う範囲を超える THz 帯近くまでの、適用見込みを示している。一方、2GHz 近辺の無線基地局のようなインフラ用としては、広バンドギャップ半導体である GaN が現在では Si LDMOS (laterally diffused metal oxide semiconductor) と競っている。最近の研究論文では、GaN が 94GHz まで高出力と高効率を実現できることを示している。また、おそらく数年以内に 220GHz 帯まで達すること示唆している。一方で Si 系技術は、高出力・高耐圧・高利得あるいは低雑音が要求されて III-V 族を置き換えるのが困難と思われるミリ波帯でも、大量生産・低コスト志向の

市場で広がってゆくものと予想される。反対に、少量生産の応用分野に対しては、Si 技術ではマスクセットなどの生産初期投資がかさむために、III-V 族が使われると思われる。

今日、どの材料やデバイスが、所望の応用にとって最善かを定める上で、周波数よりも、ノイズ指数や、出力電力、電力付加効率や線形性といった性能指標が、より重要なものとなってきている。携帯電話の送受信器、基地局の電力増幅器モジュール、またミリ波受信器といった種類の応用においては、2 つかそれ以上の技術が、共存するものと考えられる。現在、携帯電話の送受信器では、BiCMOS が CMOS に比べて生産量では、市場占有率が大きい。しかし、CMOS の送受信器が主力となっている無線 LAN(WLAN)の通信市場が拡大すると、将来的には逆転するものと考えられる。基地局の電力増幅器モジュールにおいては、現在、GaAs の HBT と LDMOS が、GaAs の PHEMT や MESFET(metal semiconductor field effect transistor)に比べ、大きな市場占有率を持っている。しかし、GaN 技術が発達してくると、置き換えられる可能性がある。将来においては、システムがより高度な機能を要求してくることから、より高い集積能力をもったシリコンを基盤とした技術の重要性が増してくるものと考えられる。現在、ミリ波帯受信器では、GaAs の PHEMT や InP の HEMT が使われている。将来は、SiGe HBT、GaAs MHEMT、および GaN HEMT、また、III-V 族デバイスと CMOS を異種集積したものが競合することになるであろう。

RF と AMS 用 CMOS

RF と AMS CMOS のセクションでの牽引役となるアプリケーションは、0.4HGz-10GHz 帯の携帯用トランシーバである。このセクションの基本となる技術は、従来同様、依然として Process Integration, Devices, and Structure (PIDS)の章の低待機電力版(LSTP) ロードマップにある CMOS デバイスである。LSTP 版のロードマップを選んだ理由は、携帯機器応用では高性能版 (HP)や低動作電力版 (LOP) CMOS に比べて、より低い待機電力とより高いバイアス電圧が要求されるためである。このロードマップの素子は LSTP のロードマップと同一と仮定しているが、主要なアナログ性能が達成できない場合は、修正が必要になるものと思われる。ここでのデバイスは、RF と AMS の設計を支援する高周波モデルや設計ツールの開発期間を考慮して、LSTP に比べ、1 年遅れるものとした。

2つの応用分野に焦点を置いた。初めが、LSTP デバイスを後追い形成する高性能 RF/アナログデバイスである。これは、トランシーバ、周波数シンセサイザ、周波数変換器や増幅器の回路に用いられている。次に、スケールアップした MOS では達成困難なアナログに特化した応用のため要求されるデバイス性能や、オフチップの RF 信号を駆動するため必要となる高電圧デバイスの性能について示している。そのため、このセクションでは、アナログ高精度 MOS デバイスに関して、高 S/N 比と低歪を達成するため、比較的高い電圧でのスケールアップについても示す。多くのファンダリーでは、オプションでアナログ フレンドリー FET を揃えているが、これらの素子は通常の CMOS 技術では入出力(I/O)用として用意されているものを使うことが出来る。更に、携帯素子(バッテリー、ディスプレイなど)が必要とする、より高い電圧設定のインターフェースをサポートするため、CMOS 技術のなかに、高電圧デバイスがオプションで揃えられている。CMOS のミリ波用のテーブルは、この章のミリ波のテーブルの中に置いた。

RF および AMS 用バイポーラ素子

このロードマップでカバーするバイポーラトランジスタは、Si/SiGe のヘテロ接合バイポーラトランジスタ (HBTs)である。今日用いられている全ての Si/SiGe HBT を取り扱うのではなく、無線応用のために性能向上が図られているものに焦点をあてる。0.4GHz から 10GHz 帯の無線トランシーバのアプリは、バイポーラおよび BiCMOS 技術にとって、依然として最大の市場をもっている。しかし、すでに開発されている SiGe NPN HBTs でこれらの周波数では十分なため、もはや、無線トランシーバは先端性能の牽引役ではなくなっている。このセクションのスコープは、高速 NPN(HS-NPN)、高速 PNP(HS-PNP)、および電力増幅用 NPN(PA) HBTs への要求を示すことである。

HS-NPN 素子を牽引している要求は、ミリ波製品、例えば、60GHz WPAN、77GHz-79GHz 車載レーダ、94GHz imaging、120GHz-160GHz imaging、またギガビットイーサネット(40Gb/s、100Gb/s 若しくはそれ以上)などへのものである。

HS-PNP 素子を牽引しているのはアプリケーションである。例えば、HDD、DVD/CD-R/W、薄膜トランジスタ(TFT)ディスプレイ、高解像度ビデオ、楽器または楽器のようなものが挙げられる。こうしたアプリでは、高性能なアナログおよびミックスドシグナル IC が必要である。ドライバーや、ビデオ増幅器やバスインターフェース、DAC/ADC、および、オペアンプといった IC は、一致性のよい NPN と PNP トランジスタを実現する相補型 BiCMOS(C-BiCMOS)技術の多大な恩恵を受けている。HS-PNP ロードマップの目的は、NPN トランジスタの性能との一致性を示すことである。PA-NPN 素子は、CDMA や WCDMA および GSM 携帯端末(つまり、900MHz から 2GHz の間の動作周波数)の RF トランシーバモジュールの電力増幅器のための要求が、牽引役になっている。PA HBT の性能は、電池の電圧とその進化に縛られている。今日、電池電圧の低下は見込まれていないが、PA HBT のロードマップでは、破壊耐圧をスケールすることで、デバイス要求を提示することで、こうした可能性への期待を示している。

バイポーラのロードマップで示した年は、量産開始年ではなく、プロトタイプが始まった年である。BiCMOS 技術の寿命(大きな生産量が続く期間と定義するならば)は、CMOS に比べ遥かに長く(~10 年)なっている。なぜなら、対応するアプリケーションにおいて、デバイスのクリティカルな大きさを単純にスケールングすることで得られる利点が少ないためである。結果として、BiCMOS 技術は、全ての CMOS ノードに適用することができるわけではない。これらの理由から、ここに示すロードマップは、バイポーラの性能をそのときの CMOS ノードと結びつけるものとはしていない。用いる CMOS ノードは、会社特有のものや、バイポーラ性能要求、ゲート密度要求、プロセス集積上の互換性、開発時間やコストといった多くの要素から決められている。それでも、年毎のロードマップは、より高い動作周波数帯のアプリケーションに向けて、バイポーラ性能が継続的に向上し続けることを示している。

今日、最も進んだ HS-NPN を用いた BiCMOS 技術では、180nm から 130nm CMOS を用いている。これは、最新の CMOS 技術と、BiCMOS 技術の間に、3 から 4 世代の技術ノードのギャップがあることを示している。これは、製品牽引役の要求に、高密度なデジタル機能が入っていないこと、また、枯れた CMOS ノードの集積によるコスト上の利点、そして、こうした CMOS ノードで優れた HS-NPN 性能を達成できることによるものと考えられる。ピュア CMOS 技術では言われないが、ミリ波 SOC アプリのため、数年以内に 65nm 或いは、45nm BiCMOS が現れるものと考えられる。C-BiCMOS および PA-BiCMOS 技術は、今日 CMOS ノードで 350nm から 180nm を用いており、通常、HS-BiCMOS より遅れて出てくる。実際、これらは、大きなゲート密度の要求のなく、コストが最も重要となるアプリケーションに応用されている。

RF アナログ用のオンチップおよびオフチップ受動素子

オンチップ受動素子のセクションでは、無線通信のための RF および AMS 回路で用いる受動素子として、(1)容量素子、(2)抵抗素子、(3)インダクタ、(4)バクスター、(5)電力増幅器用のその他受動素子について取り扱う。デジタル CMOS 回路と異なり、多くの RF および AMS 回路では、受動素子性能が回路性能を決めている。電圧および温度係数が容量素子や抵抗素子の主要パラメータである。また、容量素子や抵抗素子は、クロック周波数 0.4GHz 以下の、アナログ-デジタルおよびデジタル-アナログ変換器などの、AMS 回路にも使われている。

受動素子のセクションでは、2009 年版ロードマップは、オフチップ受動素子に関する全ての技術を含めるように拡大させた。これは例えば、特に無線市場がマルチスタンダードの端末をサポートするようになってくるにつれ、RF のフロントエンドモジュールのなかでの応用が伸びているのが、混載受動素子である。このセクションのスコップとして、個別素子や受動素子を形成するためパッケージ基板に集積したチップをカバーしている。この基板には、プリント回路基板(PCBs)のような有機材や、あるいは積層基板や高密度インターコ

ネクション(HDI)技術などが知られる厚膜および薄膜プロセスのためのシリコンあるいはセラミックのような無機材を用いることができる。

この節では無線通信用 RF および AMS 回路で使われるオンチップ受動素子および受動素子部品、1) 容量素子、2) 抵抗素子、3) インダクタ、4) 可変容量素子、5) 電力増幅器用受動素子について示す。デジタル CMOS 回路と違い、多くの RF および AMS 回路の性能は、主として受動素子の性能により決まる。電圧および温度の係数は、容量素子や抵抗素子の主要パラメータである。また容量素子や抵抗素子は、クロック周波数 0.8GHz 以下の AD(analog-to-digital)変換や DA(digital-to-analog)変換のような AMS 回路でも使われている。

電力増幅器 (0.4 GHz–10 GHz)

無線通信でネットワークを形成するには移動体と固定両方の送受信機が必要である。一般の人々にとってなじみの無線機器は、携帯電話や無線 PDA のような携帯機器である。本節では、端末の電力増幅器用として III-V 族 HBT、Si-MOSFET と SiGe HBT についてとりあげる。また基地局電力増幅器向けの高耐圧素子として、Si-LDMOS および GaN FET についても述べる。技術を牽引する主要項目は、部品の集積化とコストである。

携帯端末用電力増幅器

はじめに、上記携帯機器用の電力増幅器(PA)について述べる。携帯機器用の PA は常に PA モジュールの形態をとっている、すなわち、Si の電力制御チップ、RF 整合回路、RF スイッチ、PA チップを含む多機能部品で、1~4W 程度の RF 電力を携帯機器のアンテナに供給する能力がある。電力制御回路には(オンチップバイアス回路がない場合)Si CMOS か BiCMOS が通常使われ、さらに論理制御によるスイッチ機能が含まれることもある。RF 整合回路は個別部品あるいは集積受動部品(IPD)で構成される。IPD とは受動素子のみを組み合わせで作られるチップのことである。これらの部品は、伝送線あるいは多層基板に埋め込まれた受動部品と組み合わせで整合回路を構成する。RF スイッチには GaAs PHEMT やシリコン・オン・サファイア(SOS)CMOS が最も良く使われるが、最近ではシリコン・オン・インシュレータ(SOI)CMOS も普及し始め大きな注目を集めつつある。PA チップには GaAs HBT、Si-LDMOS、SiGe HBT が使われている。同一チップには、複数の部品を組み合わせで集積することもできる。最近の傾向としては、PA 制御機能とスイッチの組合せ、あるいはスイッチと集積受動部品 IPD との組合せがある。また、SiGe BiCMOS 技術を用いて PA 制御機能と PA を組み合わせるか、あるいは PA 制御機能と SOS か SOI 技術による RF スイッチが組み合わせられたりもする。さらに線形 PA (リニアアンプ)の中には CMOS によるバイアス回路を内蔵して出力電力と消費電流に対する厳しい要求に応えようとし始めているものもある。異なる規格の PA を一つのチップにすることは、部品点数とワイヤボンディング本数を削減できるため、モジュールのコスト低減が可能となる。このような組合せ方は、今後、PA モジュールが対応すべき周波数帯や変調方式の数が増えるにつれて、より広まってゆくと思われる。それぞれの機能に対してどの技術を適用するかは、RF 性能仕様、ダイサイズ、入手性、そして最も重要な製造コストによって決まる。

基地局用電力増幅器

携帯機器と有線通信網とをつなぐ基地局にも電力増幅器がある。携帯端末と比べて基地局の送信器は、必要なエリアをカバーするために 300W にもなる相当大的な高周波出力を得ることが必要である。一つの基地局は、そのエリア内全ての携帯電話の通信容量に対応するために、複数台の 300W 級電力増幅器を有することもある。動作周波数帯は 400MHz から 3.5GHz の間である。最近では、WiMAX 規格(worldwide interoperability for microwave access、訳者註: 2-11GHz 帯の固定通信規格で、日本国内で始まったモバイル WiMAX とは別)がまもなく広く展開しようという状態であるが、まだ具体化はしていない。一方で、第 4 世代(4G)携帯電話の展開は 700MHz から 2.7GHz 帯の電波再割り当てによって進められようとしている。

基地局送受信機の心臓部は、データ信号を所望の出力まで増幅する最終段の RF 用半導体電力増幅素子である。高出力を得るためにいくつかの半導体素子を並列に接続することがよく行われている。400MHz から 3.5GHz 帯の携帯電話用には、Si-LDMOS が低コストで性能が良く、技術的にも成熟しているために現在第一に選択される技術である。LDMOS の典型的動作電圧は 28~32V である。コスト、性能、信頼性の面で LDMOS は GaAs PA が追いつけない地位を築いてきている。窒化ガリウム GaN は次世代のデバイス技術候補として少なからぬ関心を集め続けている。GaN は Si-LDMOS の 4~5 倍の電力密度が可能である。このように非常に大きな電力密度は、GaN がより高い降伏電圧と電流密度を持っているため、PA の設計に大きな利点をもたらす。GaN デバイスの開発が継続的に行われ、その効率向上可能性に期待が寄せられているが、高コストと技術が未成熟なこともあって広く展開するには至っていない。

ミリ波 (10 GHz–100 GHz)

ここ 10 年ほどで、ミリ波帯に対する商業的関心が着実に高まっている。Si 系技術が支配している、より低い周波数帯と違って、多数のミリ波帯対応の半導体および素子技術が、それぞれ異なるコスト、性能、入手性のトレードオフのある市場に向けて覇を競っている。現在では、素子や集積回路には 4 種類の基板、GaAs、InP、SiC、Si が用いられている。10 年前には III-V 族化合物半導体がミリ波帯を独占していたが、この領域にも Si 系デバイスが、主にコストと集積化の利点によって徐々に入り込んできた。高水準の集積化が必要で、かつ性能重視の用途には、III-V 化合物半導体とシリコンのヘテロ集積化技術へと進むことが期待される。このようなアプローチでは、III-V 化合物半導体の高周波性能と、シリコンの高集積両方の利点を活かすことができる(本章の More than Moore の節を参照のこと)。将来的には、他の III-V 化合物半導体、さらにはダイヤモンドやグラフェンも含む炭素系半導体が出現するかもしれない(新探索素子の章を参照のこと)。本節では、短期のミリ波応用製品におけるトランジスタ技術の現在と将来について述べる。この分野は急速に拡張しており、また性能も論理集積回路のようにリソグラフィ寸法に強く依存しているわけではないため、長期予測についてはあえて触れないこととする。化合物半導体は Si 系デバイスの長期にわたる資産を活用できるわけでも、ムーアの法則に従うわけでもない。ミリ波帯の市場と製品が広まり、技術牽引力となってくれば、ミリ波帯の長期予測が将来の ITRS ロードマップに載るだろうと思われる。

以下の材料およびデバイス技術(GaAs PHEMT、GaAs MHEMT、InP HEMT、GaN HEMT、InP HBT、SiGe HBT、RF CMOS)による、低雑音トランジスタと電力増幅用トランジスタについて本節で述べる。SiGe HBTと RF CMOSを除いて、どれもIII-V族の 3-4 元化合物をエピタキシャル成長した構造を用いている。製造メーカーの知財である、エピタキシャル成長層の材料選定、膜厚、不純物濃度の選択によって大きく影響を受けるため、デバイス特性は極めて多様である。出力電力、効率、耐圧、雑音指数(NF)、直線性、その他の特性などに、両立しない要素がある。こういうトレードオフの結果として一つ言えることは、ミリ波帯の性能向上はリソグラフィのロードマップで牽引されているのではないことである。描画寸法の微細化は確かに遮断周波数(f_T)や最大発振周波数(f_{MAX})のような高周波性能指標を向上させるが、それよりも、矛盾する設計要素の適切な組合せやエピ成長層のバンドギャップ制御技術が微細化と呼応しながら、性能向上を牽引しているということである。RF-CMOSでは、基板面方位、バンドギャップ制御技術、ゲートスタック技術、歪技術がリソグラフィ進歩による微細化とともにミリ波帯の性能牽引力となってきた。

MEMS 技術

無線通信の民生市場で、触れる必要のある新探索技術の一つに、MEMS技術がある。MEMSは、例えばミリ波通信用アンテナの同調では長い実績があり、センサや変換器応用分野でも良く知られている。大量生産されているMEMSの 2 つの例としては、テキサス・インスツルメンツのDLP™プロジェクター技術と、今日生産されるあらゆる車の安全装備に用いられるエアバッグのセンサ(アナログ・デバイセズやボッシュなどが製造している加速度センサ)が挙げられる。アナログ・デバイセズやSTマイクロエレクトロニクスが供給するMEMS素

子は、任天堂Wii™の加速度センサとしても用いられている。全てのMEMS技術に共通の特徴は、可動部を持つことである。しかし、MEMSの製造技術やMEMSにより解決策をもたらすやり方は極めて多岐にわたる。

MEMS 素子の利用はさらに急速に広がりつつある。MEMS 技術によって実現した電子部品は、モバイルや無線通信応用で今や一般的なものとなっている。2009 年版の MEMS ロードマップは、2007 年版の 4 つの素子(バルク弾性波デバイス BAW、共振器、容量性スイッチと金属接触スイッチ)に加えて、3 つの新しい MEMS 素子(センサ、マイクロホン、ディスプレイ)に焦点をあてている。ここでは RF やアナログミックスドシグナル(AMS)製品への適用が増えてきているため、これら 3 つの新しい MEMS 素子について議論するが、ロードマップの表には含めない。

通常、MEMS ロードマップの表 RFAMS8 にある 4 つのデバイスが、個別部品として無線通信機器製品に導入される、あるいは今後導入されてゆく。例えば、BAW フィルターは基板やマザーチップ(訳者註: SiP など積層チップの場合に下地となるチップ)に搭載されるし、シリコン MEMS 発振器は既存ソケットにはまる形(ピンコンパチ)で水晶発振器を置き換える。MEMS 個別部品の性能は大概前世代の製品(MEMS あるいは非 MEMS)と同じかこれを上回る。そして低コストであることが導入を早める。性能的には大きく優位であるもののコスト面での優位性が明確でない部品は、種々の経済的要因や、MEMS が置き換えようとする既存部品が技術的成熟や信頼性の実績で優れているために、2009 年段階では導入が遅れてきている。後者の実例としては、MEMS スwitch(容量性あるいは金属接触)を含んでパッケージ化された部品の信頼性が挙げられる。性能向上によって生み出される新製品で、しかも目立ったコスト的障害がない場合もある。例えば MEMS マイクロフォン、ゲーム機での手の動き検出や表示画像回転に使われる MEMS 加速度センサ、ナビに用いられる普及品の MEMS ジャイロなどである。これらは、エアバッグのセンサやインクジェットプリンターに用いられた Si 微細加工技術のような、既存のより成熟した MEMS プロセス技術の活用に使われて、比較的早く製品市場に導入されてきている。

ITRS 的な見方であるところの導入時期、すなわち多種多様の MEMS デバイスが現れて大量生産されるのは、CMOS、BiCMOS あるいはバイポーラのチップに MEMS 機能が集積される時期であると考えられる。このような集積化時期は、主にコストによって左右されるであろう。その時期に至るまでの間、次の順序で初期の導入が進むだろうと考えられる。(1) BAW 素子のような個別部品、(2) マイクロフォンや可変キャパシタなどの IC チップ上下への実装、(3) 半導体チップへのモノリシック集積。このような推移によって、製品によってはそれに特化した MEMS パッケージを必要としなくなつて部品点数なり部品コスト(BOM: 部品表)を減らせる可能性があるし、集積化とコスト低減により新しい応用製品を生む可能性もあると考えられる。

困難な課題

RF および AMS 用 CMOS

スケーリング則に基づく LSTP ロードマップに沿って基盤となるデジタル素子の性能が着実に向上することが、RF およびアナログ性能にもたゆまぬ向上をもたらしていると推測することはたやすい。ところが実際のところはそう単純ではなく、デジタル素子のロードマップに基づいて引き起こされる多くの寸法的、材料的、また構造的な変化が RF アナログ素子の性能を劣化させるか少なくとも変えてしまう。例えば、ハローあるいはポケットと呼ばれるイオン注入が長チャネル素子であってもトランジスタの利得を劣化させることは良く知られている。素子寸法が縮小するに伴い、素子間のローカルインターコネクトにおける寄生インピーダンスを制限するこれまでも異なる要因が現れるなどするため、物理設計上の新たなトレードオフに対する最適化が必要になってくるであろう。高誘電率ゲート絶縁膜、チャネルへひずみを印加するための埋め込み構造や、金属ゲート電極などの新材料技術の導入は、素子特性のミスマッチ、1/f 雑音の推移に関する予測を不確実なものにしている。しかし差し当たりのところ、ロードマップではこういうパラメータに対しての一般的なスケーリングからの向上や劣化の可能性については無視している。ゆくゆくは LSTP のロードマップにもあるように、複数ゲートないしは完全空乏型 SOI のようなデバイス構造への抜本的な変更が、継続的に性能や集積度を向上させる

ために必要となるだろう。これらの構造は素子のボディ部へのコンタクトをとれないため、電気特性は従来の CMOS のものと根本的に異なっている。利点となりうるのは高い電圧利得や低いドレインーボディ間結合である。しかし、こういう構造上の変更は電源電圧の継続的な低下を伴ってのことになるため、回路設計には大きな課題を投げかけることになるし、既存の設計ライブラリにも大きな変化が必要となる。従って、既存の高精度アナログ／RF 用素子と微細化 CMOS 素子を混載して製造するには、それぞれの工程追加を必要とする可能性がある。現在でさえ、システムオンチップ (SoC) を可能とするためには、アナログや高電圧素子を随意に混載できることで可能になるし、そのため、例えばコスト増加が伴ったとしても使用される可能性のある素子のメニューを広げることに繋がっている。

RF および AMS 用バイポーラデバイス

高速用 NPN 素子 (HS-NPN) にとって第一の課題は、低いベース抵抗、製造時の制御性とパンチスルーに対するマージンを確保したまま、縦方向プロファイルをより積極的に急峻化することで (電流利得 1 の) 遮断周波数 f_T を向上することである。第二の課題は、積極的縦方向プロファイル急峻化によってもたらされる大きな電流密度と電力密度を扱えるようにすることである。更にもう一つの課題は、このプロファイルに起因する高いエミッタ接地電流利得 β および低いエミッタオープン時のコレクターベース間耐圧 BV_{CBO} によって起こる、ベースオープン時のコレクターエミッタ間耐圧 BV_{CEO} の低下である。 BV_{CEO} は最大動作電圧を制限するものではないが、この電圧を超えての回路動作には、例えば負のベース電流など様々な異なる素子動作状態に対応したモデリングが要求される。

HS-NPN と同様、HS-PNP の主要課題も縦方向プロファイルの積極的な急峻化による f_T の向上である。電子と正孔本来の少数キャリア移動度の差に加えて、SiGe PNP での縦方向プロファイルの急峻化は寄生の障壁出現を避けるための価電子帯不連続制御が必要のために更に NPN より難しい。

PA の主要課題は、 f_T/f_{MAX} の比 (f_{MAX} は電流利得 1 の最大発振周波数) と耐圧のトレードオフであり、これによって他の技術と実質的に互角な高速性能のもとで高電圧動作と高電力密度を得ることが出来る (訳者註: 原文の complete with は compete with の誤りと判断)。

RF および AMS 用のオンチップ受動素子と埋め込み受動素子

オンチップ受動素子

受動素子には、抵抗、キャパシタ、インダクタ、バラクタ、トランス、伝送線路がある。これらの素子は、低雑音増幅器 (LNA)、電圧制御発振器 (VCO)、ミキサ、電力増幅器 (PA) などの高周波集積回路 (RFIC) において、インピーダンス整合、共振回路、フィルタ、バイアス回路に頻繁に用いられている。いくつかの RF 回路ではあるが 10GHz を超えるような製品でも大抵の場合、RF CMOS トランジスタの性能は十分なものである。従って、受動素子の RF 性能がいつも回路性能を決める重要な役割を果たしている。例えば、標準的な CMOS 技術を用いて RF トランシーバーに VCO を集積することは、多くの重要なパラメータを考慮する必要があるため、設計が大変困難となる場合が多い。重要なパラメータの例としては、広い周波数制御範囲、低消費電力、低位相雑音が挙げられ、これら全てのパラメータは、主として VCO 回路に使われる受動素子によって決まってくる (System Drivers 章のアナログミックスドシグナル (AMS) 節も参照のこと)。

現在のような SoC の時代になって、RF CMOS の高性能化と低コスト化を進めるため、RF チップへの受動素子集積化が民生用を中心に進んでいる。標準 CMOS プロセスに受動素子を集積するには、フォトリソグラフィや工程の追加が通常必要であり、より良い受動素子の性能を追及すると新材料の導入が必要なことも生じうる。従って、往々にして製造コストと素子性能はトレードオフの関係になる。とは言っても、キャパシタやインダクタは能動素子に比べてはるかに多くの面積を占めるため、このトレードオフ関係は応用分野によって異なる複雑な話となっている。よって、プロセス工程の増加や複雑さは増すけれども、キャパシタの容量密度を

あげてチップ面積を削減するといったような最適化も行ってゆく必要がある。ロードマップで求められる受動素子の長期的課題としては、高い Q をもつインダクタや高容量密度の MIM (金属-絶縁体-金属) キャパシタを低コストで実現できるような新材料の導入などが挙げられる。

埋め込み受動素子

異種チップ集積やシステムインパッケージ (SiP) 技術は、携帯用無線通信機器に広く用いられている。多くの実装と組立技術から、携帯機器に向けた所定の RF アナログ回路に適した技術を選択することは、外付け受動素子の設計者にとっての課題である。通常、シリコン基板上に形成した集積受動素子 (IPD) は最も小さくかつ高精度である。しかしシリコン基板に起因する大きな損失と高コストが欠点である。セラミック基板であれば低損失で高 Q の受動素子が通常得られるが、焼成工程に起因するばらつきや公差が性能ミスマッチを招き回路性能を悪化させる。プリント基板 PCB のような (記者註: 基板用の樹脂材料であるベンゾシクロブテン BCB を意図した可能性もある) 有機物基板は最もコスト的に有利で多くの異なる用途に対応出来るが、損失、公差、寸法の大きさの問題のために、まだ大量生産はほとんど行われていない。埋め込み部品に対する要求は、表面実装部品に対するものと同様であるが、埋め込み部品のプロセス技術、I/O 接続や、プロセス互換性は表面実装部品のものとは異なっている。埋め込み受動素子技術は、キャパシタ用の高誘電率 (high- k) 誘電体や、抵抗器に用いる抵抗体の膜やペースト、インダクタ用の高透磁率材料といった材料が関連する場合が多い。これら異なる材料は特定の処理工程を必要とする場合もある。埋め込み受動素子を用いる場合に多くの選択肢を持つことは、複雑さやコストを増大させる。製造工程での公差および寄生成分の影響を考慮した設計に対しては、正確なモデルや CAD ツールもとりわけ必要となる。これらも埋め込み受動素子を RF や AMS 回路に用いる際の課題である。

電力増幅器 (0.4 GHz–10 GHz)

携帯端末用電力増幅器

携帯通信用の PA デバイスやモジュールが直面している主要な課題は、コストを抑えつつ益々厳しくなる線形性の要求を満たした上で、動作周波数の拡張や新たな変調方式への対応が必要になることである。携帯機器にはデバイスコストの増加なく機能性が良くなることが望まれており、PA モジュールの開発はこれら相反する要求に応えることが最大の課題となっている。以下にテクノロジーの選択に影響し得る近年の顧客要求を記す。

CDMA (code division multiple access)、PCS (personal communications services)、WCDMA (wideband CDMA) などのような通信規格向けに用いられる線形 PA では、中電力 (16dBm) 効率が益々重要となってきている。現在の一般的な解決策として、第 1 には新しいプロセス開発を行わずバランスをとった設計で対応することであり、第 2 には 1 つあるいは全ての PA 段をバイパスするオンチップ SW を用いることである。このオンチップ SW の必要性から、同じチップ上に RF FET と HBT を集積することが促進される。さらに近年では、複数の出力点で効率がとれるように集積化が拡張されつつあるが、バイアス制御やスイッチング動作がより一層複雑になる。

他の主要な課題としては、ロード (負荷) に対する感度が挙げられる。電話機メーカーは PA ベンダーに、PA モジュールにおける PA から見たロードに対する感度が低いことを求めている。以前では、アイソレータをはずした際に、PA がある電圧定在波比 (voltage standing wave ratio: VSWR) に耐えることが出来れば良かったが、現在では同じ VSWR 条件で雑音指数、線形性、電力負荷効率 (PAE) などの性能を満たすことも求められる。これに対する対応は多様化し、用いる技術に様々な要求を突きつけることになるであろう。

PA ユーザーからはバイアス回路を洗練させてゆくことが求められている。例えば、1) ピンやモード制御を可能にすること、2) 温度特性補償、3) 自動バイアス制御 (PA が電力を検知してその値によってバイアスを調整する)、4) 参照電圧を必要としない、などである。上記の 3) に対しては、PA モジュールにパワーディテクタや

カプラを搭載する必要が生じるであろう。また、4)に対して、NPN 型トランジスタのみの構成では困難である。一般的にこれらの要求に応えるためには、高性能アナログ FET との BiFET 集積化が望まれる。これは継続的に強く要望されていることであり、GaAs HBT に対して RF 性能は劣るものの、BiCMOS は有望な置き換え候補となる。

GSM 方式においては通常、EDGE (enhanced data rates for global system for mobile evolution)規格の PA も GSM 規格の PA と共に集積される。従って、線形 PA と飽和 PA の統合が進み、PA 設計者は線形動作も用意しなくてはならなくなるであろう。将来的には、上述の GSM-EDGE PA のみならず、LTE (long term evolution)や WCDMA の HSPA (high speed packet access)も含めたモジュールとなる可能性がある。これには、仕様を満たしつつ必要な増幅器の数を最小にするために、より多くのスイッチング機能や組込みの可変ロードが必要となるであろう。LTE は UMTS (Universal Mobile Telecommunications System)の発展形であり、3GPP (3rd Generation Partnership Project) Release 8 として標準化作業が進められている。3GPP Release 8 は第 4 世代携帯電話(4G)移行を見据えて 4G 技術が多く盛り込まれている。

バッテリー技術の変遷はすべての携帯用 PA にとって重要なものである。耐用年数を経過したときのバッテリー電圧値は近年のうちに下がると予想され、PA ベンダーにとって大きな設計・技術課題となる。このことは、システムレベルでどのようなことが起こり得るかを示唆している。PA はいまだ 4 から 5V の充電器に対応する必要があるが、動作は 2.4V のような低い電圧である。従って、PA の動作範囲は増加する傾向にある。もし必要な出力電力が変わらないのであれば、なんらかの形の負荷線切り替えが必要となる。電話機メーカーか PA サプライヤによってもたらされるかはともかく、このことは技術の選択に影響するであろう。また、PA に用いられるトランジスタにはより高い電流密度で動作することが求められるであろうし、これはまた、どの技術が使用できるかを制限するだろう。

低コスト要求が激しいことや PA が SIP (system-in-a-package)を採用する傾向は、技術傾向の予測を難しくしている。

基地局用電力増幅器

基地局用半導体技術にとって最大の課題の一つに、絶え間ない価格圧力を受けながらの性能向上要求がある。基地局市場の 95%以上を占める LDMOS 技術では、コンポーネントコストが 1 ワット当たり 1 ドル超から 30 セント以下へとまで下がってきている。1GHz 向けと 2GHz 向けデバイスの価格差も減少傾向にある。このままコストが圧縮されつづけると、最高出力部のコストは 5 年以内に 1 ワット当たり 0.15 ドル程度にまで下がるであろう。プラスチックパッケージを用いると大幅に価格を下げるのが可能になり、従来のセラミックパッケージはより一層価格を下げるが必要になる。近い将来 200W 以上でもプラスチックパッケージが適用され始め、より高パワー品への適用へと進んでゆくであろう。

基地局技術には増幅器効率の向上も求められる。主には、より高効率な増幅器アーキテクチャ、すなわち、ドハティ、ドレイン変調、高効率動作(Class D, F, S)への取り組みがある。現在は高効率アーキテクチャの開発としてドハティ増幅器が主流である。技術的にも成熟しつつコスト増加も比較的到低くすむため、今後数年のうちに登場してくると思われる。これらの高効率アーキテクチャにおいては、システムコストの増加なく厳しい線形特性要求を満たし続けなくてはならない。デバイスの非線形性を補償するために入力信号をデジタルの段階で事前に歪ませる順応 DPD (Adaptive digital pre-distortion)設計は線形性の改善に有力である。プリディストorterの順応特性は、熱時定数やデバイス特性が時間とともに変動するドリフトの問題に対しても有効である。ある程度の高効率アーキテクチャにおいては LDMOS よりも GaN の方が優れているかもしれない。

高効率アーキテクチャの開発とは、デバイスをそのアーキテクチャに沿ったものに設計するということであり、更なる効率向上が見込める。例えば、ドハティ向けのデバイスはピーク電力とピーク効率のインピーダンスを有し、ロード変調で最大の利点を得られるよう設計され、ピーク電力を犠牲にすることなく効率を向上する。

デバイス開発を促す指標は PA アーキテクチャの機能である。このような指標は、潜在的にデバイスを各 PA アーキテクチャ固有のものにしてゆくかもしれない。すなわち、ドハティ増幅器向けに設計されたデバイスは、入力信号包絡線追跡方式では十分な性能を発揮できないかもしれない。これらの指標を理解すれば、デバイスメーカーはさらに PA 効率を高めることができるであろう。

ミリ波 (10 GHz–100 GHz)

化合物半導体技術はシリコン技術といくつかの類似点はあるが、まだ明確に異なる点も多い。III-V 族素子は製造装置や材料化学の進歩の恩恵を受けてきてはいるが、これらの装置や化学薬品はシリコン産業に注力して開発されているため、化合物半導体プロセスにとって必ずしも最適なものとなっていない。さらに、GaAs や InP のパワーデバイスで放熱性を良くするためにウェハを 0.05 mm まで薄くする必要があることや、これらの基板は割れ易い性質であることなど、シリコン技術にはない歩留まり低下の要因がある。

半絶縁性 GaAs 基板は、いまだ 100 mm 径のものを使用している工場もあるが、通常は 150 mm 径のものが利用可能でありデファクトスタンダードになってきている。経済規模やチップコストの点からだけでなく、装置設備面からも大口径化が進んでいる。GaAs のウェハ径は Si の 2 世代遅れ、InP や SiC は GaAs よりさらに 1、2 世代遅れの傾向がある。ウェハ径が Si の進歩に追いつくことは、III-V 族産業がプロセス装置面で恩恵を得るために極めて重要である。このようなウェハ径の拡大は、向上しつつはあるものの未だ欠陥密度の高い SiC にも特に当てはまる。今日、半絶縁性 GaN 基板を量産供給できるところはない。GaN デバイスの結晶性はほとんど基板である SiC によるが、顧客の仕様にあわせて SiC 基板上に GaN エピタキシャル層を供給する会社もでてきている。

III-V 族固有のものも含めデバイス技術課題には次のようなものがある

1. ミリ波マイクロストリップ回路において、低インダクタンスでグラウンド(接地)をとるための基板ビアを形成する有効な製造技術
2. GaN のような高電力密度デバイスに対して、ウェハ薄片化や局部冷却を含む放熱技術
3. パワーデバイス向けに高い破壊電圧やキャパシタのような関連する受動素子
4. ミックスドシグナルや E/D (enhancement/depletion)モードデバイス向けの酸化保護膜や絶縁材料
5. リーク電流の低減や故障メカニズムの理解。特に、圧電性をもつ GaN 材料に対して。

MEMS

MEMS (micro-electrical mechanical systems) 産業は新しいものではなく、多くの主要な点で CMOS 製造に代表される今日の半導体産業と異なっている。MEMS では、“1 製品、1 プロセス”が真言であり、新しい製品には新しいプロセスが必要となる。従って、MEMS デバイスには多くの種類があり、対応して複数のプロセスが存在する。このプロセス多様性は ITRS にとって非常に難題である。例えば、共振器の製造方法は 3 ウェハのウェハ間ボンディングから、VLSI コンパチの薄膜プロセスを用いた MEMS + CMOS のモノリシック集積化、といった風に多様である。そして今日、例えばスイッチキャパシタのような要求機能に対して、MEMS は潜在的に多様なアプローチを提供できる。今まで、MEMS は、(a) 時に革新的というよりも破壊的技術として市場に製品投入されてきたため、そして、(b) MEMS デバイスの性能、コスト、設計手法のため(当初は一般的な半導体産業のものと同じ、取分け無線通信製品における設計手法とは同じであったため)、ITRS の RF および AMS ロードマップに登場してきた。

次に挙げる 2 点から、MEMS は今日の半導体市場に広く行き渡ることになるであろうし、それゆえ ITRS ロードマップの製品にも取り上げる。

1. IDM (independent device manufacturers)に加えて特に”CMOS ファウンドリ”が、個別の MEMS モジュールを提供し始め、CMOS ファウンドリモデルに習っていること。これは市場規模が大きい製品(例えば MEMS + CMOS)用のプロセスに搭載された、個別 MEMS プロセス/デザインモジュールにおいて始まってきた。そのモジュールは並列の設計や製品にも再使用される。
2. 各 MEMS デバイスの種類に対して、単に性能にとどまらないところまで考慮されていること。

上記第 2 の点に付記して、そして MEMS が半導体市場に参入する補助のために、MEMS ロードマップは各 MEMS デバイスタイプに対してユーザーからの鍵となるニーズを提供する。これらニーズは、設計ツール、パッケージ、性能向上、コスト低減の 4 セクションに分類される。パッケージ、性能、コストのセクションにおいては、各 MEMS デバイスタイプを、あたかも RF CMOS FET やインダクタ、あるいは回路ブロックのように取り扱えるようにすること、性能、コスト、製造難度を組み合わせることで大量生産となるような用途拡大を実現すること、が目標となる。デザインツールに関しては、まだ他の RF/AMS デザインツールほどのものになっていなく、新しい MEMS アプリケーションが即座に実用できるように MEMS デザインツールを RF および AMS 設計フローに組み込むこと、が目標となる。

MEMS ロードマップの表には RF および AMS ロードマップの他の表ほど技術的な詳細を記載していないが、これは RF および AMS 製品や製品投入における要求に対する MEMS ソリューションの複雑性を反映している。

技術要求

RF性能指数

高周波測定から信頼できる性能指数(figures of merit: FOM)を抽出することは、デバイス性能水準が向上し寄生抵抗や寄生容量が減少するにつれて、より難しくなる。このため、信頼できるデータの下限である数十 fF 以上であるキャパシタンスを得るためには、十分なデバイス面積であることが望ましい。測定、寄生成分の分離、パラメータ抽出の手法によっては、HF FOM へ大きく影響を与えうる。コンパクトモデリングに必要な精度を得るために複雑な手順も開発されているが、デバイスのカットオフ周波数を評価する基本的な手法が一般的に利用されている^{10, 11}。バイポーラや電界効果トランジスタに対して最も一般的に用いられている手法は、SOLT (short-open-load-through)やLRRM (line-reflect-reflect-match)といった標準のインピーダンス基準基板(ISS)のキャリブレーションに加えて、2つのダミーパターン(Open + Short)を利用する方法である。これらパターンのレイアウトや詳細な補正手法は各会社間で異なるであろうが、デバイスはMetal 1 やMetal 1 + Metal 2 といった電極へと接続する配線を保持しなくてはならない。このようにすれば通常、ユニティ電流利得(h_{21})カットオフ周波数 f_T に対して非常に再現性のよい結果が得られる。高耐圧やp型デバイスのようなさほど性能が高くないデバイスにおいては、1つのダミーパターン(Open)を用いる手法で十分かもしれない。ユニティ電力利得最大発振周波数 f_{MAX} は、ある周波数におけるメイソン利得(U)から得られる。しかしながらこの手法は、Uが周波数の関数として 20 dB/decのロールオフとなるということに依っているため、このFOMの精度に対して議論の余地がある。 f_{MAX} を確認する通常の手法は、広い周波数レンジで $f_{MAX} = freq \times \sqrt{U}$ をプロットする。これは、広い周波数レンジに渡って一定の定数が得られたなら妥当な評価となり、同時に f_{MAX} に対する測定誤差も提供する。

2009 年版技術要求テーブルにおける変更点

本章の各 1~5 節における 2008 年版からの主要な変更点を下記に記す。

RFおよびAMS CMOS

本技術要求ロードマップは LSTP ロードマップとリンクしているため、それ以上の変更点はほとんどない。より高度な集積化やミックスドシグナル回路混載のロジックに対する性能水準をサポートするための LSTP、従って RF および AMS CMOS のロードマップにおいて、2009 年版 ITRS に渡るスケーリングにおける時間的な変更はあるものの、これまでの傾向は継続している。

先端の CMOS ノードを用いる動機は、0.4 GHz -10 GHz 帯にトランシーバを組み入れるために、デジタル回路の密度を増加できることである。性能とコストから、特定の SOC アーキテクチャに技術を持ち込むために、プロセスのモジュール化が促進され続けるであろう。しかしながら、ミックスドシグナルトランジスタへの要求はより厳しいものであり、集積化を成し遂げるためのプロセスは複雑にせざるをえない。多くのファウンダリは、CMOS にモジュール形式で追加する、高精度アナログアプリケーションや高耐圧アプリケーション用のデバイスオプションを提供するだろう。これらは比較的 low cost ででき、オンチップ機能性を拡張できる。バイポーラや Si または SiGe ベースの BiCMOS プロセスにとって不利なことに、ミックスドシグナルの分野で CMOS 技術は重要性を増している。今日の技術要求は、RF トランシーバにおける低消費電力、低雑音、低コストの必要性からきている。また、ソフトウェア無線において RF トランシーバの再構成を可能にすることや、RF トランシーバでより高度な水準の合成を可能にすることも、含まれる(後述の *More-than-Moore discussion* を参照のこと)。集積度の向上から、スケーリングによって CMOS が幾何学的に厳しい変化を伴うのと平行して、アナログデバイスモデリング、ESD 保護対策、寄生インピーダンスを最小にする物理設計の最適化が問題となってくる。技術要求テーブルは LSTP ロードマップに従って年毎の性能向上が反映されているが、よくファウンダリがあるノードでのみ RF および AMS サポートを提供したり、多くのアプリケーションプラットフォームにおいて製品を新しくバージョンアップする際にテクノロジーノードをスキップすることには、注意を要する。

大きな変更点として、ミリ波 CMOS テーブルは本章のミリ波の節に移行している。ミリ波 CMOS の表値は、他のデバイスとより一致するよう、24 GHz, 60 GHz, 94 GHz におけるノイズ指数(NF)、最大有能利得(MAG)と同様に、ピーク伝導コンダクタンスも含める形で更新されている。

Table RFAMS1 RF and Analog Mixed-Signal CMOS Technology Requirements

RFおよびAMSバイポーラデバイス

バイポーラデバイステーブルにおける変更点を下記にまとめる。

1. 高耐圧(HV) NPN 素子はもはやロードマップの牽引要素とならないため削除した。このデバイスは HS-NPN 素子からの派生であり、通常選択的コレクタ注入(SIC)をマスクすることで作成できる。このデバイスは利用可能なままであるが、性能は HS-NPN 素子の性能と密接にリンクしており、エミッタ/ベース構造やエミッタ/ベースのドーピングプロファイルは同じである。
2. 高速 PNP 素子のロードマップを導入した。これは既存の C-BiCMOS アプリケーションの性能限界を決める。
3. f_T/f_{MAX} トレンドと一致するよう、HS-NPNロードマップをアプリケーション要求に沿って大幅に更新した:
 - a. 今後 10 年に対して f_T が従来ロードマップより変化が少なくなるよう小変更。
 - b. f_{MAX} 変化のペースを大幅に向上。 f_{MAX} は f_T よりかなり速いペースで向上する。 f_T と f_{MAX} が両方とも高いことがこのデバイスの焦点であるが、今回のロードマップでは f_{MAX}/f_T レートにも焦点をあてた。
 - c. 他のすべてのパラメータもしかるべく更新。
 - d. デバイスはそのまま 60 GHz と 94 GHz の MAG を追加。
 - e. カラーリングを更新

4. バッテリー電圧の変化を予想して PA デバイスロードマップを更新:
- a. 今後 8 年のバッテリー電圧の変化を予想して中長期変遷を含めた。
 - b. 短期における BV_{CEO} をわずかに減少;他の短期修正はない。
 - c. 耐圧とカットオフ周波数をしかるべく見直した。
 - d. PA-NPNのエミッタ幅(W_E)をHS-NPNの W_E から分離。
 - e. 900 MHzと 1.8 GHz の最大安定利得(MSG)を追加。
 - f. カラーリングを更新

Table RFAMS2 RF and Analog Mixed-Signal Bipolar Technology Requirements

RF および AMS 用オンチップ/オフチップ受動素子

オンチップ受動素子

オンチップ受動素子のテーブルの変更点は以下の通りである。

1. 3 種類のアプリケーション, アナログ, RF, 電力増幅器につきテーブル作成
2. デバイス種類は以下の 4 種類, 容量, 抵抗, インダクタ, バラクタ
3. RF 容量として metal-oxide-metal (MOM) 容量を追加

デカップリング用アナログ MOS 容量は, CMOS テーブルのアナログ高精度デバイスのロードマップに準拠している。CMOS のゲート酸化膜の薄膜化が進み容量密度は増加しているが, リーク電流が問題となっている。2010 年にはゲート酸化膜厚は 3 nm が要求されている。しかしながらこの膜厚ではリーク電流レベルが許容範囲を越えてしまうため, MOS 容量では high-k 材料が必要となる。

抵抗素子はあらゆるアナログ・ミックスドシグナル回路で用いられる。多くの場合, 高濃度 P 型ポリシリコン抵抗が用いられる。それは, マッチング特性が良い, 基板との寄生容量が小さい, 温度特性が良いといった特長を持つためである。この抵抗素子は高濃度にボロンを注入したゲートポリシリコンで形成され, 普通は PFET のソースドレイン注入で形成される。抵抗値としては $200 - 300 \Omega\text{cm}$ くらいが最適である。CMOS スケーリングがさらに進むとソースドレインはよりシャローに, より低濃度に形成することが必要となり, 抵抗値は $500 \Omega\text{cm}$ を越えてしまう。アナログ応用や誤差の小さい抵抗素子には追加マスクが必要となる可能性がある。高濃度 P 型ポリシリコン抵抗の温度特性は申し分なく, $100 \text{ ppm}/^\circ\text{C}$ 以下である。

薄膜 BEOL 抵抗は, 誤差が小さく, 寄生容量も小さく, 短期間で設計変更が可能, という特徴を持つ。これらは RF 応用特に I/O 回路や電流バイアス回路で重要である。薄膜抵抗には Cu 配線プロセスの TaN が用いられることがある。薄膜抵抗は 1 層目の配線あるいは上層の配線層に集積化され, 金属 via に接続される。また, マッチング特性が良いのでアナログ応用には魅力的である。

RF 用 metal-insulator-metal (MIM) 容量のキーパラメータは, 容量密度, 電圧リニアリティ, リーク, マッチングと Q 値である。容量素子面積はスケールされるが, 高容量密度が要求される。容量素子面積がスケールされるとマッチング誤差は低減する。テーブル中の容量密度は 1 素子の容量値を示しており, 2 層構造は考えていない。2 層構造容量は用いられることもあるが, マスクレベルとプロセスステップを倍増させる。これらの値は Cu BEOL プロセスに対するものである。Cu BEOL は集積化と信頼性の点で Al に比べ多くの課題がある。

Metal-Oxide-Metal (MOM) 容量のキーパラメータも MIM 容量と同様である。MOM 容量の密度はバックエンドの配線の幅と間隔で決まるもので, バックエンドシステムと独立には決められない。バックエンドのサイズ制御性(特に配線間隔)は MIM 容量の膜厚制御性より劣るので, MOM 容量のマッチングは MIM 容量よりも劣ることが多い。

近年, RF 回路の多機能化, 低価格化が要求されるに従って, 高性能オンチップモノリシックスパイラルインダクタや多層スパイラルインダクタがますます重要になっている。デジタル回路で進んでいる配線のスケールリングは, 抵抗損失を低減しなければならないという高性能インダクタに必要とされる要求とは相反するものである。さらに高い Q 値を得るためには, エディ電流と容量結合による基板損失は最小にしなければならない。そのためには, BEOL 上層の厚い配線層と大口径 via を用いてインダクタと基板間に厚い層間絶縁膜が存在するような構造が望ましい。このような低抵抗配線は, Phase ノイズの低減のために高い Q 値が必要な VCO 回路で重要となる。Al あるいは Cu の厚膜配線を用いると, 3 - 5 GHz 帯の 1 nH のインダクタにおいて 25 - 30 程度の Q 値を得ることができる。

蓄積型あるいは空乏型 MOS バラクタによる Q 値のチューニングは検討に値する。テーブルに示した値は RF/アナログトランジスタのゲート酸化膜を用いた MOS バラクタのものである。CMOS のスケールリングが進んだ結果チューニングレンジが広がったことを反映している点が 2008 年版からの変更点である。インダクタの Q 値向上のためにはバラクタの Q 値をさらに向上することが必要である。これはすなわちバラクタの Q 値向上が VCO 性能改善を律速することを意味する。さらにゲート長が短くなったときにバラクタの Q 値が要求される 50 あるいはそれ以上にどこまで近づくことができるのか、high-k 材料の導入がバラクタ性能にどのような影響を与えるのか、は明確ではない。

Table RFAMS3 On-Chip Passives Technology Requirements

オフチップ受動素子

オフチップ受動素子のテーブルの変更点は以下の通りである。

1. 3D 集積化や IPD の重要性が増していることを考慮してテーブルの名前を変更
2. 有機/無機両方のパッケージ基板材料に対して、抵抗、容量、インダクタを追加
3. 密度、誤差、温度特性、共振周波数、耐圧に対する要求を追加

抵抗素子の抵抗値は 100 Ω/□から 1k Ω/□が要求されるが、プロセスの厚膜化/薄膜化に伴いその範囲は高抵抗側、低抵抗側ともに広がると思われる。Embedded 抵抗素子の温度特性はキーパラメータであり、300 ppm/°C 以下が要求される。

マッチング回路では 1 pF 以下の容量値を正確に制御することが求められる。Embedded 容量素子の MIM 構造では層間膜の合わせずれが、容量素子面積が縮小された場合に特に問題となる。容量密度の向上には high-k 材料が必要である。現在生産に使われている有機 high-k 材料の誘電率は約 50 であるが、将来的には 1000 程度が必要とされる。アプリケーションの周波数が増加した場合には、容量素子の Q 値と自己共振周波数が high-k MIM 容量の性能を決めることになる。RF 応用では低損失材料も必要である。自己共振周波数特性の向上には、embedded 容量の寄生成分を最小化するために電極面積の縮小や特別な構造が必要となる。

Embedded インダクタのメリットは 40 以上の高い Q 値と安価なプロセスコストである。インダクタ密度の向上には高透磁率材料がキーテクノロジーとなる。さらに、embedded インダクタの面積は大きいので配線間の寄生容量が自己共振周波数を決定する。動作周波数の向上に伴い、誤差の少ないプロセスあるいは特別な構造が必要である。

将来の roll-to-roll プロセスによる生産を考えると、埋め込み discrete 素子のためには PCB embedded 受動素子プロセスが必要となる。材料、プロセスに対するトリミング前の許容誤差は、容量素子と抵抗素子では 10%以下、インダクタでは 5%以下である。

Table RFAMS4 Off-chip Passives Technology Requirements

電力増幅器 (0.4 GHz–10 GHz)

携帯端末用電力増幅器

携帯端末用電力増幅器のテーブルの変更点は以下の通りである。

2. 耐用年数を経過したときのバッテリー電圧を追加
3. バイアス回路設計用に 1FET/HBT の集積化を、段間バイパス用にオンチップスイッチを追加

携帯端末用電力増幅器(PA)のトレンドはカスタマー(電話機メーカー)の需要と要求を明確に反映している。言い換えると携帯端末システム全体を最適化する要求で決まっている。システムの最適化は、パッケージに集積化される電力増幅器モジュール(PAM)に導入された新規技術につながる。パッケージレベルの集積化はシステム用の新規技術開発よりも早く実現化する。しかし、システムの最適化はいずれ基本技術に立ち返る可能性がある。携帯端末の寿命は約 18 ヶ月なので、市場に出すまでの時間とコスト削減が技術選択においてもっとも考慮すべき項目であることはもちろんである。電話機メーカーが先導するであろう主なトレンドは以下の 4 項目である。

4. 第一に、現在のシステムよりも低い耐用年数を経過したときのバッテリー電圧を持つバッテリー技術である。これは PA がより広い電圧範囲で動作しなくてはならないことを意味する。カスタマーの低電圧特性に対する要求仕様はまだ明確ではない。負荷スイッチと電圧制御の特性はこの仕様によって決まるはずである。メーカーがどのようなシステムを選択するかは GaAs とシリコンのどちらを採用するのか、という点に影響する。さらにモジュールレベルではスイッチ機能を持つ他の技術が必要となる。
5. 第二に、CDMA, WCDMA, PCS, WiMAX や LTE などのリニア携帯端末におけるバイアス回路の多機能化である。これによってシステムの単純化と 16 dBm における電力効率改善を図る事ができる。さらに最近は多重スイッチポイント化のトレンドがある。この要求を満たすために FET と HBT を同一技術で集積化している会社もある。これはシリコンにおける BiFET プロセスと同様のものである。この集積化によって以下の事が可能になる。1) 低い参照電圧で動作するバイアス回路, 2) システム組み込みのフレキシビリティ向上, 3) 参照電圧が不要になる場合もある, 4) バイアス回路におけるシャットオフスイッチ機能。カスタマーはこれらすべての特性を要求している。そのような要求とアプリケーションの実現には RFAMS1 のテーブルに示したような高性能アナログ FET が不可欠である。さらに段間バイパスにも FET と HBT の集積化が必要となる。この場合は、FET は RF スwitch機能を持つのでより高性能のものが必要である。FET と HBT の集積化と性能向上は今後数年間間違いなく継続されるはずである。さらに、"CMOS assisted"電力増幅器も検討されている。
6. 格安マーケットの出現により、Si CMOS PA への関心が高まり、開発も推進されている。これは低価格化と Si への集積化が可能な技術である。GaAs PA と比べると電力効率はまだ 5%から 10%と劣っているものの、CMOS PA はインドや中国におけるローエンドの GSM 市場ではシェアを獲得している。その売り上げは年間 60M チップに達している。オンチップ変換器(DAT)を持った分布アンプアーキテクチャは飽和型 PA のトポロジーに広く用いられている。この技術によって CMOS FET の耐圧(VDS, VGS)が低い点を克服する事ができる。CDMA や WCDMA 用線形 PA の特性も新規設計アーキテクチャの採用によって改善されている。この中にはデジタル pre-distortion 技術なども含まれる。CMOS PA 設計においては今はアーキテクチャに力点が置かれているが、多機能化に向けた技術開発が必要となるはずである。
7. 最後に、今後数年の間に電力増幅器モジュールにより多くのバンドとモードを集積化するトレンドが加速されるであろう。ワイヤレスLANがこの中に含まれるのかどうか、というのは興味深い問題である。ワイヤレスLANのPAには 2.4GHzではSiGeあるいはGaAsが、5.8 GHzではGaAsが主に用いられている点がこの問題を興味深いものにしている。最近、SiGe同一チップ上に搭載したデュアルバンド(2.4 GHzと 5.8GHz)WLAN PAと、一つのIPDチップに搭載したマッチング受動素子が発表された。¹² このようなPAがシステムに搭載されると、新たな要求が生まれてくる。バンドやモード数の増大はPAMにおけるスイッチ技術への影響が大きい。電話にデジタルモバイルTVチューナ、GPS、RFIDなどの機能と、3Gあるいは 4Gのセルラモード/バンドを集積化しようとなると、RFスイッチ、フィルタ、ダイプレキサのリニアリティと分離が重要な問題となる。ボード上の面積をなるべく小さくするために、スイッチにロジックコントローラを直接集積化することが望ましい。これにより、ボンディングパッドと配線数を

減らすことができる。また、E/D PHEMTやSOS, SOIなどがスイッチ技術として魅力的なものとなる。SOSにアンテナスイッチとGSM PAを集積化する技術が最近出現した。SOI RFスイッチはSOSとは基板材料が異なるために、比較的低価格である。マルチバンド、マルチモードPAの集積化は単なるスイッチ機能のみならず、出力マッチングのチューニング特性への要求も牽引する。これによりモジュールの特性を最低限の実質増幅段数で最適化することができる。

PA 受動素子の値もアップデートされている。製品設計者が出力マッチング素子をどこに配置するかによって受動素子への要求仕様が決まる。現在では多くの PAM では最良の特性と価格のトレードオフを考慮して、embedded 受動素子か SMT 部品が用いられている。これらの部品の一部を PA に搭載するためには MMIC で同様の精度と特性を実現する必要がある。現実的な判断、という意味ではインダクタが良い例である。すなわち、素晴らしい Q 値がすでに得られているが、コストの観点からは必要とされる面積が大きすぎて意味がないのである。いくつかの GaAs ラインで行っているように金配線を廃止することでコストを削減することができる。

Table RFAMS5 Power Amplifier Technology Requirements

基地局用電力増幅器

携帯端末用電力増幅器のテーブルの変更点は以下の通りである。

8. 400 MHz から 2.7 GHz のセルラー用周波数をカバー。
9. GaN 技術にフォーカスするため、GaAs 技術をテーブルから削除。GaN は周波数、パワー密度、総 RF パワーの面で優れている。
10. アーキテクチャの高周波数側への移行に見合うようにキーとなる Figure of merit を修正。

コストは依然として重要である。プラスチック RF パッケージへの移行が進み、適用先はより高パワー側へ広がるはずである。プラスチックパッケージの低価格化には限界があるため、時期に対する低価格化のトレンドが緩やかになることが考えられる。高周波側におけるコストの差異もなくなる方向である。

この 2 年間で現れた大きなトレンドは、バックオフ特性を改善するためのドハーティアンプ技術の急速な展開である。このトレンドは今後数年は続くものと思われる。なぜなら、デバイス設計者はドハーティ特性を改善するように最適化し、また、PA メーカーは非対称ドハーティやゲート and/or ドレイン変調と言った特性向上策を取り入れるために基本的な対称ドハーティアーキテクチャを拡大しようとするからである。DPD 線形化技術の改善もドハーティ効率の改善につながるものである。ドハーティが注目を集めているのは、バックオフ線形効率が必要な基地局用の主要なアーキテクチャとして、今後 3 から 5 年間は使えると考えられているからである。ドハーティに替わる技術が何になるかはわからないが、ドレイン変調/エンベロープトラッキングやスイッチモード PA が有望であることは間違いない。

PA アーキテクチャのキーとなる figures-of-merit (FOM) が変更されている。上記のように今日バックオフ線形効率のための主要なアーキテクチャはドハーティである。それに合うようにパワー密度、低出力容量、カスケード 1 dB コンプレッション(P1dB), 8 dB 出力バックオフ(OBO)のテーブルを修正した。一方 2-tone 線形パワーと効率などの FOM については重要性が減っているため削除した。今後ドハーティが限界に達し、8 dB OBO 線形効率のターゲットを達成するためのアーキテクチャが現れたときには再度 FOM を見直す予定である。

もう一つのトレンドは次世代高速データ転送無線のスタンダード[第 4 世代/LTE] fourth generation (4G) / LTE として、今まで使われてきた周波数帯の再配置がある。3.5 GHz 帯の WiMAX は開発が進む機会が見つからず、ニッチになってきている。広く用いられている第4世代通信の周波数は最高 2.7 GHz であり、これ

は LDMOS の特性が GaN に対して競争力を持つ領域である。GaAs や GaN の優れた高周波特性を活かすことができるのは、5.5 GHz あるいはそれ以上であることがわかってきている。周波数応答よりも線形効率が重要視されるとシリコン LDMOS の寿命が伸びることになる。

GaN HFET は、民生向けと軍事向け双方のアプリケーションの面で注目されている。この技術に対してはアメリカ政府が多大な財政援助を行っており、生産に向けたすべての技術開発が推進されている。民生向け製品はすでにいくつかのメーカーから発売されている。GaN の利点は非常に高い RF パワー密度であり、そのため高い動作電圧(48 V)を得られる点である。この特徴と電流密度が高い特徴により、LDMOS の 4 から 5 倍のパワー密度を扱うことができる。パワー密度が高いとマッチング受動回路を簡素化することができるので、アンプにのパワー損失を低減することができる。しかしながらこれらの利点を活かすためにはコストの増大は避けることができず、これが GaN がなかなか民生用に採用されない原因となっている。

2009 年版では GaAs PHEMT をテーブルから削除した。これは市場における LDMOS に対する競争力がないためである。保証されたロバストな信頼性の高い 28 V GaAs 技術がないために基地局用 PA 市場では LDMOS が主要であり、GaAs のシェアは数%にとどまったままである。多くの GaAs メーカーは製造工程の変更が少なくすむので GaN の開発を進めている。GaAs に比べると、GaN の方が PA 設計と特性にパラダイムシフトを起こす可能性がある。そのため、以前は高耐圧 GaAs に使われていた費用が GaN に向けられつつある。

Table RFAMS6 Base Station Devices Technology Requirements

ミリ波 (10 GHz–100 GHz)

ミリ波テーブルの変更点は以下の通りである。

11. f_1 に置ける最大電流はデバイス設計やアプリケーションを後押しするファクターではないので削除。
12. SiGe HBT テーブルに 60 GHz と 94 GHz における MAG [Maximum Available Gain]を追加。
13. ミリ波 GaN パワーHEMT の生産時期を 2010 年からとした。

ミリ波テーブルでは、耐圧、最大電流、トランスコンダクタンスといったデバイス固有のファクターとともに、ノイズ係数、パワーゲインや効率と言ったある周波数における低ノイズパワートランジスタとしての特性を示すファクターも掲載している。商品の点から重要な 10 GHz から 100 GHz の間の 3 つの周波数帯、24 GHz、60 GHz と 94 GHz 帯につき予測値を示した。24 GHz 帯はワイヤレス LAN 用であり、さらに、従来は 77 GHz 帯で考えられていた車載レーダ応用も検討されている。60 GHz 帯は長い間軍事用監視衛星に用いられてきたが、空気による吸収が大きい場所では使いにくい。その特性はすなわち、混雑した場所でのショートレンジな“ラスト マイル”の接続に理想的であることを意味する。近い将来のロードマップにおいては隠された武器の検出や全天候型航空機発着システムのイメージングのための 94 GHz 帯のアプリケーションが開けることを期待する。2018 年以降の長期的展望に立つと、イメージングのための 220 GHz デバイスが視野に入る。これらは現在研究段階であり、サブ THz の周波数帯も考えられている。100 GHz から 1000 GHz までの周波数帯は医療用、分光計測、監視用などの分野で期待される。ミリ波技術への要求のセクションでは、24 GHz、60 GHz、94 GHz におけるデバイスの選択肢を示している。

テーブルを見るとどの周波数帯においても 1 種類の材料やデバイスが主要になることはないことがわかる。ユーザーは多くの選択肢を持つのである。この選択は多くの要因によって決まるもので価格だけで決まるものではないため、どれか一つを選択するようなテーブルにはしていない。他には集積化のレベル、信頼性、動作電圧、さらにはロードマップの目的である“特性”ももちろん要因のひとつである。しかし、いくつかの技術に対しては、選択と集中が起こることを予測している。この予測はテーブルでは白[パラメータの記入がない]で示されており、概要は以下の通りである。

- 2007 年にミリ波テーブルから GaAs MESFET を削除した。高耐圧 GaAs MESFET は 10 GHz 以下では使われることがあるが、ミリ波帯においては GaAs PHEMT のコストと信頼性も含んだ特性が優位であるために、新たな設計が出現する可能性は低いと判断したためである。
- 同様に PHEMT もいずれ InP HEMTs と GaAs MHEMT に取って変わられる。GaAs PHEMT は代替技術に対してコスト競争力を持つ限りは今後も使われる。
- ミリ波パワーデバイスは 2 種類に分化する。近い将来は GaAs PHEMT と MHEMT が用いられる低パワー[数ワットから数十ワット]応用と、GaN が用いられる高パワー[数十から数百ワット]応用である。2013 年には GaN が GaAs パワーMHEMT を置き換えると予測している。
- ロバストな特性と線形性が求められる低ノイズアプリケーションでは GaN はニッチである。GaN のノイズ特性は PHEMT と同等であり、フロントエンド受信器ではリミッタが使われなくなる傾向にあるので、GaN システムノイズ低減に有効である。
- InP, SiGe HBTs, RF CMOS は今後もアプリケーションを取り合うはずである。CMOS と SiGe は明らかにコストでは優位であるが、同等のリソグラフィ技術を使えば InP の特性はこれらシリコンデバイスの 4 倍になると考えられる。

RF CMOS は 2007 年にミリ波セクションに加えられた。CMOS テーブルには [Process Integration, Devices, and Structures \(PIDS\) chapter](#) の high performance (HP) ロードマップに示されたものを含んでいる。これらのデバイスはデジタルロードマップの 2 年後に生産されると考えられている。その間にミリ波設計に必要な高周波モ

デルと設計ツール の開発を行うためである。HPロードマップは、最初の設計者が微細化デバイスの本来持つ特性を仮定する、と考えて策定されている。その後、設計者がモバイルアプリケーションが確実に発展する と考え、低電力デバイスを必要としてくるとLSTPロードマップが追加される。HP CMOSは電圧が低いので、高電力応用には限界がある。従ってパワーと効率はテーブルに記載していない。電源電圧がすでに低い上に依然として低電圧化が進んでおり、最大許容電圧が低いHP CMOSロードマップは、新規設計技術と回路トポロジーを推進する。ミリ波帯の高周波側の設計に関しては、バンド幅をかせぐために最小加工寸法のもの が用いられる。これはCMOSやミリ波に限った話ではない。実際、いくつかのグループが、60 GHz帯における電源電圧 1 V以下の+10 dBm CMOS PAを報告している。¹³ およびその中の文献参照 SiGe, InP HBTやGaN HEMT においては、それぞれの $f_T \cdot BV$ 積の値は異なるが、 f_T と耐圧や信頼性の間にトレードオフがあることは事実である。

Table RFAMS7 Millimeter Wave 10 GHz–100 GHz Technology Requirements

MEMS

MEMS のテーブルは 2007 年版および 2008 アップデート版から RF and AMS ロードマップに加えられた。いくつかの MEMS は元々 RF/AMS 向けであり、電力増幅器やトランシーバと言った従来の RF/AMS デバイスの特性を改善、応用先拡大、あるいはコストを低減したりする可能性のあるものである。

2009 年版においては、経済動向と技術の成熟度を考慮してポテンシャルソリューションが市場に展開される時期を変更したところが大きな変化点である。さらに、MEMS 設計ツールの進歩を反映し、また TCAD によるプロセス設計ツールから脱却するために、デザインツールについて詳しく述べている。

他の変更点は以下の通りである。

設計ツール

14. 設計ツールを TCAD のようなプロセスシミュレータとデバイス設計ツールに分けた。
15. 技術的に困難であるので IRFM(integrated RF + mechanical 3D simulation)の導入時期を遅らせた。(red)
16. MEMS パラメトリックセル(P-cell)が RF/AMS 設計フローを可能にすることを強調。(red)
17. RF/AMS 設計フローを可能にする設計キットとして“ファウンドリ設計フロー”を追加。

パフォーマンスドライバ

18. 高周波あるいは多周波数共振器デバイスの manufacturable known solutions を 1 年後ろ倒し (yellow)。
19. 容量コンタクトスイッチの manufacturable known solutions を 1 年後ろ倒し (yellow)。
20. 主に信頼性確保が困難であることから、メタルコンタクトスイッチの manufacturable known solutions を 2 年後ろ倒し (yellow)。

コストドライバ

21. 1-die あるいは 2-die のどちらか選択した際のコストの問題により、高周波あるいは多周波数共振器デバイスの manufacturable known solutions を 1 年後ろ倒し (red)。
22. 主にパッケージの信頼性をテストするためのコストの問題により、メタルコンタクトスイッチの manufacturable known solutions を 2 年後ろ倒し (yellow)。

解決策候補

2009 年版のポテンシャルソリューションテーブルは 2 つのメインテーブルに分かれている。0.4 GHz–10 GHz 帯のアプリケーション向けのものと、10 GHz–100 GHz 対のミリ波アプリケーション向けである。

RF AND AMS CMOS

ミックスシグナル用 CMOS のソリューションは *Process Integration, Devices, and Structures (PIDS)* の章で既に議論されているメモリーやロジック向けのものとは異なる。CMOS のデジタル特性の向上により、 NF , f_T , f_{max} と言った特性のロードマップが大きく書き換えられてきたことは確かである。これらのフィギュアオブメリットから言えることは、0.8 GHz – 20 GHz 帯の従来のトランシーバアーキテクチャで用いるために必要とされる性能よりもはるかに高いレベルに達している、ということである。しかし、これらの特性は RFAMS1 のテーブルに示したように、電圧の信頼性によって制限されるようになっている。ポテンシャルソリューションズの一つの方向は新しいトランシーバや回路ブロックのアーキテクチャである。これらは例えばデバイスのデジタル特性をうまく活かした power-combining 技術である。従来のアナログアーキテクチャを使い続けるためには、いくつかの特徴と機能を集積化するとともにミックスシグナル技術をうまく使うことでベースラインとなるデジタルプラットフォームの特性を活かすことが必要である。ミックスシグナル集積化をうまく使うことには、例えば特殊な高耐圧アナログ高精度トランジスタ、高性能受動素子、十分な信号アイソレーションや互換性のある能動素子などが含まれる。これらをコストを向上させることなく集積化するには、CMOS テクノロジーの材料、構造の進展と同時に技術革新が必要となる。

スケーリングに伴う特性向上が明らかに有効であることに加え、技術の転換が RF アナログ回路機能に対し重要な特性を改善する可能性がある。メタルゲートを用いることでゲートドーピングばらつきが無くなるのでミスマッチ性能は向上し、さらにゲート抵抗が低減されるので f_{max} が向上する。歪みチャンネルによる電流増大によって、他の性能をほとんど劣化させることなく高精度アナログ RF ドライバーの性能を向上させることができる。完全空乏化デュアルゲート SOI も、従来の CMOS に比べてチャンネルドーピング濃度が低いのでミスマッチ性能を向上させることができる。同時にこの構造ではドレインコンダクタンスが低減されるので、電圧ゲインと f_{max} が向上する。しかしながら、メタルゲート、高誘電率ゲート絶縁膜、完全空乏化デュアルゲート SOI などはミックスシグナルアプリケーションにおける新たな課題も提起する。これらの新規技術を用いることで従来はそれほど重要ではなかった物理的メカニズムが性能を律速する可能性がある。従って物理実験と生産施策を見直す必要がある。RF 特性と特性律速要因を完全に把握し、モデリングすることがミックスシグナルアプリケーションをうまく使うために必要である。

ミックスシグナル向けの電源電圧が、高性能デジタルに対して 2 世代以上時間差があることは今後も変わらない。ミックスシグナルに対する要求に応えるためにはゲート酸化膜厚のマルチ化、 V_{th} のマルチ化や DC-DC 変換が必要である。そのためにプロセスが複雑化すると、低コスト化の要求に応えられなくなる。アクティブ V_{th} 制御や基板バイアス、新規アーキテクチャにおけるデザインソリューションはミックスシグナルアプリケーションの低電源電圧化を進める上で必要となる。

集積レベルの向上に伴い、信号アイソレーション特性の向上と回路ブロック間のクロストークのシミュレーション精度向上も必要となる。多くのアプリケーションでは高抵抗シリコン基板が必要とされる。集積化の代替は SiP である。SiP においては異なるテクノロジーで作成され、所望の機能に対して最適化された複数の回路を合わせることができる。

RF/AMS バイポーラデバイス

全てのタイプのバイポーラトランジスタの f_{max} を向上させ続けるためのポテンシャルソリューションは、リソグラフィ技術の進歩である。これにより、横方向のスケーリングが可能となり、デバイスの寄生抵抗、寄生容量を低減することができるからである。より細いエミッタを形成することでベース抵抗 (RB) が低減され、ピーク f_T にお

ける単位エミッタ長あたりの電流を低減することができる。 $f_{\max}$ 向上とピーク f_T における単位エミッタ長あたりの電流低減は、配線層の最大電流の信頼性が確保される範囲で、 f_T を向上させるための縦方向プロファイルのスケーリング(より薄いベース層とコレクタドーピングの高濃度化)とはトレードオフの関係にある。 f_T 、 $f_{\max}$ の向上により、ミリ波応用で必要とされるノイズフィギュアの低減も可能となる。

このアプローチは縦方向プロファイルの制御によって制限される可能性がある。そのため、ポテンシャルソリューションには先端 CMOS のソリューションを活用した熱履歴の低減を入れてある。それらは、スパイク/フラッシュアニール、レーザーアニール、熱履歴を低減したシリサイドモジュールなどである。ドーパントプロファイルは新たな薄膜堆積プロセスの導入によってより高精度に制御することができる。キャリア伝搬時間 and/or ベース幅の制御性向上には、ごく最近ゲルマニウムやカーボンによってなされたように新たな材料によって可能となる可能性もある。

ゲイン特性は寄生ロスによって大幅に制限されてしまう。 f_T と $RB(f_{\max})$ を向上させるために真性コレクタドーピングと外部ベースドーピングをスケーリングすると常にCJCとRBの間にトレードオフが生じる。この課題に対するポテンシャルソリューションは、過去選択エピや自己整合構造によって成されたように、真性部分と外部部分の相互作用をさらに低減するための革新的なアーキテクチャが必要となる。

BV_{CEO} に対するポテンシャルソリューションは、ベース電流を増やし、コモンエミッタ利得(β)を下げるための新たなエミッタプロセスモジュールである。Bipolar Technology Requirementのテーブルの BV_{CEO} はこれらのモジュールの導入を考慮したものではない。

RF/AMS 用オンチップ/オフチップ受動素子

オンチップ受動素子

ディスクリート受動素子がボードレベルからチップレベルに移行するトレンドは今後も継続する。オンチップ受動素子の精度をディスクリートデバイスと同等にするためのソリューションが必要とされている。代わりに、コスト低減と簡略化のためにいくつかの種類の受動素子がプリント基板やパッケージに集積化される可能性がある。新たな high-k 絶縁膜により、集積化容量の面積を縮小したり、新たに現れるアナログ/RF 回路機能で使用可能な容量素子面積を従来と同等に保ったりすることができる。さらに、MIM 容量、MOS 容量、MOS バラクタの容量密度も向上する。MOM 容量のリニアリティとマッチング特性が向上すると将来のアナログ RF 回路にとっては有効なものになる。

高性能高密度インダクタは、オンチップに集積化された新規機能と回路トポロジーを可能とするが、同時にアナログ RF 集積回路の重要な課題も提起する。高性能高密度インダクタのポテンシャルソリューションは、より厚い Cu とより厚い最上層絶縁膜、さらにはオンチップインダクタに集積された高透磁率材料の導入である。これらはもっとも多く使用されると思われるパッケージに集積化されたインダクタとともに必要である。集積化抵抗は低い寄生容量、温度に対する高いリニアリティが必要であり、製造技術の革新によって達成されるはずである。

次の 2 項目についてはさらに研究が必要である。1) high-k 材料を用いた MOS 容量と MOS バラクタ。high-k 材料はアナログ高性能トランジスタや高速 RF トランジスタで使用されている。2) 一般にはるかに多くのトラップ密度を持つ high-k 材料が VCO のフェーズノイズに与える影響。

RF MIM容量の容量密度を増加させるために多くのhigh-k絶縁膜が検討されている。すなわちTa₂O₅、HfO₂などの材料である。

膜厚が薄くなってもリーク電流と電圧に対するリニアリティを保つことがキーとなる課題である。そのための一つの方策は、リーク電流と電圧リニアリティを独立に制御できる多層構造である。この技術が生産に耐えるものかを見極める必要がある。

積層構造と high-k MIM 容量を除けば、サイズのスケールリングに従ってくし型横型 MOM 容量(interdigitated lateral MOM)の単位面積当たりの容量値は通常の MIM 容量と同等かそれ以上になる。MIM 容量に比べ、くし型 MOM 容量は工程増加、コスト増加なしに製造することができる。従って低価格アプリケーションにおける容量素子オプションとして使用される。単位面積当たりの容量値と Si 基板間の寄生カップリングにはトレードオフがある。さらに MOM 容量のミスマッチ特性は楽観視することはできない。しかしながら、最適な構造を設計することで MIM 容量の特性に対し競争力を持たせることは可能である。

Above-passivation インダクタは高い Q 値と共振周波数を持つが、特殊なプロセスが必要となる。技術的な実現可能性は既に示されている。いくつかのメーカーにおいては生産プロセスとして使用可能となっている。このインダクタを使うかどうかは、生産できるところが限られていることと経済性で律速されている。経済性は状況に応じて評価される。インダクタンス密度を向上させることは困難である。積層インダクタのソリューションが提案されているが、コストが増大する上に、積層構造間の容量結合成分が大きいため共振周波数が劣化してしまう。文献によれば磁性シールドのように磁性材料を使用することも注目されている。しかしながら、未だ研究段階である。

CMOS プロセスが複雑化することによって、安定で、生産に適した front-end-of-line (FEOL)抵抗を製造することが困難になっている。この課題に対する一つのソリューションは、従来の FEOL における P 型ポリシリコン抵抗に匹敵する高抵抗 BEOL 抵抗である。エレクトロマイグレーションを抑制するために、BEOL におけるこれらのデバイスの熱制御が最大の課題となる。この課題を解決するためには、RF アナログ回路用の優れた抵抗特性を実現するだけでなく、高電流における温度制御が可能な新規材料の検討が必要となる。この分野は RF アナログ技術における良い研究課題である。

オフチップ受動素子

集積受動素子(IPD)や低温焼成セラミック(LTCC)を含む Embedded 受動素子は、回路設計の受動素子ネットワークにおけるオフチップあるいはチップ間受動素子のソリューションを提供する。この技術はオンチップ受動素子と共存するとともにシステムのパッケージやインターコネクションのソリューションも提供する。特に有機 PCB 基板内に受動素子を形成するプロセス技術は、ラミネーションとプリントの 2 種類に分けることができる。プリントプロセスとしては、一般的なスクリーンプリントが最も安価であるが、精度は悪い。インクジェットプリントのような新たなプロセス技術によって信頼性が向上すると思われる。

一般に有機 embedded 受動素子の設計、材料、プロセスはシリコン技術とは異なるが多くのコンセプトは似通っている。もう一つのソリューションとして、表面にマウントした部品を直接基板に埋め込む技術がある。このアプローチにより、PCB プロセスにおいて必要とされる部品の精度を下げることができ、また、低コストで高性能を実現できる embedded 素子のテストの困難さを緩和することができる。

電力増幅器 (0.4 GHz–10 GHz)

携帯端末電力増幅器

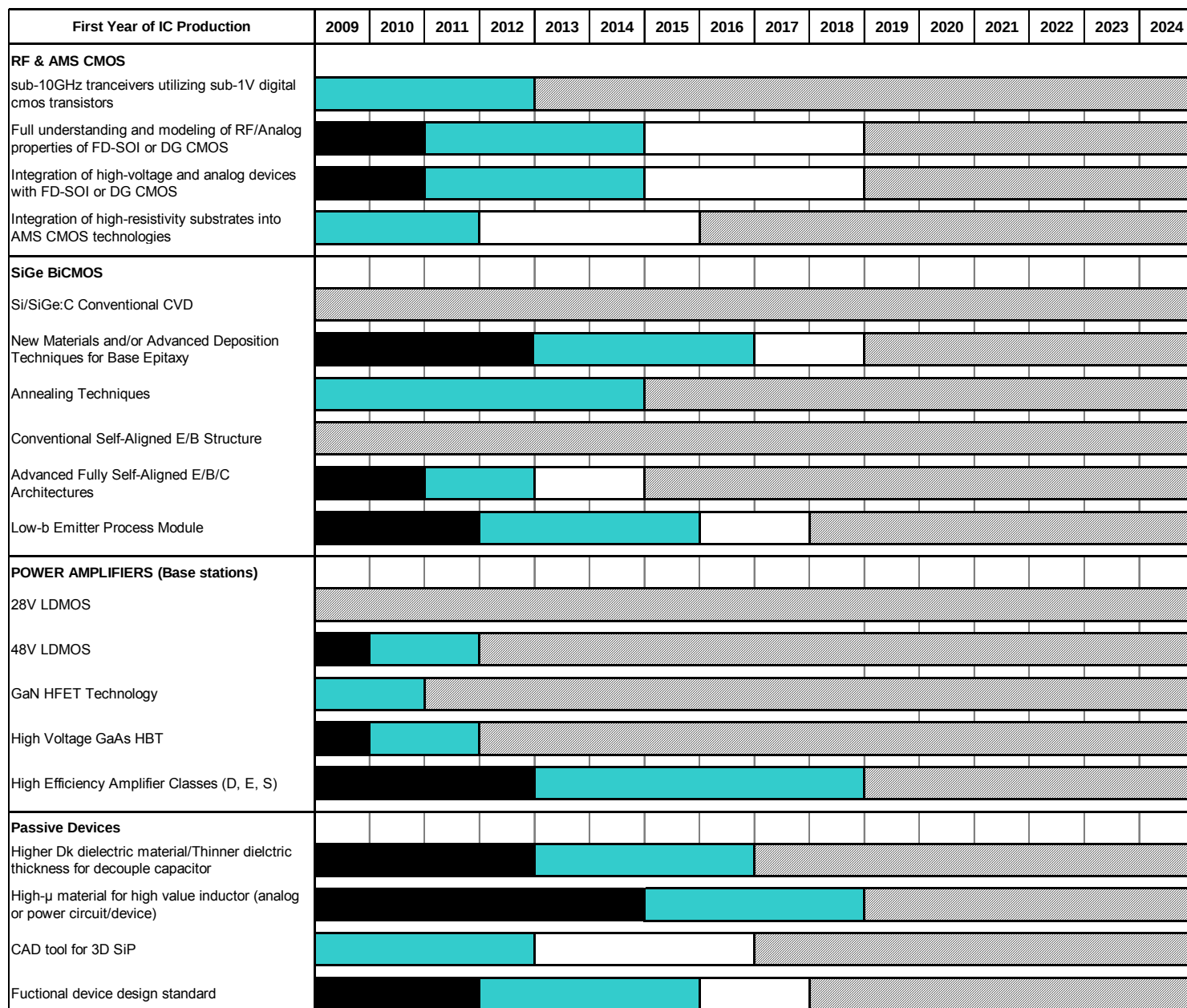
HBT と HEMT を集積化することで、短期的あるいは長期的に電力増幅器設計者が直面する問題を解決することができる。この集積化によってより複雑なバイアス回路を設計してパワーチェーンに集積化することが可能となる。さらに FET-HBT 回路によって段間バイパススイッチを PA ダイに直接搭載して、中電力領域の効率をあげることが可能となる。これらの技術はある範囲では使用可能であるが、普及するためには製造上の課題を克服する必要がある。BiCMOS でこれらの機能を持つ回路を製造することは可能であるが、高周波帯における RF ゲインはさらに向上させる必要がある。Si(Ge) BiCMOS が携帯端末 PA でより広く使われるために改善すべき最も重要な点は、1.9 GHz 以上におけるゲインである。シリコンデバイスに比べ、GaAs HBT PA は多くの利点を持つ。まず、GaAs ウエハは 102 から 127 ミクロンまで薄膜化することができるので、ウェハ貫通ビア(TWV: Through Wafer Via)を使うことができる。TWV によってエミッタインダクタンスを低減するこ

とが直接 PA ゲイン改善につながる。ウエハ薄膜化(GaAs やシリコン基地局用アプリケーションで使われている)によって、ワイヤボンディング長を短縮することができ、ダイ周囲の使えない領域を減らすことができる。これはパッケージサイズを小さくすることができることを意味する。グラウンドへの接続をボンダパッドから TWV にすることでパッド数低減、ダイサイズ低減を図ることができる。(たとえば GND とラベル付けされたパッドが不要となる)TWV は安定したインダクタンス値を示し、製造ばらつきも小さい。さらに、グラウンドに TWV を使うと、フリップチップ半田バンプよりもパッケージとダイの間の優れた密着性を実現することができる。

シリコンにおいてTWVはThrough Silicon Via(TSV)と呼ばれることがある。SiGe PAの開発においてTSVは盛んに検討されてきた。シリコンにおいてTSVは良い結果を示してきたが¹⁴、未だ大量生産には適用されていない。TWVを採用することで、段数を増やさないと高周波数帯で使いにくいSi(Ge)のRFゲインの課題を克服し易くなるはずである。さらに、Siワンチップにマルチモード、マルチバンドPAを搭載するための方策も見えてくると思われる。

耐用年数を経過したときのバッテリー電圧が下がれば、いくつかのあり得るソリューションが実現に向けて進むはずである。このソリューションは設計される PA のタイプと、まだ明確ではないカスタマーの要求によって決まる。PA の負荷を変化あるいは変換するような技術がいくつかある。[MEMS、チューナブルバクタ(バリウム、ストロンチウム、チタンの酸化物などを用いるもの)や、high-Q バクタネットワーク] これらの技術は、耐用年数を経過したときのバッテリー電圧の問題を克服するために重要な役割を果たす。このようなチューナブルネットワークは PA 動作範囲全体における特性向上に必要であり、どのソリューションが正解なのかは、コスト構造と電力増幅器モジュールにいかにか集積化することができるか、によって決まる。バッテリー電圧に対するもう一つのソリューションは、異なる動作条件における PA の電源電圧を DC-DC コンバータで調整する技術である。これらが携帯端末の異なる場所からの信号であるとして電話器の中に置かれるのか、あるいは実際の PA モジュールの中に置かれるのか、によってまずアーキテクチャが進化し、次に集積化が必要となったらテクノロジーを進化させるはずである。

最近の景気の低迷により、PA や他の RF アプリケーションにおける MEMS 開発は約 2 年ほど遅れている。MEMS はリニアリティ、挿入損失、アイソレーションといった点で優れた RF 特性を持つが、特性/コスト/サイズの面で魅力的なチューナブルソリューションとなるにはまだ数年かかると思われる。トップレベルのシリコンファウンドリプロセスに MEMS が集積化されることと、第一線の電話機メーカーと密接な関係を作ること、この 2 点が MEMS の発展には必ず必要である。システムにチューナビリティを持たせるための可変容量を用いた固体素子のソリューションも検討が進んでおり、MEMS との差を縮めつつある。



This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required

Development Underway

Qualification / Pre-Production

Continuous Improvement



Figure RFAMS2 0.4 GHz–10 GHz Potential Solutions

基地局用電力増幅器

2.7 GHz までの周波数帯を再利用することで、基地局用 PA 市場において 32 V LDMOS が優位である状況が少なくともあと数年は続くものと思われる。最新のドハーティアーキテクチャと、LDMOS がドハーティと相性が良いことによって、LDMOS が他の GaN などに対して競争力のある特性を持ち続け、特にコストアドバンテージが大きくあり続けることが可能になる。一方 GaN は、より高い効率、単位ワットあたりの低容量特性、広いバンド幅、高い終端インピーダンス、高電力レベルまでスケールアップが容易であること、周波数がいつ高い方向に移行しても対応できる点、と言った魅力的な特性を持つ。

直近の GaN の課題は LDMOS に対して信頼性の面で優位性を持てるのか、という点であり、長期的にはコストが課題となる。GaN がニッチな市場から抜け出すためには、元々高い GaN トランジスタのコストが帳消しになるほど効率が上がる、GaN でしか実現できないような新たなアーキテクチャが必要である。GaN は LDMOS よりもドハーティ特性が高くなる可能性があるが、それらの特性差は、GaN デバイスの非常に高いコストを帳消しにできるほどではない。スイッチモード PA のような別の高効率 PA アーキテクチャは、GaN によって実現可能となったならば、より魅力的な特性/コストを提示できよう。またこの市場において GaN が多く使われるようになるための道も開けるはずである。GaN は軍の興味と出資によって、信頼性と特性改善が進み、今後も PA デバイス技術の次世代の候補であることは変わらない。

現在の混乱した状況を打開する可能性のある新規技術に 48V LDMOS と高耐圧 HBT がある。48V LDMOS はパワー密度、インピーダンスレベル、高パワー化へのスケールアップ、ワットあたりの容量などを改善することができる。しかしながら現状では、いくつかの効率の項目が 32 V LDMOS に届かないために基地局用 PA 市場で広く使われるまでに至っていない。48 V LDMOS のデバイス特性は改善されているが、まだ市場に浸透していないのである。高耐圧 HBT もドレイン変調特性とドハーティ PA 特性に優れる、と報告されている。一方バイポーラ、特に HBT では常に耐久性がアキレス腱と言われてきた。従って、ゲインと周波数応答を劣化させることなく耐久性を向上させることが課題である。これらの課題に対するソリューションが見つければ HV HBT は LDMOS を脅かす存在となりうる。

ミリ波 (10 GHz–100 GHz)

化合物半導体は、シリコンで培われたリソグラフィの進歩やプロセス装置の恩恵を受けることができる。そのためにはウエハ径はシリコンの 1 世代あるいは 2 世代遅れくらいであることが必要である。150 mm の半絶縁性 GaAs 基板が生産で用いられているが、InP 基板は今後しばらく 100 mm が主流になると思われる。GaN HEMT の基板となる半絶縁性シリコンカーバイドも 100 mm である。シリコン製造装置のインフラストラクチャのペースに合わせて、III-V 業界も大口径化を推進しなくてはならない。シリコン上 GaN 成長技術の進歩は 150 から 200 mm 化を進めることになる。

リソグラフィにおいては技術開発が進んでいるが、多くの少量生産 III-V アプリケーションではマスクコストの問題が大きく、0.25 マイクロメートルのパターンを切ることは困難である。電子ビーム直描技術がマスクコストに対する一つのソリューションではあるが、電子ビームを出す大電流源や位置合わせの高速化などを進めてスループット、時間あたりに処理できるウエハ枚数、を上げる必要がある。

均一性、再現性、歩留まり、と言った点では未だに化合物半導体はシリコンに遅れを取っている。シリコン技術においてインフラ整備と研究に投じられた莫大な投資と、両者の生産規模の大きな差異を考えるとこれは無理も無いことである。しかしながら、限られた化合物デバイスにおいては生産規模が拡大しており、シリコンと同様に単位ウエハあたりのコストは削減されてきている。

ワイドギャップデバイスの基板の特性は過去数年で大きく改善されてきたが、まだ問題は多い。SiC 基板の欠陥密度が低減されてきており、使用可能になってきている一方、GaN 基板の研究も継続されている。ワイドギャップ III-V パワーデバイスにとって熱伝導性が主な課題である。GaN や SiC の熱伝導率は GaAs や InP

よりも高いが、これらのワイドギャップデバイスのパワー密度は 5 倍から 10 倍であり、熱伝導率が高い特性を割り引いて考えなくてはならない。これらの状況から、デバイス設計においては熱をいかに逃がすのか、が重要な課題となっている。これに対する実証された技術は、0.05 mm まで基板を薄膜化すること、熱シャント構造、バスタブバイアス技術である。これらの技術に加え、ダイヤモンド化合物のような革新的なソリューションが加えられることが必要である。

GaAs と InP パワーFET においてはゲートリセス構造を取ることで高耐圧化を図ることができる。この技術は GaN においても現在検討されている。ドレイン側の電界を緩和するためのフィールドプレートを用いることで高耐圧化を図ることは可能であるが、高周波特性が犠牲になってしまう。パッシベーションとホットキャリア耐性の改善も必要である。

ミックスシグナルデバイスとパワーデバイスの双方にとって耐圧が高いことは望ましい。多くのミックスシグナル、アナログアプリケーションにおいてはトランジスタの動作速度だけではなく、耐圧が回路のダイナミックレンジを決めており、深刻な限界を示している。この観点では InP HBT は SiGe HBT よりも有利であるが、SiGe の集積レベルは InP に比べて数桁高い。うまくスケールアップをし、ワイドギャップコレクタを用いることで InP HBT の耐圧を保つことができる。GaN HEMT はジョンソンリミット(f_T と耐圧の積)が 10 倍になる可能性を秘めておりさらに期待できる。

ミックスシグナルにおいてはトランジスタが 10 V 以上の電圧スイングに対応できることが強く望まれる。ミキサのような RF 回路特性はデバイスのダイナミックレンジに直接影響される。従って周波数特性を上げるためにスケールアップする際には、ダイナミックレンジ拡大のために電圧振幅を広く取れるように耐圧が下がらないようにしなければならない。

現在 GaN 技術は耐圧が非常に高いことを生かして、主にマイクロ波電力増幅器アプリケーションが牽引している。GaN FET の遮断周波数は 100 GHz 程度であり、モノリシックマイクロ波集積回路(MMIC)は、エアブリッジで接続された 10 個以下のトランジスタしか使われていない。トランジスタ特性と集積化レベルが高性能ミックスシグナル回路で用いるには低すぎるのである。GaN のポテンシャルを高ダイナミックレンジ回路で生かすためには、次世代ナイトライド技術で、高速化(～500 GHz)と集積化レベルの向上(> 1000 トランジスタ)を図る必要がある。これにはシリコンで実現されてきたように、スケールアップと寄生抵抗容量成分の低減、多層配線化を進める必要がある。さらに、安定なエンハンスモード(E-mode)動作も必要となる。これによってミックスシグナル RF 回路の簡素化やエンハンスメント/デプレッション(E/D)ロジック(direct-coupled FET Logic)といった技術を用いることができるようになり、これは実用面で有効である。さらに数十万個のトランジスタを集積化するためには歩留まり向上が重要である。

トランジスタの均一性はミックスシグナルにとって特に重要であり、ロバストで生産に適したデバイスプロセスの開発が必要となる。将来現れる GaN 技術のインパクトが大きいことは間違いなく、高速高電力増幅器、超リニアミキサや高出力 DA コンバータと言った RF ミックスシグナル回路において劇的な進化をもたらすものと考えられる。

最後に、III-V デバイスや CMOS においても高周波特性の改善は、リソグラフィ(横方向のスケールアップ)だけではなく、エピタキシーやバンドギャップ/歪エンジニアリング(縦方向のスケールアップ)によってもたらされている。キャリアが走行する層のキャリア速度と易動度は、エピタキシャル層の積層構造やソースドレイン領域、基板面方位 and/or 素子上の絶縁膜積層構造などを的確に合わせこむことで調整することができる。バンドギャップ/歪エンジニアリングが III-V デバイスおよび 32 nm ノード以降の CMOS においても進化し続けることを期待したい。

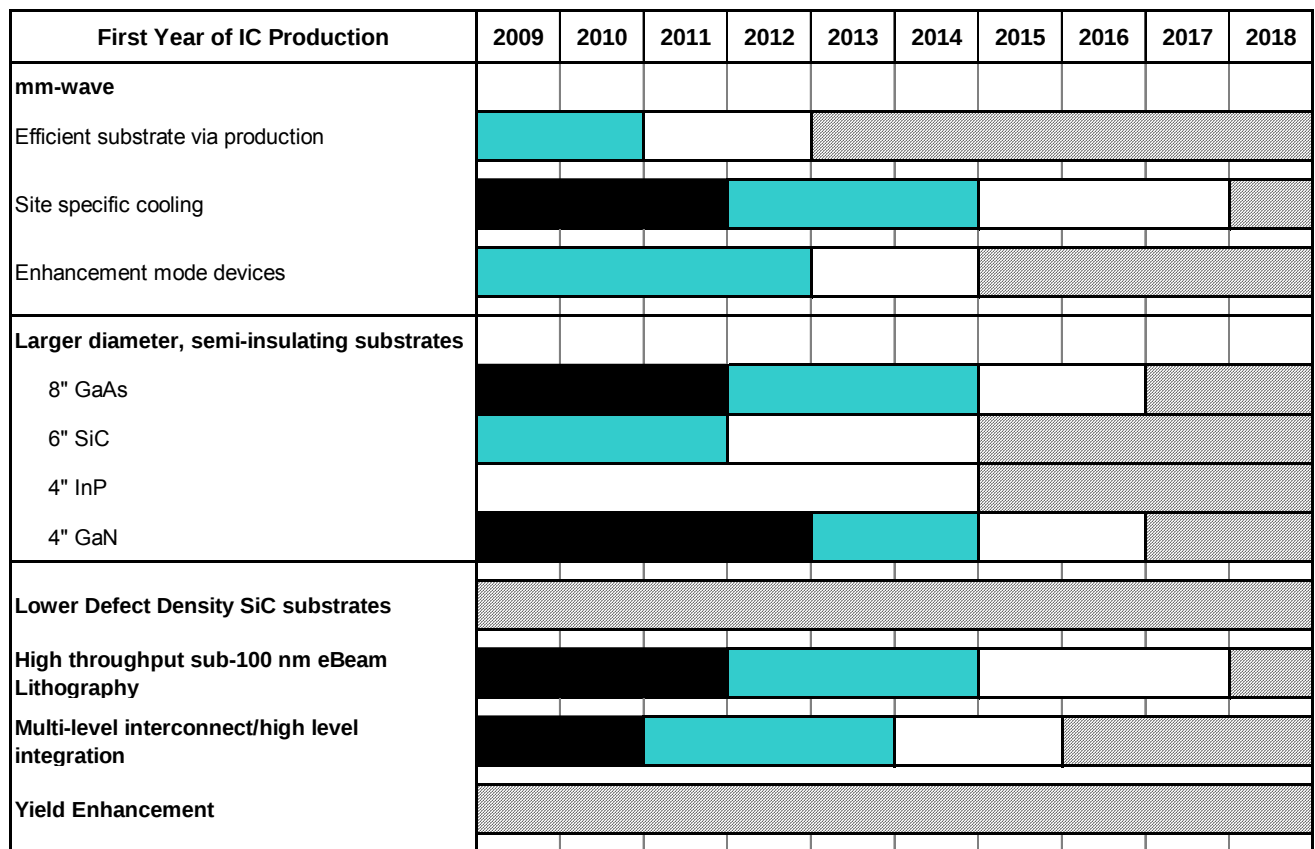
MEMS

2009 年において、RF/AMF ワイヤレス通信システムへの MEMS の集積化のロードマップに影響しそうな重要なビジネス/市場要因は以下の通りである。

- 特にファウンドリであるが、MEMS 用 200 mm ラインの急激な増加
- MEMS インダストリグループ(MIG)や学会への参加者の増加
- 特にスイッチにおいて、生産ラインにおける CMOS 積層構造に MEMS デバイスを直接集積化するソリューションの増加
- “mature”なモバイルあるいはワイヤレス製品への MEMS 適用が数多く公表される。(ここで“mature”とは、第二世代、第三世代の製品であるか、非常に生産量の多い製品を指す)ゲーム機の Wii における加速度センサや iPhone におけるディスプレイ画面回転機能がこれに当たる。
- 既存の半導体装置メーカーが MEMS 用 200 mm 対応装置に目を向け始める。300 mm 対応装置の売り上げに対して 200 mm 対応製造装置の売り上げが下降するので、新たな市場を開拓しようとしている。
- 上記のビジネス、市場トレンドに結果、さらに近代的な ULSI 工場で歩留まりを向上させることでコストダウンが進む。また、ウエハあたりのダイ数も増加するのでベースラインコストも下がる。さらに、いくつかの発表が成されているように CMOS 工場における MEMS 開発や、150 mm MEMS 工場における 200 mm 化の投資により、RFAMS8 テーブルのコストドライバセクションで述べているような“半導体ダイへの集積化”が推進される可能性がある。

RFAMS8 テーブルに記載したデバイスの技術的要因は以下の通りである。

- 共振器(Si MEMS オッシレータ)はディスクリート部品として市場に出荷されている。しかしながら、RF/AMS 製品の中心であるフィルタ向けのモノリシック集積された、あるいは一つのダイでより高い周波数帯/複数の周波数帯に対応するソリューションには、周波数ばらつき、コストと他の特性ソリューションとの両立といった問題を解決する必要がある。ここで言う他の特性ソリューションにはスタンダードな技術として MEMS を Si ベース技術に付加するクオーツタイミングデバイスも含まれる。
- メタルコンタクトスイッチのメタル間インターフェイスの信頼性と付随するパッケージ技術は、コンシューマアプリケーションへの低コスト集積化とともにキーとなる課題である。現状の材料に適合する新規材料開発と集積化も多くの検討の余地がある。さらに、固体素子スイッチ(LDMOS や SOI FET など)による競合ソリューションはコストと特性のバランスを取りながら既に生産されており、MEMS に比べると主流となっている。
- 容量スイッチは様々なアプリケーションに応用される可能性があるが、MEMS の信頼性がまだ低いために生産導入が遅れている。最も生産ボリュームの大きい製品や最高性能の製品以外のものにたいしては、パッケージのコストが課題である。
- BAW フィルタの開発が進み、例えばパッケージの小型化が可能となっている。これにより、さらに小さいコンシューマ製品へ導入する際のコストの問題が軽減される。



This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required
 Development Underway
 Qualification / Pre-Production
 Continuous Improvement



Figure RFAMS3 10 GHz–100 GHz Potential Solutions

MORE THAN MOORE – HETEROGENEOUS INTEGRATION

エレクトロニクスシステムにおいては、多くの様々な材料(Si, SiGe, GaAs, InP 等)から成り、様々なデバイスタイプ(HEMT, HBT, BiCMOS 等)を搭載した半導体部品が用いられる。これらの製造プロセスは互換性はないために、従来のバッチプロセスでは本質的に製造することができない。そのため、これらのデバイスを新しいアセンブリ、積層パッケージ、プリント配線ボード、モジュールなどで接続すると、特性とコストの両方の面で大変不利になる場合がある。さらにそれぞれの半導体部品や集積回路は普通は実用性を考えて独自のパッケージを用いている。そのため消費電力が増大し、特に RF/ミリ波回路用のチップが搭載されるボード設計が複雑なものになっている。物理的にどこにチップを置くかが特性に大きな影響を及ぼす。

多種多様な材料とデバイスをより近づけて集積化するプロセスを表す言葉として、「異種間」(Heterogeneous)と「ポリリシック」(polyolithic)がある。この概念は過去にも研究されたが、最近の新しい手法と製造集積化プロセスの進歩により、異なる半導体を集積化して高性能で最も完全な集積システムオンチップを製造することが可能になっている。この技術により、エレクトロニクスシステムや集積回路設計者は、回路機能に応じて最適な材料を用いることができるようになるはずである。基本的なアイデアは以下のようなものである。

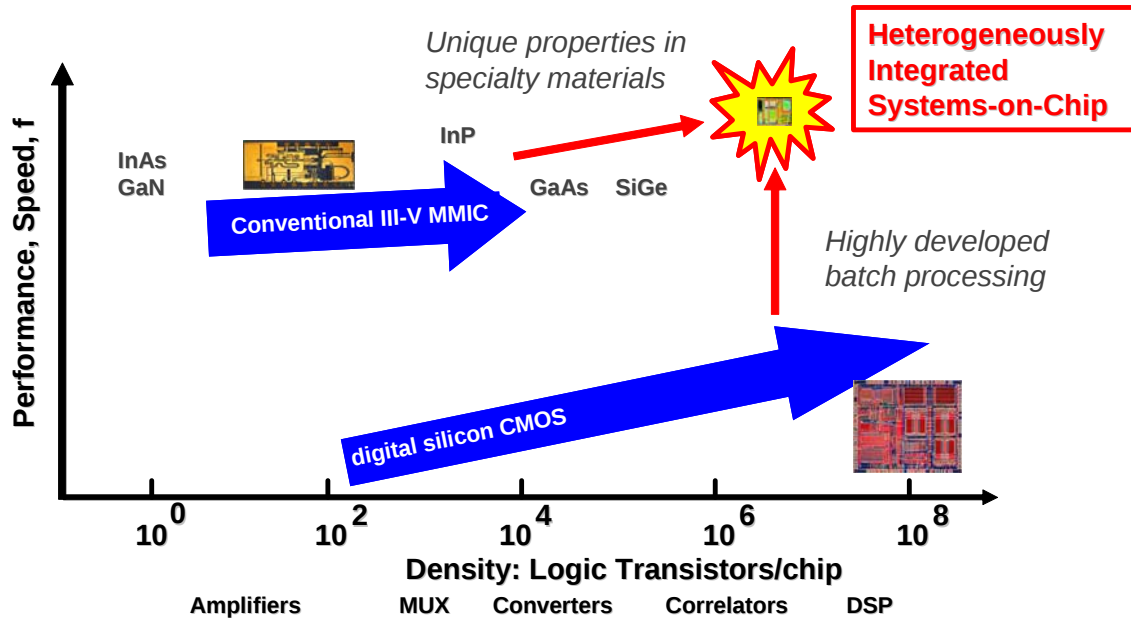


Figure RFAMS4 Options for Increased Performance and Functionality

異なる半導体やデバイスを集積化する手法は何通りかある。それはバックエンドのパッケージ技術に近いものから、モノリシックバッチプロセスに近いものまで広範囲に広がっている。これらにはダイスケール、ウエハスケール、そしてパッケージスケールでの集積化に最適な技術が含まれる。集積化はデバイスレベル、ダイレベルそしてウエハレベルで成される可能性がある。これらの異種間集積化技術は、用いられる材料や集積回路とアプリケーション(熱設計、パワー、接続数、RF 特性、ノイズ)、生産量、そしてリスク、コストなどに応じて選択される。

このように異なるデバイスと機能を集積化することで最もコンパクトなシステムを実現できる。さらに、損失の大きいインターコネクトを減らせるので消費電力を低減できたり、特性インピーダンスを高精度に制御できたりする利点もある。デバイス同士の距離が短縮できるので、信号伝搬速度の向上も期待できる。RF 集積化の場合は、ノイズ、クロストーク、近接効果による歪などのトレードオフは存在する。信号伝搬における利点を活かしつつ、シールドや新たなキャンセル技術を用いることは可能なはずである。

真の異種間集積化システムオンチップへの第一歩は、シリコン集積回路に化合物半導体をロバストに集積化する手法を示すことである。スタンダードな Si CMOS に化合物デバイスを高精度に集積化することで、ミックスシグナル回路の特性を著しく向上させることができる。このような集積化の位置合わせ精度はベアダイのバンプボンディングよりも高いので、材料間の距離は数ミクロンまで近づけることが可能となる。その結果、コンパクトなパッケージ以上の新たな回路設計が可能となる。

Table RFAMS8 RF and Analog Mixed-Signal RFMEMS

REFERENCES

- [1] H. S. Bennett, R. Brederlow, J. Costa, P. Cottrell, M. Huang, A. A. Immorlica, J.-E. Mueller, M. Racanelli, H. Shichijo, C. E. Weitzel, and B. Zhao, "Invited paper, Device and Technology Evolution for Si-Based RF Integrated Circuits: Critical Figures of Merit," *IEEE Transactions on Electron Devices - Special Issue on Integrated Circuit Technologies for RF Circuit Applications*, Vol. 52, No. 7, July 2005, pp. 1235 - 1258.
- [2] I. Gresham, A. Jenkins, R. Egri, C. Eswarappa, N. Kinayman, N. Jain, R. Anderson, F. Kolak, R. Wohler, S.P. Bawell, J. Bennett, J.-P. Lanteri, "Ultra-wideband radar sensors for short-range vehicular applications," *IEEE Transactions on Microwave Theory and Techniques*, Vol. 52, No. 9, Sept. 2004, pp. 2105 - 2122.
- [3] U.R. Pfeiffer, E. Ojefors, A. Lisauskas, H.G. Roskos, "Opportunities for silicon at mmWave and Terahertz frequencies," *Bipolar/BiCMOS Circuits and Technology Meeting Proceedings*, 2008, pp. 149 - 156.
- [4] D.M. Monticelli, "The Future of Complementary Bipolar," *Bipolar/BiCMOS Circuits and Technology Meeting Proceedings*, 2004, pp. 21 - 25.
- [5] K. Nellis, P.J. Zampardi, "A comparison of linear handset power amplifiers in different bipolar technologies," *IEEE Journal of Solid-State Circuits*, Vol. 39, No. 10, Oct. 2004, pp. 1746 - 1754.
- [6] T. Hook, et al., "High-performance logic and high-gain analog CMOS transistors formed by a shadow-mask technique with a single implant step," *IEEE Trans. Electron Devices*, Vol. 49, No. 9, Sept. 2002, pp. 1623 -1627..
- [7] E. Morifuji, et al., "Future perspective and scaling down roadmap for RF CMOS," *IEEE VLSI Circuits*, 1999, pp. 163-164.
- [8] A. Cathignol, et al., "Quantitative Evaluation of Statistical Variability Sources in a 45-nm Technological Node LP N-MOSFET", *IEEE Electron Device Letters*, Vol. 29, No. 6, June 2008, p.609.
- [9] O. Weber, et al., "High immunity to threshold voltage variability in undoped ultra-thin FDSOI MOSFETs and its physical understanding", *Electron Devices Meeting Technical Digest*, 2008, pp. 245-248.
- [10] R. Groves, J. Wang, L. Wagner, A. Wan, "Quantitative Analysis of Errors in On-Wafer S-Parameter De-embedding Techniques for High Frequency Device Modeling", *Bipolar/BiCMOS Circuits and Technology Meeting Proceedings*, 2006, pp. 92 - 95.
- [11] F. Pourchon, C. Raya, N. Derrier, P. Chevalier, D. Gloria, S. Pruvost, D. Céli, "From Measurement to Intrinsic Device Characteristics: Test Structures and Parasitic Determination", *Bipolar/BiCMOS Circuits and Technology Meeting Proceedings*, 2008, pp. 232-239.
- [12] P. Gammel, "Power Amplifiers design considerations for WLAN", *IEEE Radio Frequency Integrated Circuits Symposium Workshop WSA*, June 2009
- [13] A. Valdes-Garcia, S. Reynolds, and J. Plouchart, "60 GHz transmitter circuits in 65nm CMOS," *IEEE Radio Frequency Integrated Circuits Symposium Proceedings*, 2008, pp. 641-644, Digital Object Identifier 10.1109/RFIC.2008.4561519. And references therein.
- [14] A. Joseph, et. al., "0.35 μm SiGe BiCMOS technology for power amplifier applications", *IEEE Bipolar/BiCMOS Circuits and Technology Meeting Proceedings*, Oct. 2007, pp. 198-201