

INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS

2009 年版

配線

THE ITRS IS DEvised AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2009 Edition(国際半導体技術ロードマップ 2009 年版)本文の全訳である。

国際半導体技術ロードマップ（以下 ITRS と表記）は、米国、日本、欧州、韓国、台湾の世界 5 極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会（STRJ）が電子情報技術産業協会（JEITA）内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 14 のワーキンググループ（WG: Working Group）が組織され、半導体集積回路メーカ、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソーシアなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2009 年版は英文で約 1000 ページの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができると考えている。

なお、ITRS 2005 年版（英語の原書）までは、ウェブ公開とともに、印刷された本としても出版していたが、ITRS 2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要に限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。ITRS 2009 年版の作成にあたっては、当初から電子媒体で ITRS を公開することを前提に編集を進めた。ITRS の表は原則として、Microsoft Excel のファイルとして作成し、そのまま公開することにした。

ITRS は英語で書かれている。日本語訳の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くは専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字、脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただけますよう、お願い申し上げます。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞（Acknowledgments）に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出せず、原文のままの表記とした。原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように（）内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ（ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記）」「国際半導体技術ロードマップ（International Technology Roadmap for Semiconductors）」のように和訳の後に（）内に原語やそれに対応する略語を表示した。Executive Summary の用語集（Glossary）も参照されたい。原文の括弧（）があってそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注：この部分は訳者の注釈であることを示す】」のように【】内に表記した。また [] 内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 STRJ 事務局の進藤 淳二さん、関口美奈さんに大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2010年5月
訳者一同を代表して
電子情報技術産業協会（JEITA）半導体部会 半導体技術ロードマップ専門委員会（STRJ）委員長
石内 秀美 （株式会社 東芝）

版權について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2009 SEMICONDUCTOR INDUSTRY ASSOCIATION All rights reserved

ITRS • 2706 Montopolis Drive • Austin, Texas 78741 • 512.356.7687 • <http://public.itrs.net>
Japanese translation by the JEITA, Japan Electronics and Information Technology Industries
Association under the license of the Semiconductor Industry Association

ー引用する場合の注意ー

原文(英語版)から引用する場合： ITRS 2009 Edition page XX, Figure(Table) YY
この日本語訳から引用する場合： ITRS 2009 Edition （JEITA 訳） XX 頁,図(表)YY
と明記してください。

問合せ先：

社団法人 電子情報技術産業協会
半導体技術ロードマップ専門委員会 事務局
Tel: 03-5218-1068 mailto: roadmap@jeita.or.jp

TABLE OF CONTENTS

概 要.....	1
序 論.....	1
2009 年版の変更点.....	2
配線アーキテクチャ.....	2
3D 配線アーキテクチャ.....	2
序 論	2
3D 配線技術の定義.....	2
3D 定義と命名法	3
3D シリコン貫通ビア 技術の定義.....	4
3D-TSV ロードマップ	9
3D-WLP	9
3D-SIC.....	9
3D-TSV 課題	10
受動素子	11
序論.....	11
キャパシタ.....	12
MIM キャパシタ.....	12
ネイティブキャパシタ.....	12
インダクタ.....	12
抵抗体	13
配線の課題と要求	13
困難な技術課題	13
技術的要求	15
プロセスモジュール	18
序論	18
絶縁膜.....	18
メタル前層間絶縁膜 (PMD)	19
従来の Low- κ ILD	20
拡散防止絶縁膜	21
拡散防止キャップ絶縁膜	21
エアギャップ	22
エッチング / レジスト除去 / 洗浄 解決策候補	24
プラズマプロセス制御.....	24
プラズマハードウェア制御	24
インテグレーション手法.....	25
クリーニング工程	25
拡散防止 (バリア) 膜解決策候補	29
膜成長核形成に関する解決策候補	32
導電体膜に関する解決策候補.....	34

平坦化に関する解決策候補	37
絶縁膜系 CMP	38
導電膜系 CMP	38
装置課題	39
消耗材	40
Si 貫通ビア(TSV)、3次元積層化技術	43
序論.....	43
Si 貫通ビア技術.....	43
TSV エッチング技術.....	43
マスク、酸化膜あるいは BEOL 層を介したエッチング	43
高アスペクトの Si 孔、溝エッチング	44
TSV ライナープロセスー絶縁層が TSV 容量を規定する	44
TSV バリア層	45
TSV メタル埋め込みプロセス	45
Cu TSV	46
W TSVーW CVD 埋め込み, CMP	47
ポリ Si の TSV:VIA-FIRST 技術.....	47
ウェーハ薄化と裏面プロセス.....	47
3D ボンディングの前に TSV を形成	47
積層化後の TSV 形成オプション	49
積層化モジュール	49
信頼性および性能	50
信頼性序論	50
配線金属の信頼性	50
エレクトロマイグレーション	50
エレクトロマイグレーションのスケールリングモデル.....	50
ブレッヒ長効果による J_{EM} 緩和.....	51
ストレスマイグレーション	53
絶縁信頼性.....	53
時間に依存する絶縁破壊	53
絶縁信頼性への LER とビアのミスアライメントの影響.....	54
信頼性評価, モデル化とシミュレーション	54
将来の課題と方向性.....	55
配線性能	56
序論.....	56
信号伝播	56
消費電力	56
システムレベルの性能	57
新規配線の現実解	57
概論	57
Cu 配線の延命.....	60
Cu 配線の置き換え	60
金属シリサイド.....	61

銀.....	61
金属フォノン工学	61
金属の幾何学的共鳴.....	62
カーボンナノチューブ	62
CNT の利点.....	62
CNT 集積化の選択肢	63
CNT の課題.....	63
グラフェンナノリボン	64
GNR の利点.....	65
GNR 集積化の選択肢	65
GNR の課題.....	66
光配線	67
光配線の優位性	67
集積化の選択肢	67
利点.....	68
欠点.....	68
配線の階層での潜在的利用	68
利点.....	68
欠点.....	68
課題	69
部品	69
超伝導体	70
ワイヤレス配線.....	70
ネイティブデバイス配線	70
ナノワイヤー	71
カーボンナノチューブ	71
グラフェンナノリボン	72
スピンベースの配線.....	72
分野をまたがる問題	73
環境・安全・健康(ESH)	73
配線の計測技術.....	75
3次元配線の課題と計測技術	75
Cu/Low- κ 配線の問題と計測への要求.....	76
Cu/Low- κ 配線の問題	76
Cu 配線の計測	76
Low- κ 絶縁膜の課題と計測法の必要性	78
Low- κ 絶縁膜の課題.....	78
Low- κ 評価方法	78
配線と設計とモデリングとシミュレーションの分野を跨る課題	79
付録.....	81
受動素子	81
容量素子	81

CMOS、BiCMOS、Bipolar チップ上への適用例	81
容量への主な要求	81
プロセス構築上の課題	82
MIM 容量	82
ネイティブ容量(MOM、VPP、VNCAP)	82
インダクタ	83
オンチップインダクタ、特に RF 回路での適用例	83
プロセス構築上の課題	83
抵抗体	85
オンチップ薄膜抵抗アプリケーション、特にアナログとミクストシグナル回路の適用例	85
抵抗体への主な要求	85
プロセス構築上の課題	85
絶縁体補足	85
RC 遅延評価に適用された配線モデル補足	88
3D と TSV 定義の用語集	89
参考文献	91
配線アーキテクチャ	91
絶縁膜解決候補 参考文献	91
エッチング / レジスト除去 / 洗浄 参考文献	91
拡散防止(バリア)解決候補 参考文献	91
膜成長核形成解決候補 参考文献	92
導電体膜解決候補 参考文献	92
平坦化解決候補 参考文献	92
Si 貫通ビア(TSV)、3 次元積層化技術 参考文献	93
信頼性 参考文献	93
配線性能 参考文献	93
新規配線 参考文献	94
受動素子(付録)参考文献	97

図のリスト

Figure INTC 1	Schematic Representation of TSV First, Middle and Last Process Flows	5
Figure INTC 2	Schematic Representation of the Various Key Process Modules and 3D-stacking Options when using Through-Si-Via 3D-SIC Technologies (IMEC)	7
Figure INTC 3	Schematic Representation of the Various Key Process Modules and 3D-stacking Options when using Through-Si-Via 3D-WLP Technologies (IMEC)	8
Figure INTC 4	Typical ILD Architectures.....	17
Figure INTC 5	Typical Cross-sections of Hierarchical Scaling (MPU Device (left), ASIC Device (right)) ..	17
Figure INTC 6	Low- κ Roadmap Progression.....	19
Figure INTC 7	Dielectric Potential Solutions	22
Figure INTC 8	Typical Air-Gap Integration Schemes.....	23
Figure INTC 9	Post-CMP/Deposition Clean	27
Figure INTC 10	Post Dielectric Etch Clean.....	28
Figure INTC 11	Barrier Potential Solutions	31
Figure INTC 12	Nucleation Potential Solutions	33
Figure INTC 13	Conductor Potential Solutions	36
Figure INTC 14	Brief History of Planarization Solutions	37
Figure INTC 15	Planarization Applications and Equipment Potential Solutions	41
Figure INTC 16	Planarization Consumables Potential Solutions	42
Figure INTC 17	Schematic Representation of the Challenges for Si-TSV Plasma Etching	43
Figure INTC 18	Cu and W-based TSV Options as a Function of TSV Diameter and Aspect Ratio, in accordance with the 3D Interconnect Hierarchy and Roadmap.....	46
Figure INTC 19	Temporary Carrier Strategy for Thin Wafer Post-processing	48
Figure INTC 20	Calculation Model for $J_{\max}$	52
Figure INTC 21	Evolution of $J_{\max}$ (from device requirement) and J_{EM} (from targeted lifetime)	52
Figure INTC 22	Comparison of the Lifetime Improvement versus the Resistivity Increase for Different EM Resistance Booster Technologies	53

Figure A 1	Dielectric Potential Solutions (2010~2018) Realistic Case.....	86
Figure A 2	Dielectric Potential Solutions (2019~2027) Realistic Case.....	87
Figure A 3	Two Kinds of Typical Air-gap Integration Schemes.....	87
Figure A 4	Interconnect Model.....	89

表のリスト

Table INTC 1	3D Interconnect Technologies Based on the Interconnect Hierarchy.....	4
Table INTC 2	3D-WLP Via Pitch Requirements Based on Table ORTC-4—Chip Pad Pitch Trend (μm).....	9
Table INTC 3	Global Interconnect Level 3D-SIC/3D-SOC Roadmap	9
Table INTC 4	Intermediate Interconnect Level 3D-SIC Roadmap	10
Table INTC 5	2009 Interconnect Difficult Challenges	14
Table INTC 6	MPU Interconnect Technology Requirements	18
Table INTC 7	DRAM Interconnect Technology Requirements.....	18
Table INTC 8	Interconnect Surface Preparation Technology Requirements	18
Table INTC 9	Advantages and Concerns for Cu Extensions, Replacements and Native Device Interconnects	59
Table INTC 10	Minimum Density of Metallic SWCNTs Needed to Exceed Minimum Cu Wire Conductivity	64

配線

概要

ITRS の配線章は、CMOS 集積回路のさまざまな機能ブロックに、電源線、クロック信号やその他の信号を供給する配線システムを取り上げている。プロセス的には、第一層配線下のメタル前絶縁膜(PMD)を有するコンタクト層からワイヤーボンディング用パッド層まで、成膜、エッチング、平坦化および剥離・清浄化が記載されている。信頼性と性能の項には、エレクトロマイグレーションや配線遅延が含まれている。新配線技術と 3D 集積技術の扱いを大きくした点が新たな特徴である。

序論

1994 年の NTRS (National Technology Roadmap for Semiconductor) の配線技術の章では、予想される技術的要求全体を満たすための新しい配線金属と絶縁膜材料への、最初の要求が示された。NTRS の 1997 年版では、銅(Cu)を使ったチップの開発導入が差し迫っていた。1999 年版 NTRS では、かつてないペースで導入されつつあった新材料の開発が強調された。2001 年版 ITRS では、新材料の継続的な導入が記載され、また配線幅が電子の平均自由行程に近づくに従って配線抵抗が増加する問題が強調された。2003 年版では、MPU や ASIC への低誘電率(Low- κ)絶縁膜の導入ペースが予想したものより遅れていることが、ITRS 配線分野の中心課題のひとつであった。2005 年版 ITRS では、電子散乱によって増加する Cu 抵抗率と、それによって変化する抵抗・容量積(RC)の配線性能指標が記載された。2007 年版では、また、クロストークの指標が導入された。急速な新材料導入とそれに伴う複雑化に対処することが、短期的(near term)技術課題の全体像と言える。長期的(long term)には、既存のスケーリングに従った材料革新では、もはや性能要求を満たせなくなっている。解決策は、光、無線(RF)を使った革新的な配線技術、あるいは設計・実装の斬新な開発努力とあいまった垂直方向の集積技術の中にあるであろう。

配線あるいはワイヤリングシステムの機能は、チップ上のさまざまな回路やシステムに、クロック信号を伝達し、電源(パワー／アース)ラインを供給することである。配線にとって欠かせない開発要求事項は、デザインルールをさらに縮小しても、チップの高速伝送要求を満足することである。Cu 配線を使用したチップは、層間膜にシリコン酸化膜を使って 1998 年に導入されたが、技術ロードマップで示された層間膜の誘電率の減少は、問題含みで推移してきた。フッ素添加酸化膜($\kappa=3.7$)は 180nm 世代で導入されたが、比誘電率が $\kappa=2.7\sim3.0$ の材料は、90nm 世代まで広く採用されなかった。すなわち、低誘電率膜をデュアルダマシン Cu プロセスでインテグレーションした場合、信頼性や歩留まりの問題が、当初の考えていたよりも困難であることが明らかになってきた。多孔質(ポーラス)低誘電率(Low- κ)材料のインテグレーションは、さらに困難が予想される。これらの新しい低誘電率膜の開発と完成度の向上は、絶えず行われることになるから、MPU の 製品化サイクルの加速(2009 年まで、3 年から 2 年へ)が、達成可能な κ 値を引き下げるであろう。今後、ロードマップ上でデュアルダマシン構造を構成すると予想される、さまざまな低誘電率材料が解決策候補の図に明示されている。層間膜のバルクとしての比誘電率の範囲と、インテグレーションされた場合の実効的な比誘電率値の範囲が、技術的要求表に載せられている(Table INT6)。これらの新しい低誘電率膜の導入は、拡散防止(バリア)膜や核成長(シード)膜の膜厚低減と、均一性の向上とを合わせて行う必要があり、インテグレーションする上で困難な技術課題といえる(より詳しい説明が必要であれば、様々なインテグレーション方法に対する実効的な比誘電率値の計算)が Appendix に記載されている)。MPU と DRAM の M1 ピッチが同じ値に収束する時期が差し迫っており(2010 年と予想)、そうすると高性能ロジックと DRAM の両方の技術仕様が記載されるものの、どちらが市場を牽引する製品かを特定する必要はなくなる。

2009 年版の変更点

- 技術的要求表 (INTC6) が大幅に改訂され、以下のように分割・再編成された。
 - 一般要求事項- 例えば、バルク抵抗率、誘電率
 - 配線やビアの形状によって規定される、配線層固有の要求事項- 例えばバリア厚や実効的な抵抗率
- 低誘電率化ロードマップ—わずかに減速
 - バルク κ 値の範囲
 - エアギャップ技術はエマージング章へ移動—現状の本命技術
 - エアギャップ技術は、 $\kappa_{\text{bulk}} < 2.0$ 世代の本命と見込まれる
- 原子層成膜 (ALD) バリアプロセスとメタルキャップ技術の導入に遅れ—サブ 1nm の仕様を充たす必要がある
 - ルテニウムを含んだハイブリッドバリアが拡大する
- J_{max} 許容電流密度のモデルで線幅依存性を考慮—信頼性に関する新たな懸念事項
- テクノロジドライバは、従来からの構造スケーリングと等価スケーリングとの両方に対応するよう拡張されている
 - CMOS と互換性のある等価スケーリングに関する要求技術は、新 (non-FET) スイッチの配線特性に関する第一原理計算による検討と一緒に、拡張された“新規配線の現実解”の章で強調されている
- 高密度 Si 貫通ビア (TSVs) を用いた 3 次元チップ積層の設計とプロセスは、遅延と消費電力に関わる注力分野であり、3 次元配線技術に関する新しい表が導入されている。

配線アーキテクチャ

3D 配線アーキテクチャ

序 論

電子システムの集積化に関する新規開発は、微細化、異種デバイスの集積、回路性能の向上、低消費電力化といったさまざまな理由から 3 次元化の方向に拡大する傾向がある。電子製造業サプライチェーン (IC 製造工場 → ウェーハレベルプロセス (WLP) → 半導体アセンブリと試験 (SAT) → プリント配線基板 (PCB) → 組立…) のすべての企業から、旧来の業界の壁を越えて、幅広い技術が提案されている。

3D 技術のロードマップに関する明確な見通しに到達するためには、3D 配線技術で理解されていることを明確に定義すること、幅広い技術の分類を提案することが重要である。ここでいう“定義”には、システムの異なる階層レベルにおいて 3D 技術に求められている機能が記載され、サプライチェーン製造業の将来性に対応しているべきである。

3D 配線技術の定義

どのような電子装置でも、それを基本的な構成要素—トランジスタ、ダイオード、受動回路素子、MEMS 等—to に分解すると、基本的な主要部品とそれをつなぐ非常に複雑な配線構造の 2 つの要素から成り立っていることに気が付く。この配線構造は、主要部品間をつなぐ、狭くて短い配線から、回路ブロック間をつなぐ長くて大きな配線まで、階層的に作られている。集積回路ではローカル、中間層、そしてグローバル層の配線が明確に区別されており、チップ上の回路の階層が、トランジスタから論理ゲート、サブ回路、回路ブロック、そしてボンディングパッドの入出力回路まで分類されている。それは総じて電子システムにもあてはまり、主として複数の集積

回路、受動素子、水晶振動子、MEMS などからなる。また IC パッケージ、システムオンパッケージ、モジュール、ボード、ラックといった異なるレベルで分類されている。一例として JISSO による分類がある (<http://jisso.ipc.org>)。

あるレベルの配線階層の範囲までは、配線は基本的に 2D トポロジーで配置される:ある平面上でお互いに交差しない配線を、孤立配線と定義する。配線が交差する場合、近接する上下の配線層を用いる。配線層と配線層の間の接続は、ビア、めっきされたスルーホール、ピン、はんだボール、および(あるいは)配線などによって特徴づけられる。配線レベルの 3D 積層は、これらのビア配線により可能になる。集積回路やプリント配線基板のような、基本回路要素と複数の 2D 配線層との組み合わせは、2D デバイスと見なされる。

今日、一般に“3D 技術”と称されているものは、配線層だけでなく基本的な電子部品の 3 次元積層を可能にする、異なる“ビア”技術である。それは、単位面積あるいは単位体積あたりで見ると、非常に高い実装効率の実現を可能にする。

3D 定義と命名法

3D 配線技術—2D 配線技術を用い、以下に示した主要電子部品の、縦方向の積層を可能にする技術

“主要電子部品”とは、トランジスタ、ダイオード、抵抗、キャパシタ、インダクタなどの基本回路デバイスである。

- 3D 配線技術の特別な場合として、配線層だけが含まれる、Si インターポーザ構造がある。多くの場合は、他の主要電子部品(特に、デカップリングキャパシタ)が組み込まれている。

3D 接合—2 つのダイあるいはウェーハの表面を一緒につなぐ操作

3D 積層—2 つのデバイス間の電気配線接続を実現する操作

3D-パッケージ(3D-P) — ワイヤーボンディング、パッケージオンパッケージ、プリント回路基板内蔵など、“従来”のパッケージ技術を用いた 3D 積層

3D-ウェーハレベルパッケージング(3D-WLP) — ウェーハ上へのフリップ・チップの再配置、再配線層、ファン・イン型のチップサイズ-パッケージング、および擬似ウェーハ上で再配線を行うファンアウト型のチップスケールパッケージングなど、ウェーハ製造工程のあとに行われるウェーハレベル-パッケージング技術を用いた 3D 集積

3D-システムオンチップ (3D-SOC) — システムオンチップ(SOC)として設計され、複数ダイの積層で実現される回路。3D 配線は、異なるダイの回路タイル間を直接的に配線接続する。これらの配線はチップ上のグローバル配線に相当し、IP ブロックの拡張的な利用や、再利用を可能にする。

3D-積層化IC (3D-SIC) — 3D 積層されたダイの、異なる階層にある回路ブロック間を直接的に配線接続する 3D 手法。配線は、チップ上の配線のグローバル層か中間層に相当する。フロントエンド(デバイス)とバックエンド(配線)層が繰り返し積み重ねられている点が特徴である。

3D-集積回路 (3D-IC) — 能動素子を直接積層する 3D 手法。配線はチップ上のローカル配線に相当する。フロントエンドデバイスが積み重ねられ、それが共通のバックエンド配線でつながっている点が特徴である。

配線階層に基づき、3D 配線技術を構造的に定義した結果を Table INTC1 に示す。表中では、半導体サプライチェーンについても触れられており、配線階層の各レベルにおけるターゲットと、重要なロードマップの定義が可能となる[1]。

Table INTC 1 3D Interconnect Technologies Based on the Interconnect Hierarchy

Level	Suggested Name	Supply Chain	Key Characteristics
Package	3D-Packaging (3D-P)	OSAT Assembly PCB	- Traditional packaging of interconnect technologies, e.g., wire-bonded die stacks, package-on-package stacks. - Also includes die in PCB integration - No through-Si-vias (TSVs)
Bond-pad	3D-Wafer-level Package (3D-WLP)	Wafer-level Packaging	- WLP infrastructure, such as redistribution layer (RDL) and bumping. 3D interconnects are processed after the IC fabrication, “post IC-passivation” (via last process). Connections on bond-pad level. - TSV density requirements follow bond-pad density roadmaps.
Global	3D-Stacked Integrated Circuit/ 3D-System-on-Chip (3D-SIC /3D-SOC)	Wafer Fab	- Stacking of large circuit blocks (tiles, IP-blocks, memory –banks), similar to an SOC approach but having circuits physically on different layers. - Unbuffered I/O drivers (Low C, little or no ESD protection on TSVs). - TSV density requirement significantly higher than 3D-WLP : Pitch requirement down to 4-16μm
Intermediate	3D-SIC	Wafer Fab	- Stacking of smaller circuit blocks, parts of IP-blocks stacked in vertical dimensions. - Mainly wafer-to-wafer stacking. - TSV density requirements very high: Pitch requirement down to 1-4 μm
Local	3D-Integrated Circuit (3D-IC)	Wafer Fab	- Stacking of transistor layers. - Common BEOL interconnect stack on multiple layers of FEOL. - Requires 3D connections at the density level of local interconnects.

3D シリコン貫通ビア 技術の定義

前述のように、3D 接続技術を実現するために、様々な広範囲な技術が使われている。特に興味深いものは、3D-WLP、3D-SOC、そして 3D-SIC の接続技術として用いられている“Through-Si-Via”と呼ばれている技術である。

Through-Si-Via connection (TSV)は Si ウェーハの両面を電氣的に接続し、基板や他の TSV からは電氣的に絶縁されている。TSV 導周辺部の絶縁層は“TSV liner”と呼ばれる。この層の機能は、基板や他の TSV と電氣的に絶縁することである。また、この層は TSV の寄生容量を決める。TSV から Si 基板への金属拡散を防止するために、バリア層が“liner”と TSV メタルの間に設けられる

“TSV-stacked 3D-SIC”そして“3D-WLP”構造を実現するために数多くの方法が提案されてきた。これらの手段に共通しているのは、3つの基本的な技術モジュールである。

1. “Through-Si-Via”プロセス
2. ウェーハ薄化、薄ウェーハハンドリングそして裏面処理技術
3. 積層プロセス

これらのプロセスモジュールの順番は、Figure INTC1 に示す多種多様な提案されたプロセスフローにより変わる。

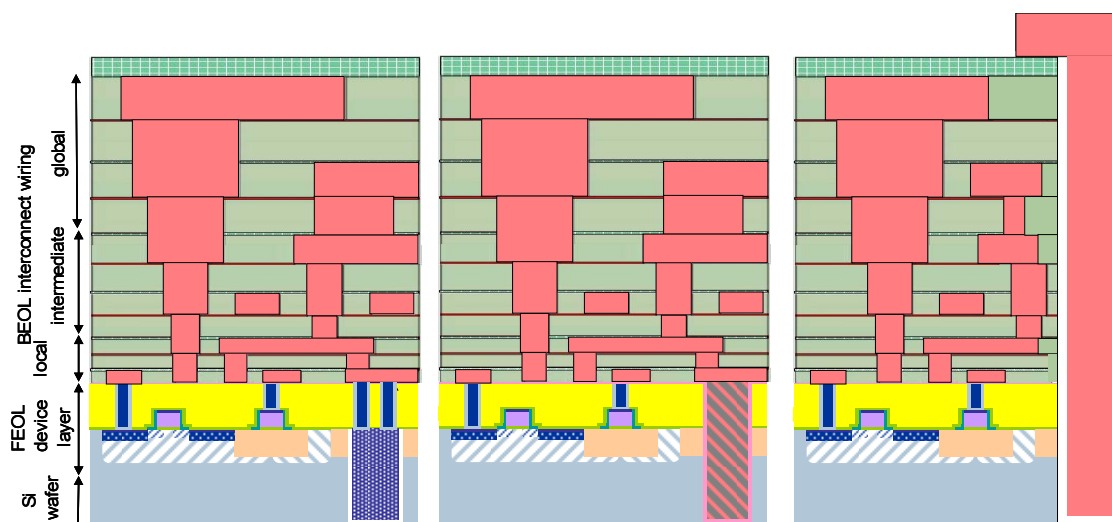


Figure INTC 1 Schematic Representation of TSV First, Middle and Last Process Flows

様々な異なるプロセスフローが、4つの重要な区別された特性に特徴づけられる。

1. デバイスのウェーハ製造プロセスに対応する TSV プロセスの順序 (Figure INTC1 参照)
 - “Via-first”—デバイス拡散工程 (FEOL) 前の TSV 形成
 - “Via-middle”—デバイス拡散工程 (FEOL) 後で、バックエンドプロセス配線工程 (BEOL) 前の TSV 形成
 - “Via-last”—バックエンドプロセス配線工程 (BEOL) 後、あるいは途中工程での TSV 形成
2. TSV プロセスと 3D ボンディングプロセスの順序—3D ボンディング前または後の TSV プロセス
3. ウェーハ薄化と 3D ボンディングの順序—3D ボンディング前または後のウェーハ薄化プロセス
4. 3D ボンディング方法
 - ウェーハ to-ウェーハ (W2W) ボンディング
 - ダイ-to-ウェーハ (D2W) ボンディング
 - ダイ-to-ダイ (D2D) ボンディング

これらの 4 つの主な特徴に加え、2 次的な 3 つの特性が特徴づけられる。

- Face-to-Face (F2F) あるいは Back-to-Face (B2F) ボンディング
- “via-last”に関し: ウェーハの表面側から形成された“Frontside” TSVs、もしくは薄化されたウェーハの裏面側から形成された“Backside” TSVs (ウェーハの表面側とは、能動素子そして配線層がある側と言う)。
- ボンディング前あるいは後におけるキャリアウェーハからの剥離

前述で明確にされた一般的なフロー特性は、3D-WLP やグローバルそして 3D-SIC プロセスフローの間接続に適用できる。3D-WLP TSV 技術にとって、“via-last route”は最も重要であり、そしてフロントサイド TSV にしろバックサイド TSV にしろ 3D ボンディング前に形成される。

6 配線

提案されている様々なアプローチ(手段)は、通常の半導体デバイスのみならず、受動素子の再配線またはインターポザ基板に適用できる。3D 集積にとって重要な(キー)プロセス技術には、色々な一時的あるいは恒久的なボンディングそしてデボンディング工程がある。材料に対する要求そしてプロセス要件は選択された配線ルートにより異なる。

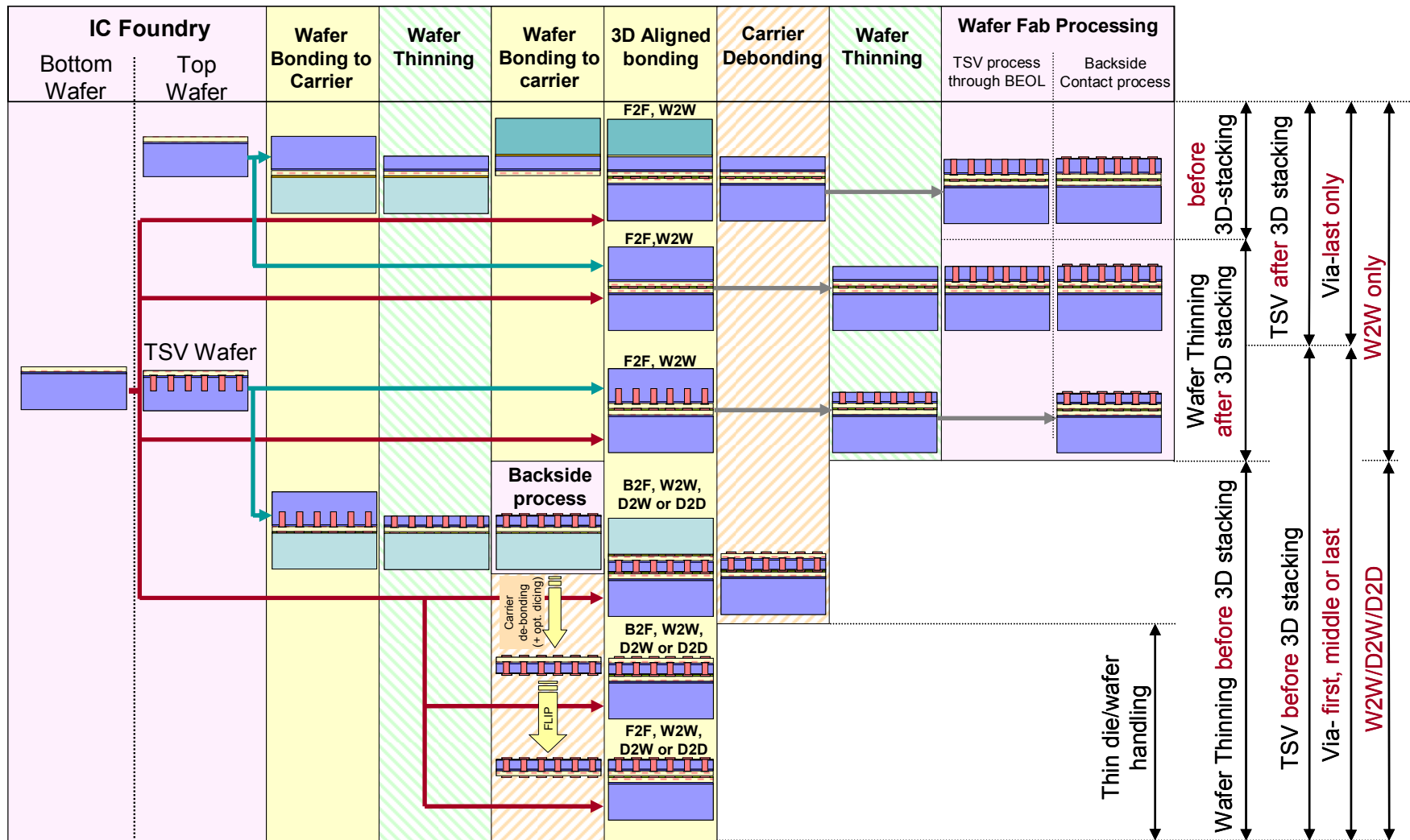


Figure INTC 2 Schematic Representation of the Various Key Process Modules and 3D-stacking Options when using Through-Si-Via 3D-SIC Technologies (IMEC)

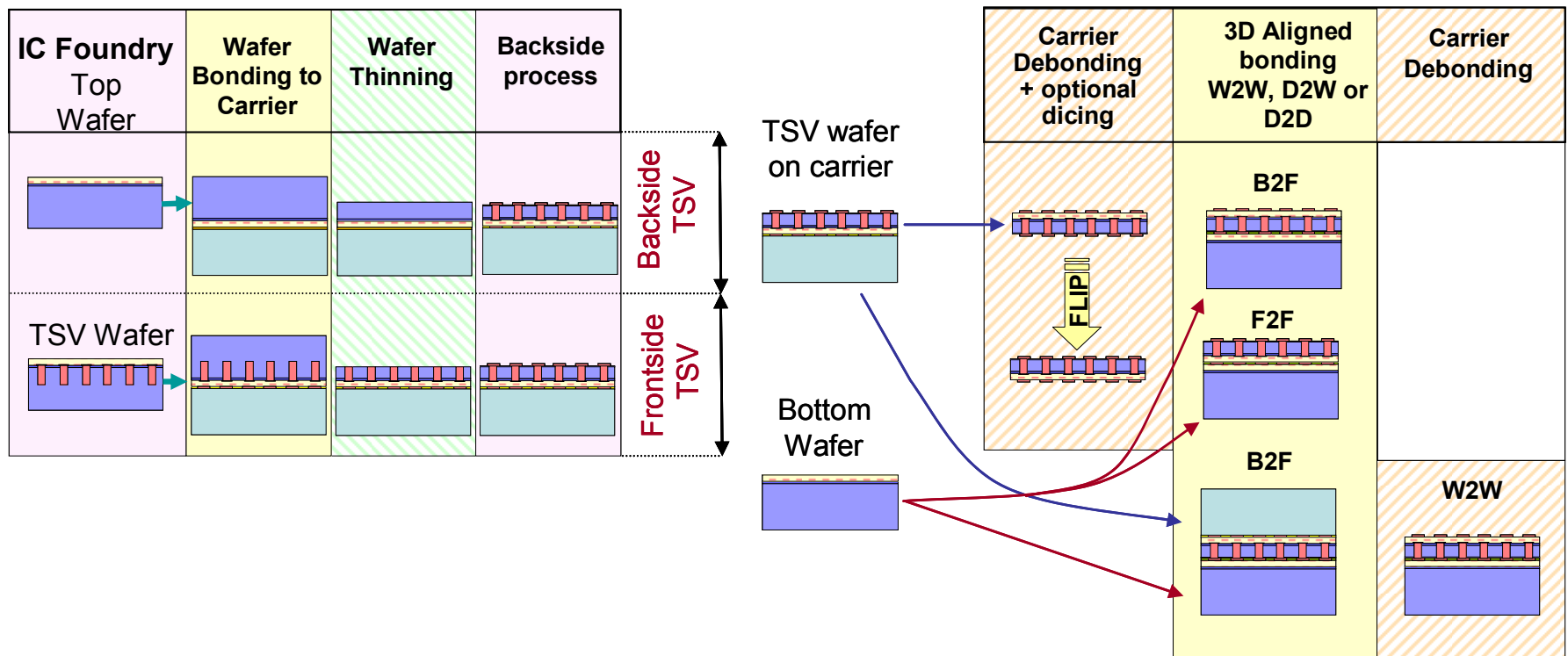


Figure INTC 3 Schematic Representation of the Various Key Process Modules and 3D-stacking Options when using Through-Si-Via 3D-WLP Technologies (IMEC)

3D-TSV ロードマップ

前述の 3D 接続構造と 3D プロセス定義することにより、それらが提供する接続構造に関する TSV ロードマップが定義できる。

3D-WLP

これはボンディングパッドレベルで 3D 積層技術である。したがって Table INTC2 に示す様に、3D-TSV ロードマップはチップの I/O ボンディングパッドロードマップに従う。

Table INTC 2 3D-WLP Via Pitch Requirements Based on Table ORTC-4—Chip Pad Pitch Trend (μm)

Year of Production	2009	2010	2011	2012	2013	2014	2015
1-row wedge-bond pitch (μm)	20	20	20	20	20	20	20
1-row ball pitch (μm)	40	40	35	35	30	30	25
2-row staggered pitch (μm)	45	45	45	40	40	40	40
Three-tier pitch (μm)	60	55	55	50	45	45	45
Area array flip-chip (μm) (cost-performance, high-performance)	130	130	120	110	110	100	100

3D-SIC

この技術は 2 つの配線構造で定義できる。

1. グローバル配線レベルのための 3D-SIC、たとえば IP-ブロック(3D-SOC)の 3D 積層:この技術は W2W、D2W そして D2D 積層がある。この 3D-TSV プロセスは、一般的には Si ウェーハ製造ラインで積層される。3D-スタックプロセスは、ほとんどが標準的な Si プロセスラインの外で行われる。

Table INTC 3 Global Interconnect Level 3D-SIC/3D-SOC Roadmap

Global Level, W2W, D2W or D2D 3D-stacking	2009-2012	2012-2015
Minimum TSV diameter	4-8 μm	2-4 μm
Minimum TSV pitch	8-16 μm	4-8 μm
Minimum TSV depth	20-50 μm	20-50 μm
Maximum TSV aspect ratio	5:1 – 10:1	10:1 – 20:1
Bonding overlay accuracy	1.0-1.5 μm	0.5-1.0 μm
Minimum contact pitch (thermoccompression)	10 μm	5 μm
Minimum contact pitch (solder μbump)	20 μm	10 μm
Number of tiers	2-3	2-4

2. 中間配線レベルのための 3D-SIC、たとえばより小さな回路ブロックの 3D 積層:この技術の主流は W2W 積層技術である。この 2 つの 3D-TSV プロセスと 3D 積層は、一般的には Si ウェーハ製造ラインで行われる。

Table INTC 4 Intermediate Interconnect Level 3D-SIC Roadmap

Intermediate Level, W2W 3D-stacking	2009-2012	2012-2015
Minimum TSV diameter	1-2 μm	0.8-1.5 μm
Minimum TSV pitch	2-4 μm	1.6-3.0 μm
Minimum TSV depth	6-10 μm	6-10 μm
Maximum TSV aspect ratio	5:1 – 10:1	10:1 – 20:1
Bonding overlay accuracy	1.0-1.5 μm	0.5-1.0 μm
Minimum contact pitch	2-3 μm	2-3 μm
Number of tiers	2-3	8-16 (DRAM)

3D-TSV 課題

- マイクロエレクトロニクス産業のサプライチェーンにおける様々なアプローチそして互換性 3D 集積化のための様々なアプローチのために、限界と解決 (solutions) を明確にした。 3D 集積化のサプライチェーンや可能なフローは仕事 (work) の範囲を超えている。多くの選択肢は、サプライチェーンやビジネスの中にあるさまざまな製造会社が持つ可能な能力により決定される。オーナーシップの明確な定義は、非 IDM ビジネスの成功により決定的であろう。
- 総合歩留り — 高歩留 3D 積層デバイスを得るための設計そしてテスト戦略
- デザインチャレンジ — シームレスな 3D システムデザインが可能な設計ツールが必要
- 3D 接続とデバイスパッケージング、組み立て (assembly) の相互作用。
- 3D 接続に求められる電気特性 — 色々なアプリケーションエリアにおける RLC 値
TSV に寄生する主なチャレンジは TSV の低寄生容量化を実現することである。TSV を用いた 3D 接合の信号ディレイそして消費電力は、ほとんど TSV の容量によって決定される。3D 積層することによる回路性能の低下を避けるための容量は、2D 回路のグローバル配線の容量の桁であるべきである。この要件 (特性) は、採用する技術によって TSV 容量の上限値がある。
- E3D プロセスにおけるデバイスの ESD 対策
3D プロセスは、シリコン上に I/O 数をドラマチックに増大することができる一方、この I/O 数増大の実現は増大に比例して ESD にさらされる回路素子数が増す。これらの新しい tier-to-tier I/O のファインピッチ化は、ESD 保護回路を設けるエリアに制限を与える。このように、3D デバイスのデザインそして製造は、ESD の保護回路に注意を払う必要がある。
3D 製造にはウェーハハンドリング、TSV エッチ、TSV ライナー、TSV 埋め込み、ボンディング、デボンディングそして積層工程では ESD という新たな問題点が起きている。これらの新しい工程に生ずる ESD 障害の可能性のレベルはほとんど知られていないが、様々な努力により 3D 製造工において ESD の低減が行われるべきである。
3D 回路素子における ESD 保護回路のサイズ (コスト) を最小限にすることが必要である。いったん 3D 構造が完全に集積化されると、ESD 保護回路は 3D 構造が I/O/P か G のための外部の経路の一部でないなら必要ではない。このように、3D の内部を構成する素子のいかなる ESD 保護回路は、パワーを加えそして回路性能の低下させることになる。
- コストのオーナーシップ (コストはどこが握るか)
- ボンディングされた、そしてまたは薄ウェーハを用いたプロセスの工場における集積
ボンディングや薄化されたウェーハの裏面処理は、前述のように多くのプロセスフローが必要になる。これには多くの製造と工場集積課題が提案されている。多くの場合、これらのウェーハは SEMI M1.15 300mm のウェーハ仕様から外れる。この仕様はウェーハ直径、厚さ、ノッチ、

およびエッジベベルを網羅している¹。この規格はFOUPs(47.1E)、FOSBs(M31)、ロードポート(15.1E)、およびウェーハ識別(T7)を規定する他のSEMI規格によって参照されている。特定の3Dプロセスによってボンディングそして薄化されたウェーハはこれらのいくつかの規格から外れるだろう²。そして、ボンディングそして薄化されたウェーハの工場への投入は、汚染が無く、パーティクルの持ち込みもなく安全に再投入できることを確実にすることが求められる。そしてウェーハ搬送とツール特有のプロセス課題のために、製造フローにおけるツール類それぞれが可能であることも求められる。一つの例として、厚いウェーハの搬送ができるように、そして異なるウェーハエッジ部分への適合ができるハードウェアそしてまたはソフトウェアである。

- ・ パーティクルとクロスコンタミネーション
- ・ 高度なプロセスコントロール
- ・ 環境、安全そして健康(ESH)規格に関する懸案事項
 - 二酸化炭素排出規制—高度な化学物質(ガス等)使用(例:SF₆)が必要とされる特徴のあるサイズをパターンニングする際のかかなり大量の二酸化炭素排出が環境に与える影響

受動素子

序論

近年、単体受動素子の用途はボード上からチップ上へと移り変わりつつある。それは結果的に今後のオンチップ配線技術にとっての新たな挑戦となる。主にミックスドシグナル、高周波(RF)、システムオンチップ(SOC)の最先端用途を実現するために、高精度で高品質の、キャパシタ、インダクタ、抵抗が要求されるようになっている。ミックスドシグナルとRF CMOSでは、基板とのカップリングによるノイズやその他の寄生成分の低減と制御が、最も重要な課題のひとつである。アプリケーションの観点からみた受動素子への最も重要な要求は、「無線通信のためのRFおよびAMS技術(RF and Analog/Mixed-signal Technologies for Wireless Communications)」章に挙げられている。これまでは、IC上に受動回路素子(例えば、キャパシタ、抵抗)を実現する方法は、フロントエンドプロセスによる集積化であった。この場合、ドーパされた単結晶シリコン基板やポリシリコン、そしてシリコン酸化物またはシリコン窒化物が使われる。フロントエンドプロセスで作製される受動素子は、シリコン基板の近くに形成されるため、高周波領域では特に性能が低下しやすい。そのため、低損失で、寄生成分が少なくかつ高品質な、配線層内の受動素子の実現への要求が高まっている。

配線層に受動素子を集積化するための主な課題は、全体としての配線性能と信頼性を犠牲にすることなく、モジュール化と、効率のいい低コスト化を実現することである。現在、オンチップインテグレーションにおいて、基本的に異なる2つのアプローチが検討されている。ひとつは、受動素子に必要な機能と特性を出来るだけ高いQ値と最小の面積で達成するため、新材料を組み合わせた付加的な配線層を導入することである。通常、この方法は、プロセスが煩雑化し製造コストが高くなりやすいという欠点がある。代替案として、通常の配線層が有する特性、あるいは寄生成分による特性(例えば配線層に存在する、キャパシタンス、インダクタンス、抵抗)を用いて、受動素子を設計する方法がある。この2つ目の手段は、ウェーハ製造の視点では最も負担が軽い要求であるが、一般には受動素子のQ値が劣化しやすく、チップ面積が大きくなりやすい。他のアプローチとして、ウェーハレベルパッケージによるパッシベーション後の再配線層の使用、もしくはパッケージ内に直接受動素子を集積化する手法がある。革新的なシステムインパッケージ(SiP)モジュール、あるいはTSVを用いた3D IC積層技術が、非常に複雑で高価なSoC製造プロセスに置き換わって、頻繁に使われるようになるであろう。最後に、十分なシステム性能、品質と信頼性を備えた受動部品の実現が可能となる、最適な方法の選択は、コストによって決まると考えられる。

¹ M1.15. SEMI M1.15, Standard for 300 mm Polished Monocrystalline Silicon Wafers (Notched)

² E47.1. Mechanical Specification for FOUPS Used to Transport and Store 300 mm Wafers, 1997.

キャパシタ

MIM キャパシタ

高品質な金属-絶縁膜-金属 (MIM: metal-insulator-metal) キャパシタは、CMOS、BiCMOS、そしてバイポーラチップで幅広く用いられている。典型的なアプリケーションには、フィルタやアナログ向けキャパシタ (例えば、A/D、D/A コンバータに使用)、RF 発信器に用いられる RF カップリングと RF バイパス向けキャパシタ、共振回路、およびマッチング回路がある。MIM キャパシタに求められる重要な特性は、広い電圧範囲にわたって高い線形性を持つこと (低い電圧依存性)、低い直列抵抗、優れたマッチング特性、小さな温度依存性、低いリーク電流、高いブレイクダウン電圧、十分な誘電体の信頼性を持つことである。

経済的な要求に応え、小さなチップ面積を実現するためには、MIM のより高い電荷蓄積密度が必要となる。 $2\text{fF}/\mu\text{m}^2$ の容量密度を超えると、従来のシリコン酸化物またはシリコン窒化物の薄膜化では、リーク電流の増加と誘電体の信頼性低下により、もはや使用できなくなる。それゆえ、 Al_2O_3 、 Ta_2O_5 、 HfO_2 、 Nb_2O_5 、 TiTaO 、BST、STO などの、新たな high- κ 材料、または異なる材料の積層膜が MIM の誘電体として評価されており、将来用いられるであろう。

常にそうであるように、新材料の導入は、成膜プロセス (例えば、最先端のプラズマ気相成長法 (PVD【訳者注: PVD: *Physical Vapor deposition* の誤記と思われる】)、化学気相成長法 (CVD)、あるいは ALD 法など)、プロセスインテグレーション、そして信頼性における、新たな挑戦につながる。卓越した膜厚均一性、低い欠陥密度と高い誘電率を持った高品質の薄膜は、配線形成プロセス全体と整合するよう、 450°C 以下で成膜される必要がある。基板との寄生カップリングを減少させ、MIM キャパシタの高い Q 値を実現するためには、上層の配線層に集積することが望ましい。

MIM の高い Q 値の実現と信頼性の要求値の達成には、低抵抗のキャパシタ電極および完全に制御された電極/誘電体界面が必要である。MIM キャパシタ用の high- κ 材料を用いた、実現性の高い集積化技術について、文献に報告されている (Appendix: 受動素子の項を参照)

ネイティブキャパシタ

MIM キャパシタの最も不利な点は、プロセスがより複雑になり (通常、露光プロセスが2回分増える)、結果としてウェーハ製造コスト高につながる点である。そのため、最小設計線幅の配線が原理的に有する配線容量や配線間の寄生容量を利用する代替手段が、特に 90nm 世代以降の先端 CMOS 技術で、注目されている。クシ歯形状の配線とそれを上下につなぐ層間ビアからなるキャパシタが、数層積み重ねられ、プロセス工程を追加することなく、普通の配線プロセスフローで設計、製造が可能である。最小線幅を用いる配線の層数にも依存するが、容量密度 $2\sim 4\text{ fF}/\mu\text{m}^2$ かそれ以上の値が実現可能である。今日、垂直平行平板 (VPP: Vertical Parallel Plate) キャパシタ、垂直ナチュラルキャパシタ (VNCAP: Vertical Natural Capacitors)、あるいは Metal-Over-Metal (MOM) キャパシタの 3 次元積層は、GHz 帯で Q 値 20 以上を有する、先端 CMOS プラットフォーム技術として標準的な提供物である。配線幅と配線間隔のスケーリングに伴って、VPP あるいは MOM キャパシタの容量密度が増加するため、将来のテクノロジーノードで、本技術はより魅力的になる。唯一の未解決問題は、最小配線間隔の配線構造で用いるポーラス Low- κ 誘電体が、キャパシタ構造でのリーク電流や信頼性の目標値をクリアできるかどうかである。

インダクタ

高品質のオンチップインダクタは、アナログ/ミックスドシグナルと高周波 (RF) アプリケーションにおける重要な部品である。現在、それらは、特に、インピーダンスマッチング、RF フィルタ、RF トランシーバ、電圧制御による発信器 (VCO)、パワーアンプそして低ノイズアンプ (LNA) の RF 回路に広く使われている。重要な特性は、高インダクタンス、高い自己共振周波数、低い抵抗損、低い渦電流、そして基板との低い容量損を保った状態で、高い Q 値を実現することである。

現在のところ、最適な Q 値を実現するためには、シリコン基板から十分離れたところに低抵抗のコイルを製造する必要がある。このため、上層の厚膜 Al 配線または Cu 配線によるスパイラルインダクタが、最も広く用いられている。これらの単純なスパイラルインダクタは、標準の配線プロセスを用いて比較的簡単に製造することができる。いくつかの標準 CMOS プラットフォーム技術では、特別に高い Q 値のインダクタを実現するため、厚さが $2\text{--}6\mu\text{m}$ の極太配線層がオプションとして提供されている。しかし、それらは将来にわたる RF の要求を全て満足するために十分とは言い切れないだろう。それゆえ、いくつかのより先進的な構成や方法が追及されている。

複数の配線層によるシャントコイル、金属かあるいは磁性体金属のグランドプレーンの使用、エアギャップ中に支持されたスパイラルインダクタ、厚膜の再配線層によるコイル（金属層の厚さが数 μm ）が形成できるパッシベーション後の付加的なモジュール、あるいは強磁性コア入り（無し）のソレノイドインダクタなどが、首尾よく実証されている。基板による損失を減少させる他の方法は、高抵抗シリコン基板、SOI 基板もしくは、イオン照射かプロトン照射で部分的に半絶縁性にしたシリコン基板を使用することである。

しかしながら、集積化とプロセス複雑化の問題や、デバイスや製品の要求に適さないなどの理由により、これらの新規製造方法のうち量産に適さないものもある。これらの異なるインダクタの概念は、一方で低い製造コスト、他方で実現可能な最高性能（すなわち、高い周波数での最高のインダクタンス、コイルの抵抗損の低減による Q 値の改善、基板の寄生成分の低減）を実現するための絶え間ない努力の現れといえる。

抵抗体

精度の高い薄膜抵抗は、アナログ回路とミックスドシグナル回路や一部の SOC 製品に広く使われている。重要な特性は、正確な抵抗制御性、優れたマッチング特性、電圧に対する高い線形性、低い温度係数、低い $1/f$ ノイズ、そして高い Q 値を実現するために寄生素子の影響が小さいことである。現在、最も広く用いられているフロントエンドプロセスで作製された、シリコン基板による抵抗、ポリシリコン抵抗、そしてシリサイド抵抗は、主に、 $1/f$ ノイズと基板損が問題になりやすい。

配線層における薄膜抵抗は、 $1/f$ ノイズ性能と他の基板損を著しく改善することができる。配線層に形成する抵抗の主な課題は、調整可能な適当な大きさのシート抵抗を持った材料を見つけることである。さらに、その材料は、通常の配線材料とのプロセス親和性が高く、集積化しやすく、優れた膜厚制御性と、モジュールに集積化する際の絶縁膜との高いエッチング選択比をもつことが求められる。特に Cu 配線においては、TaN が有望な候補材料として見出されているが、他の材料に近い将来に採用される可能性もある。

アプリケーション、要求項目、それぞれの受動素子（キャパシタ、インダクタ、そして抵抗）のプロセスと集積化の課題に関する詳細は、最近の参考資料一覧をつけ、受動素子の Appendix に示す。

配線の課題と要求

困難な技術課題

Table INTC5 には、 16nm ノードを境にした当面 (Near Term) と長期 (Long Term) の 5 つのキーとなる取組みを示した。当面の最も重要な課題は、配線の電導度の要求を満たし、絶縁膜の誘電率を低減することのできる新材料の導入である。長期的には、配線構造でのサイズ効果の影響を緩和しなければならない。将来的に実効誘電率の要求値が下がっていくと、デュアルダマシン構造でのエッチストップパの使用が不可能になる。寸法制御は、現在から将来に亘る世代の配線技術のキーとなる技術課題であり、その結果、RC (容量・抵抗積) のバラツキを抑制できる Low- κ 絶縁膜を用いた精密なトレンチ・ビア構造を形成することがエッチングにおける重大な技術課題となる。主流となっているダマシン構造では、パターンニング、エッチング、平坦化で厳しい制御が要求される。性能を最大限に引き出すためには、配線工程では、招かれざる RC の劣化を発生する形状のバラツキは許容されない。これらの寸法制御の要求は、高アスペクト構造

14 配線

における高スループットの画像計測の新しい需要を引き起こす。新しい計測技術には、密着性や欠陥のインラインでのモニタリングも要求される。大口径のウェーハとテストウェーハを制限する要求は、ますます *in-situ* でのプロセス制御技術の採用へと進んでいくであろう。現時点で困難となっている寸法制御は、ポーラス Low- κ 絶縁膜や ALD (Atomic Layer Deposition) メタルのような新材料では、いっそう厳しくなり、より微細なピッチや、中間層配線やグローバル配線での高アスペクトパターンで重要な役割を果たすであろう。

Table INT C 5 2009 Interconnect Difficult Challenges

<i>Difficult Challenges ≥ 16 nm</i>	<i>Summary of Issues</i>
Introduction of new materials to meet conductivity requirements and reduce the dielectric permittivity	The rapid introductions of new materials/processes that are necessary to meet conductivity requirements and reduce the dielectric permittivity create integration and material characterization challenges.
Engineering manufacturable interconnect structures, processes and new materials	Integration complexity, CMP damage, resist poisoning, and dielectric constant degradation. Lack of interconnect/package architecture design optimization tool.
Achieving necessary reliability	New materials, structures, and processes create new chip reliability (electrical, thermal, and mechanical) exposure. Detecting, testing, modeling, and control of failure mechanisms will be key.
Three-dimensional control of interconnect features (with its associated metrology) to achieve necessary circuit performance and reliability.	Line edge roughness, trench depth and profile, via shape, etch bias, thinning due to cleaning, and CMP effects. The multiplicity of levels combined with new materials, reduced feature size, and pattern dependent processes create this challenge.
Manufacturability and defect management that meet overall cost/performance requirements	As feature sizes shrink, interconnect processes must be compatible with device roadmaps and meet manufacturing targets at the specified wafer size. Plasma damage, contamination, thermal budgets, cleaning of high A/R features, defect tolerant processes, and elimination/reduction of control wafers are key concerns. Where appropriate, global wiring and packaging concerns will be addressed in an integrated fashion.
<i>Difficult Challenges < 16 nm</i>	<i>Summary of Issues</i>
Mitigation of size effects in interconnect structures	Line and via sidewall roughness, intersection of porous Low- κ voids with sidewall, barrier roughness, and copper surface roughness will all adversely affect electron scattering in copper lines and cause increases in resistivity.
Three-dimensional control of interconnect features (with its associated metrology)	Line edge roughness, trench depth and profile, via shape, etch bias, thinning due to cleaning, CMP effects. The multiplicity of levels, combined with new materials, reduced feature size and pattern dependent processes, use of alternative memories, optical and RF interconnect, continue to challenge.
Patterning, cleaning, and filling at nano dimensions	As features shrink, etching, cleaning, and filling high aspect ratio structures will be challenging, especially for Low- κ dual damascene metal structures and DRAM at nano-dimensions.
Integration of new processes and structures, including interconnects for emerging devices	Combinations of materials and processes used to fabricate new structures create integration complexity. The increased number of wiring levels exacerbate thermomechanical effects. Novel/active devices may be incorporated into the interconnects.
Identification of solutions which address 3D structures and other packaging issues	3D chip stacking circumvents the deficiencies of traditional interconnect scaling by providing enhanced functional diversity. Engineering manufacturable solutions that meet cost targets for this technology is a key interconnect challenge.

技術的要求

配線に対するニーズを適切に記述するために、短期(Near Term; 2009-2015)、長期(Long Term; 2016-2024)での技術的要求および解決策候補が、2種の製品群、Logic(MPU: Micro-Processor Unit および ASIC: Application Specific Integrated Circuit)、DRAM(Dynamic Random Access Memory)に分類して示されている。MPU に対しては、現在広く採用されている階層的スケールリング法を強調するために、メタル 1(M1)、中間層配線、グローバル配線の配線ピッチ、アスペクト比が区別されている。2007 年版ロードマップでは、次世代の MPU 製品導入が 2009 年まで 2 年サイクルに加速され、2009 年以降 3 年サイクルに戻ると認識している。また、それによって MPU のメタル 1 ピッチが 2010 年には DRAM と同じになると予想される。さらに、現時点で MPU のメタル 1 と中間層配線のピッチには差が無い。MPU のメタル 1 に於ける“コンタクト付きピッチ”は、最近接隣接配置(side-by-side)ではなく、斜めにずれて配置された(staggered)コンタクトを前提にしている。斜めにずれたコンタクト配置の使用は、かなり長い間標準的な MPU 設計法となっている。

MPU ピッチのスケールリングの加速が、Cu のエレクトロマイグレーション問題を深刻にしている。現在用いられている Cu への絶縁膜キャップ技術での最大電流密度(Jmax)の限界は、2013 年までに超過してしまうだろう。CuSiN 形成による Cu 表面の改質、もしくは Cu-Al のような合金の使用によって、顕著なエレクトロマイグレーションの改善が得られる。CoWP のような Cu への選択メタルキャップ技術を用いることで、より高いエレクトロマイグレーション耐性が得られるであろう。しかし、選択プロセスに起因した配線間ショートによる歩留りの低下が依然として懸念される。絶縁膜キャップの改良も検討されている。

電子散乱モデルが改善されてきており、配線幅とアスペクト比の関数として Cu の比抵抗上昇を予測できる。Figure INTC1 に示されているように、比抵抗の上昇には粒界と界面の電子散乱の両方が大きく影響する。今までのところ、この問題に対する解決策は見つかっていない。

これに沿って、最小のメタル 1、中間層配線、グローバル配線についての Cu の比抵抗値が、ロードマップの全ての年に対して記載されている。この比抵抗上昇による RC 性能指標への影響も計算されており、技術的要求の表に含まれている。配線形状の 3 次元的な寸法制御(3DCD)は、ITRS の数回の版において、重要課題の一つとして挙げられている。寸法ばらつきと散乱による M1 配線抵抗のトータルなばらつきも計算され、MPU の技術的要求の表(MPU technology requirements table)に含まれている。メタル 1 と中間層配線の配線長は、通常、従来のスケールリングに伴って縮小されるため、これらの遅延が性能に与える影響は比較的小さい。最大の配線長を有するグローバル配線は、劣化した遅延に最も影響されるだろう。材料変更や Cu 比抵抗上昇のいくつかの改善では、総合的な性能要求を満たすには不十分であろう。マルチコア MPU 設計への流れによって、これまでの増大するグローバル配線の配線長に関する遅延の問題の幾つかは軽減されてきている。

長期的には、従来の配線における遅延、消費電力、帯域幅の限界を超えるために、新しい設計、または技術的解決策(3D IC、光配線、カーボンナノチューブなど)が必要とされる。“新たな配線コンセプトと革新的な解決策”の項を参照されたい。インダクタンスの影響も動作周波数の増加に従って重要性が増していくと思われ、インダクタンスの影響を遮蔽するために、追加となるメタルパターンや接地層が必要となるかもしれない。電源電圧がスケールリングもしくは低減されるに従って、クロストークは全てのクロックと信号の配線層で問題となる。2005 年の ITRS でクロストークの指標がメタル 1、中間層配線、および最小グローバル配線について導入された。その指標では、最小ピッチの犠牲配線において、スイッチング電圧の 25%が誘起される配線長を計算している。2009 年のロードマップでは、将来の技術世代に向けて進行中の誘電率低減を反映し続けており、新しいポーラス Low-κ 絶縁膜材料、およびその先にはエアギャップ技術が導入されるとしている。

MPU では、性能への配線遅延の影響を緩和するために、配線層毎にピッチと膜厚が次第に増加していく階層的配線アプローチによる多層の配線が用いられる。

接地層やオンチップのデカップリング容量に対する要求に応えるために、配線層の伸びは、性能要求を満たすことのみを考えた場合よりも大きくなると予想される。

ASIC は、例えば Cu 配線や Low- κ 絶縁膜のような、MPU の技術的特徴の多くを共有する。一般的に ASIC の設計手法はより標準的で、メタル 1、中間層配線、セミグローバル(中間層配線の 2 倍)およびグローバル(中間層配線の 4 倍)という配線ピッチで構成される。歴史的に DRAM の配線技術には、最も厳しい配線ピッチと最もアスペクト比の高いコンタクトが適用されてきたが、2010 年には MPU のメタル 1 のピッチは DRAM と一致すると予測されている。Low- κ 絶縁膜(フッ化シリコン酸化膜:FSG)の導入が進行中であり、65nm ハーフピッチで Al から Cu への転換が起きている。

ダマシンプロセスフローは、MPU/ASIC 製造法の主要なものであり、DRAM への適用が拡大していくと期待される。Figure INTC4 は、積層配線の作製に用いられる、幾つかの典型的な層間絶縁膜(ILD: Interlevel Dielectric)構造を図示したものである。現在の Cu ダマシンプロセスは物理気相成長法(PVD: Physical Vapor Deposition)による Ta ベースのバリア膜と Cu 核成長層を用いているが、サイズの継続的なスケーリングには異なる材料や核成長層の成膜法が求められる。Cu めっき(Electrochemically Deposited Cu:ECD-Cu)は装置や薬液の継続的な改善によってロードマップの予測最終年まで延命しようとしているが、微細、かつ高アスペクト比となる形状に対しては、代替となる埋設技術を並行して開発、精選していく必要がある。このような形状について実効的な配線抵抗率を維持するために、薄いバリア膜も必要とされる。核成長層の被覆性に対する要求は、ダマシン構造での Cu めっき埋めこみを可能とするために厳しくなる。表面への偏析、化学気相成長法(Chemical Vapor Deposition:CVD)、原子層成長法(Atomic Layer Deposition:ALD)、および絶縁膜バリアが中間的な解決策候補である。膜厚ゼロのバリアは望ましいが要求されてはいない。Figure INTC5 は MPU(左)と ASIC(右)の典型的な積層構造の断面を示す。

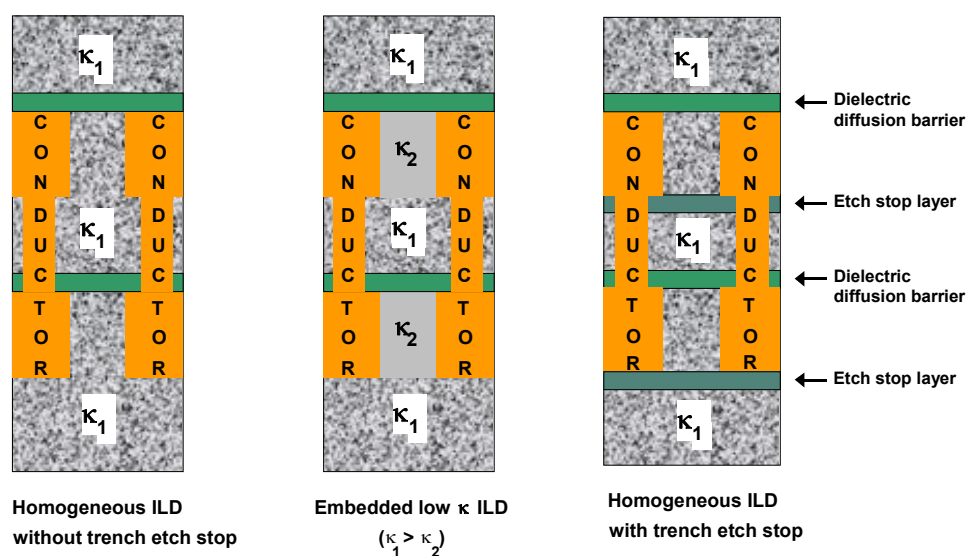


Figure INTC 4 Typical ILD Architectures

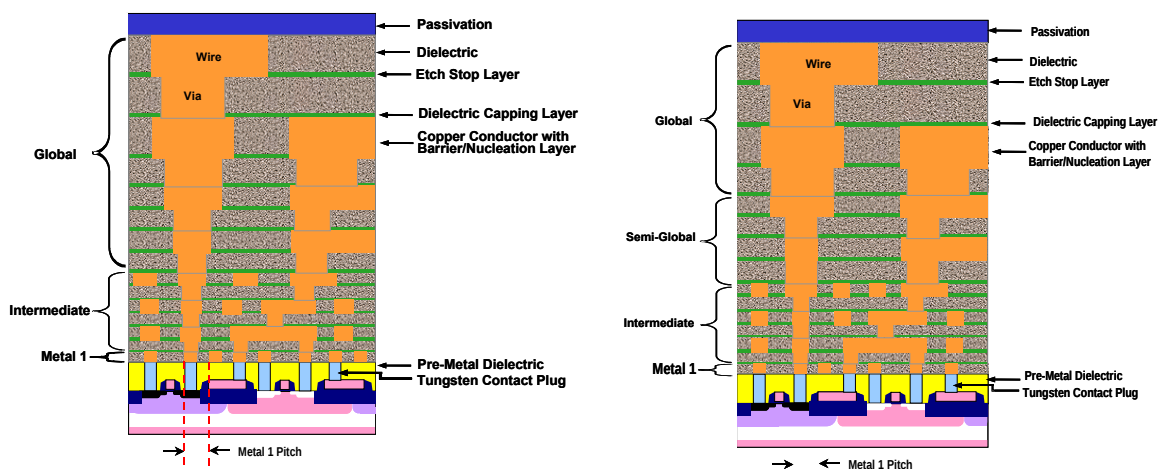


Figure INTC 5 Typical Cross-sections of Hierarchical Scaling (MPU Device (left), ASIC Device (right))

短期的な絶縁膜のニーズには、配線間絶縁膜およびエッチストップのためのより低い誘電率の材料、デカップリングおよび MIM 容量のためのより高い誘電率の材料、FRAM (Ferroelectric Memories) のための高い残留分極を示す材料が含まれる。これらの新しい材料の熱的、機械的そして電気的な特性は、プロセスインテグレーションに厳しい課題をもたらすことになる。長期的には、高周波における絶縁特性がより重要となり、低損失の導波路として機能するために十分な光学的コントラストを持つ光学材料が要求される。

絶縁膜 CMP と CMP 後の欠陥低減における継続的な改善は短期的に必要とされるだろう。代替となる平坦化技術の開発は、長期的な解決策候補である。Cu の CMP については、配線膜厚のスケーリングに伴って要求される性能を満たすために、エロージョンとディッシングをできるだけ小さくすることが必要となるだろう。低密度で機械的強度の弱い Low- κ 絶縁膜に適したものとして(終点検知と併せて)、平坦化プロセスを改善していくために、より一層の研究が必要とされる。CMP 後洗浄の改善が、将来のデバイスに要求

される低欠陥密度の達成を左右することになる。エッチング、レジスト剥離およびエッチング後洗浄は、エッチストップ層と拡散バリア膜に対して望ましい選択性を保持しつつ、Low- κ 絶縁膜を劣化させないように開発されなければならない。エッチングおよび成膜プロセス中の低ダメージ化または無ダメージ化が目標であり、特に、より薄いゲート酸化膜や新規ゲート絶縁膜材料が導入されるにあたって重要である。

Table INTC 6 MPU Interconnect Technology Requirements

Table INTC 7 DRAM Interconnect Technology Requirements

Table INTC 8 Interconnect Surface Preparation Technology Requirements

プロセスモジュール

序論

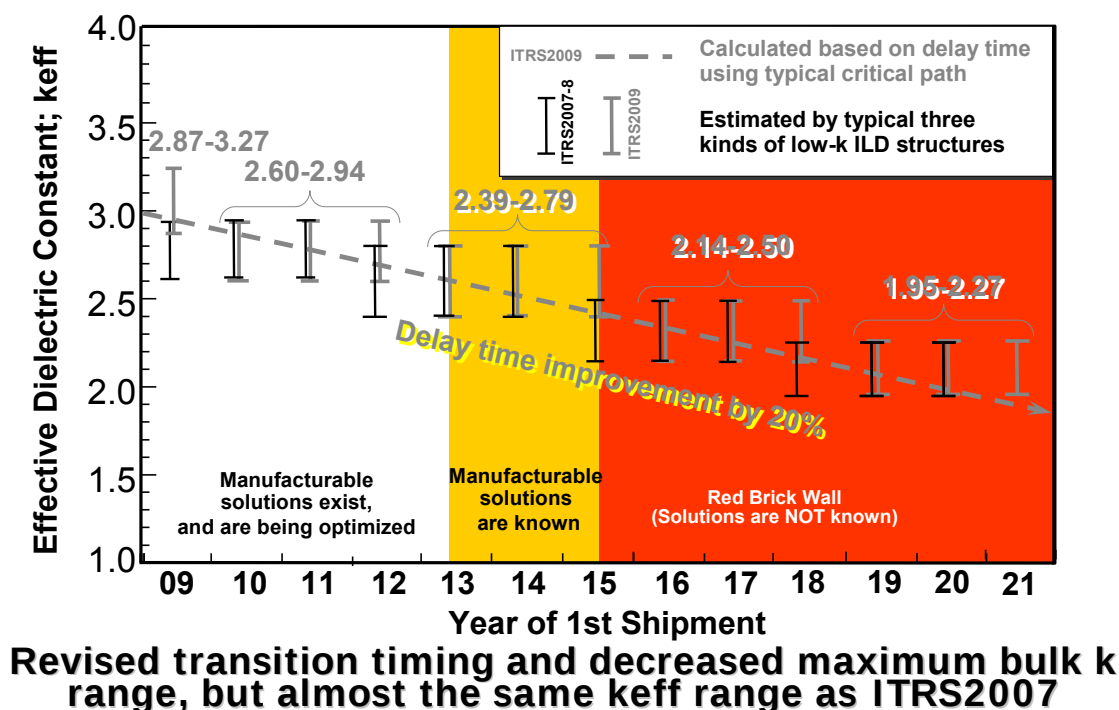
絶縁膜

デュアルダマシンは、Cu 配線構造を形成する上で広く使われているプロセスである。特に、デュアルダマシンは、シングルダマシンの比、少しのメタル成膜と平坦化工程を追加するだけであるが、1997 年から使われてきた。導電体材料に Cu を使うことへの徹底的な検討と開発が進められ、従来の酸化膜に比べ、より低い誘電率(κ)の絶縁膜と組合せることで、配線容量の低減が実現されてきている。アドバンスド Low- κ 材料の導入のペースは、量産コストと信頼性の問題で、初期の ITRS の予測よりスローダウンしている。

Low- κ 材料は主に配線内／配線間絶縁膜(ILD)用途を目的にしていたが、典型的に高い κ 値を持つ他の絶縁膜の実効誘電率への影響が増大してきている。実効誘電率は、バルク κ 値の減少に比例して下がるわけではない。さらに相対的に誘電率の高い膜層の薄化は、すでに可能な限り薄くなっているため、ILD よりますます厳しくなっていく傾向にある。付録(Appendix)にある Figure A1 と A2 は、配線構造の断面と対応する実効誘電率を示している。伝統的に、誘電率の最も高い層は、Cu の拡散バリアである。ILD の上層で、ポーラス Low- κ 膜を CMP やプラズマ成膜時のダメージから保護するのは誘電率の高い膜であったが、エアギャップの導入でこれらは犠牲層になる。膜厚と拡散バリア膜のバルク κ 値の低減が RC 遅延の抑制には重要になる。これに加えて、容量低減には、信頼性向上も含めて、拡散防止膜の前処理が検討されている。配線／ビアホールサイズ／スペースが微細化し、エレクトロマイグレーション(EM)や TDDB が劣化している。拡散防止膜界面は、密着性向上と欠陥低減、ダメージ抑制などが必要とされる。

ILD の κ 値の低減が量産の課題からスローダウンしている。Low- κ 材料の機械的強度、密着性が弱く、それらの使用の障害となっている。CMP 時の膜剥がれとダメージは初期には大きな課題であったが、量産に入ると、実装工程で与えられるストレスに耐えるために必要な硬度と密着性を実現しなければならない。ポーラスウルトラ Low- κ ($\kappa \leq 2$) 膜のインテグレーションに関連した課題が明確になり、エアギャップ技術は、前回の ITRS での予測より早くに導入される見込みである。

プロセスデザインキットの開発コストの増大がゆえに、いったんプロセス技術を構築すると、相対的にマイナーな変更のみがその改善の中で行われる。将来的には、新たな世代に移行するときに、新たな材料が導入される。ILD のバルク κ 値や実効誘電率のロードマップを Figure INTC6 に示した【訳者注：原文は Table INTC6 となっている】。2007 年版からの Low- κ のスローダウンは、2008 年アップデート版に部分的に反映された。本年版では、この傾向は、実際の新たな技術導入のペースに比べ Low- κ 開発の遅れにより、1 年後ろ倒しを反映している。



メタル前層間絶縁膜(PMD)

メタル前層間絶縁膜(PMD)のポテンシャルソリューション(Figure INTC7)は、大幅に改訂された。PSG(燐ドーピング酸化膜)【注；原著では“Phosphorous-doped spin-on glass”となっているが、“Phosphorous-doped silicate glass”が正しい】やBPSG(ボロン・燐ドーピング酸化膜)はもはや、重金属のゲッタリングには使われないために、候補から消えた。Low- κ OSG、MSQやHSQもまた、MOSFETの移動度改善のために使われるhigh- κ ストレスライナーが、PMDレベルでの容量を支配するために候補ではなくなった。

κ 値低減の要求が進む中、埋め込み能力の要求が一層、重要になってきている。微細コンタクトを均一に形成するために、トランジスタのサイドウォール間のスペースをボイドなく埋め込まなければならない。通常の方法とコンフォーマルな成膜を組合せることが、微細ピッチを低コストで埋め込むことを可能にする方法である。熱及びプラズマ CVD 酸化膜とその平坦化はもはや充分ではなく、またメモリの容量を稼ぐのにも最も効果があるとは言えず、結果として、NAND フラッシュでは 3 次元スタックメモリセルが報告されている[1、2]。これらのデバイスでは、メモリセルのゲート電極は段差構造を持ち、大きな段差は、メモリセル領域と、周辺回路領域の形成時にできてしまう。このように形成された段差の表面は、ボイドの発生なく絶縁膜で埋められ、各ゲート電極にコンタクトホールが形成される。このプロセスでは、通常の CVD に比べ、遥かにギャップ埋め込み性のよい SOD【塗布絶縁膜：原著と略号⇔正式名称入替え】が必須である。

この場合、通常の表面状態ではない比較的大面積部分を埋め込むための塗布の条件が検討されている。SOD は CMP による平坦化への耐性がなければならない。

従来のLow- κ ILD

最大の変更は Al から Cu に変わったことで、ダマシンプロセスが配線形成のうえで主流のプロセスになってきた。ダマシンプロセスは、絶縁膜中のトレンチやビアを埋め込むのが Cu なので、絶縁膜に優れた段差埋め込み性を要求しない。プラズマ CVD 酸化膜は、HDP の酸化膜よりギャップ埋め込み性は劣っているが、Cu 配線の当初から ILD 材料として使われてきた。上層の数層配線では、主に電源やグランドラインに使われるが、実装工程中のクラックやはがれを回避するための高い機械的強度を有することが、容量低減より重要になっている。コストのメリットがあるプラズマ CVD 酸化膜は、厚膜の層に使用され続けることになる。

薄い配線層からなる下層の何層かは、実効誘電率を下げるのはまだ厳しい状況にある。配線容量低減のために多くの Low- κ 材料が層間／層内の絶縁膜に使用されているが、Low- κ 材料の機械的あるいは化学的強度が弱いために、そのインテグレーションにはまだ多くの困難さがある。これらの材料特性の更なる改善は、設計や構造の変更と同様に、ポーラス絶縁膜のインテグレーションにも要求される。

塗布絶縁膜は CVD に比べ、プリカーサへの依存性が小さいという利点があり、すなわち、ひとつの装置でポロジェンを含む多くの材料を扱うことができる。ポーラス材料を含む様々な塗布系 Low- κ 材料が検討されているが、プラズマ CVD の SiCOH が Low- κ ILD 膜の主流となっている。ノンポーラスの塗布系材料は、いくつかのケースを除き使われていない。 κ 値 2.4 以上の塗布ポリマーと塗布 MSQ は、実際のロジックやメモリに使われそうではなく、したがって塗布系材料はポーラス MSQ を除き、ポテンシャルソリューションの図から消え去っている (Figure INTC7 参照)。

急速なポーラス Low- κ ILD 材料の採用による実効誘電率の低減のため、エッチング、CMP、ポーラス ILD 層上への成膜などのプロセスインテグレーションの課題に取り組まねばならない。ポーラス ILD のリソグラフィは、通常、レジスト塗布の均一性確保とレジスト除去時のダメージ防止のために緻密な膜が必要である。酸化膜はこのハードマスクとして幅広く使われてきた。しかしながら、Low- κ ILD はハードマスクデポの初期に段階で活性な酸素によりダメージを受ける。ハードマスクとダメージ層は、特に層間で、容量低下のために除去しなければならない。それらの層は、プロセスステップ数を抑えるために、好ましくはバリアメタルが除去された後の CMP で除去されるべきである。しかしながら、ポーラス Low- κ 材を CMP 雰囲気中に晒してしまう。平坦かつ清浄なポーラス Low- κ ILD を作り出せる表面 CMP の改良や他のプロセスの開発が低実効誘電率配線形成の成功への鍵となる。

トレンチやビアホール形成のためのドライエッチングも Low- κ ILD にダメージを与える。活性種によるダメージを最小化するために、“クローズドポア”ポーラス Low- κ 材料が熱心に検討されている。エッチングダメージ低減や *in-situ* ターミネーションによる κ 値回復に多大な努力がなされている。ウルトラ Low- κ ILD (κ 値 2.3 未満) では厳しい性能要求に見合う開発が重要になっている。

ポーラスあるいはウルトラLow- κ 膜の形成には、ポロジェンの分解や揮発、機械的強度を高める化学結合の架橋などの適切なキュア技術が要求される。紫外線、電子ビームのアシストは、低温キュアプロセスに共通して使われてきたが、多層積層薄膜配線への適用に当たって、コスト効果や下地への影響は厳しい展望をもたらしている。凄まじい努力にも拘わらず、ILDのバルク κ 値を下げても、 κ 値が 2.0 を下回るや否や、インテグレーションにおける機械的特性やポーラスLow- κ 材料のプラズマダメージのために、実効誘電率は十分に下げられないという広いコンセンサスが形成されている。 κ 値 2.0 未満のウルトラLow- κ 材料は、*Emerging Research Materials*の章で論じられている。実効誘電率を下げる異なる設計・構造上 (材料とは対照に) のアプローチは (以下に示すように)、ILD層にエアギャップを導入することである。

拡散防止絶縁膜

拡散防止絶縁膜は通常の Cu 配線構造では最も高い κ 値を持つのが常である。従来の Cu ダマシンプロセスフローでは、Cu 配線の底部や側壁は、Cu シード層の前に形成されるバリアメタルで覆われている。CMP 後には Cu 配線の上部のみが拡散防止絶縁膜で覆われている。拡散防止膜はピンホール欠陥がなく、ビア形成時のエッチストップ層の役目も必要である。これらの層については 2007ITRS の“ビアエッチストップ層”の項を参照されたい。

SiN【シリコン窒化膜:原文と入れ替え】は、 κ 値が 6 を超えるのだが、プラズマ CVD の ILD とともに、Cu 配線の初期の頃の拡散防止絶縁膜として採用された。 κ 値が 4 より小さい SiC、SiCN、SiCO [3]などの Low- κ ILD 材料が導入され、実効誘電率の低減のために拡散防止絶縁膜として使用されている。ILD 層の厚さが薄くなると、拡散防止膜の κ 値の実効誘電率への相対的な寄与は大きくなる。今日、より κ 値の低い拡散防止膜の代替物は用いられていないが、拡散防止膜の薄膜化と κ 値の低減は厳しく要求されている。

メタルキャッププロセスは、Cu 配線上に選択的にメタルバリアが成長するもので、Low- κ ILD と Cu 配線間に拡散防止膜の挿入を割愛できる可能性を提供する。メタルキャッププロセスには選択性が不完全なために、その遷移の時期には、キャップメタルと拡散防止絶縁膜が共存するが、そのような冗長な組合せは、最終的にはコスト手減のために回避される。

拡散防止キャップ絶縁膜

拡散防止膜と Cu 配線の上部の界面はダマシ Cu 配線の信頼性に直接影響する[4]。メタル間の最小線幅は通常、Cu 配線とビアの界面付近でミスアライメントを呈する。時間依存絶縁破壊(TDDDB)とエレクトロマイグレーションの信頼性は、界面の清浄度に強く影響される。エレクトロマイグレーションの支配的なパスは、バリアメタルに覆われていない Cu 配線の界面にそっている。より良い界面形成の要求は、メタル線幅とスペースが狭くなるにつれてより厳しくなり、EM と TDDDB 寿命が短くなる。

メタルキャップは Cu 上の絶縁膜バリアという通常の構造に比べてより長い EM 寿命を与えることが見られている。キャップメタルは Cu 配線上に選択的に成長し、配線とビア底間に強力なメタル接続を形成する。キャップメタルは、リーク電流防止や TDDDB のために、ファインピッチの Cu 配線にほとんど完璧に成長させなければならない。選択性はメタル間の絶縁膜の洗浄により向上できる。しかしながら、洗浄プロセス自身もまた、選択性の問題がある。Cu 合金やバリアメタルの最適化による EM 寿命の向上が研究されている。いくつかのメタル材料が考えられるが、Cu 配線の抵抗を上昇させてしまう傾向にある。最適解にいたるためにはたゆまぬ検討と開発が必要である。

より良い界面の特性を与える他のプロセスは、拡散防止絶縁膜形成前の Cu の前処理である。モノシランとアンモニアのプラズマによる *in-situ* の CuSiN 形成は、拡散防止絶縁膜形成と同じ装置で行われるが、TDDDB の劣化がなく、かつ、より長い EM 寿命をもたらす[5]。Cu 配線の抵抗はシリコンの拡散条件に依存するが、シリコンへの暴露と窒化は注意深い制御が必要である。最近になって、モノシランに替わってゲルマンを用いた CuGeN の形成が報告された[6]。CuGeN の抵抗は CuSiN より制御しやすい。

モノシランやゲルマンのソースは、アンモニアとの組合せにより量産に適したプロセスになる。しかし別の材料を用いた他の強力な処理プロセスがある可能性も残っている。最近報告された不純物金属ドーピングによる Cu のマイグレーションを防ぐための前処理もまた、高信頼の界面形成のためのポテンシャルソリューションである[7]。

First Year of IC Production	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024
PRE-METAL DIELECTRIC (PMD)																
HDP silicon dioxide ($\kappa = 4.2$)																
SA CVD ($\kappa = 4.5$)																
INTER/INTRA LAYER DIELECTRIC (ILD)																
PECVD silicon oxide ($\kappa \sim 4$)																
PECVD SiCOH ($2.8 \leq \kappa \leq 3.2$)																
PECVD porous SiCOH ($2.4 \leq \kappa \leq 2.7$)																
PECVD ultra-porous SiCOH ($2.0 \leq \kappa \leq 2.3$)																
Spin-on porous MSQ ($2.0 \leq \kappa \leq 2.3$)																
Alternative air-gap ($\kappa \leq 2.0$)																
DIFFUSION BARRIER DIELECTRIC																
CVD silicon carbide ($\kappa > 3.5$)																
CVD silicon carbide ($\kappa \leq 3.5$)																
PECVD SiCOH ($\kappa \leq 3.5$)																
PECVD porous SiCOH ($2.4 \leq \kappa \leq 2.7$)																
Spin-on porous MSQ ($2.4 \leq \kappa \leq 2.7$)																
CAPPING BARRIER DIELECTRIC																
CuSiN or CuGeN																
Alternative treatment on Cu before diffusion barrier deposition																

This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required

Development Underway

Qualification / Pre-Production

Continuous Improvement



Figure INT-C 7 Dielectric Potential Solutions

エアギャップ

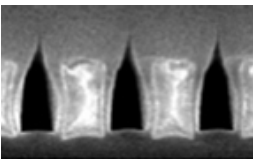
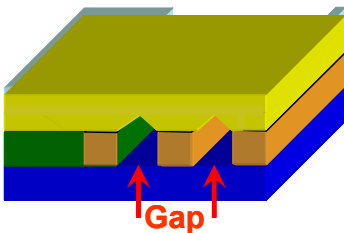
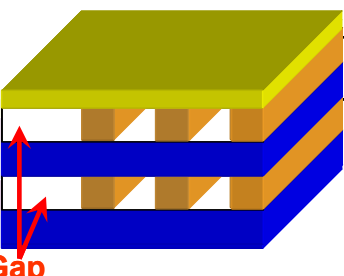
ポーラス Low- κ 材料は、弱いインテグレーション強度で、プラズマエッチングからのダメージに耐えねばならない。 κ 値 2.0 以下のポーラス Low- κ 材料では特に難しいと考えられる。ウルトラ Low- κ 材料からエアギャップに徐々に移行することは、いまや現実となる可能性が高い。Low- κ 材料とエアギャップのハイブリッド構造は、近い将来に実効誘電率を下げるのに最も現実的な解になるであろう。

配線へのエアギャップ構造の導入は、次の 10 年の半導体デバイス製造において、最も顕著な挑戦項目のひとつになるであろう。エアギャップ形成にはいくつかのインテグレーションの方法や構造が報告されて

いる。それらはギャップの形成が上層メタル形成の前後かで、二つのカテゴリーに分類される。Cu ダマシン配線構造へエアギャップをインテグレーションするために、Cu の CMP がギャップのない状況で行えるように、メタル配線間の犠牲材料層は除去されなければならない。

エアギャップが上層メタル形成の前に行われる方法では、犠牲層の部分は CMP 後に除去され、エアギャップが埋め込み性の劣る絶縁膜成膜により形成される [8, 9]。除去された部分は、主に犠牲材料からなる。ギャップの形状は、成膜のコンフォーマリティーとメタル配線のアスペクト比と配線間スペース幅により決まる。ほとんどの層間絶縁膜形成時のギャップ形成の場合、エアギャップは、狭い配線間スペースを持つ領域に形成されるが、絶縁膜はスペース幅が広い領域にも成膜される。これにより、パターンの疎密領域で ILD の総厚さが異なることになり、平坦化工程を必要とする。他の方式では、ドライエッチングのトレンチ側壁へのダメージを利用する。上層配線形成前の均一なギャップ形成は、微細ピッチの配線において、重大なミスアライメントの課題を抱えている。ミスアライメントのビアは、メタル配線上には存在しない。ビア開口がエアギャップ領域であれば、それに適したバリアメタル形成や Cu の埋め込みはあり得ない。エアギャップ形成から上層のビア周辺をビア禁止領域とする方法もあるが、余分なリソ工程を含むなどプロセスステップの増加によるコスト高となる。

上層配線形成後にエアギャップをインテグレーションする方法では、ギャップ形成前のメタライゼーションでビアはメタルで埋められており、ミスアライメントの心配がない [10~12]。多層の犠牲部分を除去することは、プロセスステップ数を最小化する点でも望ましい。この方法で使用する除去プロセスは、チップ全体の機械的強度を劣化させるような大きなギャップを形成する。機械的強度を満足するエアギャップ構造開発のために、絶え間ない努力が必要とされ、最小のステップで構成されねばならない。

Process	Schematic	(Dis)advantages	
CVD gap process  T.Harada et al. (IITC2006)	 Gap	Process step increase Additional lithography and removal process steps for each wire level	
		Mechanical strength Air-gap region can be defined by lithography	
		Borderless capability No Cu-filling capability due to via to under-metal misalignment	
Gap formation by removing sacrificial material  R.Daamen et al. (IITC2007)	 Gap	Process step increase Minimal process step increase by all-in-one post-removing process	
		Mechanical strength Poor mechanical strength by air-gap formation in a whole wafer	
		Borderless capability Not sensitive to via to under-metal misalignment	

A realistic air-gap formation process should be proposed with minimal process step increase, maintained mechanical strength and sufficient borderless-via capability.

Figure INTC 8 Typical Air-Gap Integration Schemes

エッチング/レジスト除去/洗浄 解決策候補

32nm 以降の世代では、Cu 配線の RC 遅延を低減するために k 値が 2.3 以下のポーラス Low- k 絶縁膜が必要となる。インテグレーション後の実効的な κ (κ_{eff}) 値として 2.6 以下が要求される先端技術世代では [1]、バルク Low- k 以外の絶縁膜についても κ 値を下げていく必要がある。現在使われている SiOC 系の膜を薄くしても、バルク Low- k 材料の k 値を 2.3 以下にするだけでは要求を満たすことはできない。

最終的な κ_{eff} 値はどのようにプロセスをインテグレーションするかによって左右される。特にエッチングとアッシングは Low- k 材料にダメージを与えやすい工程であり、欠陥だけでなく電氣的信頼性にも影響する。そして、次のような課題があげられる。

- プロファイル制御、つまり線幅と深さの CD 制御は、インテグレーション手法とエッチングプロセスに直結する問題である。垂直形状の要求が主流で、信頼性を考えると妥当な要求だが、エッチ後のメタル埋め込みステップ (PVD、CVD) にとってはテーパ形状のほうがボーイング形状よりも望ましく、微細化にとって重要な課題である。
- プラズマ起因のダメージによる絶縁膜特性の変化。これにより κ 値は上昇し、電氣的信頼性も影響を受ける。Low- k 絶縁膜のポアのネットワークを介して活性種の拡散や吸湿が進むことに起因する。バリアメタルのプリカーサが拡散し材料特性が変化することも懸念される。
- 側壁と底面の表面粗さ。プラズマによりダマシ構造の底面荒れや、フォトレジストと共に側壁荒れの原因になる。このためバリアメタルを 3nm 以下の薄さで欠陥のない連続膜を形成することが困難になる。これは信頼性と電気特性バラツキに大きく影響する。
- ハードマスクのインテグレーション手法。これにはメタルハードマスクと有機ハードマスクという2つの考え方がある。メタルハードマスクの課題としては、微細ダマシ配線の形状が材料のストレス緩和によって変形するウィグリング (Wiggling) 現象、底面がマイクロマスクされる可能性、エッチング後のマスク上にメタル残渣が不揮発性の反応副産物として残る懸念などがある。22nm 世代以降に向けてこれらの課題解決が求められる。有機ハードマスクの場合、マスク除去にアッシングを使うが、その時に表面に露出した Low- k 材料の劣化や、洗浄後の CD 寸法変動を避けなくてはならない。フォトレジストのリワークも有機ハードマスクでは問題となる。これらの課題に対し、多角的な検討が必要となる。

プラズマプロセス制御

エッチングのプラズマはエッチング対象の材料と構造ごとに最適化が必要である。テーパ形状のほうがボーイング形状よりもメタル埋め込みにとっては望ましい。テーパ形状はハードマスクのファセット加工とプロセス中の保護膜形成を上手くコントロールして実現する。底面の荒れを最小限に抑えるには、エッチングガスの炭素／フッ素比率およびイオン照射のフラックスとエネルギーを最適化する。エッチングガスによっては側壁が変質する可能性もある。エッチング後のプラズマ処理によるフルオロカーボン種の除去や Low- k の回復などの開発を検討する必要がある。Low- k 劣化 (炭素欠損) の点では、 H_2 、 CH_2F_2 、 CHF_3 などの水素含有ガスのほうが O_2 、 CO 、 CO_2 などの酸素含有ガスよりも望ましい。

プラズマハードウェア制御

現在の容量結合型プラズマ (CCP) のプラズマ源技術を改善していくことで、一定のアスペクト比の下でのトレンチ・ビアの微細化と同様に材料に対するエッチング課題にも対応していけるだろうと思われる。Low- k 膜のポーラス化、ULK 材料、部分エアギャップなどの進展に伴い、メタルハードマスクを導入してアッシングダメージを軽減しようという傾向が強まってきた。メタルハードマスクの要求に対しては、現在の誘導結合型プラズマ (ICP) 技術の改善で対応可能と思われる。

エッチング処理の合間にチャンバクリーニングを行い、内壁をフッ素種の付着していない初期状態に戻しておく、というクリーニング手法の開発の重要性が増している。これにより電気特性のバラツキと欠陥を抑制する。上部電極の材料(シリコン系)、クリーニングガス(酸化系あるいは還元系)の選択が重要となる。

極端に高いエッチング選択性を得ようとするなら、プラズマ原子層エッチング (PALE: Plasma Atomic Layer Etching) [2~5]も候補となる。一原子層レベルの制御性とエッチングの選択性を実現するには、アクティブ制御とパッシブ制御を合わせて行う必要がある。パッシブ制御とは、エッチングガスに何を使うかという問題であり、本質的な反応性に基づいて所望のエッチレートを得ることである。アクティブ制御では活性化エネルギーをコントロールする。PALE は一層の除去を 2 つのステップで行う。ステップ 1 で、材料の表面一層分を変質させ除去するための活性化エネルギーを下地に対して下げておく。ステップ 2 でその表面一層を調整されたイオンエネルギーにより除去する。PALE によって側壁と底面の Low- κ の変形・変質を回避できるかもしれない。この技術の配線分野における適用をさらに研究し、エッチング形状やイオン侵入の影響を見ていく必要がある。

インテグレーション手法

CD の微細化やアスペクト比の制約から、フォトレジストは薄膜化する必要がある。ここで、加工用マスクの考え方としてはメタルマスクと有機マスクの2種類がある。ハードマスクの使用の有無に関わらず、高度に寸法制御を行おうとすれば多層レジスト方式が必要となる。こうした方法により LER が改善し、薄いレジストでの忠実なイメージ転写が可能となる[6, 7]。Low- κ 材料のポーラス化や部分エアギャップを用いる先端開発においては、アッシングダメージを抑制する為にメタルハードマスクを用いることで検討が進められている。メタルハードマスクの場合[8]、ダマシン構造上(主にメタルマスク上)のメタル残渣をエッチング後のプラズマ処理により除去する必要がある。

メタルハードマスクを使わない場合、Low- κ インテグレーションではレジスト除去が課題としてつきまとう。ダメージ無くレジストや残渣を除去するには、エッチングプロセス側の工夫も有効で、残渣となるデポ物を減らすとか、エッチストップ層の開口時の Cu 飛散のような物理的な飛散・再付着物を減らす、といった開発が考えられる。レジストや残渣除去時のダメージ低減にはプラズマ源の検討が有効で、マイクロ波プラズマでの還元反応などが考えられる。

ポーラスなULK膜のエッチングには、追加ステップとしてダメージ修復やポアシールが要求される可能性がある[9]。こうした要求によってエッチャーやアッシャーはマルチステーションのシステムに発展していくかもしれない。吸湿や水分とダメージ層の反応という問題を考えると、エッチング・アッシング・ウェット剥離・ダメージ修復・デガス・ポアシールというステップからなるプロセスフローの一括処理も必要となるかもしれない。部分ポアシールあるいは完全ポアシールを行うには、例えば NH_3 [10]やカーボンリッチ層を形成する CH_4 といったガスを使ってプラズマ処理を行う。これらのガスは化学反応により側壁のポアをシールする。こうしたプラズマ処理は、膜堆積などの他の解決策に比べ、ビアやラインのエッチングプロセス時に*in-situ*で出来る可能性があるという点がメリットである。*in-situ*化が出来れば高速サイクルタイム、低コストを実現し、かつ処理前に大気や洗浄などの化学物質に曝露される心配がなくなる。また、シリコン含有ガスや薬液を使った修復処理によっても絶縁膜表面の修復は可能である。

究極までいくとエッチングやアッシングの装置は PVD クラスタ装置のような形態になるのかもしれない。クラスタ装置であれば様々な材料が混在するプロセスや、残渣が大気に触れて除去し難くなるようなプロセスに対応できる。プラズマによるアッシング技術は将来性が懸念される。最先端の世代では代替技術が必要になるかもしれない。

クリーニング工程

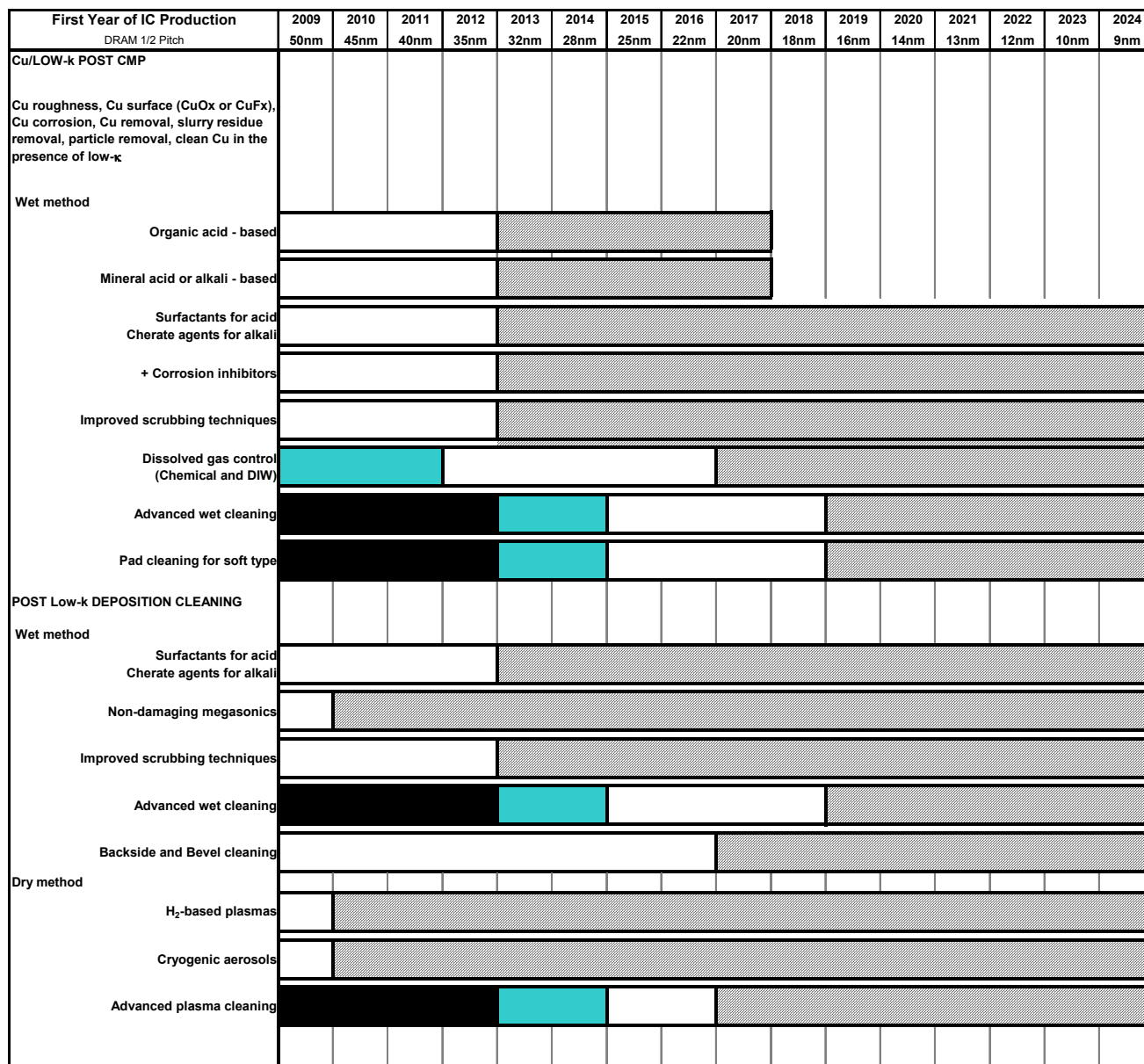
側壁ポリマーおよびメタル汚染物の除去にはウェット洗浄工程が必須となる。通常はデュアルダマシンのエッチング工程とメタル成膜工程の間に行われる。洗浄工程が必須な理由は、ポーラスな Low- κ 絶縁膜に捕獲されたフッ素系ガスや湿気、Cu の酸化、側壁ポリマー、これらが全体的な歩留に大きく影響するから

26 配線

である。また Cu 表面の状態管理は信頼性に重要と考えられている。エッチングとクリーニングの間の待ち時間も課題のひとつである。

このような点を判断基準として考えると、洗浄薬液に望まれる要件は、Cu の自然酸化膜とエッチ残渣を効率よく除去できること、かつ、Cu 表面の腐食と再酸化を防げること (Cu を電気化学的に安定化すること)、となる。

従来は溶剤系薬液を使うのが通例だったが、今後は希薄有機酸[10~12]を液相や気相で用いて効率化とコストダウンを計る手法が従来手法に代わって使用される可能性がある。プロセス時間は短く、薬液は常に新鮮であるのが望ましい。有機酸は Cu に対してキレート剤として働き、極希薄なフッ酸は側壁ポリマー除去と CD 制御の両立という課題の解決策となりうる。



This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required

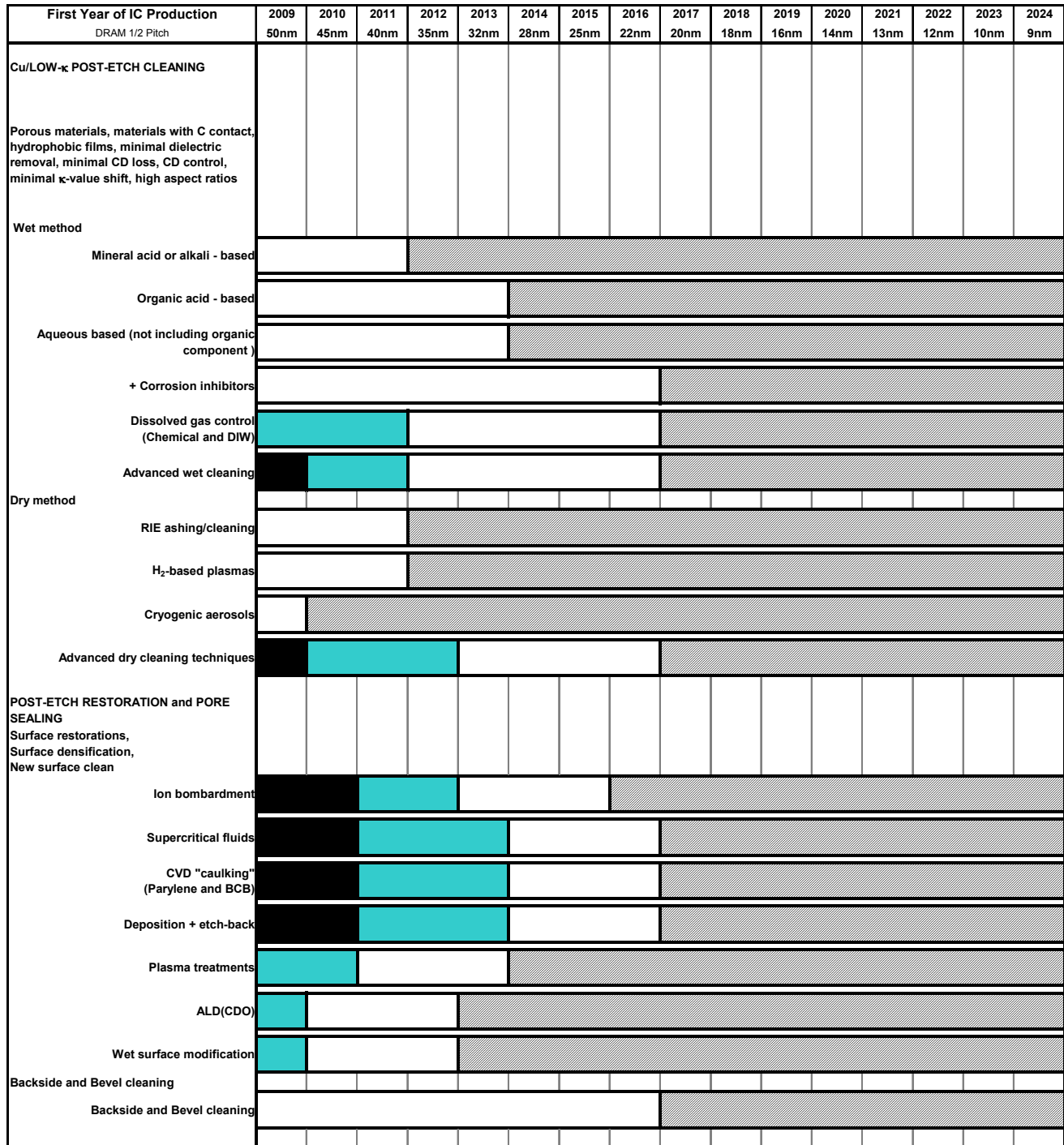
Development Underway

Qualification / Pre-Production

Continuous Improvement



Figure INTC 9 Post-CMP/Deposition Clean



This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required
Development Underway
Qualification / Pre-Production
Continuous Improvement



Figure INTC 10 Post Dielectric Etch Clean

拡散防止(バリア)膜解決策候補

タングステン(W)のローカル配線及び埋め込みコンタクトに対するバリア材料としてはTi/TiN[1]が当面の間、継続して使用されるだろう。長距離PVD、イオン化PVD、CVDのように既に確立している技術は、DRAMの高アスペクトコンタクトをキーホール無しで埋め込むWのために、継続的に改良がなされる。現在ALD(Atomic Layer Deposition)によるTi/TiNが開発中であり、これを用いることで、W埋め込みを困難にするコンタクトホール上部でのピンチオフをなくすことができ、Wの埋め込み性能向上が期待できる。Ti/TiNバリア膜は技術的に改善されてはいるが、膜厚の要求値と高い抵抗率のため、コンタクトプラグ抵抗が高くなってしまふ要素の最大のものであろう。WN[2、3]のような、コンタクトプラグへのALDバリアの開発は進行中であり、Ti/TiNに対してバリア抵抗と膜厚の両方を低下できるようになる。その結果、コンタクトプラグ抵抗のうちバリア金属が占める分を低下させることができる。

高アスペクトコンタクトに対する新規材料や埋め込み技術の探索も進められており、これにともない、現状のコンタクト／バリア／導電膜という複雑な構造は、よりシンプルなものになっていくだろう。TiNやWNの本来の目的は、W-CVDのプリカーサであるWF₆によるTiとFの反応の防止であることから、フッ素を含まないプリカーサを用いれば、バリア膜を完全になくすことが可能になる。コンタクトスタッドにWに換えてCuを使用することも検討されている。この場合、従来のPVDでのTa₂N₅/Ta [4]、Ti [5]、Ru、もしくはALD膜がバリア膜として使用される。

Cu配線に使用される拡散防止材料は隣接する酸化膜へのCuの拡散を防止するためのみではなく、界面でのCu配線の空孔拡散を低減し、十分なエレクトロマイグレーション耐性を確保させるような高品質なものでなくてはならない。Ta₂N₅/Ta [4]は工業的に主流な材料であるが、その他の窒化物やシリコン窒化物も有望な材料である。イオン化PVDやCVDによる膜形成は(長距離スパッタは過去のものとなった)、将来のデュアルダマシン構造の側壁への被覆性に対する要求にこたえるために改良され続けている。事実、イオン化PVD [6]の技術は改善されて、22nm世代まで使われ続けるであろう。加えて、ロジック製品の上層グローバル配線の最小寸法とアスペクト比は将来もほとんど変更されないため、PVDバリア技術が使用され続ける。しかしながらこれらのPVD成膜技術では、デュアルダマシンの溝の上部を狭めてしまうため、Cuの電気めっきによる埋め込み性に限界がある。

将来主流となる解決策として期待されるALDバリア[7~10]の開発に、非常に多くの努力が払われている。ALDのTa₂NとWNCが開発されはじめているが、エレクトロマイグレーション特性が十分に得られるのかどうか、Cuとの界面状態について疑問が残る。解決策候補のひとつとして、電気めっきCuとの良好な界面状態を得るために、PVD-Cuの上にPVD Taのごく薄い層を形成する方法がある。ALDのRuはその上に直接電気めっきCuを成膜することが可能で、界面状態も良好だが、バリア性については疑わしい。さらに進んだ解決策候補は二つあり、一つはALD-Ta₂N/ALD-Ru、もう一つはALD-WNC/ALD-Ruの2層構造バリア金属である。ALDバリア膜を採用するための最も大きな問題点は、ALD膜形成の材料であるプリカーサ原料が多孔質Low-k膜内の空孔へ浸透することである。低誘電率膜の側面をチャンバ内で改質処理をすることによってこの問題を解決できるかもしれない。ALDバリアのもうひとつの問題点は、低いスループットである。これは、PVDバリアシードに対して、ALDバリアシード技術に必要とされるフロアスペースとCoOの増加をもたらすことになる。

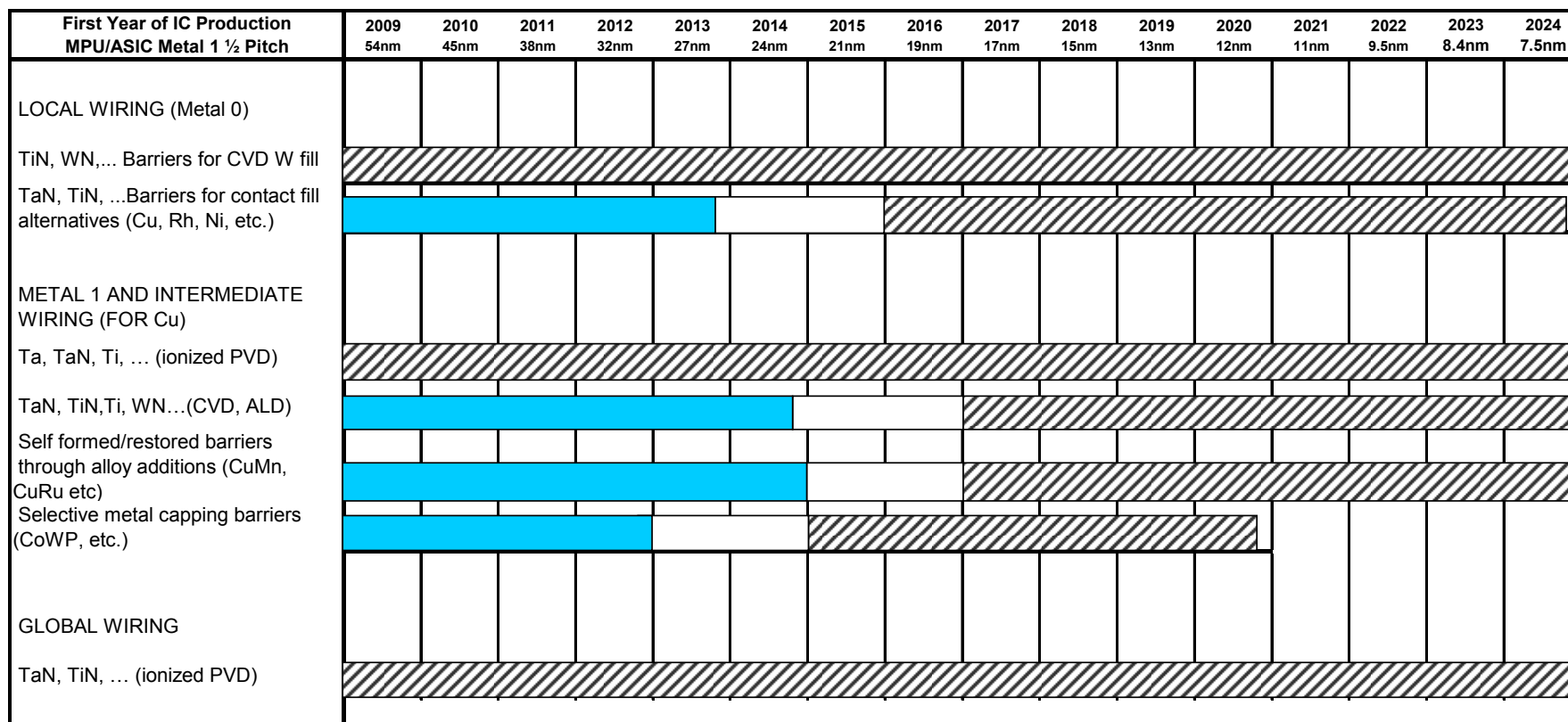
Cu配線技術のひとつの有望な開発として、自己形成バリア、特にCu-Mn合金がある[11]。このプロセスでは、PVD-Cu-Mn合金シード層を使用することで、PVDバリアを除去できる。電気めっきCu成膜後にアニールすることで、Cu表面にMnが拡散し、薄膜バリアを形成する。アニール後のCuの最上面に析出

30 配線

したMnはCMP工程で除去される。このプロセスのもうひとつの優位点は、Mnが下層ビア領域にバリアを形成しないことである。その結果、ビアはCu-Cu接続となり非常に低抵抗となる。

メタルバリアのもうひとつの注目点は、Cu配線の上側界面である。この目的のためには、主としてSi₃N₄、SiCN、SiCのような、プラズマCVDによる絶縁膜バリアが使用されている。これら絶縁膜の不利な点は、エレクトロマイグレーションを劣化させること、及び、誘電率が高いため実効誘電率が高くなってしまうことである。ハーフピッチ32nm以下のMPU/ASICへの適用を目指して、エレクトロマイグレーション耐性を改善するCu配線の上側界面の修正が検討されている。W[12]、CoWP[13]、NiMoP [14]、CVD-Co、CVD-Ru等のような、選択成膜可能な金属材料が探索されており、エレクトロマイグレーション耐性の大幅向上も確認されている。しかし、工業的には、選択成長金属キャップ膜は配線ショートによる歩留まり低下のリスクがあるため、導入には慎重になっている。キャッププロセスのもうひとつの有力な候補は、Cuとの上面界面へのCuSiN薄膜の形成である[15]。これは、Cu表面をSiH₄とNH₃で連続的にさらすことにより達成される。エレクトロマイグレーション耐性の改善は、CoWPを使った場合より大きくないが、メタル短絡やリークによる信頼性悪化を減少させることができる。

次世代向けのバリア材料と成膜技術の研究開発をさらに行っていく必要がある。バリア膜とCuとの界面での格子不一致のような性質や平坦性を改善することで、電子衝突効果によるCu配線の抵抗上昇を抑制する事ができるだろう。エレクトロマイグレーションと抵抗率上昇を同時に抑えながら開発する事が必要である。



This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required
Development Underway
Qualification / Pre-Production
Continuous Improvement

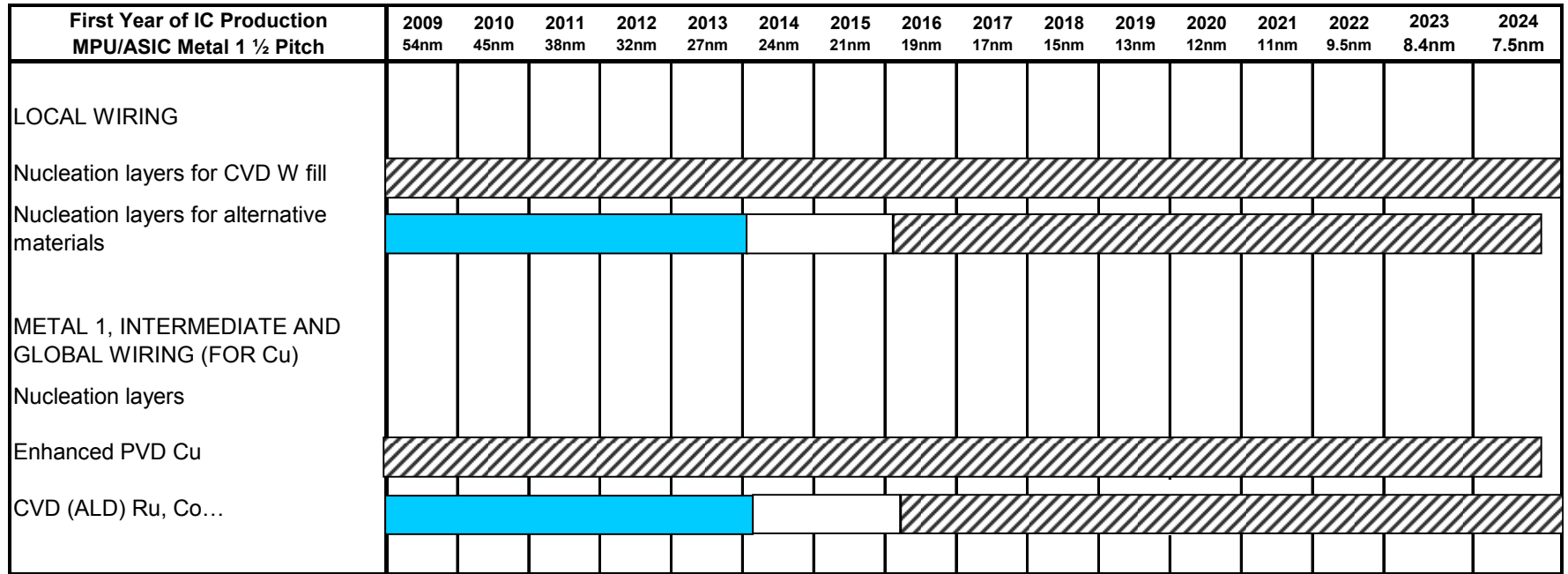


Figure INT-C 11 Barrier Potential Solutions

膜成長核形成に関する解決策候補

膜成長核形成層の微細構造部での均一性とカバレッジの良し悪しは、その次の導体金属の埋め込みがボイド無くできるかどうかの決定的な要因である。ローカル配線やコンタクト埋め込みにおいては、従来から高アスペクト比コンタクトへのW埋め込みを可能としてきたALD-Wによる成長核形成の継続的改善がなされるであろう。これらのALD核形成層は、通常非常に薄くなければならず、それによりプラグの伝導率は一般に改善されることになる。

ALD-WN[1、2]プロセスはバリアと核形成層を兼ねた膜で、CVD TiNの代替として開発されている。コンタクトプラグのWの代替候補としては、電気めっきCuである。Cuの核形成層[4]としては、ALDやCVDで成膜されるRu[3]やCoが候補である。Al埋め込みの場合、CVD-Alの核形成層をALDにすることで埋め込み特性を向上させる事ができ、この技術を継続して使っていけるであろう。DRAMの高アスペクトコンタクト埋め込みでの新たな材料とプロセスの開発は依然として継続中であり、これらに関してもALD成長核形成は必要となるであろう。メタル1や中間層配線、グローバル配線では、各種のイオン化PVD(ロングスローPVDと組み合わせられることもある)などの改善型PVD-Cu[5]が、Cu電解めっきプロセスの成長核形成技術として、今後とも主要なものとなる。これらのCu核形成技術の改善により、側壁カバレッジや均一性が向上しており、22nm世代まで使えるであろう。さらにPVDによるCu成長核形成は、より大きな寸法のグローバル配線では引き続き使用されるであろう。しかしながら、これらの改善型PVDもいつかはメタル1や中間層配線での信頼度の高い成長核形成層を提供出来なくなり、やがてはALD(水素還元Cu成膜技術を含む)に取って代わられるだろう。また無電解めっき[6]、ALD、エレクトログラフトCu技術[7]、などを含む複数のCu成長核形成の研究が続けられるであろう。ALD-Ru[8]はCu拡散に対して僅かしかバリア性を持たないが、Cu電解めっきに対して大変良好な成長核形成層であることが実証されている。このためALD-TaNやALD-WNCなどの他のバリア膜と組み合わせて用いられるものとみられる。PVD-Cuの側壁カバレッジが限界であることに対する別の解決策としては、電解めっきを用いた成長核層のリペア技術[9]がある。なお、よりスマートな解決策は、電解めっきプロセスやバリア膜を改善して自己核形成が可能になるようにし、Cu成長核形成膜を不要とすることである。



This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required

Development Underway

Qualification / Pre-Production

Continuous Improvement



Figure INTC 12 Nucleation Potential Solutions

導電体膜に関する解決策候補

“M0(メタルゼロ)”とよばれることもあるローカル配線は、隣接するトランジスタを接続するための極めて短い配線に限定される。MPU、ASIC、DRAM 等のコンタクトとローカル配線については、タングステンが引き続き使用されるだろう。ALD 技術は CVD と組み合わせて、シームのない W 埋め込みのために、まず利用されるようになっている。また、W-CVD では通常シランによる核生成ステップが用いられるが、これで形成される、Si リッチな W がプラグ内に占める割合が高くなるため、将来の技術世代においては、コンタクト抵抗が許容できないほど上昇してしまうことになるだろう。この Si リッチ層を極小化するか、この層をなくすことが目標となる。W のコンタクトプラグとの置き換えとなる材料とプロセスとして、電気めっき Rh[1]と電気めっき Cu[2]が検討されている。これらは“superfilling”(ボトムアップで膜が成長し、シーム形成の懸念がない)挙動を示す。スタックキャパシタ DRAM における高アスペクトコンタクト(2009 年には 20:1 になる)の W 埋め込みのためには、ALD による W 成膜の継続的な開発が必要である。最終的には、2010 年までにアスペクト比 25 を超えると予想されるスタックキャパシタ DRAM のコンタクトに対する長期的な要求に応えるために、新材料、新技術の開発が必要である。

MPU や ASIC のメタル 1 配線および中間層の配線としては、Cu 配線を用いるのが望ましく、めっきによる成膜技術が近い将来の市場においてもなお支配的だろう[3~5]。シームのない埋め込みやより高いアスペクト比に対応するために、電気めっき技術および装置の改良が継続的になされる。Cu CVD も微細化に向けて必要な技術である[6]。めっき技術と CEP(Chemically Enhanced Planarization)方式の CMP を統合することで、一台の装置で成膜と平坦化を同時に達成する技術も開発されている。しかしながら、成膜後アニールの間に Cu への熱負荷がかからないことは、グレイン成長には不利になり、信頼性に影響を与えるようである。これが CEP 技術があまり使われない理由かもしれない。通常の Cu の熱負荷においても、微小なダマシン配線中のめっき Cu を、優れたエレクトロマイグレーション耐性に要求される大きなグレインの竹状構造に変えるのが、困難になってきている事が報告されている。その結果、表面拡散と同様に Cu の結晶粒界は、将来にエレクトロマイグレーションの潜在的不良モードとして考慮されなければならない。Cu 配線のエレクトロマイグレーション耐性を改善する潜在的解決策は Cu-Al[7]や Cu-Ti [8]などの Cu 合金を使うことである。合金元素は、PVD-Cu 合金シード層を使うことで採用され、その後、めっき後のアニールで配線全体に拡散する。Cu-Al 合金と界面の絶縁体キャップを共に使用することで、エレクトロマイグレーション耐性を 50 倍改善できる結果が得られている。純金属配線と比較して、合金を使用することで、抵抗率の増加がみられる。

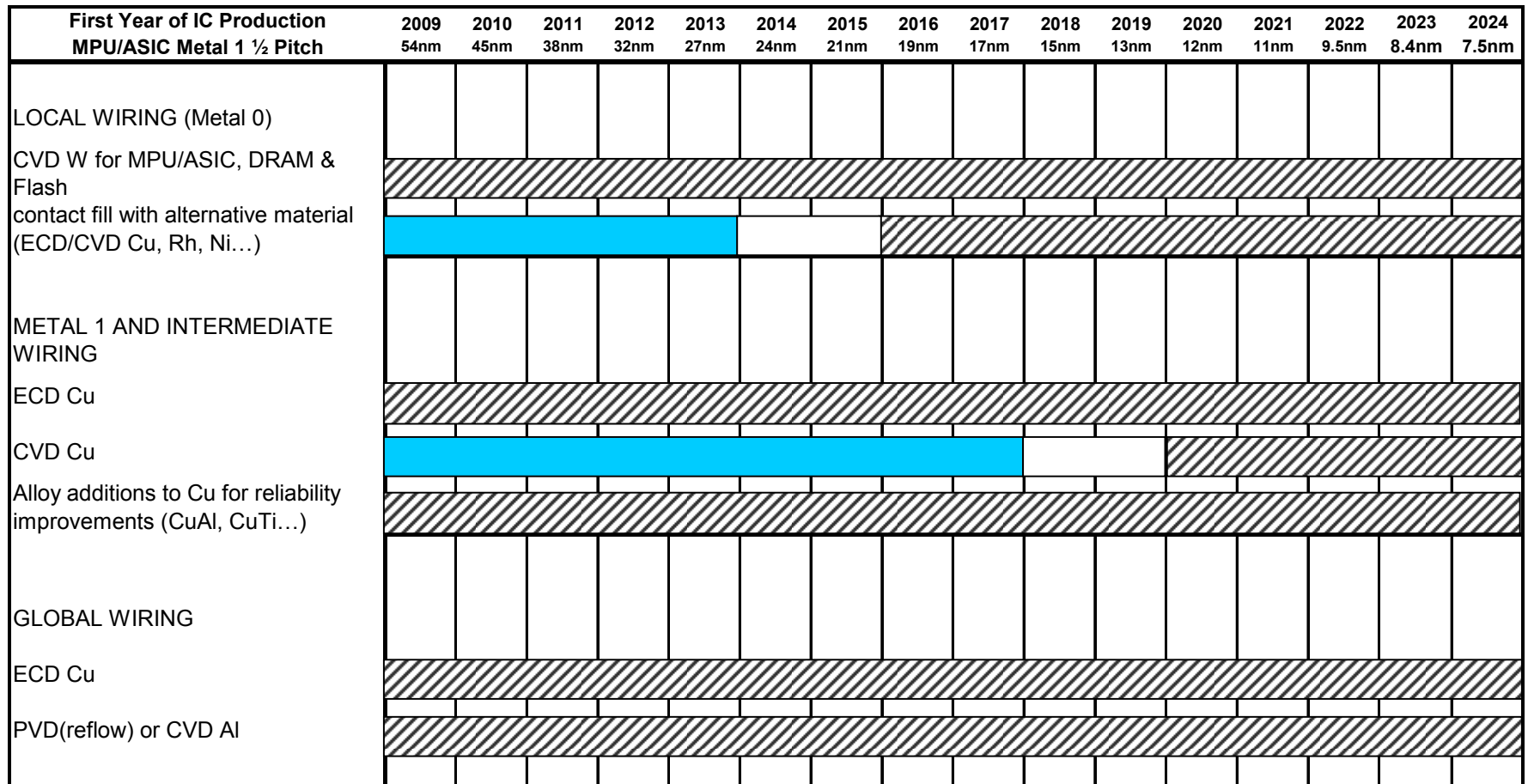
MPU や ASIC に用いられるメタル 1 配線および中間層の最小幅の Cu 配線には、電子散乱による抵抗増加がすでに起こっている[9~11]。しかし、これらの配線の配線長は技術世代に応じて短くなっているため、影響は最小限に抑えられている。グローバル配線のレベルでは、はるかに幅広い配線が用いられるため、サイズ効果の影響は最後まで受けないだろう。最小ピッチのグローバル配線の抵抗率はこの 10 年で 40% 程度上昇することが予想される。このことは、大きな問題である。なぜなら、グローバル配線は、より長い距離を引き回されるため、メタル 1 配線や中間層配線よりも、もっと特性に影響を与えやすいからである。この抵抗上昇の影響を緩和するためには、Cu の界面状態、微細構造、不純物レベル等の制御が必要である。

MPU の配線は階層構造をとっており、グローバル配線のピッチと厚さは上層ほど大きくなっていく。最上層のグローバル配線は世代が変わってもほとんど変わらないため、電子散乱の影響は受けないだろう。そのため、2009 年度版のロードマップ表ではグローバル配線ピッチは世代が進んでも一定としている。金属の抵抗は温度依存性があり、それゆえに、IC チップの冷却は配線伝導率を改善するひとつの潜在的解決策である。しかしながら、これはほとんどの消費財や携帯デバイスにとっては実用的ではない。グローバル配線にアルミ配線は使われ続けるであろうし、アルミの CVD やリフローズパッタ技術[12]もダマシン用に改善され続けるだろう。

他に設計上の手法として、リピータの使用、またはドライバーを大きくすることがあるが、両者ともチップサイズや消費電力に影響を与えてしまう。近い将来最も有望な解決策は、3 次元 IC を可能にする技術として

の高密度 TSV を使用することである。この技術を使用することで、すべての配線長を削減でき、多様な機能を実現できる Si 以外での解決策をも合体できる。配線幅が狭く抵抗が高くなっていくグローバル配線の影響を最小にするため、もうひとつの近い将来での解決策は、設計と信号選択、パッケージ技術、の適切な組み合わせである。また、これらの問題を解決するための高周波や光技術の利用について、膨大な量の研究開発が行われている。より、急進的な解決策には、超伝導、カーボンナノチューブ等がある。3 次元 IC のすべての議論、高密度 TSV のロードマップ、そしてその他は、“新しい配線コンセプトと急進的解決策”の節で記述される。

無線デバイスと通信分野の市場の増大は、配線層に作り込む受動素子のプロセスや材料への注力に拍車をかける。特に、歩留まりと信頼性を向上させるための、MIM キャパシタの電極形成方法および材料に注目が集まっている。Al も Cu も、標準的なスパイラルインダクタに使用されているが、様々な磁性体材料や、異なったインダクタのデザインがこれらのデバイスの面積を低減するために出現するかもしれない。



This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required
 Development Underway
 Qualification / Pre-Production
 Continuous Improvement



Figure INTC 13 Conductor Potential Solutions

平坦化に関する解決策候補

CMP は、既に先端配線技術では標準的な技術になっている。平坦化プロセスではウェーハ全体に渡り、過度に欠陥が無く、十分に平坦化された表面が要求される。デバイスサイズの縮小化、ウェーハサイズの大口径化は継続し、平坦化要求もそれに連れて益々厳しくなっていく。平坦化技術の概要、最近の課題と解決策候補について議論する。

CMP 採用以前の主な層間絶縁膜の平坦化技術には、ウェーハに RF バイアスを印加しながら成膜するバイアス CVD 法[1]、TEOS と O_3 などのような流動性を持つ熱 CVD 法[2]、スピン塗布による SOG 法 (Spin On Glass) [3] などであった。

配線の平坦化技術には、Al を成膜後に加熱流動させる方法 [4] や W などを用いられるブランケット CVD で成膜後にエッチバックする方法[5]がある。いずれの方法も、先端デバイスでは CMP に取って代わられていった。CMP が 1980 年代に最初に採用された時の目的は、層間絶縁膜 (ILD) の平坦化であった。その後、CMP は種々のデバイス構造・材料へ広く適用されるようになった。それぞれの技術世代に対して、CMP 適用プロセスは着々と増加していった[6]。標準的なプロセスであっても、種々の材料について単段の CMP プロセスだけでなく、複数段で行う CMP プロセスに対しても平坦化が要求され複雑化している。さらに微細化されたデバイスの平坦化も新たな重要なチャレンジとなってきている。Figure INTC14 に平坦化技術の概念を示す。

Brief History of Planarization Solutions

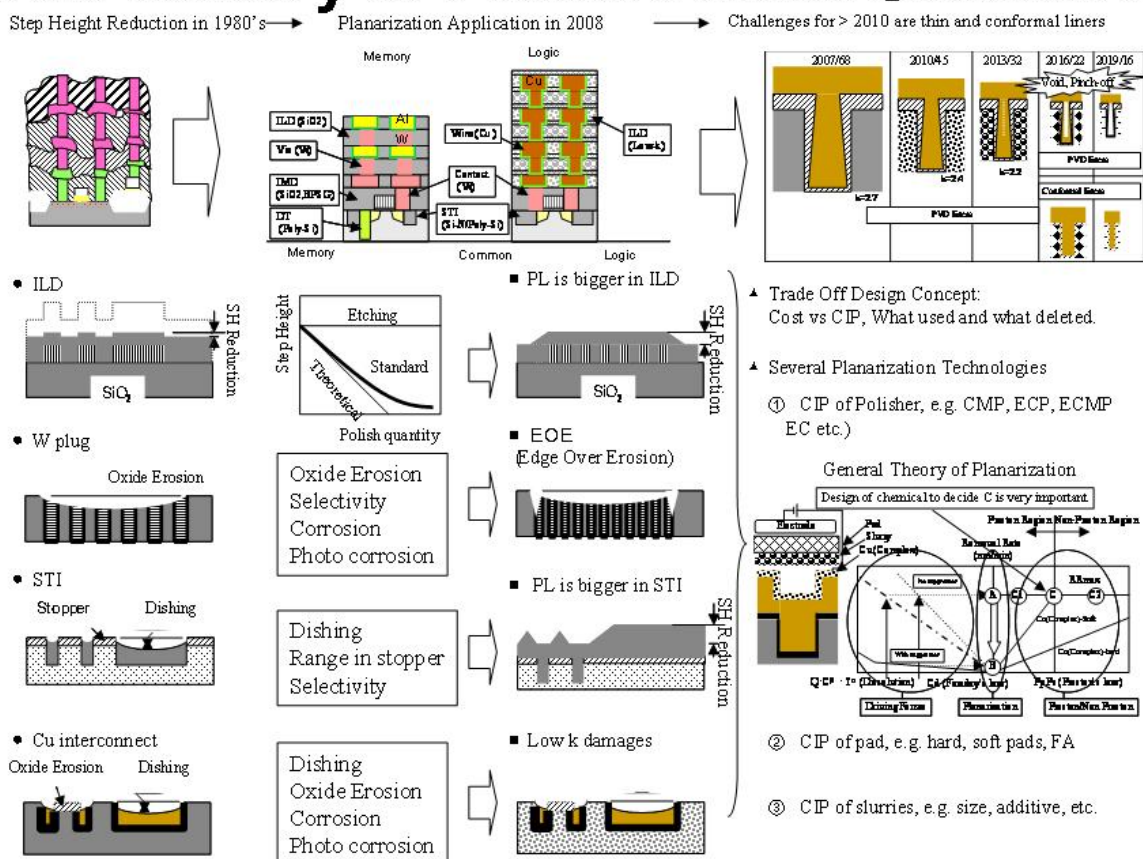


Figure INTC 14 Brief History of Planarization Solutions

Figure INTC15 と INTC16 に平坦化に関する課題と解決候補を 3 つの項に分けて示した。最初の項は、主なプロセスアプリケーションについての詳細を年代順に記載した。その他の 2 つの項、装置・消耗部材の解決候補についても、年代順に記載した。

絶縁膜系 CMP

大部分の IC デバイスでは、プリメタル絶縁膜 (PMD) CMP が最初の絶縁膜平坦化プロセスである。PMD 膜は平坦化された後、ゲートスタックを覆う所定の目標膜厚まで研磨される。

この CMP プロセスでは、欠陥の程度が重要である。DRAM では、高選択比 CMP によって絶縁膜研磨をゲートスタック上で止めることが通常行われている。

今日、ILD CMP が最も良く用いられるのは、メモリデバイスのストレージノード部と配線部である。Figure INTC14 に ILD CMP において、ライン&スペース幅の初期段差を最小にする方策を示す。微細化が進むに連れて、CMP 前の初期プロファイルは劇的に変化する。ライン毎に分離した段差に代わり、絶縁膜のほとんどが繋がり幅の広い平坦化距離 (Planarization Length) になってしまう。平坦化距離増加はフロントエンドプロセスの章で議論されている、Shallow Trench Isolation (STI) CMP にも見られる。さらに STI-CMP では平坦化性能に影響する Starting Material Wafer のナノボグラフィやロールオフ[7]を最小にする必要が有る。微細化の進行により、CMP 後の残膜厚さの許容値もより厳しいものとなっている。

デバイス構造や材料の変化は、新たな CMP アプリケーションを創出する。45nm ノード技術が始まり、メタルゲートが採用され始めた。メタルゲート形成のゲート・ラスト・プロセスにおいて、プリメタル絶縁膜 CMP はダミーゲート上の SiN 研磨と共に実施される。CMP 工程は、ダブル・パターンニング形成や、レジストのデュアルダマシニング施行時の平坦化においてリソグラフィを助けるように使用されている。3D-IC のシリコンの裏面最終研磨では、新たな高研磨レートプロセスが望まれていることも考慮すべきである。

導電膜系 CMP

45nm ノードでのメタルゲートの適用は、新たな平坦化工程を生み出した。Al、TiN のようなバルク金属は、ダミーのポリゲートを除去した後にゲートとして機能する材料として埋め込みされる。この金属は、メタル前絶縁膜上まで研磨により除去される。平坦性とリセス制御が重要である。

ポリシリコンは、DRAM 技術のコンタクトやランディング・パッドに未だ広く用いられている。コンタクト・プロセスは単に絶縁膜上で研磨を停止する方法から絶縁膜と窒化膜の組み合わせを研磨する方式へと移っている。

タングステン (W) をコンタクト、ビアに最初に適用した際には、エッチバックプロセスが採用された。エッチバックから W と Ti ベースのライナーに対し CMP プロセスの適用へ変更することで生産性は向上した。今日、先端ロジックデバイスでは、コンタクトに W のみを使用している。DRAM の配線工程では、W と ILD-CMP から Cu とバリアメタル CMP へと変ってきている。ポリシリコンエッチバックへの移行やダブルコンタクト形成の出現により、W-CMP の工程数は減少していない。W-CMP では、パターンアレイの両端で Erosion が大きくなる EOE (Edge Over Erosion) が依然として課題となっている。これは、スラリーやパッドの開発により改善して来ている。絶縁膜での低選択性スラリー適用は、平坦性改善の手段となる。

Cu と Barrier CMP は他のレイヤーより多くの平坦化工程がある。Cu 研磨から Ta ベースのバリア層研磨、ハードマスク材料研磨、最終トポグラフィーと膜厚を最適化するまで、複数段の研磨が実施される。電解腐蝕や光腐蝕[8]等の腐蝕は、導電液中で導電体を研磨する限り、永遠の課題である。技術の進歩に連れ、絶縁膜の誘電率は低下して行く。より脆い材料で作られた、より小さいサイズのチップを研磨するには、デバイスに損傷を与える最大応力を低減する必要がある。

既存 CMP の低応力改善の探求と Electro Chemical Mechanical Polish (ECMP) 、 Electro Chemical Polish (ECP) や Chemical Etching (CE) またはそれらの組み合わせである代替案が研究されている[9]。Cu 研磨時の機械的要素は減少してきたが、化学的要素は増加してきている。これは、腐蝕防止と平坦性の改善の必要を意味する。

将来のバリア CMP は、上記課題に加えて、以下の課題がある。パターンニングや金属埋め込みが益々困難になり、CMP は新バリア層の研磨や絶縁膜、金属膜ハードマスクの数の増加に対応する必要がある。実効誘電率を最小にするために、CMP はポーラス度が増加した絶縁膜を研磨する必要がでてきた。CMP の最適化、CMP 後洗浄、復興技術の組み合わせを通して、絶縁膜の変性を防ぐ方策が取られる。Cu とバリアの研磨ステップは先端プロセスでは増加するので、上記に述べたような課題解決に特別な注意を払いながら、スループット向上や全体的なコストダウンを進めて行く。

導電膜 CMP について、差し迫った幾つかの平坦化プロセスの必要性が有る。コンタクト用 W 材料は、より導電性の良い材料へ置き換えられるであろう。バリア材として、Ru、Mn、Co 等の新材料が必要となり平坦化プロセスもこれらの材料に対し挑戦が始まる。エアギャップのような、ポーラス構造が増加するだろう。フラッシュメモリ以降の不揮発性メモリ技術が開発されている。これらの技術のストレージセルは、現在 PRAM の GeSbTe に見られる、熟成した CMP 技術を伴うダマシンプロセスへの移行が予想される。3D-IC 技術がより広く適用されるに連れ、大きなサイズのデバイスに対し、バルク金属とバリアプロセスは超高速研磨プロセスや低コストの改善が求められている。

装置課題

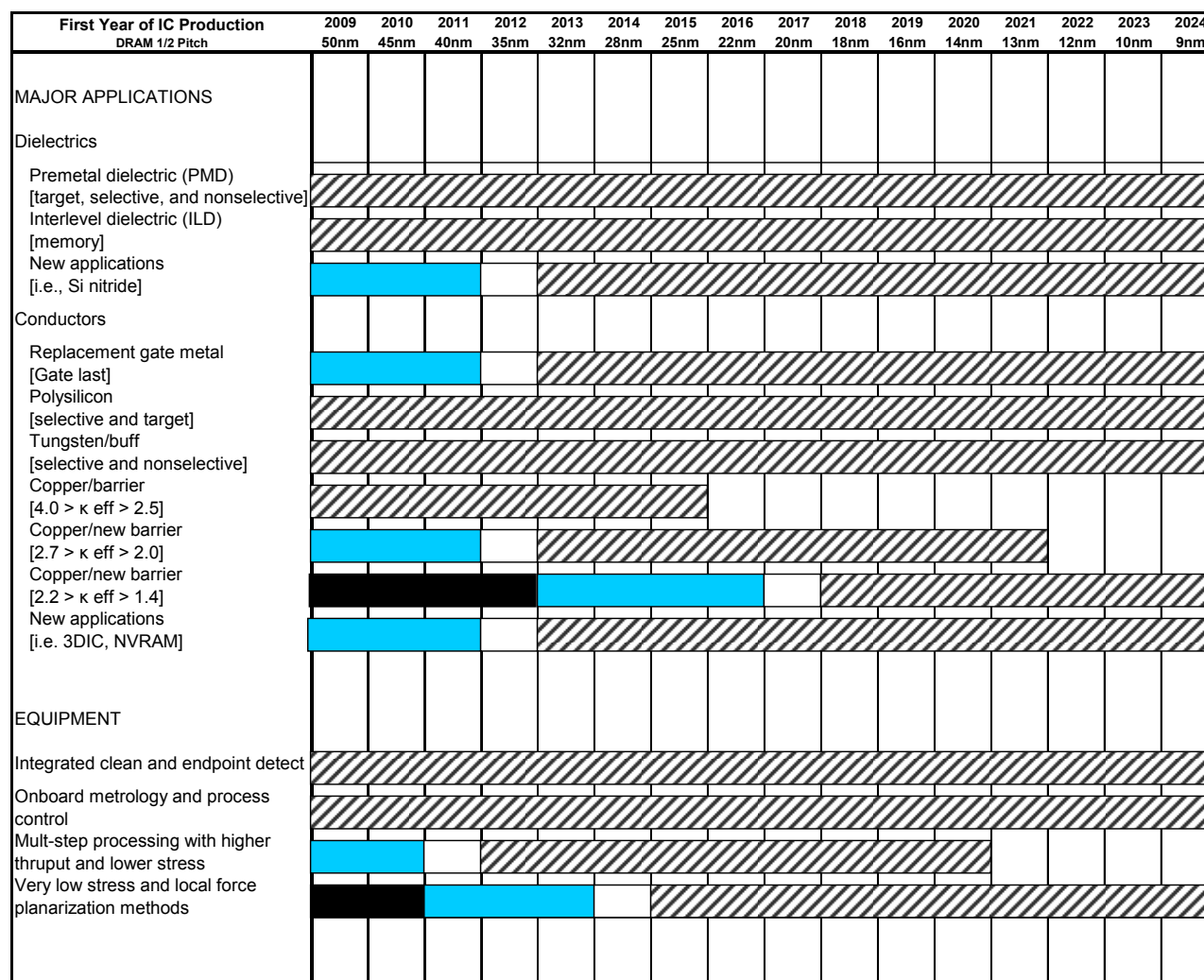
Dry-in、Dry-out コンセプトと呼ばれる、洗浄機一体型のロータリー型ポリッシャーが主流である。装置は、より熟成度は増してきたが、上記の新プロセス開発に合わせた改良・改善は今後も続くであろう。装置は、Overall Equipment Efficiency (OEE、使用効率)を向上させる努力も続けている。さらに、CMP 装置コスト削減のため、必要な Upgrade はするが、必要でなくなった機能は捨てるというトレードオフデザインと呼ばれる新たな考え方も必要になると思われる。

現在、プロセスコントロールや面均性の向上を見据えた、エンドポイントと測定機能に重点が置かれているが、プロセス調整に時間を要するインライン測定に対してエンドポイントが好まれている。バリア CMP は現在、測定技術が使用されているが、真のエンドポイント機能が望まれるアプリケーションである。装置は低ストレス用に低面圧に設計されているが、更に進化させ消耗品も考慮した、低ストレス平坦化技術が望まれる。現在および将来技術を問わず、エッジエクスクルージョンを最小化し、平坦度を上げる技術革新が求められており、450mm への移行により更にこの開発は加速されるであろう。

消耗材

消耗部材は平坦化性能を左右する最大の因子であり、それゆえ大幅な進歩が要求される。今日使用されている砥粒型スラリーは、特に欠陥の観点から安定性が重視される傾向にある。スラリーの開発は、複雑さの増すアプリケーションに対して、より良い平坦性・低欠陥およびコスト低減を同時に達成されるように実施されるべきである。スラリーは砥粒濃度を下げ、化学反応を強めると言う傾向は今後も継続し、CMP 用に改質／調整される砥粒も増加傾向にある。砥粒は、純度や面界特性・バルク特性において基準を満たさなければならない。種々の要求に対するマージンやサポートのし易さの実現に向け、調整可能な基本組成である砥粒と薬液の組み合わせが必要である。代替平坦化技術に対応するため、新たな薬液に対する柔軟な生産体制が必要となる。ポーラスな膜に特に必要となるが、コロージョン等の問題の無い、スラリーや残渣を最適に除去する洗浄薬液の開発が望まれる。洗浄ブラシは、新材料や新たな形成方式が必要となる。

今日のウレタンパッドにおいても、幅広い硬度や種々アプリケーションに対応できる化学移送などの 大幅な進歩が必要である。今日、固定砥粒パッドは主に STI で使われているが、用途ごとにスラリーとの組み合わせを考えることが出来る様々な種類のパッドの開発が強く望まれている。新しいタイプのパッドに対しては特に、パッドコンディショニング方法の改善も必要である。



This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required

Development Underway

Qualification / Pre-Production

Continuous Improvement



Figure INTC 15 Planarization Applications and Equipment Potential Solutions

First Year of IC Production DRAM 1/2 Pitch		2009 50nm	2010 45nm	2011 40nm	2012 35nm	2013 32nm	2014 28nm	2015 25nm	2016 22nm	2017 20nm	2018 18nm	2019 16nm	2020 14nm	2021 13nm	2022 12nm	2023 10nm	2024 9nm
CONSUMABLES																	
Fluids																	
High solids slurries																	
Slurries with low solids/defects/cost																	
Tailored slurry formulations from tunable platforms																	
General cleaning solutions																	
Cleaning and buff solutions tailored to applications																	
Pads																	
Urethane pads for new applications																	
Abrasives containing pads																	
Range of alternative pads for planarity/defects/cost																	

This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required

Development Underway

Qualification / Pre-Production

Continuous Improvement



Figure INTC 16 Planarization Consumables Potential Solutions

Si貫通ビア(TSV)、3次元積層化技術

序論

TSV 接続を用いた 3 次元(3D)配線技術は、基本的に 3 種類の主要プロセスモジュールから成り立っている: (1) TSV モジュールそのもの、(2) ウェーハ薄化と裏面処理プロセス、および(3) ダイあるいはウェーハの積層化プロセス(永久接着および/あるいは仮接着)。これらのプロセスはそれぞれが、かなり特化した装置とプロセス技術を必要とし、マイクロエレクトロニクスサプライチェーンの中の異なった分野で行われている。プロセスモジュールに関する以下の議論は、それゆえ、これらの 3 つの基本要素で構成される。

Si貫通ビア技術

集積回路(IC)の Si 基板を貫通したビア接続を実現するため、非常に多くの技術が提案されてきた。実際のプロセスは IC 製造プロセスの前、途中、あるいは後に行われる。それは、能動素子が形成されていない シリコン・インターポーザ作成のためだけに使われている。しかしながら、たくさんの共通点について、明確に定義できる: Si 基板にエッチングで孔を形成しなければならない、Si 基板中への金属の拡散を阻止するためバリア層が提供されなければならない、そして導電材料をビア内に埋め込まなければならない。TSV 技術でもっとも一般的なのは、ウェーハプロセス工程が完了する前に TSV 機能を作りこむ方法(3D-SIC 技術で一般的)か、ウェーハプロセス工程が完了したあとにビアを形成する方法(3D-WLP 技術で一般的)である。

TSVエッチング技術

TSV 孔を形成する際、一般的に、ウェーハを完全に突き抜けるエッチングは行わない。Si 基板を貫通する孔のウェーハプロセスは、ウェーハやウェーハレベル・パッケージングの標準的なプロセス、およびその設備との整合性が良くない。よく使われるのは、“blind”ビア法である。Figure INTC17 に見られるように、ある一定の深さまでか、エッチ-ストップ層に到達するまで TSV エッチが行われる。

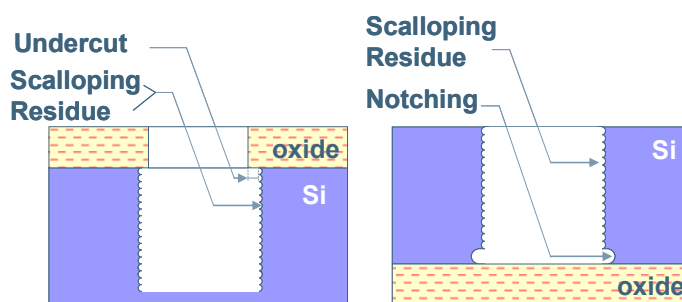


Figure INTC 17 Schematic Representation of the Challenges for Si-TSV Plasma Etching

マスク、酸化膜あるいはBEOL層を介したエッチング

インテグレーション上の現実的な課題に強く依存するものの、Figure INTC17 に示すように、Si 基板へのビア孔形成には、レジスト、酸化膜、あるいは SiO₂、SiN、SiON、SiOC【原著では SiO(C)であるが、重複のため割愛】、Low-κ 材料といった BEOL 層を介したエッチングが必要となる。Si の TSV エッチングを行う前には、マスク層がエッチングされなければならない。これは Si エッチの前に、Si エッチと同じ装置か、あるいは別の装置、チャンバで行われる。保護層あるいはマスク層に対する Si エッチの選択比にもよるが、厚い保護層／マ

スク層の条件でのエッチプロセスが開発課題となるであろう。また、パターニングされた保護層／マスク層の下に生じる Si のアンダーカットが懸念事項となる。

高アスペクトのSi孔、溝エッチング

実際の Si 孔形成は、通常、プラズマエッチングによって行われている。TSV Si エッチングの特長は、エッチング孔が深く、アスペクト比が高い点である。そのため高価な装置を占有して、プロセスが長時間となり、高速のエッチングプロセスが強く要望されている。

ビア孔エッチングの重大な課題として、側壁の(局所的、全体的な)テーパ角をうまくコントロールすること、側壁の荒れやスキヤロップを最小限にすること、最小限の残渣/欠陥、最小限のアンダーカットとノッチ、マスク層直下のボーイングを最小にすること、相応のエッチレート、そして再現性とエッチング深さ・形状の面内均一性が優れていることがあげられる。

Si の等方性エッチングを避けるため、側壁のパッシベーションとビア底の Si エッチング反応とを両立できるエッチングレシピが用いられる。よく使われている方法として“Bosch”レシピがあり、パッシベーションとエッチングステップの時間をそろえて交互に行う。パッシベーションのステップでは Si 表面にポリマーを付着させる。Si エッチのステップでは、ビア底表面のポリマーが容易に除去され、ビア側壁にはそれを残して Si 表面を保護する。Figure INTC17 の概略図に示すように、この方法の欠点は側壁 Si 上の“スキヤロップ: scalloping”である。ビア側壁表面に形成される、周期的な円形のリッジが、これ以降のステップを複雑にする。

限界寸法、アスペクト比、および TSV プロセスによる最終的なエッチング深さにも依存するが、非 Bosch レシピの RIE プロセスも使われるであろう。これらは通常、既存の CMOS プラズマエッチャー(酸化膜あるいはポリシリコン用)のハードウェアをアップグレードし[1]、さらに先端プロセスの開発を行って、TSV の形状・サイズならでは、主に3つの主要性能向上に取り組む: 1) 5~15 $\mu\text{m}/\text{min}$ くらいの高いエッチング速度、2) テーパー角を調節するための高い異方性性能/可能性、3) Si エッチに対する高い選択比。製造業の立場から言えば、非 Bosch RIE プロセスが Bosch プロセスより優れている主な点は、スキヤロップの無い滑らかな側壁; 側壁テーパ角の調節能力; 既存設備の再利用; 最小限のフッ素を含んだポリマー残渣; そして最小限のアンダーカットがあげられる。注目すべきは、限界寸法があまりにも小さくなって(通常 1 μm 以下)、アスペクト比が高くなりすぎると(通常 20:1 以上)、Bosch プロセスのほうが有利になる点である。

エッチングのあと、Si ビアホールクリーニングが重大なプロセスとなる。特に、Bosch エッチのパッシベーションサイクルの際に形成されるフッ素を含んだポリマーは、次のプロセスの前に完全に除去される必要がある。

深い Si エッチングプロセスに関する、もう一つの固有の特徴は、エッチング速度がアスペクト比に依存することである。Si ウェーハ内のビアをより深く掘り進んでいく時、あるいはビア径が小さくなる時、エッチング速度が低下する。平均のエッチング速度とビアのアスペクト比は、概ね逆比例の関係にある。結果として TSV パターニングの CD 制御は、ウェーハ間で均一なエッチング速度を得るのに極めて重要となる。

TSVライナープロセスー絶縁層がTSV容量を規定する

TSV 接続を Si 基板から電氣的に絶縁するため、絶縁層が必要である。絶縁層の重要要件は、低リーク電流、十分大きな耐圧と低容量を示すことである。

TSV ライナー層の成膜は、デバイスのプロセスフローと適合していなければならない。成膜温度なら、“via middle”であればフロントエンドのデバイスプロセスが許容できる温度、“via last”であればバックエンドの配線プロセスが許容できる温度、そして TSV プロセスがキャリア上で行われるのであれば仮接着材料が耐えられ

る温度であることを意味している。とりわけ、DRAM メモリデバイス形成後の TSV プロセスは、デバイスウェーハに損傷を与えないため、200℃以下が必要とされている。

理想的にはこのライナー層が Si 側壁の凹凸 (Bosch エッチングによるスキヤロップのこと) を平坦化しなくてはならない。側壁のスキヤロップの上にコンフォーマルな成膜が行われると、以下に続くプロセスステップによって、さらに難しい表面形状になる可能性がある。

PVD 法も検討されているものの、もっとも一般的なライナーは CVD 成膜した酸化膜か窒化膜である。低温のプロセス条件ではコンフォーマルな成膜がより難しくなる。窒化膜は容量の増加につながるものの、金属拡散を防ぐバリア膜として使える。

3D-WLP を via-last の TSV で形成する場合、ポリマーの絶縁膜も使用可能である。径の大きなビア構造でも非常に低い容量を実現でき、また TSV 構造において金属が生じる歪みの吸収層として有効である[2]。

TSVバリア層

TSV メタルの Si 中への拡散を防ぐため、品質が高く、ピンホールのないバリア層が必要とされている。よく使われているのは Ta と TiN で、TSV メタルとライナー膜との密着力も向上する。

バリア膜の成膜技術として一般的なのは PVD と CVD である。CVD の異なった様式が、最も挑戦的な高アスペクト TSV ビア孔へのバリア成膜を可能にする。PVD 技術は、コンフォーマルな成膜やアスペクト比という点でより大きな制限があるが、優れた密着性、膜のバリア特性、および低い運用コストという点で好まれている。PVD 装置の改良で、PVD 法によるバリア成膜のプロセス条件範囲が広がられている。

TSVメタル埋め込みプロセス

導電性の TSV 構造を実現する主な方法として、Cu の電解めっき (ECD) 法、W の CVD 法、Cu の CVD 法、あるいは“via first”でのポリ Si の埋め込みがある。Cu あるいは W 埋め込みについてはいくつかのオプションプロセスが存在し、詳細を以下に示す。Figure INTC18 は、3D-TSV ロードマップにおける、Cu-と W-TSV の異なるオプションプロセスについて、TSV 径とアスペクト比の関係をマッピングしている。

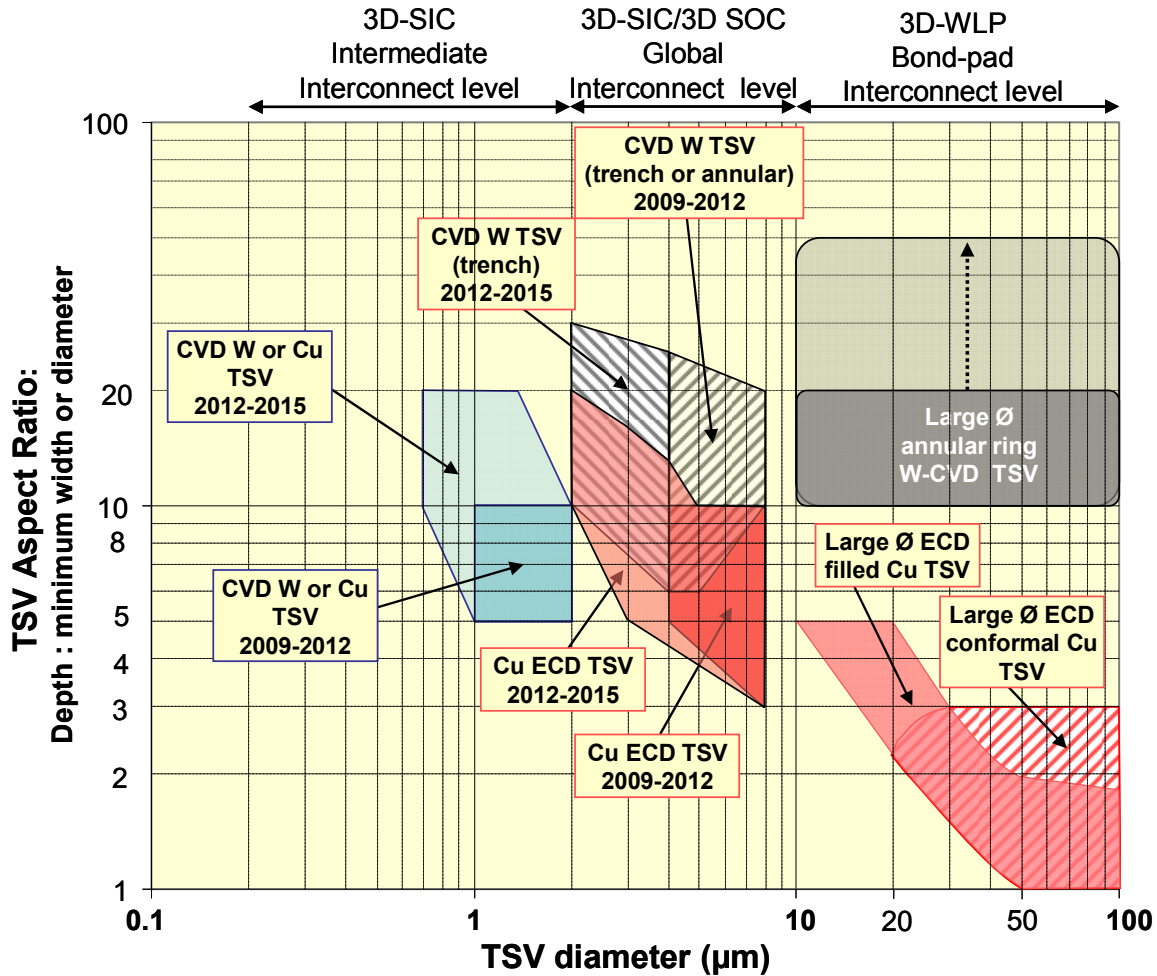


Figure INTC 18 Cu and W-based TSV Options as a Function of TSV Diameter and Aspect Ratio, in accordance with the 3D Interconnect Hierarchy and Roadmap

(Trench and annular TSV refer to non-cylindrical TSV shapes which are narrow in one lateral dimension.)

Cu TSV

Cu TSV のプロセスステップは、シード Cu の成膜、ECD による Cu ビア埋め込み、および余分な Cu 層の CMP による除去である。

一般的な手法は、BEOL プロセスのシングルダマシン Cu めっきとしてよく使われているものである。大きな違いは、Cu TSV 形状が高アスペクトな点である[3]。

Cu シード成膜でよく用いられているのは PVD 法である。主要課題は、高アスペクトの TSV 構造で連続的なシード層を得ることである。Cu-PVD 法で実現している最も高いアスペクト比は 5~10 である。高アスペクト TSV に対応可能な、それに代わる方法として、CVD-Cu、Cu シード層のエレクトログラフィティ法、およびバリアメタル上へ Cu を直接めっきする方法がある。

ECD 法による Cu 埋め込みプロセスの主要課題は、ボイドフリーの埋め込みを実現することである。そのためにはエッチングされたビア構造への“superfilling”が必要である。これは、ビア底での成膜を加速し、ウェーハ最表面での成膜を抑制・平滑化するよう、めっき液中の添加剤を注意深く制御することで実現される。結果として得られるプロセスは成膜速度が遅く、1 台の装置で複数のウェーハを並行処理できる設備が必要である。

ECD-Cu 成膜のあと Cu アニールが行われる。典型的な via-middle プロセスではそのあと Cu-CMP を行う。さらに続く BEOL プロセスのため、Cu-CMP に加えて、バリアとライナー層も取り除く必要がある。

W TSV—W CVD 埋め込み, CMP

CVD は、狭く大きなアスペクト比の TSV 構造を埋めるのに用いられる。直径が 3 μ m までの TSV について報告されている[4]。より大きな TSV 構造は、狭いスリット型、あるいは同心円状のリング型の TSV を複数個、並列接続することで実現できる。W の CVD プロセスは非常にコンフォーマルである。典型的な W 埋め込みの TSV は、中心部のシーム状ボイドが特徴である。

TSV を埋めるには相対的に厚いたングステン層が必要なため、ブランケット W を、膜厚 < 500 nm ぐらいまで剥離しないよう、部分的にエッチバックする。部分的エッチバックはウェーハの反りを適度なレベルまで減らすのにも役立つ。

CVD 法での W 埋め込みのあと、代表的なプロセスは、ウェーハのフィールド上の W を除去するための W-CMP である。そのあと、さらに続く BEOL プロセスのため、バリア膜、ライナー膜の CMP が必要となる。

W-CMP ステップに代わる方法として、W-TSV 構造のパッド部を定めるためにエッチバックプロセスが用いられる [5]。

ポリSiのTSV:VIA-FIRST技術

via-first 技術では、FEOL プロセスとの整合性の問題で、Cu とか W の TSV が使われない。ポリ Si が TSV 埋め込みに用いられる。この場合、ライナー膜だけが必要で、バリア膜は必要ない。ポリ Si 成膜のあと、そのウェーハは研磨され、標準的な Si プロセス工程が行われる。デバイス製造工程での歩留り低下を避けるため、高品質のウェーハ前処理が必要とされている。ポリ Si の抵抗率が高いため、この手法の使用範囲は、高インピーダンスの TSV 配線が許容される製品に限定される。

ウェーハ薄化と裏面プロセス

3Dボンディングの前にTSVを形成

これは 3D 積層化するウェーハを別々に並行して処理する方法である。TSV プロセスとコンタクトパッドの形成を並行して行い、3D 積層化するウェーハを用意する。プロセスの最後に、異なるダイあるいはウェーハが接合されて、3D 積層が完成する (Figure INTC19 を参照)。

TSV 形成を 3D ボンディングの前に行うということは、薄化したウェーハでのプロセスを意味する。via-last プロセスでは、それが実際の TSV 接続形成工程となりえる。via-first と via-middle プロセスでは、通常は、ウェーハ裏面に TSV を露出させるプロセス、裏面への保護膜形成プロセス、そして再配線とバンプ構造をウェーハ裏面に形成するプロセスが含まれる。これらのプロセスは広範囲におよび比較的高温を必要とするかもしれない。

ボンディングの前にウェーハ薄化を行うプロセスフローでは、薄化ウェーハが壊れないように運搬するプロセスが必要である。3D 積層化に対する要件は、3D-SIP 応用で用いられている標準的な薄化や個片化プロセスと比べて著しく厳しく、専用の解答を必要とする。

このプロセスの鍵となる要素技術を以下に示す：

1. 仮接着した薄化ウェーハのキャリアシステム

薄化ウェーハのキャリアシステムは ウェーハ薄化後に標準的な半導体プロセス装置で行われる、幅広いプロセスを考慮すべきである。薄化したデバイスウェーハとキャリアとの間の仮接着層は、すべての(高温)TSV プロセスにおいて安定であり、かつ薄化した 3D ダイにダメージを与えたり、残渣を残すことなく取り外せたりしなければいけない。

2つの主要な方策は以下の通り：

a) 一つの方策はキャリアとしてガラス基板を用いる。この方法だと光学的な技術を用いて、硬化(例えば、UV 硬化)あるいは、薄化した TSV ウェーハからキャリアウェーハを剥離(例えば、レーザ アブレーション)することが可能になる。また裏面プロセスを行う際に、光学的に **back-to-front** の位置合わせが行える。ガラスキャリアの欠点は、熱膨張係数(CTE)が Si と整合した特別なガラスの必要性、キャリアウェーハのコスト、そして標準の半導体プロセス装置との互換性である。

b) それに代わるオプションは、仮のキャリア基板として Si ウェーハを用いることである。代表的なプロセスフローを Figure INTC19 に示した。薄化した Si ウェーハの端が非常に鋭くなる問題を防ぐため、ウェーハ端のトリミングを行っている。その結果、薄化したウェーハはキャリアウェーハより小さな径になる。これは、標準的な半導体装置における、よりロバストなウェーハの取り扱いを可能にする。

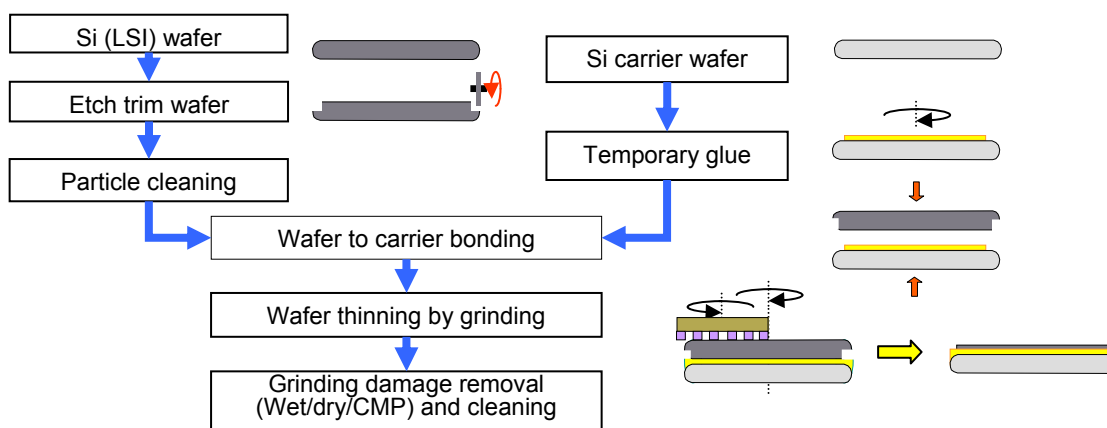


Figure INTC 19 Temporary Carrier Strategy for Thin Wafer Post-processing

3D 集積化スキームを成功させるためには、本プロセスに用いる仮接着層がチャレンジングで重要な技術となる。物性を複雑に組み合わせることが必要とされている：容易に剥離できる機能を有しつつ、プロセスの最中では安定なこと。レーザーを利用した方法(ガラス キャリア)、溶かしてスライドさせる方法(熱可塑性の接着剤)、溶媒による溶解、そして機械的な剥離(引き剥がし)などのように、様々な剥離機構が検討されているところである。

2. ウェーハ薄化

研削によるウェーハ薄化は、半導体パッケージング分野で定評のあるプロセスである。TSV 技術で重要なのは Si の厚さの制御と表面の品質である。薄化したウェーハのトータルの厚さばらつきは、キャリアウェーハの厚さばらつき仮接着層の厚さばらつき、そして研削装置の精度の組み合わせで決まる。ウェーハの機械的な研削のあと、ウェーハ裏面には薄いダメージ層が残る。このダメージ層を取り除くために、CMP、ドライエッチ、そしてウェットエッチの技術が使われている。既に TSV が形成された Si ウェーハを研削する場合は、ウェーハ裏面で TSV 構造が露出することに、特別な注意を払う必要がある。それは、追加のプロセスを必要とするであろう。

3. 薄化後のウェーハ洗浄

機械的な裏面研削はウェーハ裏面にパーティクルが残る可能性がある。裏面上のプロセスのため、このウェーハをプロセスラインに再投入することを受け入れるには、徹底したパーティクル洗浄が絶対必要である。

4. ウェーハ裏面プロセスの必要性

キャリア上の薄化ウェーハは、以下のプロセスを行えるよう、標準の半導体プロセス装置に対応しなければならない：

- Via-last TSV プロセス (3D-WLP で特に典型的)
- ウェーハ裏面の保護膜形成
- 任意の裏面再配線プロセス
- 裏面接続“バンプ形成”

積層化後のTSV形成オプション

これは、逐次プロセスで 3D 集積化を行う方法である。3D TSV プロセスの前に、ウェーハは貼り合わされる。何層も積み上げて積層化するため、このプロセスが繰り返される。結果として最下層ウェーハは、以下に示すすべての TSV プロセスにさらされる：

- 下側ウェーハ(積層化ウェーハ)との、Wafer-to-wafer 永久接着プロセス
- 全体の厚さ変動と Si 表面の品質がデバイスに影響を与える、ウェーハの薄化プロセス
- 以降のプロセスを行うため、ラインへの再投入に必要な、薄化後のウェーハクリーニングプロセス
- TSV あるいはパッド配線層形成に必要なウェーハ裏面プロセス

積層化モジュール

- Wafer-to wafer ボンディング
 - ポリマーあるいは酸化膜による W2W ボンディング
 - メタル/メタルの W2W ボンディング
 - メタル/酸化膜あるいはメタル/ポリマーの W2W ボンディング
- Die-to-die あるいは die-to-wafer ボンディング
 - メタル/メタルの熱圧着ボンディング
 - Cu/Sn あるいは類似材料のマイクロバンプ接続技術

- その他の方法：例えばコーキング

信頼性および性能

信頼性序論

配線材料と構造における急速な変化が起こっており、その結果、顕著な新しい信頼性課題が生じている。故障は、ますます増える配線密度、配線層数、消費電力によってさらに悪化させられている。

配線システムは、典型的には絶縁材料と導体が多層に配置されたもので構成され、パッケージされる。Cu 配線の場合、金属および絶縁性の拡散バリアが、絶縁体への Cu 拡散を防止するために用いられる。それらひとつひとつの構成要素が配線システムの信頼性の重要な役割を持つ。今日の Cu/Low-k 配線を適用する場合には、金属、絶縁膜ともに信頼性の強い影響を受ける。

金属の信頼性は、一般的にエレクトロマイグレーション(EM)とストレス誘起ボイド(SIV)によって評価される。一方、絶縁膜の信頼性はリーク電流や時間に依存する絶縁破壊(TDDB)、三角電圧掃引測定(TVS)で評価される。電流密度の増加に対応するために、多くのバリアメタル、Cu 合金、キャップ層などの方法が近年提案されている。EM 現象の理論的な式は良くわかっているが、これらの方法に関してさまざまな組み合わせの可能性があるので、アクティブな故障メカニズムを特定するには、慎重な試験が重要である。

配線間隔の縮小に伴い、先端のロジックやメモリのいずれにおいても、配線絶縁膜の信頼性がますます重要な課題になってきている。

専門家の間で、絶縁信頼性の重要性に関する懸念が広がる一方で、寿命予測や評価の方針について合意が得られていない。必要な Low-k 絶縁膜信頼性のマージン確保が益々困難になっていることは共通認識となっており[1~3]、BEOL 絶縁信頼性の重要性は寸法と材料のスケーリングとともに増している。BEOL 絶縁信頼性のモデル、統計、支配的制御要因に関する基礎理解と合意の欠如は、これらに対する集中的な努力を必要としている。

故障モードの特定と正確な予測モデルの確立が緊急課題である。これらのモデルは、回路やシステム全体の信頼性限界の予測に使うことができる。いくつかの場合には、システムや回路パラメータの劣化をモニターすることで(金属や絶縁体の劣化による)回路の一部の負荷を軽減することによってシステム全体の信頼性の限界を延長することが可能になるかもしれない。最後に、IC システム全体の信頼性の観点から、チップ・パッケージ・インタラクションも無視できない。

配線金属の信頼性

エレクトロマイグレーション

エレクトロマイグレーション故障は、一般的に、配線に流せる最大電流密度(J_{EM})を与えるブラックの式で表される[4]。今日の IC で最も一般的な金属は Al と Cu である。Cu 配線は、配線遅延を低減するためにダマシン配線として 1997 年に導入されたが、Al 配線も特定の応用や多層配線の数層として残った。エレクトロマイグレーションによる電流制限が、現在も通常の EM 物理則を使って Al 配線で検討されている。

エレクトロマイグレーションのスケーリングモデル

電流ストレス下の配線では、銅原子のドリフト速度は、金属中に存在する原子の拡散パスを考慮した実効的な拡散係数によって決まる[5]。EM の活性化エネルギーの実験値(0.9eV)は、最も一般的なインテグレーション

ョン方法において世代によらず一定であることが示され、受け入れられている。すなわち、PVD による TaN/Ta バリア、Si(C)N 絶縁キャップ層を用いたキャップを用いたデュアルダマシン Cu 配線の場合である。従って、与えられた配線構造においては配線サイズによらず、EM ボイドの成長速度は一定と考えるのが自然である。非常に狭い配線幅では、 $E_a = 0.85\text{eV}$ につながる粒界拡散のリスクがあるとの報告がある[6]。

配線寿命(τ)とは、配線が電氣的にオープンになる最小サイズにボイドが達するまでの時間である。ボイドが1個のビアを含む配線の陰極端にあると仮定すると、 τ が $w \cdot h / j$ とともにスケールアップすることが示されている[7]。ここで w は配線幅(あるいはビアの直径)、 h は配線膜厚、 j は EM による Cu 拡散に効く電流密度である。

J_{EM} は目標寿命を満たすことのできる最大電流密度で $w \cdot h$ 積とともに減少する。 J_{max} は、高性能デジタル回路で要求される電流相当の最大直流電流を、中間層配線層の配線断面積で割ったもので、Figure INTC20 に示すモデルによって計算される。 J_{max} と配線形状のスケールアップで制限される J_{EM} の変化を比較したものが Figure INTC21 に示されている。 J_{max} はスケールアップに従って、配線断面積の減少と最大動作周波数の増加によって増加する。 J_{max} は通常の Cu 配線の J_{EM} 限界を超えると予測される。

追加プロセスとして Cu のドリフト速度を減少させる方策が必要であろう[8]。最近の研究によって、Cu のドリフト速度を低減あるいは E_a を $\sim 1.5\text{eV}$ まで大幅に増大させる少なくとも3つの主要な方法が示されている。

1. SiCN 堆積前の Cu 表面処理技術、または CuSiN キャップと呼ばれる方法
2. CoWP などの Co 合金系のメタルキャップで Si(C)N キャップの置き換え
3. Ti、Al、Mn、Ge の Cu シード層へのドーピング

Cu 合金プロセスなどにおいては、配線抵抗の上昇に注意が必要である(寿命改善と配線抵抗率の上昇の比較を示した Figure INTC22 を参照)。

ブレッヒ長効果による J_{EM} 緩和

エレクトロマイグレーションの初期の研究によって、短い配線長(ブレッヒ長 L_B とも呼ばれている)では不動態化し、故障しないことが示されている[9]。臨界の $J_c \cdot L_B$ 積以下の電流や長さでは、不動態状態に達する。このクリティカルプロダクト(臨界積)は、配線構造中の機械的な金属閉じ込めの結果である。実験的な研究では、この $J_c \cdot L_B$ 基準による不動態条件の範囲が 1500 から 5000 A/cm の間と幾分広いことが示されている。

さらに最近、その他の不動態基準が実際の配線でのエレクトロマイグレーションのモデル化で考慮されることが示されてきた[10]。この提案は、ブレッヒがはじめに提案したバックフローの結果、ボイドの核形成後、サイズが飽和するという観察結果に基づいている[11]。回路がオープンにならないで安定なボイドサイズになるには電流と長さの条件が存在する。今現在、より妥当な臨界積の求め方は得られていない。

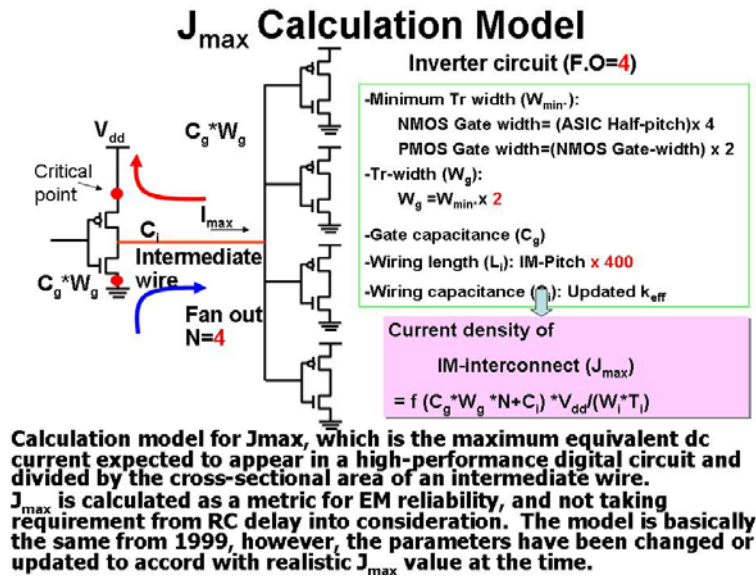


Figure INTC 20 Calculation Model for J_{max}

(The maximum equivalent dc current expected to appear in a high-performance digital circuit divided by the cross-sectional area of an intermediate wire.)

Evolution of J_{max} (from device requirement) and J_{EM} (from targeted lifetime).
 J_{max} will increase with frequency and reducing cross-section, while J_{EM} will scale with the product $w \cdot h$ according to EM lifetime dependence on wiring width.

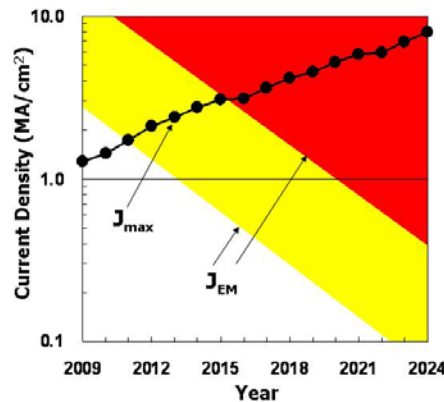
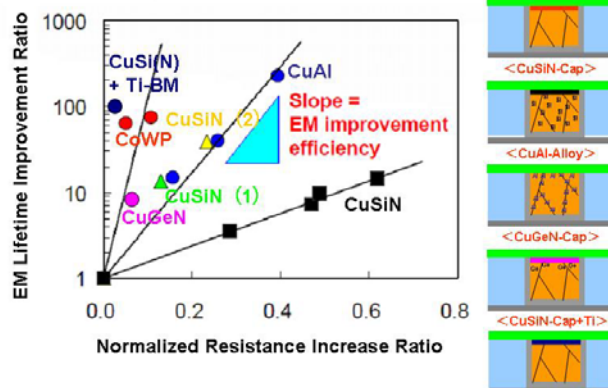


Figure INTC 21 Evolution of J_{max} (from device requirement) and J_{EM} (from targeted lifetime)

(J_{max} will increase with frequency and reducing cross-section, while J_{EM} will scale with the product $w \cdot h$ according to EM lifetime dependence on wiring width.)

Metal Capping

Various lifetime improvement approaches against the resistivity increase



H. Shibata added published data based on Yokogawa et. Al. IEEE Trans on ED 2008

Figure INTC 22 Comparison of the Lifetime Improvement versus the Resistivity Increase for Different EM Resistance Booster Technologies³

ストレスマイグレーション

ストレス誘起ボイド (SIV) は、異なる配線層につながったビアの中やその周辺で応力勾配によって空孔が移動する結果生じる。文献によれば、SIV はビア中とビア下の両方で生じる。ビア下でボイドが生じる際には、主な空孔拡散パスは Cu のキャップ界面 (それと粒界の可能性) で、ビア下の配線層に空孔のリザーバ (供給源) がなければならない [12]。ビア中でボイドが生じる際には、主な拡散パスは Cu とバリアの界面で、ビア中に空孔のリザーバが必要である。文献によれば、ビア中のボイドは最適化されていないビアプロセスによる [13、14]。この故障モードを防止する方法として、大きな金属リザーバの禁止、配線幅、ビア径とともに、適切なビア配線間の配置設計がある。

絶縁信頼性

時間に依存する絶縁破壊

時間に依存する絶縁破壊 (TDDDB) は BEOL 絶縁信頼性を評価する試験方法として急速に受け入れられてきた。すでに多くの要因やメカニズムが特定されてきてはいるが、物理的な理解はまだ完全ではない。CMP 界面の TDDDB への影響が早い時期に認識され、詳細に解析された [1]。その結果、CMP 後の表面に残った Cu 酸化物を還元するプラズマ処理が最適化された。

最近、部分的にパターン形成したダマシン基板を用いて、Cu の残留量と絶縁信頼性の定量的関係が解明された [15]。Cu による劣化が観察されるためには、少なくとも 10^{12} atoms/cm² の残留銅原子 (Cu) が必要であることがわかった。これらの研究において、電界ストレス中の Cu のマイグレーション自体は直接的には劣化に関係せず、単に信頼性試験前の少量の残留 Cu に関係していた。他の研究では、Cu のドリフトと動作中の絶縁信頼性の関連が提案されている [3]。

³ (Modified from the figure by S. Yokogawa et al., IEEE Trans. Electron Devices, Vol. 55 (2008) pp.350-357.)

もうひとつの良く知られているダマシン Low- κ インテグレーションの課題は、加工工程での配線間絶縁膜の劣化に関係する。CDO、OSG(あるいは SiCO:H) 絶縁膜が、加工のためのプラズマに晒されると、望ましくない変性、例えば炭素欠乏やシラノールグループの浸透が生じる。このような問題は認識され、対策がとられているが、これらの相互作用やダマシン製造工程との相関など、さらに検討を要する。このような段階では、故障は一般的に絶縁膜本来の材料特性というよりはインテグレーション方法に起因する。

動的条件下での TDDDB 研究が重要であるが、あまり評価されていない。ひとつには、極性を変化させた場合 (AC 対 DC [16]) に欠陥の緩和減少が生じ、寿命が長くなる。一方、典型的な配線構造の金属-絶縁体-金属タイプでは、ストレス中にできた欠陥は修復されず、それによる寿命改善は小さいと予想されている。TDDDB と他の現象、例えば EM、SIV、密着応力などとの相互作用については、まだ適切な対策がなされていない。

エアギャップインテグレーションでは、物理現象が変わる。エアギャップでは、界面のみが影響すると考えられることから、信頼性マージンが、界面の質によって、配線間絶縁膜がある場合より改善するか劣化するか、どちらの可能性もある。例えば、あるエアギャップ形成法では、クリティカルな CMP 界面の影響を取り除ける。

TDDDB の他に、TVS や種々の V-ランプ法で電気的な活性種を検出できる。一般的に、ストレス条件は、より実使用に近いことが望ましい。最後に、真性の信頼性基準や限界を解明し確立することが大変重要になってくる。

絶縁信頼性への LER とビアのミスアライメントの影響

配線間の電界は局所的に LER やミスアライメント・ビア (MV) によって大きくなる。LER はトランジスタゲートや配線のリソグラフィとエッチングに起因する。それは加工したポリシリコンや金属配線の不規則な側面形状からなり、ナノメートルサイズの突起やノッチを特徴とする。配線における MV はパターン工程でのアライメント精度限界による。いずれの場合も、電界の増加が2つの明確な効果によって引き起こされる。すなわち局所的な配線間隔の減少と、LER 突起や MV におけるステップでの電荷密度の増加である。それらの相対的な重要性は技術ノードが進むほど、より顕著になる。

配線において同時に存在する LER と MV、その結果生じる電界の増加は、幅の狭い配線においては無視できない。ビア付きの短い配線 ($\sim 10\mu\text{m}$) では、LER の影響は確率的になる、すなわち短い配線ほど MV の影響が大きくなる。一方、長い配線 ($> 10\mu\text{m}$) では MV と LER の両方が電界の増加に寄与する。異なるスケールシナリオにおいて、2つの電界増加要因の相対的な寄与に応じてどちらが支配的になる[17]。

信頼性評価、モデル化とシミュレーション

TDDDB 加速モデルは、動作条件での絶縁信頼性マージンを記述し予測する上で基本である。典型的な試験は、高電界で実施し、それらのデータが動作条件での寿命予測に用いられる。この場合、データから数値を超える外挿を伴うことが多い。予測方法のコンセンサスが得られていないため、ここが明らかに進展の必要とされている分野である。しかし、重要な報告[3、18]が示すように低電界への外挿は少なくともルート E に依存することが述べられている。このような方程式は、Cu のドリフトに関連した現象と電子の伝導機構から導かれた。すべての加速モデルは、明らかに電界に依存する。また配線における局所的な電界増加につながるいくつかの要因が存在する。本質的には、Low- κ 材料におけるポアの導入が重要 (ポアがあることによる電界の増加) であり、材料によらずスケールしない LER も重要である。

LER によって引き起こされる電界増加は、先端の配線アーキテクチャにおいても明確な影響をもつ。長い配線において、寸法縮小とともに LER が増加し、その結果 LER がいない場合の予測寿命より低下する。正確な TDDDB 予測モデルでは、この効果を考慮しなければならない[17、19、20]。同時にモデルは、これらの効果

を勘定すべきである。さらに、考慮すべき外的なレイアウトや配線形状に関係した電界増加要因も存在する。なぜなら電界増加の場所が最重要と考えられるからである。特に、レイアウトのトポロジー（規則的か不規則か）と対応するアプリケーション（メモリかロジックか）によって、モデル化すべき特徴的な形状（配線の角部、配線の曲部、スロープ形状の配線、ミスアラインしたビア、局所的に非対称な断面）の存在が決まる。典型的なダマシン配線の TDDb 試験構造は、蛇行－櫛型、櫛型－櫛型、対向配線もしくはビアチェーンである。実製品と関連付けるためには、レイアウト効果とともに配線長依存性も評価する必要がある。モデルがわかれば、それらはシステムレベルでの振る舞いを予測するツールとリンクできる。その観点から、徐々に劣化する現象が特に興味深い。なぜなら今日のツールでは取り込めていないが、システムレベルで対策できる配線スピードが徐々に低下する現象を引き起こすからである。今日まで、最も一般的な絶縁故障はハードな破壊か急激な故障である。それにも関わらず、ソフトな破壊や徐々の疲労がわずかながら報告されており、注意を払う必要がある[21]。

電流レベルを予測するために、絶縁材料中の電子やイオン伝導を理解する必要がある。近年、フォトエミッションを用いて Low- κ 材料の欠陥特性が研究された[22, 23]。光照射後の過渡電流測定より欠陥密度が求められ、おおよそ 6×10^{16} traps/cm³ という値が得られた。これは典型的なシリコン酸化膜の数桁高い値である。Low- κ 絶縁膜は明らかに酸化膜に比較して“本質的に欠陥が多い”。しかし、欠陥と伝導の関係や、一般的に電氣的に活性な欠陥の特定はいまだになされていない。

将来の課題と方向性

- 共通に理解され、認知された物理機構に基づいた絶縁信頼性の温度、電圧加速の記述方法の標準化（試験条件、構造、他）
- 配線の専門家に共通に認知された絶縁信頼性の性能指標
- 信頼性に関する理解のアップデートとそれに伴うロードマップでの仕様提示。なぜなら材料やインテグレーション方法の変化が激しいため。2つの例としては超低誘電率（ウルトラ Low- κ ）とエアギャップ。
- 絶縁膜の電気伝導に関わる電氣的に活性な欠陥の特定
- 異なる信頼性現象の相互作用（すなわち金属／絶縁膜相互作用）
- 前述の性能指標に含めるために、共存する信頼性要因の配線寿命への積算した影響の検討
- 信頼性の観点からチップ・パッケージ・インタラクションの研究と解析
- システムレベルでの絶縁信頼性の評価と予測
- 鉛フリーおよび環境にやさしい材料に伴う信頼性

最先端の信頼性モデルを適用し、実際の IC で動作しているアプリケーションから導出したストレス条件を用いることで、システムレベルの時間に依存した配線信頼性解析の仕組みを作ることができる。エレクトロマイグレーションと TDDb による抵抗劣化と遅延劣化のシステム性能への影響を見積もることが可能である。このようなツールを用いて、設計者はいつ信頼性劣化機構がタイミングのずれを発生させ始め、システムの不調につながるかを予測できる[21]。

このアプローチの限界は、故障モードの正確なモデルを必要とするが、すべての信頼性課題に可能なわけではない。システムレベルでは、実際の IC における信頼性劣化をモニターし、その劣化が生じている回路部分の動作を減らすことで劣化を抑制することが理論的には可能である。このアプローチは、劣化のダイナミクスが遅い場合に可能であり、故障モードの正確なモデルに依存しない。このアプローチにおいては、回路レベルでモニターし、回路のアクティビティを減らして対処するために、ゆっくりした破壊モードが適している。材料本来の信頼性が、Low- κ やウルトラ Low- κ 材料の初期スクリーニングにおいて Low- κ やウルトラ Low- κ

材料に限界を与える。Low- κ 材料の本来の信頼性を正確に評価することによって、外的な(実際の配線構造にインテグレーションした時に)故障する弱い候補を除くことができる。

当然、材料本来の信頼性試験をパスした材料も外的な信頼性試験を同様にパスしなければならない。一般的に、複数の代替配線アプローチとして、パッケージを介した配線、3D-IC、光などが次の 5 年以内に使われることが期待される。カーボンナノチューブのアプローチはまだもう少し将来と思われる。これらのアプローチに対してすべてのインテグレーション方法を知することは時期が早過ぎるし、また、信頼性評価を完全に行うには早過ぎるが、研究者の間で鍵となる考察のひとつとして、信頼性要求を、代替配線プロセスや設計の選択において使うことが極めて重要である。

配線性能

序論

近い将来の配線技術(Cu配線とLow- κ 絶縁膜)が次世代技術のICの性能要求に合致し続けるための適切性は、配線ネットにおいて意図した機能と、Cu配線の製造に用いた技術によって変わる。要求がより厳しくなるほど、ICのすべての技術ニーズを満足するためにパッケージやシリコンチップを含むシステムの一部として配線を考えることがますます必要になる。

幅の狭い配線における電子散乱による抵抗率上昇[1] は配線抵抗に大きく影響し、一部の抵抗上昇をバランスするため配線アスペクト比の上昇に繋がり、その結果、配線間容量の若干の上昇を引き起こす。その配線間容量は配線容量の主要な部分となっている[2]。この問題は、Low- κ 材料インテグレーションに伴う課題によってさらに悪化させられる。a) ポーラス絶縁膜の κ 値がプロセス中のダメージによる劣化で本来の値より増加する問題、さらに寸法縮小で加速される問題(Cu/Low- κ 溝の側壁ダメージ)[3]; b) 集積されたLow- κ 材料構造において、他のより κ 値の高い、密着層、エッチストップ、ハードマスク、絶縁バリアなど絶縁材料によって、Low- κ 材料の寄与が、減少する問題[4]。このような課題、特にポーラス絶縁膜のインテグレーション中の κ 値の増加が回路性能を制約するかは、回路アーキテクチャ、配線ネットワークの特性、将来の技術ノードにおける性能課題に対応するため必須の設計とプロセスの協力にかかっている。

信号伝播

高性能製品に影響する最も重要な現象は配線遅延である。一般的に、配線性能はRC積あるいはRC遅延に関係する。実際には、臨界配線長は、その長さ以下ではCが支配的で、それ以上ではRとCの両方に依存するのであるが、世代ごとに急激に短くなっている(2000年では数百 μm から2010年では数十 μm へ)[5]。しかし、ローカルおよび中間層配線層での配線長スケールリングは過去、RC遅延をほぼ一定に保ってきた。一方、セミグローバルとグローバル配線は、本当に性能制約を表すようになっていく。なぜなら典型的な配線長が縮小せず、RC増加問題を悪化させるからである[6]。この場合、RC遅延が許容できる範囲になるようにリピータを配線に挿入する必要がある[7]。このアプローチは、余計なチップ面積と電力消費を必要とする。デジタルおよびアナログ回路の両方で、寸法縮小と電流増加によるクロストークやノイズが大きな問題になっている[8]。これらのトレンドは、設計戦略に強く依存し、その中で考えるべきである。クロストークはまた遅延の不確実性を生み、システム性能の予測困難度を増加させる。

消費電力

デジタル IC 配線における消費電力はダイナミックなもので $\sim \alpha \cdot C_{\text{int}} \cdot V^2 \cdot f$ のように容量に依存する。ここで f はデジタル信号の周波数、 α は配線の活性度係数(動作率)、 V は 2 つのデジタルレベル間の電圧幅、 C_{int}

はある配線長の全配線容量である[9]。ダイナミックな電力は、直接的に配線容量の影響を受け、 V を減らすことで最も効率的に最小化できる。配線電力は、最も密度の高い配線層、ローカルや中間層配線で容量性結合の影響を強く受け、低消費電力のアプリケーションに対して影響の大きい課題である。

クロックと信号伝達のための微細配線の問題に加えて、電源配線が同様に困難な問題である。供給電圧 V の減少に関連した供給電流の増加が、一定の長さの配線を介した電源とバイアスポイントの間の電圧降下の増加を生じさせる。この問題は、断面積の減少と Cu の抵抗率上昇によって極めて重要になっている。この問題は、一定の配線長のクロックや信号線に対するリピータ挿入のように簡単には解決することができない。

システムレベルの性能

IC 性能評価には、正確な技術モデル化とシステムレベルの考慮を伴った専用のモデル化、シミュレーションツールが必要である。システムレベルで、クリティカルパスが IC システムの性能に影響を与える。これらのパスは、発振回路、配線、受信回路、入出力抵抗や容量など固有の電気特性を持った部品からなる全体のリンクを考慮して、注意深くシミュレーションされなければならない。配線の RC 遅延だけでは正確にクリティカルパスの性能評価をするには不十分で、特に電流のリターンパスやそれらの寄生インダクタンスへの影響を考慮する必要がある [10]。配線の高周波成分の伝送や波形ひずみの制約など、厳しい要求がある場合には、高周波での振舞いも考慮すべきであろう。

システム設計レベルでの代替策は、決まった配線長の配線を減らすモジュールのアーキテクチャに基づく。この方向での最近のアプローチのひとつは、最先端のマイクロプロセッサにおけるデュアルあるいはマルチコアアーキテクチャである。マルチコアでの並列処理が、シングルコアの高性能プロセッサと比較して、同等あるいはそれ以上の性能を低いコア周波数と消費電力で可能とする。マルチコア戦略は配線長を短くし、そして C_{int} 、周波数を低減させる。あるタスクを実行する時にマルチコアの並列性を利用することで、周波数と電圧が低くても実行可能となり、それが低消費電力に通じる。マルチコアアーキテクチャの開発は、チップ上のチップレベルネットワークを通じたコア間通信をサポートするため、バンド幅の広い(すなわち C の低い)新しい種類の配線ニーズを強調させる。しかし、このような大きな回路アーキテクチャの変更は、新しい設計ツールやソフトウェアを必要とし、一般的に全ての設計に使えるわけではないというデメリットがある。革命的な解決策としては、光配線のような異なる配線コンセプトがある。

新規配線の現実解

概論

半導体産業の最初の40年間、システム性能は、トランジスタの遅延と消費電力によってほとんど独占的に制限されていた。微細化は、トランジスタの遅延と消費電力を3桁減少させたが、配線の性能は、一般的に、微細化により劣化してきた。特に、一定の金属配線の抵抗率と層間絶縁膜の比誘電率で充電するRC遅延を有するノードを仮定すると、ローカル配線(スケーリングパラメータに応じて減少する配線長、“ d ”)に対する幾何学的な微細化により、一定の遅延となるが、グローバル配線(配線長一定)の遅延は、 $1/d$ で微細化により増大する。Al配線のCu配線への置き換えと、酸化膜のLow- κ 膜への置き換えにより、原則的には、遅延時間の低減に導くことができるが、不幸にも、微細なサイズでの金属の抵抗率は、側壁と粒界での電子散乱により、より急激に増大する。このことが、積極的な材料の微細化につれて、ローカル配線でさえ、RC遅延の増大を招いている。

この状況は、10年以上前は、システム性能にほとんど影響しなかったが、今や、配線遅延は、直接的に、システム性能に影響を与えるようになっている。過去の1.0 μm Al/SiO₂技術の世代では、トランジスタの遅延は20psecで、1mmの配線長のRC遅延は、1.0psecであったが、計画されている35nmのCu/Low- κ 技術の世代では、トランジスタの遅延が1.0psecになり、1mmの配線長のRC遅延は、250psecとなるであろう[1]。過去10年間、半導体業界は、トランジスタ駆動のリピータを使用し、グローバル配線をより短い配線部分に分割することにより、配線遅延を積極的に低減させてきた。リピータの使用は、効果的に配線長を減少することができ、分割あたりの遅延はおおむねトランジスタと配線成分に対して等しくなっている。このリピータの使用により、配線長の2次関数ではなく、配線長に比例したグローバル配線遅延となる。しかしながら、消費電力の増大と必要とされるトランジスタ数とビア数の増加を招く。配線への最適なリピータ挿入間隔は、5年毎に大まかに2桁短くなる。

将来的には、グローバルとローカル配線のビジョンとしては、わずかな現実解しかなく、多くの課題が山積しているといえる。グローバル配線に対しては、極端な並列化はほとんどのアプリケーションに対して限界がある。ローカル配線に関しては、狭い金属配線溝での側壁と粒界での電子散乱により急激に抵抗率と遅延が増大する。グローバル配線に対しては、幾何学的な配線長の短縮がもっとも有効である。明らかに、マルチコア設計は、最長の配線長を短縮し、課題を軽減する助けとなった。

勢いのある同様な幾何学的な解決策は、薄化した層を垂直方向に多層積層することにより配線長を減少することができる3次元構造である。積層数 n では、およそ $\sqrt{n}$ でグローバル配線長を縮小できる。3次元積層を超える候補としては、さらなる配線ベースの設計イノベーションが有望であろう。可能性のある、配線のRC代替は、光配線である。光配線については、この章で後述する。

ローカル配線では、非常に困難な課題が山積している。低誘電率材料の集積化は、ローカル配線とグローバル配線の双方の配線遅延低減に有効であろう。狭い配線溝での急激な抵抗率の増加により、側壁や粒界での電子散乱が生じない新たな1次元伝導系が必要となるであろう。シリサイド、カーボンナノチューブ、ナノワイヤーやグラフェンナノリボンのような一次元系における弾道輸送が解決策の候補となっている。バリスティック輸送は、狭隘な寸法において多くの利点を有しているが、これらの選択肢のほとんどは、Cuやシリサイドからカーボンナノチューブへのような、如何なる輸送媒体の変換に対しても付帯する基本的な量子化抵抗を有することになる。量子化抵抗に加えて、界面や基板、集積化の課題に対して付加的な導電媒体を利用することの技術的な問題は、本質的な障壁をバリスティック輸送媒体の導入に提起する。

FETを置き換える新たなトランジスタやスイッチを見出すための研究は、ローカル配線に対して新たなバリスティック輸送媒体を導入する重要な機会を提供するということを認めることは重要である。たとえば、グラフェンによるスイッチがCMOSトランジスタの有望な代替として見なされるなら、グラフェン導電体をローカル配線として使用することは論理的であろう。ネイティブデバイス配線と呼ばれるこれらの配線応用には、新たな系の融合されたスイッチとローカル配線の特性を探索する必要がある。言い換えれば、いかに優れたスイッチでも効果的に近接するスイッチとコミュニケーションできなければシステム性能を向上することはない。ネイティブデバイス配線の章では、この特性について詳細に議論する。

基本的には、今後登場する配線には、3つの異なるアプリケーションがある。すなわち、Cu配線の延長、置き換えと、ネイティブデバイス配線である。Cu配線延命は、Cuを導電媒体として使用する。しかし、Cu配線の延命には、配線性能を向上するために、層間絶縁膜、配線構造または、伝達方法のいずれかのイノベーションが必要である。これらの選択肢は、もっとも成熟しており、かつ技術的に可能であるとともに、配線章

で以前から議論されてきている。Cu 配線置き換えの選択肢は、Cu の通信媒体をカーボン配線や光配線などの他の未成熟な技術と置き換えるという理由から非常に破壊的である。ネイティブデバイス配線の選択肢は、非常に不確かである。しかし、ネイティブデバイス配線の特性を考慮することは、FET スイッチの時間的な枠組みを越えた正しい解決策に向けてロードマップを導くためには、不可欠である。Table INTC9 に 15 種のことなる今後登場する配線の選択肢に対する、基本的な利点と懸念点の簡単なまとめを列挙する。これらの選択肢は、上記のアプリケーションにグループ分けできる。

Table INTC 9 Advantages and Concerns for Cu Extensions, Replacements and Native Device Interconnects

Application	Option	Potential Advantages	Primary Concerns
Cu Extensions:	Airgaps	Lower latency and power, mature technology	Reliability, cost, integration issues
	3D	Form factor, heterogeneous integration, reduced power and latency	3D design tools and standards, reliability of TSVs, extreme thinning, high aspect ratio TSV, thermal heat extraction
	LC Transmission Lines	Mature technology, reduced power and latency for long lines	Limited bandwidth due to wide pitch
Cu Replacements:	Other metals (Ag, silicides, stacks)	Potential lower resistance in fine geometries	Grain boundary scattering, integration issues, reliability
	Nanowires	Ballistic conduction in narrow lines	Quantum contact resistance, controlled placement, low density, substrate interactions
	Carbon Nanotubes	Ballistic conduction in narrow lines, electromigration resistance	Quantum contact resistance, controlled placement, low density, chirality control, substrate interactions
	Graphene Nanoribbons	Ballistic conduction in narrow films, planar growth, electromigration resistance	Quantum contact resistance, control of edges, deposition and stacking, substrate interactions
	Optical (interchip)	High bandwidth, low power and latency, noise immunity	Connection and alignment between die and package, optical /electrical conversions
	Optical (intrachip)	Latency and power reduction for long lines, high bandwidth with WDM	Benefits only for long lines, need compact components, integration issues, need WDM
	Wireless	Available with current technology, parallel transport medium, high fan out capability	Very limited bandwidth, intra-die communication difficult, large area and power overhead
	Superconductors	Zero resistance interconnect, high Q passives	Cryogenic cooling, frequency dependent resistance, defects, low critical current density, inductive noise and crosstalk
Native Device Interconnects:	Nanowires	No contact resistance to device, ballistic transport over microns	Quantum contact resistance to Cu, substrate interactions, fan out/branching and placement control
	Carbon Nanotubes	No contact resistance to device, ballistic transport over microns	Quantum contact resistance to Cu, fan out/branching and placement control
	Graphene Nanoribbons	No contact resistance to device, ballistic transport over microns	Quantum contact resistance to Cu, deposition and patterning processes.
	Spin Conductors-Si(Mn), Ga(Mn)As	Long diffusion length for spin excitons	Low T requirements, low speed, surface magnetic interactions

Cu 配線の延命

今後登場する Cu 配線延命の選択肢は、すでに、製品に限定的に採用されている。3 つの Cu 配線延命の選択肢は以下で、強調されるエアギャップ、3D と LC 伝送線路である。これらの 2 つの選択肢は、絶縁膜と 3D の章ですでに議論されたものであり、比較的成熟した技術である。これらの選択肢は、他のさらにもっと不確かな選択肢の背景を説明するために、今後登場する技術の節に含まれている。2007 年版ロードマップでは、エアギャップと 3D の選択肢は、今後登場する配線の解決策の節で議論されただけであった。

エアギャップ技術は、Cu 配線の隣接した領域にのみ、すべての固体の絶縁膜を排除する領域を形成する。比誘電率 $\kappa=1$ である真空または、エアギャップのこれらの領域は、犠牲材料の熱分解、選択成長、製膜による制御されたピンチオフ形成や、選択エッチングによって形成することができる。すべてのエアギャップアプローチでは、構造の完全性や信頼性に深刻な影響を与えることなしに、可能な限り大きな容積の真空領域を形成することが目的となっている。極端な多孔質絶縁膜材料を集積化することの困難さは、エアギャップ技術の開発への関心を高めた。これまでに、いくつかの実効比誘電率 2.2~2.5 の範囲のエアギャッププロセスフローが報告されている[2]。

すべての 3D 配線の選択肢はより小さいフットプリント、より短い配線長、より高いダイ間のバンド幅とことなるプロセスフローの異種デバイスの集積化という利点を達成するために、薄化してシリコンまたは配線の層を垂直方向に複数積層するものである。3D の今後登場する配線の選択肢はグローバルと中間層配線の双方に影響する。3D 配線で、20 μm 以上の粗いピッチのシリコン貫通ビアのものは、グローバル配線の置き換えであり、その多くはチップの容積を低減するために、プロセスフローの異なるデバイスのシステムレベルでの集積化を狙っている。中間層配線の置き換えを狙った 3D では、ダイ間のバンド幅の最大化と配線長の最短化の両方を達成するために、TSV 密度の限界が追求される。グローバル配線置き換えの 3D の選択肢はメモリや携帯電話のアプリケーションによって活発に進められており、すでに量産されている。中間層配線の置き換えの 3D は、依然として大量生産が実現する以前のプロセス技術の本質的な改善が必要とされている。

LC または LRC 伝送線路は 50 年以上もマイクロ波技術の初めから使われてきている。LC 伝送線路の基本的なコンセプトは従来の RC 配線と非常に異なっている。LC 伝送線路は、基本的に、絶縁媒体中での光の速度、すなわち、 $v=1/\sqrt{LC}$ で伝播する電磁波の伝送のための導波路となる。伝送線路の末端で、検出可能な信号を得るためには、非常に幅広いピッチ構造の使用が必要とされ、線路における分散ロスを最低限に留めることが必要である。対照的に、RC 配線は RC 時定数で支配される線路の終端での、電荷と電圧の時間的に増加する信号の多重反射に基づいている。LC 伝送線路の実用的な導入には、5~10 μm の幅広ピッチのメタル配線と >2 μm の厚みの絶縁分離の両方が必要となる。さらに、これらの幅広の伝送線路は、線路の特性インピーダンスと整合を取るためと終端近傍での信号の反射を最少化するために、大電流の（たとえば 64 ビット）ドライバで駆動することが必要である。これらのオーバーヘッドは厳しいが、待ち時間と消費電力の評価尺度は、長い LC 伝送線路に対して非常に好印象である。特に、同じ長さの光配線や従来の Cu/Low- κ 配線に比べて、1cm の LC 線路は、より早く伝達でき、低消費電力であることがわかっている[3]。しかし、5~10 μm のピッチは、如何なる広帯域のアプリケーションに対しても、そのような配線のバンド幅とプロセスコストを法外なものにする。

Cu 配線の置き換え

バルクの Cu の電気抵抗は銀を除くすべての従来の金属より低いため、Cu の置き換えとして有望な金属の適性は、電気伝導性の有限のサイズ効果の影響度によって初期的には決定される。バルクの特徴は、Cu の電気抵抗には劣るがロードマップの終焉でのサイズに相応する線幅で、Cu の電気抵抗値よりも優れているかもしれない代替材料が研究されてきている。また、Cu ではない金属の多層の超薄膜や多層ナノ配線構

造において、新規の量子効果が従来の Cu/バリア膜系に比べて優れた性能を発揮するかもしれない。可能性のある選択肢を以下に記載する。

金属シリサイド

ニッケルモノシリサイド導電体 ($\sim 10\mu\Omega\text{-cm}$) のバルクの電気抵抗は、単結晶ナノワイヤー (SCNWs) のワイヤーの横方向のサイズが微細化されて 50nm に近づいても影響されないことが幾人かの研究者達によって示されている[4~6]。これは、NiSi の小さい電子の平均自由行程 ($\sim 5\text{nm}$) に帰属させられる。15nm という小さい直径のニッケルシリサイド SCNW においても、バルクの抵抗値が維持されることが現在までにひとつのグループによって報告されており[6]、このサイズでの多結晶 Cu 配線に期待される抵抗値より有利になると比較されている。本来的なシリコン系デバイスとの集積化容易性と FEOL 工程でのニッケルシリサイドコンタクトの普及は、関心を高く保つことであろう。他のニッケルシリサイド相も、50nm を切る単結晶ナノワイヤーの領域において、バルク同様の電気抵抗を示す。直径 40nm 程度の NiSi_2 単結晶ナノワイヤーは、バルクの NiSi_2 の抵抗値と一致する $30\mu\Omega\text{-cm}$ の実効抵抗値を示す[7]。同様に、34nm 程度の直径の Ni_2Si 単結晶ナノワイヤーは、 $21\mu\Omega\text{-cm}$ の実効抵抗値を示す[8]。シリコンナノワイヤーへの ALD 法による NiSi_2 の超薄膜の環状製膜においても、バルクに近い抵抗値 ($\sim 35\mu\Omega\text{-cm}$) が得られている[9]。単結晶という本性の効力により、これらの量論のニッケルシリサイドナノワイヤーは最大電流密度が $10^7\sim 10^8\text{A/m}^2$ に迫るか越える値を示している。幾つかのグループによって、ニッケルシリサイドナノワイヤーのバルク様の電気抵抗の安定性が確認されているが、11nm ノードでの Cu 配線の実効抵抗値に近づくことが可能な、配線工程の Cu の代替として特に適正なものは、モノシリサイド相だけである。

トップダウンのニッケルモノシリサイドワイヤー形成の重要な実証例が最近報告され、実験的な関心が持続的に払われるだろう。パターン化されたシリコンのニッケルシリサイド化により、25nm 以下の幅の単結晶ニッケルシリサイドワイヤーを効率的に得ることが出来る。この手法で形成されたワイヤー幅 $> 50\text{nm}$ のワイヤーのバルク様の抵抗値 ($\sim 15\mu\Omega\text{-cm}$) が、報告されている[7]。一方、ワイヤー幅 $\leq 30\text{nm}$ のニッケルシリコンワイヤーは、 $\sim 23\mu\Omega\text{-cm}$ を示す[10]。対照的に、断面が $23\times 31\text{nm}^2$ と $455\times 27\text{nm}^2$ の同様な方法で形成されたニッケルシリサイドナノワイヤーの測定された電気抵抗率は、 $19.5\mu\Omega\text{-cm}$ と $19.7\mu\Omega\text{-cm}$ とほとんど変化がなかった[11]。できあがったニッケルシリサイド配線構造において、 $10\mu\Omega\text{-cm}$ 程度以下の抵抗率が保持されるかどうかは、まだ検証すべき課題であるか、この報告ならびに以前に報告された論文からは、ニッケルシリサイドの比較的低いサイズ依存性を明確に示している。

銀

文献に最近報告されたように、大きな平均自由行程 ($\sim 58\text{nm}$) を有するため、銀の薄膜やナノワイヤー構造での電気抵抗率は、サイズ効果により本質的に増加する[12~14]。さらに最近の報告では、平均のワイヤーの直径が 40~50nm の単結晶 FCC 銀ワイヤーの平均抵抗率が $11.9\mu\Omega\text{-cm}$ であることが示されており、この傾向を追認した[15]。まだ、魅力的な抵抗値を示す、ナノスケールの銀ワイヤーの例がある。直径 100nm を切る単結晶銀ナノワイヤーでは、抵抗率 $\sim 2.6\mu\Omega\text{-cm}$ を示した [16]。比較的ワイヤーの直径が大きいが、抵抗率のこの値は、本質的なプロセスへの感度を示しており、銀ナノラインの研究を続ける動機となるであろう。

金属フォノン工学

電子-フォノン散乱は本質的に室温、またはそれ以上の温度での電気抵抗に寄与する[17, 18]。表面散乱が 32nm 以細の線幅のワイヤーでは主要因であるが、電子-フォノン散乱の低減は追及すべきである。金属量子井戸は適切な構造と材料において、電子-フォノン結合を低減できることが示されている。バナジウム基板上的銀超薄膜 (3nm) ではバルクの銀に対して、38%の電子-フォノン結合の低減が認められる[19]。このことは、局在する状態密度と表面散乱に対する名目上の影響度を有する、室温でのフォノン誘起電気抵

抗における 30%の低減に大まかには換算できると期待される[20]。同様に、銅(111)基板上の 13nm の銀薄膜では、同様な電気抵抗の低減効果をもたらす、バルクに比較して、42%の電子-フォノン結合の低減が認められる[21]。不完全は金属-金属界面が、電子-フォノン結合による抵抗率への恩恵を覆い隠してしまうかも知れないけれど、そのような多層構造に対する、継続的な研究の必要性が強調されるべきである。

金属の幾何学的共鳴

量子拘束効果は一般的に電気抵抗率に関しては有害である。そのような効果は、典型的には、状態密度の制限やサブバンド間散乱による電子散乱(表面かフォノンに起因する)を増大する[20、22]。これらの効果は、電子の量子状態波ベクトルの有限サイズ制限に起因する。明確なタイプの量子の拘束効果は電子表面散乱に基づいて予測されている[24~26]。ひとつの複雑さは、横断する波動関数(またはその誘導関数)の波節と偶然に一致した層界面における多層膜の幾何学的共鳴の存在である。幾つかの共鳴現象が、現在と将来のクラディング技術に沿って 1~3nm の範囲において、個々の層の厚みに対して存在する。終端効果は、擬似弾道輸送(フォノン誘起散乱が無視できる)を可能とするサブバンド間散乱の予期された低減を意味する。そのような効果の研究は、Cu やカーボンによる配線の代替技術と同様、従来の金属において研究されている、よりコアシェル型のナノライン構造が研究されるにつれて、発展するであろう。

カーボンナノチューブ

カーボンナノチューブ(CNT)は、大きな電子の平均自由工程、機械強度、高い熱伝導性や大電流を流す能力のため、将来の技術として、大規模集積回路の配線としての応用に主要な研究的興味を引き起こしている。CNT は単層(SWCNT)または、多層(MWCNT)がある。単層 CNT はただひとつのグラフェン殻からなっており、その直径は、0.4nm から 4nm で典型的には、1.4nm である[27、28]。多層 CNT は複数の同心円状のグラフェン円筒からなっており、その外径は数 nm から 100nm まで変化し[28、29]、層の間隔は、0.32nm であり、グラファイトのグラフェンシートの間隔と同じである[28]。単層 CNT のグラフェン円筒や多層 CNT を形成する殻は金属または、半導体的な伝導性いずれかを示し、これは、幾何学的な構造(対称性)に依存する。しかしながら大口径の半導体的な伝導性を示す殻($D > 5\text{nm}$)は電子の熱エネルギーと同等か小さいバンドギャップを有するため、室温では、導電体のように振舞う[28~30]。

CNTの利点

CNT はそれらの一次元的な性質や特異なグラフェンのバンド構造や炭素間の強固な共有結合により、Cu/Low- κ と比べて幾つかの利点を提供する:

1. **高電導性**—それらの一次元的性質により、CNT における電子散乱の位相空間が限られており、バルクの Cu での 40nm と対照的に、高品質の CNT ではマイクロメートルの範囲の電子の平均自由行程を有している[31]。緻密に充填された CNT の電導率は、微細化された長配線の Cu 配線より高い。しかしながら、短い CNT の束の導電率は、量子抵抗により限られた値である。金属電導の単層 CNT は二つの電導チャネルを有しており、その量子抵抗は $6.5\text{ k}\Omega$ である[28、32]。
2. **エレクトロマイグレーション耐性**—グラフェンにおける強固な sp^2 炭素結合により、非常に強い機械強度を示し、Cu での 10^6 A/cm^2 とは対照的な 10^9 A/cm^2 という非常に大きな電流伝導能力を CNT 配線に付与している[33]。しかしながら、実用上は、CNT 配線における最大電流密度はコンタクトで制限されるだろう。
3. **熱伝導性**—長軸方向の独立した CNT の熱伝導性は、 6000 W/mK のオーダーであると、理論的なモデル[34]からと多孔性の束の実測値の外挿[35]から示唆されるように、非常に高いと期待される。

CNT における熱伝導は非常に異方性であり、横方向の伝導性は、長軸方向の伝導性に比べて数桁低い。

CNT集積化の選択肢

低抵抗で短い配線、すなわち、第一配線レベルでの電力、接地線などが必要とされるところ以外においてほとんどの層の配線階層において、Cu/Low- κ を置き換えることが可能である[36]。CNT は以下の形態のオンチップ配線の応用に集積化可能である：

1. 単層 CNT 束 — 電極と高品位のコンタクトを有する Cu/Low- κ 配線と同じ次元の高密度単層 CNT の束は配線抵抗の低抵抗化と Cu ワイヤのサイズ効果の問題を扱うために Cu/Low- κ 配線を置き換える理想的な候補である。この集積化の選択肢は、RC 遅延が支配的な長配線において大幅な遅延改善をもたらす[27、36~38]。
2. 数層の単層 CNT 配線 — 単層 CNT の数層の配列は、50%以上 CNT の容量を低減することが可能であるとともに、隣接する配線間の静電的結合を大幅に低減可能である。このことは、ローカル配線の遅延と電力消費を減らす助けとなる。この配列構造は遅延が、容量負荷が支配的であり、抵抗ではない短いローカル配線に対して特に興味を持たれる[43]。
3. 大直径多層 CNT — 適切な接続が形成されれば、多層 CNT 内のすべての殻は電導性を示すが、理論と実験から証明されている[29、30、39]。高品位な多層 CNT では平均自由行程が非常に大きく[29、40]、理論的モデルによれば、長い大直径の多層 CNT は Cu を凌駕する可能性がある。さらに、単層 CNT と同程度のレベルのチューブ内の欠陥であり、すべての殻に適切に金属コンタクトが形成されれば、単層 CNT さえ凌駕する可能性がある[41]。そのような多層 CNT はセミグローバル配線や、グローバル配線に適している。最近、ギガヘルツ帯で動作する多層 CNT 配線が実証された。これらの実験における多層 CNT の導電率は主に、欠陥密度の高さや、外殻と内殻の直径の比が小さいという理由のため、理論モデルよりかなり低かった[42]。

CNTの課題

CNT を配線として利用することができるようになるには、取り組むべき技術的な課題が数多くある。CNT の集積化に対する重要な課題は以下の通りである：

1. CNT の高密度集積化を達成する — CNT 束は十分に密であれば、導電率で Cu ワイヤを凌駕できる。分散した単層 CNT はチューブ間の距離が一定の 0.34nm で規則的な高密度の配列を形成することが出来るが、これまでに報告されているが、面内で成長した CNT はきわめて低密度である。Table INTCl0 には導電率で最小サイズの Cu ワイヤを凌駕するのに必要となる金属電導の単層 CNT の最小密度を記載した。技術が進化して、Cu ワイヤに対してサイズ効果がより厳しくなるにつれて、最小密度はより小さくなる。触媒の材料と粒子サイズがナノチューブの径と密度を決める鍵となるパラメータである。
フォノン律速の電子平均自由行程が室温で 1 μ m である、単層 CNT の直径は 1nm であると仮定される [44~46]。コンタクト抵抗は、単層 CNT の真性抵抗の 10%以下と仮定され、このことは、束の長さが長いほど、大きなコンタクト抵抗が許容できることを意味する。密に充填された直径 1nm の金属電導の単層 CNT の理想的な密度は、0.66 nm⁻²である。
2. 金属単層 CNT の選択成長 — 現在開発されている単層 CNT の成長プロセスでは対称性の制御ができない。統計的にランダムな対称性を有する単層 CNT の 1/3 だけが金属的である[28]。半導体的

なチューブに対する金属的なチューブの割合を増加させることで、この割合に比例して、単層 CNT 束の導電性は増す。半導体的単層 CNT は配線応用にとっては致命的ではなく、トランジスタへの応用と対照的に、対称性に対する完全な制御の必要はない。

3. 方向を揃えた CNT の成長 — 現在、特に挑戦的な段階は、水平方向での制御された CNT の成長である。垂直な面への触媒の配置が水平方向への成長を垂直方向の成長よりさらに困難にしている。しかしながら、水平方向への成長に関して、幾許かの進捗がある[47]。
4. 低抵抗コンタクトの達成 — 金属電極の CNT へのコンタクトは、反射効果を引き起こし、コンタクト抵抗を生じる。これらの反射は電極から CNT への電子の波動関数の不十分な結合により生じる。有望な理想に近いコンタクトが実験的に実現されてきている[30、48]。しかし、大きなコンタクト抵抗を示す多数の報告が、良好なコンタクトを形成するためには、技術的な課題が多いことを示している。束における単層 CNT 間[43]とまた、多層 CNT 内の殻間の弱いチューブ間相互作用のため[28、39]、すべてのグラフェン殻間の直接的な結合と金属的なコンタクトが要求される。垂直な CNT 束の CMP がこの要求に対する解となるであろう[49、50]。
5. 無欠陥 CNT の達成 — CNT は吸着分子に非常に敏感である。さらに、安定な特性を有する CNT を生成するための技術的な課題として CNT の表面に吸着した分子が CNT の電気抵抗に影響することが見出されている[40、51]。
6. 配線工程と整合性のある CNT 成長 — 報告されているもっとも高品位な CNT は 600°C 以上の温度で成長されており、この成長温度は、シリコン技術には相容れない温度である。400°C 程度の温度での CNT 成長を含む有望な進捗が報告されている[30]。しかしながら、成長温度が低下するにつれて典型的には、欠陥密度が増加する。さらに、CNT 配線は、すべての Cu 配線を置き換えられそうにはない。それゆえ、CNT 配線形成技術は Cu/Low- κ 技術と整合性が必要とされる。

CNT 配線は個別には有望であることが示されているが、それらを実際の回路に成功裏に結びつける努力は少ない。CNT によるデバイスや配線が大規模集積回路の本流技術として導入される以前に、幾つかのプロセス的、信頼性的な課題に取り組むことが必要である。このことが CNT を研究のための興奮させる開かれた分野にしている。精製、CNT の分離、ナノチューブの長さ、対称性、望ましい配列の制御、高密度成長、低温成長や高品位なコンタクトなどの問題がまだ十分には解決されていない。

Table INTC 10 Minimum Density of Metallic SWCNTs Needed to Exceed Minimum Cu Wire Conductivity

グラフェンナノリボン

六方晶系で充填された炭素原子の単原子層であるグラフェンは厳密な 2 次元材料である[52]。グラフェンの研究は、2004 年に始めて分離されて以来、すでにカーボンナノチューブで以前に発展していた技術的な知識のおかげで急速に進歩した。グラフェンナノリボン(GNR)は展開された CNT と考えられ、それらの性質は CNT のものと類似している。GNR はその幾何学的構造により金属から半導体までの状態を取る事が出来る[53~55]。高品位なグラフェンシートは CNT と同程度の平均自由行程を有しており[56]、単層 CNT で報告されていると同程度の大電流密度の電流を流すことができる[57]。GNR が CNT に勝る大きな利点は、単純な生産プロセスである。

GNR の電気特性は幅と幾何学構造により決定される[55]。強結合近似では、ジグザグ形状のエッジを有する GNR は金属電導(零バンドギャップ)であると予測される[55]。一方、アームチェアー型 GNR では、幅方向の炭素原子の数が $3p+2$ (p は整数) で表される場合、金属的である。幅方向に $3p$ または $3p+1$ の炭素原子を有するアームチェアー型 GNR は半導体であり、バンドギャップは幅の逆数に比例する[55]。現在までに測定された、すべての GNR が幅の逆数に比例するバンドギャップを有する半導体であることが示されている[56、58、59]。すべての測定された GNR のバンド構造におけるギャップの存在は、ほとんど、エッジラフネスに帰属されている[58、59]。第一原理計算によっても、アームチェアー型 GNR のエッジに沿った炭素原子の間隔が 2D グラフェンの炭素原子の間隔よりも 3.5% 小さいことが示されている[60]。この格子定数における変化により $3p+2$ GNR のバンド構造に小さなギャップが形成される[60]。同様に、第一原理計算において、スピン自由度が考慮されると、ジグザグ型 GNR のバンド構造においてもギャップが現れる[60]。

金属的な GNR を得ることは出来ないかもしれないという事実が、GNR の配線としての可能性を除外するものではない[61]。ITRS の終末に予想されている 11nm の配線幅に対してさえ、半導体的な GNR のバンドギャップは、0.1eV より小さい[61]。グラフェン層におけるフェルミエネルギーはしばしば 0.1eV より高い。フェルミエネルギーがバンドギャップの半分より大きい、数 $k_B T$ である場合、第一伝導帯は十分な密度となる[61]。そのような GNR にとって、金属と半導体 GNR の理想的な電導度は無視できる差となるであろう。

GNRの利点

GNR は Cu/Low- κ 配線に比較して幾つかの利点を提供する:

1. 高い電導性—カーボンナノチューブ同様、純粋な高品位のグラフェンの平均自由行程は極めて大きい。グラフェンでは、数百 nm の大きさの平均自由行程をもつものが報告されている。基板起因の欠陥が電子散乱の支配的要因であると信じられており、宙吊りのグラフェンの場合に、数 μm 程度の大きさの平均自由行程に相当する高い易動度が報告されている[62]。相互作用のない平滑なエッジでフェルミエネルギーが 0.2eV の GNR の積層体の電導度は、とくに長配線かつ断面積の小さい Cu ワイヤーには勝ると予測されている[61]。
2. エレクトロマイグレーション耐性—グラフェンの強い sp^2 炭素結合は非常に高い機械強度と Cu の 10^6 A/cm^2 の電流密度[36]とは対照的に、GNR での 10^9 A/cm^2 という非常に大きな許容電流値に結びついている。しかしながら、実用的には、コンタクトが GNR 配線の最大電流密度を制限するであろう。
3. 熱伝導率—面内での宙吊りされた単層グラフェンシートの熱伝導率は 5300 W/mK と測定されている[63]。この値は、単層 CNT 束に報告されているもっとも高い値に匹敵する[63]。

GNR集積化の選択肢

GNR は以下の 2 つの形態で、チップ上の配線応用として集積化される可能性がある:

1. 多積層 GNR 配線 — Cu ワイヤーの電導率がサイズ効果により重度に制限される微細な配線においてとくに、配線抵抗を低減するために使われる可能性がある。Bernal 積層の場合、グラフェン層は ABAB の規則的な配列を有する[64]。この場合、層同士は、電氣的に結合しており、グラファイトを形成する。グラファイトは独立したグラフェンシートの魅力的な電氣的性質を失う。それ故に、電子的な分離層を多層 GNR に設けることは重要である。積層欠陥は C 面 4H-SiC 基板[64]と CVD 成長した多

層グラフェン膜[65]上のエピタキシャルのグラフェン成長に対して報告されている。フェルミエネルギーのシフトは予想どおり、グラフェン-基板界面での電荷トラップにより生じるが、スクリーニング効果によりグラフェン積層の底部の数層のグラフェン層に限られる[66]。エッジ官能化[67]のような方法が、GNR 積層のすべての層のフェルミエネルギーをシフトさせるためには適用されなければならない。

2. 数層 GNR 配線 — GNR の数層の配列は 50%以上程度 CNT による配線の容量を低減するために使用でき、隣接する配線との静電的な結合をかなり低減できる。これは数層配列の単層 CNT と類似している。容量の低減は、ローカル配線の遅延と消費電力を低減する助けとなる。この配列は、特に、抵抗負荷ではなく容量負荷が支配的な短いローカル配線でとくに興味を持たれている。

GNRの課題

GNR が配線として利用されるようになる前に取り組むべき技術的な課題が数多くある。GNR の集積化に直面する重要な課題は以下のとおりである：

3. グラフェン合成 — 任意の基板上への高品位のグラフェンシートのウェーハレベルでの合成は主要な課題として残っている。SiC 基板上のエピタキシャルなグラフェンの成長はウェーハレベル成長の可能性を有しているが、絶縁材料上にグラフェンが必要とされる配線応用の適当な選択肢とはならない。最近、グラフェン膜が 2 層触媒膜 (Co と TiN) と 510°C 程度の温度での化学気相成長 (CVD) を用いて得られている[68]。この方法では、多層グラフェンが垂直に成長した多層 CNT の頭頂部に成長している。得られたグラフェン膜は非常に平坦であり、厚みは Co 膜の厚みで決定される[68]。グラフェンの連続膜は Ni 多結晶上の常圧 CVD によっても形成できる[65]。ニッケル膜のウェットエッチ後、CVD により形成された膜の種々の基板へ転写に成功している[65]。シート抵抗が $280\Omega/\square$ 程度と小さく、易動度が $3,700\text{ cm}^2\text{V}^{-1}\text{S}^{-1}$ 程度と高いグラフェン膜がニッケル上に CVD 成長したグラフェン膜をシリコン基板に転写するという同様なアプローチで得られている[69]。グラフェン形成のウェーハレベルの方法は、依然として、グラフェンデバイスの大規模集積化に必要な均一性とグレインサイズが不十分である。
4. 平坦なエッジを有するパターン化された GNR — 幅の狭い GNR はエッジの品質に極めて敏感である。なぜなら、パターン化されていない 2 次元のグラフェンの固有の平均自由行程が GNR の幅と同程度になった場合、電子は頻繁にエッジと相互作用するようになるからである。グラフェン固有の平均自由行程は、数百 nm 程度と大きくできるので、興味の対象であるほとんどの配線幅に対しては、エッジでの散乱により実効的な平均自由行程が決定されることになる。エッジ散乱を伴う平均自由行程は、エッジの品質 (粗さ)、GNR の幅と、縦方向と横方向の電子速度の比に依存する。エッジの粗さはエッジでの後方散乱確率により決まる。リソグラフィーによりパターン形成された GNR の後方散乱確率は 1 であるが[53]、化学的に得られた比較的平坦なエッジを有する GNR の後方散乱確率は 0.2 であることが報告されている[70]。GNR の幅と速度の縦横比の積はエッジと作用するまでの電子の平均移動長を決定する[53、70、71]。ディラックポイントから遠く離れたサブバンドは、より小さい縦横比を有しており、それ故、短い平均自由行程を有する。
5. エッジの官能化またはドーピング — 基板に近接するグラフェン層のフェルミエネルギーはグラフェンと基板の界面に蓄積した電荷のために中性点からシフトする。しかしながら、この効果は、スクリーニング効果のために上方の層に対しては指数関数的に減少する[66]。多層 GNR のすべての層を利用するためには、エッジ官能化かドーピングにより上方の層のフェルミエネルギーをシフトさせなければならない。さもなければ、上方の層の電導度はそのバンドギャップのために、かなり小さくなるだろう。この

電導度劣化はバンドギャップが大きくなる幅のより狭い GNR に対してより厳しくなる。エッジの官能化やドーピングは実効平均自由行程が逆方向に影響されない程度に成されなければならない。

6. 低抵抗コンタクトの達成 — カーボンナノチューブと同様に、GNR への高信頼性低抵抗コンタクトを形成することは挑戦的である。多層の GNR に対して、グラフェン層はグラフェンの魅力的な性質を維持するために、電氣的に分離されることが望ましい。そのため、コンタクト部において多層 GNR のすべての層への直接接合が必要である。

光配線

CMOS 適合性の光配線の現実解がダイ上の配線(信号およびクロック分配)と I/O(入力/出力)に対して提案されてきている。チップ搭載の光配線の推進力は、光速の信号伝播とウェーブガイドの広帯域の利用である。I/O 向けの応用としては、現在の実装配線(金属と絶縁体)における損失によってもたらされる限界を克服するためと高パワーイコライゼーションとプリアンプの必要性を避けるか最小化するため、光配線は、ビット当たりのパワーを低減しつつ、帯域幅集約及び／または通信距離を増加させることに焦点を当てている。I/O と信号、クロック分配は類似の光部品を必要とするため、研究費用と生産費用は分担される。

遅延や消費電力のみならず、ピッチの制約のため、光配線は、マイクロプロセッサの下層配線をすべて置き換えることは期待されていない。その代わりに、全体としてのシステムの性能を向上する光アーキテクチャの独自の性質の利点を活用する、コスト効率的な導入が焦点となっている。そのような光配線の現実解を実現するために、CMOS 適合性の光部品の開発が最優先で重要である。重大な進歩が成されてきているが、この分野は、現存する配線ロードマップとの交差点を定義するにはまだ十分に成熟していない。

光配線の優位性

光配線の基本的な優位性は、上記のように、光速の信号伝播と大きなバンド幅である。しかしながら他の優位性も存在する。その他の優位性として、信号伝送路間の最小クロストークと多重波長の伝送能力がある。単一の光伝送路で多重波長を収容できる能力は、電氣的な手法では、達成不可能なバンド幅密度を提供するデータ転送能力多様性を増加する。

集積化の選択肢

数多くの光アーキテクチャが提案されてきているが、下記のように、これらのほとんどは、以下の2つのカテゴリーのひとつに分類できる:

- ・ 集積化光源アーキテクチャ — この場合、複数のダイ上の直接変調光源(たとえば VCSELS; *Vertical-cavity surface-emitting laser*)とダイ上の検出器が構成要素として存在する。主な欠点として、ダイ上光源の大きな消費電力と発熱と、高速高効率 CMOS 対応光源の集積化の重大な課題である。
- ・ 外部光源アーキテクチャ — これらは、ひとつまたは複数のダイ外部のパッケージ上やボード上の光源とダイ上の変調器と検出器を用いた実装である。このファミリーの主な利点はレーザーの電源がダイ外部である(すなわち、ダイを通して供給する必要がない)ことである。主な欠点は光をチップに導く際の結合損失である。

上記の双方の場合において、波長特異性フィルタ／変調器は、おのこのチャンネルに複数の不干渉信号を伝送することを可能とする多重化を実装するために用いることができる。

利点

- ・ **遅延** — ダイ上信号処理の場合に対して、光配線が対する金属配線よりも高速となる臨界長を定義することが可能である。光部品の品質に依存する臨界長は mm オーダーの長さで見積もられている[72]。
- ・ **信号完全性** — 金属－絶縁体配線における望ましくないクロストークにより生じる設計とレイアウトの制約を光配線では、単純化できる可能性がある。
- ・ **スキューとジッター** 光配線における少ない待ち時間とクロストークがないことがクロック分配の低スキューと低ジッターに帰結する可能性が提案されている。しかしながら、従来の金属／絶縁体システムに実装された新規のクロック分配設計は、マイクロプロセッサの要求に適合することが期待されている。

欠点

- ・消費電力
- ・コスト
- ・複雑さ

配線の階層での潜在的利用

光 I/O の提案されている実装のほとんどは、以下の二つのアーキテクチャのひとつに分類される。

- ・ **集積化 I/O** — この場合には、光学部品はデジタルロジックチップに集積化される。チップと外界との通信の一部かすべてが光信号を通じてなされる。
- ・ **ディスクリート I/O ダイ** — これらのアーキテクチャはデジタルロジックチップからの電気信号を受信し、信号を光信号に変換する光 I/O チップを使用する。等価的に、光 I/O チップは電気信号に変換されロジックチップに供給される光信号を受信する。

主な集積化 I/O の利点はディスクリート I/O に比べて消費電力を少なく出来る可能性があることである。他方、光学部品がマイクロプロセッサのダイ上に集積化される場合、さもないと課される設計と集積化の制約のいくらかをディスクリートアーキテクチャーは取り除くことができる。

利点

- ・高度集合バンド幅とビット当たりの低消費電力
- ・長距離 I/O の可能性
- ・プリアンプとイコライゼーションの必要性の排除または、最少化

欠点

- ・コスト
- ・複雑さ

課題

現在の光配線の初歩的な課題は低コスト、低消費電力の CMOS 製造工程に適合した部品を形成することである。これらの部品のいくつかとそれに伴う課題は以下のリストに含まれる。

部品

オンチップへの信号、クロック分配および／または I/O 用途の光配線の実装は以下の部品のすべてかまたは幾つかが必要である：

- ・ **光源** — 変調の観点から、光源は直接変調または、非変調のものが用いられる。はじめの方の場合は、電気信号により光源はオン、オフが可能である。後者の場合は、電気信号で制御できる変調器と組み合わせて用いられる。配置の観点からは、レーザーがダイ上か外付け（パッケージまたは、ボード上）が可能である。鍵となるパラメータは、出力電力、効率、コスト、熱安定性、冷却方法と直接変調光源に対する速度である。光源の例として、VCSELS、量子ドットレーザー、端部発光半導体ダイオードレーザーがある。もっとも広く使われている波長は、850、1310 と 1550 nm である。
- ・ **光検出器** — レーザーの場合のように、光検出器は、ダイ上または外付けで集積化可能である。金属-半導体-金属光検出器は、CMOS 適合性である可能性を有しており[73]、Ge、Si および SiGe を用いて形成することができるため[74、75、76、77]、非常に注目されてきている。鍵となる技術的なパラメータは応答性、動作電圧、入力容量、暗電流に対する光電流の比、入力容量に対する光電流の比、光結合効率、大きさである。鍵となる設計パラメータは、光検出器への結合である。最近、光検出器との結合を増強するためにプラズモンの利点を利用する検出器が提案されている[78]。
- ・ **変調器/フィルタ** — 変調器とフィルタは典型的にはダイに外付けとなる非変調光源との組み合わせで使用される。変調器の主要な目的は標準デジタル信号で特定の導波路へ光の流れを制御することである。周波数依存のフィルタは単一の導波路に多重の信号を伝送することを可能とする多重化を導入するために使うことが可能である。数多くの種類の CMOS 整合性のある変調器が共鳴器とマッハツェンダーを含めて文献に提案されてきている。鍵となる性能パラメータは結合効率、動作電圧、スイッチング時間、導波路ロス、トータルパワー、変調深さ/吸光度の比と面積である。
- ・ **導波路** — 導波路はチップ上を最小損失で光を伝送する方法を提供する。検出器への光の効率結合のみならず、それらは、曲げ、や反転の実装を可能とすることも必要である。導波路と周囲の材料との大きな屈折率のコントラストはきつい回転半径と小さいピッチを可能とするが、実効屈折率の逆数で減少する速度低下の代償が必要である。産業分野ですでに一般的となっている材料を用いたダイ上導波路の報告例として、Si、Si₃N₄、または、SiO₂ クラッド上の Si₃O_xN_y などがある[79]。鍵となる技術的なパラメータは単位長さ当たりの損失と屈折率コントラストとピッチが含まれる。
- ・ **連結器/分配器** — 連結器は外部光源からの光をパッケージやダイに導くために使われる。鍵となる評価基準は結合効率、コストと合わせ条件である。結合器での電力損失は光システムの光バジェットに対して、支配的である可能性がある。分配器は光源（レーザーまたは、単一の導波路）を 2 つまたはそれ以上の導波路に分割するのに使われる。電力損失とサイズが分配器のもっとも重要な品質評価基準である。

CMOS 適合性のある光部品の開発に向けて、特に、導波路と検出器の場合において、顕著な進歩が成されてきている。しかしながら、光配線の可能性を十分に実現するためには、付加的な進歩が、変調器、光源と結合器のさらなる開発のために依然として必要である。

超伝導体

抵抗ゼロの概念は明らかに即、配線システムの RC 遅延を最少化する試みに訴える。このことは、配線システムへの超伝導体の可能性ある応用として幾らかの注目を集めてきている。不幸にして、超伝導体の応用にとって、配線としての魅力を削ぐ幾らかの不自由な現実が存在する。第一に、超伝導体は妥当な性質を発揮するためには、約 77K に冷やされる必要があり、そのような冷却方法は非常に高価である。第二に、典型的には、高温超伝導体はエピタキシャル基板上で、高い成長温度が必要であり、CMOS 集積化とは整合しない。第三に、高温超伝導体の臨界電流密度は $1\text{E}5\text{ A/cm}^2$ のオーダーであり[80]、これは動作電流に近い。第四に、超伝導体は電導度に依存する固有周波数を有する。77K では、Cu と YBCO は 150 GHz で等価な表面抵抗を有する。10 GHz においては、YBCO は Cu に比べて約二桁低い表面抵抗を有している[81]。最後に、抵抗がゼロに近づいたとしても、信号伝送は伝送速度が $1/\sqrt{LC}$ である LC 伝送線路と同様になるであろう。

ワイヤレス配線

集積回路において、ワイヤレス配線は基板または、信号伝達のための基板の下方に配置できる絶縁層と組み合わせられた基板を使用する。これは、従来の配線層に対して、並行するチャネルを提供する。しかしながら、電力消費を伴うとともに、回路やアンテナのための付加的な領域を必要とする。典型的なドーピングレベルの厚いシリコン基板は、高い損失とそれに伴う信号減衰を生じる。この減衰を低減するために、シリコン基板を 100 μm 以下に薄化することが可能である。チップ外のアンテナからチップ上のアンテナへシリコン基板の裏側を通して、通信することも可能である。トランジスタのピーク遮断周波数の 25~50% 程度高く出来る動作周波数に比例してアンテナのサイズは縮小する。吸収係数も動作周波数と透過率の積が、基板の電導度より十分に大きい限界での動作周波数とともに減少する。20 $\Omega\text{-cm}$ の基板に対して、遷移周波数は、10 GHz 前後である。やがては、プラズマ効果に関連する不純物は吸光係数を増加させる。

ワイヤレス配線の帯域は与えられたプロセス技術において実現される回路の帯域により制限される。帯域は、トランジスタの f_T の 25~50 % である。現在の CMOS 技術で、データ速度 100~200 Gbps が可能であるが、低い帯域から並の帯域の信号にワイヤレス配線をより適するようにすることもできる。携帯電話の通信に対して、回路面積の増大と、電力消費の犠牲のもとに、成されたと同様に、集約型の帯域幅は空間をセルに分割することにより、増加することが可能である。周波数分割多重アクセスとコード分割多重アクセス機構は I/O 線を増加する付加的な選択肢である。しかしながら、ハードウェアと消費電力のオーバーヘッドは一般的にチップ内応用に対して、Cu 配線を使うのに比べて高すぎる。ワイヤレス配線は、グローバルクロック、リセット、スリープや複数の長い金属配線を必要とする中程度のバンド幅の信号のようなファンアウト 10 から 100 のグローバル信号により適している。与えられたクロック周波数とスキュー耐性で同期できる面積は、チップ外付けのアンテナから集積回路の裏面を通してクロックを放射することで増加させることが出来る。PC ボード上での金属カバーとグランドプレーン間の空き領域を使用してのプリント基板内でのチップ間ワイヤレスデータ通信も可能である。媒体の損失は PC ボード上の伝送線路の損失よりも小さい。さらに、有線での配線も送信機と受信機が必要であるため、ワイヤレス配線の電力消費と面積オーバーヘッドの方が、より許容性がある。

ネイティブデバイス配線

新規デバイスの多岐に亘る組み合わせが、シリコン CMOS スイッチの拡張または、代替として研究されている。探求されている選択肢の範囲は、シリコンナノワイヤー、カーボンナノチューブやグラフェンナノリボン

のような新奇な材料からなる電界効果トランジスタから、電子スピンのような新たな計算状態変数に基づく、より破壊的なデバイスまで亘っている。これらの新しいデバイスコンセプトのおのおのが、固有の性質の見地から評価されるので、それらの配線としての観点についても、調べられなければならない。一方、配線に伴う遅延やエネルギーのオーバーヘッドはこれらの新奇デバイスの固有の利点を洗い流してしまうかもしれない。このことは特に、デバイスと配線が同じ材料で形成される場合（ネイティブデバイス配線）、デバイスと配線の境界がぼやける、いくつかの新規デバイスにとって重要となる。カーボンナノチューブ、グラフェンナリボンとシリコンナノワイヤーはそのような材料の例である。また、非電荷ベースのデバイスは少なくとも局所的には、高速かつ低エネルギーの方法でそれらの状態変数を通信することが出来なければならない。他方、信号のやり取りに必要とされる回路遅延やエネルギーオーバーヘッドは忌避されるだろう。この節では、ネイティブデバイス配線に差し出された、配線の課題と機会が議論される。

ナノワイヤー

シリコンや、ゲルマニウムのような半導体材料から形成される、化学的に構築されるナノワイヤーは局所的に不純物を導入するか、金属被覆することで金属－半導体ヘテロ構造を形成することができる。そのような構造は、ナノワイヤーの二組の直交する交差点に分子デバイス（例えば、ダイオード）が形成される、クロスバーアーキテクチャに特に有用である[82]。リソグラフィーによりパターン形成された配線はその際、固有の活性プロフィールを有する個々のナノワイヤーにアドレス指定するために使用される。クロスバーアーキテクチャの主な利点は、高密度充填であるが、典型的には低速である。不純物導入された半導体ナノワイヤーは、まったくの抵抗体（ミクロン当たり数百 $k\Omega$ ）であり、短距離に対してのみ使用できる。そのかわり、単結晶ニッケルシリサイドのような金属ナノワイヤーは、抵抗値が $9 \mu\Omega\text{-cm}$ あたり[83]でありかなり良好な導電体である。金属－半導体 ニッケルシリサイド－シリコンヘテロ構造はシリコンナノワイヤーをニッケルで選択的に被覆し、温度を上昇させながらアニールする（ $\sim 550^\circ\text{C}$ ）ことで形成される。残留するニッケルはあとでエッチング除去され、純粋な単結晶ニッケルシリサイドナノワイヤーが得られる。単結晶ニッケルシリサイドナノワイヤー中での実効平均自由行程は、 5nm 程度である。このため、 10nm 程度の直径においてさえサイズ効果はあまり大きくない[83]。また、それらの単結晶性によって、ニッケルシリサイドナノワイヤーは $3 \times 10^8 \text{ A/cm}^2$ 以上の密度の電流を通すことができる。

カーボンナノチューブ

単層カーボンナノチューブは擬似1次元材料である。単層 CNT と 3 次元金属コンタクトにより界面が形成される如何なる場所でも余分の量子抵抗とコンタクト抵抗が発生する。コンタクト抵抗は良好な金属－ナノチューブ界面によって低下することが潜在的に可能であるけれども、量子抵抗（金属単層 CNT に対しては、 $6.5k\Omega$ ）は基本的な避けられない限界である。同一の CNT に多重のスイッチを実装することは、余分な量子抵抗やコンタクト抵抗を排除するので、魅力的な選択肢である。理論的には、単一のナノチューブの対称性や直径を長さ方向に沿って変えることができれば、金属－半導体接合を形成することができる。しかしながら、対称性制御に関してはほとんど進捗がないので、このことが制御可能な方法でなされるということはほとんどありそうもない。より実践的なアプローチは、ある領域にそのような接合を形成するためと、継ぎ目のない方法で多重ナノチューブスイッチを結合するための、化学的または静電的不純物導入である。 sp^2 結合を sp^3 結合に不純物に変化させるような化学不純物注入は平均自由行程を低下させてしまう。 sp^2 結合を保持できる不純物が大きな平均自由行程を維持できるのである。

CNT-CNT の接合は、電子がナノチューブ間をトンネルする必要があるため、非常に高抵抗(数 $M\Omega$ 以上)となる傾向がある。このため、ファンアウトが必要とされる場合は、いつも金属接合を使用することが必要となる。ネイティブ CNT 配線は主に論理ゲートに有用で、特に、直列に多重スイッチが必要であるゲートに対して、有用である。例としては、多重入力 NAND と NOR ゲートである。可能性のあるいくつかのチューブの不整合を考慮した、そのようなゲートのパフォーマンスとしての可能性は、文献84にモデル化されている。

グラフェンナノリボン

GNR は巻いていない CNT と考えることが出来、CNT と共通の多くの電子的性質を有している。GNR のバンドギャップはその幅とエッジの構造とによって決定され、それ故、適切なパターンニングにより制御可能である。このことは、原則的に、対称性を制御することができない CNT を凌駕する大きな利点を GNR に与えている。一連の半導体-金属 GNR ではわずかに数個のグラフェン金属接合を使って、複雑なロジックゲートを形成することが、GNR に沿って幅を変化させてパターン形成することで可能である。GNR に沿った幅広い領域は、フェルミエネルギーの適切な選択により、導電性を付与できるより小さなバンドギャップを有している。おのこの領域に対して幅と長さの選択は、幅広い領域における固有状態は、狭い領域に侵入可能であり、狭い領域の半導体性を破壊するため、適切に成されるべきである。GNR において十分に大きなバンドギャップを得るためには、5nm 以下の幅であることが必要である。このためナノリボンのパターンニングは主要な課題となっている。カーボンナノチューブのように、化学的または、静電的な局所不純物導入の両者が、GNR における直列の半導体-金属接合を形成するために使用可能である。

GNR 回路には、曲げや反転を実装することが可能である。しかしながら、全体の長さが、短く、GNR がバリスティック電導領域で動作する場合、鋭い曲げや、GNR の長さに沿った電導チャネルの数のいかなる突然の変化によっても、電子が反射され、大きな抵抗が発生する[85]。このことは、バリスティックな GNR が電子波に対して、導波路の様に振舞うことによる。しかしながら、拡散領域においては、GNR の挙動は従来の導電体と類似している。

GNR 回路における、ファンアウトは、金属-グラフェン接合の必要なしに、形成できる。このことは、CNT 回路に優るもうひとつの利点である。このことは、拡散領域で特に真実である。バリスティック領域においては、電子の波動性を考慮する必要がある、大きな電子の反射を避けるためには、特別なレイアウトが必要となるであろう。GNR はレイアウトの観点からより自由度の高さを提供するが、単層グラフェンシート内ではほとんど接続性がなく、ほとんどのロジックゲートを形成するために、他の配線階層が必要となる。これらの配線階層は、金属性でも炭素ベースでも可能である。しかしながら、これらの階層を接続するためには、金属性のビアが必要である。

電界効果グラフェントランジスタが、研究される唯一のデバイスの選択肢ではないことは、記すべきである。グラフェンの新奇な性質は新たなデバイスコンセプトに機会を提供する。例として、電子スピンに基づくデバイス(スピントロニクス)、電子擬似スピン(バレートロニクス)と電子波干渉などである。これらの新たなデバイスコンセプトは自身の配線課題と機会を提供する。

スピンベースの配線

計算状態変数が電荷であるすべてのデバイスは、デバイスと配線に伴った、充放電容量のエネルギー消費によって強い限りに苦しんでいる[86]。スピンは超低消費電力回路を達成するために研究されている新奇な状態変数である[87-89]。スピントロニクスは、ひとつまたは群の電子または、エキシトンと呼ばれる電子-ホールペアのスピン自由度を制御または、操作することに言及する。スピントロニクスの潜在的な利

点は、不揮発性、データ処理速度の向上、消費電力の減少と、集積密度の増大である[90]。これらの潜在的利点は、スピンのスピベースの論理デバイスの、入力と出力の両方に使用された場合においてのみ具現化する[88]。他方、スピンの、電流の制御(スピントランジスタ)にのみ使われた場合には、電荷ベースのデバイスと同じスケール限界に直面するだろう[88]。高速かつ低消費のスピベースの配線は、それ故、従来の配線を潜在的に凌駕するだろうスピベース回路の開発の鍵となる。

スピン信号は、スピン情報を運ぶ電子やエキシトンの物理的置換によってか、スピン波を通して、通信できる。担体は、電界(ドリフト)使うか、濃度勾配(拡散)を利用して移動することができる。エキシトンは、ゼロの正味の電荷を有しており、電子とホールが分離した層(間接的エキシトン)すなわち、2層グラフェンにおける場合にのみ電界により動き廻れる[91]。担体を動かすために、電界を使うことは、エネルギーの不利益を伴い、待機電力の消費という結果になる。一方、拡散は、電荷を有する担体と電荷を持たない担体の両方に使うことができる。それは、受動的な現象であり、それ故、エネルギー消費の観点から好ましい。しかしながら、拡散は、低速過程であり、拡散ベースの配線の速度を限定する。この低速性は、電力消費の大幅な削減により補償されるべきである。スピン緩和も、スピベース配線の配線長を制限する重要なパラメータである。スピン緩和長は材料により変化し、典型的には、ミクロン以下である。グラフェンにおいては、スピン緩和長は、室温において、 $2\mu\text{m}$ 程度の大きさであることが報告されており[92]、グラフェン合成の進展により、さらに大きなスピン緩和長が得られることが期待されている[92]。

最近、スピン波がスピンロジックにおいて情報を伝達するのに使うことができることが実証された[93, 94]。スピン波は、磁化の方向の周りの規則的なスピン格子中のスピンの集合的振幅である。磁性材料中の近接スピン間の交換相互作用の強さは強磁性材料中のスピン波の速度の上限を決定する。スピン波の速度は、高いキュリー温度を有する鉄やコバルトのような実験的に研究された材料中では 10^5 m/s を越えることはない[94]。NiFe に実装されたスピン波バスに対して、静磁波伝達モードの最大群速度は、GHz の周波数帯域において、 10^4 m/s であり、より高い周波数において連続的に減少する[94]。従って、スピン波もまた、電気配線に比べて遅い。

分野をまたがる問題

環境・安全・健康(ESH)

2010 年代の前半は最先端の配線技術は過去 10 年の実績ある技術を踏襲するものと思われる。つまり、メタル配線の材料は Cu、絶縁膜は Low-κ、加工手法はデュアルダマシ、である。ただし、大枠はこの方向でも、化学物質や材料の変更は多く、プロセスの変更もあるので、ESH の面でどういう影響があるかを考慮する必要がある。メタライゼーション分野でこうした考慮が必要な例は、Cu めっきの新薬液(めっき浴長寿命化、リサイクル化、を含む)、バリア膜・シード膜の新材料(特に PVD から CVD/ALD へ変更される場合)、新たなキャッピング層の材料やプロセス、などがあげられる。絶縁膜分野では、ポーラス化の進展に伴う新たなプリカーサやプロセス排ガスの出現が予想され、いずれも ESH 面での評価が必要である。ポーラス絶縁膜では、ポアシールのガス・薬液が必要となる可能性もある。平坦化、表面処理の分野では、配線の積層構造に変化があれば、それに応じて新たな展開があり、やはり ESH への配慮が要求される。

平坦化は用途が増えており、平坦化特有の問題として消耗材(スラリー、パッド、洗浄ブラシなど)に加えて薬液や純水の大量使用という課題があげられる。純水の消費が少ない平坦化プロセスの開発が望まれる。平坦化や後洗浄に使用された純水をリサイクルや再生するのも一つの解決策であろう。

配線工程のドライエッチングおよびチャンバクリーニングでは地球温暖化係数の高い PFC (Perfluorocompound) が多用されている。チャンバクリーニングでは PFC を使わないプロセスの評価も始まっている。ただし、炭素含有 Low- κ 膜のエッチングチャンバに残存する付着物はどうしても CF₄ などの PFC の排出源になることは留意しておく必要がある。現状では Low- κ 絶縁膜のドライエッチングはフルオロカーボン系のガスを使うプロセスであり、ガスにより地球温暖化係数は異なるが、いずれも反応副生成物や未反応ガスとして排出される PFC の処理が求められる。半導体業界は短期的目標として 2010 年までに PFC 排出量を 1995 年比で 10%削減する目標を掲げている。この積極的な目標を達成し、必要なガス・薬液を使用し続けることが出来るように、プロセスの最適化、代替ガス・薬液、除害などによる PFC 排出量削減に業界として取り組まなくてはならない。フッ素系熱伝導流体も地球温暖化係数が高く、その大気放出を抑える必要がある。地球温暖化係数の高い要対策ガスとして酸窒化膜形成に使う N₂O もあげられる。

3D 技術と呼ばれるチップ間配線技術が登場し、急速な成長が期待されているが、これが新たな PFC の大量使用工程を生むこととなった。SF₆ などの PFC ガスを使う TSV エッチングプロセスである。1995 年比 PFC 削減目標にとって新たな負担増である。

省エネについては、PECVD やドライエッチャーや CMP などの装置の省電力化が必要である。また補機類の省エネも求められる。プラズマプロセスはエネルギー消費が多い上、ガス使用効率も悪い。エッチングプロセスでは原理上 10~30%しか解離しない場合も多い。将来の装置のために省エネプラズマシステムの研究開発が求められる。エッチャーや CVD 装置には POU(Point-of-use)のチラーや熱交換器が使用されており真空中のウェーハやチャンバの温度管理を行っている。加熱・冷却制御システムの効率化、たとえば温度制御で加熱機構と冷却機構が同時作動するのをやめる工夫により、エネルギー消費の低減と制御性の向上の両方に貢献できる可能性もある。冷却水によって装置を冷やすほうがクリーンルームに熱を放出するより工場全体の省エネには有利である。

2010 年代の中ごろには、新たな配線材料の登場が予想される。たとえば炭素系ナノマテリアルをベースとする非メタル導電体やエアギャップ絶縁構造が考えられる。したがって、新たなガス・薬液、材料、プロセス排気ガスを ESH の観点から吟味する必要がある。特にナノマテリアルの ESH 上の特性は現在では十分に把握できていない。一方、そこまで配線の膜種が変わるのであれば、アディティブ法による配線形成も候補になってくる。確かに何十年にも亘るリソグラフィによるサブトラクティブ法からの大きな路線変更ではあるが、ESH 面での恩恵やプロセスの単純化に大きく寄与するはずである。

配線分野の解決策候補としては、低 ESH 負荷 CMP プロセス(たとえばスラリー・リサイクルやスラリーレス CMP)、ゼロ PFC 排気 TSV エッチング、低コスト高効率プラズマエッチ排気用除害、低温ウェーハ洗浄、低容積 CVD・ALD チャンバ、ALD プロセスのスループット向上(省資源化)、プロセス要求ベースの真空引きスピード制御、プロセス・非プロセスにかかわらず高温処理の削減、加熱機器・冷却機器の可変制御、などがあげられる。

配線の計測技術

新規のプロセスや構造に対する計測技術の調査や開発は、継続して取り組まれている。既にポーラス Low- κ 材は量産に入りつつあり、3 次元 IC は用途に富んだ応用がなされている。Cu コンタクト構造は幾つかの重要な学会で報告されている。材料の特性やインラインでの計測技術、最先端の装置とプロセス制御を含めた全ての面での計測技術が、配線の研究、開発及び量産に使われている。Cu コンタクトのような新たなプロセスの信頼性はほとんど知られていない。これまで同様、信頼性試験は新規のプロセス評価の重要な一面である。

全ての IC 構造において、シリコンから実装基板まで、そして外側の“別世界”への接続に、全ての IC 構造が必要とする配線は、半導体産業がムーアの法則を維持するには、性能上の障壁になる可能性がある。この障壁は技術とコストの両方の要素を持っている。技術面では、Al/SiO₂ から Cu/Low- κ への移行であり、金属／絶縁膜系の配線を超えたより革新的なアプローチへの変遷と同様である。コスト面では、変わりやすい現状のグローバル配線向けのメタル／絶縁膜構造で高製造コストが予測されることである【以上二つの文章は訳者による異訳】。Al/SiO₂ から Cu/Low- κ への切り替えにおける懸念される障壁とコストの課題の中で、プロセス開発、製造確認、工程管理のための新しい計測技術の開発が重要な挑戦事項となる。例えば、Cu/Low- κ においては、Cu と絶縁膜間のバリア層の厚さは最小にして作りたい。これは結果として、非破壊の測定試料の準備において、望ましくない影響が出ないように、極薄膜層と「厚さゼロ」の側壁を測定できる能力に欠けていることである。配線の計測技術が直面している最も重要な課題のひとつは、トレンチやビアの側壁の測定能力の欠如である。光配線のような予測される革新的な配線技術候補への移行は、非常に狭い導波路内部の光学特性測定や、導波路内部の非常に微小な光学的欠陥の特定といったような、新たな計測の課題をもたらす。新たに必要になった測定手法問題のうち、既存技術の創造的な応用や進展により解決されたものがあり、新しい測定手法が発見された。しかしながら、現状の計測技術を鑑みた場合では限界があり、解決法が見当たらない特別困難な課題もある。

配線における計測の要求は、上述のとおり、より革新的な構造に向けた斬新な計測のアプローチの要求が高まるのと同様に、既存の計測技術に対しては進化論的な発展の継続を包含している。次章では、まず、現在の配線向けの既存の計測技術のニーズと状況について、次に、今後の配線のための必要な取り組みについて記述する。オンチップ配線に加えて、3 次元 IC により知られたチップーチップ間配線の新たな取り組みも現れている。この段落は 3 次元 IC の計測技術も議論される。

3 次元配線の課題と計測技術

TSV (Si 貫通ビア) はいわゆる“ワイヤー”を用いずに、ダイを直接接続することを意味する。TSV 構造は相対的に大きなサイズにも拘らず、エッチングや埋め込みを困難にすることになるアスペクト比が大きい。計測技術の手始めとしては、ウェーハのボンディングである。アライメントはウェーハを通して行わねばならず、ボンディングの成否が決まってしまう。赤外顕微鏡は、シリコンが赤外線を透過するために、シリコンウェーハを通してのオーバーレイを測定できる。走査音響顕微鏡 (SAM) もまた、表面状態を測定することが可能である。SAM は接合されたウェーハ間のボイドや欠陥を観察する手法としても使われ、成果を上げてきた。X 線顕微鏡もシリコンを通して“見ること”のできる方法である。これら全ての手法は、TSV の径が微細化された場合でも特に空間分解能の面で優位性がある。数多くの測定手法のニーズは、ストレスや密着性 (剥離) の測定も含めて、かなりの注目を集めている。TSV 計測に掛かるニーズを以下に示す。

- ・積層構造での TSV の深さと形状
- ・積層時のチップアライメント: ウェーハレベルインテグレーション

- ・ボンディングストレス
- ・ボンディング時の欠陥
- ・配線層へのダメージ
- ・高アスペクト比のTSVのCD
- ・薄化後のウェーハ厚とばらつき
- ・薄化後のウェーハエッジを含む欠陥

Cu/Low- κ 配線の問題と計測への要求

Cu/Low- κ 配線の問題

Cu配線は何世代にも渡って使われてきた。最近のCu配線は、トランジスタとタンゲステンで接合していたものがCuコンタクトにとって代わってきた。寸法シュリンクをする度に、トレンチとビアの埋め込みの課題に直面することになる。中でも一番重要なのは、電気めっき炉の厳密な制御および中の電解銅の抵抗増加を招く非常に低レベルの不純物の同定が必要なことである。今では、我々は金属Cu配線の信頼性がエレクトロマイグレーションとストレスマイグレーションによって劣化することを知っている。この劣化を引き起こす主たる要因は、配線Cuと誘電膜とバリア層の間の接合面に沿って発生する表面拡散Cuによるものである。メタルビアと配線の内部のボイドが甚大な歩留まり低下を引き起こす元凶であることが突き止められている。問題を起こすボイドは、成膜/CMP/アニール後に、微小ボイドが凝集して発生し、エレクトロマイグレーションもしくはストレスマイグレーションの発生で顕在化した。もうひとつの、ボイドに関係する重要な問題として、広いパターン領域を形成するCu配線のなかに単独で存在するボイドがあり、これが低信頼性の原因であることを確認できるようにする必要がある。これら単独で発生するボイドが、直接歩留まり低下を引き起こしているのを突き止めるのは大変だが、これが後々の信頼性不良の引き金になっている。これらのボイドは配線の表面に存在する場合もあるが、大抵は配線内部もしくはビア(孔)の中に隠れて居る。Cu配線におけるさらなる問題が、Cu層と誘電膜の分離にある薄いバリア層で発生している。この極薄いバリア層によって超薄膜層の接合特性、欠陥および非常に細長いチャンネルの側壁の材料構造などの測定が絶対必要になった。

上記の問題は全て90nmかそれ以降のCu配線において重要になってくることが判った。半導体製造プロセスが90nm以降へ移行するときに上記の問題が再浮上すると共に、新たな課題も発生すると予想される。将来直面するであろう新たな課題を、今から全部予想する能力を我々は持ち合わせていないが、それでも、いくつかの問題は、現状の技術で微細化を進めると何がおきるかを、すこしは推定することができる。現状ではなんとか許容範囲にある計測限界を、将来技術とその技術的進化によって広げてやる必要があることは明白である。Cu配線における計測技術の将来への要求は、超薄膜の厚み測定特がますます重要になっている、とくに側壁のバリア層の厚み測定が重要である。これら2nm以下の薄膜層の物理特性と構造の確立を可能にするだけでなく、膜中の典型的な欠陥を確認して見極めることも必須である。付随する問題領域に関する研究は広まっていはいないが、Cuとバリアもしくはインターフェースである誘電層の間の接合面のより微小な接合構造がますます重要になってきている。Cu抵抗値が小さくなればなるほど、接合部に拡散が起きて細線抵抗が激増することが予想される。

Cu配線の計測

Cuの電気めっきシステムは、電気めっきされたCu膜で必要な特性を維持するために、めっき槽での添加物、副産物および無機の内容物の中身の定量評価を必要とする。プロセス監視は、めっき槽の経時劣化から生じる添加物、副産物、および無機物をめっき最中(*in-situ*)で計測する必要がある。そのため、めっき液槽のリアルタイム標本抽出による質量分析法が、新たな問題解決候補(Potential Solution)となった。交流電圧ス

トリップ法(CVS)が、めっき品質上に必要な添加物と副産物の合体効果を測定するのに広く採用されている。液浸クロマトグラフィーによる定量分析法は、無機物をモニターすることで、分離不能な内容物や電気的には非導通で量のある内容物を、個々独立して測定できるので、Cu 計測に使うような大量の分析には役立つ。

バリア層の計測には膜厚、空間的均一性、欠陥および吸着の測定が必要である。3D 構造のインライン測定は、大きなギャップとして存在し続ける。Low- κ のトレンチの側壁の材料の測定は、側壁に沿った方向のラフネスによってさらに困難にさせている。非常に薄いバリア層へ統計的な工程管理を適用するのには、すこし不安が残る。配線の技術的な将来要求は、バリア層 5nm 以下を示唆している。ITRS2001 が規定したプロセスウィンドウは全体で膜厚変動 20%以下のプロセス変動である。6nm 厚の膜の厳密な膜厚保測定精度 (6σ) は 0.12nm 以下でなければならないが、これは現状の技術では出来ない。従来の統計的基準値 (SPC) を使わなければ、この極薄膜があるかないかを知るだけなら、既存の技術でもなんとかなる。目下、シード Cu 下のバリア層で膜が水平に形成された部分だけは、いくつかの計測手法を適用して測定できる。この計測法には超音波計測法、X 線反射法、蛍光 X 線法などで、パターンウェーハに使える方法もある。配線における結晶粒界の大きさ(グレインの方向性)を決めるのに X 線回折法をつかう方法が提唱された。Cu 内部のボイドを検出するには、CMP とアニール処理直後がもっとも適する。Cu ボイド測定の項目の一部として、インラインでの Cu ボイド計測には多くの開発課題があることを、配線ロードマップで指摘している。しかしながら、多くがボイドの検出にのみに注力されており、プロセス制御のために必要な統計的なサンプリングにのっとったものではない。ボイド計測手法の多くは、Cu 配線総質量の変化を検出することにもとづいている。Cu 配線のチップにまたがる横方向の膜厚ばらつきの方が大きくて、前述の方法で確認できるほとんどのボイドはマスクされてしまう。配線を構成する多種の成膜材料が、広範囲な膜厚変化の発生に影響を与えているため、立体的な分解能を持ち、しかも高速の(製品ウェーハのための)多層膜の膜厚測定に断固として挑戦しなくてはならない。

Cu/バリア層の結晶構成(粒界方向)のインライン測定には、X線回折法をベースにした計測手法を用いることができる。この技術をプロセスモニターとして使えるかどうかを現在評価中であり、電気特性と歩留まりとの関係を調査している。

配線工程における CMP プロセス後では、Cu 配線のディッシングとエロージョンの測定が必要とされる。現在は、光学式と超音波式の技術適用が模索されているが、量産の現場でディッシングとエロージョンをきちんと検出するためには、統計的なサンプリングの要求にも応えねばならない。

膜中に水成分を含んだ新材料および新構造の採用に伴って、その他の分野での計測的な課題としては、膜の化学的定量評価、機械的強度および剛性、局所的ストレス(対ウェーハストレス)、そして細線抵抗(対バルク抵抗)。付け加えるに、計測技術そのものの開発と並行して、校正方法と計測標準の開発が必要である。

測定技術は将来、化学機械研磨(CMP)において膜の水平方向の面の埋め込みバリア膜の厚さの決定を *in-situ* で制御が可能になる。ポーラス Low- κ のポア(空孔)サイズの分布測定には、低角 X 線散乱法もしくはエリプソメーター法(エリプソ細孔測定法)を用いる。Cu 配線のボイドは現場でも検出できるようになったが、ほとんどの手法は Cu 配線の質量の変化をもとに測定している。しかしながら、CMP などのように、ウェーハ間で違いが起きるようなプロセス要因で、ボイドをマスクしてしまう場合がある。インラインでめっき槽の化学的性質を制御する計測は実用化されている。いくつかの計測項目についてはまだ良い方法が見つからない。例えば、サイドウォール上のバリア膜、Cu シード膜の膜厚は未だに計測することが出来ない。最近、サイドウォールの組織構造を結晶学的に計測する方法についての報告が出されている。接着強度については、未だに破壊検査により計測されている。多孔質 Low- κ 膜用の新しいエッチングストップ材に対応し

たエッチング終点検出技術が開発されなければならない。キラーとなるポア、ボイドの検出はまだ出来るようになっていない。

パターンサイズ縮小が加速されるのに伴い、オンチップ配線の開発と量産において高アスペクト比構造の計測技術開発がより重要な技術課題となってきた。配線プロセス開発においても CD 計測技術が重要な鍵となっている。多孔質誘電体で出来た非常に高いアスペクト比構造にも適用出来る CD 計測技術が必要であり、トレンチやビア/コンタクトの側壁に関する 3 次元情報が CD 計測に必要となっている。これらの計測は、下層の多層膜の影響によりさらに複雑となっている。

配線用の装置、プロセス開発及びパイロットライン生産のどの段階に於いても、パターン付き膜、パターン無し膜の両方の詳細な評価が求められている。現在、配線構造に係わるインライン計測の多くは、簡略化された構造を計測するか、もしくはモニタウェーハを計測するものであり、その多くは破壊検査である。超薄バリア層を含む構造の微細化により、現在の技術は進展を続けるであろう。電気的性能、歩留まりや信頼性と相関が取れるような CD 寸法や物理測定データを提供することが求められ、そのためには、計測技術の継続な開発が必要である。製造段階でより効率的かつ経済的な計測を行うためには、パターン付きウェーハを計測できるようにしなければならない。配線における計測の目標到達レベルを Table MET6 に、解決策の候補技術を Figure MET6 に示す。Cu 配線中のボイド計測と Low- κ 膜中のキラーポア計測に関する新しい要求は実現困難もしくは不可能であるように見える。要求されているのは、素早く、インラインで非常に少ない数のボイドと比較的大きいサイズのポアを観察できる技術である。主たる技術課題は Table MET6 で示したような割合のボイド、ポアについて統計的に意味のある情報をもつ計測方法を得ることである。

Low- κ 絶縁膜の課題と計測法の必要性

Low- κ 絶縁膜の課題

配線構造の誘電率を下げるために SiO_2 から他の絶縁膜への移行することは、少なくとも、Al から Cu 配線への移行よりも、半導体業界にとってかなり大きな課題であることが判りつつある。それは、これまで入手できた Low- κ 材料の物理的、機械的特性が SiO_2 と非常に異なるために生じる。主な相違点は機械的特性が大きく異なること、およびポアの存在である。機械的強度が下がると、実装やパッケージング上の問題として顕わになって、配線の製造上の問題をもたらしてきた。残念ながら、実装やパッケージング工程で生き残れる材料を配線プロセスの段階で特定できる、重宝な評価手法や方法論はない。ポーラス材料の評価に関する大きな問題は、ポア径の小さな材料に含まれる異常に大きな、あるいは著しくつながった状態のポア（いわゆる、キラーポア）を特定する方法がないことである。パターンニングされた Low- κ の側壁の物理的特性、化学構造、そして電気特性を評価する計測手法も欠けている。薄い側壁層の同定と定量化は必須であり、ポアシーリングやプラズマエッチングといったプロセスに起因するダメージと関係づけるべきである。側壁表面やポア内部の測定を行う技術の開発が重要となる。前述の 2 つの問題は、標準的な測定法に加え、現在使用している絶縁膜だけでなく、近い将来、数ナノメートル世代で使われるであろう絶縁膜への取り組みを必要としている。

Low- κ 評価方法

ポーラスではない Low- κ プロセスのインライン評価は、膜厚と CMP 後の平坦度でなされる。*in-situ* (その場) センサが CMP 制御に広く使われている。ポーラス Low- κ 材料においては、評価方法がまだ研究開発の重要な一部である。プロセス開発中に使われた測定のいくつかを量産に移行することが議論的になっている。例えば、ポアサイズ分布であり、それはオフラインで、小角中性子散乱、陽電子消滅、ガス吸収とエリプソメトリの組み合わせ (エリプソメトリック・ポロシメトリ)、小角 X 線散乱 (SAXS) で評価されてきた。量産では、

SAXS とエリプソメトリック・ポロシメトリは、スタンドアロンあるいはインラインのどちらでも使える。これらの方法を製造ラインに移行する必要性が現在検討されている。Low- κ パターン中の“キラー”ポアの検出が、配線ロードマップにおいて生産における評価の必要性の高いものとして強調されてきている。

Low- κ 材料の高周波測定とテスト構造については 40GHz まで開発されてきた。20GHz クロックの立ち上がりと立下りが 40GHz よりずっと上なので、これを～100GHz まで拡張が必要とされる。盛んに評価がなされた結果、この測定は、配線関係者の間では、短期的には極めて重要な測定とはもはや考えられていない。Low- κ 材料は、興味のある周波数帯(1 GHz から 10 GHz の間)では一定であると見られる。

CMP 中においてポーラス Low- κ の薄化を制御しなければならない。そしてパターン加工されたポーラス Low- κ 基板のための平坦度評価法は、開発によって手に入るようになった。探針式のプロファイラや走査プローブ(原子間力)顕微鏡によって、ローカルおよびグローバルな平坦度情報が得られるが、これらの方法のスループットは改善しなければならない。標準化機関によって平坦度テストを開発し(いまでも続けられている)、これによってリソグラフィ工程に役立つ統計のプロセス制御に要求される情報が提供される。

エッチング工程のために、配線専用の CD 計測手順がさらに開発されなければならない。鍵となるギャップは、エッチング後のクリーニングの有効性確認能力や、側壁ダメージ層および特性を含む。溝やコンタクト/ビア構造の高速 3D イメージングでは、側壁角や底の CD を含む形状プロファイル情報を提供しなければならない。これは、現状のインライン CD-SEM の能力を上回っている。エッチングバイアスを決めることは、十分な精度のレジスト CD 測定がないので難しい。ひとつの解決策候補は、スキヤッタメトリ(散乱法)で、多くの線の平均情報を M1 レベルで良い精度で提供するが、より上層の配線では精度が低下する可能性がある。さらに散乱法は、コンタクトとビア構造にも展開されなければならない。電気的なテスト構造は、パターン加工した Low- κ 膜の RC 特性を評価する重要な方法であり続ける。

Low- κ の機械的特性評価は、新しい材料の候補数を減らすのに役立つ。近接した溝の応力測定の開発が最後には必要である。

配線と設計とモデリングとシミュレーションの分野を跨る課題

配線に用いられる材料やその技術単独では、もはや、次世代の配線技術に必要な性能を引き出すことは不可能である。そのために配線のスケーリング則を支え続けるには、材料科学、基板技術、設計、モデリングとシミュレーションの相互関係がますます重要になっている。現状の配線設計ツールは、多層配線全体の性能を正確には予測できていない。さらにそのモデルは、RLC(抵抗、インダクタンス、容量)でなく、RC パラメータに基づいている。最高の性能を引き出すための設計の最適化は、時には試行錯誤に左右されていることもある。配線層数と周波数の増大につれ、デバイス全体の目標性能を達成するために、最先端部品の市場への投入時期は、レイアウトや配線(機能ブロックの配置や配線層、線幅)の修正の能力に影響され続けている。設計の能力は、ユーザーが効果的に、近未来から長期に渡り利用できる拡張性がなければならない。次世代の配線のチャレンジすべき新たな項目としては、

1. RLC にも対応したモデルは、10GHz あるいはそれ以上でのオペレーションに耐えうることが必要である(30GHz での、自由空間波長は、概ね 1cm まで)。この能力は RF またはテラヘルツ波配線にも必要となる。
2. 現実的なモデルにおいては、Cu 抵抗の上昇による配線遅延の影響を考慮しなければならない。これらのモデルにおいては、配線幅、アスペクト比、サイドウォールのラフネス、配線材料のグレインサイズとそれぞれの粒界・表面・不純物散乱係数を勘案したものであることが必要である。
3. 隣接する配線間のクロストークとダミー配線の影響による信号遅延の不安定要因は、最適なモデルで検証する必要がある。配線のアスペクト比が増大すると大きな問題になるからである。

4. プロセスばらつき(CDの許容誤差や配線高さばらつき、サイドウォールラフネス)は、線幅、ビア径の微細化に伴いますます重要になってくる。それゆえに、ばらつきを許容する設計とばらつきに敏感なモデルとシミュレーションが、次世代技術を支援するために必要になってくる。
5. 機能ブロック配置の最適化手段は、3次元ICの個々のダイだけでなく、積層ダイにも要求される。
6. 新しいモデルは、エミッタ及びディテクターのレイテンシーを考慮した光配線の最適化に対応して開発されなければならない。
7. 上記の技術はすべて、ダイ全体の熱消費を増大させ、ダイ内で信頼性のクリティカルな「ホット・スポット」の発生数を増加させる。熱伝導を低減させるLow- κ 絶縁膜のサーマルインパクトに適合した熱予測モデル、RF定常波、3次元積層ICに埋め込まれている多くの熱発生層と、それによる熱発生、光学装置や量子井戸デバイスの熱特性と同様に、必要になる。

モデリングとシミュレーションは、配線の問題に係わる全ての技術分野を支援する重要なツールである。要求されるモデリングとシミュレーションに必要とされる能力は、配線がICレイアウトやその電気特性(伝送遅延、ディストーション、信頼性など)に及ぼす効果といった高次元の予測から、Cu配線の微細化(グレイン構造やCuとバリア金属の界面や不純物)による抵抗上昇や、新しい低誘電率層間膜やその他の新規の配線材料を用いた物理構造の予測にまで及んでいる。

これら全ての場合において、モデリングとシミュレーションには、その要求と広範な実験コストとを可能な限り軽減できるよう、十分な精度が必要である。これらの要求は、新たな配線技術と構成において、十分に方向づけられた実験での最初のシミュレーションから、相当成熟した技術の実験ばらつきの範囲内の可能性を予測する設計性能にまで及んでいる。

他の技術分野と同様に、配線におけるモデリングとシミュレーションへの要求は、勘案すべきパラメータとその影響が大きくなっているため、絶えず増大している。たとえば、熱伝導率の低いLow- κ 絶縁膜に変更することにより、熱的・機械的・電氣的なモデルの組合せへの要求を増大させている。

モデリングとシミュレーションの配線に関する具体的な要求;問題となるアプリケーションに対してのスピードと正確さのトレードオフを最適化するための選択により、実際の理想的ではないプロセス(エッチング、PVD、CMPを含む)での複雑な構造(三次元積層のような)の配線性能予測(高周波効果と信頼性を含む);目標仕様を満足するため、あるいは、問題点を抽出のためのインテグレーションフローにおける製品とプロセス設計を関連付けるツールや手法;時とともに配線やビアの抵抗が増大することによる電気回路特性の劣化を計算するツール;この配線中で使われている材料(金属、バリア、絶縁膜)の物理的・電氣的特性と同様に、構造を予測する材料モデリングの能力。特に重要なのはCuのサイズ依存性、表面拡散、エレクトロマイグレーションそしてCMP時のCuのシニングやディッシングである。ラインエッジラフネス、トレンチ深さと形状、ビア形状、エッチングシフト、クリーニングによる膜減りに関連したばらつきの扱いが、配線とそのシミュレーションにおける挑戦項目となる。

付録

受動素子

今後の配線構造を構築する上で、高精度受動素子(高性能の容量、インダクタ、抵抗体等)を、配線形成プロセスを用いてオンチップで形成することは重要な課題である。主にミクストシグナル、RF、SOC の先端デバイスにおいて、標準的な CMOS の設計基盤と、ファウンドリが提供する製造技術上でこの課題が実現できることが要求される[1~10]。従来、受動回路素子(例えば容量、抵抗)はフロントエンド工程内で IC 上に形成していた。この場合、不純物をドーブした単結晶シリコン、ポリシリコン、及びシリコン酸化膜またはシリコン窒化膜が構成材料として用いられていた。これらフロントエンドで形成される受動素子は、シリコン基板面に近いいため、特に高周波 RF では性能の劣化に苦戦している。このため、配線工程で形成される、低損失・低寄生素子の高品質な受動素子への期待は高い。モジュール化された低コストの手段で、配線全体の性能や信頼性を損なうことなくこの期待に応えることが配線インテグレーション技術の鍵となる。

受動素子のインテグレーションには大きく 2 種類のアプローチがある。一つは最高の性能、最高の Q 値、最小のチップ占有面積で、必要な機能を達成するため、追加の配線層と専用材料を導入するもの。もう一つは既存の配線レイアウトと特性の範囲で実現するものである。後者のアプローチは、ウェーハ工程の追加がないため、製造コストの面で大きなアドバンテージがある。ただし、性能の制約や低い Q 値、チップ占有面積の増加に難点がある。

どちらの場合でも、ミクストシグナルや RF-CMOS 製品においては、優れたマッチング特性、対基板容量ノイズ他の寄生素子の低減と制御性を実現することが重要な課題である。最も広く使われている受動素子(容量、抵抗、インダクタなど)について、アナログ、ミクストシグナル、RF 製品のテクノロジーノード毎の将来の展望は、*RF and Analog/Mixed-signal Technologies for Wireless Communications* の章に記載されている。

以下に、容量(MIM、ネイティブ)、インダクタ、抵抗の代表的な応用例、要求、インテグレーションにおける課題について議論する。配線構造で実現される新規の革新的な受動素子へのアプローチに関して公開されている例についてもハイライトする。

容量素子

CMOS、BiCMOS、Bipolar チップ上への適用例

- ・MPU で、CMOS 回路のスイッチングサイクル中にチップ上の電源/GND 配線間やチップ/パッケージ配線間で発生する、遷移電流の低減を目的としたデカップリング容量
- ・高周波発信器や共振回路、及びマッチングネットワークで用いられる RF カップリング/RF バイパス容量
- ・高性能ミクストシグナル製品(例えば A/D、D/A コンバータ)で用いられるフィルタ/アナログ容量
- ・DRAM、DRAM 混載ロジック製品で用いられる記憶容量

容量への主な要求

- ・サイズが小さく、容量が大きいこと
- ・リークが小さく絶縁損失が少ないこと
- ・耐圧が高く TDDDB 信頼性が高いこと
- ・同一チップ内にある隣り合った容量間で、絶対容量と(または)相対容量の精度が高いこと
- ・広範囲の電圧で CV 特性のリニアリティが高いこと(電圧係数が低いこと)

- ・熱依存性が低いこと(温度係数が低いこと)
- ・寄生容量が小さいこと
- ・高い Q 値での高スイッチングスピードを可能にするため電極と配線の抵抗が低く、過度の過熱がないこと

プロセス構築上の課題

MIM容量

- ・優れた膜厚均一性と制御性をもった高品質の超薄絶縁膜。
- ・容量のサイズを小さくするためできるだけ κ 値の高い絶縁膜。適した材料については、Figure INT-C7“絶縁膜に関する解決策候補”を参照。
- ・絶縁膜、メタル双方の欠陥密度が低いこと(表面ラフネスが低いこと)。
- ・メタライゼーションプロセス全体と適合するよう成膜温度が低いこと($<450^{\circ}\text{C}$)。特に Low- κ 膜が使用されている場合。
- ・効率的にモジュール化されたインテグレーションの枠組みにより、追加される工程数やオプションの露光層など、トータルコストの増加を抑え、既存の配線層を最大限に利用すること。
- ・対基板間の寄生容量成分を減らし高 Q 値を維持するため、上層配線での MIM を実現すること。Low- κ 絶縁膜を使うことも効果的であるが、より多くのインテグレーション上の課題が発生する可能性がある。

ネイティブ容量(MOM、VPP、VNCAP)

- ・アグレッシブな配線デザインルール(細いライン/スペース幅、低いビア高さ)。
- ・容量積層時のメタル層ービア層間の厳しいアラインメント/重ね合わせ許容度。
- ・メタルのラインエッジラフネスを最小限に抑えた、厚さと寸法の厳しい制御性。
- ・メタル間絶縁膜(ポーラス Low- κ など)とメタル膜の欠陥密度が低いこと。
- ・絶縁膜(特にポーラス Low- κ)に対してエッチング、CMP 時のダメージが低いこと。

MIM 容量は、Al 配線ベース、Cu 配線ベースとも、メタライゼーションプロセスで実現する方法が報告されている[1~4, 11, 12~14, 15, 16]。生産中のほとんどの MIM は、適切な材料特性、適度な RF 性能を持ち、Al 配線、Cu 配線技術上での容易なインテグレーションが実現できる容量膜として、シリコン酸化膜、シリコン窒化膜、シリコン窒化膜を用いている[17]。これらとは異なる単層や積層の MIM 構造は、130nm 世代の多層 Cu 配線技術で実現され、特性が捉えられた[18]。HfO₂/Ta₂O₅/HfO₂ 3 層絶縁膜と TaN 電極構造(～8fF/μm²)による大面積オンチップ MIM デカップリング容量(>250nF)は、90nm の SOI マイクロプロセッサ向けとして実証された[19, 20]。高 κ 値の絶縁膜を用いたオンチップの電源ーGND プレーン容量は、信号遅延やビット当たりのエネルギー消費だけでなく、IR-Drop、di/dt ノイズ、クロック線での待機時間など、グローバル配線のスケールアップに伴う問題を大幅に改善することが期待されている[21]。

いくつかの論文では配線との適合性のある高 κ 値 MIM絶縁膜(例えば Al₂O₃、Ta₂O₅、HfO₂、Nb₂O₅、TiTaO、TiSiO₄、TaZrO、BST、STO、TiLaO、TiO₂、Bi₅Nb₃O₁₅)を用いたインテグレーションに関する有望なデータを報告している[3, 22~38]。High- κ -MIM 絶縁膜は PVD+適切なアニールか、CVD、ALD プロセスで成膜され、全熱履歴を通常 400~450℃以下に抑えている。しかし、リーク電流、電圧/温度リニアリティ、または TDD 信頼性の点では、こういった記録を更新するような容量密度からのアプローチの全てが有用なわけではない。最近これらの問題を解決する、異なる High- κ -MIM 絶縁膜から成る(多層)ラミネートフィルムが提案された[27, 29, 39~41]。電極材料の仕事関数を適切に調整することで(例えば TaN を Ni に置き換える)、STO のような High- κ 絶縁膜の MIM で、リーク電流の大幅な低減が観測されている[33]。

革新的な 3D ダマシシ MIM 容量により、電極/絶縁膜/電極 = TiN/Ta₂O₅/TiN (PEALD) 構造で容量密度 17fF/μm² が実現された。これは通常工程にマスキング層追加するだけで多層 Cu 配線に混載されている[42~44]。

この 3 次元 MIM における研究は広がりを見せ、 Ta_2O_5 を他の PEALD で成膜された絶縁膜 (ZrO_2 、 HfO_2 、 Al_2O_3) と組み合わせることで、容量密度 $30\text{fF}/\mu\text{m}^2$ まで達成されている[44]。

まったく異なるアプローチとして、超薄 MIM 容量の積層構造で、有望な電圧/温度リニアリティや 10 年以上の TDDb 寿命を満足することが実証された[45]。この構造では下層にある Cu 配線を下部電極として活用し（総膜厚は約 100nm で、SiN 絶縁膜 10nm、容量密度 $6.3\text{fF}/\mu\text{m}^2$ ）、縮小した 2 層の Cu 配線層間にはめ込まれている。

MIM 容量の製造においては、高密度の容量、高品質 Q 値、良好な信頼性、追加コストの抑制が課題である。そのため多くのアプリケーションでは、面積容量密度はある程度抑制された状態で、単純に水平、垂直の並行平板、異なる配線層での楕円型構造などによる、寄生、またはネイティブ容量が使用されている[46~48]。この方法では、プロセスの複雑さ回避、製造コスト低減の代償としてチップ占有率が犠牲になっている。ネイティブ容量の最大の利点は、ウェーブプロセスを変更すること無く、設計とレイアウト手法のみで実現、最適化できることである。チップ面積当たりの容量密度の観点から、今後の CMOS 技術における持続的な配線のシュリンクと配線層の増加は、ネイティブ、またはナチュラル容量をより競争力のあるものにする。65nm と 45nm テクノロジーノードでは、良好なリニアリティ、TDDb 耐性、 $>2\text{fF}/\mu\text{m}^2$ の容量密度、1GHz で >20 の Q 値を持つネイティブ容量が報告されている[49~51]。一方 32nm ノードでは、容量密度は $4\text{fF}/\mu\text{m}^2$ になると予測されている[8]。今日のこれらの有望な結果から、65nm 以降のノードでは、標準の CMOS 設計基盤、ファンダリ製造技術で提供されるものではネイティブ容量が標準となるだろう。

インダクタ

オンチップインダクタ、特に RF 回路での適用例

- ・ 近年のマイクロ波 RF 回路中で個別に作成されたブロック間のインピーダンスマッチング。周波数の増加により、オンチップインダクタの重要性は将来更に増大する。
- ・ RF トランシーバ。
- ・ フィルタ。
- ・ 電位制御オシレータ (VCO)。
- ・ パワーアンプ、低ノイズアンプ (LNA)

インダクタへの主な要求

- ・ 高インダクタンスでの高 Q 値の実現。インダクタンスの増加は通常 Q 値を減少させる。
- ・ 高い自己共鳴周波数
- ・ インダクタコイルにおける低い抵抗損 (低周波で支配的)
- ・ 基板による容量損失が低いこと (高周波で支配的)
- ・ 基板-インダクタ間相互作用によって発生する渦電流が低いこと。高周波では実行抵抗の増加になる。

プロセス構築上の課題

- ・ コイルの抵抗を下げるため厚膜メタル配線を活用する。Cu 配線は従来の Al 配線と比較して優位である。Cu ダマシン法で形成されるスパイラルインダクタでは、Al で形成されたものに比べ Q 値で 2 の向上が報告されている[55]。ただし、異なる配線層に分岐した Al コイルにも実現性はある。

- ・ 基板とインダクタ間に十分な距離をあける、例えばコイルを配線層の最上部、またはパッシベーション膜の上、ポリイミド内に配置する方法[56、59]は、寄生容量、寄生インダクタを減らし、Q 値を改善する。さらに Low- κ 材料は寄生容量と基板ノイズを減らす。
- ・ 高抵抗の Si 基板の活用により基板による寄生素子損失は改善する。ただしこの手段はどのような場合も実現可能とは限らない[53]。
- ・ インダクタ下の最下層の配線層への金属シールド(メタルグランドプレーン)の導入により基板内の渦電流損失を低減することができる[52~54]。

現状では、Al か Cu 配線単層で形成されるスパイラルコイルが最も一般的なオンチップコンダクタである。しかし、分割された多層スパイラル型やソレノイド型のインダクタも、基板による損失が少ないことから、将来使われる可能性もある[55]。

スパイラルインダクタの Q 値に対する、厚膜配線層(5~22.5 μm)や最内周径の効果[60]も、Cu 配線ベースの積層インダクタの上に Al 層を追加する効果への疑いとともに報告されている[61]。

吊り下げ Al スパイラルインダクタと Al ソレノイドインダクタにエアギャップを採用することで対基板カップリングを低減し、大きく品質改善された[62、63]。この例では表面マイクロ加工により、吊り下げスパイラルインダクタで 1.38nH(@1GHz)が 6GHz での Q 値 70 とともに実証された。しかし吊り下げインダクタの断熱性による顕著な自己発熱のため、RF 回路における Q 値と動作点の変動が発生するという結果がある[65]。その他の Q 値向上(30~70%)の方法として、デバイス形成後(配線形成前[66]、後[67])の陽子照射により、インダクタコイル下に局所的な半絶縁 Si 基板を形成する方法がある。ポーラス Si 基板も Q 値と共鳴振動数を改善する手段として報告されている[68]。スパイラルインダクタ下の Si 基板中に部分的に導入された Low- κ 絶縁膜により、寄生容量の抑制と Q 値の改善が示された[69]。SOI 基板使用の場合では、~20 に達する Q 値がマスクや工程の追加なしに実現された[48]。90nmRF-CMOS 基板技術で形成された多層 Cu/SiO₂ 配線の上で、パッシベーション膜上(IC 上)の 5 μm 厚 Cu 配線と BCB 絶縁膜(κ 値~2.7)からなるインダクタで超高 Q 値(~40)が報告された[70]。

磁性体材料を用いたマイクロインダクタのインテグレーションについての報告もある。CoZrTa からなる磁気グランドプレーンの導入により、方形スパイラルインダクタのインダクタンスが 36~50%増加した[71]。強磁性体 CoNbZr₂ 層ではさんだスパイラルインダクタでは 19%のインダクタンス向上と 2GHz で 23%の Q 値改善が実証された[72]。2 層の磁性層を磁性ビアで結び、CoZrTa 合金の単軸磁気異方性を活用した適切なインダクタ形状により更なるインダクタンスと Q 値の改善が実現された[73]。他の例では強磁性コア(Cr/Fe₁₀Co₉₀/Cr)をソレノイドインダクタと一体化させたものがある[74]。低周波数(<0.2GHz)では、強磁性コアの利用により 8 倍までのインダクタンス増加と7倍までの Q 値改善が達成された。ただし高周波数では、強磁性コア内の強磁気共鳴損失と渦電流により、これらの改善効果は大きく目減りしている。

4 層積層配線中に形成された隣接する 3D ソレノイド型チップ上インダクタ間のクロストークは磁気カップリングと基板ノイズに左右され、これがインダクタと Si 基板間にガードリングを設けることで低減できることがわかった[75]。

3D パッケージ IC でのアプローチでは、上下チップ間に磁気を遮蔽する Fe/Ni パーマロイ膜を適用した超薄(1.7 μm)上部 Si チップ上のインダクタで、基板ノイズが大幅に低減したという報告もある[76]。ウェーハトランスファー技術により、形成前の RF インダクタを Si 基板からフレキシブルプラスチックパッケージ基板(FR-4)に移動することで、Q 値と共鳴周波数において大きな性能改善がみられた[77]。スパイラルインダクタ上の

可動メタルプレートを活用した、ウェーハレベル CSP に搭載される可変オンチップインダクタが提案されている[78]。可変インダクタの基本的実現性調査はすでに実行されてきたが、メタルプレートをウェーハレベルパッケージ中に動かすための MEMS アクチュエータの実装は実現未了である。

抵抗体

オンチップ薄膜抵抗アプリケーション、特にアナログとミクスドシグナル回路の適用例

- ・クロック、バス終端
- ・高精度抵抗配列、ネットワーク
- ・電圧分配

抵抗体への主な要求

- ・優れたマッチング特性
- ・高精度な抵抗制御
- ・高い電圧リニアリティ(低い電圧係数)
- ・低い温度係数(TCR)
- ・低い 1/f ノイズ
- ・高い Q 値(低い寄生成分)

プロセス構築上の課題

- ・適度で調整可能な層抵抗
- ・優れた膜厚制御(成膜均一性)
- ・モジュール化されたインテグレーション手法
- ・絶縁膜に対して高いエッチング選択比
- ・標準的な配線金属の使用

配線ベースの薄膜抵抗のインテグレーションに関する論文は比較的少ない。興味深いアプローチとしては、異種膜の化学量論に基づき、PVD TaN ベースの MIM 容量基板プレートを、可変の高精度 TaN 薄膜抵抗として複数の用途に用いた例がある。低い電圧リニアリティと温度係数、優れたマッチング特性がこの TaN フィルムについて報告されている[79]。もう一つのアプローチでは、程良い TCR 値をもつ抵抗体として、配線プロセスに基づいて形成した PVD-WSi_xを用いた報告もある[79]。標準 CMOS プロセスにインテグレーションされた Ti/Ni(80%)Cr(20%)薄膜抵抗ではほぼ 0 の TCR となったという報告もある[80]。

絶縁体補足

Recalculation of k_{eff} (~2018, Realistic Case)

Typical three kinds of dielectric structures with realistic low-k materials were used for k_{eff} calculation

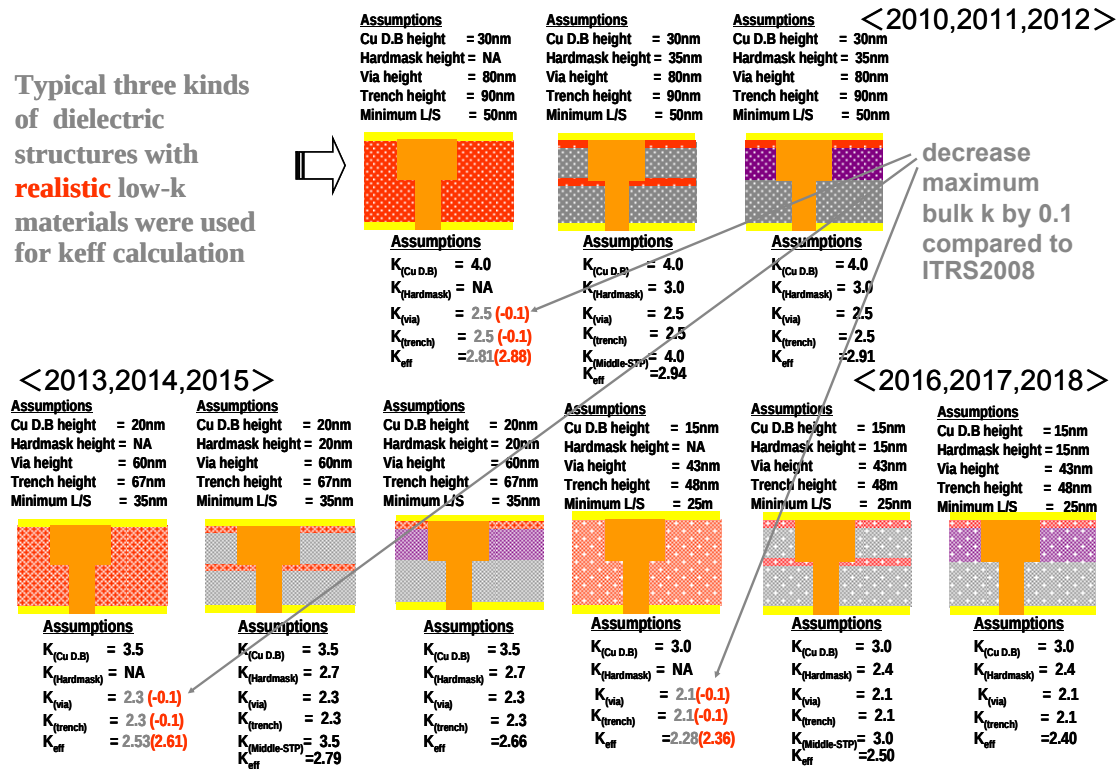


Figure A 1

Dielectric Potential Solutions (2010~2018) Realistic Case

Recalculation of k_{eff} (2019~, Realistic Case)

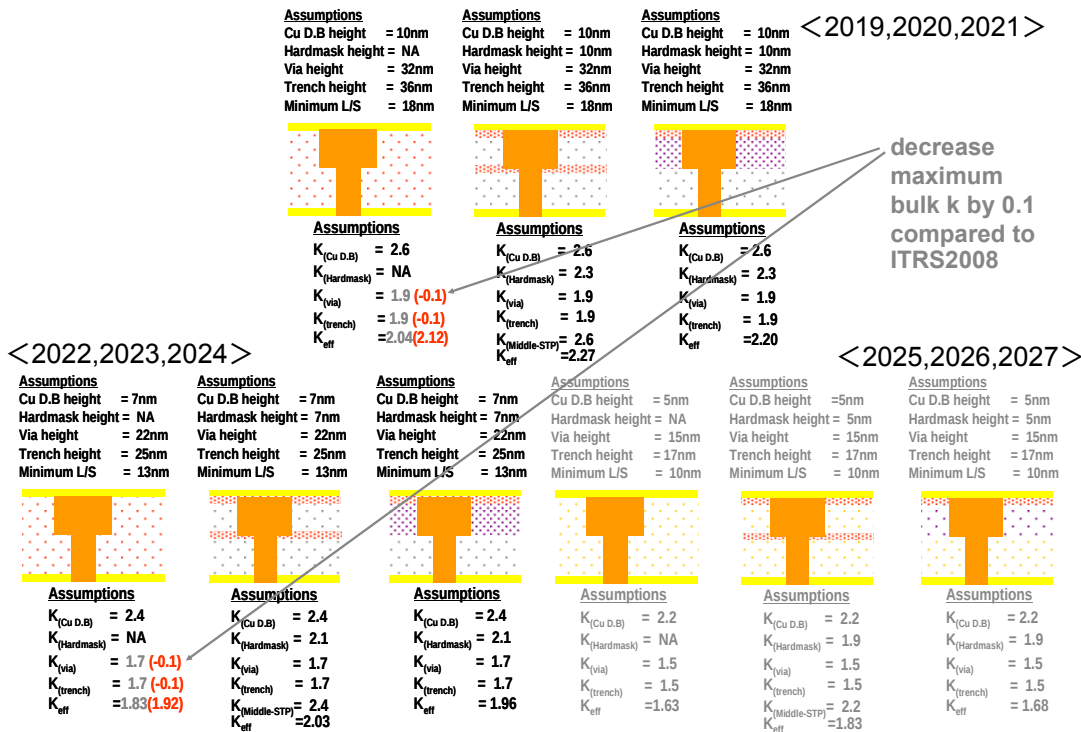


Figure A 2 Dielectric Potential Solutions (2019~2027) Realistic Case

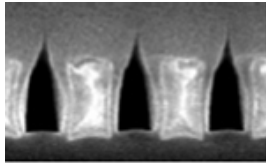
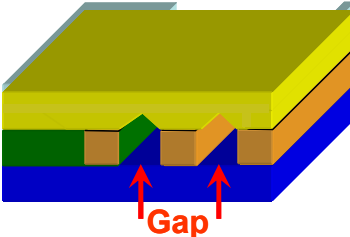
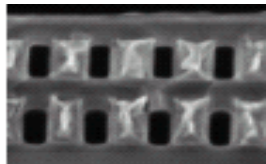
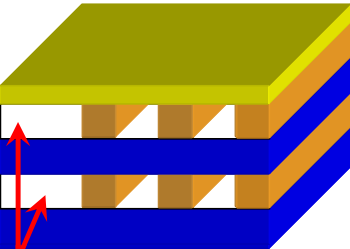
Process	Schematic	(Dis)advantages	
CVD gap process  T.Harada et al. (IITC2006)	 Gap	Process step increase	Additional lithography and removal process steps for each wire level
		Mechanical strength	Air-gap region can be defined by lithography
		Borderless capability	No Cu-filling capability due to via to under-metal misalignment
Gap formation by removing sacrificial material  R.Daamen et al. (IITC2007)	 Gap	Process step increase	Minimal process step increase by all-in-one post-removing process
		Mechanical strength	Poor mechanical strength by air-gap formation in a whole wafer
		Borderless capability	Not sensitive to via to under-metal misalignment

Figure A 3 Two Kinds of Typical Air-gap Integration Schemes

RC遅延評価に適用された配線モデル補足

- RC 計算に用いたモデルは、図に示すように、上下 2 つの導電性の平面で挟まれ、同じサイズの配線で挟まれた中心の配線の 2D 断面に基づく。2 つの平面は中心にある導電体の上下のメタル層を代表する。すべての周囲の導電体は、容量計算において接地されているものとする。2 つの導電体の上にも伸びた平面によって、中心の導電体の容量への影響が限定的になる。ここでは、鏡像効果は考慮されていない。
- w , s , h_v , AR の寸法と κ_{eff} と ρ_{eff} の材料パラメータは、それぞれの技術ノードについて ITRS ロードマップから取った。
- 単位長さ当りの R は、単純に $\frac{R}{l} = \frac{\rho_{eff}}{h \cdot w}$ として計算する。
- 単位長さ当りの C は、2D モデルから静的シミュレーションソフトを用いて $\frac{C}{l} = \frac{2C_l + 2C_p + C_{fringe}}{l}$; のように抽出した。そのシミュレーションへの入力寸法と κ_{eff} 。
- $t = w \cdot A/R$ (Cu); $h_1 = w \cdot A/R$ (Via); $h_1 = h_2$
- M1 配線については $h_1 = t$, h_1 厚の中で $\kappa_{eff} = 4.2$.
- κ_{eff} に幅があるため、シミュレーションに用いた κ_{eff} は最大と最小の平均値、 $\kappa_{eff} = (\kappa_{eff\ max} - \kappa_{eff\ min})/2$
- 配線幅は、ピッチの半分と考える: $w = s = p/2$.

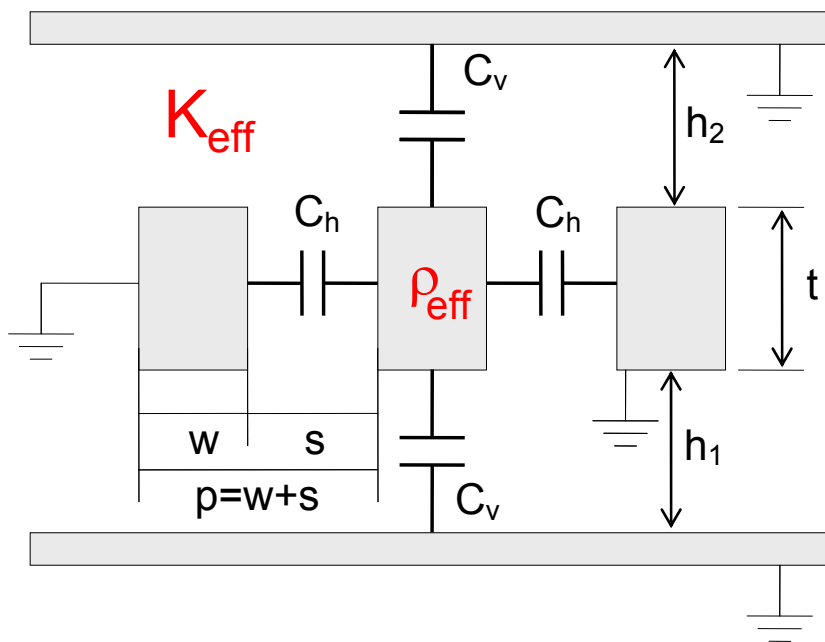


Figure A 4 Interconnect Model

3D と TSV 定義の用語集

3D interconnect technology — 2D 配線工程で製造を用いて配線された基本電子回路を縦に複数積層する技術

3D Bonding — ウェーハの表面をお互いに 2 枚あるいはそれ以上接合する工程

3D Stacking — デバイスレベル間の電氣的接合を実現する 3 次元ボンディング工程

3D-System-In-Package (3D-SIP) — プリント配線板上に wire bonding, Package-on-package stacking or embedding のような “traditional” なパッケージング技術を用いる集積化

3D-Wafer-Level-Packaging (3D-WLP) — flip-chip 再配線, 再配線接続, fan-in chip-size packaging そして fan-out で再配置された wafer chip-scale packaging の様な、ウェーハ製造工程後に処理された wafer level packaging 技術を用いた 3D 集積化パッケージ

3D-System-on-chip (3D-SOC) — system-on-chip (SOC) として設計された回路で、複数のダイを積層して実現している。3D 接続は異なるダイレベルの回路タイルと直接接続される。これらの接続は、チップ上のグローバル配線のレベルである。IP-ブロックの大規模な使用/再利用にも利用される。

3D-Stacked-Integrated-Circuit (3D-SIC) — 3D ダイ積層の異なる層において、回路ブロック間を直接接続する 3D。接続 (Interconnects) はグローバルあるいは中間 on-chip 配線レベル上にある。3D 積層は front-end (devices) と back-end (interconnect) 層を交互に組み合わせが特徴である。

3D-Integrated-Circuit (3D-IC) — 能動素子の積層を用いる 3D アプローチ。3D 積層は共通のバックエンド接続積層を組み合わせたフロントエンド素子の積層が特徴である。

Through-Si-Via connection (TSV) — Si 基板からそして互いの他の TSV 接続から電氣的に絶縁された Si ウェーハの両面を電氣的に接続

TSV liner — TSV 導体の周りの絶縁層

TSV barrier layer — TSV から Si サブストレートへ金属拡散を防ぐための TSV 中の拡散防止層。

“Via-first” TSV process — デバイス製造プロセスの Si フロントエンド (FEOL, Front-End-Of-Line) 前に TSV を形成すること

“Via-middle” TSV process — デバイス製造プロセスの Si フロントエンド (FEOL, Front-End-Of-Line) 後であり、しかも配線プロセスのバックエンド (BEOL, Back-End-Of-Line) 前に TSV を形成すること。

“Via-last” TSV process — 配線プロセスのバックエンド (BEOL, Back-End-Of-Line) 後 (あるいは最中) に TSV を形成すること

Wafer-to-Wafer (W2W, WtW) bonding —ウェーハ合わせとウェーハボンディングによりウェーハ on ウェーハ技術を 用いて 3D 積層する方法。積層されるダイは、同一サイズでウェーハステッピングパターンである。

Die-to-Wafer (D2W, DtW) bonding —ダイをウェーハ上にアライメントそしてボンディングする 3D 積層方法で、積層されたダイは、異なるサイズでもそしてウェーハの一部の数チップでも可能である。

Die-to-Die (D2D, DtD) bonding —チップとチップをアライメント、ボンディングして 3D 積層する方法。積層されたダイはこと那須サイズのチップでも可能である。

Face-to-Face (F2F, FtF) bonding —ボンディング後に、ダイもしくはウェーハの能動素子面(=“Face”-side)同士を 3D 積層する方法。

“Frontside” TSVs —ウェーハデバイスのトップ表面からそしてウェーハの配線から TSV の形成を行うこと。

“Backside” TSVs —薄化されたウェーハのバックサイドから TSV を形成する方法

Back-to-Face (B2F, BtF) bonding —ダイのバックサイドまたはウェーハ表面をお互いにボンディングして 3D 積層方法

Outer TSV-Aspect ratio — Si 基板に形成されるエッチング穴の、最大径と TSV の深さの比。

Inner TSV-Aspect ratio — TSV の導体の最大径と TSV の深さの比(アスペクト比、liner (絶縁膜)厚を除く)

参考文献

配線アーキテクチャ

- [1] E.Beyne, IEEE ISSCC, 15-19 February 2004, San Francisco, pp.138-145 (2004).

絶縁膜解決候補 参考文献

- [1] J. Jang, et al., Proc. of Symp. VLSI Tech., pp.192-193 (2009).
 [2] T. Yaegashi et al., Proc. of Symp. VLSI Tech., pp.190-191 (2009).
 [3] K. Yoneda, et al., Proc. of 2006 IITC, pp.184-186 (2006).
 [4] T.Usui et al., Proc. of IRPS 2004, pp.246-250 (2004).
 [5] T.Usami et al., Proc.of 2006IITC, pp.125-127(2006).
 [6] C.S.Liu et al., Proc. of 2008IITC, pp.199-201(2008).
 [7] Y.Hayashi et al., Proc. of 2009IITC, pp.252-254(2009).
 [8] J. Noguchi, et al., Proc. of 2004IITC, p.81-83.
 [9] S.Nitta et al., Adv.Metal.Conf.,2007, pp.329-336.
 [10] L.G.Gosset et al., Proc.of 2007IITC, pp.58-60.
 [11] R. Daamen et al., Proc.of 2007IITC, pp.61-63.
 [12] N.Nakamura et al., Proc. of 2008IITC, pp.193-195.

エッチング / レジスト除去 / 洗浄 参考文献

- [1] ITRS Road Map 2007 Edition Interconnect chapter.
 [2] R. Kinder and M. Kushner, J. Appl. Phys **90**, 3699 (2001)
 [3] Y. Yand, M. Wang, N. Yu, Babaeva and M. J. Kushner PESM 2009
 [4] Yang Yang et al. Iowa State University Proc. of IITC 2008 p. 90
 [5] O. Joubert et al., Proc. MAM 2009
 [6] A. Yamaguchi et al. Proc. of IITC 2009 p. 225
 [7] Zs. Tökei et al. Proc. of IITC 2009 p. 228
 [8] Th. Chevolleau et al. Proc. PESM 2007
 [9] N. Possémé et al. Proc. of IITC 2009 p. 240
 [10] L. Broussous et al.Proc. of IITC 2008, p. 87
 [11] H. Kudo et al. Proc. of IITC 2008, p. 93
 [12] D.Tee et al. Solid State Phenomena Vols 143 – 146 (2009) p. 335

拡散防止(バリア)解決候補 参考文献

- [1] Choe, H.S., et al., "MOCVD TiN Diffusion Barriers for Copper Interconnects," IITC, 1999, p. 62
 [2] Ashtiani, K., et al., "Pulsed Nucleation Layer of Tungsten Nitride Barrier Film and its Application to DRAM and Logic Manufacturing," Semi Tech. Symposium, Semicon Korea 2006.
 [3] Chen, Y.C., et al., "Optimizing ALD WN Process for 65 nm Node CMOS Contact Application," IITC, 2007, p. 105
 [4] Edelstein, D., et al., "A High Performance Liner for Copper Damascene Interconnects," IITC, 2001, p. 9
 [5] Sakata, A., et al., "Reliability Improvement by Adopting Ti-barrier Metal for Porous Low- κ ILD Structure," IITC 2006, p. 101
 [6] Sakai, H., et al., "Novel PVD process of barrier metal for Cu interconnects extendable to 45 nm node and beyond," Proceedings of AMC, 2006, p. 185
 [7] Haukka, S., et al., "Deposition of Cu Barrier and Seed Layers with Atomic Layer Control," IITC, 2002, p. 279
 [8] Mori, K., et al., "A New Barrier Metal Structure with ALD-TaN for Highly Reliable Cu Dual Damascene Interconnects," Proceedings of AMC, 2004, p. 693
 [9] Rossmagel, S.M., et al., "From PVD to CVD to ALD for Interconnects and Related Applications," IITC, 2001, p. 3
 [10] van der Straten, O., et al., "Thermal and Electrical Barrier Performance Testing of Ultrathin Atomic Layer Deposition Tantalum-Based Materials for Nanoscale Copper Metallization," IITC, 2002, p. 188
 [11] Watanabe, T., et al "Self-Formed Barrier Technology using CuMn Alloy Seed for Cu Dual-Damascene Interconnect with Porous-SiOC/ Porous-Par Hybrid Dielectric," IITC, 2007, p. 7

- [12] Saito, T., et al., "A Reliability Study of Barrier-Metal-Clad Copper Interconnects With Self-Aligned Metallic Caps," IEEE Trans. Electron Devices, 48, p. 1340
- [13] Hu, C.K., et al., "A Study of Electromigration Lifetime for Cu Interconnects Coated with CoWP, Ta/TaN, or SiC_xN_yH_z," Proceedings of AMC, 2003, p. 253
- [14] Petrov, N., et al., "Material Properties and Thermal Stability of Electroless Co Alloys for Copper Interconnects," AMC 2004, p. 853
- [15] Gosset, L., et al., "Self Aligned Barrier Approach: Overview on Process, Module Integration and Interconnect Performance Improvement Challenges," IITC, 2006, p. 84

膜成長核形成解決候補 参考文献

- [1] Ashtiani, K., et al., "Pulsed Nucleation Layer of Tungsten Nitride Barrier Film and its Application to DRAM and Logic Manufacturing," Semi Tech. Symposium, Semicon Korea 2006.
- [2] Chen, Y.C., et al., "Optimizing ALD WN Process for 65 nm Node CMOS Contact Application," IITC, 2007, p. 105
- [3] Nakamura, N., et al., "Design Impact Study of Wiring Size and Barrier Metal on Device Performance toward 22 nm-node featuring EUV Lithography," IITC, 2009, p. 14.
- [4] Kumar, N., et al., "Advanced Metallization Needs Integrate Copper into Memory," Semiconductor International, Vol. 31(5), 2008, p. 26.
- [5] Ho, P., et al., "Extending PVD Copper Barrier Process Beyond 65 nm Technology," AMC, 2005, p. 421.
- [6] Gandikota, S., et al., "Characterization of Electroless Copper as a Seed Layer for sub 0.1 μ m Interconnects," IITC, 2001, p. 30
- [7] Haumesser, P.H., et al., "Electro-grafting: A New Approach for Cu Seeding or Direct Plating," Proceedings of AMC, 2003, p. 575
- [8] Malhotra, S.G., et al., "Integration of Direct Plating of Cu onto a CVD Ru Liner," Proceedings of AMC, 2004, p. 525.
- [9] Roule, A., et al., "Seed Layer Enhancement by Electrochemical Deposition: The Copper Seed Solution for beyond 45 nm," Microelectronics Eng., Vol. 84, 2007, p. 2610.

導電体膜解決候補 参考文献

- [1] Shao, I. et al., "An Alternative Low Resistance MOL Technology with Electroplated Rhodium as Contact Plugs for 32 nm CMOS and Beyond," IITC, 2007, p. 102
- [2] Demuyne, S., et al., "Impact of Cu Contacts on Front End Performance: A Projection Towards 22 nm Node," IITC, 2006, p. 178
- [3] Edelstein, D., et al., "Full Copper Wiring in a Sub-0.25 μ m CMOS ULSI Technology," Tech. Digest IEEE IEDM Meeting, 1997, p. 773
- [4] Heidenreich, J., et al., "Copper Dual Damascene Wiring for Sub-0.25 μ m CMOS Technology," IITC, 1998, p. 151
- [5] Reid, J., et al., "Optimization of Damascene Feature Fill for Copper Electroplating Process," IITC, 1999, p. 284
- [6] Norman, J., et al., "New Precursor for CVD Copper Metallization," Microelectron. Eng., Vol. 85, 2008, p. 2159.
- [7] Tada, M. et al., "A Metallurgical Prescription for Electromigration (EM) Reliability Improvement in Scaled-down, Cu Dual Damascene Interconnects," IITC, 2006, p. 89
- [8] Tonegawa, T., et al., "Suppression of Bimodal Stress-Induced Voiding using High-diffusive Dopant from Cu-alloy Seed Layer," IITC, 2003, p. 216.
- [9] Kuan, T.S., et al., "Fabrication and Performance Limits of Sub-0.1 Micrometer Cu Interconnects," Mat. Res. Soc. Symp. Proc., 2000, Vol. 612, D7.1.1
- [10] Jiang, O-T., et al., "Line Width Dependency of Copper Resistivity," IITC, 2001, p. 227
- [11] Schindler, G., et al., "Assessment of Future Nanoscale Interconnects: Resistivity of Copper and Aluminum Lines," Proceedings of AMC, 2004, p. 305
- [12] Clevenger, L., et al., "A Novel Low Temperature CVD/PVD Al Filling Process for Producing Highly Reliable 0.175 μ m Wiring/0.35 μ m Pitch Dual Damascene Interconnections in Gigabit Scale DRAMS," IITC, 1998, p. 137

平坦化解決候補 参考文献

- [1] G.C.Smith et al.: J.Electrochem.Soc.32,11,Nov., (1985), p.2721
- [2] H.Kotani et al.: Tech.Dia.IEDM,(1989), p.669
- [3] D.S.Balance et al.: Extg.Abst.VMIC Conf.,(1992),p180
- [4] S.Suguro et al.: Extended Abstracts of SSDM, Makuhari, (1993),pp.171-173
- [5] C.W.Kaanta et al.: VLSI Multilevel Interconnection Conf., IEEE, (1991), p144
- [6] P. Feeney et al. : The Increasing Needs and New Solutions in CMP, ICPT 2009 Conf

- [7] M. Tsujimura, Wet Process Revolution, pp.132-139
- [8] US6,153,043, Elimination of photo-induced electrochemical dissolution in chemical mechanical polishing
- [9] M. Tsujimura et al. "General Principle of Planarization Governing CMP, ECP, ECMP & CE", Proceedings 2004 IMIC-030/00/0267, pp. 267-274

Si貫通ビア(TSV)、3次元積層化技術 参考文献

- [1] W.H. Teh, R. Caramto, S. Arkalgud, T. Saito, K. Maruyama, and K. Maekawa, Proc. IITC, pp. 53-55 (2009)
- [2] D. Sabuncuoglu Tezcan et al., Proc. 57th IEEE ECTC, 29 May - 1 June 2007, Reno, NV, USA (2007).
- [3] J. Van Olmen et al., IEEE IEDM, 15-17 December 2008, San Francisco, CA, USA, pp. 603-606 (2006).
- [4] A. Klumpp, R. Wieland, R. Ecke, and S.E. Schulz in "Handbook of 3D Integration", edited by P. Garrou, C. Bower and P. Ramm, Wiley-VCH, ISBN: 978-3-527-32034-9 (2008) 157-173
- [5] P. Ramm, D. Bonfert, R. Ecke, F. Iberl, A. Klumpp, S. Riedel, S. E. Schulz, R. Wieland, M. Zacher and T. Gessner, Proc. Advanced Metallization Conf. AMC 2001, Montreal, edited by A. J. McKerrow, Y. Shacham-Diamand, S. Zaima, T. Ohba, Materials Research Society, Warrendale, Pennsylvania (2002) 159-165

信頼性 参考文献

- [1] J. Noguchi, IEEE TED, 52, 2005, pp. 1743-1750
- [2] G.S. Haase, J. Appl. Phys., 105(4), 2009, 044908
- [3] F. Chen, et al., IEEE T. El. Dev., 56(1), 2009, pp. 2-12
- [4] J.R. Black, Proceedings of the IEEE, 57, (1969), pp.1587-1589
- [5] C.K. Hu et al., Applied Physics Letters, 74, (1999), pp.2945-2947
- [6] C.K. Hu et al., IEEE IITC (2007) pp.93-95
- [7] C.K. Hu et al., Microelectronics Reliability 46 (2006), pp.213-231
- [8] E. Zschech et al., IEEE transaction on device and materials reliability, 9, (2009), p. 20
- [9] I.A. Blech, J. Appl. Phys. (1976), pp.1203-1208
- [10] A.S. Oates, IEEE IRPS (2009), pp. 452.
- [11] L. Doyen et al, J. Appl. Phys, vol 104 (2008) p. 12352
- [12] E.T. Ogawa, IEEE IRPS, (2002), P. 312
- [13] T. Oshima et al., IEEE- IEDM(2002)
- [14] H.Y. Lin et al., IEEE IRPS, (2008), pp. 687-688
- [15] N. Heylen et al., Proc. AMC, 2008, pp. 415-421
- [16] S-Y Jung et al., IEEE IRPS, 2009
- [17] M. Stucchi et al., IEEE IITC, 2008, pp. 174-176
- [18] J.R. Lloyd et al., J. Appl. Phys., 98(8), 2005, 084109
- [19] Zs. Tokei et al., IEEE IITC, 2009, pp. 228-230
- [20] A. Yamaguchi et al., IEEE IITC, 2009, pp. 225-227
- [21] J. Guo et al., IEEE TDMR, 8(4), 2008, pp. 652-663
- [22] S. Shamuilia et al., Appl. Phys. Lett., 89(20), 2006, 202909
- [23] J.M. Atkin et al., J. Appl. Phys., 103, 2008, 094104

配線性能 参考文献

- [1] W.F.A. Besling et al., Proc. of IEDM, 2006, pp. 325-328
- [2] S.-P. Sim et al., IEEE Trans. on Electron Devices, 50 (6), 2003, pp. 1501-1510
- [3] M.R. Baklanov et al., Proc. of IITC, 2004, pp. 187-189
- [4] A. Farcy et al., Proc. of AMC, 2007, pp. 285-291
- [5] M. Sellier et al., Proc. of ISQED, 2008, pp. 492-497
- [6] R. Ho et al., Proc. of the IEEE, 2001, pp. 490-504
- [7] M. Nanua et al., Proc. of ISQED, 2007, pp. 639-646
- [8] M.A. El-Moursy et al., VLSI journal of Integration, 38, 2004, pp. 205-225
- [9] N. Magen, Proc. of SLIP, 2004
- [10] L. David et al., IEEE Trans. on Adv. Packaging, 2007, pp. 295-300

新規配線 参考文献

- [1] N. Rana, et al., "Investigation of substrate selective covalent attachment for genetically engineered molecular interconnects", Materials Research Soc. Research Symp. Proceedings Vol. 728 (2002).
- [2] R. Daamen, et. al., "The evolution of multi-level air gap integration towards 32 nm node interconnects", Microelectronics Engineering Vol. 84, Issues 9-10, 2007, pp 2177-2183.
- [3] M. Bamal, et al., "Performance comparison of interconnect technology and architecture options for deep submicron technology nodes", IEEE International Interconnect Technology Conference 2006, pp. 202-204 (June 5-7, 2006, San Francisco, CA)
- [4] J. Kim and W. A. Anderson, *Nano Lett.* 6, 1356-1359 (2006).
- [5] C. A. Decker, R. Solanki, J. L. Freeouf, J. R. Carruthers, and D. R. Evans, *Appl. Phys. Lett.* 84, 1389-1391 (2004).
- [6] Yue Wu1, Jie Xiang, Chen Yang, Wei Lu, and C. M. Lieber, *Nature* 430, 61-65 (2004).
- [7] Chung-Yang Lee, Ming-Pei Lu, Kao-Feng Liao, Wei-Fan Lee, Chi-Te Huang, Sheng-Yu Chen, and Lih Juann Chen, *J. Phys. Chem. C* 113, 2286-2289 (2009).
- [8] Yipu Song, Andrew L. Schmitt, and Song Jin, *Nano Lett.* 7, 965-969 (2007).
- [9] J. H. Lee, E. T. Eisenbraun, and R. E. Geer, University at Albany-SUNY, *unpublished results* (2009).
- [10] Q Wang , Q Luo and C Z Gu, *Nanotechnology* 18 195304, 1-5 (2007).
- [11] Bin Li, Zhiquan Luo, Li Shi, Ji Ping Zhou , Lew Rabenberg, Paul S Ho, Richard A Allen and Michael W Cresswell, *Nanotechnology* 20, 085304, 1-7 (2009).
- [12] Hsueh-Chung Chen, Hsien-Wei Chen, Shin-Puu Jeng, C.-H.M. Wu, and J.Y.-C. Sun, *Proceedings of the VLSI Technology, Systems, and Applications Symposium*, p. 1-2, (2006).
- [13] Yugang Sun, Yadong Yin, Brian T. Mayers, Thurston Herricks, and Younan Xia, *Chem. Mat.* 14, 4736-4745 (2002).
- [14] Zhi-Min Liao, Jia-Bin Xu, Xiao-Ming Sun, Ya-Dong Li, Jun Xu, Da-Peng Yu, *Physics Letters A* 373 1181-1184 (2009).
- [15] Xiaohua Liu, Jing Zhu, Chuanhong Jin, Lian-Mao Peng, Daiming Tang and Huiming Cheng, *Nanotechnology* 19, 085711, 1-6 (2008).
- [16] Yi Cui, Stanford University, *unpublished results* (2008).
- [17] J. J. Plombon, Ebrahim Andideh, Valery M. Dubin, and Jose Maiz, *Appl. Phys. Lett.* 89, 113124-113126 (2006).
- [18] Werner Steinhogl, Gunther Schindler, Gernot Steinlesberger, and Manfred Engelhardt, *Phys. Rev. B* 66, 075414-075417 (2002).
- [19] M. Kralj, A. Siber, P. Pervan, M. Milun, T. Valla, P. D. Johnson, and D. P. Woodruff, *Phys. Rev. B.* 64, 085411-085419 (2001).
- [20] Ratan Lal, *Phys. Rev. B* 68, 115417-115426 (2003).
- [21] S. Mathias, M. Wiesenmayer, M. Aeschlimann and M. Bauer, *Phys. Rev. Lett.* 97, 236809-236812 (2006).
- [22] N. Trivedi and N. W. Ashcroft, *Phys. Rev. B.* 38, 12298-12309 (1988).
- [23] Supriyo Datta, *Quantum Transport: Atom to Transistor* (Cambridge Press, NY, 2005).
- [24] A. E. Meyerovich and A. Stepaniants, *Phys. Rev. B.* 60, 9129-9144 (1999).
- [25] A. E. Meyerovich and I. V. Ponomarev, *Phys. Rev. B* 67, 165411-165420 (2003).
- [26] Yiyang Cheng and A. E. Meyerovich, *Phys. Rev. B* 73, 085404-085415 (2006).
- [27] A. Nieuwoudt and Y. Massoud, "Evaluating the impact of resistance in carbon nanotube bundles for VLSI interconnect using diameter-dependent modeling techniques," *Electron Devices, IEEE Transactions on*, vol. 53, pp. 2460-2466, 2006.
- [28] M. S. Dresselhaus, G. Dresselhaus, and P. Avouris, *Carbon nanotubes: synthesis, structure, properties, and applications*. Berlin; New York:: Springer, 2001.
- [29] H. J. Li, W. G. Lu, J. J. Li, X. D. Bai, and C. Z. Gu, "Multichannel ballistic transport in multiwall carbon nanotubes," *Physical Review Letters*, vol. 95, pp. 086601-4, 2005.
- [30] M. Nihei, D. Kondo, A. Kawabata, S. Sato, H. Shioya, M. Sakaue, T. Iwai, M. Ohfuti, and Y. Awano, "Low-resistance multi-walled carbon nanotube vias with parallel channel conduction of inner shells," in *Proc. IEEE Int. Interconnect Tech. Conf.*, 2005, pp. 234-236.
- [31] P. L. McEuen, M. S. Fuhrer, and P. Hongkun, "Single-walled carbon nanotube electronics," *Nanotechnology, IEEE Transactions on*, vol. 1, pp. 78-85, 2002.
- [32] S. Reich, C. Thomasen, and J. Maultzsch, *Carbon Nanotubes: Basic Concepts and Physical Properties*: Wiley-VCH, 2004.
- [33] B. Q. Wei, R. Vajtai, and P. M. Ajayan, "Reliability and current carrying capacity of carbon nanotubes," *Applied Physics Letters*, vol. 79, pp. 1172-1174, 2001.

- [34] S. Berber, Y.-K. Kwon, and D. Tománek, "Unusually High Thermal Conductivity of Carbon Nanotubes," *Physical Review Letters*, vol. 84, p. 4613, 2000.
- [35] J. Hone, M. Whitney, C. Piskoti, and A. Zettl, "Thermal conductivity of single-walled carbon nanotubes," *Physical Review B*, vol. 59, p. R2514, 1999.
- [36] A. Naeemi and J. D. Meindl, "Design and Performance Modeling for Single-Walled Carbon Nanotubes as Local, Semiglobal, and Global Interconnects in Gigascale Integrated Systems," *Electron Devices, IEEE Transactions on*, vol. 54, pp. 26-37, 2007.
- [37] S. Salahuddin, M. Lundstrom, and S. Datta, "Transport effects on signal propagation in quantum wires," *Electron Devices, IEEE Transactions on*, vol. 52, pp. 1734-1742, 2005.
- [38] A.S. Verhulst, M. Bamal, and G. Groeseneken, "Carbon nanotube interconnects: will there be a significant improvement compared to copper?", poster at INC3, Brussels, Belgium, 17-19 April 2007.
- [39] J. Y. Huang, S. Chen, S. H. Jo, Z. Wang, D. X. Han, G. Chen, M. S. Dresselhaus, and Z. F. Ren, "Atomic-Scale Imaging of Wall-by-Wall Breakdown and Concurrent Transport Measurements in Multiwall Carbon Nanotubes," *Physical Review Letters*, vol. 94, pp. 236802-4, 2005.
- [40] C. Berger, Y. Yi, Z. L. Wang, and W. A. de Heer, "Multiwalled carbon nanotubes are ballistic conductors at room temperature," *Applied Physics A: Materials Science & Processing*, vol. 74, pp. 363-365, 2002.
- [41] A. Naeemi and J. D. Meindl, "Compact Physical Models for Multiwall Carbon-Nanotube Interconnects," *Electron Device Letters, IEEE*, vol. 27, pp. 338-340, 2006.
- [42] G. F. Close, S. Yasuda, B. Paul, S. Fujita, and H. S. P. Wong, "A 1 GHz Integrated Circuit with Carbon Nanotube Interconnects and Silicon Transistors," *Nano Lett.*, vol. 8, pp. 706-709, 2008.
- [43] K. Liu, P. Avouris, R. Martel, and W. K. Hsu, "Electrical transport in doped multiwalled carbon nanotubes," *Physical Review B*, vol. 63, p. 161404, 2001.
- [44] T. Hertel and G. Moos, "Electron-Phonon Interaction in Single-Wall Carbon Nanotubes: A Time-Domain Study," *Physical Review Letters*, vol. 84, p. 5002, 2000.
- [45] E. Pop, D. Mann, J. Reifenberg, K. Goodson, and H. Dai, "Electro-thermal transport in metallic single-wall carbon nanotubes for interconnect applications," in *IEEE IEDM Digst.*, 2005, pp. 253-256.
- [46] A. Naeemi and J. D. Meindl, "Physical Modeling of Temperature Coefficient of Resistance for Single- and Multi-Wall Carbon Nanotube Interconnects," *Electron Device Letters, IEEE*, vol. 28, pp. 135-138, 2007.
- [47] A. Cao, R. Baskaran, M. J. Frederick, K. Turner, P. M. Ajayan, and G. Ramanath, "Direction-Selective and Length-Tunable In-Plane Growth of Carbon Nanotubes," *Advanced Materials*, vol. 15, pp. 1105-1109, 2003.
- [48] D. Mann, A. Javey, J. Kong, Q. Wang, and H. Dai, "Ballistic Transport in Metallic Nanotubes with Reliable Pd Ohmic Contacts," *Nano Lett.*, vol. 3, pp. 1541-1544, November 12, 2003.
- [49] M. Nihei, T. Hyakushima, S. Sato, T. Nozue, M. Norimatsu, M. Mishima, T. Murakami, D. Kondo, A. Kawabata, M. Ohfuti, and Y. Awano, "Electrical Properties of Carbon Nanotube Via Interconnects Fabricated by Novel Damascene Process," in *International Interconnect Technology Conference, IEEE 2007*, 2007, pp. 204-206.
- [50] M. Nihei, A. Kawabata, T. Hyakushima, S. Sato, T. Nozue, D. Kondo, H. Shioya, T. Iwai, M. Ohfuti, and Y. Awano, "Carbon Nanotube Via Technologies for Advanced Interconnect Integration," in *Extended abstracts 2006 Int. Conf. on Solid State Devices and Materials*, 2006, pp. 140-141.
- [51] P. G. Collins, K. Bradley, M. Ishigami, and A. Zettl, "Extreme Oxygen Sensitivity of Electronic Properties of Carbon Nanotubes," *Science*, vol. 287, pp. 1801-1804, March 10, 2000.
- [52] A. K. Geim and K. S. Novoselov, "The rise of graphene," *Nature Materials*, vol. 6, pp. 183-191, 2007.
- [53] C. Berger, Z. Song, T. Li, X. Li, A. Y. Ogbazghi, R. Feng, Z. Dai, A. N. Marchenkov, E. H. Conrad, P. N. First, and W. A. deHeer, "Ultrathin Epitaxial Graphite: 2D Electron Gas Properties and a Route toward Graphene-based Nanoelectronics," *J. Phys. Chem. B*, vol. 108, pp. 19912-19916, December 30, 2004.
- [54] B. Obradovic, R. Kotlyar, F. Heinz, P. Matagne, T. Rakshit, M. D. Giles, M. A. Stettler, and D. E. Nikonov, "Analysis of graphene nanoribbons as a channel material for field-effect transistors," *Applied Physics Letters*, vol. 88, pp. 142102/1-142102/3, Apr 2006.
- [55] K. Nakada, M. Fujita, G. Dresselhaus, and M. S. Dresselhaus, "Edge state in graphene ribbons: Nanometer size effect and edge shape dependence," *Physical Review B*, vol. 54, pp. 17954-17961, Dec 1996.
- [56] C. Berger, Z. Song, X. Li, X. Wu, N. Brown, C. Naud, D. Mayou, T. Li, J. Hass, A. N. Marchenkov, E. H. Conrad, P. N. First, and W. A. de Heer, "Electronic Confinement and Coherence in Patterned Epitaxial Graphene," *Science*, vol. 312, pp. 1191-1196, May 26, 2006.
- [57] T. Ohta, A. Bostwick, T. Seyller, K. Horn, and E. Rotenberg, "Controlling the Electronic Structure of Bilayer Graphene," *Science*, vol. 313, pp. 951-954, August 18, 2006.
- [58] M. Y. Han, B. Ozyilmaz, Y. Zhang, and P. Kim, "Energy Band-Gap Engineering of Graphene Nanoribbons," *Physical Review Letters*, vol. 98, pp. 206805-4, 2007.
- [59] P. Avouris, Z. Chen, and V. Perebeinos, "Carbon-based electronics," *Nature Nanotechnology*, vol. 2, pp. 605-615, 2007.

- [60] Y.-W. Son, M. L. Cohen, and S. G. Louie, "Energy Gaps in Graphene Nanoribbons," *Physical Review Letters*, vol. 97, pp. 216803-4, 2006.
- [61] A. Naeemi and J. D. Meindl, "Performance Benchmarking for Graphene Nanoribbon, Carbon Nanotube, and Cu Interconnects," in *Int. Interconnect Technology Conference*, June 2008, pp. 183-185.
- [62] K. I. Bolotin, K. J. Sikes, Z. Jiang, M. Klima, G. Fudenberg, J. Hone, P. Kim, and H. L. Stormer, "Ultrahigh electron mobility in suspended graphene," *Solid State Communications*, vol. 146, pp. 351-355, 2008.
- [63] A. A. Balandin, S. Ghosh, W. Bao, I. Calizo, D. Teweldebrhan, F. Miao, and C. N. Lau, "Superior Thermal Conductivity of Single-Layer Graphene," *Nano Letters*, vol. 8, pp. 902-907, 2008.
- [64] C. Faugeras, A. Nèrrière, M. Potemski, A. Mahmood, E. Dujardin, C. Berger, and W. A. de Heer, "Few-layer graphene on SiC, pyrolytic graphite, and graphene: A Raman scattering study," *Applied Physics Letters*, vol. 92, pp. 011914-3, 2008.
- [65] A. Reina, X. Jia, J. Ho, D. Nezich, H. Son, V. Bulovic, M. S. Dresselhaus, and J. Kong, "Large Area, Few-Layer Graphene Films on Arbitrary Substrates by Chemical Vapor Deposition," *Nano Letters*, vol. 9, pp. 30-35, 2009.
- [66] H. M. Wang, Y. H. Wu, Z. H. Ni, and Z. X. Shen, "Electronic transport and layer engineering in multilayer graphene structures," *Applied Physics Letters*, vol. 92, pp. 053504-3, 2008.
- [67] F. Cervantes-Sodi, G. Csanyi, S. Piscanec, and A. C. Ferrari, "Edge-functionalized and substitutionally doped graphene nanoribbons: Electronic and spin properties," *Physical Review B (Condensed Matter and Materials Physics)*, vol. 77, pp. 165427-13, 2008.
- [68] D. Kondo, S. Sato, and Y. Awano, "Self-organization of Novel Carbon Composite Structure: Graphene Multi-Layers Combined Perpendicularly with Aligned Carbon Nanotubes," *Applied Physics Express*, vol. 1, p. 074003, 2008.
- [69] K. S. Kim, Y. Zhao, H. Jang, S. Y. Lee, J. M. Kim, K. S. Kim, J.-H. Ahn, P. Kim, J.-Y. Choi, and B. H. Hong, "Large-scale pattern growth of graphene films for stretchable transparent electrodes," *Nature*, vol. 457, pp. 706-710, 2009.
- [70] Y. Ouyang, X. Wang, H. Dai, and J. Guo, "Carrier scattering in graphene nanoribbon field-effect transistors," *Applied Physics Letters*, vol. 92, pp. 243124-3, 2008.
- [71] A. Naeemi and J. D. Meindl, "Conductance Modeling for Graphene Nanoribbon (GNR) Interconnects," *Electron Device Letters, IEEE*, vol. 28, pp. 428-431, 2007.
- [72] Siegert, M.; Loken, M.; Glingener, C.; Buchal, C.; "Efficient optical coupling between a polymeric waveguide and an ultrafast silicon MSM photodiode," *IEEE Journal on Selected Topics in Quantum Electronics*, Volume 4, Issue: 6, Nov.-Dec. 1998, pp. 970 -974.
- [73] Buca, D., Winnerl, S., Lenk, S., Mantl, S. And Buchal, Ch., "Metal-Germanium-Metal Ultrafast Infrared Detectors," *J. Appl. Phys.*, Vol. 92, no. 12, December 2002, pp. 7599-7605.
- [74] Oh, J., Banerjee, S.K. and Campbell, J.C., "Metal-Germanium-Metal Photodetectors on Heteroepitaxial Ge-on-Si with Amorphous Enhancement Layers," *IEEE Phot. Tech. Lett.*, vol. 16, no. 2, February 2004, pp. 581-583.
- [75] Yang, B., Schaub, J.D., Csutak, S.M., Rogers, D.L., and Campbell, J.C., "10 Gb/s All-Silicon Optical Receiver," *IEEE Phot. Tech. Lett.*, vol. 15, no. 5, May 2003, pp. 745-747.
- [76] Colace, L., Masini, G. and Assanto, G., "Ge on Si Approaches to the Detection of Near-Infrared Light," *IEEE J. of Quantum Electronics*, vol. 35, no. 12, pp. 1843-1852.
- [77] Matsuura, T., Yamada, A., Murota, J., Tamechika, E., Wada, K., and Kimerling, L.C., "Optoelectronic Conversion Through 850 nm Band Single mode Si₃N₄ Photonic Waveguides for Si-On-Chip Integration," *Device Research Conference*, 2002, 60th DRC. Conference Digest, June 24-26. 2002, pp. 93-94.
- [78] Junichi Fujikata, Tsutomu Ishi, Daisuke Okamoto, Kenichi Nishi, and Keishi Ohashi, "Highly Efficient Surface-Plasmon Antenna and its Application to Si Nano-Photodiode", IEEE Lasers & Electro-Optics Society, 2006, pp. 476-477.
- [79] K. Cadien, M. Reshotko, B. Block, A. Bowen, D. Kencke, and P. Davids, "Challenges for On-Chip Optical Interconnects," *Proceedings of SPIE 2005*, Vol. 5730, pp. 133-143.
- [80] Superconductivity Fundamentals and Applications, Werner Buckel and Reinhold Kleiner, Wiley-VCH Verlag, 2004, p. 360.
- [81] Superconductivity Fundamentals and Applications, Werner Buckel and Reinhold Kleiner, Wiley-VCH Verlag, 2004, p. 389.
- [82] Andr and Dehon, "Nanowire-based programmable architectures," *J. Emerg. Technol. Comput. Syst.*, vol. 1, pp. 109-162, 2005.
- [83] Y. Wu, J. Xiang, C. Yang, W. Lu, and C. M. Lieber, "Single-crystal metallic nanowires and metal/semiconductor nanowire heterostructures," *Nature*, vol. 430, pp. 61-65, 2004.
- [84] N. Patil, D. Jie, S. Mitra, and H. S. P. Wong, "Circuit-Level Performance Benchmarking and Scalability Analysis of Carbon Nanotube Transistor Circuits," *Nanotechnology, IEEE Transactions on*, vol. 8, pp. 37-45, 2009.
- [85] A. Naeemi and J. D. Meindl, "Electron Transport Modeling for Junctions of Zigzag and Armchair Graphene Nanoribbons (GNRs)," *Electron Device Letters, IEEE*, vol. 29, pp. 497-499, 2008.
- [86] V. V. Zhirnov, R. K. Cavin, III, J. A. Hutchby, and G. I. Bourianoff, "Limits to binary logic switch scaling - a gedanken model," *Proceedings of the IEEE*, vol. 91, pp. 1934-1939, 2003.

- [87] R. Cavin, V. Zhirnov, D. Herr, A. Avila, and J. Hutchby, "Research directions and challenges in nanoelectronics," *Journal of Nanoparticle Research*, vol. 8, pp. 841-858, 2006.
- [88] D. Nikonov and G. Bourianoff, "Operation and Modeling of Semiconductor Spintronics Computing Devices," *Journal of Superconductivity and Novel Magnetism*, vol. 21, pp. 479-493, 2008.
- [89] D. D. Awschalom and M. E. Flatte, "Challenges for semiconductor spintronics," *Nature Physics*, vol. 3, pp. 153-159, 2007.
- [90] G. Bourianoff, "The future of nanocomputing," *Computer*, vol. 36, pp. 44-53, 2003.
- [91] J.-J. Su and A. H. MacDonald, "How to make a bilayer exciton condensate flow," *Nat Phys*, vol. 4, pp. 799-802, 2008.
- [92] N. Tombros, C. Jozsa, M. Popinciuc, H. T. Jonkman, and B. J. van Wees, "Electronic spin transport and spin precession in single graphene layers at room temperature," *Nature*, vol. 448, pp. 571-574, 2007.
- [93] A. Khitun and K. L. Wang, "Nano scale computational architectures with Spin Wave Bus," *Superlattices and Microstructures*, vol. 38, pp. 184-200, 2005.
- [94] A. Khitun, D. E. Nikonov, M. Bao, K. Galatsis, and K. L. Wang, "Efficiency of Spin-Wave Bus for Information Transmission," *Electron Devices, IEEE Transactions on*, vol. 54, pp. 3418-3421, 2007.

受動素子(付録)参考文献

- [1] R. Mahnkopf et al., Digest 1999 IEDM, p. 849
- [2] T. Schiml et al., Digest 2001 VLSI Technology Symposium, p. 101
- [3] K. Miyashita et al., Digest 2001 VLSI Technology Symposium, p. 11
- [4] C.C. Lin et al., Proc. 2001 IITC, p. 113
- [5] K. Kuhn, et al.; Digest 2002 IEDM, p. 73
- [6] S. Lee, et al.; Digest 2007 VLSI Technology Symposium, p. 54
- [7] P. Gilbert, et al.; Digest 2007 IEDM, p. 259
- [8] S.-Y. Wu, et al.; Digest 2007 IEDM, p. 263
- [9] S. Ekbote, et al.; Digest 2008 VLSI Technology Symposium, p. 160
- [10] C.-H. Jan, et al.; Digest 2008 IEDM, p. 637
- [11] A. Kar-Roy et al., Proc. 1999 IITC, p. 245
- [12] R. Liu et al., Proc. 2000 IITC, p. 111
- [13] M. Armacost et al., Digest 2000 IEDM, p. 157
- [14] P. Zurcher et al., Digest 2000 IEDM, p.153
- [15] S. Van Huylenbroeck, et al., IEEE Electron Dev. Lett., Vol.23, 2002, p.191
- [16] C.H. Ng, et al., Digest 2002 IEDM, p.241
- [17] C.H. Ng, et al.; IEEE Electron Dev. Lett., Vol. 24, 2003, p. 506
- [18] C.H. Ng, et al.; IEEE Electron Dev. Lett., Vol. 25, 2004, p. 489
- [19] D. Roberts, et al.; Digest 2005 IEDM, p. 77
- [20] H. Sanchez, et al.; Proc. 2007 IITC, p. 84
- [21] D. C. Sekar, et al.; Proc. 2006 IITC, p. 48
- [22] T. Ishikawa, et al., Digest 2002 IEDM, p. 940
- [23] P. Mazoyer, et al., Proc. 2003 IITC, p.117
- [24] Y.L. Tu, et al., Digest 2003 VLSI Technology Symposium, p. 79
- [25] S.J. Kim, et al., Digest 2003 VLSI Technology Symposium, p. 77
- [26] X. Yu, et al., IEEE Electron Dev. Lett., Vol. 24, p. 63, 2003
- [27] S.J. Kim, et al.; Digest 2005 VLSI Technology Symposium, p. 56
- [28] K.C. Chiang, et al.; Digest 2005 VLSI Technology Symposium, p. 62
- [29] S.-J. Kim, et al.; IEEE Electron Dev. Lett., Vol. 26, 2005, p. 625
- [30] D. Brassard, et al.; IEEE Electron Dev. Lett., Vol. 28, 2007, p. 261
- [31] Y. H. Jeong, et al.; IEEE Electron Dev. Lett., Vol. 28, 2007, p. 17
- [32] K.C. Chiang, et al.; Digest 2006 VLSI Technology Symposium, p. 126
- [33] K.C. Chiang, et al.; IEEE Electron Dev. Lett., Vol. 28, 2007, p. 235
- [34] N. Inoue, et al.; Proc. 2006 IITC, p. 63
- [35] C.H. Cheng, et al.; IEEE Electron Dev. Lett., Vol. 28, 2007, p. 1095
- [36] C.H. Cheng, et al.; IEEE Electron Dev. Lett., Vol. 29, 2008, p. 845
- [37] K.-H. Cho, et al.; IEEE Electron Dev. Lett., Vol. 30, 2009, p. 614
- [38] I. Kume, et al.; Proc. 2008 IITC, p. 225
- [39] H. Hu, et al.; Digest 2003 IEDM, p. 379
- [40] Y. Jeong, et al.; Digest 2004 VLSI Technology Symposium, p. 222
- [41] K. Takeda, et al.; Proc. 2005 IITC, p. 91

- [42] M. Thomas, et al.; Proc. 2007 IITC, p. 158
- [43] M. Thomas, et al.; Digest 2007 VLSI Technology Symposium, p. 58
- [44] S. Jeannot, et al.; Digest 2007 IEDM, p. 997
- [45] N. Inoue, et al.; Digest 2007 IEDM, p. 989
- [46] R. Aparicio, et al., IEEE J. Solid-State Circuits, Vol. 37, 2002, p. 384
- [47] J. Kim, et al., Digest 2003 VLSI Circuits Symposium, p. 29
- [48] N. Zamdmer, et al.; Digest 2004 VLSI Technology Symposium, p. 98
- [49] D. Kim, et al.; IEEE Electron Dev. Lett., Vol. 28, 2007, p. 616
- [50] A.H. Fischer, et al.; Proc. 2008 IRPS, p. 126
- [51] I.M. Kang, et al.; IEEE Electron Dev. Lett., Vol. 30, 2009, p. 538
- [52] J.N. Burghartz, Proc. 1997 ESSDERC, p. 143
- [53] J.N. Burghartz, Digest 1998 IEDM, p. 523
- [54] J.N. Burghartz, Proc. 1999 ESSDERC, p. 56
- [55] D.C. Edelstein, J.N. Burghartz, Proc. 1998 IITC, p. 18
- [56] J. Rogers et al., Proc. 1999 IITC, p.239
- [57] K. Saito et al., Proc. 2000 IITC, p. 123
- [58] Y. Nakahara et al., Digest 1999 IEDM, p.861
- [59] S. Jenei et al., Proc. 2001 IITC, p. 107
- [60] Y.S. Choi, et al.; IEEE Electron Dev. Lett., Vol. 25, 2004, p. 76
- [61] L.F. Tiemeijer, et al.; IEEE Electron Dev. Lett., Vol. 25, 2004, p. 722
- [62] C.-H. Chen, et al., IEEE Electron Dev. Lett., Vol. 22, 2001, p. 522
- [63] C.S. Lin, et al.; IEEE Electron Dev. Lett., Vol. 26, 2005, p. 160
- [64] J.-B. Yoon, et al., IEEE Electron Dev. Lett., Vol. 23, 2002, p. 591
- [65] H. Sagkol, et al.; IEEE Electron Dev. Lett., Vol. 26, 2005, p. 541
- [66] A. Chin, et al.; Digest 2003 IEDM, p. 375
- [67] D.D. Tang, et al.; Digest 2003 IEDM, p. 673
- [68] K. Chong, et al.; IEEE Electron Dev. Lett., Vol. 26, 2005, p. 93
- [69] K. Hijioka, et al.; Proc. 2006 IITC, p. 60; Y.Hayashi; Digest 2006 IEDM, p. 363
- [70] W. Jeamsaksiri, et al.; Digest 2005 VLSI Technology Symposium, p. 60
- [71] D. Gardner et al., Proc. 2001 IITC, p. 101
- [72] M. Yamaguchi, et al., IEEE Trans. Microw. Theory Techn., Vol. 49, 2001, p.2331
- [73] D.S. Gardner; et al.; Digest 2006 IEDM, p. 221
- [74] Y. Zhuang, et al., IEEE Electron Dev. Lett., Vol. 24, 2003, p. 224
- [75] K. Hijioka, et al.; Proc. 2008 IITC, p.186
- [76] T. Ohguro, et al.; Digest 2004 VLSI Technology Symposium, p. 220
- [77] L. H. Guo, et al.; IEEE Electron Dev. Lett., Vol. 26, 2005, p. 619
- [78] K. Okada, et al.; IEEE Transactions on Electron Devices, Vol. 53, 2006, p. 2401
- [79] C.S. Pai, et al.; Proc. 2001 IITC, p. 216
- [80] D. Nachrodt, et al.; IEEE Electron Dev. Lett., Vol. 29, 2008, p. 212