INTERNATIONAL TECHNOLOGY ROADMAP FOR SEMICONDUCTORS

2009 EDITION

YIELD ENHANCEMENT

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2009 Edition(国際半導体技術ロードマップ 2009 年版)本文の全訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 14 のワーキンググループ(WG: Working Group)が組織され、半導体集積回路メーカ、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソーシアなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2009 年版は英文で約 1000 ページの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、ITRS 2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要が限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。ITRS 2009 年版の作成にあたっては、当初から電子媒体で ITRS を公開することを前提に編集を進めた。ITRS の表は原則として、Microsoft Excel のファイルとして作成し、そのまま公開することにした。

ITRS は英語で書かれている。日本語訳の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くの専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字、脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただけますよう、お願い申し上げます。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出せず、原文のままの表記とした。原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。Executive Summary の用語集(Glossary)も参照されたい。原文の括弧()があってそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意訳している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただけば幸いである。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 STRJ 事務局の古川昇さん、関口美奈さんに大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2010年5月
訳者一同を代表して
電子情報技術産業協会（JEITA）半導体部会　半導体技術ロードマップ専門委員会（STRJ）　委員長
石内　秀美　（株式会社　東芝）

版権について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2009 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • 2706 Montopolis Drive • Austin, Texas 78741 • 512.356.7687 • http://public.itrs.net

Japanese translation by the JEITA, Japan Electronics and Information Technology Industries Association under the license of the Semiconductor Industry Association

－引用する場合の注意－

原文(英語版)から引用する場合：　ITRS 2009 Edition page XX, Figure(Table) YY
この日本語訳から引用する場合：　ITRS 2009 Edition （JEITA 訳） XX 頁,図(表)YY
と明記してください。

問合せ先：
社団法人　電子情報技術産業協会
半導体技術ロードマップ専門委員会　事務局
Tel: 03-5218-1068　mailto: *roadmap@jeita.or.jp*

TABLE OF CONTENTS 歩留り改善（YIELD ENHANCEMENT）

概要 1
困難な技術課題 3
歩留り習熟 5
必要とされる研究 8
技術的要求 8
歩留りモデルと装置許容欠陥数 8
欠陥検出と特徴付け 10
ウェーハ環境汚染制御 12
解決策候補 20
歩留りモデルと装置許容欠陥数 20
欠陥検出と特徴付け 20
ウェーハ環境制御 21

List of Figures

Figure YE1 General Test Methodology for Ultrapure Water 15
Figure YE2 Yield Model and Defect Budget Potential Solutions 20
Figure YE3 Defect Detection and Characterization Potential Solutions 21
Figure YE4 Wafer Environmental and Contamination Control Potential Solutions 23

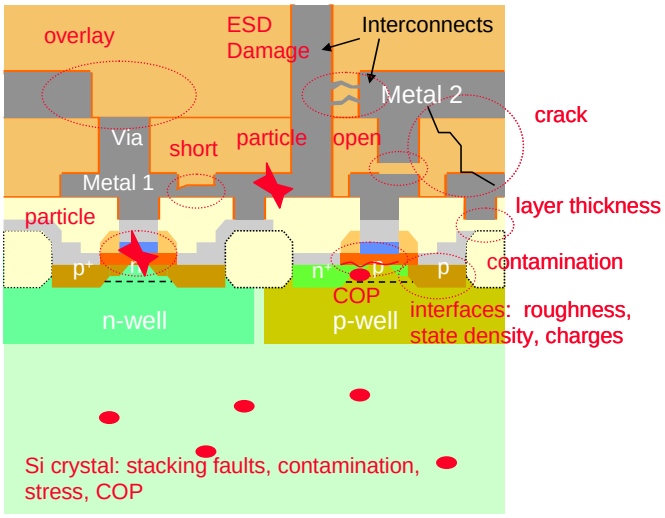
List of Tables

Table YE1 Definitions for the Different Interface Points 2
Table YE2 Yield Enhancement Difficult Challenges 4
Table YE3 Defect Budget Technology Requirement Assumptions 9
Table YE4 Defect Inspection on Pattern Wafer Technology Requirements 11
Table YE5 Defect Inspection on Unpatterned Wafers: Macro, and Bevel Inspection Technology Requirements 11
Table YE6 Defect Review and Automated Defect Classification Technology Requirements 11

歩留り改善（Yield Enhancement）

概要

ほとんどの産業界では、歩留は、生産可能な製品数に対する販売可能な製品数の割合として定義されてきた。半導体業界においては、歩留は、ウェーハ上に作製された集積回路の機能性および信頼性で表現される。本章で扱う対象は、フロントエンドプロセスの歩留に限定される。YE 章では、生産ライン歩留、アセンブリ／パッケージング歩留、ならびに最終テストの歩留については議論しない。歩留改善（YE）は、研究開発段階での低い歩留を量産時の習熟歩留にまで上昇させる改善を指す。YE 章では、DRAM、MPU および Flash を高歩留で生産するために、現在および将来に要求される事項を示す。さらに、その中で困難な技術課題が何であるかを明らかにし、それらに対する実現可能な解決策について議論する。



集積回路の製造工程において、歩留低下は、例えば欠陥、不良、プロセス変動、および設計により引き起こされる。イオン注入、エッチング、成膜、平坦化、洗浄、リソグラフィー等の工程中で、歩留低下を引き起こす不良が観察される。歩留低下を引き起こす汚染、メカニズムについて、いくつかの例を次に挙げる。a）環境中もしくは装置内で発生した、気中分子状汚染（AMC）または、無機および有機のパーティクル。b)スクラッチ、クラックおよびパーティクルのようなプロセス中で発生した欠陥、重ね合わせ不良、およびストレス。c)結果として例えば、不純物分布や膜厚を変動させるようなプロセス変動。d)マスクからウェーハにパターン変換される際に生じる設計値のズレは、レイアウトや寸法のズレ、変動となって現れる。e)膜中、半導体基板中を拡散する元素。

欠陥の特定、および歩留と欠陥の適切な関連付けは、歩留改善に必須である。この関連付けは、特に重要である。なぜなら、必ずしもすべての欠陥が、デバイス特性を変動させたり、デバイスや集積回路を不良にするわけではないからである。それゆえに、YE 章では、プロセスや使用材料に許容される汚染の許容限界値を明らかにするだけでなく、装置内で発生する粒子状汚染について予測される許容数を示す。根本原因の解明のために用いられる欠陥検出／欠陥分類装置の仕様については、欠陥や不良の検出と特徴付けに関する技術的要求事項の節で述べる。

YE 章では、次の 3 つのトピックスに焦点を当てている。“歩留モデルと装置許容欠陥数”、“欠陥検出と特徴付け”、および“ウェーハ環境汚染制御”。これら 3 つのトピックスは、フロントエンドプロセス技術、配

線プロセス、リソグラフィー、計測技術、設計、プロセスインテグレーション、テスト、および工場基盤技術と横断的に取り扱うべきである。歩留習熟では、困難な課題の特定およびその解決策についての議論はしない。

歩留りモデルと装置許容欠陥数 － 歩留モデルは、製品歩留の予測及び製品歩留を改善する情報を提供する事を目的として開発されて来た。 歴史的には、歩留はウェーハ工程でのパーティクルやパターン崩れ等に起因する微視的なレベルでの材料の過多若しくは不足によって制約されており、ウェハの欠陥密度とよい相関を示した。 装置許容欠陥予算は、製品の目標歩留をウェーハ工程で使用する各プロセスモジュールの管理値にブレークダウンする役割を担ってきた。 しかし今日の最も深刻な歩留問題は、前述の物理的な欠陥ではなく、設計工程での製造容易性に対する不十分な補償もしくは対策に変化した。この製造容易性の補償若しくは対策に対する合意されたモデル化は、まだ確立されていない。

欠陥検出と特徴付け － 物理的なデバイス寸法と対応する欠陥の寸法は縮小し続け、欠陥検出および許容汚染に対し、常に新たな課題を投げかけ続けている。ウェーハエッジは、プロセス変動や設計と同様に、歩留りに重大な影響を与えることが認識された。高感度で、高スループットの欠陥検出、レビュー、分類技術の開発は、低コストの製造の実現にとって極めて重要である。付帯設備、設計、プロセス、テスト、仕掛り等の情報を関連付けることのできる自動化された高度な解析アルゴリズムが開発されることが望まれる。それにより、根本原因解析の促進、しいては短期間での歩留り習熟が可能となるだろう。

ウェーハ環境汚染制御 － プロセス流体およびガス不純物レベルの範囲は、近い将来の変更は必要とは考えられていない。しかしながら、新材料、新プリカーサー導入により、継続的検討を要する。供給地点からプロセス地点までの汚染の可能性の明確化により、供給元の必要な制御システムが決まるだろう。純度を決めるにあたり、供給元、例えば薬液やガスの供給地点(POS)から、これら材料がウェハに接触する地点、例えばプロセス地点までの経路(POP)にはいくつかの箇所がある。このことは、表 YE7 に示すデータを含めて、プロセス流体の純度を議論する上で、少なからぬ混乱やあいまいさを招いている。表 YE1 に、主な流体の取り扱いや測定位置を、プロセス流体を供給する典型的なシステムに沿ってまとめた。この表は、異なる地点での特性や要求を議論する上での共通言語のひとつの形である。経路に関する詳細な情報に関しては、半導体装置材料国際標準(SEMI Standard)のような補足資料や参考文献に書かれている。

Table YE1 Definitions for the Different Interface Points

	POS *Delivery Point of Gas/Chemical Supplier*	*POD* *Outlet of Central Facility System*	*POC* *Submain or VMB/VMP Take off Valve*	*POE* *Entry to Equipment or Sub Equipment*	*POU* *Entry to the Process Chamber*	*POP* *Contact with Wafer*
Interfaces	*SEMI Standards Focus Area*	*ITRS Factory Integration Facilities Group Focus Area*		*ITRS Factory Integration Equipment Group Focus Area*		*ITRS Front End Processes, Lithography, Interconnect TWG Focus Area*
Ultrapure water	Raw water	Outlet of final filtration in UPW plant	Outlet of submain take off valve	Inlet of wet bench or subequipment	Inlet of wet bench bath, spray nozzle, or connection point to piping, which is also used for other chemicals	Wafer in production
Process chemicals	Chemical drum/tote/bulk supply	Outlet of final filtration of chemical distribution unit	Outlet of VMB valve	Inlet of wet bench or intermediate tank	Inlet of wet bench bath or spray nozzle	Wafer in production
Specialty gases	Gas cylinder or bulk specialty gas systems	Outlet of final filtration of gas cabinet	Outlet of VMB valve	Inlet of equipment	Inlet of chamber (outlet of MFC)	Wafer in production

Bulk gases	Bulk gas delivered on site or gas generator	Outlet of final filtration/purification	Outlet of submain take off valve or VMB valve	Inlet of equipment/ subequipment	Inlet of chamber (outlet of MFC)	Wafer in production
Cleanroom and AMC	Outside air	Outlet of make-up air handling unit	Outlet of filters in cleanroom ceiling	Inlet to mini-environment or sub equipment for AMC, outlet of the tool filter for particles	Gas/air in vicinity to wafer/substrate	Wafer/substrate in production (AMC/ SMC)

POD—point of delivery POC—point of connection POE—point of entry POU—point of use VMB— valve manifold box VMP— valve manifold post UPW—ultra pure water MFC—mass flow controller AMC—airborne molecular contamination SMC—surface molecular contamination

困難な技術課題

歩留り改善の章の困難な技術課題は、YE2 表に要約されている。現在最も重要な技術課題は、複数種類の致命欠陥を検出することと S/N 比であろう。それは高い補足率で複数種類の致命欠陥を検出すると同時に分類すること、低 CoO であること、高スループットであることが課題である。さらに大量の擬似および偽欠陥の中から、歩留りに関係する欠陥を同定することに挑戦する。次に重要な課題として、3D 検査の要求が認定された。これは高アスペクト比の構造を検査でき、かつボイドや埋もれた欠陥、表面下部の欠陥を必ず検出する能力を持つ検査ツールが必要となる。高速で費用対効果のある検査ツールの要求も残っている。高速で費用対効果のある 3D 検査ツールの必要性は、3D 欠陥の種類の増加とともに重要となってくる。電子線検査はもはやこれらの課題に対し解決策ではないと思われる。

歩留り改善のグループは、その他の直近の課題を以下と位置付けている。

- プロセスの安定性 vs. 絶対的な汚染レベル
- ウェーハエッジとベベルのモニタリングと汚染制御

2009 年に新しい長期の技術課題が認定された。それは基板の大面積化に伴う欠陥検出と特徴付け、さらに装置許容欠陥数と歩留りモデルへの影響が予期される 450mm ウェハへの準備である。450mm ウェハへの準備は、新しい世代の検査ツールを要求する。CoO はスループットとツールコストに影響される。それゆえにツールコストは重要である。検査のための 450mm ウェーハのハンドリングは、大きな基板への適用性のリスクを持つとともに欠陥レビューのための座標精度が要求される。大面積のため、検査データの量は膨大となる。データの質の向上とデータ量の削減が重要となるであろう。装置許容欠陥数と歩留りモデルは広い基板上の未知の欠陥密度に影響される。使用薬剤の汚染の種類やレベルと歩留りとの相関をとり、管理限界を定める為の、データ、TEG、手法が求められている。この技術課題の核心は、ウェーハ歩留りに対する各汚染源の相対的重要度、歩留りや特性への影響を評価する標準テストと最大のプロセス変動（管理限界）である。基本的な技術課題は、主要プロセス中の不純物濃度と歩留り、信頼性、性能との相関を取る事である。この相関は、汚染の限界基準を更に厳しくする事が必要かどうかを決めるだろう。技術課題は、プロセス使用材料の増加により複雑さが増加するので、最も敏感なプロセスでの研究を選択する事が、意味のある進歩に繋がるだろう。

さらに下記の長期の技術課題が認定された。

- 見えない欠陥とプロセス変動
- インラインでの欠陥の特徴付けと解析
- モデルベースの設計−製造インターフェースの開発

Table YE2 Yield Enhancement Difficult Challenges

Difficult Challenges ≥ 16 nm	*Summary of Issues*
Detection of Multiple Killer Defects / Signal to Noise Ratio - Detection of multiple killer defects and their simultaneous differentiation at high capture rates, low cost of ownership and high throughput. It is a challenge to find small but yield relevant defects under a vast amount of nuisance and false defects.	*Existing techniques trade-off throughput for sensitivity, but at expected defect levels, both throughput and sensitivity are necessary for statistical validity.* *Reduction of inspection costs and increase of throughput is crucial in view of CoO.* *Detection of line edge roughness due to process variation.* *Electrical and physical failure analysis for killer defects at high capture rate, high throughput and high precision.* *Reduction of background noise from detection units and samples to improve the sensitivity of systems.* *Improvement of signal to noise ratio to delineate defect from process variation.* *Where does process variation stop and defect start?*
3D Inspection – For inspection tools the capability to inspect high aspect ratios but also to detect non-visuals such as voids, embedded defects, and sub-surface defects is crucial. The need for high-speed and cost-effective 3D inspection tools becomes crucial as the importance of 3D defect types increases.	*Detection of non visible defects e.g., voids, embedded defects, and sub surface defects in the structures.* *The demand for high-speed and cost-effective inspection is crucial.* *Large number of contacts and vias per wafer* *E-beam inspection seems not to be the solution for all those tasks any more.* *Sensitivity of the inspection tool to process variation and definition of maximum process variation (control limits).*
Process Stability vs. Absolute Contamination Level – Including the Correlation to Yield Test structures, methods and data are needed for correlating defects caused by wafer environment and handling with yield. This requires determination of control limits for gases, chemicals, air, precursors, ultrapure water and substrate surface cleanliness.	*Methodology for employment and correlation of fluid/gas types to yield of a standard test structure/product* *Relative importance of different contaminants to wafer yield.* *Define a standard test for yield/parametric effect.*
Wafer Edge and Bevel Monitoring and Contamination Control – Defects and process problems around wafer edge and wafer bevel are identified to cause yield problems.	*Currently, the monitoring and contamination control methods require intensive development.*
Difficult Challenges < 16 nm	*Summary of Issues*
Non-Visual Defects and Process Variations – Increasing yield loss due to non-visual defects and process variations requires new approaches in methodologies, diagnostics and control. This includes the correlation of systematic yield loss and layout attributes. The irregularity of features in logic areas makes them very sensitive to systematic yield loss mechanisms such as patterning process variations across the lithographic process window.	*Systematic Mechanism Limited Yield (SMLY), resulting from unrecognized models hidden in the chip, should be efficiently identified and tackled through logic diagnosis capability designed into products and systematically incorporated in the test flow. It is required to manage the above models at both the design and manufacturing stage. Potential issues can arise due to:* *a) Accommodation of different Automatic Test Pattern Generation (ATPG) flows.* *b) Automatic Test Equipment (ATE) architecture which might lead to significant test time increase when logging the number of vectors necessary for the logic diagnosis to converge.* *c) Logic diagnosis runs time per die.* *d) Statistical methodology to analyze results of logic diagnosis for denoising influence of random defects and building a layout-dependent systematic yield model.* *Test pattern generation has to take into account process versus layout marginalities (hotspots) which might cause systematic yield loss, and has to improve their coverage.*
In - line Defect Characterization and Analysis – Based on the need to work on smaller defect sizes and feature characterization, alternatives to optical systems and Energy Dispersive X-ray Spectroscopy systems are required for high throughput in-line characterization and analysis for defects smaller than feature sizes. The data volume to be analyzed is drastically increasing, therefore demanding for new methods for data interpretation and to ensure quality. [1]	*Data volume + quality: strong increase of data volume due to miniaturization* *The probe for sampling should show minimum impact as surface damage or destruction from SEM image resolution.* *It will be recommended to supply information on chemical state and bonding especially of organics.* *Small volume technique adapted to the scales of technology generations.* *Capability to distinguish between the particle and the substrate signal.*
Development of model-based design-manufacturing interface — Due to Optical Proximity Correction (OPC) and the high complexity of integration, the models must comprehend greater parametric sensitivities, ultra-thin film integrity, impact of circuit design, greater transistor packing, etc.	*A lot of models should be operated at the design stage. For example, Optical Proximity Correction, Well Proximity, Stress Proximity, CMP and so on* *The Amount of models seems to be rapidly increasing.* *Not only accuracy of models, but also optimization of trade-off between models might be requested.* *Development of test structures for new technology generations*
The introduction of 450 mm wafers is expected to impact the defect detection and characterization but as well defect budgets and yield models due to the large surface of the substrate. The introduction of 450 mm wafers requires a new generation of inspection tools.	*The cost of ownership is impacted by throughput and tool cost. It will be difficult to maintain the throughput of inspection tools at the 450 mm wafer size. Therefore, the tool costs are crucial.* *450 mm handling for inspection has the risk of large substrate flexibility but also coordinate accuracy required for defect review.* *Due the large surface a huge amount of inspection data will be obtained. Improvement of data quality and reduction of the amount of data will be important.*

	Defect budgets and yield models are impacted by the unknown defect densities on the large substrates.

歩留り習熟

はじめに

歩留り習熟は、製造工程においてシステマティックもしくはランダムに発生する事象の把握と解決によるデバイス歩留り向上の為の、製造プロセスとウェーハに関する知見の収集およびその適用と定義される。歩留り習熟では、技術的要求事項およびその解決候補については言及しない。

半導体業界は、製品価格が指数関数的に低下する環境下にあり、そのため半導体メーカーは常に製品を市場に早期に出すよう圧力を受けている。如何に利益を上げるかは、如何に歩留りを早期に上げるかにかかっている。半導体メーカーは、早期に高歩留りを実現できればできるほど、早期に量産体制に入ることができ、半導体メーカーの設計部門に対して、より多くの利益をもたらすことができる。歩留りのシステマティック成分は、しばしば製造の初期段階での歩留りを律速するが、この改善は、チップ価格が非常に高価な時期の量産を可能にし、より多くの利益の確保を可能にする。このように製造の初期段階での歩留り習熟は、終期段階でのそれとは、かなり異なったものであり得る。この他に、技術世代の移行時には、初期歩留りの低下が生じる。技術世代の変化に伴い、たとえば新材料やリソプロセスが新規に導入されなければならない。これらの変更は、新技術世代に並行して導入されなければならない。最新の技術世代の問題を解決するためのモニタリング能力、検査、計測には、膨大な費用と集中した研究開発が必要である。

高度に洗練された歩留り向上を実現するための要求事項の主要なものは、歩留り低下原因である縮小し続ける注目欠陥の検出、データ量、チップの複雑性、プロセスの複雑性が益々増加している状況下でのタイムリーな根本原因の特定、および各習熟サイクルごとの歩留り習熟速度の改善が含まれる。プロセスの複雑性が増し、サイクルタイムが長期化するのに伴い、装置および手法は、歩留り習熟に必要なサイクル数を、各技術世代ごとに増やす必要が生じている。また、絶え間なく続く微細化、プロセス数増加の動き、ウェーハの大口径化、新材料の導入等により、多くの装置と手法には、歩留り低下を引き起こす全体的な相互作用を理解することが要求される。

データ管理と先進的プロセス制御　＆　欠陥検出と分類（FDC)

工場での歩留り管理は、データ管理とより密接に連携されるようになる。統合化されたデータ管理を通して、欠陥及び不良原因を早期に特定することは、迅速な歩留り習熟の本質である。回路の複雑さが増し、ウェーハ・ロットに関するデータ量が膨大になろうとも、歩留り習熟速度を加速し、導入から成熟期までの歩留りの立ち上げを、期待された期間内に実現させなければならない。集積回路の製造工程の複雑さの継続的な増加が、データ収集、保存、検索速度の指数関数的な増加を決定してきた。この点は、現在も将来的にも益々重要になるだろう。先進的な製造工程では、得られたデータのいずれもが、ウェーハソート時に認識される歩留り問題を理解し、解決するための鍵となり得る。必要に応じて、歩留り担当エンジニアがアクセス可能な形で記録する必要がある。有意な相関や結果を導き出すために生データにアクセスすることは、製造に対する決定的な要求事項となるだろう。もし、操業開始時からこれらの工場が成功を収めなければならないとしたら、データ保存とそのデータにアクセスするためのユーザーインターフェースは、後追いで整備することはできない。

工場内で発生するすべてのデータを如何に収集、保存、編集、アクセスするかは、極めて重要になるだろう。このように増大する複雑さに直面して、統合化されたデータ管理のための戦略、ソフトウェアが生産性

を維持する上で重要との認識がされはじめた。統合型デバイス製造（IDM）は、歩留り低下メカニズムを迅速に特定するために、集積回路設計、見える欠陥と見えない欠陥、特性データ、プロセストレンドと突発不良を検知するための電気的テストの情報を網羅しなければならない。IDM システムでは、ひとたび製品の問題が認識されると、その発生源にまで辿り着けなければならない。問題発生源は、結果として、欠陥、特性問題、電気的不良となる製造装置、設計、テスト、あるいはプロセスインテグレーションの問題に特定される。IDM は製造ラインに存在する多様なデータソースを統合する必要がある。このデータの統合は、現在は相互の関係がなく存在するデータベースから、物理的あるいは仮想上のデータを統合することにより達成される。多様なデータソースの有効利用と自動欠陥分類（ADC）や空間分布分析（SSA）のような自動解析技術の革新が、基本的な欠陥、特性、電気的テストのデータを利用価値のあるプロセス情報に変換することを可能にする。

導入された先進のプロセス制御（APC）と欠陥検出と特徴付け（FDC）は、益々重要性を増すであろう。しかし、これらソリューションの本格的な導入には、途方もなく大きなデータ転送、データ処理システムを必要とする。これを工場の利益にリアルタイムに繋がるように運用することは、極めて大変な試みである。内外の最適なソリューションを同時に運用することのできる、標準的でかつオープンアクセスのシステムを維持することが必須である。

工場が保有する全てのデータのダウンストリーム、もしくはオフラインの解析には、歩留りに相関のある全ての情報を完全に掌握するための、既存の方法に加えて新しい手法が必要となるであろう。歩留り習熟に必要とされる包括的なデータマネージメントシステムに関する最大の課題は、連続的、周期的、散発的、さらにある期間を置いたデータの流れを、技術者が共通の接続システムやユーザーインターフェースで関連付けや分解できるように、処理および集積する技術を構築することである。ウェーハレベルや、おそらくダイレベルにデータを並び替えるには、自動データマッチング技術が要求される。問題を発見する際に、歩留り技術者のリソースを最大限に有効活用するために、複数のユーザーインターフェースで全てのデータソースをオープンにしアクセス可能にすることも、また極めて難しいことである。今後のベストオブブリードなデータシステムでは、内製だけでなく複数のサードパーティーのソフトウェアソリューションや GUI が、生のデータフォーマットにアクセス可能となり、技術者が歩留りを制約する問題の認識と解決をする際に、大きな柔軟性を提供するであろう。これらの障害は取り除かれなければならない。

現状のデータ管理システム（DMS）は、数種類の独立したデータベースをもち、歩留り解析に携わるいくつかの技術者グループが利用できるようになっている。このデータは、ベースライン歩留り解析、突発的歩留り低下抑制、歩留りトレンドの確認、プロセス設計、歩留り予測に用いられる。IDM の有効性を阻害する主要因は、システム間の情報伝達、データフォーマット、データベース間の共通ソフトウェアインターフェースが基準とする標準規格が無いことである。使いやすい標準規格を作ることは、自動化を促進するためにも必要である。現状の技術的解析手法は、人による操作が必要で、発見的性格の域を出ていない。SPC チャートや他のシステムのアラームをきっかけとして、多様なデータベースから自動的にデータを検索する能力は、データの山からプロセスに関連した情報をタイムリーに引き出すために必要である。欠陥不良の発生源の究明を閉じたループ作業とするためには、DMS、特に市販の DMS で扱っているデータ等、装置管理情報（WIP）を統合する手法を確立しなければならない。こうした情報処理が重要になるのは、単純な装置停止の対応ではなく、例えば別の装置にロットやウェーハを迂回させたり、装置の異常兆候の診断をしたりといった先進のプロセス、装置制御の導入を考えた場合である。

DMS システムは、今日、in－situのプロセスセンサー、装置の状態、ログデータから得られる時系列のデータを取り扱うに留まっている。ロットおよびウェーハベースのデータと関連付けて時系列データを記録できる方法が必要である。

今日のDMSシステムで取り扱える製造データは非常に多様であるにもかかわらず、歩留り予測のツールや手法は依然として少数の専門家にしか扱えない状況が続いている。こうした解析手法を広範な技術者グループが扱えるようになれば、優先して解決すべき欠陥発生メカニズムを迅速に明確化でき、その結果、最も重要な問題に素早く対応できるようになるだろう。

ファンダリー特有の歩留り習熟

ファンダリーの歩留り習熟は、少品種大量生産を行なう半導体製造メーカーのそれとはかなり異なる。大量生産者は、製造の初期段階におけるバッチ歩留りによって支配される。ひとたびバッチ歩留りが高くなり量産が開始されると、ライン歩留りが支配的な要因となる。それとは対照的に、ファンダリーは非常に多くの少量製品を比較的成熟した製造プロセスに定常的に投入する。しばしば特別な設計で、非常に短期的な販売を行なうため、1ロットのウェーハが、生涯在庫になることもある。少量のチップが、特定日までに工場から出荷されなければならない。このため、正確な初期回路設計、無欠陥のマスクでの製造、短い製造工程期間および高いライン歩留りが、高いバッチ歩留りよりも重要である。

欠陥

さまざまな種類の欠陥について、以下に述べる。

見える欠陥　－　今後とも見える欠陥サイズは小さくなるが、それらの欠陥を検出、レビュー、分類し、原因究明のための解析が可能なことが、装置には要求される。

見えない欠陥　－　電気的不良の原因となるが、今日の検査技術では、物理的痕跡程度しか検出できない欠陥を見えない欠陥と呼んでいる。回路設計がより複雑になると、物理的痕跡すら残さない欠陥が原因で生ずる回路不良が増加するだろう。こうした不良の一部は、例えば、ウェーハ間やチップ間での抵抗や容量やタイミングの変動のようなシステマティックかつパラメトリックな形で顕在化する。あるいは、応力起因の転位や局所的な結晶欠陥/原子結合不良のようなランダムでパラメトリックではない形で顕在化する。後者の迅速な原因究明は、より挑戦的な課題になるだろう。開発が必要な技術は、不良を迅速に特定する技術、および特定された不良原因を、見える欠陥、見えない欠陥、およびパラメトリック欠陥に分類する技術である。

パラメトリック欠陥　－　最小寸法が小さくなるのに伴って、システマティック欠陥が制約する歩留り（SMLY or Ys）も低下する。歩留りのシステマティック成分 Ys の主要因は、ウェーハ内およびウェーハ間の特性変動である。パラメトリック欠陥は、歴史的に見えない欠陥とされてきた。しかしながら、迅速な欠陥原因究明のためには、見えない欠陥とは分類して扱う必要が出てきている。

電気的不良　－　プロセス工程数の増加、チップ内トランジスタ数の増加、回路密度の増加、問題となる欠陥寸法の縮小が進んでいるが、それに伴って生じる欠陥数の増加は、電気的不良としてしか検知されない。電気的不良には、点欠陥やパラメータ値を変動させるプロセス揺らぎによる不良も含まれる。欠陥発生原因を特定するには、電気的不良の位置をチップ内で特定しなければならない。この作業の複雑さは、ウェーハ当たりのパターン数×総プロセス工程数、すなわち欠陥原因究明複雑度因子にほぼ比例する。複雑さが増す状況にあっても、欠陥発生原因を特定するまでの時間を一定に保つため、電気的不良が発生するチップ内の位置を特定するための時間を増加させないようにしなければならない。さらに、突発的なチップ内タイミング変動によって発生するソフト不良は、点欠陥不良とシステマティック不良の中間に位置するため、根本原因を究明するための革新的な新手法が必要となる。

必要とされる研究

2007 年版に記載の技術的要求事項とその解決策候補では、全ての利害関係者間の継続的な協力関係を求めている。例えば、装置で発生する欠陥のデータは、半導体メーカーと装置メーカーにとって、適用工程と要求装置を明確化するのに必要である。将来の課題は、微小な欠陥を高スループットで検出することである。現状、解決策は見つかっていない。期待されている微細化の進展に関連した最小寸法の制御についても同様の状況にある。電子線による検査は余りにも遅く、スキャットロメトリーとか他の光学的手法の開発がより有望と思われる。さらに、フィーチャーサイズが原子レベルにまで小さくなり、歩留りの問題が益々複雑になるため、将来、計測装置を検査装置に転用しなければならなくなる。ウェーハ表面の平坦度の管理の重要性は、テクニカルワーキンググループ間の議論で共通認識された。ベアウェーハの検査についての問題は解消されているが、パターン付きウェーハの検査については、問題は残っている。上記解決策が見出せていない課題については、その解決のため、今後数年間 R&D での相当の努力が望まれる。

歩留り向上の一方で製造コストを抑制するために、汚染管理はプロセスへの影響に注目しなければならない。再利用可能なプロセスガス/薬液から除去したい汚染物質のみを除去するような革新的なアイデアが調査されなければならない。新規薄膜材料に関しては、生成材料の純度要求に対する理解が必要である。

性能面から電子線照射を用いた SEM/EDX に替わる技術が望まれる。オージェ電子は、注目パーティクルの表面からの深さが 3nm以下のところからのみ発生するので、短期的には、オージェ電子分光がSEM/EDX分析に替わって広く使用される可能性がある。オージェ電子のこの特性ゆえに、サンプル容量は大きくなくて済む。

2､3 年後には、SEM/EDXはさらに改良され、電子線の加速度の可変制御が可能となり、X線検出方法も改良されるだろう。さらに高感度の検出方法としては、マイクロカロリメトリやWDSも含まれる。

直径が 60nm以下のパーティクルの元素分析および結合状態解析には、今後 3～5 年間は、走査型透過電子顕微鏡（STEM）/電子エネルギー損失分光（EELS）が有望である。STEM/EELSは、パーティクルの構成成分の元素分析をすると同時に原子構造の解析も行なえる。自動試料作製法を改善し、50-100 nm厚の極薄試料を、タイムリーに作製しなければならない。入射電子線と透過電子線の収差を補正し、像から得られたこれら構成成分を大きさによって分類し、構成元素、化合物を特定できるようにしなければならない。

技術的要求

歩留りモデルと装置許容欠陥数

IC プロセス全体でのチップ歩留りは、一般に 材料であるウェーハの欠陥成分起因の歩留り (YM)、システマティック成分起因の歩留り（SMLY 若しくは YS）とランダム成分起因の歩留り（YR）との積で表現される (式 1 参照)。YM は材料に内在する欠陥によって引き起こされる歩留り低下分で、IC 製造工程中に発生する YS 或いは YR といった歩留り低下要因と区別される。 YM についての詳細は FEP の章で述べられる。ほとんどの場合、YM は無視できる。YS は課題ごとにモデリングをする必要があり、YS を表現する一般的な計算式は現在のところ分かっていない。YE 章では、負の二項分布による歩留りモデルを採用している。A はチップ面積、D0 は電気的不良密度、α はクラスタ係数を表す。D0 を計算するために必要なパラメーターは Table YE3 に定義される。

$$Y_{Die} = Y_M * Y_S * Y_R = Y_M * Y_S * \left(\frac{1}{1 + \frac{AD_0}{\alpha}} \right)^{\alpha} \quad (1)$$

$$PWP_n = PWP_{n-1} \times \frac{F_n}{F_{n-1}\left(\frac{S_{n-1}}{S_n} \right)^2} \quad (2)$$

前版に存在した装置許容欠陥予算の Table（ITRS2007 の YE4 と YE5）は、半導体製造会社による実状サーベイに裏付けられた精度が欠如している為に削除された。 SEMATECH 会員会社におけるウェーハ処理のステップ毎のパーティクル増加数（PWP: Particle per Wafer Pass）のレベルは、1997/1999/2000 年という過去の古い調査データに基づいているにもかかわらず、次世代プロセスの欠陥低減目標を検討することや、いくつかの特定のプロセス間の相違を議論する上で今でも有用な参考資料となっている。式 2 で、PWP はウェーハがプロセス装置で処理された時のパーティクルによる欠陥密度増加（$1m^2$ あたり）、F はマスク工程毎の平均欠陥数（ランダム電気的欠陥数 D0 をその技術世代のマスク層数で割った数字で定義される）、S は最小クリティカル欠陥サイズで、n は技術世代を示す。

Table YE3 は歩留りと製品の成熟に関する仮定を示し、MPU と DRAM と Flash の電気的欠陥密度及び PWP 装置許容欠陥数目標値の設定に用いられる。これらの仮定の大半は、2009 年版の ORTC に基づいている。クラスタパラメータの 2 はウェーハ上の欠陥分布のわずかな非均一性を許容する。マスク当たりの電気的許容欠陥数を計算するのに用いる電気的欠陥密度は、チップの周辺回路（ロジック/デコーダ）のみに基づいている。 チップにおける周辺回路面積は、Table ORTC-2A の量産時の面積を使用している。周辺回路は冗長回路が装備されていない為、チップ中のこの部分のランダム欠陥による歩留まりは、89.5%を達成しなければならない。 DRAM/FLASH のアレイ部分は、リダンダンシ回路によって全体歩留が 85%が達成される様に構成されている事を仮定している。

装置のクリーン度の継続的な向上の他に、許容できる歩留りを実現する為に取り組むべき少なくとも三つの主要な課題がある。

1. ウェーハ表面だけでなくベベル/エッジや裏面のパーティクルも考慮が必要である。
2. システマティック成分起因歩留り（SMLY）が歩留り改善速度を律速するので、その要因の理解、モデル化、要因の除去を協調させて進める努力が必要である。
3. APC を含む新しい管理手法は、新たなばらつき／欠陥要因となる可能性について評価されることが必要である。

Table YE3 Defect Budget Technology Requirement Assumptions

Product	*MPU*	*DRAM*	*Flash*
Yield Ramp Phase	*Volume Production*	*Volume Production*	*Volume Production*
$Y_{OVERALL}$	75%	85%	85%
Y_{RANDOM}	83%	89.50%	89.50%
$Y_{SYSTEMATIC}$	90%	95%	95%
$Y_{MATERIAL}$	>99%	>99%	>99%
Chip Size	$140mm^2$	$93mm^2$	144
Cluster Parameter	2	2	2

欠陥検出と特徴付け

歩留りに影響を与える、特定のプロセスで発生する欠陥を、インラインで検出できる能力を得ることが、欠陥検査に対する第一の要求である。プロセスの研究開発段階、歩留り立上げの段階、そして量産の様々なフェーズに対応して処理能力を向上させていくことは、欠陥検出技術の適用範囲を拡大することを意味し、また検査感度向上と処理能力向上の両立という極めて複雑な課題に対する解を得ることを意味する。以上のような要求はますます重要になっているが、その背景として、欠陥検査装置への多額の投資に見合う最大の効果を得るために、同じ欠陥検査装置を用いて様々なプロセス成熟度にある複数の製品を量産するようになってきていることがある。

プロセスの開発から量産の各フェーズに対応した性能を持つ装置が、統合デバイスメーカ（IDM）に対して適切な時期に供給されなければならない。とりわけプロセスの研究開発に必要な装置は新しい世代のデバイス技術が導入されるのに先行して必要とされている。また歩留り立上げのフェーズで必要な装置は量産が始まる数ヶ月前に準備できていなければならない。最終的に、その技術世代の製造プロセスの異常をモニタリングできる能力が、高い製品歩留まりに達する段階で必要となる。

技術課題は、3つの表がカバーしているニーズに示されている： a）パターン付ウェーハ検査と電子ビーム検査、b）ノンパターンウェーハ検査、マクロ検査、エッジ検査、エッジ部欠陥レビュー；そしてc）欠陥レビュー及びADC（自動欠陥分類）。プロセスが複雑な複合デバイスを計画的に生産するために、プロセス及び装置をモニタリングできる強力な欠陥検査が必要とされる。ノンパターンウェーハ欠陥検査は、装置の性能/能力の確認用途として幅広く用いられている。これら両方の欠陥検査の後に、原因調査解析のために続けてレビューを行うが、そちらに対しては欠陥座標精度がチャレンジ要求項目として挙がっている。その上さらに、検査装置自身の清浄度も重要度が高まっている。歩留りに注目してウェーハベベルやエッジの観察をし始めた影響で、ウェーハ裏面やベベルの検査においても、ウェーハ全領域で適用できる欠陥レビューが必要になった。高段差（HARI）欠陥検査、定義としてはパターンの幅と深さの比で定義されるアスペクト比が 3 以上の構造物内の欠陥検査は、微小欠陥を検出する事ができ またこの様な用途に適しているとされる電子ビーム式検査装置で検査が行われる。

主要な挑戦のひとつとして、検出したい欠陥（問題とされる欠陥）を検出する事が挙げられる。そのため、SN比はすべての欠陥検査装置にとって、重要な基準となる。多量の意味の無い欠陥を検出すれば、どんなに適切なレビューをおこなっても検出したい欠陥がなかなか見つからなくなってきてしまい、欠陥検査結果の価値が下がってしまう。その上で、ノイズの中から重要な注目すべき欠陥（DOI）を効率よく分離する技術は、次に行われるレビューのスループットの向上を可能とする。

多層構造の製品ウェーハの Top や Bottom 上の、ベベル部や端面、エッジ部の検査は、現在、様々な装置で可能である。これらのエリアを起因とするプロセスの問題は欠陥分類が必要とされ、検査装置の課題となる。重要な基準として、全ての領域をカバーすることや、検査感度、検査速度に加えて、ADC や光学レビューの能力、SEM レビューを可能する標準結果ファイル形式があげられる。

ノンパターンウェーハ検査における要求技術項目は、基板と膜の種類に依存している。また、ウェーハ裏面の欠陥検出の際にはウェーハ表面に何らコンタミネーションや物理的な接触をもたらさないことが望まれる。このウェーハ裏面に関する要求項目は、リソグラフィ章の技術要求の Table にある。また同様に、今回導入された、検査装置それ自身の装置清浄度の仕様にも問われている。

他にも幾つかの欠陥モードが検査装置で検出することが必要となっている。見えない欠陥（従来の光学的手法で検出できない欠陥）に対する知見の獲得についても、電子ビーム技術を用いた検出技術の適用拡大と合わせて必要性が高まってきている。上述の大半の欠陥は表面下の位置に存在し、デバイスの縦構造に対し無視できない大きさを持つ傾向がある。今の所これらの欠陥の検出すべき最小寸法の定義は明確になっていない。多くの欠陥はデバイス性能に電気的な影響を強く及ぼし、それはフロントエンドプロセス（コンタクト酸化膜形成プロセス以前のプロセス）にもバックエンドでのプロセスにも同様に影響を及ぼす。また、以下で規定されるようなサブミクロンの欠陥検出を急ぐあまり、ウェーハの広い領域に影響を及ぼすマクロ欠陥が見落とされることがあってはならない。マクロ検査のスキャンスピードは、すべての技術世代において、（検査時間を含んだ）リソグラフィの処理能力や、時には CMP の処理能力に合致するよう、継続して向上されなければならない。

一方、半導体デバイスメーカは急速な歩留り立上げと歩留り損失のリスクを避けるために十分な頻度の自動検査を行うが、それにかかるコストと得られる利益とのバランスを取ることが重要である。欠陥検査装置の投資コストと占有面積、そして処理能力が CoO（Cost of Ownership）に響く主要な要素である。現在、CoO の高さのため多くの半導体デバイスメーカが、僅かなサンプリング用途として検査装置を配置するにとどまる状況となる。歩留りの習熟曲線を最大限高めるために、統計的に最適化したサンプリングアルゴリズムが必要である。将来的に受け入れられる CoO を保つためには、適用性のある検査レシピを使用できる事や感度とスループットの向上が必須となる。もし将来、検査感度は向上するものの処理能力が低下したとすると、その装置の CoO は上昇し、半導体デバイスメーカはさらに僅かなサンプリングしかできず、結果として歩留り損失のリスクが高まり、また歩留り向上の速度が低下する。

TableYE4 と YE5 そして YE6 に示す検査感度要求値は、テストウェーハあるいは校正用ウェーハ上に塗布したポリスチレンラテックス（PSL）球に対する検出感度で規定する。しかし、新規の装置はプロセス開発の間に発生する実欠陥に対する検出能力で評価されることが多い。このような欠陥は高解像度の顕微鏡光学系を使って検出する。これらの欠陥にはパーティクル、ピット状のパターン傷、表面荒れ、スクラッチが含まれている。また、様々な工程において様々な欠陥タイプが増えてきており、客観的に新旧の欠陥検査装置を評価するため、標準欠陥ウェーハを開発することが急務となっている。

Table YE4　　Defect Inspection on Pattern Wafer Technology Requirements

Table YE5　　Defect Inspection on Unpatterned Wafers: Macro, and Bevel Inspection Technology Requirements

Table YE6　　Defect Review and Automated Defect Classification Technology Requirements

ウェーハ環境汚染制御

ウェーハ環境汚染制御に関する要求は、表 YE7 に示されるように製造原料あるいは環境によって分類される。

ウェーハ環境制御 ― ウェーハ環境制御には、ウェーハがクリーンルーム大気に曝されているか、POD や FOUP 中に格納されているかによらず、常にウェーハを取り巻いる空間が含まれる。制御すべき雰囲気汚染の一覧表が拡大するにつれ、計測能力も向上しなくてはならない。経済的で、正確、再現性がありリアルタイムのパーティクル以外の汚染を測定できるセンサーの必要性が増している。プロセスの敏感性が増すとともに、ウェーハ輸送や格納環境への不活性環境の使用が拡大する。この不活性環境が最初に必要となるプロセスとして、ゲート酸化前、コンタクト、シリサイド、Cu 配線、レチクル保管環境が上げられる。加えて、不活性環境を使うことにより、真空ロードロック装置への水分の持込を抑制でき、汚染やロードロックの真空引き回数を削減できる。密閉のパージシステムが既にありまた発展している一方、洗浄装置のように不活性雰囲気が必要とされる装置には困難な課題がある。ウェーハ隔離技術が発展するにつれ、キャリアや容器の設計や材料選定がウェーハを環境から隔離する上で、また、汚染そのものを出さないという点で非常に重要になる。加えて、材料と設計はプロセス中のクロス汚染を促進してはいけない。密閉技術、低アウトガスで吸着のない材料の開発が効果的なウェーハやレチクルの隔離配置にとって鍵となる。

気中分子汚染 ― クリーンルーム、ウェーハ製造装置、ウェーハケースで使用される構造材料からの脱ガスは、プロセスで使用する化学薬品からの蒸発物と並んで、気中分子汚染(AMC)2大ソースである。低濃度の気中汚染物（例 一酸化炭素）と同様に、酸素や水蒸気も気中分子汚染対象物質の一部と考えられる。空気中の酸の蒸気によって HEPA フィルターからボロンが出てくる現象や、アミンが DUV 光露光用レジスト解像度に影響を与える現象は、気中分子汚染がウェーハプロセスに影響を与えるよく知られた例である。デバイスサイズが小さくなるほど、気中分子汚染の影響はより深刻になると考えられる。クリールームの中で、ppt レベル(体積換算)で AMC を測定できるより良い AMC モニター装置が必要である。SAW デバイスと APIMS は低濃度の AMC 測定に使われてきたが、デバイスが分子サイズに近づくにつれて、低価格で定常的に使えるモニター法が必要になると思われる(AMC モニタープログラム参照)。数原子層程度の炭化水素膜によってプロセスの制御性が悪くなることがある。特にフロントエンドプロセスではその可能性が高い。建築材料や FOUP の構成材料からの気中分子汚染物の脱ガスに関しては多くの研究がなされ、材料選択のガイドラインとして使われているが、重要な工程に関しては、さらにポッド内の窒素パージの必要性が調査されつつある。すべての工程が気中分子汚染の影響を受けるわけではない。たとえば、将来の露光システムは真空プロセスになる可能性があり、その場合はクリーンルーム雰囲気に関しては新たな分子汚染制御の対象から外れる。新しいプロセスに対する気中分子汚染の影響に関しては、すべてのプロセスインテグレーションの観点から検討する必要がある。重要な不純物の詳細な定義は *AMC 定義* に規定されている。

最も重要な用途であるリソグラフィー工程に対して、いくつかの理由から温度と湿度の規格が表 YE7 に導入された。

1) 最も厳しい要求値は、環境制御室によって守られているリソグラフィー工程によって決定される。表 YE7 の規格は、それぞれ個々の環境制御室に導入される空気の状態を反映している。ここでは特に最大の時間変動幅が重要であり、その変動は環境制御室で補償されなくてはならない。POP において±0.03K 以下の規格が維持される。
2) しかしまた、塗布/現像装置のトラックにおいては、レジストに対する安定した状態を維持するために温度と湿度の規格は保証されなくてはならない。
3) 温度変動は、軽微な温度変動でも異なる熱膨張係数のために、ステッパー自体とウェーハステージ、レンズカラム間のずれを生じさせるのでステッパー自体にとっても重要である。ステッパーは温度変動後に安定するまで一週間程度必要とする。

4) 別の重要な要求値は、レーザー光(空気の密度は温度と湿度によって変わる)に依存している計測装置と、ずれが重要となる計測によって決定される。

重要な区域の中での異なる場所間の温度と湿度の安定性はそれほど重要ではない。その他の区域においてもまた、温度と湿度の変動はそれほど厳しい制限で制御する必要は無いだろう。なぜなら、表面の自然酸化膜形成や位置合せに影響を与えるからである。会社によっては、温度や湿度の制御とそれに関連する分離を簡単にすると共に、クリーンルームに柔軟性を持たせるために重要領域と非重要領域の仕様を変えないという選択をしているところもある。

これらの仕様は変動する仕様であり、設定値は広い範囲で選ぶことができる。最近の工場間のベンチマークによると、温度は 19.5 から 24℃、相対湿度は 35 から 48%の値を示している。これには異なる決定要因がある。温度の設定値は快適度と気候条件、そしてそれに伴うエネルギー消費に基いて選択される。相対湿度の設定値は低湿度における静電気や高湿度における腐食や自然酸化膜形成を考慮して決定される。AMC フィルターの能力も湿度に依存する。AMC 制御に関する要求値と同様に温度/湿度制御が必要なプロセスに、リソグラフィー用のエキシマレーザーの設置場所がある。特にそれがクリーンルームではなくサブファブに設置されている場合である。

プロセスに影響を与える材料 ― Cuメッキ液、CMP スラリー、high/low-κ絶縁膜や他の薄膜材料の CVD 材料のような新規材料中の不純物規格について理解するために、さらに実験による調査が必要である。何年もの間、パーティクルの大きさという概念は、歩留りに影響を与えるかどうかの判断に用いられてきた。この概念は、パーティクルがその物理的な大きさによってだけではなく、化学組成によっても歩留りに影響を及ぼすことから再考されるべきである。それゆえ許容されるパーティクル濃度は、セルサイズのような製品パラメーターにも依存し、従って、FEP の表面処理グループの計算モデルよって導かれる表面パーティクル濃度にも合せられる。

超純水 ― 25℃で 18.2 MΩ-cm の比抵抗を持ち、金属は数 ppt、無機アニオンやアンモニアは 50ppt 以下、TOC や溶解/コロイダルシリカは 1ppb 以下 のものが一般的に超純水と考えられている。パーティクルレベルは現在入手可能な最高レベルの濾過技術を用いることにより低減している。バクテリアは配管等の内表面や少量ではあるが水中に存在しているが、非常に低いレベルに制御されており、1cfu/L 以下である。TableYE7 に提示されている 2007 年のロードマップの値は最先端デバイスを製造する工場で現在使用されていて、ベンチマーク調査によって確認された代表的な超純水の水質の値となっている。2007 年版を超える更に厳しい基準値は、製造プロセスの要求値から改善が必要とされる証拠がある場合のみ提案される。一般的に超純水は半導体製造プロセスの中で使用可能な最もクリーンな流体といえる。それ自体がプロセス歩留りに悪影響を与えるというようなデータはそれほど多くない。よって、超純水のロードマップは比較的変化がないものとなっている。超純水グループでは、ギブス自由エネルギーを使った付着モデルを使用して、様々なプロセス条件の中で、重要な不純物元素がウェーハに付着する可能性を表そうと試みている。*超純水に対する要求に関しては補足書類で議論する。*

Table YE7 の超純水においては、いくつかのパラメータを汚染物というよりプロセスの揺らぎと考えている。いくつかのパラメーターについて、ウェーハ環境の安定度が汚染レベルより重要なことは明白である。ある製造メーカは溶存酸素を現在そのように取り扱っているが、他社ではまだそれを汚染物質と考えている。温度や圧力の安定性も引き続き重要であり、特に液浸リソグラフィでは特に温度が重要である。

超純水の汚染に関する品質レベルは、その品質がどこで要求され、どこで測定されるかという視点を忘れてはならない。測定箇所には 供給ポイント(POD)、装置接続ポイント(POE)、ユースポイント(POU)がある。POD とは超純水製造システムの最終処理ステップの直後であり、POE は装置との接続点、POU は装置の内部である。詳細な測定箇所の記述は Table YE1 を参照。2007 年版ロードマップでは Table YE9 に示すように、超純水の水質は POE で規定している。超純水の水質はこれら 3 点の間で特に POE と

POU 間で変化する可能性があり、水質を完全に維持するための特別な注意が必要となる。さらに、正確な分析結果を得るためにサンプリング技術も重要である。超純水の規格を POE から POU に移行すると、サンプリング方法がより難しく、高コストになってくる。大抵のベンチマークのデータは POD や POE で収集され、Table YE7 のパラメータの基となる。POE と POU に関するベンチマークを 2007 年に実施したが、結果の掲載は間に合わなかった。これら結果は 2008 update で考慮する。汚染レベルが POU にまで拡大されてきたが、これは、半導体プロセス装置が最適設計され、適切な SEMI 基準に従って液体の純度を維持しながら運用されているであろうという技術的な判断に基づいている。

オゾン水に関しては、一般的にプロセス装置において適用される希薄薬品プロセスの一種であるとみなして、このロードマップでは取り扱わない。液侵リソグラフィに関しては脱気の可能性と、より厳密な温度制御以外、超純水に対する特別な提起されていない。また、それらはプロセス装置で実施されることになる。

超純水が液体レンズとして使用される液浸リソグラフィプロセスは、温度とレンズのヘイズ(曇り)に極めて敏感である。装置メーカーは有機物が存在するあらゆる可能性を低減しようとしている。超純水中に存在すると知られている、又は存在すると考えられる有機物がレンズにヘイズ発生させるか確かめるための加速試験を実施中である。結果の掲載は間に合わなかったので、2008 update で考慮する。

超純水のリサイクル — 超純水のリサイクルー資源の最適化を促進するために、超純水使用効率の改善が一般的に求められている。システムを通してより多くの超純水をリサイクルするようになり、超純水の品質が維持されていることを保証するため、処理方法や分析方法を含め、コスト効率の高い技術が必要とされている。適切なリサイクル計画の実行は、利益をもたらすだけでなく、“よりきれいな”給水の流れを使用することにより最終的な水質の改善ができることを示している。更なる情報と要求項目は *ESH の章*に記載されている。

超純水の測定方法 — 超純水中の汚染を監視するための一般的な試験方法は Figure YE1 に示されている。過去数年にわたり ITRS の超純水チームは超純水の品質を決定するために、多くの最新の超純水システムをベンチマークしてきた。2007 年のベンチマークでは、不揮発性蒸発残渣モニターと新鋭サンプリング技術を利用したパーティクル SEM 測定も実施した。この活動により、いくつかの測定方法が超純水中の汚染を定量するのに相応しくないことが明らかになった。次の分析方法は現在の超純水中の汚染レベルに対して感度が無い:比抵抗、TOC、無機アニオン、有機イオンと有機物。有機物の化学形態別分析はこれらの方法に限定されていた。次の方法の感度は現在のところ適切である:生菌、溶存ガス、金属。パーティクルの計測は一般的に最小寸法では十分な感度を有していないが、パーティクルサイズと濃度データを最小寸法まで外挿することで技術的には妥当である。ベンチマークの結果から、このサイズ分布は特に超純水システムと計測技術に特有であることが分かっている。このロードマップを使用する人には、各工場で実験的に異物分布を決定することを薦める。ベンチマークの結果は傾きが−1 から−5 の log−log 分布を示している。*超純水の課題について*さらに詳細には補足書類で*取り上げる*。そこに、*変換ツール*についても記載する。

Parameter	Measured (POD/POC)	Test Method
Resistivity	Online	Electric cell
Viable bacteria	Lab	Incubation
TOC	Online	Conductivity/CO_2
Inorganic anions and NH_4+	Lab	Ion chromatography
Organic ions	Lab	Ion chromatography
Other organics	Lab	Various, e.g., ES TOF, ICP-MS
Reactive silica	Online or lab	Colorimetric
Dissolved N_2	Online	Electric cell
Total silica	Lab	ICP-MS or GFAAS
Particle monitoring	Online	Light scatter
Particle count	Lab	SEM—capture filter at various pore sizes
Cations, anions, metals	Lab	Ion chromatography, ICP-MS
Dissolved O_2	Online	Electric cell

ES TOF—飛行時間型エレクトロンスプレー装置　ICP-MS—誘導結合プラズマ質量分析装置

GFAAS—黒鉛炉原子吸光高度計

Figure YE1　　General Test Methodology for Ultrapure Water

超純水と薬液のパーティクル測定 — 問題の定義と目指すもの: 超純水や薬液用のパーティクルカウンターの検出感度の限界は、必要とされる最小パーティクルサイズ(ウェーハ歩留に重大な影響を及ぼすパーティクルサイズ)の小粒径化に遅れを取ってきている。この考え方は別途議論する必要があるが、パーティクルは物理的寸法によってのみ歩留りに影響するのではなく、その化学的組成がむしろ影響が大きい。例えばスポット状の鉄汚染を考えるとよい。現在測定可能なものより小さなパーティクルを測定することも重要である。これらナノサイズのパーティクル測定は、光散乱効率が低いことにより困難になっている。パーティクル濃度が低いこと現状のパーティクルモニターの試料容量が少ないことにより、試料間の測定値のばらつきが大きくなってしまう。適正な測定統計学を持ったより高感度なパーティクル測定方法が、清浄度目標を達成するために必要となる。

感度の問題:2007 年時点で、市販の最も高感度なパーティクルカウンターは超純水に対して 0.05μm、薬液に対して 0.065μm である。M. Knotter による実験で、小粒径のパーティクルほど付着し易いことが示されており、小粒径の方がむしろ影響が大きい。これまでの超純水のためのパーティクルカウンターの感度向上は、レーザー出力の増大により行われてきた。薬液のためのパーティクルカウンターの感度向上は実行できるが、この手法を使った超純水のための更なる感度向上は、大幅なコスト増が予想されるためできそうにない。更に、高コストな解決策によるが計測装置が生産に値することを保証するとは限らない。高い初期投資と増加する資産コストがより高感度な装置の実現の可能性に影響を与える。従って、ITRS の目標を満足させるためには、市販の装置の測定感度以下のパーティクル濃度を予想するための数学的な外挿法が活用されなければならない。この外挿法は液体中のパーティクル数とパーティクルサイズ(d)との間に $1/d^3$ の関係があると仮定している。ITRS が測定を必要とする最小パーティクルサイズが実際の測定能力から乖離すればするほど、外挿の誤差(計算値と真の値の差)の可能性も高くなる。従って、パーティクル数とパーティクルサイズの関係を保証するために、より高感度でパーティクルを測定できる手法を開発することは業界にとって今でも重要なことである。これにより、その関係は信頼性を持って使用され続けることができる。

測定の正確性の問題:プロセス条件が変わっていないことを監視するため、統計的プロセス制御がますます使われるようになってきている。液体純度のプロセス変動が液体の絶対的な純度と同様に歩留りにと

って重要になっている。従って、測定されたパーティクル濃度の信頼性を保証するために、測定方法にとって十分なパーティクル数を検出することが重要である。測定パーティクル数の信頼度を向上させるためには、他に統計的に有効なるパーティクル測定方法やより大容量の試料を測定するパーティクルカウンターの開発が必要である。試料の容量（測定される液体の容量）が試料の測定間隔中に検出されるパーティクルの計測数を決定する。*パーティクルモニタリングについて詳細は補足書類を参照のこと。*

表 YE7 のガス/薬品部分の純度トレンドは基本的に一定であるが、特別なプロセスにおいてはさらに高い純度が要求される場合もある。平均的な汚染レベルを低減するよりも、純度のばらつきを低減することによって歩留り向上が達成されることもある。従って、これらのプロセス原料の製造や運搬の過程における汚染レベルの統計的プロセス制御の改善が必要である。

ガスと薬液の概要 ― 表 YE7 のガスと薬液に対する推奨される汚染の要求値は、ロードマップにおいて更に要求が厳しくなる製造工程において、装置への接続点（POE)におけるガスや薬液の典型的な品質要求値を示している。多くの用途においては、これらのガスや薬液の汚染の要求値は具体的なプロセス要求値によって決定されることで緩和されるだろう。一方で、より低い汚染レベルによって恩恵を受けると主張するメーカーもある。あるプロセスが、原料の純度範囲やパージ時間などの他のパラメーターの範囲として規定された“ウィンドウ”の中でうまく実施されると考えれば、実際には課せられた純度要求やプロセススループットにはトレードオフが存在するのは当然である。プロセスを“純度のウィンドウ”の上限まで押し進めるには、かなりの時間的投資と他のパラメーターを最適化するための努力が必要であり、その努力を追及することの経済性は、環境によって変わるだろう。汚染レベルを下げることによって得られる利益は、高純度のプロセスガスや薬液で達成された汚染ばらつきの低減のおかげである。この話題については、プロセス用流体の純度を指定するための統計的プロセス制御(SPC)を採用することの要求が詳細に検討される。

プロセス環境の汚染源としては、主として三つの原因がある。一つは供給されたプロセス原料に含まれる不純物である。二つめは供給システムやプロセス自身である。三つめは熱分解や水分のようにたまたま存在している汚染との反応による分解である。これらの汚染源は、供給されたガスや薬品からウェーハ表面への経路のいたるところに存在する。表 YE1 はプロセス原料とそれらの供給経路系の装置との様々な接点について記述してある。またそこには、ITRS 内や SEMI などの組織の様々な TWG との関連について記述している。これは WECC とこれらの組織との関係を明確にするとともに、プロセス経路に沿った様々なポイントの定義に関するあいまいさを排除している。

POP（プロセスチャンバー内）における純度の測定により、ガスや薬品の品質とプロセス性能の間の最も直接的な関係を提供してくれるが、この測定は、ウェーハ洗浄槽中の液体の性質によって多くの場合、非常に困難である。プラズマプロセス中のパーティクル生成やウェーハからの脱ガスといった例も同様である。後者は多くのプロセスにおいて水蒸気の最も重要な汚染源となり、プロセスに用いる液体からの水分の寄与を目立たなくさせる。POU で測定することにより、プロセスチャンバーに直接入っていくプロセスに用いる液体の品質の最も直接的な情報を得ることができるが、これも多くの通常のプロセスにおいては不可能である。

これらの困難さのため、表 YE7 の値は表 YE1 に示されるプロセス装置への入り口と定義される POE に相当するようになっている。一般ガスや液体に関しては、多くの用途向けに POE の不純物レベルに関して指針を与える十分なデータがある。しかし、これらの流体に関する測定はしばしば POS 、POD あるいは POC で行われている。これらの材料については、比較的反応性が少なく、大容量で運搬されるので、POE への推定は一般的に妥当性がある。特殊ガスや反応性の流体の場合、そういった推定には細心の注意を要する。なぜなら、供給量が少ないので汚染の影響に対する感度が増し、また、供給システムの構造材料の劣化や、大気の汚染、熱的な劣化に影響されやすくなるからである。これらの要素は通常の最適な構成や運転の実行により最小になっている。それゆえに POS の規格やそれほどではないにしろ POD や POC

の測定が最も有効な指針となり、POE と等しいと解釈される。要約すると、全てのガスと液体に対して POE の純度を推奨したいが、実用的には 裏付けとなるデータはしばしば POS、POD や POC で収集されてきた。

目標のレベルは 必要不可欠な純度で大量の流体を供給するか、局所的な純化器やろ過器を使うことによって達成される。供給源からのガスの純度を維持するため最低限の注意は払う必要がある。その際、構成部品で生じるパーティクルや水分のアウトガス、不適合な材料から発生する副生成物といった汚染を POS の下流側で発生させてはならない。POU になるべく近い位置でガスのパーティクルろ過を行うことが一般的には望ましい。最も重要な用途に対しては、POU で最高の純度に高めたりそれを保証するために局所的な純化器が使用される。そういう場合、そのプロセスに相応しい POC のレベルを追求することや、純化器を“保険”とみなすことが一般的に行われる。純化器を最少にすることや純化器の長寿命化が課題である。

特別な純度の課題は以下で議論されるが、一般的に表 YE7 に記載された純度のレベルが、何世代にもわたる半導体生産には適さない、ということを示唆する客観的な証拠はほとんど無い。歩留り向上は、純度の変動を抑制することで達成できると期待されている。材料自身の統計的プロセス制御(SPC)は、POS での変動を抑えるだろう。POS と POU における純度の不一致は下流側の変動要因のために無くならないだろう。例えば、供給システムにおける流量が減少した時には、脱ガスによる水分汚染が増加する傾向になるようなことである。これらの変動を排除するためには、適切なポイントでの純化(つまり POU での純化(POUP))が必要となる。

主要な一般ガスが表 YE7 に分けて掲載されている。2007 年版ロードマップでは 45nm 以降の不純物要求値の増加を示した。この種の改善はデザインルールが厳しくなるという歴史的な傾向に基づけば予想されたことであろう。しかし、一般ガス全体にわたる改善に対する必要性を支持する客観的な証拠もまたほとんど無い。大きな半導体製造団体の多くの非公式な見解では、一般ガスの大多数に対する現在の純度要求値を越える増加は、45nm 以降のデザインルールでの生産に対応するための必要性は無いことを示唆している。極端な高純度が重要となる非常に特別な用途に対しては、特別な純度等級品や追加の純化が必要とされる。上記に例示したように、下流における POUP も POS ガスの変動を取り除く追加手段として利用される。その結果、表 YE7 は 2005 年版から将来生産されるノードのために計画された段階的な改善の多くを削除する修正をされてきているが、変更を正当化する特別な情報が確認できるものについては除いてある。

特殊ガスについても、多くの用途分類が具体的なプロセス、すなわちエッチング、成膜、ドーピング、レーザー用途等の特定のプロセスに対する要求をはっきりさせるために追加されているが、状況は同じである。一般ガスと同様に、純度向上に対する客観的な正当性が確認されない限り、表 YE7 の値は現状レベルのままとした。現状の表 YE7 のガスの値に対する変更は少ないが、将来の設計ルールに対応するために必要となる非常に多くの新規材料の導入や、例えば ALD(原子層成膜)のようなプロセスの革新には近接モニタリングが必要となる。*一般及び特殊ガスに関する詳細はガス補足資料に示されている。*

2005 年版ロードマップではプロセスガスや液体の統計的プロセス制御がますます必要となることを確認した。いくつかの会社が材料の変動に対する統計的制御に関する仕様を持った材料を要求し始めた。しかし、業界を横断して受け入れられた SPC 工程を規定する標準は無い。現在、最終ユーザーと供給メーカーの団体の代表者で構成された SEMI 後援の特別委員会があり、ガスや液体の“制御下にある”仕様を定義するための共通の指標を作成している。

“制御下にある”プロセス流体を供給するという保証があると、製造工程全般にわたる変動を最小限にすることにより、あるいは名目上標準的な仕様を満たしている材料品質の大幅な変動に起因するプロセスの破綻の可能性を単純に削減することにより、歩留り向上が期待できる。

多くの半導体製造の大企業が一般ガスや特殊ガスの購入のための統計的プロセス制御(SPC)の要求を実現させているという非公式の調査結果は、既に SPC が生産に使われる材料の多くに利用されているか、

近い将来に利用されることになる、ということを示している。しかし、“制御下”の根底をなす基準は実質的には変化する。調査回答は、顧客の期待は POS での材料の準備のためのプロセス制御の利用が、彼らの半導体製造工程の安定性を改善し、高歩留り生産にとって重要であるということを示唆している。最初の実施は、半導体プロセスの変動を引き起こす可能性が非常に大きい、メモリやマイクロプロセッサーの新製品や既存製品に使用される、無水塩化水素酸などの特殊材料ガスに焦点が当てられるだろう。

薬液 ― 表 YE7 に、プロセス装置に供給される薬液に対する純度要求値を要約されている。 拡散前洗浄の要求値が最も挑戦的な不純物レベルとなっている。液中パーティクルレベルの目標は各技術世代でより純度が高くなることが示されている。これらの目標値は、液中とウェーハ上のパーティクル濃度が直線関係にあると仮定して FEP 表面処理グループが計算した、ウェーハ上の純度要求値から導かれている。現在、薬液中では、パーティクルカウンターの検出感度は 65nm に過ぎない。パーティクルサイズ分布を仮定することにより、より小さいパーティクルサイズまでパーティクル濃度を推測することができる。しかし、これは使用されるフィルタリングのレベルで影響を受ける。様々の薬品に対するもう一つの測定上の課題は、現在のところ不可能であるパーティクルと泡の区別である。

薬液中の有機物やアニオン、カチオン汚染を正確に分析する能力が、ウェーハプロセスを成功させるためにより重要になってきている。補足資料には*イオン一覧表*と*混合の計算*が示されており、どの薬品にどのイオンが重要であり、どの薬品の中でそれらが実質的に検出される可能性があるのかを示してある。CMP やめっき用薬液の使用量が増加するとともに、供給される薬液に対する純度要求値の理解を深める必要がある。表 YE7 には少数の CVD/ALD プリカーサーに関する情報しか載せていない。層の種類とそれぞれに対する汚染物質は莫大である。従って、*プリカーサーの表*をオンライン用補足資料として掲載した。プリカーサーの表は、どのプリカーサーが異なる技術世代で可能性のある候補となるのか、そして予期される汚染の性質に関する情報を提供している。主たる課題は、一世代二世代しか使われない新規プリカーサーを導入する重要工程に対する歩留り習熟を加速させるための開発である。

一般ガス/特殊ガス ― 一般ガスの純度に対する要求値に関しては数箇所の変更しかない。リソグラフィー工程で使用される窒素やヘリウム中の有機系難揮発性化合物の 0.1ppb 以下の計測における検出能力が課題となっている。ロードマップでは、現状の分析手法の検出下限によって、この領域は 2007 年から 2010 年までオレンジ色で示されている。

加えて、不純物としてアルゴンをよりよく制御する必要性を記述する変更が行われている。窒素の仕様では、重大な不純物からアルゴンを削除する変更がされたが、酸素の仕様にはアルゴンが残されている。それでも、2005 年版での 50ppbv というアルゴンの限界値は、1000ppbv まで緩和された。現状の酸素の要求値は、プラズマエッチングプロセスに影響を及ぼす可能性のある制御されていないアルゴン不純物によって決められるが、エッチングに使用される酸素に対するアルゴンの標準的な仕様は、1000ppbv 以下のレベルという点で一致している。

最先端のリソグラフィーのようなプロセスでは、極微量の”高分子量/高沸点”の炭化水素(例えば C_6-C_{30})は、曝された表面にどんどん吸着し、レンズやマスク、鏡などの上に不揮発性の残渣を残すという光化学的劣化を起こすので有害である。しかし、たとえリテンションタイムが C_6 以下の有機物であっても、それらが難揮発性堆積物になるのであれば有害と考えられる。同じ理由で、シロキサンや有機リン酸エステルも、非常に少量でも有害になる可能性を持っている。それらを最高感度で検出するためには、当該種を直接検出すること、そして適切な標準試料を使って分析器を校正することが必要である。使用される方法は、AMC のための方法と類似しており、TD-GCMS や TD-GC/FID、IMS などである。これらの手法を使っても、カラム中に残留したり、非常に広いピークとして現れてくる傾向のある、高分子量の炭化水素や極性を持った分子を正確に検出できない場合がある。吸着トラップを使用する方法では、トラップ効率を確定することが重要である。個別の炭化水素をリアルタイムで測定するために APIMS を使うことは原理的には可能であるが、大きな炭化水素はイオン化過程で衝突により解離してしまうため校正が困難である。

賛同を得られる妥協案は、TD-GS/MS を使い炭素数 6 以上の全てのピークを足し合わせることである。測定器は通常多成分の標準試料で校正され、ヘキサデカン換算で報告される。この方法で与えられる定量性は概算であり、何種類かの分子は見落とされるかもしれないが、簡便な校正を提供しつつ、少なくとも高分子炭化水素により重点をおくことができる。

酸素と水素は一般的に窒素濃度に関しては他の汚染よりも高いレベルを許容でき、表にはこの結果が反映されている。高清浄度な CDA やリソグラフィーのパージガス、超臨界 CO2 供給に対する要求値も含まれている。高清浄度な CDA は必ずしも都合良く安価に手に入る訳ではないが、その製造には技術的な障壁は無い。分析方法は通常クリーンルーム大気中の AMC の分析と同様であり、金属や硫酸塩、アミンなどについては超純水中にバブリングする方法、また、有機物に関しては吸着トラップを使う方法である。おのおのの場合で、試料が分析装置(水溶液サンプルは ICP-MS またはイオンクロマトグラフィー、有機物の脱離は GC-MS)に導入される時に必要な感度が得られるように、サンプラーは不純物を濃縮する。この方法は本来時間を要するものであり、もし可能であるならば直接分析する方法が望ましい。しかし、リアルタイム分析に対する明らかに差し迫った必要性は今のところ無い。SO2 分析には UV 蛍光分析などの便利なオンライン手法がある。

特殊ガスに関して表 YE7 では、エッチャントやドーパント、デポジション用ガス中の汚染の値が拡張されてきた。それは、使用される材料の数が増加することを反映させ、それらが使用されるプロセスについてきちんと記述するためである。パーティクル濃度の値は、通常オンラインのモニターが行われていないことや POU のパーティクルフィルタの有効性が十分に確認されているため、表から除かれている。低温のエピ成長やそのためのクリーニングガスというような非常に要求の高い用途では、デポジション温度が低温化すると共に純度の改善により利益を得つづけられるという証拠はあるが、そのレベルを実質的に改善するよりもむしろ、現実的に最良な純度のものを幅広く使っていくということも考えるべきである。

一般ガスと特殊ガス両方に対して、純度の絶対値を改善するよりも、純度の変動をより厳しく制御することの方が重要になると予想される。しかし、化学的に活性な特殊ガスが増えると、POS の純度を POP への供給系統全域にわたって維持するという非常に厄介な課題が持ち上がる。塩化水素のような選択的特殊ガスは POS における統計的プロセス制御(SPC)のための最初の対象の一つとなるだろう。

新規材料 ― プロセスで使用される新規材料の数はますます増加しており、その不純物に関する詳細な考察は非常に重要になってくるだろう。新規金属酸化膜、CMP スラリー、低/高誘電体材料、CVD や電解メッキ溶液などでのプリカーサー材料、Cu、Ta といったバリア膜や導電膜というような重要な材料に対する要求不純物レベルは幅広く研究されてない。そしてこれらの材料の多くは表 YE7 には掲載されていない。半導体プロセスで使用される薄膜用プリカーサーの特性を列挙し明らかにしようとした初期の試みは、この章の補足資料に示されている。(リンク先を提示)

薄膜成膜用プリカーサーは水分や空気、高温に非常に敏感である。POS からチャンバー(反応器)までの供給プロセスにわたる制御は高歩留まり達成にとって重要である。これらのシステムにおいて、分解反応による有害な分子やパーティクル状不純物の発生を抑制するために、非常に高純度な輸送ガスやパージガスの使用がしばしば要求される。伝統的に純化器は、一般ガスの供給システムにおいて、供給ガスに含まれるパーティクルや、酸素、水分のような均質の化学的汚染を除去するために使用されてきた。しかし、POU における純化器が開発され市販されると、特に非常に決定的に重要な汚染制御レベルが必要なプロセスステップに要求される特殊ガスのための POU 純化器を利用したいというユーザーが出てくる。これらの POU 純化器は化学汚染を非常に高効率で極低レベル(~ppt)まで除去することができ、低所有コストで使いやすく、交換も簡単である。これらの POU 純化器はプロセスチャンバー入り口の極近傍に設置できるので、化学的に純化、ろ過したプロセスガスに対して最小限の輸送経路と最小限の汚染を保証する。

これらの材料が、技術の要求を満たす不純物規格で製造されていることを保証するために、新たな測定技術や与える影響の研究が必要である。現在考えられている薄膜新規物質(プリカーサー)の種類の詳細は表 YE7 の薬液の項目と*プリカーサー補足一覧表*に記載されている。

Table YE7 Technology Requirements for Wafer Environmental Contamination Control

解決策候補

歩留りモデルと装置許容欠陥数

近い将来、熱誘起(thermophoresis)や Van Der Waals 力による、非常に小さい粒子の挙動に関する研究が必要となる。現状、歩留り関係者は、分子と、光学的に可視な粒子との間の領域の粒子に関する十分な経験を持っていない。TCAD に基づいた詳細な歩留りモデルに関する研究が、システマティック不良起因の歩留り（SMLY）が立上げ/安定時の歩留りを支配するようになった為に、重要となった。依然として増加し続ける NRE が、SMLY に関する理解と製品に関する適用を要求している。LER(Line Edge Roughness)や設計とプロセスのミスマッチによるパラメトリック不良も歩留りを制限する傾向がある。これにより、デバイス評価や計測データを統計的に整理する方法に関する研究が必要となる。Figure YE2 に、将来の歩留りモデルへの技術的要求に対する助けになるかも知れないいくつかの解決策候補を示した。

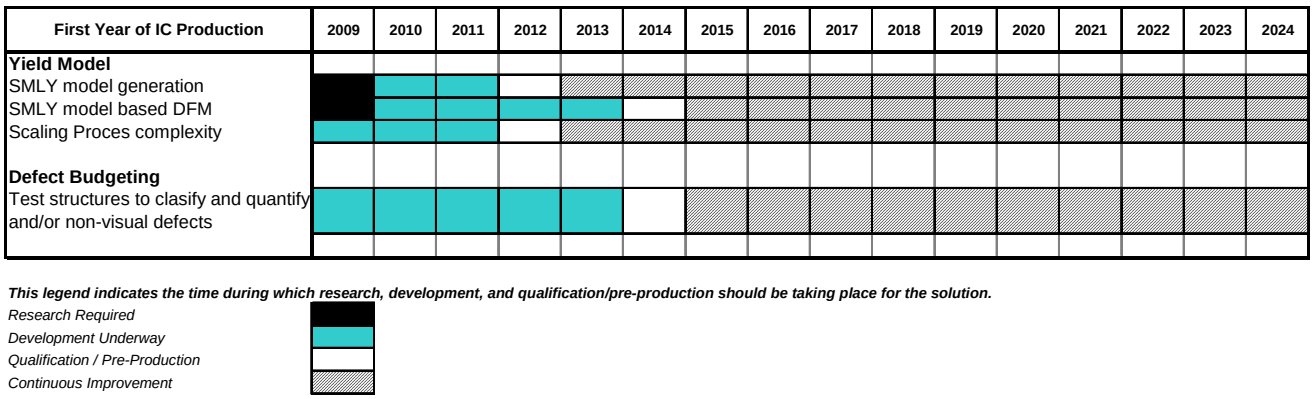


Figure YE2 Yield Model and Defect Budget Potential Solutions

欠陥検出と特徴付け

来年に向けての、パターン付き欠陥検査への要求は疑似欠陥やノイズに埋もれた対象欠陥を検出できる様にすることである。もちろん、これは同様に要求されている高い検出感度や検査速度と連携した課題

である。ロードマップで要求される感度を満たした上での歩留り立上げ時期および量産時期の目標処理能力を達成するためには大きなブレークスルーが要求されている。

ウェーハエッジとベベル部の検査では、欠陥のフィルタリングと分類の必要性があげられる。重要な解決課題はウェーハエッジ部の欠陥観察手段である。欠陥観察によりその欠陥の歩留への影響度や要因の究明が可能になるため、製品の歩留改善にこの機能は必須である。注目欠陥を自動的に抽出できる様なフィルタリング手法について重点的に研究開発を行うべきである。

高アスペクト構造の欠陥検査も、歩留改善への影響が大きいことや検査速度の問題から検査コストの増加に繋がることから、引き続き重要な課題である。ここでも、ノイズと注目欠陥の分離が重要な課題となっている。

データ精度やデータ量の圧縮といった、450mm ウェーハ検査で必要と予測される、対応技術の調査を開始する。同じく 450mm ウェーハ検査で、欠陥検出や欠陥観察に要求される座標精度についても調査を開始する。以前から述べている通り、開発段階での欠陥検査や欠陥観察の実施は歩留改善に重要である。450mm ウェーハでは検査面積が 2 倍になることから、来年の重点調査課題は検査時間の見積もりとその改善手法になる。

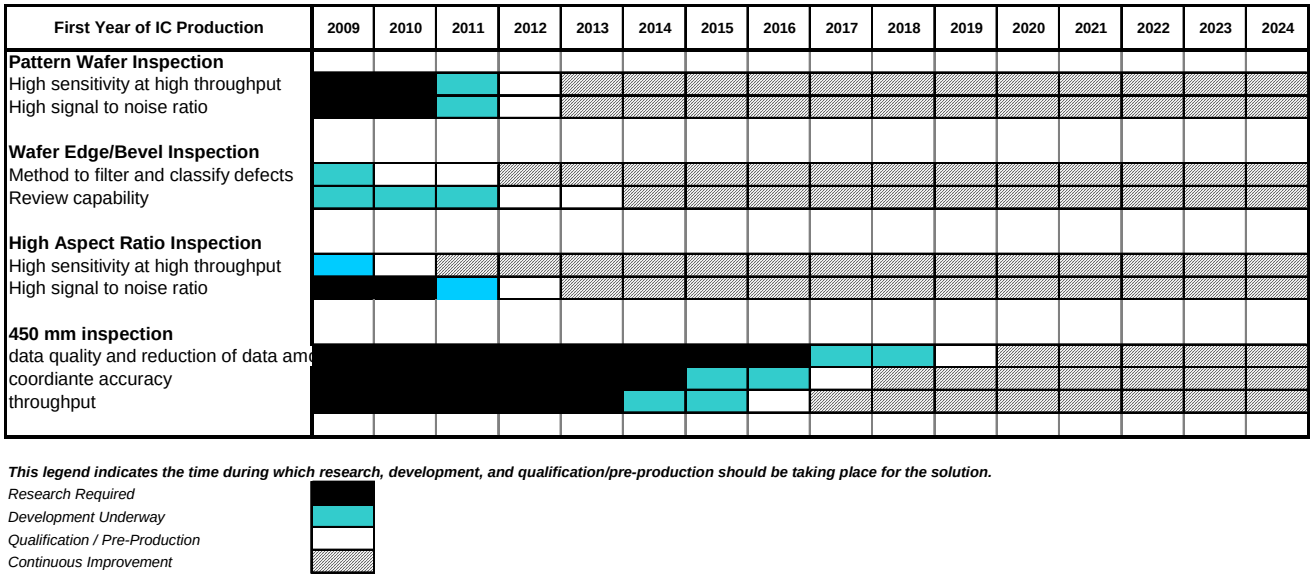


Figure YE3　　Defect Detection and Characterization Potential Solutions

ウェーハ環境制御

プロセス装置 ― プロセス装置内での欠陥を削減することは、欠陥密度の目標を達成するための最重要課題である。解決策と技術開発が今後 15 年間の主要な性能強化の可能性を提供し、90nm 以下のデバイスの低コスト大量生産の持続を可能にすると期待されている。図 YE4 によれば、装置起因欠陥の目標は主として水平方向のスケーリングに基づいている。垂直方向の欠陥は、ゲートスタック構造や金属および見えない汚染、そしてパラメトリックな感度に適用される際に理解が必要となる。新しい洗浄剤やその場(*in situ*)チャンバーモニタリング法、材料の開発、そして部品洗浄の改善を含む技術により、処理毎のチャンバー清浄度の維持やチャンバーのウェット洗浄頻度の大幅削減が可能になる。これらの開発は装置稼働率向上に寄与するだろう。ウェーハ裏面汚染の削減要求が計測技術と装置の根本的な変化をもたらす。ウェーハ裏

面から次のウェーハ表面への金属やパーティクルのクロスコンタミネーション、リソグラフィー工程におけるホットスポットや焦点深度そして静電チャックの突き抜けが、将来の装置に於いて対処を要する全ての問題となる。Oリング材料の選定、ガスの流れや温度管理、ウェーハチャックの最適化などのパーティクルを回避するための技術が、欠陥密度の目標を達成するための大きな役割をになう。チャンバーでの汚染形成、搬送、堆積物の基本的な理解を深めることが、現在の装置やプロセス設計を強化するのに必要であり、その場(*in situ)*センサーからのデータ解釈に役立てるために必要となる。これら基本的な物理、化学そしてプラズマチャンバーの汚染モデルを採用すべきである。プロセス起因の欠陥を削減し、必要な検査を最小限にするために、その場(*in situ)*プロセス制御がますます重要となってくる装置における知的プロセス制御のためには、パラメーターがデバイス性能にどのように影響するかという基本的な理解が必要である。知的プロセス制御のためには、使用者と装置供給者両者が、新しいセンサーと新しいソフトウェアを簡単に一体化できるような公開の装置制御システムが必要である。

プロセスの重要な材料 ― 図 YE4 に欠陥を防止し排除するための解決策が示されている。増大する純度への必要性を確認するためには、デバイスへの影響に対するさらなる研究が必要である。腐食の可能性のようなシステムの懸念のために、より高純度を追求するというプロセスの懸念を引き出すかもしれない。

新たな材料を内蔵するプロセスの歩留向上を加速するためには、研究開発には実用的な純度データを含めることが望ましい。ゲート絶縁膜のような新材料の研究は、初め基本的なプロセス性能に関心をもたれるが、その後は集積の問題となる。そのような開発段階では、汚染に対する関心は比較的小さい。しかし、情報を集めなければ、その後の歩留向上の努力は不適切な技術基盤を基に進められることになる。収集や報告する環境や材料の汚染のデータが実用的であれば、長期的に見て大きな価値をもつ。

超純水 ― 仕様を満足する超純水システムであれば、現在のデバイス構造に対する大きな欠陥要因とはならない。このことに基づいて、ロードマップでは将来の構造に対しても大きな変更は必要ないと予測している。ロードマップの優先順位としては、重要な変更を促すためには、超純水に関係する具体的な欠陥発生メカニズムが必要となる。現在の焦点は、装置が水質、特にパーティクル、バクテリア、溶存ガスに与える影響を理解すること、そして純水中に存在すると考えられるが利用できる分析手法の検出下限以下の物質を特定することである。超純水中の低レベルの汚染を特定する有機物や有機イオンの測定方法の改善が必要である。再利用や再生の取組みが、短時間のオンライン分析技術、特に POU での再利用超純水が、再生しない超純水と同等かまたは高純度であることを確認するための有機物の検出技術の改良をもたらすだろう。

化学薬品 ― 図 YE4 に、ウェーハ製造プロセスに輸送される薬品の純度を高めたり測定するための様々な技術分野を示す。

ウェーハ環境制御 ― 制御すべき雰囲気汚染のリストが増えるとともに、測定能力も増強しなくてはならない。手頃な価格で正確、再現性がありリアルタイムで検出できるパーティクル汚染の無いセンサーがますます必要になってくる。プロセスの敏感性が増すとともに、ウェーハを搬送したり保管したりするための不活性雰囲気の使用が増えてくると考えられる。ゲート酸化前やコンタクト形成前の洗浄、サリサイデーションがこの性能を初めに必要とするプロセスとして挙げられる。それに加えて、不活性雰囲気を使うことにより真空ロードロック装置への水分の持込を低減でき、汚染やロードロックの真空引き時間を削減できる。密閉のパージシステムが既にありまた発展している一方、洗浄装置のように不活性雰囲気が必要とされる装置には困難な課題がある。ウェーハ隔離技術が発展するにつれ、キャリアや容器の設計や材料選定が、ウェーハを環境から隔離する上で、また、汚染そのものを出さないという点で非常に重要になる。加えて、材料や設計がプロセス間のクロスコンタミネーションを促進してはならない。密封技術や低アウトガスで吸着のない材料の開発が、効果的なウェーハやレチクルの隔離配置にとって鍵となる。

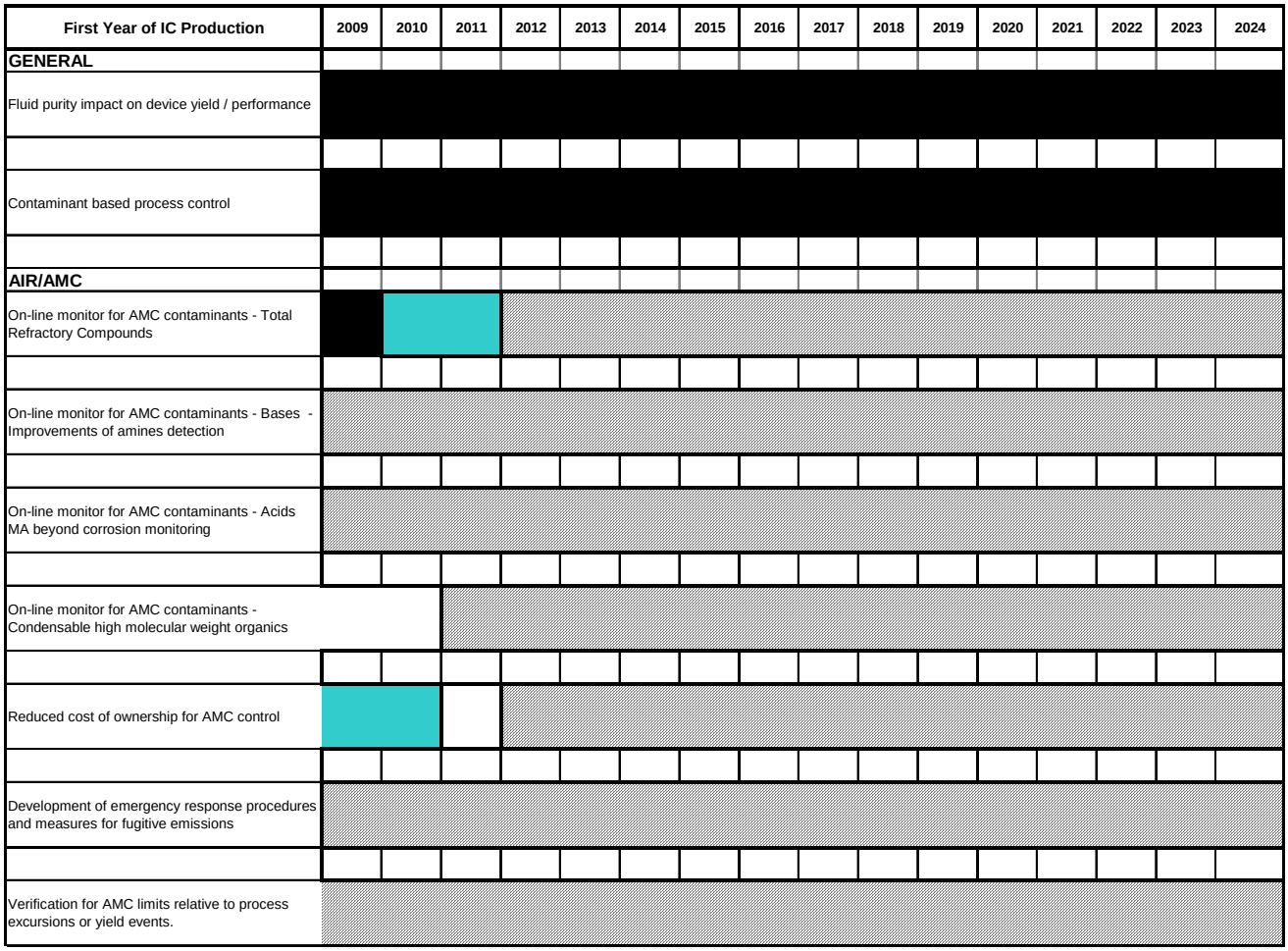


Figure YE4 Wafer Environmental and Contamination Control Potential Solutions

First Year of IC Production	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024
ULTRAPURE WATER																
Metal sampling/detection capability																
Metal deposition Understanding																
Tool blanketing to preclude dissolved O2 increase																
Particle counting techniques for direct measurement of smaller particles																
Colloidal Silica as a surrogate measure of particles in UPW																
Organics speciation and analytical capabilities to provide information about organic molecular weight and chemical species / class																
Yield impacts of various organic species																
TOC: analysis for chemical family and molecular weight identification																

Figure YE4 Wafer Environmental and Contamination Control Potential Solutions (continued)

First Year of IC Production	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024
CHEMICALS																
Development of sub 65 nm particle counter																
Filtration 0.02/0.04 µm with high flux (1 gpm/0.5 psi/10"/1cP)																
Filtration sub 0.02 µm with higher flux																
Reduced pressure fluctuations by improved BCD system performance and by better pressure and flow control																
Improved blend accuracy taking into account incoming chemical concentration changes (closed loop control capability)																
Improved metrology for concentration measurements																
Improved flow capacity for piping components																
Improved connection technology (reduce leakages)																
Higher purity resins (metals, organics, anions, cations, surface smoothness, permeability)																
Particle characterization to identify source of contamination																
Anion & cation measurement in process chemicals, e.g. cleaning chemicals																
Organic measurement (TOC and speciation) in process chemicals, e.g. H2O2, IPA																
Contaminant characterization in CMP slurries, e.g. zeta potential, large particle size																
On-line contaminant and constituent measurement in plating chemicals, e.g. copper sulfate, organic additives																

Figure YE4 Wafer Environmental and Contamination Control Potential Solutions (continued)

First Year of IC Production	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024
PRECURSORS																
Particle measurement for precursors																
Other analyzer techniques for precursors (precursor specific contaminants, see supplementary table)																
GASES																
Development of statistically process controlled (SPC) based specifications for critical specialty gases																
Bulk gas purity requirements, specifically of carrier and purge gases for moisture sensitive materials																
Blending accuracy for low concentrations of dopant mixtures																

Figure YE4 Wafer Environmental and Contamination Control Potential Solutions (continued)