

国際半導体技術ロードマップ  
2011年版概要

INTERNATIONAL  
TECHNOLOGY ROADMAP  
FOR  
SEMICONDUCTORS

2011 EDITION

EXECUTIVE SUMMARY

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

# 訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2011 Edition(国際半導体技術ロードマップ 2011 年版)本文の日本語訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会 (STRJ) が電子情報技術産業協会 (JEITA) 内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 15 のワーキンググループ (WG: Working Group) が組織され、半導体集積回路メーカ、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソーシアムなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2011年版は英文で 1000 ページを越えるの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、ITRS 2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要が限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。ITRS 2009 年版以降、電子媒体で ITRS を公開することを前提に編集を進め、ITRS の表は原則として、Microsoft Excel のファイルとして作成し、そのまま公開することにした。

ITRS は英語で書かれている。日本語訳の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くの専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字、脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただけますよう、お願い申し上げます。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞 (Acknowledgments) に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出していない。

原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように () 内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ (ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ (International Technology Roadmap for Semiconductors)」のように和訳の後に () 内に原語やそれに対応する略語を表示した。Executive Summary の用語集 (Glossary) も参照されたい。原文の括弧 () があってそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また [] 内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いです。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 STRJ 事務局の進藤淳二さん、関口美奈さんに大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2012年 5月  
訳者一同を代表して  
電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長  
石内 秀美 (株式会社 東芝)

## 著作権について

# ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2011 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS •SEMATECH, Inc. , 257 Fuller Road, Albany, NY 12203 • <http://www.itrs.net>  
Japanese translation by the JEITA, Japan Electronics and Information Technology Industries  
Association under the license of the Semiconductor Industry Association

### —引用する場合の注意—

原文(英語版)から引用する場合： ITRS 2011 Edition page XX, Figure(Table) YY  
この日本語訳から引用する場合： ITRS 2011 Edition (JEITA 訳) XX 頁,図(表)YY  
と明記してください。

-----  
**問合せ先：**

一般社団法人 電子情報技術産業協会  
半導体技術ロードマップ専門委員会 事務局  
電話: 03-5218-1068 電子メール: [roadmap@jeita.or.jp](mailto:roadmap@jeita.or.jp)



# TABLE OF CONTENTS

序論 (Introduction) .....	1
概要 (Overview) .....	1
ロードマップの作成過程と構成 (Overall Roadmap Process and Structure) .....	3
ロードマップ作成過程(Roadmapping Process) .....	3
ロードマップの内容 (Roadmap Content) .....	4
技術指標 (Technology Characteristics) .....	5
技術発展のペース (Technology Pacing) .....	6
ロードマップがカバーする範囲 (Roadmap Scope).....	12
ITRS 2011 年版のトピックス (2011 ITRS Special Topics) .....	16
主要な技術課題Grand Challenges .....	25
概要 (Overview) .....	25
短期予測 In the Near Term (2018 まで) .....	25
性能向上 [Enhancing Performance].....	25
低コスト生産 [Cost-Effective Manufacturing].....	31
長期予測 In The Long Term (2019 through 2026) .....	35
性能向上 [Enhancing Performance].....	35
低コスト生産 [Cost-Effective Manufacturing].....	38
2011 新規事項—ワーキンググループ要約 (What is New for 2011—the Working Group Summaries) .....	41
システム・ドライバおよびデザイン .....	41
Test and Test Equipment.....	43
Process Integration, DEVICES, and Structures.....	47
RF and AMS技術 .....	50
Microelectromechanical Systems (MEMS) .....	53
新探求デバイス(Emerging Research Devices) .....	55
新探求材料 .....	58
Front End Processes .....	60
リソグラフィ .....	63
Interconnect .....	65
工場技術(Factory Integration) .....	67
Assembly and Packaging .....	73
環境・安全・健康(ESH) (Environment, Safety, and Health) .....	75
歩留まり向上 (Yield Enhancement) .....	79
計測Metrology .....	82
モデリング&シミュレーション (Modeling and Simulation) .....	85
総括ロードマップ技術指標 (Overall Roadmap Technology Characteristics) .....	90
背景(Background) .....	90
2011 年改訂の概要(Overview of 2011 Revisions) .....	90

定 義(Definitions) .....	90
ロードマップのタイムライン(Roadmap Timeline) .....	95
製品世代およびチップ寸法モデル(Product Generations and Chip-Size Model) .....	100
チップサイズ、リソグラフィ・フィールド、ウェーハ・サイズのトレンド .....	104
パッケージされたチップの性能.....	109
リソグラフィー用のマスク数と電氣的な欠陥密度(Lithography Mask Count and Electrical Defect Density) .....	111
電源と消費電力( Power Supply and Power Dissipation) .....	111
コスト(Cost) .....	112
<b>用語集Glossary</b> .....	<b>115</b>
製造の属性と方式 (Fabrication Attributes and Methods) .....	121
最大基板直径(mm) (Maximum Substrate Diameter) .....	122

## LIST OF FIGURES

Figure 1	2011 Definition of Pitches.....	7
Figure 2	A Typical Technology Production “Ramp” Curve (within an established wafer generation)* .....	9
Figure 3	A Typical Technology Production “Ramp” Curve for ERD/ERM Research and PIDS Transfer timing (including an example for III/V Hi-Mobility Channel Technology Timing Scenario – also see the Equivalent Scaling topic).....	10
Figure 4	Technology Cycle Timing Compared to Actual Wafer Production Technology Capacity Distribution .....	12
Figure 5	Moore’s Law and More .....	13
Figure 6	Typical Wafer Generation Pilot Line and Production “Ramp” Curve applied to Forecast Timing Targets of the 450 mm Wafer Generation .....	18
Figure 7	Lithography Masks Count by Product Category – Litho TWG & SEMATECH Survey.....	19
Figure 8	Lithography Masks Count by Product Category – ICK ITRS Process Model-based Scenarios.....	21
Figure 9	2012 Update Model Trend versus 2009/2011 ITRS PIDS TWG Transistor Intrinsic Frequency ( $1/(CV/I)$ ) Performance Trends.....	23
Figure 10	Design On-Chip Frequency vs. PIDS Intrinsic Transistor and Ring Oscillator Model Frequency .....	24
Figure ITWG1	Relationship among More Moore, More-than-Moore, and Beyond CMOS.....	55
Figure ORTC1	MOS Transistor Scaling—1974 to present .....	93
Figure ORTC2	Scaling Calculator.....	94
Figure ORTC3	2011 ITRS—DRAM and Flash Memory Half Pitch Trends.....	98
Figure ORTC4	2011 ITRS—MPU/high-performance ASIC Half Pitch and Gate Length Trends.....	99
Figure ORTC5	2011 ITRS “Equivalent Scaling” Process Technologies Timing compared to ORTC MPU/high-performance ASIC Half Pitch and Gate Length Trends and Timing and industry “node” naming; and including proposals for MugFET and III/V Ge acceleration for 2012 ITRS Update work; see PIDS, FEP, ERD, ERM chapters for additional details.....	100
Figure ORTC6	2011 ITRS Product Function Size Trends: MPU Logic Gate Size (4-transistor); Memory Cell Size [SRAM (6-transistor); Flash (SLC and MLC), and DRAM (transistor + capacitor)] .....	102
Figure ORTC7	2011 ITRS Product Technology Trends: Memory Product Functions/Chip and Industry Average “Moore’s Law” and Chip Size Trends .....	103
Figure ORTC8	2011 ITRS Product Technology Trends: MPU Product Functions/Chip and Industry Average “Moore’s Law” and Chip Size Trends .....	104

## LIST OF TABLES

Table A	Improvement Trends for ICs Enabled by Feature Scaling.....	1
Table B	ITRS Table Structure—Key Lithography-related Characteristics by Product ..	6
Table C	2011 Chip Frequency Model Trend vs.2009/2010 ITRS Frequency .....	21
Table ITWG1	Summary of Key Test Drivers, Challenges, and Opportunities .....	45
Table ITWG2	Process Integration Difficult Challenges .....	48
Table ITWG3	RF and Analog Mixed-Signal (RF and AMS) Technologies Difficult Challenges .....	52
Table ITWG4	MEMS Difficult Challenges .....	54
Table ITWG5	Emerging Research Devices Difficult Challenges .....	56
Table ITWG6	Emerging Research Materials Difficult Challenges.....	59
Table ITWG7	Front End Processes Difficult Challenges .....	62
Table ITWG8	Lithography Difficult Challenges .....	64
Table ITWG9	Interconnect Difficult Challenges .....	66
Table ITWG10	Factory Integration Difficult Challenges .....	70
Table ITWG11	Assembly and Packaging Difficult Challenges.....	73
Table ITWG12	Environment, Safety, and Health Difficult Challenges .....	77
Table ITWG13	Yield Enhancement Difficult Challenges.....	80
Table ITWG14	Metrology Difficult Challenges .....	83
Table ITWG15	Modeling and Simulation Difficult Challenges .....	86
Table D	Rounded versus Actual Trend Numbers (DRAM Product Trend Example) .....	95
Table ORTC-1	ITRS Technology Trend Targets .....	102
Table ORTC-2A	DRAM and Flash Production Product Generations and Chip Size Model ..	105
Table ORTC-2B	DRAM Introduction Product Generations and Chip Size Model .....	105
Table ORTC-2C	MPU (High-volume Microprocessor) Cost-Performance Product Generations and Chip Size Model .....	107
Table ORTC-2D	High-Performance MPU and ASIC Product Generations and Chip Size Model .....	107
Table ORTC-3	Lithographic-Field and Wafer Size Trends .....	108
Table ORTC-4	Performance and Packaged Chips Trends.....	109
Table ORTC-5	Lithography Masks Count and Electrical Defects .....	111
Table ORTC-6	Power Supply and Power Dissipation.....	112
Table ORTC-7	Cost .....	113

[Link to 2011 ORTC tables.](#)

[Link to 2011 Edition files.](#)

# 序論 (INTRODUCTION)

## 概要 (OVERVIEW)

過去 40 年以上にわたり、半導体産業は半導体製品の急速な進歩を達成してきた。その間に進歩した主な項目とその内容例を Table A に示す。こうした進歩は、集積回路を製造するときを使用される最小寸法(feature size)を年々指数関数的に縮小する産業全般の技術力により実現されてきた。最もよく使用される集積化の進展を示すトレンドは、ムーアの法則(約 24 カ月でチップあたりのコンポーネント数が 2 倍となる)である。社会にとって重要なトレンドは、集積回路の機能あたりコストの低減で、これにより集積回路がコンピュータ、電気通信、家電製品の普及に貢献し、経済における生産性と社会全体における生活の質の大きな改善をもたらした。

Table A Improvement Trends for ICs Enabled by Feature Scaling

トレンドの項目 (TREND)	性能指標の例 (EXAMPLE)
集積レベル (Integration Level)	コンポーネント数/チップ、ムーアの法則 (Components/chip, Moore's Law)
コスト(Cost)	機能あたりコスト(Cost per function)
速度(Speed)	マイクロプロセッサの処理性能 (Microprocessor throughput)
消費電力(Power)	ラップトップパーソナルコンピュータあるいは携帯電話の電池寿命 (Laptop or cell phone battery life)
コンパクト性(Compactness)	小型軽量製品(Small and light-weight products)
機能(Functionality)	不揮発性メモリ, 撮像素子(Nonvolatile memory, imager)

「スケーリング則」とも呼ばれるこれらの進歩は、巨額の研究開発投資により可能となった。過去 30 年で必要投資額はますます増大したために、産業内での協力が進展し、多くの企業間研究開発協力、コンソーシアム、その他の協力ベンチャ企業が生み出されている。このような研究開発プログラムをガイドする一助として、米国の半導体産業協会 (Semiconductor Industry Association, SIA) は米国半導体技術ロードマップ (National Technology Roadmap for Semiconductors, NTRS) の編纂を開始し、1992 年、1994 年、1997 年版をまとめた。1998 年には、SIA は欧州、日本、韓国、台湾の半導体工業会とともに、このロードマップの 1998 年改訂版を編纂するとともに、最初の国際半導体技術ロードマップ (International Technology Roadmap for Semiconductors, ITRS) の編纂作業を開始し、翌年の 1999 年に出版された。それ以来、偶数年に部分改訂を、奇数年に全面改訂を行っている。ITRS の全般的な目的は、今後 15 年間にわたる産業界の研究開発のニーズに関して、「現時点での最良の予測」についての産業界のコンセンサスを提示することである。ITRS は、それ自体として、企業、大学、行政機関をはじめとする研究機関や研究資金供給機関の業務にたいしてガイドラインを与えている。ITRS はすべての階層で研究開発投資判断の質を向上させ、研究のブレークスルーが最も必要とされる領域で研究開発活動を支援してきた。

ITRS は動的な活動プロセスを持っていて、それは ITRS の文書からも明らかである。ITRS は半導体産業界が単純な幾何学的スケーリング (geometrical scaling) から等価的スケーリング (equivalent scaling) に移行していくことを反映している。ムーアの法則 (Moore's Law) に代表される幾何学的スケー

## 2 序論(Introduction)

リング(geometrical scaling)過去 30 年にわたりよい指導原理であり、目標であったし、半導体チップメーカーにとっても、多くの面で、今後とも目標である続ける。等価的スケールリング(equivalent scaling)の目標は、設計のイノベーション、ソフトウェア的な解決法、製造プロセスのイノベーションを通しての性能改善に代表されるが、今後 10 年間で半導体産業にとって、ますます重要な指導原理となる。2001 年以来、ITRS は新しい章を追加してきた。2001 年にシステムドライバの章を、2005 年には新探究デバイス(Emerging Research Devices)の章と RF アナログ(Radio Frequency and Analog/Mixed-signal Technologies for Wireless Communications)の章を書き下ろした(その後、高周波以外のアナログ技術の記述を充実させ、現在にいたっている)。2007 年版で、新探究材料(Emerging Research Materials)の章を書き下ろし、半導体産業の発展をよりよく反映させたものになった。2011 年版では、新たに、MEMS (Microelectromechanical Systems)の章を iNEMI (international Electronics Manufacturing Initiative)と整合をとって書き下ろした。ITRS 2010 年改訂版でも、エネルギーについての言及をはじめており、2011 年版のファクトリーインテグレーション(Factory Integration)の章では、エネルギーについて、さらに強調している。

1992 年の NTRS 以来、NTRS と ITRS のロードマップの基本的前提は、エレクトロニクス継続的な微細化(scaling)は単位機能あたりのコストを削減(歴史的には年率約 25-29%)し、市場を拡大(歴史的には、年率約 17%であるが近年伸びが鈍化している)するということであった。したがって、ロードマップは、本質的には、「産業界がムーアの法則やその他のトレンドを維持するためには、どのような技術的な力を開発しなければならないか？」というチャレンジ精神に基づいてまとめられたものである。

半導体産業は新しい顧客のより広範囲にわたる要求にこたえるため、新規で、より機能性の高い素子を使うようになってきた。このような産業界の絶えず進化し続ける側面を正しく反映するため、ITRS 2007 年版では、機能的多様化(“More than Moore”、以後 MtM と略期)という概念に言及した。この新しい定義では、「ムーアの法則(“Moore’s law”)」に基づく微細化にかならずしも従うことなく、顧客に対し、異なった方法で、付加価値を提供するという新たな機能性をもつ半導体デバイスの一類型が出現したことを指し示している。この機能的多様化のアプローチによると、典型的には、デジタルでない機能(高周波通信、パワー制御、受動素子、センサ、アクチュエータなど)を従来のシステム基板レベルの集積化からパッケージレベル(SiP)、チップレベル、(SoC)、積層チップ(SCS: Stacked SoC)への集積化に移行させることを可能にする。ITRS での新しい MEMS (Microelectromechanical Systems) の章でも MtM の分析をセンサー技術とアクチュエータ技術のガイドラインの観点から支持したものとなっている。

2010 年代の終わり(すなわち 2019 年)までの間に、複数の新規の素子を導入することで、CMOS プロセスの能力を補強する必要があると予測されている。新規素子は、できることなら、CMOS 素子よりも良い特性のものであることが期待される。しかしながら、新規素子は CMOS をすべての特性で凌駕する可能性は低く、したがって、CMOS のコアの周りにこれらの新しい機能を、チップレベルかパッケージレベルで、集積化することが期待されている。

ヨーロッパ・日本・韓国・台湾・米国の 5 地域の専門家(エキスパート)の参加と継続的なコンセンサス形成により、ITRS 2011 年版は、半導体技術と半導体集積回路市場の歴史的発展を将来にわたり拡大させようとする際に、最も信頼のおける半導体研究のガイドラインとなっている。最新版である ITRS 2011 年版全文や ITRS の過去の版の全文は、電子ドキュメントとしてインターネットウェブサイト <http://www.itrs.net> から 閲覧・印刷できるようになっている。【訳者注:JEITA の半導体技術ロードマップ専門委員会(STRJ)のウェブサイト <http://strj-jeita.elisasp.net/strj/> には ITRS へのリンクがあり、さらに ITRS の和訳にもアクセスできる。】

## ロードマップの作成過程と構成 (OVERALL ROADMAP PROCESS AND STRUCTURE)

### ロードマップ作成過程(ROADMAPPING PROCESS)

ITRS の作成過程における全体調整は、国際ロードマップ委員会 (International Roadmap Committee, 以後 IRC と略記) の責任で行っている。IRC は欧州、日本、韓国、台湾、米国の各地域からの 2~4 名のメンバーで構成されている。IRC の主要機能は以下である。

- 国際技術ワーキンググループ(International Technology Working Group, ITWG)の指導と調整を行うこと
- ITRS ワークショップを主催すること
- ITRS の編集を行うこと

それぞれの技術の章は、対応する国際技術ワーキンググループ (International Technology Working Group 以後 ITWG と略記) が執筆する。ITWG には 2 つのタイプ、すなわちフォーカス ITWG およびクロスカット ITWG がある。フォーカス ITWG は、設計/プロセス/テスト/パッケージという集積回路の一連の工程フローを構成する個々のステップに対応している。クロスカット ITWG は、いくつかのクリティカルなステップでオーバーラップする個別の ITWG 活動をサポートする活動である。

2011 年版 ITRS では、フォーカス ITWG は以下の通りである。

- システムドライバ
- 設計
- テストとテスト装置
- プロセス・インテグレーション、デバイス、構造 (PIDS)
- 無線通信用高周波、アナログ混載技術
- 新探究デバイス
- フロントエンドプロセス
- リソグラフィ
- 配線
- ファクトリインテグレーション
- アセンブリと実装
- MEMS (Microelectromechanical Systems) – 2011 年版で新たに書き下ろし

クロスカット ITWG は以下の通りである。

- 新探究材料
- 環境、安全、健康
- 歩留向上
- メトロロジ(計測)
- モデリングとシミュレーション
- 各 ITWG は、産業界(半導体デバイスメーカー、装置や材料のサプライヤ企業)、政府系研究機関、大学の専門家で構成されている。

## 4 序論(Introduction)

各 ITWG の構成には、その技術分野の所属機関別専門化数が反映されている。たとえば、新探究デバイス(Emerging Research Devices)のように長期的な研究が必要な技術分野では、研究機関からの参加者数がサプライヤ企業からの参加者数より多い。プロセス技術(フロントエンドプロセス、リソグラフィ、配線)においては、装置・材料サプライヤからの参加者数を反映して、サプライヤからの参加比率より大きい。これは、近未来の技術的要求について述べる必要があるからである。

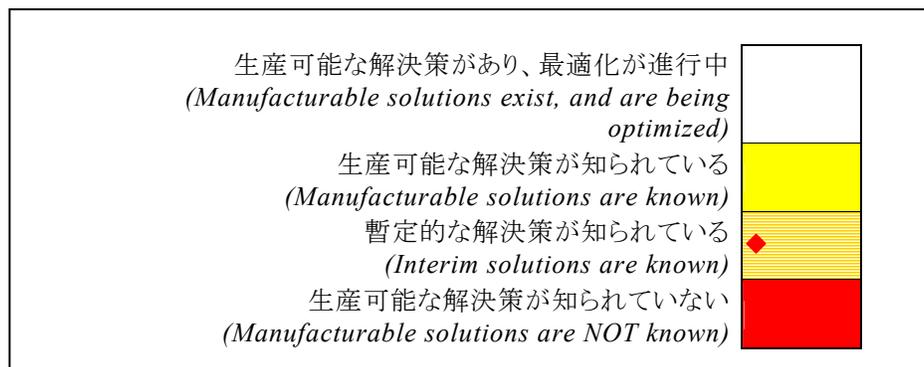
ITRS 2011 年版作成にあたって、世界レベルの ITRS 会議を 3 回開催した。ドイツのポツダム(ESIA 主催、Infineon がホスト)、米国のサンフランシスコ(SIA 主催、SEMATECH が組織、SEMI/North America が共催)、韓国の仁川(KSIA と Samsung が共同で主催・ホスト)で行われた会議である。これらの会議は各 ITWG メンバ間の討議や、異なる ITWG 間調整などのフォーラムの場となった。加えて、ITRS では年 2 回、公開の「ITRS コンファレンス」を開催し、最新のロードマップの内容を開示するとともに、広い範囲の半導体業界から意見や情報を収集し、フィードバックするようにしている。

ITRS は毎年改訂されている。偶数年には表等の改訂や修正を行った部分改訂版(Update)を発行しており(2000 年、2002 年、2004 年、2006 年、2008 年、2010 年)、奇数年には全面改訂版(Revision)を発行している(2001 年、2003 年、2005 年、2007 年、2009 年、2011 年)。この ITRS のプロセスにより、絶えず半導体産業の短期的、長期的な技術要求に対しアセスメントを行っている。また、ITRS 作成の過程ではタイムリーに ITRS の予測と技術解の候補となる最新の研究開発ブレークスルーとの比較も行っている。

### ロードマップの内容(ROADMAP CONTENT)

ITRS は、[異なる研究主体間でも]研究活動が共有されうようにするため、技術的要求を明らかにし、達成されるべき目標のアセスメントを行っている。目標はできる限り定量的なものとし、表の形で表現し、重要なパラメータの時間的進化がわかるようにした。必要に応じ、説明文を付加し、表中の数字の意味を説明し、明確化するようにした。

さらに、ITRS では、個々の目標値に対して、その成熟度や確度を表中の色で表示している。



最初の「生産可能な解があり、最適化が進行中」という状況は「白」で示されていて、「目標は現在利用できる技術や装置によって達成可能で、コスト的にも性能的にも生産可能な水準にある」ことを示している。2 番目の「黄」で示された状況は「目標達成のためには更なる開発が必要であるが、その解決策はすでに明らかになっていて、専門家は生産開始に間に合うように必要な能力を実演できると確信している」ことを示している。3 番目の「暫定的な解決策が知られている」という状況は、「現在の解決策には諸制約があっても生産開始が遅れることはないが、初期においてはなんらかの回避策が適用され、プロセス制御、歩留まり向上、生産性向上などの分野で生産性目標との乖離を埋めるためにその後の改善が期待される」ことを示している。4 番目の状況はロードマップの技術要求の表では「赤」で強調されていて、ITRS 編集が始まったころから、「赤い煉瓦の壁(Red Brick Wall)」(以後、意識するときは「技術の壁」と訳出する)と呼ばれてきたものである。この「赤」はロードマップの上で公式に、「将来何らかの真のブレークスルーを達成し

ない場合にはこれまでの進歩が停止してしまう」難度の高い課題があることを明示し警告している。一部のロードマップの読者にとって「赤」が、「重要でエキサイティングなチャレンジを強調する」目的を適切に果たしていない場合があったし、また、ロードマップにおける数値を色には関係なく「確かな実現に至る道の途上にある」と見なす読者もある。しかし、これらは誤りである。

「赤」は ITRS の表中で、半導体技術のとある観点から見て、微細化を続ける上で、「生産可能(と確信できるような)な解が知られていない」ところを示すために使われる。「赤」で示された数値は次の 2 つのカテゴリに分類できる。

1. 遅れる可能性があるが、最終的にはその値は達成される。しかし半導体産業は現在提案されている解決策に対して自信が持てないでいる。
2. その値は達成されない。(たとえば、何らかの「回避策」が生まれてその数値が無用になるか、または、進歩が停止してしまう。)

第一のカテゴリの赤で表示された数値を達成するには、研究におけるブレークスルーが必要である。このブレークスルーが「赤」を「黄」(定義は「製造可能な解決策が知られている」)に変え、ITRS の将来版では最終的に「白」(定義は「生産可能な解があり、最適化が進行中」)に変えることになるだろう。

「概要(Overview)」の節で指摘したように、ITRS ロードマップは「ムーアの法則としにほかのトレンドを維持するために産業界はどのような技術的能力を必要としているか」という精神にそってまとめられたものである。そういうわけで、「ムーアの法則を継続するためには、どの研究分野に焦点をさだめるべきか」について重点を置いて、「技術予測」を主眼しているわけではない。挑戦すべき技術課題を抽出するという精神に沿って、OTRC(総括ロードマップ技術指標, Overall Roadmap Technology Characteristics)チームは高レベルの技術的ニーズを改訂し、これが、各章の統一を図るための共通的な基準点を定めている。高レベルの目標は OTRC の各表にまとめられている。これは少なくとも部分的には、従来どおり集積回路技術の急速な発展トレンドを維持しなければならないとの経済的戦略に基づくものである。

しかしながら、過去数年にわたり、ITRS ロードマップはしばしば自己達成的な予言とみなされてきた。これは程度まで、正しい見解でもある。各企業はロードマップをもとに、互いにベンチマーク(比較検討)を行うので、ロードマップは研究開発の加速のためには有効であると自ら実証することになった。この意味で、生産可能な解(Manufacturing solutions)や採用可能な暫定解が知られている場合には、ITRS ロードマップの目標を予測として使うことが不適當というわけでもない。

とはいえ、ITRS ロードマップの目標は民事争議やその他の場で法的主張の根拠として使うべきではない。特に、ITRS ロードマップ活動への参加企業は、ロードマップ目標達成を確約しているわけではない。ITRS は技術評価だけを意図して編纂されたもので、個々の製品や設備に関する商業的対価には考慮していないことに留意されたい。

## 技術指標 (TECHNOLOGY CHARACTERISTICS)

すでに述べたように、国際ロードマップ委員会(International Roadmap Committee, 以後 IRC と略記)の指導と調整の中心的部分は OTRC(Overall Roadmap Technology Characteristics, 総括ロードマップ技術指標)の表を最初に作成し、以後継続的に改訂していくところにある。国際技術ワーキンググループ(International Technology Working Group, 以後 ITWG と略記)が編集した章には、いくつかの主要な表が含まれている。これらは、OTRC の表の作成後に、個々 ITWG の技術要求の表として作成したものである。ITRS 2007 年版では、OTRC の表も、個別の技術要求の表も、短期(2011 年、2012 年...2018 年)、長期(2019 年、2020 年...2026 年)に分けて、各年に対応する値が記載されている。表の様式を Table B に示す。この表には、リソグラフィに関係した Table OTRC1 からいくつかの行を引用しており、フラッシュ製品(Flash Products, 一括消去可能な不揮発性メモリ)のコンタクトを含まないポリシリコンのハーフピッチの

## 6 序論(Introduction)

技術トレンドは最先端の技術目標として、表中に含まれている。ITRS2005 年版では DRAM の互い違いのコンタクトを含む M1(最下層金属配線)のハーフピッチだけは、ITWG のそれぞれの表の最初の行に標準的なヘッダとして、必ず引用することになっていた。ITRS2007 年版以降、各表の最初の行は「生産開始年 (Year of Production)」を標準的なヘッダとして使うことにするが、そのほか技術トレンドの指標については、各 ITWG の判断に従って、Table OTRC1から適宜選択されたものを、それぞれの ITWG の表の主要な技術ドライバを表すヘッダとして使ってよいことにした。

*Table B ITRS Table Structure—Key Lithography-related Characteristics by Product*  
*Near-term*

<i>Year of Production</i>	2011	2012	2013	2014	2015	2016	2017	2018
<i>Flash ½ Pitch (nm) (un-contacted Poly)(f)[2]</i>	22	20	18	17	15	14.2	13.0	11.9
<i>DRAM ½ Pitch (nm) (contacted)[1,2]</i>	36	32	28	25	23	20.0	17.9	15.9
<i>MPU/ASIC Metal 1 (M1) ½ Pitch (nm)[1,2]</i>	38	32	27	24	21	18.9	16.9	15.0
<i>MPU High-Performance Printed Gate Length (GLpr) (nm) ††[1]</i>	35	31	28	25	22	19.8	17.7	15.7
<i>MPU High-Performance Physical Gate Length (GLph) (nm)[1]</i>	24	22	20	18	17	15.3	14.0	12.8
<i>ASIC/Low Operating Power Printed Gate Length (nm) ††[1]</i>	41	35	31	25	22	19.8	17.7	15.7
<i>ASIC/Low Operating Power Physical Gate Length (nm)[1]</i>	26	24	21	19.4	17.6	16.0	14.5	13.1
<i>ASIC/Low Standby Power Physical Gate Length (nm)[1]</i>	30	27	24	22	20	17.5	15.7	14.1
<i>MPU High-Performance Etch Ratio GLpr/GLph [1]</i>	1.4589	1.4239	1.3898	1.3564	1.3239	1.2921	1.2611	1.2309
<i>MPU Low Operating Power Etch Ratio GLpr/GLph [1]</i>	1.5599	1.4972	1.4706	1.2869	1.2640	1.2416	1.2196	1.1979

Years

### *Long-term*

<i>Year of Production</i>	2019	2020	2021	2022	2023	2024	2025	2026
<i>Flash ½ Pitch (nm) (un-contacted Poly)(f)[2]</i>	10.9	10.0	8.9	8.0	8.0	8.0	8.0	8.0
<i>DRAM ½ Pitch (nm) (contacted)[1,2]</i>	14.2	12.6	11.3	10.0	8.9	8.0	7.1	6.3
<i>MPU/ASIC Metal 1 (M1) ½ Pitch (nm)[1,2]</i>	13.4	11.9	10.6	9.5	8.4	7.5	6.7	6.0
<i>MPU High-Performance Printed Gate Length (GLpr) (nm) ††[1]</i>	14.0	12.5	11.1	9.9	8.8	7.9	6.79	5.87
<i>MPU High-Performance Physical Gate Length (GLph) (nm)[1]</i>	11.7	10.6	9.7	8.9	8.1	7.4	6.6	5.9
<i>ASIC/Low Operating Power Printed Gate Length (nm) ††[1]</i>	14.0	12.5	11.1	9.9	8.8	7.9	6.8	5.8
<i>ASIC/Low Operating Power Physical Gate Length (nm)[1]</i>	11.9	10.8	9.8	8.9	8.1	7.3	6.5	5.8
<i>ASIC/Low Standby Power Physical Gate Length (nm)[1]</i>	12.7	11.4	10.2	9.2	8.2	7.4	6.6	5.9
<i>MPU High-Performance Etch Ratio GLpr/GLph [1]</i>	1.2013	1.1725	1.1444	1.1169	1.0901	1.0640	1.0315	1.0000
<i>MPU Low Operating Power Etch Ratio GLpr/GLph [1]</i>	1.1766	1.1558	1.1352	1.1151	1.0953	1.0759	1.0372	1.0000

Years

OTRC と技術要求の表は、個々の技術要求の導入時期についての、現時点での最良の予想を示すことを意図したものである。技術導入年 (Year of Introduction) と 生産開始年 (Year of Production) についての詳細な定義については、用語集 (Glossary) も参照のこと。

## 技術発展のペース (TECHNOLOGY PACING)

以前の ITRS の版では、集積回路 (IC) の寸法微細化における産業界の全般的進歩をあらわす単一の単純な指標として、「技術ノード (Technology Node、hpXX ノードとも表記)」を使ってきた。これは、全製品の中からコンタクトホールを含む金属配線パターンの最小のものを選んで、そのピッチの半分として定義されていた。歴史的には、DRAM (Dynamic Random Access Memory、ダイナミックメモリ) がその製品であって、特定の時点では、DRAM がコンタクトホールを含む配線パターンとしては最も微細なパターンを使い、したがって、DRAM は ITRS の技術ノードのペースメーカーとなっていた。しかしながら、現在は複数の重

要なテクノロジードライバが微細化を牽引する時代となった。このため、DRAM に代表される単一のテクノロジードライバを強調し続けるのは誤解を与えてしまうと考えた。

たとえば、ハーフピッチの微細化の進展に加えて、フラッシュメモリのセル設計においてセル面積比(セル面積/ハーフピッチの自乗)の縮小が急速に進み、これが更なる高集積化をもたらした。フラッシュメモリではひとつのセルに電氣的に複数ビットを書き分ける技術が進展し、リソグラフィ上のハーフピッチの微細化とは別の手段で、ビット集積度を向上させることができた。二番目の例は MPU/ASIC 製品群である。動作速度を向上させることが技術を牽引していて、[MOS トランジスタの]孤立したゲート電極パターン寸法微細化が進展している。このためには、最先端のリソグラフィ技術をエッチング技術がゲート電極の最終的物理微細寸法を実現するために使われている。

従来の ITRS の技術ノードの定義についてはかなりの混乱があり、この問題は今でも続いている。多くのプレスリリースやそのほかの文書が「ノードの加速」に言及する際に、ITRS とは異なった、または、しばしば未定義の基準に拠ってきた。もちろん、異なる IC パラメータは異なる比率で微細化が進むと期待されるし、その多くのパラメータは製品ごとにその意味付けが異なるというのも確かにもっともなことである。このようなことを考慮して、ITRS 2011 年版では「技術ノード(Technology Node)」という用語を使わないことにし、今後もそれを継続する。上述のように、IRC は、各表の最初の行は「生産開始年」とするが、その次の行以降で DRAM の M1(最下層の金属配線)のハーフピッチを示す場合もあるが、これは、集積回路(IC)の微細化の複数の歴史的指標のうちの一つにすぎない。今回の版で ITRS の表のフォーマットを変更したが、ITRS が「技術ノード(Technology Node)」という概念に関する産業界の混乱の原因でなくなることを期待している。もちろん、「ノード」という用語は ITRS 以外の場では使われ続けるであろう。その際には、特定の製品において技術がどのように応用されているかを踏まえ、「ノード」の使い方が定義されることを期待している。

ITRS 2011 年版における、全製品に対する M1(最下層の金属配線)ハーフピッチの一般的定義とフラッシュメモリのポリシリコン(多結晶シリコン)層のハーフピッチの定義については、Fig.1を参照されたい。

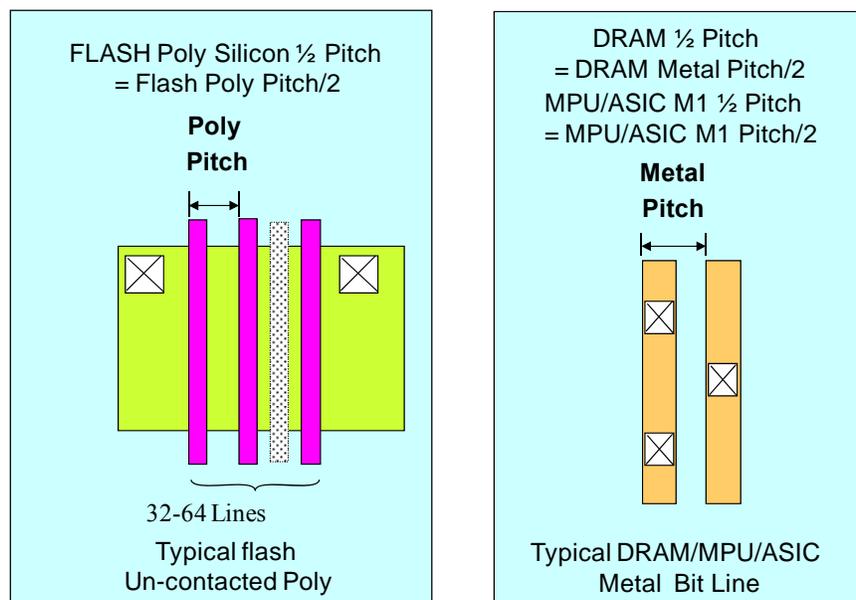


Figure 1 2011 Definition of Pitches

## ITRS における技術導入時期の意味 (MEANING OF ITRS TIME OF INTRODUCTION)

ORTC (Overall Roadmap Technology Characteristics、総括ロードマップ技術指標)と技術要求の表は、技術の導入時期に対して現時点での最良の推定を示している。理想的には、それぞれの分野での要求に応じて、研究-開発-プロトタイピング-生産という一連の複数のタイミングが示されるべきである。しかし、ITRS においてはひとつのタイミングに単純化し、「技術導入時期 (Time of Introduction)」は「生産が開始された時点 (Year of Production)」と定義しており、これが Fig. 2 に示されている。

Fig.2 は ITRS 2009 年版で改訂され、月産生産個数の軸を含んでいない。これは、それぞれの製品ごとに、初期の量産目標が異なるためである。したがって、2011 年版のロードマップの縦軸では、典型的な大量生産品の立ち上げ数量を残している。

新探究デバイス (ERD: Emerging Research Devices) と新探究材料 (ERM: Emerging Research Materials) の両ワーキンググループの要請に従い、図中に注釈を入れた。ITRS の各ワーキンググループの主要技術課題への解決策の研究のためには、長期的研究が必要であることを思いおこさせるためである。最初のアルファ機またはアルファ材料の開発についても、ITRS が従来カバーしてこなかった今後 15 年より先の技術の開発についても、「技術の地平線 (horizon)」についてコミュニケーションをすることがますます重要になってくる。

「地平線」にかんする技術は、最初は学会 (conference) の論文発表により提案され、その後に開発段階になると、ERD/ERM から PIDS/FEP のワーキンググループへの移管の時期を迎える。初期の研究の「地平線」は、読者と ITRS 参加者に、NTRS (National Technology Roadmap for Semiconductor, 1991 年-1998 年) と ITRS (International Technology Roadmap for Semiconductors), 1998 年から現在まで) からの影響を思いおこさせるであろう。そこでは、ロードマップの作成作業は、生産技術が実際の生産に使われるずっと前に、その技術の必要性和産業界の研究開発の進路を見定め、影響を与えてきた。大学や企業での数多くの研究は、ITRS によってもたらされた前競争領域 (pre-competitive) における協力がユニークで影響力をもったものであることを検証し、指摘してきた。

より具体的に ERD/ERM の長期にわたる S 字カーブを明確化するため、は、Fig.3 に、2019 年の量産を目標としている新規のゲート電極構造を例として図示した。この例では、最初の研究論文が 2007 年に現れ、ITRS2011 年版のロードマップ編集作業の担当ワーキンググループを PIDS に移管する予定であり、さらに詳細な技術課題は、PIDS の技術ワーキンググループによって、その 2011 年版の章に定義された。

## Production Ramp-up Model and Technology/Cycle Timing

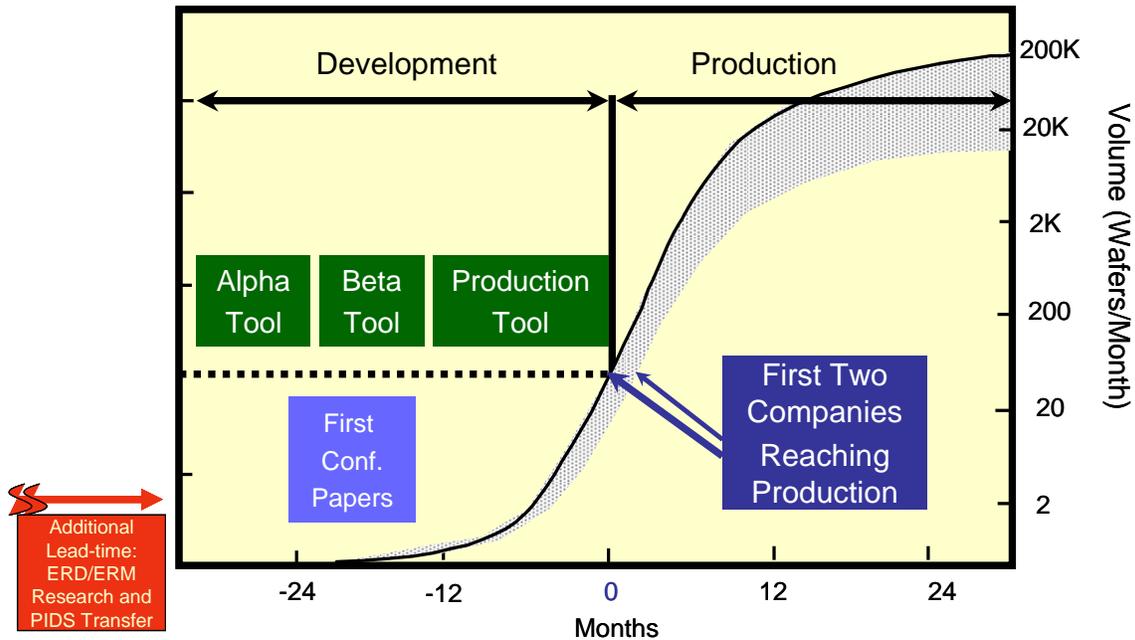


Figure 2 A Typical Technology Production “Ramp” Curve (within an established wafer generation)\*

ERD/ERM の研究とその PIDS への技術移転については、Fig.3 も参照のこと。また、(450mm 直径の)シリコンウェハを使ったパイロットラインと量産ラインの典型的な立ち上がりカーブについては、Fig.6 を参照のこと。

ITRS における“生産”タイミングとは、まず、第一の先行企業がある技術による生産を開始し、第二の企業が典型的なケースではそれ以後短期間のうちに、理想的には、3 ヶ月以内に生産を行ったタイミングである。しかしながら、第二の企業が生産を開始するまでに、より長い期間を要する場合もある。特に、等価的微細化 (equivalent scaling) による代替技術の可能性が検討されているときには、このような場合に相当する (等価的微細化 (equivalent scaling) の箇所を参照のこと)。より複雑なケースでは、急速な加速がなされときに起こる。先行企業が、ITRS のロードマップの目標時期に先立って生産を開始することケースがこれにあたる。実際に、マルチゲートトランジスタ (MugFET) の発表は 2011 年になされ (ITRS では 2015 年)、また、III/V 族や Ge をトランジスタのチャンネルに使う技術は、2015 年 (ITRS では 2019 年) に前倒しとなる可能性がある。これについては、ITRS 2012 年改訂版に反映されるべき事項である (同じく、等価的微細化 (equivalent scaling) の箇所を参照のこと)。このような生産時期の加速に対し、それに追従する企業がどれほど早くアナウンスをするか、また、このような件を ITRS の改訂にどう取り込むかについて国際ロードマップ委員会 (IRC) で議論され、その結果が 2012 年改訂版に取り込まれる予定である。

さらに明確化すると、「生産 (production)」とはプロセスおよび製品の認定が終了した時点である。製品の認定が終了するという事は顧客が製品の納入を認めることを意味する。したがって、生産に先立ちプロセスの認定や製造装置の開発は終了していなければならない。生産用の製造装置は通常 12 から 24 ヶ月先行して開発されていなければならない。当然ながら、アルファ機およびそれに続くベータ機は生産用製造装置の前に開発されていなければならないことになる。

Fig. 2 と Fig.3 における「生産開始 (Time zero (0))」の時点はフル生産開始の立ち上がり時点である。例えば、2 万 WSPM (wafer-start-per-month, 枚/月) の能力を持つよう設計された工場では、20 WSPM か

らフル能力まで生産を立ち上げるのに 9 から 12 ケ月かかる。この期間は、例えば、6千個/月から 6 百万個/月の生産を立ち上げる期間に対応する。上記の 6 百万個/月の生産は、例えば、300mmウェーハで 140mm<sup>2</sup>のチップ(430 チップ/ウェーハ)を 2 万ウェーハ/月生産し、歩留まりが 70%であったときの生産量(430 チップ/ウェーハ × 2 万 WSPM × 70%)に対応する。

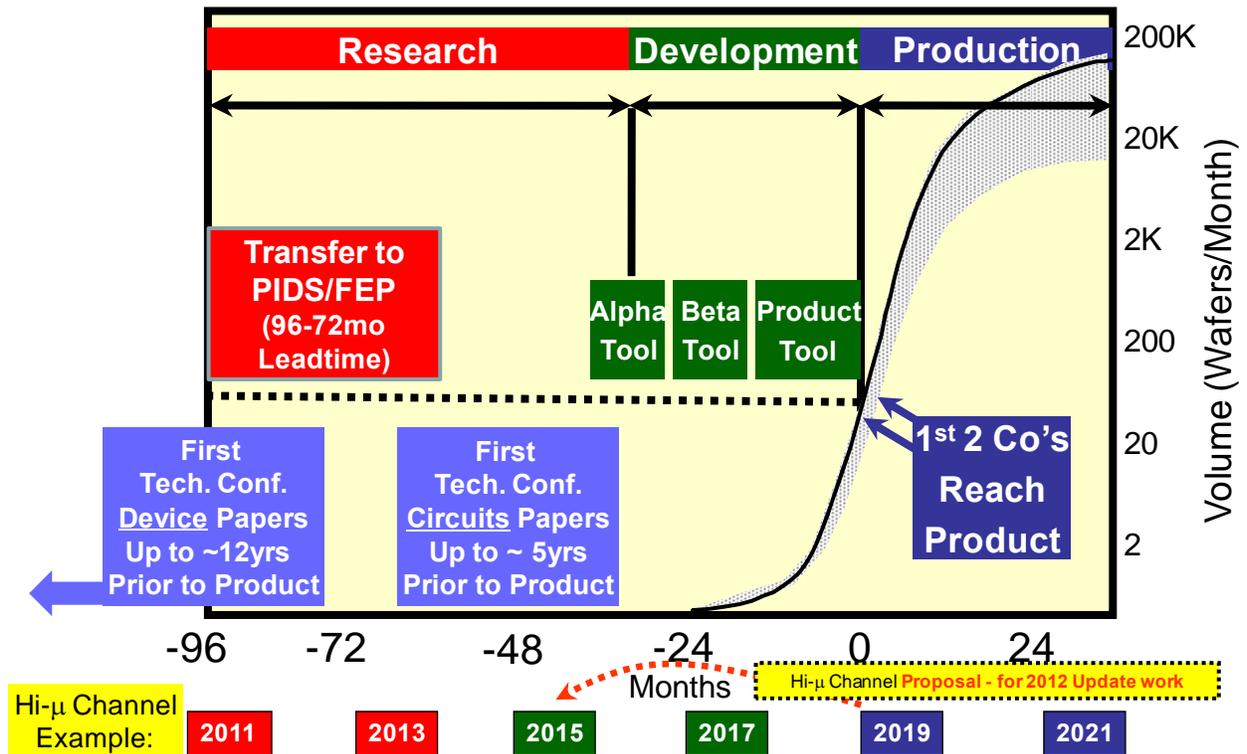


Figure 3 A Typical Technology Production “Ramp” Curve for ERD/ERM Research and PIDS Transfer timing (including an example for III/V Hi-Mobility Channel Technology Timing Scenario – also see the Equivalent Scaling topic)

**SICAS 2011 の産業界の製造能力の改訂 (2011 SICAS INDUSTRY MANUFACTURING TECHNOLOGY CAPACITY UPDATE)**

ITRS は、文字通り、最先端半導体製造技術が最初に工場に導入される時期を予測することに注力している。ここでいう最先端半導体製造技術というのは、DRAM、フラッシュメモリ、MPU、高性能 ASIC などのように、特定の最先端半導体製品群の製造を支えるものである。一方、多くの企業においては、それぞれの理由により、最先端技術の適用時期を先行企業より遅らせることも多い。したがって、現実の製造の場においては、最先端技術から旧世代の技術にいたるさまざまな世代の技術が共存している。

さらに、いくつかの企業においては、最先端技術をその企業の製品ポートフォリオの一部として意図的に選択するということもある。全製品に最先端技術を適用することは経済的に魅力的でないためである。また、個々の企業は、更なる微細化が意味を持たない場合には、特定の製品に対して、旧世代の技術をより長く使おうとしたり、使い続けることもある。このため、幅広い世代にまたがった技術が使われているし、今後ますますその傾向が顕著になってくる。

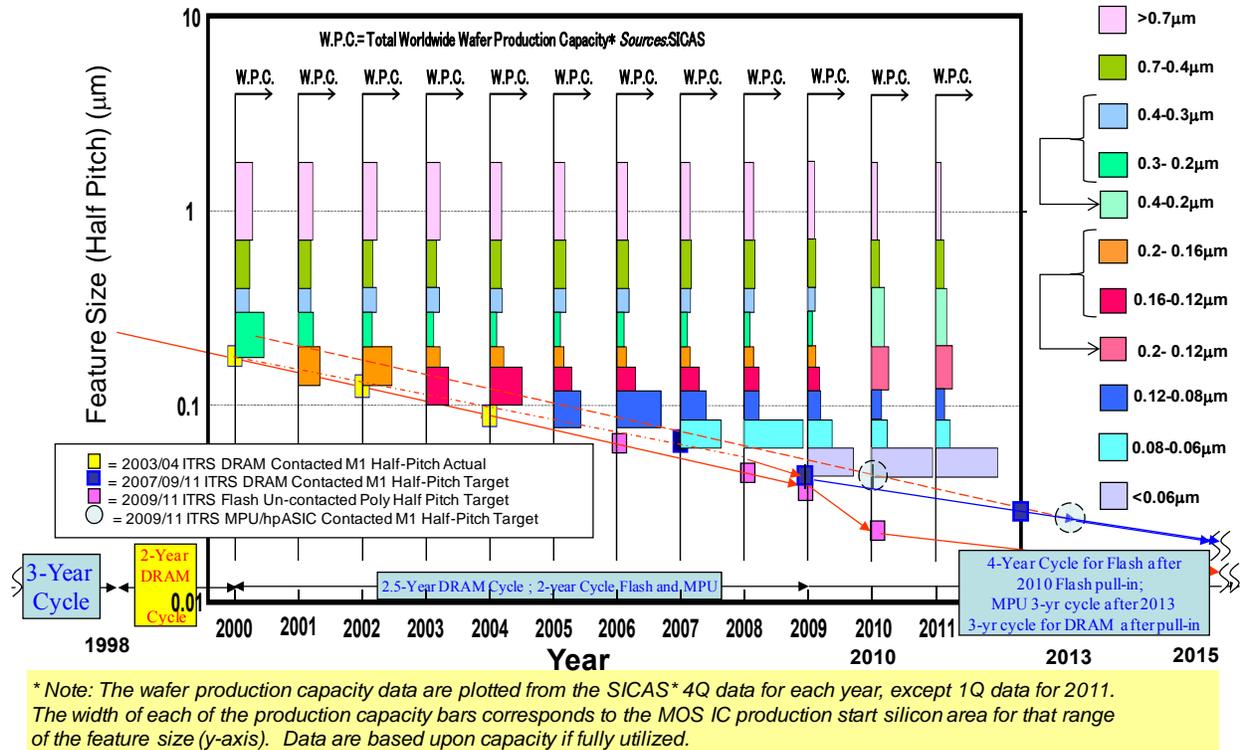
Fig.4 は、SICAS の 2011 年第1四半期のデータに基づき、棒グラフの形で、実際の世界の半導体製造能力を製品に使われる素子寸法ごとに示したものである。棒の横方向の長さは、MOS 集積回路の生産能力に比例している。産業界全体の製造能力素子寸法ごとに分けて統計がとられているが、同じ年でみても新世代から旧世代まで多くの技術にまたがった広い分布している。

最先端の素子寸法をもつ製品群の量産開始から 1 年以内に、生産のシェアが上昇して 20-30%に到達し、またシェアが 20-30%に到達した点のサイクルと量産開始のサイクルは、歴史的に 2 年サイクルが成り立っているときは、等しかった。しかしながら、最近の SIA WSTS の統計の 0.06um 未満の技術需要の統計(原注: WSTS (Worldwide Semiconductor Trade Statistics)は 2009 年に 0.06um 未満の区分が追加された)は、最先端の生産能力については 2 年サイクルの需要のペースがつづいていること示している。

さらに、最先端技術の製造能力の比率は急上昇している。最先端技術世代とそのもうひとつ前の世代を合計すると、その製造能力も、典型的には、増加して、新技術導入から 2 ないし 3 年以内に全産業の生産能力の半分を占めるようになる。Fig.4に示した SICAS データ上は、デザインルール 0.06um 未満の区分に最先端の 32nm 世代の製造能力が含まれていることに注意されたい。デザインルール 0.04um 未満の区分(製造能力が急増しているフラッシュメモリや MPU/ASIC の 32nm 世代はここに含まれる)の新設とその調査データの公表は、SICAS 調査官や参加者からは、2011 年末以前には期待できない。このため、最先端世代(全体の MOS 製造能力の 20-30%を占める)が 1.5 年サイクルか、3 年サイクルかという実態の分析は ITRS 2012 年改訂版以降に持ち越しとしたい。

旧世代製品の生産能力はだんだん先端世代に移っていくという予想もあったが、現実にはその予測ほどには減少していないことにも注目された。SICASで 0.06um未満の区分ができて、最先端世代へ技術が移行していても、その時点での最先端世代のシェアは高くあり続ける。この現象は材料・装置のサプライヤの市場とビジネスモデルにとっては重大な意味を持ち続ける。最終的には、材料・装置のサプライヤが、ITRSの「主要な技術課題(Grand Challenges)」の解決策を開発して提供することになるからである。

サプライヤは長期間にわたって、旧世代技術の工場だけでなく、多様な製品と技術を扱う最先端の工場もサポートを提供しなければならない。これに加えて、サプライヤはアルファ機・材料、ベータ機・材料を生産開始時期の 2~3 年前に供給しなければならない。さらに、その後の複数世代にまたがる生産立ち上げに向けて必要な準備をしなければならない。このようなシナリオは、装置・材料のサプライヤとチップメーカーの両者に市場機会をもたらすとともに、研究開発とサポートのリソースに対する課題をもたらしている。特に、来るべき直径 450mm のシリコンウェーハ世代の投資への準備についても上記のことがあてはまる。



注: 半導体集積回路の製造の能力を SIA( Semiconductor Industry Association ) の SICAS(Semiconductor Industry Capacity Supply statisticsStatistics) のデータに基づきプロットした。各年の第四四半期 (4Q) のデータを使ったが、2011 年については第 1 四半期 (1Q) のデータを使った。棒の横方向の長さは、MOS 集積回路の生産能力に比例している。縦方向は集積回路のデザインルール (典型的パターン寸法) を示している。生産能力は、工場の設備がフル稼働したときの生産能力のことであり、生産実績とは異なる。

Figure 4 Technology Cycle Timing Compared to Actual Wafer Production Technology Capacity Distribution<sup>1</sup>

### ロードマップがカバーする範囲 (ROADMAP SCOPE)

伝統的に、ITRS の各版は CMOS (Complementary Metal-Oxide-Silicon) 技術のスケージングは継続するという見方を中心として作成されてきた。しかし 2001 年版より、われわれは次の見方をしている。ロードマップの地平線 (Horizon) の向こう側 (たとえば、MOSFET (Metal Oxide Semiconductor Field Effect Transistor) のチャネル長が 9nm 以下になる時点) では CMOS の継続スケージングに関する楽観的予測が危うくなるということである。さらに、半導体産業関係者の大多数の人々は、今までのようなプロセス装置および工場のコスト増加傾向を、さらにもう 15 年間どうやって負担し続けられるか想像することすら難しいと感じている。そこで、ITRS はポスト CMOS デバイスを対象として取り上げること始めている。これらのデバイス、すなわち比較的身近な Non-planar CMOS からスピントロニクス (Spintronics) などエキゾチックな新デバイスを含むことにより、ロードマップは必然的に拡散してゆく。CMOS の拡張であろうとまったく新規

<sup>1</sup> 上記グラフの分析につかわれたデータは SIA (Semiconductor Industry Association) の SICAS (Semiconductor Industry Capacity Supply statisticsStatistics) に基づいている。この SICAS のデータは世界中の半導体メーカーから収集され (MOS 集積回路の製造能力の 90% 以上をカバーしており、SIA から 2011 年第 1 四半期に発表されたものである。詳しいデータは SIA のウェブサイト上で公開されている。

なアプローチであろうと、ポスト CMOS の導入により機能当たりのコスト低減し、集積回路の性能を向上させなければならない。さらに、製品の性能向上は素子数の増加だけに頼るのではなく、設計上の選択肢や技術のパラメータの複雑な組み合わせによって実現されるものになってくる。したがって、ロードマップでの新技術とは新規デバイスだけでなく新しい製造技術や設計技術のためのパラダイムをも含むことになる。マイクロプロセッサ、メモリ、ロジック集積回路は、シリコンの CMOS 技術を必要としている。最小寸法の微細化によって、ムーアの法則に示されるように、ひとつのチップ上にますます多くのトランジスタを集積できるようになった。SoC (System-on-Chip、複数の機能を単一チップ上に集積化する技術)の本質的機能はデータ蓄積とデジタル信号処理である。しかしながら、電力消費、ワイアレス通信(または RF(高周波))のバンド幅などの多くの定量的要求、受動素子、センサー、アクチュエーター、バイオ機能などの機能的要求、さらには埋込みソフトウェアの機能などはムーアの法則の通りには微細化することはできない。このような場合には、非 CMOS 技術が適用されることが多い。将来、CMOS 技術と非 CMOS 技術を単一パッケージ内に集積化すること(すなわち SiP)がますます重要になってくるだろう。機能性の観点からは、SoC と SiP(Sytem in Package、複数のチップを単一パッケージ内に実装する技術)は相補的なものであり、必ずしも互いに競争する技術ではない。さらに、当初は専用の非 CMOS 技術によって満足させてきた機能も、その後の段階では、基本となる CMOS 技術から派生した混載技術をつかって、CMOS の SoC として集積化できるようになる。したがって、システムとしての機能を SoC と SiP に振り分ける方法は時とともに変化していくことになるだろう。これには、ナノエレクトロニクス(nano-electronics)、ナノ熱機械学(nano-thermomechanics)、ナノ生物学(nano-biology)、並列度が非常に高いソフトウェアなど、学際領域でのイノベーションが必要とである。SiPへの応用のためには、実装技術が機能要素であり、重要な差異化要素である。このようなトレンドを ITRS 2009 年版の Fig.5 に図示したので、これを参照されたい。

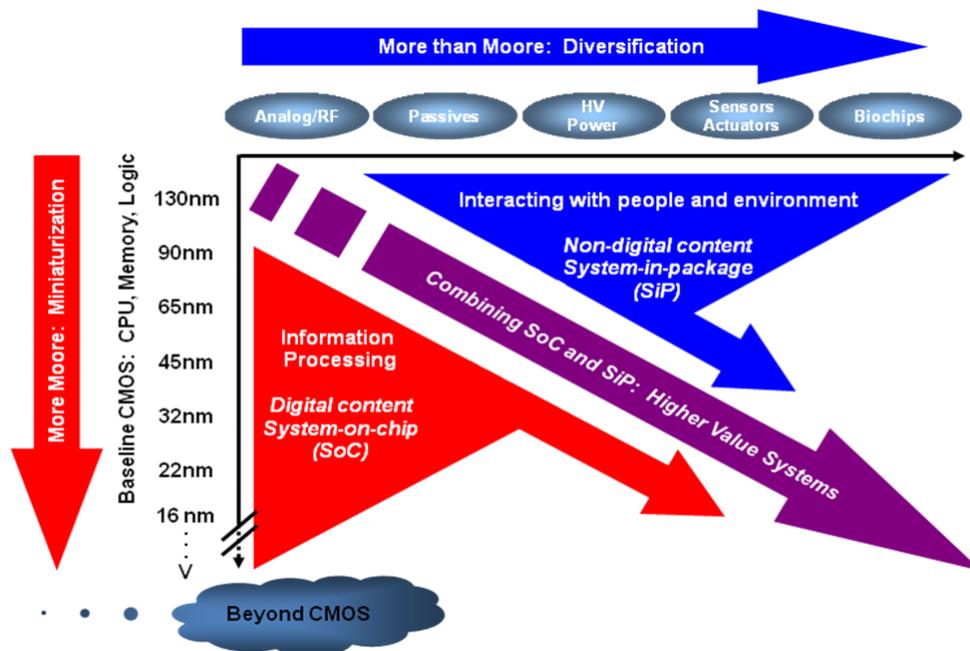


Figure 5 Moore's Law and More

このような概念は 2005 年版のロードマップで紹介され、それ以後さらに議論され改善されてきた。特に、下記の定義についてのコンセンサスが得られた。(Fig.5 と用語集 (Glossary) を参照):

微細化("More Moore")

## 14 序論(Introduction)

- 幾何学的微細化(電界一定の微細化)(Geometrical (constant field) Scaling)は、チップ上のロジックとメモリの平面的(シリコン基板の表面方向)、垂直的(シリコン基板表面に垂直方向)物理的寸法を縮小し続けることにより、素子密度を向上させることで機能あたりのコストを削減し、性能(速度と消費電力)、信頼性を半導体応用機器や最終顧客にもたらすことを指す。
- 等価的微細化(Equivalent Scaling)は、幾何学的微細化とともに使われ、幾何学的微細化を可能にする以下のような技術手段を指す: 3次元的な素子構造により“Design Factor”【訳者注:メモリセルの面積をデザインルールの一乗で割ったもの】を改善すること。これに加えて、集積回路の電氣的性能を向上させるため、他の幾何学的スケールングによらないプロセス技術や新規材料を導入しすること
- 設計による等価的微細化 (Design Equivalent Scaling)(上記の幾何学的微細化と等価的微細化とともに起こる)は、高性能、低消費電力、高信頼性、低コスト、設計効率向上を可能にする設計技術をさす。
  - 例示すると(網羅的ではないが)、ばらつきを考慮した設計(design-for-variability)、低消費電力設計(スリープモード、ハイバネーション、クロックゲーティング、電源電圧の複数化など)、同種または異種のマルチコア SoC アーキテクチャ
  - 定量化可能な特定の設計技術の必要性に焦点を絞ること。消費電力と性能間のトレードオフが微細化(“Moore Moore”)の機能的要求に合致するように取り組むこと。さらに、高密度化(“Moore Moore”)を指向する設計アーキテクチャ上の機能性が消費電力と性能の必要を解決できるようにすること

### 機能的多様化(“More than Moore”)

機能的多様化は必ずしもムーアの法則による微細化に従うことなく、異なる方法で最終顧客に付加価値を提供する機能をデバイスに組み込むことを指す。機能的多様化(“More than Moore”)のアプローチによれば、非デジタル機能(たとえば、無線通信、電力制御、受動素子、センサ、アクチュエータなど)をシステム基板レベルから特定のパッケージレベル(SiP)やチップレベル(SoC)の実装方法に移行させることができる。技術(technology)開発に加え、このトレンドを実現するための多くの手法(technique)を開発する必要がある。たとえば、(網羅的ではないが)、異なる機能統合するにあたり、個々の機能を個別部品に分割する際の新しい方式やそのシミュレーション、ソフトウェア、センサやアクチュエータのためのアナログとミクスチグナルの設計技術。また SIP、MEMS、バイオテクノロジーとデジタル回路の同時設計(co-design)や同時シミュレーション(co-simulation)を行うための新しい方法やツールなどである。

### Beyond CMOS

新探究デバイス(ERD:Emerging Research Devices)と新探究材料(ERM: Emerging Research Materials)の両ワーキンググループは情報処理を行うための「新しいスイッチ」に注目している。典型的には、新しい状態変数を利用することにより、限界まで微細化した CMOS を超えて機能的に実質的微細化を実現しようとするものである。ここで、「CMOS を超えた(“Beyond CMOS”)の実質的微細化」は、機能的には集積密度、性能向上、劇的に消費電力削減などの観点から定義される。「新しいスイッチ」は情報処理のための素子または技術であって、データの蓄積、記憶、素子間の接続の機能とともに利用できるものをさす。

- Beyond CMOS の例としては、以下のものを含む: 炭素をベースにした(カーボンナノチューブやグラフェンを使った)ナノエレクトロニクス、スピン素子、強磁性体ロジック、原子スイッチ NEMS (Nano-Electro-Mechanical-Systems)

産業界の発展における機能的多様化(“More than Moore”)の構成要素の相対的重要性は今後ますます増大する。この傾向は、イノベーションのペースを維持するための研究がカバーすべき科学的分野の多様性を高める一方で、財務的試薬はより厳しくなる。ITRS が重要な役割をはたしているこのような研究分

野におけるガイドラインについての問題意識は重大なものである。ロードマップ策定がこれまで半導体産業にもたらした利益を考慮し、国際ロードマップ委員会 (International Roadmap Committee, IRC) は、ITRS メンバーがカバーしている機能的多様化 (“More than Moore”) の領域のうち、より重要な部分を取り込みたいと明確に考えている。特に、多岐にわたる “More than Moore” 技術に対して、どうすればロードマップを作れるかについての取り組みを行った。実際、“More than Moore” のトレンドを実現するための素子や技術に対しては、ムーアの法則のような、来るべき進歩についての単一の法則は存在しない。このため、“More than Moore” の領域でのロードマップの策定作業を同定して導いていくためには、従来とは異なる方法論が必要である。

このため、ITRS は白書を念入りに作成し、これは、ITRS のウェブサイト (<http://www.itrs.net/papers.html>) から入手することができる。この白書は、ITRS メンバーがロードマップを策定するにあたり、どのような “More than Moore” 技術が実現可能で望ましいかについての方法論を提案している。従来、ITRS はムーアの法則 (Moore’s law)、あるいは、従来のトレンドにそった微細化の継続に従ったロードマップ策定と、そのために必要とされる技術の加速 (“technology push”) を検討してきた。これとは異なり、“More than Moore” のロードマップの策定のためには、技術と市場 (market) の双方のデータを収集する必要がある。したがって、従来の ITRS のメンバー構成を超えて、多くの人々の関与が必要になるし、応用分野からの代表も必要となる。

この白書は、“More than Moore” のロードマップについての最終結論を意図したものではなく、むしろ、何が挑戦すべき有望な未来であるかについて、より多くの意見と助言を集めるひとつの方法論であることを強調しておきたい。この点を明らかにするために、2011 年 4 月にドイツのポツダムでの ITRS 会議の後、More than Moore ワークショップ (More than Moore workshop) が開催された。

その作業の結論を待つまでもなく、ITRS 内のいくつかのワーキンググループが、それぞれの専門分野において、機能的多様化 (“More than Moore”) のトレンドの帰結について調査してきた。この作業は今後さらに勢いをますますことになろう。調査結果については、ITRS のそれぞれの章に記載されている。アセンブリとパッケージの技術ワーキンググループ (TWG) が白書を作成し、これがウェブサイト上で公開されたことも、ここで、再確認しておきたい。そこでは、SOC (system-on-chip) と SIP (system in package) の概念について、より詳細に記載されている。

最後に、ITRS 2011 年版では、MEMS の章を追加した。これは、産業界の完全な解決策と、将来の応用にに必要とされる技術と生産技術の解決策についての協調と道筋を明らかにするがめである。また、この作業は iNEMI (international Electronics Manufacturing Initiative) の 2011 年版ロードマップに含まれている既存の著作とも整合をとっている。

並行して、“Beyond CMOS” の概念は、ERM と ERD の章で詳細に議論されている、要約すると、ITRS 2011 年版の守備範囲には、すべての CMOS 集積回路に対する詳細は技術要求が含まれていて、無線通信とコンピューティング用の製品もこれに含まれる。この製品グループは世界の半導体消費の 75% 以上を占めている。もちろん、CMOS 集積回路の設計、製造に使用される技術の多くは、化合物半導体、ディスクリート、光、マイクロエレクトロメカニカル・システム (Micro-Electromechanical Systems: MEMS) 等、他のデバイスにも使用されている。したがって、ITRS ロードマップの直接的目的として明示してはいなくとも、ITRS ロードマップは集積回路技術をベースとするほとんどのマイクロ、ナノ技術に関し共通する技術的要求をカバーしているのである。

## ITRS 2011 年版のトピックス (2011 ITRS SPECIAL TOPICS)

## 450mm 直径のシリコンウェーハへの移行(TRANSITION TO 450 mm) — 2011 年版での改訂

450mm 直径のウェーハへの移行の論理的根拠は生産性向上にあり、これは、ムーアの法則の実現手段のうちの一つである。他の技術に進展がないとしても、大口径ウェーハの導入によって、1平方mmあたりのし遺跡回路の製造コストを削減させることができる。ITRS 2007 年版のロードマップの作成過程において、経済学的考察に基づき、ISMI(International SEMATECH Manufacturing Initiative)は、生産性向上のトレンドカーブを維持するためには、半導体産業は 2012 年までに、30%のコスト削減と 50%の生産サイクルタイムの改善を達成する必要があると結論づけた。ISMI の見解によれば、450mm ウェーハへの移行によってのみ、この達成が可能となる。ただし、コスト削減は過去のウェーハ世代交代においても達成されてきたが、サイクルタイムの改善は新たな目標である。450mm 直径のウェーハ世代への移行による生産性向上の必要性については、2007 年に、300mm ウェーハ世代の製造ラインでの潜在的な改善可能性についての結論からも補強された。いわゆる”300mm Prime”プログラム【訳者注：300mm ウェーハの製造ラインでの生産性向上を目指したプログラム】では、サイクルタイムを削減する可能性はあるが、ムーアの法則のトレンドに従ったコスト削減は達成できないという検討結果であった。この認識を受けて、ISMI は 2007 年 7 月に 450mm イニシアティブを開始した。

その後、2008 年 5 月に、Intel、Samsung、TSMCの 3 社(IST)は(装置・材料の)サプライヤ、その他の半導体関連組織、ISMIとともに、450mm技術開発し、2008 年にコンソーシアムを設立し、2012 年までにパイロットライン(pilot line)を作ることを目標とすると発表した。これにより、IDM(Integrated Device Manufacturer)とファウンドリは 2013 年から 2014 年にかけてパイロットラインでの開発が可能になり、その後、2015 年から 2016 年にかけて最初の量産立ち上げが開始される<sup>2</sup>。この 2008 年の公表内容やアセスメントは、上記 3 社とISMIによる声明として記録に残っており、ITRS 2009 年版と 2010 年改訂版執筆の際に参照された。さらに、これらは将来の発表に基づき修正されるべきものであり、今後のコンソーシアムの状況と目標達成度によっても改訂が必要である。

過去の事例をみると、それぞれのウェーハサイズの移行は、それ以前の場合とは異なっているということがわかる。300mm ウェーハの移行は、このとき初めてコンソーシア(I300I と Selete)が産業界全体の取り組みをリードしたという特徴があった。コンソーシア方式(の有効性)は実証済みであり、今回の 450mm へのウェーハ寸法の移行を可能にするためにこの方式が選択される。SEMI の参画も 300mm ウェーハ寸法への移行に際して本質的であった。このとき初めて、最終仕様での製造装置が完全に開発される前に、「暫定的な標準」が産業界全体で合意されたからである。特に、完全なウェーハ搬送システムの受け入れに合意することで、産業界は基本的な問題を解決することができた。すべてのサプライヤはウェーハ搬送、ポート設計、ロードサイズについての各社所有の解決方式を放棄し、FOUP / オーバーヘッド方式に合意した。関係するすべての団体が最終案に合意するまでには、数年間にわたる議論が必要であった。

この観点からすると、450mm のウェーハ寸法への移行にあたっては、300mm ウェーハの搬送の標準化作業がすでに終了しているのは有利なことで、この状況を十分に享受することができる。300mm の搬送自動化はすでに受け入れられている技術であり、450mm への移行にあたっては、その小修正が必要なだけである。したがって、自動搬送とウェーハ材料の規格に関する限りは、300mm ウェーハ寸法への移行の場合に比べ、450mm シリコンウェーハの規格と自動搬送の制定に必要な期間が短くてすむ。ITRS 2009 年版公表後の暫定的なコンソーシアムの作業の中で、450mm ウェーハのキャリアとロードポートの国際標準、開発用テストウェーハを完了の成果があり、

<sup>2</sup> 出典：2008 年 5 月 / 2008 年 10 月の ISMI Symposium / 2008 年 12 月に韓国で開催された ITRS IRC(International Roadmap Committee)での ISMI 450mm Transition Program Update

コンソーシアムの進展があった。このような進歩は、部品メーカー、SEMI、ISMI の共同開発において、広範なプロトタイプ作業と相互運用の繰り返しテストによって可能となったものである。2011年にコンソーシアムによる開発に大きな進展があり、300mm と 450mm 世代の標準と生鮮性向上の選択肢を評価するための対話が進行中である。資金調達メカニズム分析や、いろいろな会社、異なる地域のコンソーシアムと政府からの提案に加え、必要な研究開発コスト、利点、投資回収を検証するため、複数のシナリオについての経済性の分析も進展した。

2011年には、SEMATECH の 450mm プログラムがテキサス州 Austin からニューヨーク州 Albany への移転がなされた。Albany では新しいコンソーシアムのクリーンルームが建設中で、アルファおよびベータツールの開発と、IDM(統合半導体デバイス製造メカ)とファンドリーのパイロットラインのデモンストレーションへの準備が進んでいる。これに加え、ベルギーの IMEC の新しい施設での 450mm 開発を目標として、欧州の EEMI 450mm コンソーシアム構想 (consortium initiative) が、発表された。ごく最近、G450C (Global 450 mm Consortium) という企業間のコンソーシアム構想 (consortium initiative) が半導体産業界の主要 5 社 (Intel, Samsung, TSMC, GLOBALFOUNDRIES, IBM) によって発表された。450mm の製造と技術開発を推進するため 44 億ドルを投資するとしている。今後数年にわたりなすべき仕事が多いが、これらの会社は巨額の投資を約束しており、EEMI 450 mm コンソーシアムからの新規加入の可能性もある。これらの動きがしんてんすることが、コスト削減と次のウェーハサイズへのタイムリーな移行に必要な国際的連携を支援することにつながる。

上記の状況を踏まえ、[また、SEMATECH/ISMI の NGF (Next Generation Factory: 次世代工場) プログラムは 300mm 対応装置の改善をめざすものであるが 450mm 対応装置にも適用可能であり、NGF プログラムの今後可能な進展も考慮すると]、コンソーシアムの開発と実証作業が材料開発と製造装置開発の支援につながり、2013 年から 2014 年にかけて IDM とファンドリーのパイロットラインで使えるようになると、ITRS の国際ロードマップ委員会 (IRC: International Roadmap Committee) は、現在、期待している。IDM とファンドリーのパイロットラインが公表している目標が 2013 年から 2014 年に向け予定通りであれば、ITRS が 450mm ウェーハについて目標としている、2015 年から 2016 年にかけての生産立ち上げも可能なのである。もちろん、450mm ウェーハが大量に入手可能となることが前提である。また、ITRS/IRC は、ウェーハ直径と技術世代が 1 対 1 に対応するわけではないとしている。つまり、ある限定された期間にわたって、複数の最先端技術が、300mm と 450mm の両方の技術を使って製造されるだろう。かつて、2001 年から 2003 年の間は 300mm ウェーハの立ち上がり時期であったが、この期間は、連続する 2 つの技術世代 (M1(最下層の金属配線層)のハーフピッチで 180nm から 130 nm に相当) に対応している。

最新の産業界の状況を反映するため、ITRS 2011 年版では、450mm での量産立ち上げモデルの図 (Figure 6) を改訂した。この図では、新しい世代のウェーハが導入される際には 2 つの S 字カーブで量産規模がたちあがること明示した。これは、2001 年から 2003 年にかけて、300mm ウェーハの立ち上がり時期が連続する 2 つの技術世代 (M1(最下層の金属配線層)のハーフピッチで 180nm から 130 nm に相当) に対応したという経験に基づいている。

ITRS 2011 年版の改訂においては、450mm 世代に対するウェーハ世代の時期的目標は、本質的に、2009 年版と 2010 年版から変わっていないことに注目されたい。ITRS 2009 年版で、国際ロードマップ委員会 (IRD) は、当初から、450mm での量産開始は 2014 年から 2016 年にかけて始まるとしていた。今回の 2011 年版では、その期間を 2015 年から 2016 年にかけてと狭め、図示した。

450mm、IDM とファンドリーのパイロットライン、生産の立ち上げ時期の目標は変わっていないが、コンソーシアムの作業期間について明確化されたことに注意願いたい。ここでは、450mm での装置の開発とデモンストレーションが含まれているが、全工程を試作できるパイロットラインは含まれていない。IDM とファンドリーメンバーは、現在、このコンソーシアムで必要なのはデモンストレーションまでと考えている。最終的な全行程を試作できるベータ装置および生産用の装置開発は、IDM とファンドリー各社のパイロットライ

ンで 2013 年から 2014 年にかけて行われるはずである。いままでに公表された計画によると、450mm の生産は 2015 年から 2016 年にかけて 1x 世代の技術(ITRS の 2011 年版の技術目標によれば、フラッシュメモリの poly-Si のハーフピッチでは 15-16nm、DRAM と MPU/ASIC の最下層金属配線層のハーフピッチで 20-22nm に相当)での生産が開始されることになるだろう。

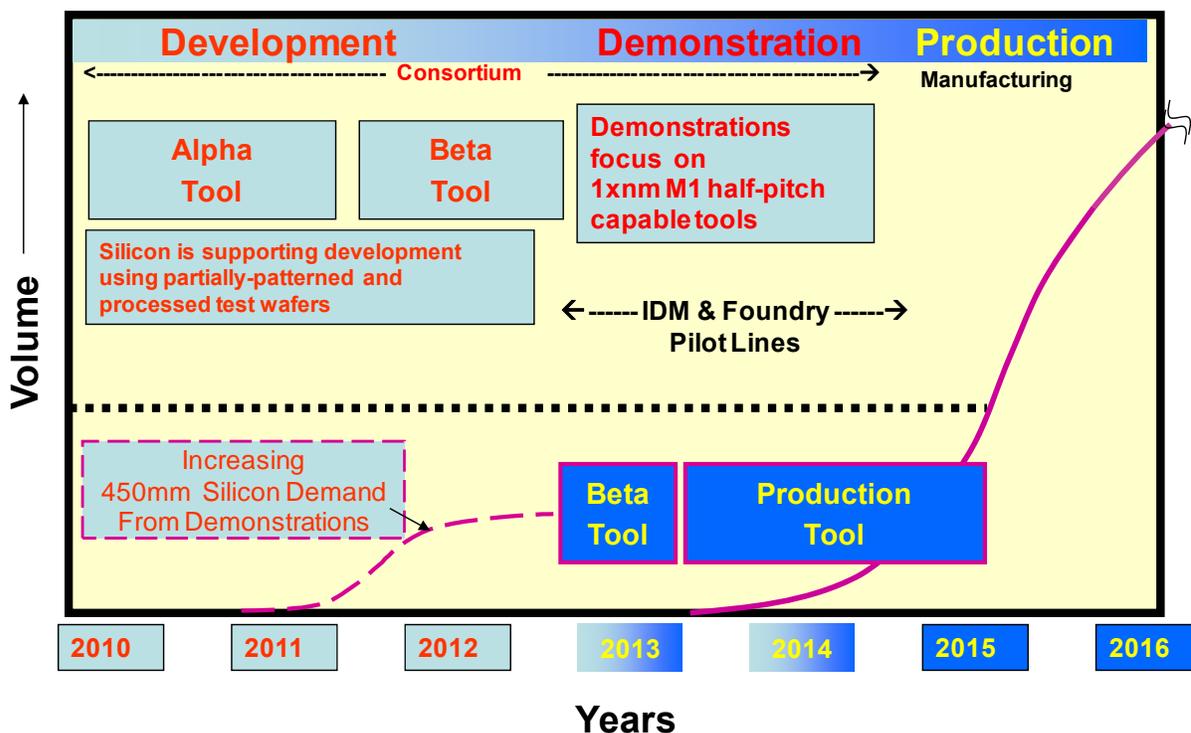


Figure 6 A Typical Wafer Generation Pilot Line and Production “Ramp” Curve applied to Forecast Timing Targets of the 450 mm Wafer Generation

ITRS 2011 年版の 450mm の状況と、読者へのサービスをより完全なものにするため、SEMATECH の ISMI によって経済性モデルのシナリオに大きな進展があったことにも注意されたい。ISMI は IEM (Industry Economic Model、産業経済モデル) が増補改訂し、よく知られたコンサルタント会社である IC Knowledge 社(ICK)<sup>3</sup> との契約により、装置需要についての戦略モデルが開発されたものなされた。ISMI と ICK のモデルは ITRS の 2009 年版と 2010 年改訂版に基づいている。

#### リソグラフィーのマスク数 (LITHOGRAPHY MASK COUNT) — 2011 年版での改訂

ITRS 2009 年の編集作業の過程で、ORTS (Overall Roadmap Technology Characteristics, 総括ロードマップ技術指標) の Table 5 のリソグラフィーのマスク数を改訂する必要が確認された。最先端技術による製品の製造プロセスで多重パターンニングによる露光技術が急に使われるようになった。このため、リソグラフィーの技術ワーキンググループ (ITWG: International Technology WorkigGroup) は ITWG の参加者と

<sup>3</sup> ITRS 2011 年版の作成にあたり、IC Knowledge 社の Scott Jones 氏の貢献に感謝いたします

SEMATECH コンソーシアムに対して、多様な製品カテゴリーのマスク数のトレンドを見直すため、調査を行うことを決定した。

その結果、2010 年中に調査が完了し、改訂が可能となった。この作業の結果は ITRS 2011 年版では、「電氣的欠陥とリソグラフィーのマスク数」を記載している Table ORTC-5 で見ることができる。この調査では、DRAM メーカーの参加が限られていたため、リソグラフィーの技術ワーキンググループは DRAM のマスク数を推定する際に MPU のデータを使った。すべての製品カテゴリーに対するデータは以下の Figure 7 にプロットされている。

どの製品においても、プロセス技術の複雑さと多重パターニングリソグラフィーの応用が増加したことにより、マスク数は増加トレンドにある。この調査に回答者も EUV (Extreme Ultra-Violet; 極端紫外)リソグラフィーが使えれば、どの製品においても劇的な効果があることを指摘している。(ITRS 2011 年版でのリソグラフィー技術ワーキンググループの統一見解によれば、EUV 導入時期は、DRAM で 2013 年、フラッシュメモリでは 2013 年、MPU では 2015 年である。)

フラッシュメモリ製品の調査回答者にとっても、2014 年までの期間内でも不確実性があり、将来の 3 次元セル積層技術 (ITRS では 2016 年以降に量産開始としている) の影響についてはデータが準備できなかった。しかしながら、3 次元フラッシュが実現された場合のモデルケースについては下記の追加コメントを参照されたい。

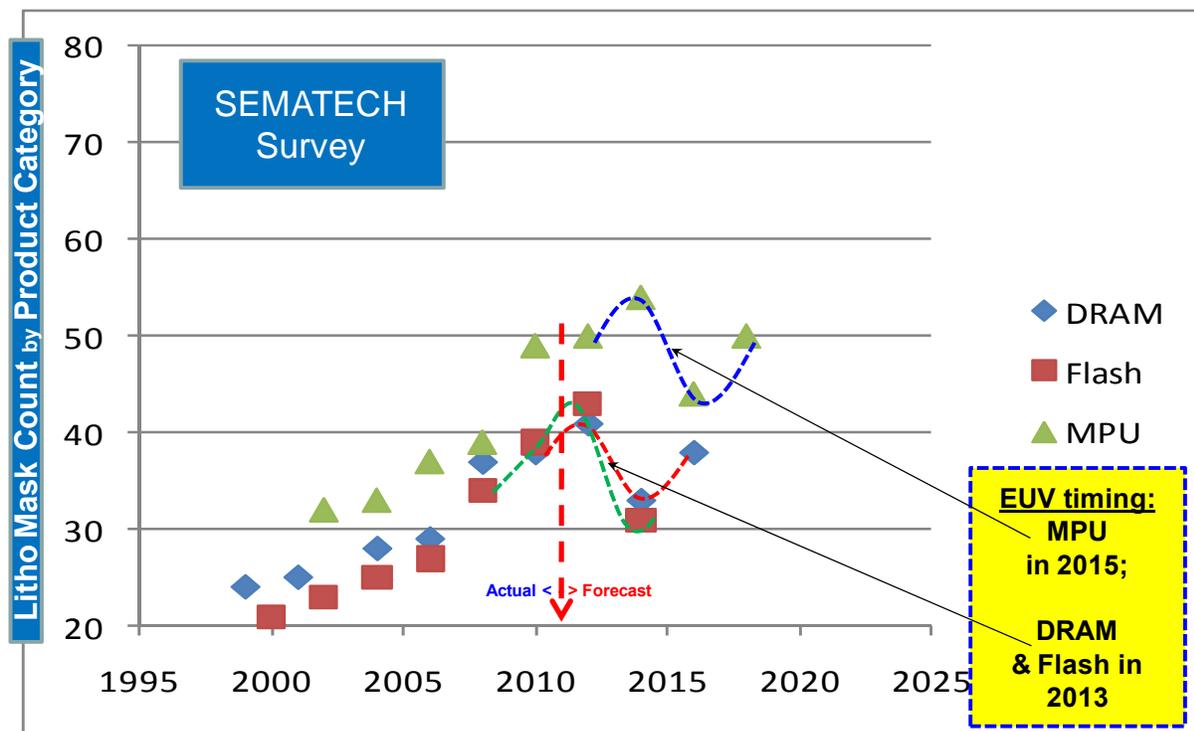


Figure 7 Lithography Masks Count by Product Category – Litho TWG & SEMATECH Survey

ICK (IC Knowledge)社の商用の戦略モデルに基づく同社の解析結果が、ITRS 2011 年作業中にリソグラフィの技術ワーキンググループが参照可能となり、現在は ITRS の読者もこれを見ることができる。この ICK 戦略モデルは、SEMATECH と ITRS の技術ワーキンググループの協力のもとで開発されたいて、ITRS の 2009 年と 2010 年の版に基づいている。この ICK モデルにより、製品 (ITRS の MPU、DRAM、

NAND フラッシュ)に基づいたプロセスフローのシナリオを構築することができる。このシナリオは ITRS の短期および長期の技術タイミングに基づいている(Fig. 8を参照)

そのプロセス工程と層数のシナリオにおけるマスク数に基づき、また、最新の ITRS 2011 年版のリソグラフィの技術ワーキンググループによる露光技術(多重マスク、EUV (Extreme Ultra-Violet, 極端紫外)光による露光)の導入時期を使うことにより、ICK モデルはマスク数の予測をすることができ、新技術の導入の影響を見積もることができる。技術サーベイは限られた時期のものしか集計できなかったが、追加された ICK のモデルシナリオによる可視化は、ITRS がカバーする全期間(2011年から2026年)にわたって適用できる。ICK のモデルは、技術調査の結果に基づくものというよりは、プロセスフローのシナリオを仮定して得られたものであるため、その結果はリソグラフィの技術ワーキンググループの調査結果とは同じではない。しかしながら、ICK のモデルの結論は調査結果とよく似ていて、整合的であり、検証可能であるとともに、より長期にわたる比較が可能である。

また、ICK のモデルシナリオの仮定は、技術導入の時期の遅れの影響を考察することにより変更しうる。たとえば、EUV の導入時期が 2015 年から 2017 年に 2 年遅れると、マスク数のピークの予測値は、2015 年の 65 枚から 2017 年に 80 枚へと増大する。

さらに、このモデルの解析が ICK によってなされていて、ITRS の読者は EUV の遅延になどによるマスク数の増加の影響を見積もることができる。そのほか、フラッシュ技術への影響も考察されていて、チャージトラップ技術を 2012 年に導入するとマスク数を少なくする可能性がある。また、2016 年にフラッシュメモリの 3 次元的多層化技術が導入されるとマスク数は劇的に増加する。3 次元的なセルの積層数は導入当初の 8 層からロードマップの期間の最後には 128 層へと増大する(これにともない、マスク数は 2014 年の 30 枚と少ないが、2024 年には 50 枚に増加する)。

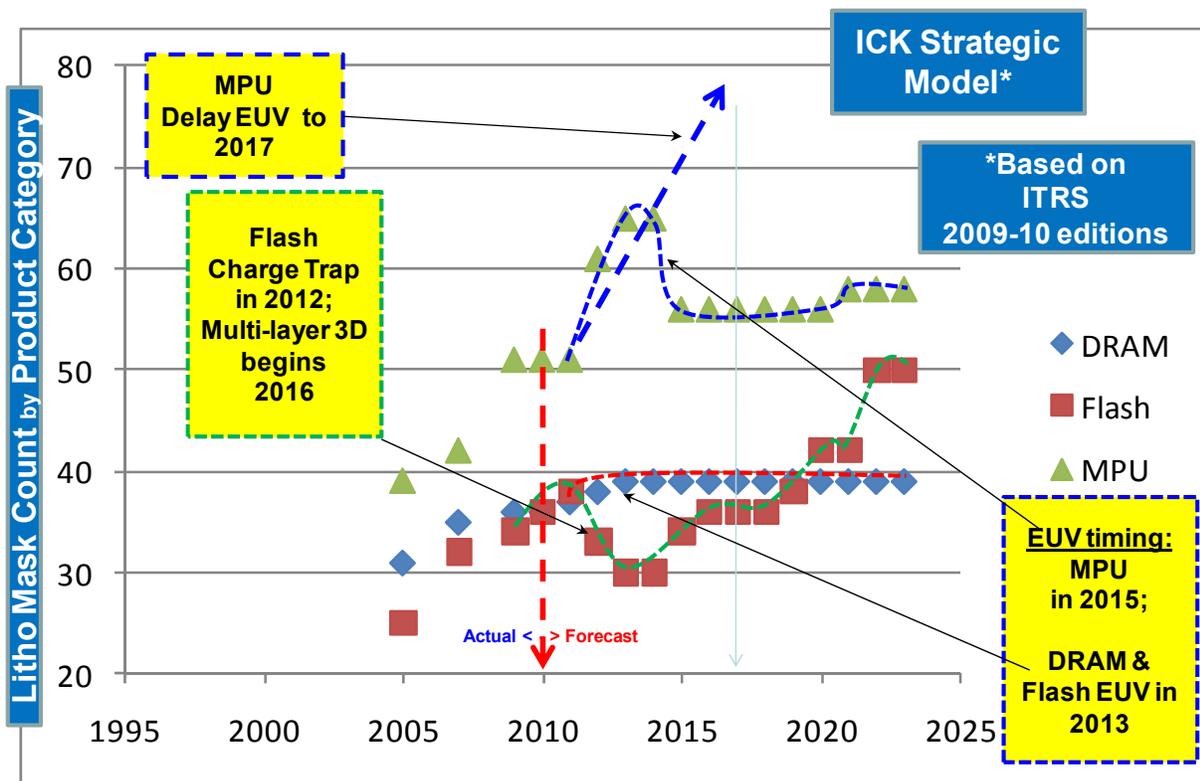


Figure 8 Lithography Masks Count by Product Category – ICK ITRS Process Model-based Scenarios

技術調査の結果とモデル化の作業の両社からリソグラフィーのマスク数の新たなデータが得られたことで、明かに、可視化の度合を増し、ITRSにとっても、使い勝手のよいものとなった。これにより、すべての技術ワーキンググループが、産業界の主要な技術課題と技術的解決策のITRSでの導入時期が与える影響を評価できるようになった。特に、歩留まり向上 (YE, Yield Enhancement) の国際技術ワーキンググループは、ITRSの2012年改訂版に向け、新しいマスク数のデータが欠陥密度 ( $D_0$ ) の目標にどう影響するかのモデル化に着手した。歩留まり向上 (YE) にかんして、欠陥密度 ( $D_0$ ) の目標はORTCのTable 5に示されているが、(ITRS 2011年版では)リソグラフィーの最新のマスク数のデータに基づく調整をしておらず、したがって、この表 (Table 5) には、まだ反映されていない。しかしながら、2012年改訂版で欠陥密度 ( $D_0$ ) のさらなるモデル化が計画されている。

### 消費電力とチップ上のクロック周波数の推移 (POWER AND ON-CHIP FREQUENCY PLANS)

#### 周波数と消費電力についての PIDS と設計の技術ワーキンググループ間の共同作業

ITRS の改訂をするにあたり、PIDS と設計の技術ワーキンググループ間の共同作業による更新をいつも行っており、これは、ITRS 2011年版においても例外ではない。今年のコラボレーションにおいては、設計の技術ワーキンググループの牽引要素として、チップ上の(クロック)周波数の改訂が含まれている。また、PIDS の Vdd (電源電圧)、HP (高性能)、LOP (低動作電力)、LSTP (低待機時電力) の改訂もなされた。PIDS の表では、代替プロセスによる「等価的微細化」の道筋にそった技術項目も改訂した。「等価的微細化」は、物理ゲート長 (GLph) と実効的参加膜厚 (EOT, Equivalent Oxide Thickness) を微細化するという歴史的な素子寸法の解決策とのトレードオフとして位置づけられる。

設計の技術ワーキンググループのチップ上の周波数の要求仕様のトレンドが最後に改訂されたのは、2008年のITRSである。そのときに完了した、産業界の調査と解析にもとづいている。

2011年に、設計の技術ワーキンググループは新たな提案をして、それが採用された。2011年に周波数が3.6GHzというのを基準点として、以後、ロードマップ策定期間を通して、年率 (CAGR) 4% で周波数が増大するというものである。この新しいトレンドは、以前のITRS 2008年版のトレンドに比べると、大幅に、周波数が低下している (2007年に4.7GHzとし、以後、年率8% (モデル上は7.72%) で改善)。ITRSの2009年版/2010年版での設計の最大周波数目標と最新の目標 (ORTCのTable 4) との比較は、下記のTable Cに示されている。

Table C 2011 Chip Frequency Model Trend vs. 2009/2010 ITRS Frequency

Year of Production	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018
Chip Frequency (MHz) On-chip local clock -- WAS	5.454	5.875	6.329	6.817	7.344	7.911	8.522	9.180	9.889	10.652
Chip Frequency (MHz) On-chip local clock – 2011 IS*	3.462	3.600	3.744	3.894	4.050	4.211	4.380	4.555	4.737	4.927

Year of Production	2019	2020	2021	2022	2023	2024	2025	2026
Chip Frequency (MHz) On-chip local clock -- WAS	11.475	12.361	13.315	14.343	15.451	16.640	-	-
Chip Frequency (MHz) On-chip local clock – 2011 IS*	5.124	5.329	5.542	5.764	5.994	6.234	6.483	6.743

\* Design ITWG

この ITRS 2011 年版のチップ上の周波数トレンドは、設計者の大きな余地 (headroom) をもたらす。元の ITRS 2008 年版では、トランジスタの本来的 (intrinsic) 特性 (年率 (CAGR) 13% で改善するとしていた) とマイクロプロセッサ (MPU) と ASIC SOC (システムオンチップ) の設計で思料される最終的なチップ上最大周波数をモデル化していた。

したがって、PIDS のトランジスタの本来的 (intrinsic) 特性モデルは、ITRS 2012 年改訂版に向け評価中である。トランジスタの本来的 (intrinsic) 特性改善を年率 8% に低下させることを提案しているが、設計技術ワーキンググループが示すチップ上の周波数の目標が年率 4% の改善であるので、設計者には、まだ、適切は余地 (headroom) が与えられている。また、適切なコスト、プロセス制御性、歩留まり、消費電力の要求を満たすため、半導体プロセスの製造技術を過度に加速する必要はない。適切なテクノロジーの発展への要求と製造可能で必要な性能を達成する設計との間のバランスが取れたシナリオについて合意に達するためには、技術ワーキンググループ間のさらなる共同作業が必要となる。2012 年の改訂についての技術ワーキング間での合意形成の進展と最終結論については、各地域で 2012 年に開催される ITRS 国際会議で報告される予定である。

2012 年までの検討期間において、PIDS は Vdd (電源電圧) と電流の目標についての技術仕様をモデル化することにあてることになる。短期的には、MASTER の静的モデルを、長期的には、TCAD の動的モデルを使う。PIDS のモデル化作業は、シミュレーションによって負荷を与えて、リング発振器を模擬 (emulation) することを含む。この負荷を考慮することで、個々のトランジスタの特性周波数に対し、リングオシレータの周波数は非常に遅くなる (約 1/22 となる) が、この数値は、設計者がチップレベルのロジック設計をする際に経験することをよりよく反映したものとなる。

さらに、PIDS の 2012 年改訂作業では、マルチゲート MOSFET (MugFET)、III/V 族と Ge のチャンネルによる「等価的微細化」の技術に沿った項目のモデリングを含むことになる。また、この技術と完全空乏型の SOI トランジスタ (FDSOI: Fully Depleted Silicon-on-Insulator) 技術を、性能と消費電力の改善の観点で比較する予定である。「等価的微細化」の改訂のトピックスを参照のこと。また、さらに詳細は PIDS 章を参照のこと

マルチゲート MOSFET (MugFET) 技術の 4 年前倒しの潜在的影響については、Figure 9 を参照されたい。また、そのなかで、想定される 2012 年の改訂シナリオにおいて、FDSOI とトレンドモデルを年率 8% に改善のペースを遅らせたこと、マルチゲート MOSFET (MugFET) の導入時期を早める一方、性能改善トレンドを 5% に遅らせて 2026 年の FDSOI の目標に合致するようにした。これらのシナリオは、2012 年改訂版のアプローチの可能性を明示するための例であって、2012 年改訂版の最終的なワーキンググループ間の合意形成を、必ずしも、反映させたものではないことを、お断りしておきたい。

読者各位には、Figure 10 (2009 年版と 2011 年版で、チップ上の周波数と PIDS の本来的 (intrinsic) 周波数を重ねて図示したもの) も注目願いたい。2011 年の PIDS のリング発振器のモデル (典型的はチップ上本来的デバイス特性を、より現実的に表現したモデル) では、現在、平均して年率 13% で性能が改善するとしている。このグラフのプロットの元となるデータは、テストの技術ワーキンググループが歴史的データに基づいて作成したものである。すなわち、テストの技術ワーキンググループが収集したデータを、設計の技術ワーキンググループの過去 (2005-2007) と現在 (2011) の ITRS の版に記載された目標と比較して作成したものである。

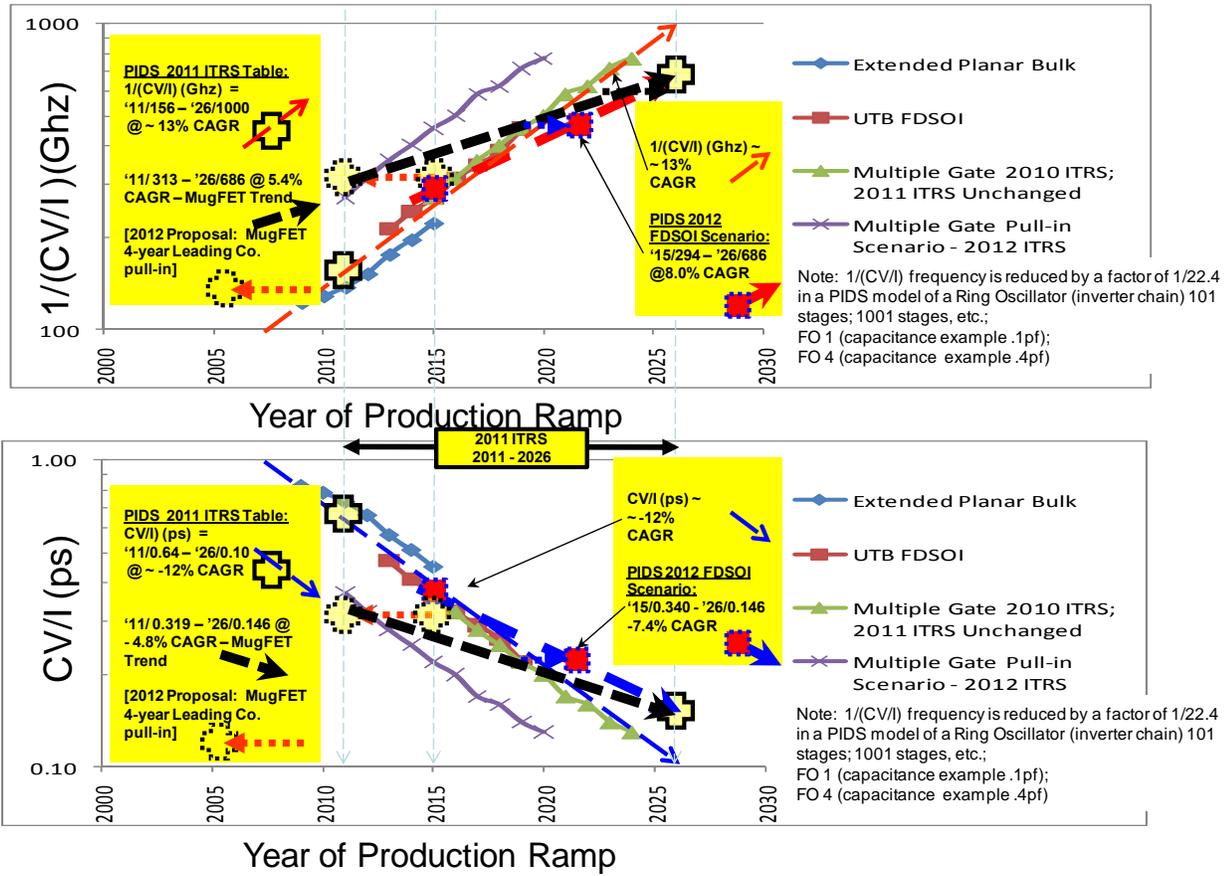


Figure 9 2012 Update Model Trend versus 2009/2011 ITRS PIDS TWG Transistor Intrinsic Frequency (1/(CVI)) Performance Trends

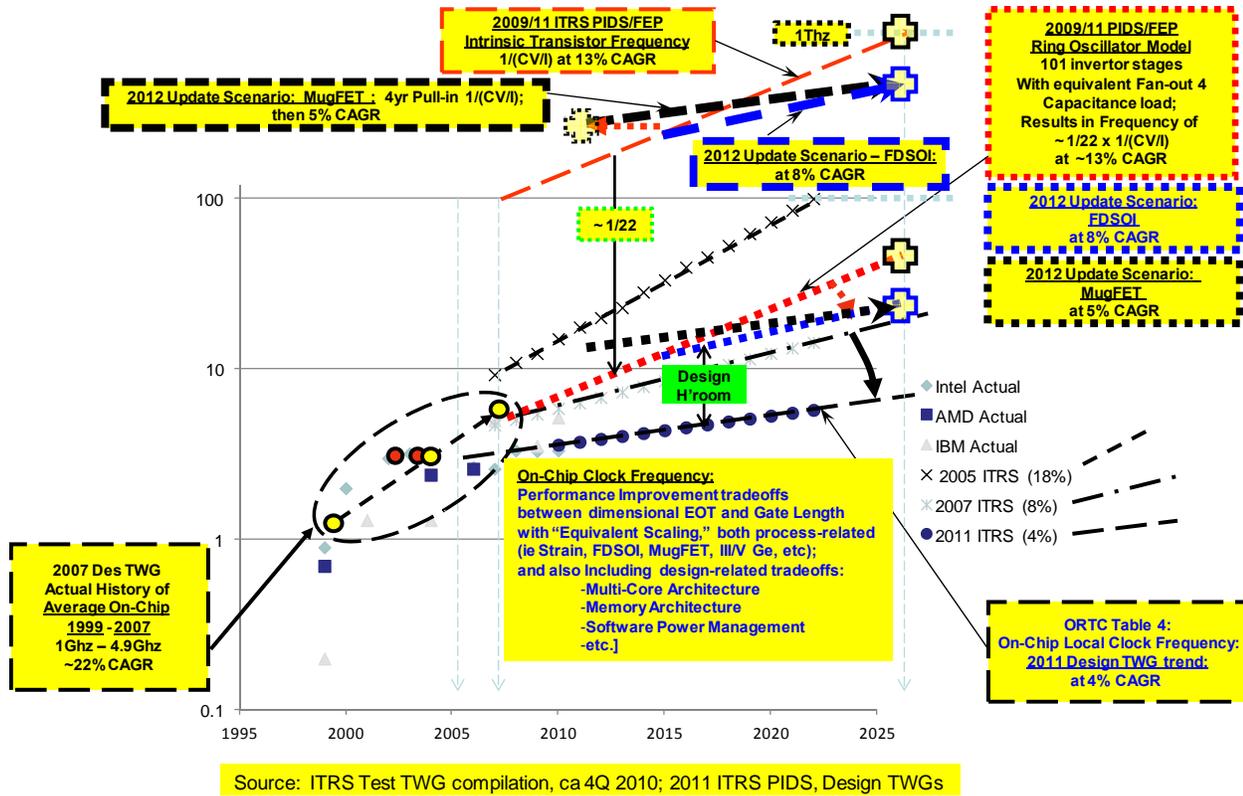


Figure 10

Design On-Chip Frequency vs. PIDS Intrinsic Transistor and Ring Oscillator Model Frequency

# 主要な技術課題 GRAND CHALLENGES

## 短期予測 IN THE NEAR-TERM (2018 まで) と長期予測 LONG-TERM (2019 年以降)

### 概要 (OVERVIEW)

半導体産業界の継続的な研究開発の成果により、微細化の再加速と多様化が進むと予想している。MPU の集積度向上は 2013 年までは 2 年サイクルで進展し、以後、3 年サイクルとなる。フラッシュメモリのチップあたりのビット数の増加は 2 年サイクルで 2 倍というペースで進む。DRAM のチップあたりのビット数の増加ペースは 3 年サイクルである。[微細化のペースがそれぞれに異なるため、]技術ノードという言葉では、もはや、技術を明確に定義することができない。PIDS (Process Integration, Devices, and Structures, プロセスインテグレーション、素子、構造)の章では、MOSFET (MOS 型電界効果トランジスタ)の性能を向上させるためには複数の選択肢があり、この状況をパラレルパス (Parallel Path)と呼んでいる。MOSFET の構造としては、平面型の従来のバルク基板上の MOSFET (metal-oxide semiconductor field effect transistor, MOS 電界効果トランジスタ)、Fin-FET などのようにゲートを複数持つ MOSFET、SOI (Silicon on Insulator, SOI) 基板上の MOSFET が候補となっている。

ITRS も新時代に入りつつあり、産業界も CMOS 微細化の理論的限界に言及しはじめた。以下の技術領域には多くの技術課題が残っている：パターン形成、先端材料、特に非平面素子構造における歪エンジニアリング、接合リーク電流、製造プロセスの制御、製造可能性など。技術課題は CMOS に新規メモリ素子を統合する際の SoC 技術や SIP 技術を含む広い範囲の技術にも及んでいる。このような技術は半導体産業の持続的成長にとって不可欠である。

各 ITWG (International Technology Working Group) は「困難な技術課題」として表の形にまとめて、この概要 (Executive Summary) に含めた。本節 (主要な技術課題 (Grand Challenges) の節) は、技術課題のうちの主要なものを選んで、それを記述したものである。本節は、読者が主要技術課題の全体像を把握する一助となることを意図している。

これらの主要な技術課題を、性能向上と低コスト生産という、二種類の観点から分類した。さらに、短期的 (2011 年から 2018 年) と長期的 (2019 年から 2026 年) という二つの期間に分けて述べる。

## 短期予測 IN THE NEAR TERM (2018 まで)

### 性能向上 [ENHANCING PERFORMANCE]

#### ロジックデバイススケーリング [PROCESS INTEGRATION, DEVICES, AND STRUCTURES, FRONT END PROCESSES, MODELING AND SIMULATION, AND METROLOGY]

プレーナー CMOS のスケーリングは、重大な問題に直面している。ゲート絶縁膜の薄膜化、ゲート長の縮小や基板濃度の高濃度化といった一般的なスケーリングは、もはや、性能や消費電力から、応用機器の要求を満たさなくなっている。スケーリングの壁を打破するためには、プロセス制御性の改善を継続してゆくことに加え、新しいデバイスアーキテクチャーの導入はもちろん、新しい材料を導入することが必要となる。

短期予測では、HP や LOP デバイスに high-k メタルゲート(HKMG)が使われ始めたにも関わらず、酸化膜換算膜厚(EOT)の薄膜化は、未だに最も困難な課題である。22nm やそれ以降のデバイスでは、界面層のスケーリング、或いは、シリコン-high-k 界面の品質が、EOT スケーリングに非常に重要と考えられている。high-k 材料は、狭バンドギャップ化によりゲートトンネル電流が増加するため、デバイスに使用可能な high-k 材料は限られる。どの high-k 材料を選ぶかもまた、短期予測で直面する課題である。最良のデバイス特性となるようにまたコストに対しても、最適化された完全なゲートスタック構造の材料が必要となる。シリコン絶縁膜/ポリシリコン構造が、長い間、最も信頼性の高いゲートスタック構造としての役割を果たしてきたため、これら high-k ゲートスタック材料への変更は MOSFET テクノロジにおいて課題克服に向けての大きな挑戦である。

プレーナー-MOSFET では、ショートチャネル効果を抑えるために高いチャネル濃度が必要となる。この場合、移動度の劣化とリーク増加による待機電力の増加とのトレードオフとなる。微細デバイスのしきい値制御のためにこのチャネルドーピングを用いるとしきい値ばらつきも増加し、電源電圧のスケーリングといった回路設計が難しくなる。解決策として、マルチゲート MOSFET (例えば finFETs)、超薄膜ボディ FD-SOI などの新しいデバイス構造が期待されている。これらの新規デバイスの課題は、薄膜 MOSFET の膜厚のばらつき制御である。回路設計やシステムアーキテクチャーの改善と共に、これらの課題克服を進めていく必要がある。

#### メモリデバイススケーリング [PROCESS INTEGRATION, DEVICES, AND STRUCTURES, EMERGING RESEARCH DEVICES, FRONT-END PROCESSES, MODELING AND SIMULATION, AND METROLOGY]

産業における絶え間ない研究開発により、スケーリングの再加速やいろいろなスケーリング手法がもたらされている。現行の基本的なメモリとして、単体および混載型の DRAM、SRAM、NAND-Flash、NOR-Flash が挙げられ、ロードマップ table に掲載している。更に、試作段階ではあるが、新しいメモリとしてシリコン/酸化膜/窒化膜/酸化膜/シリコン(silicon/oxide/nitride/oxide/silicon (SONOS))、FeRAM (ferroelectric RAM)、MRAM (magnetic RAM)や相変化メモリ(PCRAM)をロードマップ table に掲載している。

DRAMの課題としては、セルサイズ縮小に伴った適切な蓄積キャパシタ容量、高誘電体膜の導入、低リークアクセスデバイスの導入、低抵抗ワード線、ビット線の導入が課題となる。大容量製品とコストの観点から  $4F^2$ セルの実現に向かっているが、但し立体構造のアクセストランジスタ、高アスペクト比加工を解決する必要がある。

フラッシュメモリ市場の急速な拡大に伴い、フラッシュメモリの材料やプロセスの課題に重点が置かれるようになった。この急速なフラッシュメモリの拡大で、フラッシュメモリは微細加工技術や材料技術に関して、DRAM、Logic を超えて、新しいテクノロジドライバとなった(リソ技術、エッチング技術)。継続したフラッシュメモリの集積度の向上は、二つのセル内の絶縁膜、トンネル絶縁膜、ポリシリコン間絶縁膜の膜厚のスケーリングが鍵になる、一つの方法として、データ保持特性、書き換え特性を保証するために、高誘電体膜の導入が必要になるだろう。3D-NAND は 256Gb 以上の容量を目指し開発が進んでいる、コスト面で有利であるが、多値 Bit セルの信頼性の実現は難しい課題である。不揮発性メモリの課題は新メモリの量産並びに新ストレージコンセプトのメモリ、MRAM、相変化メモリ PCRAM、FeRAM などのスケーリングの課題を含む。例えば MRAM についてはセルサイズと書き換え電力の削減のために、さらなるブレイクスルーが必要である。FeRAM については、セル耐久性、電力およびセルサイズの縮小化が問題である。MRAM と FeRAM の他の課題としては、ロジック回路と組み合わせたときのコストであろう。特に、バックエンドで作る MRAM と比べ、FeRAM では大きな課題となるであろう。

## 高性能、低コストRF&アナログ/ミックスドシグナルの解決策 [RADIO FREQUENCY AND ANALOG/MIXED-SIGNAL TECHNOLOGIES -]

コストと消費電力と性能が、10 GHz 以下の無線トランシーバーIC とミリ波の適用製品(アプリケーション)での主たるテクノロジードライバーであり続ける。10 GHz 以下の応用分野では、新材料である high-k 絶縁膜やチャネル応力技術を導入したディープサブミクロン CMOS 技術を用いても、デバイスのミスマッチや 1/f ノイズは、許容範囲内にある。トータルソリューションを与える部品として、安価で集積性された受動素子を持った先端 RFCMOS を早期に採用することが、技術潮流になってきている。それには、より高密度な容量素子を実現するための技術革新が必要になるだろう。HBT デバイスを使う適用製品では、よりアグレッシブな縦方向スケールリングが、有効に働くことになるだろう。MEMS 開発とシリコンの能動素子と MEMS の集積、そして、オフチップ受動素子の回路網の形成プロセスは、総合的なシステム性能に重要な貢献をするようになるものと予測される。ミリ波の適用製品では、安価な非シリコンである GaN をベースとしたデバイス開発の恩恵を得ることができるだろう。

チップ内のデジタルとアナログ領域の信号分離は、ますますクリティカルな状況になるものと考えられる。これは、チップが複雑化し、電源電圧を低くしながら、動作周波数は高くなっているためである。電源線や接地線を通したノイズカップリングは、回路設計技術の課題とも言えるが、基板ノイズカップリングを低減するために、非常に多くの革新的技術(例えば、 $k\Omega\text{-cm}$  の高抵抗基板のようなもの)が必要になるかもしれない。

## MEMS

ITRS の MEMS テクノロジー・ワーキング・グループ (TWG) は、2011 年に ITRS のロードマップに新しい章を追加する為に設立されました。ここで取り扱われる MEMS デバイス(加速度計、ジャイロスコープ、マイクロフォン、そして RF バラクタ)では、パッケージサイズとコストの低減という、これらデバイスにおいてキーとなる性能に関し、概ね継続的な進展が見られます。MEMS 技術における最大の課題は、個別(単体)機能の統合に関するものであり、それは、主に製造、パッケージ、そしてテストという半導体のバックエンド工程と関係しています。モバイルインターネット・デバイスメーカーが、彼らの製品のサイズと重量を減らし、バッテリー寿命を延ばし、そして新しい様々な機能を統合するように、彼らの MEMS デバイスメーカーに対する要求は、更なるパッケージサイズの低減と機能統合を目指す為のものです。近場の技術課題としては、10 自由度 (DOF: Degree Of Freedom) を持つ MEMS 慣性センサユニットの製造が挙げられます。自由度の内訳は、加速度計 3 軸、ジャイロ 3 軸、磁力(コンパス) 3 軸に、高度計としての圧力センサ 1 軸の合計 10 軸です。

## 新しいゲートスタックプロセスおよび材料 [PROCESS INTEGRATION, DEVICES, AND STRUCTURES AND FRONT END PROCESSES]

適切なメタルゲートを用いて EOT (Equivalent Oxide Thickness:  $\text{SiO}_2$  換算膜厚) を 0.7nm 程度以下に薄くすることは、将来にわたって最も困難な課題である。シリコンに対して荷電子帯、伝導帯のバンドオフセットが十分にあって、界面層が薄く、より誘電率の高い誘電体が必要である。16nm ハーフピッチ以降の世代においては、マルチゲートトランジスタ上のゲートスタックの界面準位を減らすことは、キーとなる課題のひとつである。更に課題として、high-k 膜とシリコン基板間の界面層のスケールリングが挙げられる。クーロン散乱やリモートフォノン散乱による移動度劣化を起こすことなく、界面層のスケールリングを行う必要がある。high-k や界面層の高品質化が困難であるため、SiGe、Ge、III-V 族基板といった高移動度材料の導入も必要となろう。更に、絶縁膜破壊(ハードブレイクダウンやソフトブレイクダウン)、トランジスタ信頼性(チャージトラップ、仕事関数の安定性)などの high-k 膜に対する信頼性要求も解決しなければならない。

DRAM のスケールリングのためには、メモリーキャパシタ容量の要求を 20-25fF に維持しながら埋め込みビット線または埋め込みワード線技術で寄生容量を低減し、なおかつメモリーキャパシタをかつてない小さ

いセル領域に形成する必要がある。ストレージセル容量の要求により、metal-insulator-metal (MIM)構造の DRAM キャパシタに、より高い誘電率(higher-k)の誘電体材料が製品導入されるに至っている。High-k 絶縁膜と高い仕事関数を持つ電極の他に、非常に高いアスペクト比を持つ新しいストレージノード形成技術が要求される。そのため、非常に高いストレージノードのための新しい酸化膜エッチング技術と側壁クリーニング技術は重要な開発課題になる。

フラッシュメモリーの継続的なスケールリングは、短期的にはメモリーセル中の二つの重要な酸化膜の膜厚によるところが大きい。それはトンネル酸化膜とインターポリ絶縁膜で、いわば電荷のリテンションとエンデュランスの要求を保証するものである。トンネル酸化膜はリテンションを保証するために十分に厚くなければならないが、書き込み/消去を容易にするためには十分に薄くなければならない。インターポリ絶縁膜はリテンションを保証するためには十分に厚くなければならないが、カップリング比をほぼ一定に保つには十分に薄くなければならない。トンネル絶縁膜のスケールリングは良好なチャージリテンション特性(膜が厚い方がよい)と良い書き込み/消去特性(膜が薄い方がよい)を両立させなければならない。現在のインターポリ絶縁膜技術はオキシナイトライド積層膜によるもので、EOT を薄くするとチャージリテンション特性が許容できないほど悪くなるため、極端な薄膜化には適していないと思われる。したがって、この工程には high-k 材料を導入する必要があるだろう。新材料を別にすれば、フラッシュメモリー密度の実効的なスケールリングを続けるためには 3D NAND 技術が非常に重要であるが、それを開始するには、構造の安定性と全体的なプロセスインテグレーションが代表的な技術課題になる。

### 32、22 NM ハーフピッチ [LITHOGRAPHY]

32nm ハーフピッチは依然としてリソグラフィの解像の施策においては重要な転換点である。193nm の水液浸プロセスでは NA(numerical aperture)の制約があり、大きなピッチへ分割されない限りこのピッチを解像することはできない。一方、リソグラフィのコストはほぼ 2 倍になってしまう。ArF エキシマレーザを用いた水液浸リソグラフィの一桁短い波長である 13.5nm の EUVL(Extreme-UV リソグラフィ)は、ムーアの法則を進めるための最も有力な候補である。EUVL は 11nm ハーフピッチまでダブル露光は不要である。その結果、設計ルールへの制約は少なくなる。しかしながら、EUVL は高出力かつ高効率光源、高感度レジスト、無欠陥高平坦性マスクとそのインフラの開発が追いつかず、遅延している。この領域の開発は困難である。マルチビームマスクレスリソグラフィはマスクの課題を回避する可能性を持ち、設計ルールへの制約を無くし、製造のフレキシビリティを持たすことができるものの、開発の初期段階にある。2 台のプレ $\alpha$ 機が市場に出荷されている。これまでに高解像力と寸法制御が示されている。量産機の時期、コスト、欠陥、重ね合わせ精度、レジストではさらなる開発が行われている。

22nm ハーフピッチでのリソグラフィには、シングル露光の限界以下のため水液浸の 193nm スキャナを用いたスパーサー法またはマルチパターンリングが適用される見込みである。しかし、極めて大きなマスク・エラー・エンハンスメント・ファクタ(MEEF)とライン・エッジ・ラフネス(LER)と設計制約を伴う。パターンを形成する装置を 2 回以上通ることに頼るとコストは高くなるが上記問題のいくつかは緩和できる。32nm ハーフピッチに対する 0.25NA と同様の k1 値においては、EUV での NA は 0.36 以上に上げる必要がある。光学系のミラー枚数が増える可能性があるため、処理能力低下なく経済的であるためにはさらなる高出力光源が必要となる。マルチビーム電子線のマスクレスリソグラフィは開発されたものの、ビーム毎の高速描画速度、または同等の領域のより多くのピクセル数を維持するためにさらなる並行処理が必要となる。もし、フットプリントと同様に露光とプロセスコストがマスクを用いる露光装置と同等である可能性が示された場合、マスクレスリソグラフィはロジックとメモリに対して最も経済的で需要のある解決策となるだろう。

### マスク [LITHOGRAPHY]

マスク技術は非常に高価で困難になってきている。マスクコストは世代毎に高騰してきた。より高度な超解像手法(RET)の適用で解像力を向上させ、加えてより大きな MEEF になったことにより、マスク寸法均一性を要求に満たすことが困難になった。ダブル・マルチパターンリングではマスクパターン位置精度への要

求は厳しくなる。吸収膜にある程度の厚さが必要あることと偏光照明の導入と併せてマスクパターンサイズが限界解像以下になっていることにより、問題はさらに悪化している。EUV マスクでは、無欠陥で超平坦な基板とペリクル無しで露光を行うといったさらに厳しい要求がある。先端マスク検査は高価で時間がかかる。実用的な検査波長においては、検査感度は限界に達している。EUV 波長におけるマスク検査と検証は結局避けられない。それはさらなるコストや EUV マスクインフラの複雑性をより増大させることになる。

## レジスト [LITHOGRAPHY]

レジストの LER はほぼ同じ絶対値であるため、寸法に対しより大きな割合に達する。パターンの幾何学的な縮小により、ショットノイズは問題になり始める。現像後のレジストパターン倒れのため、その高さと幅のアスペクト比は 2.5 から 3 に制限される。従って、それぞれの技術世代の進歩によりレジストの絶対膜厚は薄くなる。液浸リソグラフィのレジスト材料開発では、レジスト起因の欠陥を確実に低減させることが必要であり、材料の選択の余地をより狭くしている。EUVL ではレジストのアウトガスは反射光学系表面のコンタミになる可能性がある。処理能力確保のためのレジスト高感度化とショットノイズ低減のためのレジスト低感度化と低 LER 化のトレードオフは、単なるレジストパターン倒れよりも多くの課題となっている。電子線レジストでも LER と同様に感度とショットノイズがトレードオフとなっている。感度への要求は EUVL ほど厳しくはない。

## CDと $L_{EFF}$ の制御 [FRONT END PROCESSES, LITHOGRAPHY AND PIDS]

ゲート長の急激な微細化に伴い、CD (Critical Dimension) 制御はリソグラフィーおよびドライエッチングプロセスにおける最も困難な課題の一つになっている。とりわけ、実効チャンネル長を制御するためにレジストスリミングとサイドウォール形状 (Profile) 制御が用いられているが、そのために CD 制御は更に難しくなっている。ゲート長に対して許容される  $3\sigma$  ばらつきは、リソグラフィプロセスとエッチングプロセス間で最適比に分配されるが、プロセス許容値はどちらのプロセスでも限界に近づいている。設計の規則性を助ける設計ルールに関する制限をより強めることが、短期のスケラブルな CD 制御を可能にする方法として主流になった。LER (Line Edge Roughness) もデバイスばらつきに影響する重要な要因になった。計測技術における精度と処理能力と同じように、LER の抑制は加工プロセス (エッチングとリソグラフィー) の重要な技術課題であり続ける。更に、新しいゲート材料や 3D トランジスタ構造を導入することになると、選択的エッチングプロセスやサイドウォール形状制御における異方性改善に関して、より多くの課題を解決する必要が生じることになる。

## 高導電率・低誘電率の要求を満たす新規材料の導入 [INTERCONNECT]

信号伝播の遅延と消費電力を最小化するために、生産現場ではハーフピッチ 130nm のロジックプロセスの M1 層のダマシプロセスで、高導電率金属・低誘電率絶縁膜材料が導入された。更なる低誘電率化は、ハーフピッチ 45nm まで進んでいる。このたゆまぬ微細化は技術開発と量産における課題をより難しくさせている。メタル・絶縁膜の新規材料の迅速な導入は、厳しくなっている。Low- $\kappa$  絶縁膜においては、通常の手法はホモジニアスの Low- $\kappa$  材料の導入である。エッチングや CMP プロセスによる  $\kappa$  値のダメージの低減は、ポーラス材料においてはますます重要になる。他の手法はエアギャップである。これは、より誘電率を低下させることのできる、より体積の大きなギャップを同じ Low- $\kappa$  膜を用いながら実現できる観点で魅力的である。エアギャップを含む種々のアプローチの中で、熱もしくは紫外線により劣化する犠牲層を用いる方法は、低コストプロセスのひとつである。さらに Low- $\kappa$  材料には、ダイシング、パッケージ、アッセンブリーに耐えうる十分な機械的強度が必要である。メタル材料においては、Cu/バリア、あるいは絶縁膜界面や粒界での電子散乱による狭小 Cu 配線での急速な抵抗率の上昇が大きな課題となっている。低抵抗・高信頼の実現のためには、Cu とインテグレーションが可能な極薄のコンフォーマルな低抵抗バリアメタルが要求される。

### 配線の量産技術への取り組み [INTERCONNECT]

導電材料と Low-k 材のインテグレーションは、材料、寸法、平面性及び電気的特性の要求を満たさねばならない。特にドライ及びウェットエッチング、アッシング、スパッタリングや研磨工程のようなダメージを引き起こす他のプロセスとの量産のインテグレーションにおいて、機械的な強度、ケミカル耐性、耐熱性、物理的特性を満たす Low-k 材料が必要である。欠陥、ばらつき、及びコストは量産プロセスを確立させるために検討が必須である。近年の配線技術では、従来の寸法の微細化と機能の多様化を伴う実効的な微細化の双方において、性能、パワー、信頼性の課題に取り組んでいる。寸法の微細化における材料からの取り組みでは性能を満たすことができないため、最近になって 3 次元配線(狭ピッチのシリコン貫通ビア = TSV, Through Si Via = を含む)や、エアギャップ、これまでにない信号伝播法、新たな設計や実装の手法、これまでにない物理や革新的な手法を用いた新探求配線などの新しい技術が提案されている。これらの革新的な技術を実現するためには、プロセスインテグレーション、CMOS との互換性、計測技術、予測可能なモデリング、及び配線/実装の構造設計のツールの最適化といった、新しい材料体系に挑むことになる。

### 消費電力の管理 [DESIGN]

コスト効率の良いチップパッケージからの放熱は、近い将来に改善が止まって横ばいになる。加えて、世代毎にトランジスタ数が 2 倍になるため、消費電力の管理は、すべての応用分野にわたって主要な問題である。消費電力の管理の課題は複数のレベル、特にシステム、設計、プロセス技術にまたがって取り組まれる必要がある。システムの動的な電力とリーク電力を含んだ回路技術としては、複数 Vdd、クロック分配の最適化、周波数のステップング、配線のアーキテクチャ、複数 Vt、ウェルのバイアス、ブロックのシャットダウンなどがある。これらの手法の実現にあたっての諸課題は、システム設計への要求として、消費電力最適化(プロセスばらつきに対応できる設計を含む)のための CAD ツールの継続的な改良に連なり、また、同時に新しいデバイスのアーキテクチャへのリークや性能要求に展開される。

### (160GHz までの)高周波用途のための回路要素とシステムのモデリング

非準静的(non-quasi-static)効果、基板ノイズ、高周波ノイズ、1/f ノイズ、温度、ストレスのレイアウト依存、そして、寄生結合などの正確で効果的なコンパクトモデリングは、とりわけ重要である。プロセスが固まる前に、ローカルばらつきとグローバルばらつきとを辻褄が合うように扱えるように、関連のある統計性を計算機で効率的に回路モデルに考慮することが必要である。デバイスと回路のコンカレントな最適化、プロセス/デバイス/回路シミュレーションを用いて、効率的に最適ブロック/回路レベル構築をサポートすることが必要である。III/V 素子、CMOS、高耐圧(HV)素子に関するコンパクトモデルが必要とされている。受動素子(たとえばバラクタ、インダクター、高密度インターコネクト容量、変圧素子、電送線)のコンパクトモデルが必要とされている。こうした RF 回路用コンパクトモデルのパラメータ抽出は、RF 測定を最小限にするものである事が望ましい。77GHz の車載レーダのような典型的な RF 応用は、100GHz 領域に近づいている。40GHz 応用でも、3 次の高調波歪の場合、120GHz までの高調波モデリングが必要であることを意味している。グローバルな影響のモデリングも重要である。例えば、クロストーク、基板帰還パス、基板カップリング、エレクトロマイグレーション(EM)、熱的效果などがそうした例である。こうした回路ブロックや、配線、ダイ、パッケージ間の相互作用を、異なったモデリングとシミュレーションレベルで相補い、おそらく、異なった技術を組み合わせることによって、SoC と SiP との異質なツールの統合化(heterogeneous integration)を支援するように、CAD ツールを、さらに進展させなければならない。

### ナノ構造のためのフロントエンド・プロセスのモデリング [MODELING AND SIMULATION]

先進的な USJ(Ultra Shallow Junction: 極めて浅い接合)構造はデバイス構造の継続的なスケールアップのために重要である。ミリ秒アニールや SPER(Solid-Phase Epitaxial Regrowth: 固相エピタキシャル再成長)により、ドレインエクステンション部を定義することは、in-situ ドーピングによるエピタキシャル層形成法とともに、接合深さの抑制、急峻な接合形成、活性化の促進のために広く使われることが期待されている。

ミリ秒アニールの非平衡な遷移過程において、点欠陥、拡がりを持った欠陥、ドーピングした不純物とそれに伴って共にドーピングされる不純物の時間発展と相互作用を捕らえるためには、より物理的なモデルが必要である。SPER プロセス中で結晶とアモルファスの成長境界面で結晶化がどのように進行し、また、欠陥が生成されるかを捕らえるためには、モデリング能力の拡張や開発が必要である。エピタキシャル成長プロセスの際に(in-situ)で形成された初期の不純物状態を的確にとらえるためには、新しいモデルが必要である。バルクの Si 基板の対して利用可能なプロセスモデルは、SiGe:C、Ge、SOI、エピ層、極薄の SOI を含む様々な Si ベースの基板に対して、適用可能となり、あるいは、そのためのモデルの拡張が必要となる。GaAs や InGaAs などの高移動度の化合物裁量についても同様である。起こりうる異方性、界面／表面の効果、内在的な歪の効果なども含めた付加的な要因の考慮も必要となる。分子種の利用、ビームラインを使わない注入、冷却または加熱した基板を使うなど、先進的な注入技術のモデリングが必要となる。SiGe:C のようなエピタキシャルプロセスは、複雑な構造を持った多チャネルデバイスに展開される。このため、形状、構造、欠陥生成を含んだエピタキシャル成長層のモデリングは、そのようなエピタキシャルプロセスの最適化のためには決定的に重要である。デバイスの移動度を増大させるためのストレスの広範囲にわたる使用は継続される。アニール中の塑性変形や欠陥発生によるストレス緩和のようなプロセス中の材料特性の変化を含むストレスのより正確なモデリングが必要になる。シミュレーションのモデルとパラメータの校正のために、計測技術の改良/USJ(2D/3D のドーピング)のリバースモデリング/十分な分解能のストレス計測に対する継続的な要求がある。デバイスは擬似 2D から大きく外れ、3 次元的な本性が発現すると予想される。このため、先進的 3 次元メッシュ、3D の計算の効率性と精度を向上させるための並列処理が必要となるだろう。バルク中や界面において、原子レベルから連続的なドーパントや欠陥までの階層的なモデリングが、ナノスケール構造に関連する効果の理解の助けとなる。High-k/メタルゲートは基本的な構成要素として期待されているため、High-k/メタルゲートの仕事関数、界面の原子論的構造とその移動度への影響、信頼性のモデリングは必要となろう。

## 低コスト生産 [COST-EFFECTIVE MANUFACTURING]

### 設計生産性と製造容易性 [DESIGN]

技術サイクルが進む毎に使えるトランジスタの数は倍になり、設計複雑度も同様に倍増する。プロセスの技術進化を追いかけつつ設計品質を保持するためには、設計インプリメンテーションの生産性を設計複雑度と同等のレベルまで改善しなければならない。設計生産性を向上し、設計の再利用を行うことはこれらの問題に対してキーとして考慮すべきことである。高位レベルのアブストラクション、プラットフォームベースの設計、マルチプロセッサのプログラマビリティ、検証、アナログとミックスシグナル回路の合成などが、プロセス技術サイクルの進展のペースに合わせて、設計生産性を進展させて行くための重要課題である。低コスト生産のためには製造容易化設計の分野の継続的な改良が要求される。特に、デバイスばらつきの性能と消費電力への感度を最小化する設計、リソグラフィにフレンドリな設計(設計ルールの制約の増加に整合した規則的なレイアウト設計のスタイル)、テスト容易化設計、信頼性保証設計などの要求度が高い。

### テストの複雑さ [TEST AND TEST EQUIPMENT]

次世代テスト技術の複雑さは、3D-IC のように 1 つのデバイスに異種(ダイ)の集積を行うような設計とプロセスの相互作用がさらに入り組んで、生産立ち上げのための歩留まり習熟の課題を課している。異種ダイ集積デバイスの特性は、レイアウト環境のみでなく、プロセス工程の集積と設計のモデリング機能に依存する。テストと製品故障解析における効果と効率性は、歩留り向上の鍵となろう。インテリジェントなテストデータマイニングは、デバイスのトレーサビリティ(各製造工程がますます重要になってきている)と製造を最適化するためにフィードバックされる。更なる改善の分野には、(1) 効果的な血管の位置指摘、(2) 温度効果の物理故障解析技術、(3) 精巧な DFM 解の異種混合デバイスの効果的な実施、等のための新たなテスト装置、テスト手法、および設計ソフトウェアが含まれる。

### 継続するテストのコスト低減 [TEST AND TEST EQUIPMENT]

ムーアの法則で予測される継続するコスト低減は、テストには普通当てはまらないかもしれない。ますます複雑となるデバイスへの新たなテスト要求は、継続的なコスト縮小のために高いレベルでのテスト並列化を可能として今日までのテストコストを維持してきた革新的な新たなテスト技術(たとえば、DFT,コンカレント試験、アダプティブテスト、BIST、自己試験、自己診断、自己修復、自己補正、自己補償)をドライブする。反対に、プローブカードを含むテストのツールコストは低減していないし、もしもこのままのトレンドが続くならば、総コストの大きな割合を占めると危惧される。新デバイスアーキテクチャあるいはその統合化の枠組みに対する習熟曲線の加速は、技術全体のコスト低減目標に同期させてテストコスト低減曲線を維持するために、重要である。生産コストの最適化は、出荷製品の総合品質を確保しつつ、設計、製造、歩留り習熟、およびテストのバランスを取らなければならない。動的なフローでのインテリジェントなテストデータマイニング、テストおよびシステム信頼性のソリューションの統合、デバイス設計工程におけるテストのインタフェースハードウェアと機器のシミュレーションおよびモデルの統合、これらはテストコスト低減のための新たな課題である。

### 急速に変化するビジネス要求への対応 [FACTORY INTEGRATION]

従来からの IDM(統合デバイス製造者)を中心としたデバイス製造のビジネスモデル以外に、ファブレス-ファンダリーモデル、ジョイントベンチャーモデル、様々な業務の分担モデルあるいは製造の外部委託が、顧客からの多様で、また変化の早い需要にこたえるために、半導体製造の業界内に広く浸透をしている。更に、漸進的ではない技術の導入、複雑な製品設計、多数のトランジスタの集積、プロセスの複雑さなどのような多様な顧客要求があるため、夫々が少量で多品種の製品製造への速やかな対応が、必須の要件となっている。これらの要件が、以下に示す技術分野で、短期要求に掲載されるべきチャレンジの項目となっている。すなわち、従来よりも多く台数と種類の装置とソフトウェアを工場で連携させて稼働させる、あるいは新しい工場の立ち上げ、または新世代のデバイスの立ち上げにあっては、工場全体システムの複雑な制御を支えるシステムの立ち上げ・稼働を速やかに行いつつ、製品の量産への立ち上げを短期間で実現する必要がある。

設計、マスク設計・制作、フロントエンドのプロセス、バックエンドのプロセス、テストング、パッケージングに至るまでの業務エリアで必要な、あるいは業務エリア間で必要な、情報の連携利用に掛かるプラットフォームの構築も、きわめて重要なチャレンジとなる。工場出力の最適制御、サイクルタイム改善、コスト縮減に対応した工場の製造能力と動態性能のモデル化は、多品種の混流製造オペレーションの成功に重要な要素である。

### 製造コストとサイクルタイムとのトレードオフ関係の改善 [FACTORY INTEGRATION]

サイクルタイムとコスト縮減のチャレンジに対応しての 300mm 工場の継続改善事項としては、装置のより改善された稼働率と生産性、工場をフレキシブルに運用しコントロールするための自動搬送とシステムの改善、少数毎ウェーハの製造とウェーハ毎のデータ収集、電力、水などや非製品ウェーハ(NPW)消費量の削減・省略が挙げられる。300mm から 450mm ウェーハによる製造技術の導入は 2014 から 2016 時期での、重要な技術的な節目である。450mm 移行は、コスト 30%とサイクルタイム 50%の同時改善実現に重要な技術であると考えられている。

### コストと機能への要求が変動するマーケットへの対応 [ASSEMBLY AND PACKAGING]

パッケージング技術の解決すべきテーマとして、三次元チップ積層に付随した課題が挙げられる。

- 協調設計と設計環境

3次元 ICに必要なことは、性能やコスト、リードタイムを維持した上で、従来からあったパッケージ設計の手順やツールおよび環境から、システムレベルの設計アプローチ(チップ・パッケージ・システムの協調設計)に進化することである。最近の複雑化してきた課題の例を挙げると

- ・ 多機能なチップとパッケージへの入出力設計と、それらの相互作用の理解
- ・ 桁違いに増加した設計データの処理
- ・ ICやパッケージの手直しに伴う設計工程の増加
- ・ システムレベルの電気特性や放熱特性、熱応力モデリングに加えて、チップの IO 設計、システムレベルの信頼性、製造性の検証のインテグレーションへの強いニーズが信頼性を高めている。
- ・ 新たな、より強力なパッケージ設計ツールのオペレーションの習熟曲線
- ・ コストアップと製品化速度アップのトレードオフ

これら以外の3次元 ICへの課題は

- 材料: サブストレート、インターポーザ、low k 同等材料、受動素子内蔵、アンダーフィル材料
- プロセス: 積層、ボンディング (CoC/CoW/WoW)、ウェハ薄化、薄ウェハのハンドリング、TSV、リワーク、セルフアセンブリ
- テスト: プロービング方法、コスト、KGD

### チップに混載不可能な部品のインテグレーションへの提案 [RADIO FREQUENCY AND ANALOG/MIXED-SIGNAL TECHNOLOGIES, ASSEMBLY AND PACKAGING]

SiP 技術は、多様なアプリケーションやシステム要求に対応するために開発された技術であり、激しい変化の中で急成長している無線携帯電子機器のマーケットに適している。SiP 技術を整理統合して、汎用の設計環境を構築することはますます重要になってきた。MEMS など Q 値の高い RF デバイスは、通常チップ上に混載できず、受動集積デバイス(IPD)として別途製造する必要がある。同一チップ上に混載できない部品をインテグレーションする方法の代表として、3次元積層と部品内蔵基板がある。個別単体部品を基板上に実装する代わりに、基板内に受動素子を形成するためには、しばしばキャパシタ用の高誘電率材料、抵抗用の高抵抗薄膜やペースト、インダクタ用の高透磁率( $\mu$ )材料など新たな材料を導入する必要がある。これら様々な受動素子内蔵の工程を簡略化することは、コスト低減に大切である。デバイスのテストや調整にも大きな課題が残っており、特にパッケージングした後や組立てプロセス中で重要である。工程中の公差、回路、そしてテスト中の浮遊インピーダンスからなる高精度モデルは、内蔵部品からなる回路性能を設計段階でシミュレーションできるので、設計者に必須である。内蔵受動部品の実装設計に必要な CAD ツールが欠落していることも課題の一つである。

### 化学物質と材料に関するアセスメント (評価) [ESH]

新規化学物質、新材料、および新プロセスの短時間で導入する際、人の健康、安全、および環境への新たな有害影響を引き起こさずに製造過程で新規化学物質と新材料を利用できるのを保証するために新しく迅速に評価できる方法を必要としている。これらのアセスメントは、ESH 影響の評価と定量化に応えることが求められているが、現在、焦点はプロセス実現を促進させるところにある。そのようなものとして、地球温暖化の潜在能力(GWP)を有するとして分類された化学物質を使用する工程からの排出、無鉛のパッケージへの完全な変更、生体への毒性、などを含む短期的課題、および ESH の要件に適合する間にも、技術障害を乗り越えるために不可欠な新素材/新規化学物質のしっかりとした、迅速なアセスメントの必要性があります。

### 資源の節約 [ESH]

半導体産業が成長し、その技術が微細化や大口径化に向かって前進して行くにつれて、自然の成り行きとして水、エネルギー、化学物質、そして材料の使用量が増加していくことになります。資源の節約は、主に使用効率、コスト削減、製造場所、維持可能性、そして廃棄物処理に関して主要な関心事になっています。したがって、効率的に資源を活用できるさまざまなプロセス装置を開発することが必要です。ファシリティー設備とプロセス装置における化学物質、材料利用有効利用、およびエネルギーとウェーハ消費削減に対する継続した改善はクリーンルームの熱管理と同じように必要とされています。450mm ウェーハ対応のプロセス装置の開発はブレイクスルー実現のための機会であり、また、必須でもある。

### 複数のキラー欠陥の検出と SN 比 [YIELD ENHANCEMENT]

近年、技術サイクルの要求する特徴的なサイズの微細化と同じ、もしくはそれを超えるような速さで、検査装置で検出できる欠陥サイズの微細化が期待されている。これに伴い、膨大な数の問題の無い欠陥もしくは擬似欠陥の中から興味のある欠陥 (DOI) を効率よく経済的に識別しなければならないという課題が持ち上がっている。欠陥の識別における SN 比の向上にとって検出ユニットと試料のバックグラウンドノイズの低減は、重要な課題である。

増加し続けているアスペクト比や配線構造の複雑化への対応も、継続しての重要な課題であり、検査装置開発が必要である。

### レイアウト様式とシステムチック歩留まり低下: 高スループット論理診断能力 [YIELD ENHANCEMENT]

ランダムロジックの部分はリソプロセスウィンドウを横切るパターンの余裕のなさのようなシステムチックな歩留まり低下に非常に敏感である。ランダム欠陥が歩留まりを規定するようになるまでは、製品に組み入れられた、そしてテストフローにシステムチックに組み入れられた論理診断能力によってシステムチック歩留まり低下は効率的に検出、対策すべきである。異なる自動テストパターン生成 (ATPG) の適応、論理診断に変換するのに必要な多量のテストベクトル記録がテスト時間の増加をもたらす自動テスト装置 (ATE)、ダイ毎の論理診断時間、レイアウトに対応するシステムチック歩留まりモデルを構築するための診断結果の統計的収集といった潜在的な問題点もある。

### ウェーハエッジ、ベベル管理と欠陥検出 [YIELD ENHANCEMENT]

ウェーハエッジ、ベベル周りの欠陥、プロセス不具合が歩留まりに問題を引き起こすことが知られている。ウェーハエッジ、ベベル欠陥検査装置の検出感度、スループット、経済性 (CoO) の開発と弛まぬ改善が先端デバイスの歩留まり向上において重要性を増している。

### 工場および会社規模での計測統合 [METROLOGY]

CoO を基本においたプロセス制御を行うためには、計測方法あるいは、相補的な計測方法の組み合わせを注意深く選択する必要があると同時に、計測のサンプリングに関しても統計的に最適化をしなければならない。一方、その場のインライン計測は、プロセス制御を厳密に行うことや、スループット面でも必須になりつつある。APC や FDC、あるいは、他のシステムと連携して、全ての計測 (すなわち、オンライン計測やオフライン計測) からの情報は、データベースに統合され、プロセス制御パラメータを決定したり、計測情報と歩留まりの相関取りを行い、歩留まりを改善するために活用される。このような効率的でシームレスな情報統合を実現するには、プロセスコントローラー、インターフェース、データ管理、そしてデータベース構造に関する標準規格が必要である。センサーに関しては、校正、検出方法、データ処理を含め継続的に改善することが強い要望として上がっている。今後必要とされる新たなセンサーの開発においては、先進のプロセスモジュール開発と同時に、そして、かつてない開発スピードで行わなければならない。

### 複雑な積層材料、界面特性、構造の計測 [METROLOGY]

メタルゲート、high-k ゲートの積層構造、高度な歪技術によって移動度を高める技術は、先進的な配線技術、low-k 誘電体構造同様に、最小寸法（膜厚、形状寸法、ラインエッジラフネス等々）、材料の物理特性（例えば、歪）や界面の物性（例えば、仕事関数、界面状態等々）を含む物理的、電気的特性の観点から、新規あるいは、継続的な計測手法の改善や標準試料を必要とする。FEP と BEP の積層膜構造の計測においては、通常大きな領域のテスト構造を用いて計測するために、その領域の物理的、電気特性の平均的な挙動を与えることになる。それゆえに、所望の寸法近傍の積層構造を特長づける新しい計測技術が近い将来必要となる。

### クリティカル計測における考慮—“精密さ”と“不確かさ” [METROLOGY]

ロードマップ中の計測の値を比較する際に留意しなければならないことが幾つかある。比較することの有効性は、比較を如何に正確に行うかに強く依存している。従来 ITRS における“精密さ”(precision)は、単一計測装置の“経時変動を含んだ計測再現精度”(reproducibility)として解釈されていた。“精密さ”(precision)という言葉は“不確かさ”(uncertainty)という広義の言葉で最もよく理解される。計測誤差は時間変動(reproducibility)、計測装置間マッチング(tool-to-tool matching)、サンプリングによるバイアスの変動(sample to sample bias variation)の影響が複雑に反映されている。計測の“不確かさ”(uncertainty)は、このように、計測間、計測装置間、サンプル間の要因によって発生するバイアスの変動の総和(分散としての総和)として定義される。

### リソグラフィーの計測 [METROLOGY]

リソグラフィーの計測はパターン形成技術の急速な進歩に絶えず対応しなければならないという課題を抱えている。トランジスタのゲート長のバラツキを適切に制御するために、まず、マスクの品質を計測することから始まった。大きな値のマスクエラーファクター(MEF)をリソグラフィーで使用する場合は、マスクの製造段階で厳しいプロセス制御が必要である。したがって、より正確で精密な計測の開発が必要である。マスクの計測は、光の位相が正確に投影されることを計測することも含んでいる。ウェーハ上における最小線幅と重ね合わせの計測も次第に困難になってきている。プロセス制御と製品の特性に対する計測の必要性は“精密さ”、相対的な“正確さ”、そして計測機マッチングの進歩を加速し続ける原動力になっている。将来の技術世代に対応した計測を具現化するためには、CD や重ね合わせに対する研究開発の加速は必要不可欠である。これらすべての課題にあたっては、もう一つの重要な計測の課題である計測能力の評価方法についても改善させなければならない。

## 長期予測 IN THE LONG TERM (2019 THROUGH 2026)

### 性能向上 [ENHANCING PERFORMANCE]

#### リーク電力の管理 [DESIGN]

消費電力は緊急の課題である一方、長期的にはリーク電流や待機時電流の要素が業界の主要な難題となっている。かつてバイポーラ技術がこのリーク電流ゆえに数十年前に整理されたように、CMOS 技術の生き残りが脅かされている。リーク電力は、ゲート長、酸化膜厚、しきい値電圧など、キーとなるプロセスパラメータにより指数関数的に変化し、スケーリングとばらつき両方の観点から厳しい課題を提示している。低電力デバイスでのオフ電流はテクノロジーサイクル毎に 10%の割合で増加しており、ドレインとゲートの両方のリーク電流が多くなっていく。それゆえ、設計技術は待機時電流を一定に保つか、少なくとも制御できるような貢献をしなくてはならない。

### 非古典的な CMOS チャンネル材料の導入 [PROCESS INTEGRATION, DEVICES, AND STRUCTURES AND EMERGING RESEARCH DEVICES]

極めて微細化した MOSFET に対して、十分な駆動電流を得るためには、擬バリスティック動作で高い熱速度とソース端における高い注入が必要だと考えられる。最終的には、III-V あるいはゲルマニウムのような高い輸送特性をもったチャンネル材料による、シリコン上の薄いチャンネルや半導体ナノワイヤ、カーボンナノチューブ、グラフェンなどが必要になるかもしれない。非古典 CMOS デバイスは CMOS プラットフォーム上に物理的かつ機能的に集積される必要がある。このような集積化には、シリコン上に他の半導体をエピタキシャル成長することが求められ、非常に挑戦的な課題となっている。求められる材料/デバイス特性は、高温あるいは腐食性の化学プロセスを経た後にも、保持されなければならない。信頼性の課題は、技術開発の初期段階において、特定され取り組まれなければならない。

### 新メモリ構造の同定、選択、適用 [PROCESS INTEGRATION, DEVICES, AND STRUCTURES]

高密度、高速、低電圧動作の不揮発性メモリが強く望まれるようになってきており、超高密度のスケーリング技術として、許容範囲の歩留まりと性能を有する、何層にも積み重ねられた縦型積層セルアレイといった三次元構造が必要とされている。DRAM のスケーリングも困難になってくると予想される。特に、酸化膜換算膜厚 EOT のスケーリングや超低リーク、電力低減の実現が難しくなっている。全ての不揮発性メモリは、材質の限界に直面しており、不揮発性メモリの成功は、用いる材料の改善や新規材料の開発、或いは、エマージングデバイスの発展に掛かっている。

### RF AND AMS CMOS の将来の課題 [RADIO FREQUENCY AND ANALOG/MIXED-SIGNAL TECHNOLOGIES]

無線周波数帯とアナログ・ミックスドシグナル(以下 RF and AMS (Analog/Mixed-Signal)) CMOS 技術では、マイクロ波応用には Process Integration, Devices, and Structures (PIDS)の章の Low Standby Power (LSTP)ロードマップを、またミリ波応用には High performance (HP)ロードマップを基本として用いている。HP と LSTP のロードマップを反映して、デバイス構造の基本的な変化として、マルチゲートや完全空乏型 SOI が、持続的な性能向上や密度向上のために必要になるものと予測している。これらの電気的な特性は、従来の CMOS のものと基本的に異なっている。期待できる有利な点としては、より高い電圧ゲインや、より低いドレイン-基板間のカップリングなどがある。しかし、これらの違いが、電源電圧の定常的な低下につれて、重要な回路設計上の課題を引き起こし、現行の設計ライブラリを劇的に変化させることになるかもしれない。そこで、スケーリングした CMOS デバイスと、従来の精密なアナログや RF のドライバーを並べて集積するには、別の製造工程が必要になるかもしれない。今でも、system-on-chip (SOC)の応用開発を推し進めているのは、任意のアナログや高圧デバイスを混載することを促進し、これによって、たとえ付加のためのコストが上昇しても、使えるデバイスの選択肢を拡げることができるからである。

### RF AND AMS 素子のための性能指数 [RADIO FREQUENCY AND ANALOG/MIXED-SIGNAL TECHNOLOGIES]

今回の 2011 年版 RF and AMS の章では、性能指数(FoM: Figure of Merit)を、それぞれ、RF and AMS CMOS, シリコンバイポーラ及び BiCMOS, III-V 族化合物半導体デバイス、オンチップ受動素子および高圧 MOS について示した。デバイスが高性能化し、寄生抵抗や容量が小さくなってきているため、高周波測定から信頼できる性能指数を抽出することが困難になってきている。そのため、信頼できる測定限界である 20 fF 以上の容量を持つように測定トランジスタをレイアウトすることが望まれている。測定法、de-embedded (剥離法)やパラメータの抽出法が、RF の性能指数では重要な意味を持っている。コンパクトモデルに求められる厳密性を確保するため、幾つかの複雑な方式が提案されている。しかし、多くの会社では、特に高速の有線通信デバイスでは、デバイスの最大遮断周波数を測定とモニターするという、似たような古典的な方法を用いている。さらに、自己共振周波数(SNR/Fmax)は、特に低ノイズアンプ(LNA)のような無線通信デバイスにとって、非常に重要なデバイスパラメータである。しかし、Fmax は電源線や接地線

を含めたレイアウトパターンに強く依存している。そのため、性能指数を議論するには、洗練され共通化した評価法が必要になってくるだろう。

### 通常の手法にとられない方法を用いた伝統的な微細化から実効的な微細化と機能の多様化への移行 [INTERCONNECT]

ラインエッジラフネスやトレンチの深さや形状、ビア側壁のラフネス、エッチシフト、洗浄による膜減り、CMPの影響、ビア側壁に位置するポーラス Low-k 膜のボイド、バリアのラフネス、Cu 表面のラフネスは全て、不運にも Cu 配線での電子散乱に影響し、抵抗の増大を引き起こす。多層配線は、新材料の導入、微細化、パタン依存プロセス、代替メモリ、光・RF 通信と相俟って、課題解決は耐えない。エッチング、クリーニング、高アスペクト構造の埋め込み、とりわけ Low-k のデュアルダマシンプ線構造やナノスケールでの DRAM でもまた、大きな課題である。新たな構造を作るための材料とプロセスの組合せは、インテグレーションの複雑化を産み出す。配線総数の増加は、熱機械効果を劣化させる。新規の能動素子は配線層内に取り込まれる。3次元のチップ積層は、より強固な機能の多様化をもたらすことにより、従来の配線の微細化での困難さを回避する。コスト目標に見合った量産化技術の解も一つの課題である。

### レジスト材料 [LITHOGRAPHY]

2 酸拡散長に起因し 22nm ハーフピッチ以降に化学増幅レジストの感度の限界が来る。デバイスの積極的な微細化にともない、すべてのリソグラフィ解決策に対して 2018 年にはライン幅のラフネス(LWR)は 1.3nm 以下に、要求されるゲート寸法制御は  $3\sigma$  で 1.3nm にまで小さくなった。(シリコン格子間距離は 0.235nm であることに注意。) 寸法改善、LWR 制御、10nm 以下で低欠陥密度である新しいレジスト材料が必要である。PFAS 化合物の代替物から構成されるレジストと反射防止膜の材料は、将来の ESH の懸念になると予想される。

### CMOS とメモリデバイスにおける新構造への移行 [FRONT END PROCESSES]

CMOS およびメモリデバイスにおいてスケールングトレンドを維持していくには、いくつかのシナリオが存在する。新しい材料、新しいデバイス構造、あるいは 3 次元化によってスケールング(等価スケールング)が進むと予測されている。それらのなかで、CMOS の基本的な構造を変えることは非常に挑戦的で、例えばチャンネル材料やマルチゲート構造をの場合だと新しいプロセスも同時に開発する必要がある。これらのプロセス技術には、スターティングマテリアル、表面処理、リソグラフィー、パターン加工、そしてゲートスタックが含まれ、ゲートスタック技術はブースター技術、ドーピング、計測技術、均一性、信頼性も必要とする。一旦そのような新構造を選択すると後戻りはできない。プロセス統合や製造の観点で関連する ITWG 間の協力と議論が必要である。メモリ領域では、電荷を用いたデバイスがばらつきやクロストークなどの物理限界に直面している。コストと性能の面でこれまでのスケールングトレンドを維持するには、新しい記憶メカニズムを用いるとか経済的な 3D プロセス統合を実現するなど、革新的な技術が必要になるだろう。

### 非破壊の製造工程ウェーハ、およびマスク計測 [METROLOGY]

3 次元構造の寸法計測や欠陥検査をするために、非破壊(界面の帯電や汚染が無い)で高分解能のウェーハ/マスク工程の顕微鏡検査が必要である。CD 計測精度を向上させるためには、物理形状と計測装置内で分析された検出波形の関係を理解する必要がある。界面の帯電や汚染は、センサーや検出方法も同様に改善が必要である。新たな収差補正機能を有した光学設計が高分解能やスループットにとって必要である。高分解能光学系、検出波形の分析技術、試料の非帯電技術の組み合わせによって、ダマシンプ線プロセスにおけるサイドウォール形状やトレンチ形状を含む 3 次元構造の CD 計測や欠陥検査が可能となる。同時に、CD 計測機器は、信頼性のある安定した計測を行うために、標準材料や標準構造を用いて校正されなければならない。

### 三次元大規模化における電源設計とワイドバンド設計 [ASSEMBLY AND PACKAGING]

三次元大規模化が限りなく続く現在、電源供給設計と放熱設計が更なるシステムインテグレーションの鍵となる。デジタル電子機器の伝送をよりワイドバンドにするためには、協調設計や損失の低い絶縁材料、そしてパッケージレベルにおける光信号の導入が必要となる。フリップチップのはんだボールを、微細ピッチで短い Cu ポストに置き換えることや、チップへの脆弱な low k 層の導入は、チップとパッケージ間に重大な干渉を課す。多数の企業間でシステム設計工程や製造工程を分けて分担することは、高度なシステムの性能や信頼性、コストバランスの最適化を困難にしている。

### 材料技術 [EMERGING RESEARCH MATERIALS]

材料技術には多くの挑戦的課題が残されている。それらは、目的達成のために制御された特性を示す材料を見出し、優先順位を付け、そして課題解決方針を提示するところにある。そして、それらの材料特性は「プロセス・インテグレーション、デバイス、構造(PIDS)」「フロントエンドプロセス(FEP)」に対して、実践的な研究開発を遅滞なく実施することが出来るほど十分に定義されていなければならない。さらに、これらの特性は、長期的ロードマッピング、そしてその先にあるナノメートルスケールでの高密度新探求デバイスの動作に対しても示唆を与えるものでなければならない。高密度デバイスの開発に向けて材料特性を制御するためには、材料合成の研究が推進されなければならない。そして、メトロロジやモデリング技術の更なる改善に向けた研究開発との融合が必要となる。集積化されたデバイスの更なる高度化に向けて、実際のデバイスにおいて材料特性を評価する計測法の開発要求がますます高くなってきている。また、デバイス特性を予測する、より正確なマルチスケールシミュレーション技術が求められる。さらに、新規材料のライフサイクルアセスメントとリスク管理が、企業の持続的発展とビジネス判断に対して、より本質的な重みを持つものとなるであろう。

### デバイス技術[EMERGING RESEARCH DEVICES]

新探求デバイスにとっての長期的な課題は、メモリ技術に関するもの、情報処理あるいはロジックデバイスに関するもの、多様な機能をもったコンポーネントの異種集積化に関するもの、に分けることができる。現存するメモリの最高の特性を併せ持つ新しいメモリ技術が、CMOS プロセスフローと互換性のある作製技術で実現することが求められている。新しいシステムアーキテクチャと互換性のある、新しい作製可能な”beyond-CMOS”情報処理技術が求められている。電荷とは異なる新しい情報担体(状態変数)の実現が望まれる。2値でない(non-binary)データ表記や非ブールロジックが求められる可能性がある。

### コンベンショナル CMOS 後の製造技術の不確定事項 [FACTORY INTEGRATION]

コンベンショナル CMOS 後の製造技術が定まらないために、今後工場技術と、工場設計に大きなインパクトを与える可能性がある。次世代の工場のデザインについては新しいデバイスの開発時期と導入時期、そのプロセス技術の継続性が不明であるために、幅広く工場ニーズを捉えたフレキシブルな工場設計をする必要がある。このような将来工場とは、製造技術の大きな転換に際して、新しいデバイスの開発当初から、量産のフェーズに至るまで要求される工場機能を遅滞無くフレキシブルに、またリスク無く提供するものである必要がある。同時に年毎の 0.7 倍のトランジスター面積の微細化を目標とするダイサイズとコストに合致しながら達成する必要がある。これは数え上げ、想像するだけでも、工業的にも、工場リソースの実装にとっても非常に大きなチャレンジである。

### 低コスト生産 [COST-EFFECTIVE MANUFACTURING]

#### 新材料に関する化学的、熱機械的、電気的な特性のモデリング [MODELING AND SIMULATION]

技術開発においては、ますます、新材料導入が必要となってきた。物理的限界のため、新材料が無ければ、更なる微細化が困難なためである。新材料の導入は、特に、ゲートの積層、配線構造、フォトレジス

ト、さらには、新探究デバイス(ERD と ERM の章を参照されたい)において必要とされる。結局、装置、プロセス、デバイス、回路のモデルはこれらの新材料を含むように拡張されなければならない。特に、実験の手間を削減し、半経験的計算にに必要なデータベースに寄与するためには、材料科学の計算ツールを開発し、それを新材料の評価と選択に貢献できるように応用することが必要である。さらに、モデリングは、斬新な材料とデバイスの評価を可能とするため、測定手法の開発を助けるものでないといけない。

### インラインでの欠陥の特徴付けと解析 [YIELD ENHANCEMENT]

より小さな欠陥サイズと形状の上での特徴付けの必要性に基づき、光学的システムとエネルギー分散型 X 線分光器システムの選択肢はパターンサイズより小さな欠陥のための高いスループットでのインラインの特徴付けと解析を要求される。解析されるデータ量は劇的に増加しており、それゆえにデータの解釈と質を保証するための新しい方法が要求されている。

### コストコントロールと投資回収 [LITHOGRAPHY]

2nm ハーフピッチ以降にリソグラフィを拡張するためには、EUVL のような新しいリソグラフィ、またはマルチパターンングのような新手法、またはそれら両方の組み合わせを導入することが必要となる。現状 32nm フラッシュのコンタクト無しのポリと 45nm DRAM のコンタクト有りの M1 ハーフピッチの技術サイクルを目標とするこれらすべての手法は、シングル露光の液浸リソグラフィプロセスに大きな変化をもたらす。スパーサーダブルパターンングは 32nm と 22nm のフラッシュメモリに使用されている。従って、露光関係コストと処理能力の比率の維持または改善を達成するのは不可解なジレンマかも知れない。マスク使用量が多い場合には、マスクコストはリソグラフィコストの重要な要素である。そのためコスト効率のよいポスト光マスクの開発が必要である。コスト効率のよいリソグラフィシステムは、今後の 450mm ウェハ世代の製造にも望まれている。

### 歩留り習熟のためのテスト [TEST AND TEST EQUIPMENT]

増加するデバイス機能の多様化は、テストの開発と同様に歩留まり習熟のためのテストもそれに対応して複雑化させる結果となった。光波長を大きく下回る加工寸法(そして欠陥サイズ)の急激な縮小、故障解析時間の急速な増加、故障解析効果の低下、そして他の物理的技術(パイカ、レーザプローブ)の実用上の物理的限界への接近に伴い、業界は半導体ビジネスの戦略的な転換点に到達しようとしている。結果、故障位置指摘の特異性に関してダイ上の計測と故障診断ソフトウェアツールを改善するとともに、ダイ上の回路(DFT 回路など)を製品間に跨りまた製品を通して広く用いることによって、歩留り習熟速度をより強化する必要がある。過去においては、メモリ配列上の故障ビットや論理回路上の故障ゲートを指摘すれば十分だったかもしれないが、将来は少なくとも故障トランジスタまたは故障の配線を電氣的に指摘可能とするよう実ビジネス上の必要性がある。さもないと、半導体業界は新プロセス技術における歩留り改善速度の低下という経済的な結末を味わうことになる。

### 続性と製品の管理 [ESH]

ビジネス上考慮すべき事項、更には、持続性評価基準(費用対効果がよくてタイムリーな方法で)は、製品管理のために必要である。そのうえ、環境、安全と健康のための設計(DFESH)は、管理者の意思決定と同様に付帯設備、生産設備、製品の設計のための肝要な部分にならなければならない。環境にやさしい、付帯設備、製造設備、工業製品の寿命期、再利用、再資源化、回収は、ますます、ビジネスと ESH 両面のニーズを満たすために重要となる。

### コスト効果を持つ先端ファブの持つべきフレキシビリティとスケラビリティへの適合 [FACTORY INTEGRATION]

変動の激しい市況のもとで、製造過程でのタスクシェアリングあるいは製造の外部委託を利用しながらも、生産を合理的に執行できる量の製品で常に工場を満たすように操業する能力が、製造利益を維持するた

#### 40 主要な技術課題 Grand Challenges

めに必要な能力である。製造が依頼された製品も含めて、高信頼性製品について如何に体系化された製造品質管理の可視化を顧客に提供するかも、チャレンジ事項である。300mm 工場の大型化のニーズ(40K–50K WSPM)のためには、建物、製造装置、補機、工場の情報制御システムの数世代に渡っての再利用が重要となる。タスク分担の実現は業界のデータ標準化や、業務可視化の方法の標準化に大きく依存する。

# 2011 新規事項—ワーキンググループ要約 (WHAT IS NEW FOR 2011—THE WORKING GROUP SUMMARIES)

---

## システム・ドライバおよびデザイン

TRS2011 のシステム・ドライバ章およびデザイン章では、以下の主要なメッセージとアップデートが含まれている。

短期予測(2016 まで)の主要な技術課題としては、(1)消費電力の管理、(2)設計生産性と製造容易性を引き続き提示した。市場経済のスケーリングが新しい電子機器の市場への低リスクで、かつさらに短い製品ライフサイクルでの投入が出来るかどうかに根本的に依存しているので、設計生産性は設計技術ロードマップの中での中心的な課題で有り続けている。プロセスばらつきや回路の信頼性の観点からは、最新の CMOS の技術ノードでは、設計生産性は製造容易性の改善要求とは全く不可分の関係にある。同時に、消費電力は、半導体の実現可能なスケーリングを制御するための支配的な技術指標となった。実際、デバイスのロードマップは消費電力ドリブンであり、また動作周波数はいくつかの市場領域では平坦化された。消費電力の管理は、今や電子機器の中心的な課題・懸案であり、新しい低消費電力ロードマップが ITRS2011 のデザイン章に掲載されている。更には、モアザンムーアが半導体製品のスケールリングでの必要な部品として継続している。最終的には、異種混交的なシステムや製品ドライバ、例えば RF やアナログ、ミックスドシグナルのブロックなどが ITRS のロードマップで注目を集めている。

長期予測(2017 年以降)での主要な技術課題として、新たに(1)コンカレント・ソフトウェアの設計、と(2)信頼性と弾力性のある設計 を提示した。システム・オン・チップの時代においては、ハードウェアとソフトウェアの構成要素物は等しく重要である。このことは、設計コストモデルと将来の設計生産性および低消費電力設計技術改良の記載から読み取れる。スケールリングのロードマップにより、さらに加工寸法やピッチが微細化され、さらにチップあたりの機能が増大するのにもなって、ばらつきや欠陥のメカニズムに対応した弾力性のあるシステムが最重要課題となるだろう。

デザイン章およびシステム・ドライバ章の ITRS2011 の詳細、および ITRS2012 の更新に向けての計画を以下に記載する。

### ・デザイン章

ITRS2011 では、初めて低消費電力技術ロードマップを提示したことに加えて、論理、回路、物理 (L/C/P)における 3D/TSV 設計の可能化、製造容易化設計へ SRAM を追加し、弾力性のある製造容易化設計、さらにはテスト設計、設計検証、L/C/P に多くの更新・追加を行った。

ITRS2012 に向けては、モア・ザン・ムーアの設計技術ロードマップを新規追加することを計画してる。

### ・システム・ドライバ章

ITRS2011 では、MPU 周波数ロードマップの更新が継続され、また、AMS/RF、混載メモリ・ドライバが更新され、更には SOC-CP および SOC-CS のモデルが更新された。注目すべき将来の更新計画としては、モア・ザン・ムーアのロードマップの一部となる AMS/RF サブドライバ(SOC や System-in-Package への適用を含む)の新規追加がある。

## 42 2011 新規事項—ワーキンググループ要約(What is New for 2011—the Working Group Summaries)

他の ITRS 技術ワーキンググループとの相互連携に関しては、2011 の設計 ITWG は、デバイスの CV/I 上昇の減速、論理デバイスの全体的なロードマップに関わる消費電力ロードマップ、3D 実装に関する設計への多用な影響や要求、アセンブリとパッケージング、配線、テストおよびフロントエンド・プロセス技術に注力した。他のワーキンググループとの共同作業で得られた成果は、デザイン章とシステム・ドライバ章に反映されている。更に、2010 ACM/IEEE/EDA Dsign Automation Conference での第2回 ITRS-driven EDA Roadmap Workshop、および 2011 IEEE CANDE Workshop からのインプットが具体的に組み込まれつつある。

2011 年版の要約:消費電力が設計ロードマップの中心課題であり、今後 10 年間にわたって主要な課題の一つであり続けるが、一方で、モア・ザン・ムーアの設計技術や、コンカレント・ソフトウェアや、信頼性と弾力性のある設計が来るべき将来の課題となるであろう。

## TEST AND TEST EQUIPMENT

### 2011 テストロードマップ

2011 年度版のテストロードマップは、多くのトレンド変化に対していくつか重要な変更を含んでいる。さらに、2011 年の章には、3D/TSV の試験についてデザインと試験についての考察を扱う新しいセクションを含んでいる。テストコストのセクションは、テストコスト調査の結果を元にアップデートされた。SOC/DFT と Logic のセクションは多くの種類の DFT の効果とシナジーを改善するために改版された。

### デバイストrend

重要なデバイスドライバの変化を特定することは、テストロードマップを改定するよりも重要である。Fault tolerant デバイスとアーキテクチャが 2011 年のドライバとして追加された。もしも、部品あるいはシステム自身がエラーを修正あるいは適応出来たとするとエラーはテストや欠陥モニタリング工程から隠されることになり、製造工程の品質の理解を失うことになるかもしれない。

### テストコスト

テストコスト章は、2011 年の産業界で行われた詳細なコストドライバに対する調査結果を共有する。テストコストは、これまで同様にテストの世界において増加している懸念である。これらのテストコストの増大に対して数々の努力がなされてきた一方で、現実には増加する複雑性がテストコスト増大のドライバとなっている。テスト効率の向上が、近未来のテストコストドライバに追加された。

### 3D/TSV & DFT

3D デバイス(TSV による積層ダイ及び SiP デバイス)の登場によりテストの世界における挑戦は新しいレベルへと登った。将来的には、複数のテクノロジーと供給者からのチップを含む環境下での特定の機能を効率的に並列で試験出来るようなテストアプローチが求められるだろう。

Logic と SoC 章のセクションとテーブルは、共通の DFT 主題をより反映させるために見直された。これらの多種のテストデータメソッドより、製品を設計する段階での確なデータ圧縮週報を選ぶことでテストデータ量、テストコスト及びテスト時間を本質的に削減可能であることを示している。

### アダプティブテスト

アダプティブテストは、2009 年のロードマップに追加され 2011 年度版で本質的に改版された。リアルタイムでの前工程の製造情報を用いることで製品の歩留まりを向上させテストコスト削減が可能だが、各工程での信頼性要求やテスト情報の追跡システムの複雑さが追加される。これらの追加されるリソースは直感的には全体の製造コストを増大させるように見えるが、実際の使用においては余分なテストを削減できることから、全体のコスト削減を達成している。

### 2012 年に向けて

このように変化が激しい環境において、将来のロードマップに影響するだろう多くの分野がある。3D デバイスは、現在幼年期状態であり今後、製造とアーキテクチャの課題が明確になるにつれてロードマップに影響を与えるだろう学習曲線に乗っていくであろうと期待される。アナログと RF は、継続して進化していき、それらは新しいテスト手法及びアナログ DFT の更なる開発を要求していくであろう。チップ間のインターフ

#### 44 2011 新規事項—ワーキンググループ要約(What is New for 2011—the Working Group Summaries)

フェースは、バンド幅の増大と光通信を促進させ、それらはロードマップの中で理解される必要があるだろう。プロトコルベースのコミュニケーションは究極的には現在のインターフェースと入れ替わり、これはテストのパラダイムを変化させることになるであろう。

## DIFFICULT CHALLENGES

Table ITWGI Summary of Key Test Drivers, Challenges, and Opportunities

Key Drivers (順不同)	
デバイストレンド	デバイスインターフェースのバンド幅の増大 (シグナル数とデータレート)
	集積度の増大 (SoC, SiP, MCP, 3D packaging)
	非デジタル COMS 技術/先端技術の統合
	複雑なパッケージの電氣的/機械的特性
	単一の刺激/反応モデルを超えたデバイスの特性
	3次元シリコン 複数ダイ及び複数層
	同一デバイス上の複数 I/O タイプと電源
	Fault Tolerant アーキテクチャとプロトコル
テスト工程の複雑さの増大	テスト工程時のデバイスのカスタマイズ
	製造の最適化のためのフィードバック
	アダプティブテストによる動的テストフロー
	試験条件の高位単位
	コンカレントテスト
	単一レベルでのトレーサビリティの維持
テストの経済性の継続的なスケーリング	物理的及び経済的な同測の限界
	テストデータとボリュームの管理
	試験治工具やソケットコストの管理
	治具の能力バランス、テスト工程の多工程化、システムテストと BIST
<b>困難な挑戦(優先度順)</b>	
テストコスト(COT)と OEE	依然として優先的な革新のドライバである。既存の COT は、OEE により制限され始めている
テスト開発期間の増大(Time to Market の観点)	増大するデバイスの複雑さがテスト開発の複雑さを増大させる
Systemic 欠陥の検出	回路形状等の試験。ただの欠陥のみではない
	線幅、ドーブの拡散、systemic なプロセスの欠陥による影響と現象の検出
信頼性のためのスクリーニング	バーンイン/IDDQ/電圧ストレスに対する挑戦と効果の導入
	不安定、非決定的かつ断続的なデバイスの振る舞い
	テスト工程での機械的なダメージ
	複数ダイの Stack/TSV
	消費電力管理

46 2011 新規事項—ワーキンググループ要約 (What is New for 2011—the Working Group Summaries)

将来の可能性(順不同)	
自動テストプログラム生成( ATPG では無い)	テスト用の自動プログラム生成
圧縮された Scan の診断	より良い歩留まり向上と Scan デバッグ情報の収集
シミュレーションとモデリング	テスト治具を含めたシームレスなシミュレーションとモデリングの設計プロセスへの繰りこみ
テストとシステム信頼性の解決策の収束	テスト(DFT)とデバイス、およびシステム信頼性(エラー検出、報告、修正)の間の解決策の再使用および代替可能性

ATE—automatic test equipment    ATPG—automatic test pattern generation    BIST—built-in self test    HVM—high volume manufacturing

MCP—multi-chip packaging    MEMS—micro-electromechanical systems

## PROCESS INTEGRATION, DEVICES, AND STRUCTURES

PIDS (プロセス、インテグレーション、デバイス、及び構造: Process, Integration, Device and Structures) は、ロジック、DRAM、不揮発性メモリと信頼性の四部門で構成されている。2010 年度版からの比較的大きな変更点を下記に記載する。

### ロジック

- 高移動度チャンネル材料に基づいた新技術が導入される。InGaAs が n-チャンネルに、Ge が p-チャンネルに使われると予期される。この技術により、低電力(より低い Vdd)でも、HP (High performance)と同等の速度性能を目指す。2018 年に量産と予測される。
- ゲート長と Vdd 用の対年のトレンドをスムーズなカーブにするためのマイナーな変更を行った。
- 動作時電力のモニターとなるCV2を全てのロジックのテーブルに追加した。

### DRAM

- メモリセルのハーフピッチは、近年は変更なしだが、2020 年以降僅かに微細化のペースが落ちる。
- セルキャパシタに関しては、2018 年以降、電気的酸化膜(EOT)の薄膜化のペースが落ちる。
- 4F<sup>2</sup>の導入は、2013年と変更なし。

### 不揮発性メモリ (NVM)

- テーブル・フォーマットを変更: (1)フローティングゲートや電荷トラッピング FET を用いた電荷蓄積型 NVM は、電荷を用いないセル区分から分離し、2 ターミナルセルに組み込む。(2)三次元フラッシュセルはまとめて、二次元セルとは異なる三次元セル特有のパラメータとする。
- ポリハーフピッチのスケーリングは、1 年速まる。
- フローティングゲートフラッシュから電荷トラッピングセルへの移行は、2 年遅れ 2014 年。
- 3 ビット/セルから 4 ビット/セルへの移行は、2 年遅れ 2021 年。
- 三次元NANDの導入は、1年遅れ2016年。

### 信頼性

- 信頼性が非常に高いことが望まれるシステム(例えば、メディカル)のために、初期不良率も経年後の不良率もより厳しい新しい分類方法を導入する。
- 長期信頼性のための仕様は、1チップにつき1FITと設定する。非常に小さなシステム向けの1チップあたり1000FITsを越えるような緩い仕様は除く。
- SRAMソフトエラー率は、FITs/MbよりもむしろFITs/chipで定義する。

## DIFFICULT CHALLENGES

<i>Table ITWG2</i>	
<i>Process Integration Difficult Challenges</i>	
<i>Near-Term 2011-2018</i>	<i>Summary of Issues</i>
1. Scaling Si CMOS	<p>Scaling planar bulk CMOS</p> <p>Implementation of fully depleted SOI and multi-gate (MG) structures</p> <p>Controlling source/drain series resistance within tolerable limits</p> <p>Further scaling of EOT with higher <math>\kappa</math> materials (<math>\kappa &gt; 30</math>)</p> <p>Threshold voltage tuning and control with metal gate and high-<math>\kappa</math> stack</p> <p>Inducing adequate strain in new structures</p>
2. Implementation of high-mobility CMOS channel materials	<p>Basic issues same as Si devices listed above</p> <p>High-<math>\kappa</math> gate dielectrics and interface states (<math>D_{it}</math>) control</p> <p>CMOS (<math>n</math>- and <math>p</math>-channel) solution with monolithic material integration</p> <p>Epitaxy of lattice-mismatched materials on Si substrate</p> <p>Process complexity and compatibility with significant thermal budget limitations</p>
3. Scaling of DRAM and SRAM	<p>DRAM—</p> <p>Adequate storage capacitance with reduced feature size; implementing high-<math>\kappa</math> dielectrics</p> <p>Low leakage in access transistor and storage capacitor; implementing buried gate type/saddle fin type FET</p> <p>Low resistance for bit- and word-lines to ensure desired speed</p> <p>Improve bit density and lower production cost in driving toward <math>4F^2</math> cell size</p> <p>SRAM—</p> <p>Maintain adequate noise margin and control key instabilities and soft-error rate</p> <p>Difficult lithography and etch issues</p>
4. Scaling high-density non-volatile memory	<p>Endurance, noise margin, and reliability requirements</p> <p>Multi-level at <math>&lt; 20</math> nm nodes and 4-bit/cell MLC</p> <p>Non-scalability of tunnel dielectric and interpoly dielectric in flash memory – difficulty of maintaining high gate coupling ratio for floating-gate flash</p> <p>Few electron storage and word line breakdown voltage limitations</p> <p>Cost of multi-patterning lithography</p> <p>Implement 3-D NAND flash cost effectively</p> <p>Solve memory latency gap in systems</p>
5. Reliability due to material, process, and structural	<p>TDDDB, NBTI, PBTI, HCI, RTN in scaled and non-planar devices</p> <p>Electromigration and stress voiding in scaled interconnects</p>

<i>Table ITWG2</i>		<i>Process Integration Difficult Challenges</i>	
changes, and novel applications.	Increasing statistical variation of intrinsic failure mechanisms in scaled and non-planar devices 3-D interconnect reliability challenges Reduced reliability margins drive need for improved understanding of reliability at circuit level Reliability of embedded electronics in extreme or critical environments (medical, automotive, grid...)		
<b><i>Long-Term 2019-2026</i></b>		<b><i>Summary of Issues</i></b>	
1. Implementation of advanced multi-gate structures	Fabrication of advanced non-planar multi-gate MOSFETs to below 10 nm gate length Control of short-channel effects Source/drain engineering to control parasitic resistance Strain enhanced thermal velocity and quasi-ballistic transport		
2. Identification and implementation of new memory structures	Scaling storage capacitor for DRAM DRAM and SRAM replacement solutions Cost effective installation of high density 3-D NAND (512 Gb – 4 Tb) Implementing non-charge-storage type of NVM cost effectively Low-cost, high-density, low-power, fast-latency memory for large systems		
3. Reliability of novel devices, structures, and materials.	Understand and control the failure mechanisms associated with new materials and structures for both transistor and interconnect Shift to system level reliability perspective with unreliable devices Muon-induced soft error rate		
4. Power scaling	$V_{dd}$ scaling Controlling subthreshold current or/and subthreshold slope Margin issues for low $V_{dd}$		
5. Integration for functional diversification	Integration of multiple functions onto Si CMOS platform 3-D integration		

## RF AND AMS 技術

RF and AMS は、急速に多様化する半導体市場の中心的技術になってきている。ここには、無線および有線市場で無数の適用製品が含まれている。このロードマップでは、無線および有線で使われる回路技術に加え、今年新たに、パワーマネジメントと画像表示ドライバーなどの、低周波アナログ応用に対応するものを加えた。これらの回路を持った製品は、機能あたりのコストを下げ、機能を増やすという市場の要求に適合している。そのため、これら製品は、量産や半導体の消費を拡大する主要な牽引役となっている。

### スコープ

2011 年の ITRS RF and AMS のロードマップは、RF and AMS 回路で使われる基本的な要素素子(トランジスタと受動素子)について、課題、技術的要求、可能な解決策を示した。5 つの基本デバイスは、CMOS, シリコンバイポーラと BiCMOS, III-V 族化合物半導体(バイポーラ、FET), オンチップ受動素子、高圧 MOS (HVMOS)である。応用周波数帯(0-0.4 GHz, 0.4-30 GHz, 30-300 GHz)によって、基本的にはそれぞれ異なった技術的要求を持っている。

CMOS— CMOS のロードマップは、高性能と低スタンバイパワー回路におけるトランジスタの RF とアナログ性能を、より正確に反映するものにした。他の変更は、寄生抵抗や容量および最大遮断周波数が 2009 年版のロードマップより早く向上していること、FMAX が寄生効果により近年低くなっている状況などを反映させた。

シリコンバイポーラと BiCMOS —主要なドライビングフォースは、速度、消費電力、ノイズと耐圧である。変更点は、1) NPN パワーアンプと 1/f ノイズや電流マッチングなどの一般的なアナログ NPN パラメータを 2011 年版ロードマップでは削除、2) 高速の 2011 年版ロードマップを、現状のトレンドに合わせ、また、拡大した RF AND AMS のスコープに合わせた応用を含めるものとした。

III-V 族化合物半導体(バイポーラ、FET)— III-V 族半導体をベースとしたデバイスは、広ダイナミックレンジや低ノイズといった、シリコン技術ではできないニッチな市場で、コストよりも性能によって、牽引され続けていこう。スケーリング限界から、GAAS PHEMT (2015 年), GAAS MHEMT (2019 年), INP HEMT (2021 年), GAN HEMT (2021 年), INP HBT (2023 年)でロードマップが終わるものと予測している。

オンチップ受動素子—2011 年版のロードマップでは、オンチップ受動素子の課題と要求について示した。30 GHz を越える伝送線路に使われている受動素子に触れ、また、「寄生考慮設計」について議論し、関係するすべての性能指数について定義を更新した。

高電圧 MOS —ロードマップで初めて HVNMOS と HVPMOS を取り上げた。これらは、パワーマネジメントや画像表示ドライバー応用で主要となるデバイスである。HVMOS の主要な性能指数は、耐圧、オン抵抗、HVMOS が集積される CMOS ノードである。90nm 世代以降では、必要な CMOS の密度が分からないため、2011 年版の HVMOS ロードマップは、90 nm ノードまでを示した。

トレンド—将来のロードマップには、以下に示すトレンドが影響することになる。持続的なスケーリングと、より高い周波数特性が、市場を持った適用製品により牽引されるだろう。出荷量の多い市場は、コストに非常に敏感なため、中程度の性能でも、SiGe や RF CMOS が使われるだろう。一方これが、III-V 族の研究開発で得られた進歩を量産へ移行することを、さらに遅らせることになるだろう。ミリ波帯のデバイスパラメータの測定や性能指数は、デバイスの動作限界を決める物理的な機構を理解し、その効果をシミュレーションする上でカギになるだろう。デバイスパラメータから寄生効果を DE-EMBEDDED する共通の方法を確立することが必要である。特に、50 GHz を越えた領域で今後も進歩し続けるには必須となるだろう。国際的な標準化およびその関連した測定法は、あらゆる段階の RF AND AMS で革新の原動力となるだろう。携帯ミリ波通信を用いたメッシュネットワークは周波数不足を回避する期待できる解決策である。なぜなら、ミリ波帯の携帯デバイスについて、非常に多くの探究的研究がなされているからである。いわゆる”MORE THAN MOORE”の範疇では、以下の 3 つの新しい技術が、将来の RF トランシーバー機能(トランジスタ、ミキサ、ローカル発信器、共振器)の候補である。グラフェン RF トランジスタ、ナノメータサイズのスピントルク発信器、そして NEMS (NANO-ELECTRO-MECHANICAL-SYSTEM)デバイスによる高 Q 値を持った可変(チューナブル) RF フィルターのためのナノ共振器である。

**DIFFICULT CHALLENGES**

Table ITWG3

*RF and Analog Mixed-Signal (RF and AMS) Technologies Difficult Challenges*

<b>RF and Analog Mixed-Signal (RF and AMS) Technologies Difficult Challenges</b>	<b>Summary of Issues</b>
<b>CMOS</b>	Many of the materials-oriented and structural changes being invoked in the digital roadmap degrade or alter RF and analog device behavior. Complex tradeoffs in optimization for RF and AMS performance occur as different mechanisms emerge as limiting factors, e.g., gate resistance, that greatly affect parasitic impedances in local interconnects. Fundamental changes of device structures, e.g., multiple-gates and silicon on insulator, to sustain continued digital performance and density improvements greatly alter RF and AMS characteristics. Such differences, along with the steady reduction in supply voltages, pose significant circuit design challenges and may drive the need to make dramatic changes to existing design libraries.
<b>Silicon Bipolar and BiCMOS</b>	The primary challenge for the HS-NPN is increasing the unity current gain cut-off frequency $f_T$ by more aggressive vertical profiles while still maintaining $f_{MAX} > f_T$ , i.e. low base resistance and low base-collector capacitance ( $C_{BC}$ ). The main challenge for the HS-PNP is increasing $f_T$ by more aggressive vertical profiles. In addition to the inherent minority carrier mobility differences between electrons and holes, shrinking the vertical profile of a SiGe PNP is more challenging because it requires controlling the valence band offsets to avoid the appearance of parasitic barriers. Another challenge for the HS-PNP is the difficulty of the co-integration with HS-NPN and CMOS. This integration always adds more constraints on the HS-PNP fabrication.
<b>III-V Compound Semiconductors [bipolar and field effect transistors (FET)]</b>	The unique challenges are yield (manufacturability), substrate size, thermal management, integration density, dielectric loading, and reliability under high fields. Challenges common with Si based circuits include improving efficiency and linearity/dynamic range, particularly for power amplifiers. A major challenge is increasing the functionality of power amplifiers in terms of operating frequency and modulation schemes while simultaneously meeting increasingly stringent linearity requirements at the same or lower cost.
<b>On-Chip Passive Devices</b>	The co-integration of active and passive devices introduces process complexity and can lead to manufacturing control and costs challenges. The decreasing overall stack as well as the individual metal heights results in increasing resistive losses and vertical parasitic capacitances and limits the quality-factors of the on-chip integrated inductors, transformers, and capacitors.
<b>High-Voltage MOS</b>	Several aspects of high voltage devices and the associated base technology make it difficult and unlikely that the HV roadmap for the future will follow the lithographic shrink seen for CMOS because the HV designs can not take advantage of the lithography capability to shrink the intrinsic HV device dimensions, analog devices are usually large to improve the noise and mismatch, and the digital content of a HV chip is usually a small fraction of the chip area.

## MICRO ELECTRO MECHANICAL SYSTEMS (MEMS)

マイクロ・エレクトロ・メカニカル・システムズ(略称:MEMS)と呼ばれるデバイスは、アナログ回路やデジタル回路ともしばしば機能的に統合されたマイクロメートルサイズの機械的構造物(例えば、両端支持梁、片持ち梁、膜構造や流路構造)であり、集積回路(IC)を作製するのに用いられる半導体プロセス技術と類似の技術を用いて作製されています。MEMSデバイスは、周囲環境の情報を取得するセンサとして機能する一方で、コントローラからの指令に基づき周囲環境の状態を変化させるアクチュエータとしても機能します。ITRSでは、MEMSデバイスにおける、このセンシングとアクチュエーションの相関に着目しつつ、5年間という短期間での、各種デバイス性能に関する項目(設計、シミュレーション、組み立て、パッケージ、そしてテストなど)の進歩にフォーカスしました。そこでの主要な結論は、実質的に研究開発投資のほとんどが製造過程のフロントエンド(デバイスとプロセス開発が相当)に集中している中で、MEMSデバイスのバックエンド(パッケージングとテスト工程)に要するコストは全製造コストの3分の2を占めており、今後その割合は増えていくであろうというものです。この技術ロードマップからの主要な成果である、産業界が直面しているこれら問題への解決方法となりうる統一見解を文章として策定することは、MEMSデバイス製造のバックエンドにおいて産業界が直面する重要な問題に対処し、研究開発投資の最適化を実現する上で、道しるべとなり得ます。

### SCOPE

ITRSのMEMS技術ロードマップは、スマートフォンやタブレットPCなどのモバイルインターネット・デバイスに関連するキー技術にフォーカスをあてました。MEMSデバイスにおけるキー技術は、加速度計、ジャイロスコープ、マイクロフォン、そしてRF-MEMS(これは、共振器、バラクタ、そしてスイッチを含みます)と見なされています。これらのアプリケーションは、iSuppli、Yole社、そしてSEMIによる2011年の市場予測に基づくと、MEMS産業において最も急成長している分野になります。ロードマップは、単一のMEMSデバイスと集積化MEMS技術の両者における進展をスコープに含みます。そして、光学フィルタ、ピコプロジェクト、電子嗅覚、マイクロスピーカ、そして超音波機器を含む新たなMEMSデバイス・アプリもレビューしています。

### DISCRETE MEMS ACCELEROMETERS, GYROSCOPES, AND MICROPHONES

単一デバイスとしてのMEMS加速度計とジャイロスコープでは、分解能、バイアス電圧、ドリフト性能の継続した進展が期待されています。分解能に関しては、加速度計では1,000 $\mu\text{g}$ から500 $\mu\text{g}$ へと、ジャイロスコープでは100 $\mu\text{°}/\text{s}/\sqrt{\text{Hz}}$ から50 $\mu\text{°}/\text{s}/\sqrt{\text{Hz}}$ へと、それぞれ2017年までに2倍の性能向上が期待されています。MEMSマイクロフォンでは、1kHzの入力で規定した際に、感度が-42dB(V/Pa)から-38dB(V/Pa)に改善されることが期待されています。ただ、単一デバイスとしてのMEMSデバイスの製造メーカーが直面する最大の課題は、コストとサイズの低減要求に起因しています。MEMS加速度計とジャイロスコープのコストについては、現時点で課題解決の手段が不明でありながら、2017年までに、それぞれ、1チップあたりのコストで、加速度計は0.60ドルから0.20ドルへ、ジャイロは2.70ドルから1.20ドルへと低減されるであろうと予測されています。

### RF MEMS

RF-MEMSデバイス(共振器、バラクタ、そしてスイッチ)も、性能における継続的な進展が期待されています。これらのデバイスがモバイルインターネット市場で活用される為に超えなければならない最大の課題は、現在の標準的なMTTF(平均故障時間)よりも信頼性を高める事です。この課題に対処するには、MEMSデバイスに用いられる材料の物理的な故障メカニズムへのより深い知見と、信頼性に関するシミュレーションツール、そして製品寿命に関するより良い加速試験方法が必要です。RF-MEMSデバイスでも、

具体的に、パッケージレベルで統合されて50を超えるQ値を持つインダクタと、パッケージ相互間の配線長と負荷を最小化する方法への大きな要求があります。

### INTEGRATED MEMS

モバイルインターネット・デバイス技術に応える集積化MEMSデバイスの製造メーカーの最大の課題は、10自由度を持つ慣性センサユニット(IMU: Inertial Measurement Unit)をどのような進化の工程を経て機能統合していくかに関連しています。その10自由度の内訳は、加速度3軸、ジャイロ3軸、磁力(コンパス)3軸に高度計としての圧力センサ1つの10自由度です。このようなマルチモードセンサ技術に対する懸念の最大の要因は、そのテスト工程にあります。テスト工程のコストは、デバイス価格が下落し続けている一方で、依然として引き続き上昇し続けています。そして、この傾向を持続、維持することは非情に困難です。しかも、テスト工程におけるこの課題は、慣性センサユニット(IMU)に求められる複数機能(加速度、角速度、方向、仰角)のテスト内容により、テスト工程の複雑さが増大していることで、さらに悪化しています。

### DIFFICULT CHALLENGES

Table ITWG4 MEMS Difficult Challenges

Challenge	Need
組み立てとパッケージ	<ul style="list-style-type: none"> <li>集積化を踏まえたMEMSパッケージに関する標準化。</li> <li>機械的なストレスを低減もしくは排除し、機密性を高めるパッケージ技術。</li> <li>デバイス性能に対するパッケージの影響を正確に予測することに活用出来るパッケージのデータ。</li> </ul>
デバイステスト工程	<ul style="list-style-type: none"> <li>テスト項目の、デバイスレベルでのテストからウエハレベルでのテストへ移行を増やす。</li> <li>ウエハレベルでのテスト結果から、デバイス性能を予測出来る検証ツール。</li> <li>“テスト工程を考慮した設計”を実現する方法論。</li> </ul>
信頼性	<ul style="list-style-type: none"> <li>製品寿命の加速試験に必要な故障メカニズムへのより深い理解。</li> <li>情報の共有化。個々の解決策はありますが、業界全体で標準化、共有されていません。</li> </ul>

## 新探求デバイス(EMERGING RESEARCH DEVICES)

2011年版の新探求デバイス(ERD)章は、新探求メモリ、ロジック、情報処理デバイス技術に対する ITRS の見解を示し、CMOSと究極的にスケールした CMOSの先にあるナノエレクトロニクス分野の架け橋となることを意図したものである。ERD章はさらに、新探求デバイスと関連したあるいはそれによって実現可能となるメモリと情報処理ナノアーキテクチャについて取り組んでいる。

技術を定義づける2つの領域について取り組まれている。すなわち、1)継続したスケーリングと新しい技術の異種集積を通して CMOSプラットフォームの機能性を拡張する、そして2)新しい情報処理パラダイムの発明を刺激すること、である。図1には、これらの領域の間の関係が模式的に描かれている。従来続けられていたサイズと機能のスケーリングによる CMOSプラットフォームの拡張は、しばしば“More Moore”とよばれている。CMOSプラットフォームは“More-than-Moore”領域によってさらに拡張される。これは、この章に新たに含められたサブジェクトであり、そこでは“ムーアの法則”に従って必ずしもスケールしない機能を取り入れることで、新たな価値がデバイスに付加される。一方で、新しい情報処理デバイスやアーキテクチャは、しばしば“Beyond CMOS”技術として言及され、本章の主要なサブジェクトであり続けている。“Beyond CMOS”や“More-than-Moore”の“More Moore”への異種機能集積は、CMOSプラットフォームの機能を拡張し、究極的な“Extended CMOS”を形成する。

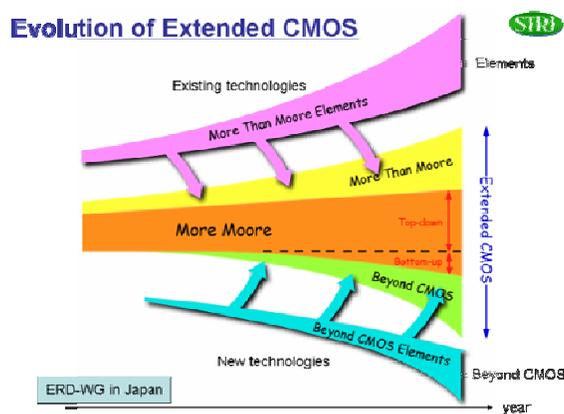


Figure ITWG1

Relationship among More Moore, More-than-Moore, and Beyond CMOS

とりわけ、ERD章は、長期にわたる潜在能力、技術の成熟度について、実現可能な新しいメモリや情報処理デバイスとシステムアーキテクチャを調査し、評価し、列挙している。また、受容可能なリスクを持ちながら、半導体産業がさらに開発することを容認できる状態にするための、科学的/技術的チャレンジを明らかにしている。この2011年版のERD章は新しいMore-than-Mooreの節を含み、長期的な代替技術候補について取り組んでいる。現在では、More-than-Mooreとして、無線デバイス、将来にはパワーデバイスやイメージセンサーなどについて取り組む。また、メモリーデバイスの節は拡大され、新しい2つの副節を包含している。すなわち、ストレージクラスメモリ(Storage Class Memory, 固体ドライブメモリを含む)とクロスバーメモリ応用に求められる“選択デバイス”である。

さらに、ERD章における新探求メモリやロジックデバイスの技術エントリーは、その技術的な成熟度や潜在的なパフォーマンスを評価するよう絶えず精査されている。これらの基準は、PIDS (Process Integration, Devices, and Structures)章やFEP (Front End Processing)章への潜在的な解として移る用意ができていないか、あるいはERD章でのさらなる考慮から除外されるかを決定するために使われている。2010-2011年では、2つのそのような技術がPIDSとFEPに移管された。一つは、メモリー節におけるスピン転送トルク磁気

RAM(Spin Transfer Torque Magnetostatic RAM (STT-MRAM) )であり, 他のは, n 型 InGaAs チャネルおよび p 型 Ge チャネルおよび Si MOSFET 構造におけるソース/ドレイン置換型材料である。

拡張された”ベンチマーキング”節は, この章で考慮された新探求デバイス技術候補各々の潜在能力を評価されており, その目的は所望のメモリや情報処理機能の, 完全に成熟した現在のメモリや CMOS 技術に対するベンチマークを提供することである。この評価から, いくつかの新探求メモリ技術(例えば, STT-MRAM, ReDOX ReRAM, 相変化メモリなど)は 16nm 世代以降にフラッシュメモリを代替する潜在能力を持っているとの結果になった。逆に, ロジックすなわち情報処理デバイスについては, CMOS を補完する潜在能力を有する候補として特定されるには, さらなる取り組みが必要である。

## DIFFICULT CHALLENGES

Table ITWG5

Emerging Research Devices Difficult Challenges

<i>Difficult Challenges – 2018– 2026</i>	<i>Summary of Issues and opportunities</i>
Scale high-speed, dense, embeddable, volatile, and non-volatile memory technologies to replace SRAM and / or FLASH for manufacture by 2018.	<p>SRAM and FLASH scaling in 2D will reach definite limits within the next several years (see PIDS Difficult Challenges). These limits are driving the need for new memory technologies to replace SRAM and possibly FLASH memories by 2018.</p> <p>Identify the most promising technical approach(es) to obtain electrically accessible, high-speed, high-density, low-power, (preferably) embeddable volatile and non-volatile RAM</p> <p>The desired material/device properties must be maintained through and after high temperature and corrosive chemical processing. Reliability issues should be identified &amp; addressed early in the technology development</p>
Scale CMOS to and beyond 2018 - 2026	<p>Develop 2<sup>nd</sup> generation new materials to replace silicon (or InGaAs, Ge) as an alternate channel and source/drain to increase the saturation velocity and to further reduce V<sub>dd</sub> and power dissipation in MOSFETs while minimizing leakage currents for technology scaled to 2018 and beyond.</p> <p>Develop means to control the variability of critical dimensions and statistical distributions (e.g., gate length, channel thickness, S/D doping concentrations, etc.)</p> <p>Accommodate the heterogeneous integration of dissimilar materials. The desired material/device properties must be maintained through and after high temperature and corrosive chemical processing</p> <p>Reliability issues should be identified &amp; addressed early in this development.</p>
Extend ultimately scaled CMOS as a platform technology into new domains of application.	<p>Discover and reduce to practice new device technologies and primitive-level architecture to provide special purpose optimized functional cores (e.g., accelerator functions) heterogeneously integrable with CMOS.</p>
Continue functional scaling of information processing technology substantially beyond that attainable by ultimately scaled CMOS.	<p>Invent and reduce to practice a new information processing technology eventually to replace CMOS</p> <p>Ensure that a new information processing technology is compatible with the new memory technology discussed above; i.e., the logic technology must also provide the access function in a new memory technology.</p> <p>A new information processing technology must also be compatible with a systems architecture that can fully utilize the new device. A new non-binary data representation and non-Boolean logic may be required to employ a new device for information processing. These requirements will drive the need for a new systems architecture.</p> <p>Bridge the gap that exists between materials behaviors and device functions.</p> <p>Accommodate the heterogeneous integration of dissimilar materials</p> <p>Reliability issues should be identified &amp; addressed early in the technology development</p>

Invent and reduce to practice long term alternative solutions to technologies that address existing MtM ITRS topical entries currently in wireless/analog and eventually in power devices, MEMS, image sensors, etc.

The industry is now faced with the increasing importance of a new trend, “More than Moore” (MtM), where added value to devices is provided by incorporating functionalities that do not necessarily scale according to “Moore’s Law”.

Heterogeneous integration of digital *and* non-digital functionalities into compact systems that will be the key driver for a wide variety of application fields, such as communication, automotive, environmental control, healthcare, security and entertainment.

## 新探求材料

### WHAT'S NEW

2011 年度版新探求材料(ERM)の章は、2009 年度版 ITRS ERM の改訂版である。2011 年度版 ERM 章におけるデバイス材料の節は、新探究デバイス章に沿うように再構成されている。2011 年度版 ERM 章では、以下にあげる材料がレビューされている。ERD メモリと ERD ロジック応用、新規レジスト材料を含むリソグラフィ、フロントエンドプロセスとデバイス応用、配線、アッセンブル&パッケージ応用などである。また、メトロロジ、モデリング、環境・安全・健康に関わる研究開発からの支援が、新規材料の応用可能性を拓げるために必須であることも指摘されている。さらに 2011 年度版 ERM 章では、新たにスコープに加わる材料、またトランジション・テーブルに移行する材料についての記載を追加している。新探求材料は将来の技術的課題を解決する可能性を持つ特性を示すが、将来の技術に採用されるためには更に大幅な改善がなされなければならない。

新探求デバイス用の材料としては、メモリ用材料、そして CMOS チャネル代替材料や Beyond CMOS デバイス用材料を含むロジック材料が挙げられている。2011 年度版において、n 型 III-V 族半導体と p 型 Ge は成熟した技術として FEP と PIDS へ移行し、p 型 III-V 族半導体と n 型 Ge は ERM 章に残された。チャネル代替材料に関するクリティカルアセスメントも遂行されたが、2009 年度版の結果と比較して大きな違いはなかった。リソグラフィ材料としては、リソ延命に向けた露光用材料及び自己組織化材料が記載された。自己組織化材料に関してクリティカルアセスメントがなされ、微細化へ拡張可能な欠陥密度低減に関する当該技術の進展に注目が集められた。フロントエンドプロセスとしては、決定論的ドーピングと、イオン注入を置き換える可能性を持つ技術として単分子膜を用いた技術が紹介されている。配線に関しては、Ru と Zr 超薄膜バリア層を配線章に移行させたが、自己組織化有機バリアは ERM 章に残した。また、Cu 配線延命材料としての Low-k 層間膜、新奇ビア・配線材料としての単層または多層カーボンナノチューブや単結晶ナノワイヤが記載されている。アッセンブルとパッケージング材料においては、低融点半田や異方的配線材料がレビューされた。また、チップ配線用カーボンナノチューブ、アンダーフィル、モールド複合材、接着材応用に要求される拮抗した特性を同時に満たすことを目的に開発されているナノ粒子や巨大分子を用いたパッケージングのためのポリマー材料についても取り上げられた。

### 挑戦的課題

ERM の困難な技術課題が、表 ITWG6 にまとめられている。ERM の最も困難な技術課題は、集積化された構造において、よく制御され、所望の特性を持った材料オプション(選択候補)を、導入判断に影響を与える時期に作れるかどうかであろう。それらの材料オプションは、高密度 ERD やリソグラフィ技術、配線形成やその動作をサブ 20nm 世代、さらにはナノメートルスケールで実現するための潜在能力を持っていない。ナノメートルスケールでの材料特性の制御性を改善するためには、研究コミュニティ内での共同研究や共同作業が必要である。リソグラフィに係わる自己組織化材料に関しては、低欠陥密度で高集積のパターンを形成する可能性を実証することが求められている。そのために、大面積において孤立した欠陥を同定することのできる技術と計測法が必要となる。さらに、モデリングとシミュレーションに関しても、欠陥によってどのように材料特性が変わるのか、またプロセスの変動が欠陥密度にどのような影響を与えるのかを明らかにする手法が求められる。

高密度デバイスと配線を達成するため、ERM は所望な位置に合成されなければならない、さらに方向も制御されなければならない。またエマージングなデバイス、配線、パッケージ技術向上にむけたもう一つの ERM の要件は、埋め込まれた界面特性を評価し、制御する能力にある。形状がナノメートルのスケールに

近づくにつれ、根本的な熱力学的安定性や揺らぎの問題が、わずかな寸法ばらつきや制御した有用な特性をもつナノ材料の加工に制限を与えるかもしれない。

Table ITWG6

## Emerging Research Materials Difficult Challenges

<i>Difficult Challenges – 2018– 2026</i>	<i>Summary of Issues and opportunities</i>
Scale high-speed, dense, embeddable, volatile, and non-volatile memory technologies to replace SRAM and / or FLASH for manufacture by 2018.	<p>SRAM and FLASH scaling in 2D will reach definite limits within the next several years (see PIDS Difficult Challenges). These limits are driving the need for new memory technologies to replace SRAM and possibly FLASH memories by 2018.</p> <p>Identify the most promising technical approach(es) to obtain electrically accessible, high-speed, high-density, low-power, (preferably) embeddable volatile and non-volatile RAM</p> <p>The desired material/device properties must be maintained through and after high temperature and corrosive chemical processing. Reliability issues should be identified &amp; addressed early in the technology development</p>
Scale CMOS to and beyond 2018 - 2026	<p>Develop 2<sup>nd</sup> generation new materials to replace silicon (or InGaAs, Ge) as an alternate channel and source/drain to increase the saturation velocity and to further reduce V<sub>dd</sub> and power dissipation in MOSFETs while minimizing leakage currents for technology scaled to 2018 and beyond.</p> <p>Develop means to control the variability of critical dimensions and statistical distributions (e.g., gate length, channel thickness, S/D doping concentrations, etc.)</p> <p>Accommodate the heterogeneous integration of dissimilar materials.</p> <p>The desired material/device properties must be maintained through and after high temperature and corrosive chemical processing</p> <p>Reliability issues should be identified &amp; addressed early in this development.</p>
Extend ultimately scaled CMOS as a platform technology into new domains of application.	<p>Discover and reduce to practice new device technologies and primitive-level architecture to provide special purpose optimized functional cores (e.g., accelerator functions) heterogeneously integrable with CMOS.</p>
Continue functional scaling of information processing technology substantially beyond that attainable by ultimately scaled CMOS.	<p>Invent and reduce to practice a new information processing technology eventually to replace CMOS</p> <p>Ensure that a new information processing technology is compatible with the new memory technology discussed above; i.e., the logic technology must also provide the access function in a new memory technology.</p> <p>A new information processing technology must also be compatible with a systems architecture that can fully utilize the new device. A new non-binary data representation and non-Boolean logic may be required to employ a new device for information processing. These requirements will drive the need for a new systems architecture.</p> <p>Bridge the gap that exists between materials behaviors and device functions.</p> <p>Accommodate the heterogeneous integration of dissimilar materials</p> <p>Reliability issues should be identified &amp; addressed early in the technology development</p>
Invent and reduce to practice long term alternative solutions to technologies that address existing MtM ITRS topical entries currently in wireless/analog and eventually in power devices, MEMS, image sensors, etc.	<p>The industry is now faced with the increasing importance of a new trend, “More than Moore” (MtM), where added value to devices is provided by incorporating functionalities that do not necessarily scale according to “Moore's Law”.</p> <p>Heterogeneous integration of digital <i>and</i> non-digital functionalities into compact systems that will be the key driver for a wide variety of application fields, such as communication, automotive, environmental control, healthcare, security and entertainment.</p>

## FRONT END PROCESSES

FEP ロードマップは、微細化される MOSFETs、DRAM 記憶容量、NVM (Flash、相変化、強磁性体) に関する将来のプロセス要求と有望解に焦点を当てている。FEP 章の目的は、これらのデバイスに関連し、キーとなる FEP ウェーハ製造プロセス技術と材料に対する複雑な将来要求と有望解を定義することである。ここでは、ウェーハ基板から始まってコンタクトシリサイド化や歪層の形成に至るユニットおよび統合プロセスと、同様に関連する材料や装置が含まれている。以下の固有技術領域をカバーしている。ロジックデバイス (HP、LOP、LSTP 等)、メモリデバイス (DRAM, flash, phase-change, FeRAM 等)、starting materials、surface preparation、thermal/thin films/doping、plasma etch、CMP。

厳しいスケールングによって生ずる許容しがたいリーク電流/パワーが主因になって、最近の MOSFET スケールング性能は妥協の産物となっている。低消費電力曲線のトレンド性能を保つために、新材料がトランジスタのゲートスタックの量産製造に導入されている。ノンプレーナ・マルチゲートデバイスがデバイス構造の新たなアプローチとしてアナウンスされ、チャネル移動度を増加させる新材料と同様に、新たなアプローチが導入された製品を数年のうちには目にするであろう。これらの新たな材料と構造の統合に関する課題が、FEP 章のメインテーマである。

低消費電力のトランジスタ性能を維持するには、歴史的なプレーナ CMOS デバイスを、FD ノンプレーナデバイスや可能性のあるプレーナデバイスなどのノンクラシカルなデバイスで置き換える必要があると思われる。バルク CMOS の延長からノンクラシカルなデバイス構造に変えてゆくことは、全てのアプリケーションと全てのチップメーカに対して同時に起こると思われているわけではない。そうではなくて、多様な技術が競合しつつ同時に採用されるというシナリオが想定されている。一社はノンクラシカルなデバイスに早めに移行することを選び、それ以外はバルク技術の延長を重視する。このシナリオは、FEP 章の HP デバイスや低消費電力デバイスの技術要求の表 FEP2, FEP3, FEP4 に反映されていて、2013 年から 2019 年に移行するという多様アプローチに関する要求を記載する形をとっている。

ロジックデバイスの節では、メタルゲート電極を有する high-k ゲート絶縁膜が量産で用いられることが示されているが、EOT は 0.7nm 未満までスケールングされるものの電気特性と信頼性を維持することは課題であることを示している。移動度を増加させるチャネル歪エンジニアリングは MOSFET スケールングのインテグレーション部分になり、近い将来も続くことが予想される。歪エンジニアリングの有効性を改善し続け、新デバイス構造に適用することは、FEP の困難な課題とみなされている。

III-V (In-Ga-As) と Ge を用いた高移動度チャネルは、2018 年頃に、Si チャネルの nFET と pFET とをそれぞれ置き換えることが予想されている。これらの高移動度チャネルを、VLSI スキームの Si 上に選択的に導入することは明確な課題である。

更には、微細化トレンドと浅接合の急峻性を維持しながら、寄生抵抗およびコンタクト抵抗を抑制することも課題に含まれる。パターン形成、洗浄および成膜のプロセス制御性からくる変化によってドーパント原子の導入位置と最終位置のバラツキはスケールングにおける課題である。こうした課題を解決するためには、バラツキに強い新たなプロセス技術を開発するためのかなりの努力が必要である。Si へのドーピングと活性化のための新たな技術のために新たな材料の導入も予想される。直列抵抗は短期的に重要であり、2015 年までにゴールに達する必要がある。ほとんどの high-k 材料の熱安定性は限られているので、ドーパント活性化におけるサーマルバジェットは新たな制約になると思われる。

メモリ分野において、スタンドアロン DRAM デバイスの製造は、スタック容量構造に限定されている。そのため、DRAM トレンチ容量向けの技術要求に関する表とテキストは削除され、DRAM 節は暗黙のうちにスタック容量技術が対象になっている。DRAM の表は内容検討中であつたので 2011 年版では変更せずに 2012 年で改訂される予定である。浮遊ゲート型フラッシュメモリに対して、ポリシリコン間絶縁膜には 2012 年までに、トンネル絶縁膜では 2013 年までに high- $\kappa$  材料が必要である。

スターティングマテリアルでは、バルクシリコンが中心であり続けるが、代わりになる SOI 基板は特殊用途の製品に対しては使い続けられると予想される。新たなチャネル材料と基板との反応はますます重要度が増すと予想される。300mm は並行して使われるが、次のウェーハ径である 450mm 基板が必要となることも重要な課題である。

フロントエンドの洗浄プロセスは、high- $\kappa$  絶縁膜や金属ゲート電極、移動度を増大させるチャネル材料の様な新しいフロントエンド材料の導入により、継続的にインパクトを受けると予想される。洗浄プロセスは基板材料除去や表面荒れに関して、完全に優しいことが望まれる。スケールされた新しいデバイス構造は、耐久性が益々低くなるとも考えられ、採用されると考えられるクリーニングプロセスの物理的効果が制限される。

エッチングでは、ウェーハ全体のゲート CD バラツキの抑制は、今では、先端的プロセス制御 (APC) によって解決されている。28 nm ノードおよびそれ以降においては、ライン幅の粗さ (Line Width Roughness) の存在は、CD ばらツきの最大要因となっている。LWR は、線幅微細化の時の最大の定数であり、主なスケールアップの課題となっている。産業界が課題に取り組むことを促すために、今ある定量化の方法は標準化される必要がある。high- $\kappa$  絶縁膜とメタルゲートが量産化されるようになって、十分な選択性を持つエッチングプロセスとこれらの材料を用いた際のダメージ制御は関連付けられるようになった。ノンプレーナトランジスタが必要となった時、エッチングはより困難な課題となる。FinFET の持つ形状によって、選択性や異方性、ダメージ制御に関する新しい制限を持ち込まれることになる。

化学機械研磨 (CMP) は、フロントエンドプロセスにおいてより重要となった。多くの技術世代において STI の形成は重要な工程であり、その必要性和均一性制御はとりわけフラッシュメモリおよびゲートラストのメタルゲート形成においてより重要となった。しかし残念ながら、選択性とパターン密度依存性は、CMP プロセスにとって継続的な課題で有り続けていて、こうした新しい要求を反映させるために重要な改善項目が追加された。

**DIFFICULT CHALLENGES**

*Table ITWG7 Front End Processes Difficult Challenges*

<i>Difficult Challenges ≥ 11 nm</i>	<i>Summary of Issues</i>
	<p>Strain Engineering</p> <ul style="list-style-type: none"> <li>- continued improvement for increasing device performance</li> <li>- application to FDSOI and Multi-gate technologies</li> </ul> <p>Achieving low parasitics (resistance and capacitance) and continued scaling of gate pitch</p> <p>Achieving DRAM cell capacitance with dimensional scaling</p> <ul style="list-style-type: none"> <li>- finding robust dielectric with dielectric constant of ~60</li> <li>- finding electro material with high work function</li> </ul> <p>Achieving clean surfaces free of killer defects</p> <ul style="list-style-type: none"> <li>- with no pattern damage</li> <li>- with low material loss (&lt;0.1 Å)</li> </ul> <p>450mm wafers - meeting production level quality and quantity</p>
<i>Difficult Challenges &lt; 11 nm</i>	<i>Summary of Issues</i>
	<p>Continued scaling of HP multigate device in all aspects: EOT, junctions, mobility enhancement, new channel materials, parasitic series resistance, contact silicidation.</p>
	<p>Introduction of high mobility channels (based on III-V and Ge) to replace strained Si</p>
	<p>Lowering required DRAM capacitance by 4F2 cell scheme or like, while continuing to address materials challenges</p>
	<p>Continued achievement of clean surfaces while eliminating material loss and surface damage and sub-critical dimension particle defects</p>
	<p>Continued EOT scaling below 0.7 nm with appropriate metal gates</p>
	<p>Continued charge retention with dimensional scaling and introduction of new non-charged based NVM technologies</p>

## リソグラフィ

2011 年以降、光リソグラフィの延命は益々困難になってきた。光のシングル露光は 40nm ハーフピッチ (hp) で限界に達した。32nm hp のフラッシュデバイスは、NA と波長を変えずにハーフピッチを拡張する方法として 193nm のダブルパターンニング(DP)を用いて現在製造されている。2013 年に DRAM と MPU を 32nm ハーフピッチへ進め、そしてフラッシュが 22nm ハーフピッチで限界のテストを始めるには、このアプローチでは厳しい。22nm 以降に円滑に移行するためには、この時点で光以外のリソグラフィが量産適用される必要がある。極端紫外線リソグラフィ(EUVL)は、いくつかの製造メーカーがパイロットライン用装置の出荷について話をしていることで大きな勢いを得てきた。2012 年初めに出荷される製造装置購入の計画もいくつかアナウンスされている。もし、EUVL が予定通り準備できない場合、DP からマルチパターンニング(MP)へ拡張されるだろう。他の光以外のリソグラフィも少量への適用やプロトタイプへの補完的なものになるかも知れない。

### 長期的な困難な課題

長期的な課題は解決策候補の表から選択したものに依る。新しい技術への移行はより大きなハーフピッチから必要かも知れない。すべての解決策は新しいインフラ整備が必要となる。つまり、解決策は早い時期に 2 または 3 のオプションに絞り込まれる必要がある。これにより、技術開発とそのインフラに財務サポートを集中させることが可能になる。

EUVL が 22nm と 16nm ハーフピッチの有力候補に残っているため、高解像度化への拡張は重要な長期的課題になっている。今日の我々の知見から、現波長における 0.5 以上の NA には中心遮光無し の 8 枚ミラーか中心遮光有りの 6 枚ミラーのデザインが必要となる。8 枚ミラーのデザインはミラーの追加によりさらなる反射率の低下となり、同等のウェハ処理能力のためより高出力の光源が必要になる。6 枚ミラーのデザインでは角度の広がり狭く、そのため小さいフィールドサイズと恐らく長い光路を必要とする。両方のデザインにとって、NA を拡大することで焦点深度に大きな課題をもたらす。さらに、マスクのシャドウイングと 3 次元効果、吸収体材料、吸収体膜厚、そして多層膜に影響があるため、最適化が必要となるだろう。

他の解決策は EUVL の波長を  $6.x$  nm に短くすることである。短期的に、この策は光源からマスクインフラ、レジスト性能までの EUVL の現状の課題を引き継ぐだろう。EUVL のマルチパターンニングもオプションであろうが、プロセスの困難さと CoO の増大をもたらす。

LWR、感度、そして解像度といった現在のレジストの困難さはさらに大きくなるだろう。さらに、重ね合わせ、欠陥、そして寸法制御はより厳しくなるだろう。

コスト効率のよい半導体製造に適したマスクレスリソグラフィ(ML2)のためには、多くの技術的課題を克服する必要がある。マスクのダイ・トゥ・データベースの検査に替わりウェハでのダイ・トゥ・データベース検査が恐らく必要となるだろう。もし、インプリントリソグラフィが量産の解決策としての道を見つけたなら、インプリントリソグラフィのテンプレートがウェハ上パターンと同じ寸法であるため、マスク製造、欠陥制御、そして計測がより厳しい課題になるだろう。

誘導自己組織化(DSA)は次世代リソグラフィになる可能性を持った新星である。像形成材料の分子構造がリソグラフィ解像限界以下のパターン寸法と制御を実現する。主な課題は欠陥フリーのプロセスの要求である。これは化学工学か基礎物理の問題かどうかは未だ不明である。

これらに加えて多くの課題としては、寸法均一性(CDU)、重ね合わせ、材料膜厚、そして欠陥といったキーとなるパラメータの測定と制御を可能とする計測器を含めたより良いインフラ整備が必要なことである。

**DIFFICULT CHALLENGES***Table ITWG8**Lithography Difficult Challenges*

<i>Near Term Challenges (2011-2018)</i> <i>(16nm Logic/DRAM @ HVM; Flash 11nm @ optical narrowing with 16nm in HVM)</i>
Multiple patterning - cost, throughput, complexity
Optical mask - complexity with SRAF, long write time, cost
EUV source power to meet throughput requirement; Defect "free" EUV masks availability; mask infrastructure availability; EUV mask in fab handling, storage, and requalification.
Resist at 16nm and below that can meet sensitivity, resolution, LER requirements
Process control on key parameters such as overlay, CD control, LWR at 16nm HVM
Retooling requirements for 450mm transition (Economic & Technology Challenges)
<i>Long Term Challenges (2019 - 2025)</i> <i>(11nm @HVM)</i>
Higher source power, increase in NA, chief ray angle change on EUV; Mask material and thickness optimization
Defect free DSA processing
Infrastructure for 6.Xnm Lithography or multiple patterning for EUVL 13.5nm
Metrology tool availability to key parameters such as CDU, thickness control, overlay, defect
Early narrow and implement ~2 options with viable infrastructures support

HVM—high volume manufacturing

## INTERCONNECT

ITRS の配線章は、CMOS 集積回路の様々な機能ブロックへの必要な電源供給のために、クロックと他の信号を分配する配線システムを扱っている。プロセス面では、コンタクト層に相当する配線層の前に形成される絶縁膜から、上層のワイヤーボンドパッドまで、成膜、RIE、平坦化の工程とこれらに付随する軽いエッチング、剥離、洗浄を記述している。信頼性と性能の項では、エレクトロマイグレーションと配線遅延を含めている。配線への基礎的な開発の要求は、微細化が進行しても性能のボトルネックをもたらさずに、高帯域・低パワーの信号のニーズに見合うことである。配線技術 WG のメンバーは、Cu をデュアルダマシン構造の第一の材料として 15 年先までを予測し続けているが、最近の研究開発の多くは、3 次元積層化や新材料・プロセス、新探求技術の関連した新たな課題や動向などにもフォーカスしている。

2011 年については、配線性能は全体としてチップ性能を実現するための課題として、最重要項目となっている。エアギャップ構造はその技術成熟度が認められて、いまや、層間絶縁膜の課題解決の主流と考えられている。ITRS では、いかなる実効誘電率低減も、更なるポーラスウルトラ low- $\kappa$  ( $\kappa \leq 2$ ) の材料の改良ではなく、エアギャップの使用により達成されると見ている。Low- $\kappa$  については、これが現時点での材料による解決の終焉で、アークテクチャによる解法の始まりである。高品質の ALD プロセスの出現の遅れが 2nm 以下のバリア厚の要求に応えられず、重要な課題になっている。3 次元積層化は、TSV が量産に近づいたこともあり、新探求配線技術の項からは移動されている。

これに加えて、ITRS 章は、Cu 代替材料の研究と、FET のスイッチングに不可欠な代替材料を用いる配線への要求検討というニーズに関して、新たな重要な内容を盛り込んだ。CNT より革新的なオプション — 分子配線、量子波、スピнкаップリングを含む — で、それらは、まだ幼時の開発段階であるが、いずれの場合にもそのゴールは fJ/b での Tb/sec の伝送である。

### INTERCONNECT SUMMARY 2011

- 3 次元積層化とエアギャップは新探求配線から排除
- Low- $\kappa$  – 大きな材料の変更なし(この 10 年間で 2 度目)
  - エアギャップは設計と連携(バルク  $\kappa$  値 < 2.0)
  - 2011 年にはバルク  $\kappa$  値 < 2.4 に加速
- $J_{max}$  の電流限界は線幅に依存する
- <2.0 nm のバリアメタル・ニュークリエーションが厳しい課題
  - ALD のインテグレーションは、最適な Low- $\kappa$  とバリアメタルの組合せを含め、未だ検討が進行中
  - 新たなライナーメタル(Co, Ru など)はバリア積層を含めて、未だ開発中
  - 信頼性向上のためのキャッピング技術
- 新たに TSV/3 次元積層化のロードマップ表を準備
- Cu コンタクトは 2013 年以降に
- 数多くの新探求配線に向けての研究が進展中
- “native interconnects”の第一原理考察
  - 新探求材料・デバイスのスイッチング特性との区別 — CNT, グラフェン, ナノワイヤーなど。

## DIFFICULT CHALLENGES

Table ITWG9

## Interconnect Difficult Challenges

<b>Five Most Critical Challenges <math>\geq 16</math> nm</b>	<b>Summary of Issues</b>
<b>Material</b> Introduction of new materials to meet conductivity requirements and reduce the dielectric permittivity	The rapid introductions of new materials/processes that are necessary to meet conductivity requirements and reduce the dielectric permittivity create integration and material characterization challenges.
<b>Manufacturable Integration</b> Engineering manufacturable interconnect structures, processes and new materials	Integration complexity, CMP damage, resist poisoning, dielectric constant degradation. Lack of interconnect/packaging architecture design optimization tool
<b>Reliability</b> Achieving necessary reliability	New materials, structures, and processes create new chip reliability (electrical, thermal, and mechanical) exposure. Detecting, testing, modeling, and control of failure mechanisms will be key.
<b>Metrology</b> Three-dimensional control of interconnect features (with its associated metrology) is required to achieve necessary circuit performance and reliability.	Line edge roughness, trench depth and profile, via shape, etch bias, thinning due to cleaning, CMP effects. The multiplicity of levels combined with new materials, reduced feature size, and pattern dependent processes create this challenge.
<b>Cost &amp; Yield for Manufacturability</b>  Manufacturability and defect management that meet overall cost/performance requirements	As feature sizes shrink, interconnect processes must be compatible with device roadmaps and meet manufacturing targets at the specified wafer size. Plasma damage, contamination, thermal budgets, cleaning of high A/R features, defect tolerant processes, elimination/reduction of control wafers are key concerns. Where appropriate, global wiring and packaging concerns will be addressed in an integrated fashion.

<b>Five Most Critical Challenges <math>&lt; 16</math> nm</b>	<b>Summary of Issues</b>
<b>Material</b> Mitigate impact of size effects in interconnect structures	Line and via sidewall roughness, intersection of porous low- $\kappa$ voids with sidewall, barrier roughness, and copper surface roughness will all adversely affect electron scattering in copper lines and cause increases in resistivity.
<b>Metrology</b> Three-dimensional control of interconnect features (with its associated metrology) is required	Line edge roughness, trench depth and profile, via shape, etch bias, thinning due to cleaning, CMP effects. The multiplicity of levels, combined with new materials, reduced feature size and pattern dependent processes, use of alternative memories, optical and RF interconnect, continues to challenge.
<b>Process</b> Patterning, cleaning, and filling at nano dimensions	As features shrink, etching, cleaning, and filling high aspect ratio structures will be challenging, especially for low- $\kappa$ dual damascene metal structures and DRAM at nano-dimensions.
<b>Complexity in Integration</b> Integration of new processes and structures, including interconnects for emerging devices	Combinations of materials and processes used to fabricate new structures create integration complexity. The increased number of levels exacerbate thermomechanical effects. Novel/active devices may be incorporated into the interconnect.
<b>Practical Approach for 3D</b> Identify solutions which address 3D structures and other packaging issues	3 dimensional chip stacking circumvents the deficiencies of traditional interconnect scaling by providing enhanced functional diversity. Engineering manufacturable solutions that meet cost targets for this technology is a key interconnect challenge.

CMP—chemical mechanical planarization      DRAM—dynamic random access memory

## 工場技術 (FACTORY INTEGRATION)

工場技術 (Factory Integration) は ITRS (国際半導体技術ロードマップ) の中で最も重要な章のひとつであり、必要な製品を、正しい数量で、必要な時期に、コスト目標を達成しつつ効率的に生産するという目的を達成するため、工場のすべての要素を統合しようと努めている。ムーアの法則に遅れないで追従するためには、数十年にわたる長期トレンドとなっている 年率 30% の単位昨日あたりコストダウンを維持することが重要である。このためには、工場のコスト削減の可能な機会をすべて捕らえることが必要である。

### 2011 年と 2012 年のハイライト

工場技術の 5 つの節の改訂と他の ITWG (国際技術ワーキンググループ) との作業に加え、工場技術の ITWG は重要な技術の焦点となる分野を評価した。これらは、短期と長期に必要な事項に影響をあたえるとともに、工場技術の 2011 年 2012 年の進展全体に影響を及ぼすものである。

### 無駄の削減と能動的 (PROACTIVE) 可視化

製造コスト増大にともない、シリコンの微細化とともに、他の領域でコスト削減に焦点をあてるのが、緊急の課題となってきた。工場技術の国際技術ワーキンググループは、直近 5 年間におけるコスト削減を推進するためのコンセプトと関連する指標について議論し、ムーアの法則のコストトレンドに合致するよう生産性向上を推進するためには、無駄の削減が重要なコンセプトのひとつであるという結論を得た。

無駄というのは、もっとも一般的な意味での生産における損失であり、指標となりうる。この指標は、それぞれの国際話ワーキンググループが高い生産性とコスト削減を実現するための総合的な努力を推進する際に役立つ。

ITRS が議論すべきことは、第一に、ムーアの法則とそれと同等な派生法則から導かれる無駄の削減の目標設定であり、第二に、それぞれの国際技術ワーキンググループがこの新テーマをいかに彼らの活動に組み入れるかということであり、最後に、技術要求の表に、無駄の削減とともに彼らの要求を表現しうるということである。この議論は、ロードマップに必要な指標を包括的に含むものであるべきである。明らかに、エネルギーと資源の無駄の削減は、シリコンの微細化にのほかに付け加えられるべきもう一つの軸となってきた。

無駄の削減において最も効果的な分野の一つが、製造装置における段取り作業である。(製造作業の主たる工程に対して、その周辺または準備作業に相当するものである。) 段取り工程は以下のように 3 つの分野に分類できる。(1) 製造装置の中にあるもの、(2) 製造装置と工場の境界にあたるもの、(3) 工場の運営に関わるもの。最初の分野については、製造装置メーカーとデバイスメーカーの協力によって対処されるべきものである。「工程内のチャンバークリーニング」、「チャンバーの調整 (seasoning)」などは、この論理的な分野に関係する、よく知られた例である。キャリアやロットの交換は 2 番目の分野で知られている無駄の例である。少量生産をするにあたり、プロセスレシピを頻繁に変更すると、かなりの無駄を引き起こすことが知られていて、これは、第 3 の論理的な分野の関係している。

一般的な無駄の削減に取り組む準備のためには、更なる研究が必要である。このような取り組みのためには、無駄についての系統的な計測と可視化の方法が含まなければならない。無駄についての系統的知識は、通常継続的改善プログラム (CIP: Continuous Improvement Program) に加え、製造装置の設計と工場運営の実務の効率性と信頼性の指針となる。

このようなアプローチは WTW (Waste Time Waste: 時間的無駄) と EOW (Equipment Output Waste: 装置出力の無駄) の可視化と削減にたいして効果的である。ウェーハの WTW (Waste Time Waste: 時間的無駄) は、そのウェーハに対して無駄な時間を単に足しあげることによって計測可能である。そのように計測されたデータは、改善計画策定のために、必ずしも、そのままのかたちで使われるものではない。待ち時間と他の要素、たとえばリソースが使えるかどうか、他のウェーハのが製造装置の待ち時間があるかどうかなどとの間には多くの相互作用がある。待ち時間の原因を可視化すると、主たる相互作用についてのさらなる研究の必要であることがわかる。EOW (Equipment Output Waste: 装置出力の無駄) は、単一の製造装置に対しては、比較的簡単に特徴づけることができる。工場レベルの EOW も同様に計測可能であるが、製造装置とそれぞれの WIP (Work In Progress: 進行中の作業工程) の間の相互作用のために、EOW 改善計画の可視化は大変難しい。工場のシミュレータは、改善計画と改善策を実施後の評価のための可視化ツールとを接続する必要がある。産業界は、工場リソースと製品の状態遷移によるトリガーのかけ方について標準化作業を行う必要がある。特に、装置の無駄の削減を促進するため、製造装置が適切な粒度の情報を提供する必要がある。

### 将来の製造についての要求と 450mm への移行について課題

ムーアの法則に歩調を合わせるためには、1 平方 cm あたりのコストの 30% 削減 (一義的な目標) とサイクルタイムの 50% 削減を図る必要があり、素子のイノベーションに加え、ウェーハサイズの増大を有力な選択肢と見ている。最後のウェーハサイズの移行は 200mm から 300mm であって、これは 10 年前のことである。この際、明らかにコストが 30% 削減された。300mm ウェーハでの製造はすでに 4 つの技術世代を重ね、45nm に至っており、産業界は現在の 300mm から 450mm への円滑な移行に向け作業を行うことになろう。次世代ファブ (Next Generation Fab) の活動は、300mm でも 450mm でも区別なく使えるよう、大きな改善むけた取り組みをすると期待している。450mm ウェーハへの移行についての議論は、工場技術のワーキンググループの中でも、あるいは、他のワーキンググループとの議論においても、ビジネスの課題とともにいくつかの技術的課題も明らかにした。450mm に特化した工場の業務が、2010 年以降のロードマップで系統的に検討され取り上げられると期待される。

### 省エネルギー (ENERGY CONSERVATION)

省エネルギーの一義的目標は工場の稼働コストを削減することであり、これは、需要に基づく工場稼働モデルによって可能となる。その中で、省エネルギーは重要な役割を果たしている。工場技術のチームは、省エネルギーに関係する課題について、施設と製造装置のサブチーム内で幾つかのイニシアティブ (先導的検討) を行い、その作業の結果を施設の技術についての表に数値目標 (装置がアイドル時とプロセス処理時のエネルギー消費量) として反映させた。装置のスリープモードとは、ウェーハ処理されていないとき (すなわち、アイドル時) に、ポンプのように装置を支援するユニットがシャットダウンしている状態を意味する。工場技術の国際ワーキンググループは、2012 年以降、無駄削減と能動的な可視化の枠組みにおいて、省エネルギーについてより強力に作業する必要がある。

### 事後的 (REACTIVE) 稼働から予知的 (PREDICTIVE) 稼働への遷移

これまでに焦点を当てた分野は、工場稼働を事後的に反応する (Reactive) モードから、予知的な (Predictive) モードへ移るの一連の動きに対して大きな利点をもたらす。事後的な稼働は、不具合検出、予防的で非計画的な保守、実時間のスケジューリングと処理順序の決定などであるが、これらは、これまで、品質と生産性の目標達成のため、利用されてきたし、最適化もされてきた。残念ながら、この手法では、製品、ダウンタイム、サイクルタイムなどにおける無駄を究極的に無くすることはできない。なせなら、問題に対応する以前に、その問題の発生を待たなければならないためであり、予防的保守の場合がそうであるよう

に、予期せぬ事態をさけるために、より保守的で潜在的に無駄なことに携わるからである。つまり、(1) 不具合の検出は不具合の予知におきかえ、不具合が起こった際にスクラップが生じないようにすべきである、(2) 予知的保守によって、非計画的な装置のダウンの頻度を下げることができ、また、従来の保守的で無駄の多い保守慣行に比べ、保守の頻度を下げることができる、(3) 予知的なスケジューリングによって、無駄な時間とサイクルタイムの無駄を最小かできる、(4) 仮想的計測によって、全ウェハに対して、計測値を与えることができる、(5) 歩留予測はプロセスとシステムが品質と生産性目標を直接達成するために利用されるべきである。「事後的」から「予知的」への移行における主要課題は、正確、頑健、再構成可能、実時間的に改訂可能で理解可能なモデルで予知のベースとなるようなモデルを確立する能力である。予知の鍵となるものは、予知精度を改善し、その予知精度情報を(予知の内容それ自体とともに)、予知システムを最適化するために利用する技術であろう。

## まとめ

ITRS の工場技術の章は、効率的に必要な製品を正しい量でスケジュール通りにコスト目標を満たして効率的に製造するため、それに必要な工場のすべての要素を統合することに焦点をあてている。工場技術の章は、5 つのサブグループによる技術的課題と、その潜在的な解決策を提供することである。工場技術に関連する技術的課題で他の技術ワーキンググループ間で議論した課題も示されている。また、技術世代の交代、生産性改善、それと同時に年率 30%のペースで機能当たりのコストを削減する数十年にわたるトレンドの維持を達成するために鍵となる重要な領域についても示されている。

技術課題と潜在的解決策についてのより多くの情報と詳細については、工場技術(Factory Integration)章の電子版のリンクにアクセスされたい。その章は、下記のサイトからオンラインでリンクされている：

<http://www.itrs.net>

**DIFFICULT CHALLENGES**

<i>Table ITWG10</i>	
<i>Factory Integration Difficult Challenges</i>	
<i>Difficult Challenges through 2019</i>	<i>Summary Of Issues</i>
<p>1. Responding to rapidly changing, complex business requirements</p>	<ul style="list-style-type: none"> <li>• Increased expectations by customers for faster delivery of new and volume products (design → prototype and pilot → volume production)</li> <li>• Rapid and frequent factory plan changes driven by changing business needs</li>   <li>• Ability to load the fab within manageable range under changeable market demand, e.g., predicting planning and scheduling in real-time</li> <li>• Enhancement in customer visibility for quality assurance of high reliability products; tie-in of supply chain and customer to FICS operations</li> </ul>
<p>2. Managing ever increasing factory complexity</p>	<ul style="list-style-type: none"> <li>• Quickly and effectively integrating rapid changes in process technologies</li> <li>• Increased requirements for high mix factories. Examples are (1) significantly short life cycle time of products that calls frequent product changes, (2) the complex process control as frequent recipe creations and changes for process tools and frequent quality control criteria due to small lot sizes</li>   <li>• Manufacturing knowledge and control information need to be shared as required among factory operation steps and disparate factories</li> <li>• Need to concurrently manage new and legacy FICS software and systems with increasingly high interdependencies</li> <li>• Ability to model factory performance to optimize output and improve cycle time for high mix factories</li> <li>• Need to manage clean room environment for more environment susceptible processes, materials, and, process and metrology tools</li> <li>• Addressing need to minimize energy resource usage and waste; e.g., need to integrate fab management and control with facilities management and control</li> <li>• Comprehending increased purity requirements for process and materials</li>   <li>Providing a capability for more rapid adaptation, re-use and reconfiguration of the factory to support capabilities such as rapid new process introduction and ramp-up. This includes a challenge of supporting evolution of a FI communication infrastructure to support emerging capabilities beyond interface A.</li>   <li>• Supporting adoption and migration of equipment communication protocol standards to meet ITRS challenges and be in sync with emerging technologies in systems communication and management such as XML and cloud computing.</li>   <li>• Meeting equipment design challenges in maintaining yield and improving maintenance practices resulting from movement to new process materials that may be corrosive, caustic, environmentally impacting, molecularly incompatible etc.</li> <li>• Addressing factory integration challenges to assess and integrate EUV systems into the factory infrastructure</li>   <li>• Addressing AMC challenges through possibly changing factory operation approach (e.g, maintaining vacuum in specific areas), as well as providing necessary interfaces, information and technologies (e.g., virtual metrology and APC).</li>   <li>• Maintaining equipment availability and productivity while managing increase in sensors and systems within and outside the equipment, coordinated to support new paradigms (e.g., management of energy expended by the equipment and the fab in general, movement from reactive to fully predictive)</li> </ul>

<i>Table ITWG10</i>	<i>Factory Integration Difficult Challenges</i>
	<ul style="list-style-type: none"> <li>• Linking yield and throughput prediction into factory operation optimization</li> <li>• Real-time simulation in lock-step with production for operations prediction</li> </ul>
3. Achieving growth targets while margins are declining	<ul style="list-style-type: none"> <li>• Ability to visualize cost and cycle time for systematic waste reduction from all aspects.</li> <li>• Reducing complexity and waste across the supply chain; reducing white space in cycle times</li> <li>• Minimize the cost of new product ramp up against the high cost of mask sets and product piloting</li> </ul>
4. Meeting factory and equipment reliability, capability and productivity requirements per the Roadmap	<ul style="list-style-type: none"> <li>• Increased impacts that single points of failure have on a highly integrated and complex factory</li> <li>• More equipment reliability, capability and productivity visualization that can be used bidirectionally between equipment suppliers and users for more efficient task sharing</li> <li>• Design-in of equipment capability visualization in production equipment; design-in of APC (R2R control, FD , FC and SPC) to meet quality requirements</li> <li>• Equipment supplier roadmap for equipment quality visualization and improvement, and, reduction of Equipment Output Waste.</li> <li>• Reduction of equipment driven NPW (non-product wafers) operations that compete for resources with production wafers and Dandori operations[1]</li> <li>• Meeting wait-time waste factory level management targets; developing wait-time waste reporting for tools; supporting standardized fab-wide equipment state information management.</li> <li>• Moving from reactive to predictive paradigm for scheduling, maintenance and yield management</li> </ul>
5. Emerging factory paradigm and next wafer size change	<ul style="list-style-type: none"> <li>• Addressing issues in movement from lot-based to single-wafer processing and control</li> <li>• Uncertainty about 450 mm conversion timing and ability of 300 mm wafer factories to meet historic 30% cost effectiveness.</li> </ul> <p>450mm era: Effecting architectural and other changes as necessary at an affordable cost to maintain or improve wafer-throughput-to-footprint levels in migration to 450mm</p>
<i>Difficult Challenges Beyond 2019</i>	<i>Summary of Issues</i>
1. Meeting the flexibility, extendibility, and scalability needs of a cost-effective, leading-edge factory	<ul style="list-style-type: none"> <li>• Ability to utilize task sharing opportunities to keep the manufacturing profitable such as manufacturing outsourcing</li> <li>• Enhanced customer visibility for quality assurance of high reliability products including manufacturing outsourcing business models</li> <li>• Scalability implications to meet large 450 mm factory needs</li> <li>• Cost and task sharing scheme on industry standardization activity for industry infrastructure development</li> </ul>
2. Managing ever increasing factory complexity	<ul style="list-style-type: none"> <li>• Higher resolution and more complications in process control due to smaller process windows and tighter process targets in many modules</li> <li>• Complexity of integrating next generation lithography equipment into the factory</li> <li>• More comprehensive traceability of individual wafers to identify problems to specific process areas</li> <li>• Comprehensive management that allows for automated sharing and re-usages of complex engineering knowledge and contents such as process recipes, APC algorithms, FD and C criteria, equipment engineering best known methods</li> </ul>
3. Increasing global restrictions on environmental issues	<ul style="list-style-type: none"> <li>• Need to meet regulations in different geographical areas</li> <li>• Need to meet technology restrictions in some countries while still meeting business needs</li> <li>• Comprehending tighter ESH/Code requirements</li> <li>• Lead free and other chemical and materials restrictions</li> <li>• New material introduction</li> </ul>

<i>Table ITWG10</i>	<i>Factory Integration Difficult Challenges</i>
4. Post-conventional CMOS manufacturing uncertainty	<ul style="list-style-type: none"> <li>• Uncertainty of novel device types replacing conventional CMOS and the impact of their manufacturing requirements on factory design</li> <li>• Timing uncertainty to identify new devices, create process technologies, and design factories in time for a low risk industry transition</li> <li>• Potential difficulty in maintaining an equivalent 0.7× transistor shrink per year for given die size and cost efficiency</li> </ul>

*Notes for Table ITWG10*

*[1] Dandori operations: Peripheral equipment related operations that are in parallel or in-line and prior to or following to the main thread PE operations. So-called in-situ chamber cleaning is another good example than NPW operations.*

## ASSEMBLY AND PACKAGING

ムーアの法則が示すように、トランジスタ数とコストはスケーリング則に従ってきた。しかし、ナノレベルの時代になって、周波数や電力効率はスケーリング則に追従できなくなっている。この理由の一つは、接続材料の制約にもあるが、主な理由は、パッケージ技術がスケーリング則に従わないことである。これに対して、ウェハレベルパッケージやシステムインパッケージ、そして来るべき 3 次元革新により、スケーリングのメリットがパッケージも享受できるようになる。このスケーリング則によって電子産業の高度成長のペースは引き続き維持されていく。その目標を達成するために、新たな設計ツールや新パッケージアーキテクチャ、新材料、新プロセス、新設備など全てが必要になるだろう。民生品主体のマーケットでは電子製品への要求が変化し続けているので、それを満たすためのパッケージ技術の発展は革新とも言える。この革新は、重複した研究を削減するコンソーシアムの台頭と、挑戦すべきテーマを見出していくロードマップに基づいた全世界の協力によって支えられている。

### DIFFICULT CHALLENGES

2011 年の Assembly & Packaging のロードマップで特定した困難な課題を ITWG13 にまとめた。近年の 16nm までのテクノロジノードの課題に対応し、更に微細化し続けるために、材料やプロセス、アーキテクチャは急速に変化してきた。16nm 以降のテクノロジノードの課題はスケーリング則に基づく基本的な変化を反映している。課題は複雑であり、非常に大きな革新が必要となっている。

<i>Table ITWG11</i>		<i>Assembly and Packaging Difficult Challenges</i>	
<i>Difficult Challenges ≥16 nm</i>	<i>Summary of Issues</i>		
Impact of BEOL including Cu/low-κ on packaging	Direct wire bond and bump to Cu for very fine pitch due to thin wire limits		
	Dicing for ultra low-κ dielectric (includes κ < 2.5 <sub>eff</sub> and air gaps)		
	Improved fracture toughness of dielectrics-		
	Interfacial adhesion		
	Mechanical reliability for chip-package interconnect (requires co-design due to chip-package interaction)		
	Methodologies for measurement of critical properties needed		
	Probe damage for copper/ultra low κ		
Wafer-level packaging	I/O pitch for small die with high pin count		
	Solder joint reliability for tight pitch/low stand-off interconnect		
	Compact ESD structures		
	CTE mismatch compensation for large die and fanout die		
Coordinated design tools and simulators to address chip, package and substrate co-design	Mix signal co-design and simulation environment		
	Rapid turn-around modeling and simulation		
	Integrated analysis tools for transient thermal analysis and integrated thermal mechanical analysis		
	Electrical (power disturbs, EMI, signal and power integrity associated with higher frequency/current and lower voltage switching)		
	System level co-design is needed now		
	EDA for “native” area array is required to meet the Roadmap projections		
Interposers and embedded components	Models for reliability prediction		
	CTE mismatch for large interposers		
	Defect density at very thin interfaces		
	Low-cost embedded passives: R, L, C		
	Embedded active devices		
	Quality levels required not attainable on chip		
	Electrical and optical interface integration		
Thinned die packaging	Wafer-level embedded components		
	Handling technologies for thin wafers (particularly for bumped wafers)		
	Impact of different carrier materials (organics, silicon, ceramics, glass, laminate core)		
	Establish new process flows		
	Reliability		
Testability			

<i>Table ITWG11</i> <i>Assembly and Packaging Difficult Challenges</i>	
<b>Difficult Challenges ≤ 16 nm</b>	<i>Summary of Issues</i>
Close gap between chip and substrate, improved organic substrates	Increased wireability at low cost
	Improved impedance control and lower dielectric loss to support higher-frequency applications
	Improved planarity and low warpage at higher-process temperatures
	Low-moisture absorption
	Increased via density in substrate core
	Silicon I/O density increasing faster than the package substrate technology
High current density packages	Low-resistance contacts
	Electromigration
Flexible system packaging	Conformal low-cost organic substrates
	Small and thin die assembly
	Handling in low-cost operation
3D assembly and packaging	Thermal management
	Design and simulation tools
	Wafer-to-wafer bonding
	Through wafer via structure and via fill process
	Singulation of TSV wafers/die
	Test access for individual wafer/die
	Cost of TSV
Bumpless interconnect architecture	
Package cost does not follow the die cost reduction curve	Margin in packaging is inadequate to support investment required to reduce cost
	Increased device complexity requires higher cost packaging solutions
Small die with high pad count and/or high power density	Electromigration at high current density for interconnect (die, package)
	Thermal dissipation
	Improved current density capabilities
	Higher operating temperature
High-frequency die	Substrate wiring density to support >20 lines/mm
	Lower loss dielectrics
	“Hot spot” thermal management
	Package substrates with lines and spaces below 10 microns
System-level design capability to integrated chips, passives and substrates	Partitioning of system designs and manufacturing across numerous companies will make required optimization for performance, reliability and cost of complex systems very difficult
	-Complex standards for information types and management of information quality along with a structure for moving this information will be required.
Emerging device types (organic, nanostructures, biological) that require new packaging technologies	-Organic device packaging requirements not yet defined (will chips grow their own packages)
	-Biological interfaces will require new interface types
Power integrity	- Power supply quality
	- Power delivery in stacked die
	-Reducing power supply voltage with high device switching currents

## 環境・安全・健康(ESH) (ENVIRONMENT, SAFETY, AND HEALTH)

2011 年の ITRS ESH 章の全般的ロードマップは、成功した ESH プログラムの実行成果はその大部分は特定のテクノロジーの発展とは独立であるという事実を、引き続き、反映している。従って、多くの ESH の要素の多くは 2009 年版とよく似たものとなっている。結果として、以下の 4 つの基本的な戦略は 2009 年版を引き継いでいる。すなわち:

- 開発段階における、プロセスと材料の理解(特徴の明確化)
- 危険性が少ないか、または副生成物がそれほど危険でない材料の使用
- より少量の原料とリソースを消費する製品及びシステム(製造設備とファシリテイ)の設計
- 従業員にとって安全な工場の製造

これらの戦略を基本的要素として成功のために応用することで、産業界は、技術リーダーであるとともに ESH も達成し続けることになる。半導体メーカは ESH へのビジネスアプローチを受け入れている。ESH は製造技術、製品、サービスと統合された原理に基づくものである。ITRS ロードマップの ESH 章で特筆されるべきことは、ロードマップが意図においても実行においても技術に焦点をあてた文書であることから、ESH 章は諸々の政策や規制の問題を理解したうえでそれを記述しなければならないということにある。その実行において失敗があれば、開発に成功した技術の実用化を危機におとし入れることもありうる。ESH のこのような問題は、2009 年のロードマップで初めて、ESH のカテゴリーと領域を導入したことにより、明示的に再認識された。以下このことを手短かに要約する。2011 年の ESH ロードマップは、この概念を拡張して、2 つの新しいサブカテゴリー(要求にはデータがある、あるいは、データが得られていない)を導入し、ロードマップの信頼性目標と ESH のゴールとして示された評価指標の入手可能性を反映させることとした。

ESH ロードマップでは、新しいウェハプロセスやアセンブリ技術が研究開発段階から製造段階に入った際の課題を同定している。Table ESH2 に示すように、ESH の領域とカテゴリーの提示に従い、(新規のサブカテゴリーも含め)、ESH の技術要求は Tables ESH3-7 にリストにした。潜在的な技術とマネジメントの解であって、これらの課題に対応するものは Figures ESH1-3 に提案した。これらの課題に対する成功した解決策は、ESH の懸念点が、プロセス・装置・工場技術者、それとともに化学物質・材料と装置サプライヤ、さらには、アカデミックやコンソーシアの研究者の思考と行動が統合された際に、最もよく実現されることだろう。ESH の改善は、また、コスト、技術的性能、製品化時期の改善に貢献しなければならない(あるいは、最低でも、矛盾があってはならない)。これらは、本質的に、リスク、公衆と従業員の健康と安全の効果、環境への影響を最小化しなければならない。成功する国際的 ESH のイニシアティブは、時期を得たものであって、実現には程遠い場合でも、ロードマップの有効期間を通して、長期的な成功を確実にするべきものもある。

2011 年版では、材料に焦点をあてた 2 つの重点領域に注力した。第一は、公衆・政府の政策的期待と将来の技術要求との間の対立を少なくするような研究の必要性である。将来技術においては、特定の目的のために決定的材料あるいは新規材料が必要である。第二の領域は、未認定の、あるいは、根拠となるデータが無い場合、つまり、データそのものが無い、典型的データが無い、技術的対象を定義する際の適切な粒度が定義されていないなどの場合に、技術的要求をいかにして特定するかという問題である。そういう場合でも、その技術的対象は ESH にとって重要であり続ける。

これらの重要な課題、つまり、研究に必要性の定義、技術的要求の決定、将来の規制と制限の遵守、により良く取り組むため、今年度のロードマップに新たな戦略的要素を追加し、我々の既存の産業界のビジネスプロセスの上に、それを打ち立てることとした。我々は、グリーン化学(Green Chemistry)の原理をロードマップに統合することを確約し、産業界の枠組みと過程の両方に尽くし、ESH の全領域に取り組む。技術のライフサイクルに初めにグリーン化学のアプローチを採用することにより、化学的な設計段階の初期

に、産業界が将来の ESH の課題に取り組む際の時間を最大化できるようになるだろう。ESH の技術ワーキンググループにとっては、利害関係者であるパートナーや顧客がロードマップの戦略的焦点をリセットするに際し、ESH の焦点を能動的に見直していくことになるだろう。

## DIFFICULT CHALLENGES

<i>Table ITWG12</i>		<i>Environment, Safety, and Health Difficult Challenges</i>	
<i>Difficult Challenges ≥ 16 nm</i>		<i>Summary of Issues</i>	
<i>Overall challenge</i>		There is a need for Roadmap quality goals and metrics need to be defined for a substantial number of ESH technology requirements	
<i>Chemicals and materials management</i>		<ul style="list-style-type: none"> <li>• <i>Chemical Assessment</i>: There is a need for robust and rapid assessment methodologies to ensure that new chemicals/materials achieve timely insertion in manufacturing, while protecting human health, safety, and the environment. Given the global options for R&amp;D, pre-manufacturing, and full commercialization, these methodologies must recognize regional regulatory/policy differences, and the overall trends towards lower exposure limits and increased monitoring.</li> <li>• <i>Chemical Data Availability</i>: Comprehensive ESH data for many new, proprietary chemicals/materials is incomplete, hampering industry response to the increasing regulatory/policy requirements on their use. In addition, methods for anticipating and forecasting such future regulatory requirements are not well developed.</li> <li>• <i>Chemical Exposure Management</i>: There is incomplete information on how chemicals/materials are used and how process by-products are formed. Also, while methods used to obtain such information are becoming more standardized, their availability varies depending on the specific issue being addressed.</li> </ul>	
<i>Process and equipment management</i>		<ul style="list-style-type: none"> <li>• <i>Process Chemical Optimization</i> There is a need to develop processes and equipment meeting technology requirements, while at the same time reducing their impact on human health, safety and the environment (e.g., using more benign materials, reducing chemical quantity requirements by more efficient and cost-effective process management).</li> <li>• <i>Environment Management</i>: There is a need to understand ESH characteristics, and to develop effective management systems, for process emissions and by-products. In this way, the appropriate mitigations (including the capability for component isolation in waste streams) for such hazardous and non-hazardous emissions and by-products can be properly addressed.</li> </ul> <p>Global Warming Emissions Reduction: There is a need to limit emissions of high GWP chemicals from processes which use them, and/or produce them as by-products.</p> <ul style="list-style-type: none"> <li>• <i>Water and Energy Conservation</i>: There is a need for innovative energy- and water-efficient processes and equipment.</li> <li>• <i>Consumables Optimization</i>: There is a need for more efficient chemical/material utilization, with improved reuse/recycling/reclaiming of them and their process emissions and by-products.</li> <li>• <i>Byproducts Management</i>: There is a need for improved metrology for by-product speciation.</li> <li>• <i>Chemical Exposure Management</i>: There is a need to design-out chemical exposure potentials and the requirements for personal protective equipment (PPE)</li> <li>• <i>Design for Maintenance</i>: There is a need to design equipment so that commonly serviced components and consumable items are easily and safely accessed, with such maintenance and servicing safely performed by a single person with minimal health and safety risks.</li> <li>• <i>Equipment End-of-Life</i>: There is a need to develop effective management systems to address issues related to equipment end-of-life reuse/recycle/reclaim.</li> </ul>	
<i>Facilities technology requirements</i>		<ul style="list-style-type: none"> <li>• <i>Conservation</i>: There is a need to reduce energy, water and other utilities consumption and for more efficient thermal management of cleanrooms and facilities systems.</li> <li>• <i>Global Warming Emissions Reduction</i>: There is a need to design energy efficient manufacturing facilities, to reduce total CO<sub>2</sub> equivalent emissions.</li> </ul>	
<i>Sustainability and product stewardship</i>		<ul style="list-style-type: none"> <li>• <i>Sustainability Metrics</i>: There is a need for methodologies to define and measure a technology generation's sustainability.</li> <li>• <i>Design for ESH</i>: There is a need to make ESH a design-stage parameter for new facilities, equipment, processes and products.</li> <li>• <i>End-of-Life Reuse/Recycle/Reclaim</i>: There is a need to design facilities, equipment and products to facilitate these end-of-life issues</li> </ul>	
<i>Difficult Challenges &lt; 16 nm</i>		<i>Summary of Issues</i>	
<i>Chemicals and materials management</i>		<ul style="list-style-type: none"> <li>• <i>Chemical Assessment</i>: There is a need for robust and rapid assessment methodologies to ensure that new chemicals/materials achieve timely insertion in manufacturing, while protecting human health, safety, and the environment.</li> <li>• <i>Chemical Data Availability</i>: There is incomplete comprehensive ESH data for many new, proprietary chemicals/materials, to be able to respond to the increasing regulatory/policy requirements on their use</li> </ul>	
<i>Process and equipment management</i>		<ul style="list-style-type: none"> <li>• <i>Chemical Reduction</i>: There is a need to develop processes and equipment meeting technology requirements, while also reducing their impact on human health, safety and the environment (e.g., using more benign materials, reducing chemical quantity requirements by more efficient and cost-effective process management). There is a need to limit emissions of high GWP chemicals from processes which use them, and/or produce them as by-products.</li> <li>• <i>Environment Management</i>: There is a need to understand ESH characteristics, and to develop effective management systems, for process emissions and by-products. In this way, the appropriate mitigations for such hazardous and non-hazardous emissions and by-products can be addressed.</li> </ul>	

<i>Table ITWG12</i> <i>Environment, Safety, and Health Difficult Challenges</i>	
	<ul style="list-style-type: none"> <li>• <i>Water and Energy Conservation</i>: There is a need to reduce water and energy consumption, and for innovative energy- and water-efficient processes and equipment.</li> <li>• <i>Consumables Optimization</i>: There is a need for more efficient chemical/material utilization, including their increased reuse/recycle/reclaim (and of their process emissions and by-products).</li> <li>• <i>Chemical Exposure Management</i>: There is a need to design-out chemical exposure potentials and personal protective equipment (PPE) requirements.</li> <li>• <i>Design for Maintenance</i>: There is a need to design equipment so that commonly serviced components and consumable items are easily and safely accessed, with such maintenance and servicing safely performed by a single person with minimal health and safety risks.</li> <li>• <i>Equipment End-of-Life</i>: There is a need to develop effective management systems to address issues related to equipment reuse/recycle/reclaim.</li> </ul>
<i>Facilities technology requirements</i>	<ul style="list-style-type: none"> <li>• <i>Conservation</i>: There is a need to reduce energy, water and other utilities use, and for more efficient thermal management of cleanrooms and facilities systems.</li> <li>• <i>Global Warming Emissions Reduction</i>: There is a need to design energy efficient manufacturing facilities, to enable reducing total CO<sub>2</sub> equivalent emissions.</li> </ul>
<i>Sustainability and product stewardship</i>	<ul style="list-style-type: none"> <li>• <i>Sustainability Metrics</i>: There is a need for methodologies to define and measure sustainability by technology generation, as well as at the factory infrastructure level.</li> <li>• <i>Design for ESH</i>: There is a need to make ESH a design-stage parameter for new facilities, equipment, processes and products, with methodologies to holistically evaluate and quantify the ESH impacts of facilities operations, processes, chemicals/materials, consumables, and process equipment for the total manufacturing flow.</li> <li>• <i>End-of-Life Reuse/Recycle/Reclaim</i>: There is a need to design facilities, equipment and products to facilitate these end-of-life issues</li> </ul>

## 歩留まり向上 (YIELD ENHANCEMENT)

歩留まり向上の章の 2012 年度版は以前の版と比べて大きな変更があると共に、本章が扱う範囲について新たな方針を示した。歩留まり向上の章では、長らく更新されなかったサブ章である“許容欠陥密度と歩留まりモデル(YMDB: Yield Model and Defect Budget)”を削除した。その結果、歩留まり向上の章は2つのサブ章すなわち、“ウェーハ環境汚染制御”と“検査、分析、特徴付け”から構成される。後者は前回までの“欠陥検出と評価(DDC: Defect Detection and Characterization)出サブ章をベースにして構築されている。ウェーハ環境汚染制御では超純水、薬液、ガス中、またはクリーンルームや清浄局所空間の空気中の不純物管理限界値の提供を継続している。管理限界値はクリティカルな工程での歩留まり影響情報をもとに更新されている。FOUP のような囲われたウェーハ環境での AMC(大気分子汚染)の影響には特に注意が払われている。FOUP 内のコンタミ対策法の評価と解説は初期化された。ここは FI(工場技術)の専門家とともに審議中の部分である。レチクルなどの生産手段はウェーハ環境汚染制御の重要なトピックスであり、今後にわたってまとめに含まれる。プロセス特有または局所空間特有の管理限界値が詳述されている。これらのコンタミに対する早くて信頼性のある定量手法のレビューが計画されており 2012/2013 年の間に結果が報告される見込みである。EUV リソグラフィーのような新しい生産技術に対するコンタミネーションの影響評価および管理限界値提案は 2012 年にまとめる予定である。

'More Moore'(微細化)や'More than Moore'(機能的多様化)に代表される幅広い分野からの要望により 2011 版では“検査、分析、特徴付け”という章を新設した。またこれにはパワーデバイスやメカトロニクス、MEMS はもとより、アSEMBリーパッケージでの検査や分析への要求をも取り込むものである。この変更は 2011-2012 での議論により決定された。表や解決策候補については 2013 年版で公開予定である。

現在の最重要課題は多重キラー欠陥と SN 比となるであろう。多重キラー欠陥の検出とそれらを同時に分類することを高い捕捉率、低 CoO でかつ高スループットで行うことが課題となる。更には、膨大な量の問題のない擬似欠陥がある中で歩留まりに影響する欠陥を特定することも最重要課題と言える。2 番目に重要な課題はプロセス安定性と汚染レベルの絶対値との関連を明確にすることである。これには歩留評価用のテストパターンやウェーハの環境や取扱いによって付着する欠陥と歩留りとの関連を明確にするのに必要となる手法やデータが含まれる。これによりガスや薬品、雰囲気、ブリカーサー、純水、基板上の清浄度の管理値が決定される。2011 年版での“検査、分析、特徴付け”章の変更に伴う重要性は低い新たな課題として、基板上の有機汚染の検出を追加している。現状、基板上の不揮発性の有機汚染の検出や分布確認は製造工場では不可能である。製造や開発現場に設置可能な装置は存在しない。2011 年版での最初の長期的課題としては次世代欠陥検査を挙げている。これまで一般的だった遠視野顕微鏡での明視野検出では対象とする欠陥の分離が難しくなっており、13nm 以下の世代で要求される検査に対応可能な代替技術の開発・選定が必要である。いくつかの技術が候補として挙げられている: 高速走査型プローブ顕微鏡や近視野走査型顕微鏡、干渉顕微鏡、走査型容量顕微鏡、そして電子顕微鏡である。これらの技術選定では最高解像度や処理能力、そして観察対象への作用(汚染や物理ダメージの程度)の検証が重要なポイントとなる。

さらに、長期的課題として、次世代リソグラフィでのインライン欠陥検査や分析を挙げた。

詳細な変更点は下記のとおりである。

### ・ウェーハ環境汚染制御

ウェーハ環境汚染制御の章は、この章の重要性を考慮して、歩留り管理章の最初に配置された。表 YE3 はクリーンルーム環境のためのコンタミネーション制御限界値とウェーハが直接晒される FOUP 内環境のためのコンタミネーション制御限界値とが並べて配置されている。YE3 の限界値は慎重にチェックして再確

認し、欠損値が追加された。ウェーハ及び材料からのアウトガスで生じる FOUP 内クロスコンタミネーションの問題はその抑制方法、並びに評価方法と一緒に包括的に表に記載された。

FOUP 内汚染の究明、並びに制御方法の効果などは、各プロセスごとに Q-Time の影響を考慮し、全て工場技術と一緒に評価された。解決策候補として、CR 内環境中の大気分子汚染モニタリング技術と共に FOUP 内クロスコンタミネーション制御を表に入れた。

・検査、分析、特徴付け

上記説明の様に“検査、分析、特徴付け”章を制定した。YE4,5,6 テーブルについてはテクノロジーの最小寸法変化に応じて更新している。

**DIFFICULT CHALLENGES**

<i>Table ITWG13 Yield Enhancement Difficult Challenges</i>	
<i>Difficult Challenges ≥ 16 nm</i>	<i>Summary of Issues</i>
<p>Detection and identification of Small Yield Limiting Defects from Nuisance - Detection of multiple killer defects and their simultaneous differentiation at high capture rates, low cost of ownership and high throughput. It is a challenge to find small but yield relevant defects under a vast amount of nuisance and false defects.</p>	<p>Existing techniques trade-off throughput for sensitivity, but at expected defect levels, both throughput and sensitivity are necessary for statistical validity.</p> <p>Reduction of inspection costs and increase of throughput is crucial in view of CoO.</p> <p>Detection of line edge roughness due to process variation.</p> <p>Electrical and physical failure analysis for killer defects at high capture rate, high throughput and high precision.</p> <p>Reduction of background noise from detection units and samples to improve the sensitivity of systems.</p> <p>Improvement of signal to noise ratio to delineate defect from process variation.</p> <p>Where does process variation stop and defect start?</p>
<p>Non-Visual Defects and Process Variations – Increasing yield loss due to non-visual defects and process variations requires new approaches in methodologies, diagnostics and control. This includes the correlation of systematic yield loss and layout attributes. The irregularity of features in logic areas makes them very sensitive to systematic yield loss mechanisms such as patterning process variations across the lithographic process window.</p>	<p>Systematic Mechanisms Limited Yield (SMLY), resulting from unrecognized models hidden in the chip, should be efficiently identified and tackled through logic diagnosis capability designed into products and systematically incorporated in the test flow. It is required to manage the above models at both the design and manufacturing stage. Potential issues can arise due to:</p> <ul style="list-style-type: none"> <li>a) Accommodation of different Automatic Test Pattern Generation (ATPG) flows.</li> <li>b) Automatic Test Equipment (ATE) architecture which might lead to significant test time increase when logging the number of vectors necessary for the logic diagnosis to converge.</li> <li>c) Logic diagnosis runs time per die.</li> <li>d) Statistical methodology to analyze results of logic diagnosis for denoising influence of random defects and building a layout-dependent systematic yield model.</li> </ul> <p>Test pattern generation has to take into account process versus layout marginalities (hotspots) which might cause systematic yield loss, and has to improve their coverage.</p> <p>Methodology for employment and correlation of fluid/gas types to yield of a standard test structure/product</p> <p>Relative importance of different contaminants to wafer yield.</p> <p>Define a standard test for yield/parametric effect.</p>
<p>Process Stability vs. Absolute Contamination Level – Including the Correlation to Yield Test structures, methods and data are needed for correlating defects caused by wafer environment and handling with yield. This requires determination of control limits for gases, chemicals, air, precursors, ultrapure water and substrate surface cleanliness.</p>	<p>Methodology for employment and correlation of fluid/gas types to yield of a standard test structure/product</p> <p>Relative importance of different contaminants to wafer yield.</p> <p>Define a standard test for yield/parametric effect.</p>
<p>Detection of organic contamination on surfaces – The detection and speciation of non volatile organics on surfaces is currently not possible in the fab. There is no laboratory scale instrumentation available.</p>	<p>A possible work around is the use of NEXAF at a synchrotron radiation facility.</p>

<i>Table ITWG13</i>		<i>Yield Enhancement Difficult Challenges</i>	
<i>Difficult Challenges &lt; 16 nm</i>		<i>Summary of Issues</i>	
<p>Next Generation Inspection - As bright field detection in the far-field loses its ability to discriminate defects of interest, it has become necessary to explore new alternative technologies that can meet inspection requirements beyond 13 nm node.</p>		<p>Several techniques should be given consideration as potential candidates for inspection: high speed scanning probe microscopy, near-field scanning optical microscopy, interferometry, scanning capacitance microscopy and e-beam. This path finding exercise needs to assess each technique's ultimate resolution, throughput and potential interactions with samples (contamination, or degree of mechanical damage) as key success criteria.</p>	
<p>In - line Defect Characterization and Analysis – Based on the need to work on smaller defect sizes and feature characterization, alternatives to optical systems and Energy Dispersive X-ray Spectroscopy systems are required for high throughput in-line characterization and analysis for defects smaller than feature sizes. The data volume to be analyzed is drastically increasing, therefore demanding for new methods for data interpretation and to ensure quality. [1]</p>		<p>Data volume + quality: strong increase of data volume due to miniaturization</p> <p>The probe for sampling should show minimum impact as surface damage or destruction from SEM image resolution.</p> <p>It will be recommended to supply information on chemical state and bonding especially of organics.</p> <p>Small volume technique adapted to the scales of technology generations.</p> <p>Capability to distinguish between the particle and the substrate signal.</p>	
<p>Next generation lithography - Manufacturing faces several choices of lithography technologies in the long term, which all pose different challenges with regard to yield enhancement, defect and contamination control.</p>			

## 計測 METROLOGY

先端リソグラフィプロセス、新材料および、Beyond CMOS 材料・構造・デバイスから継続して計測要求がなされている。EUV リソグラフィに対する要求によって、マスク計測のために新たな装置開発をする必要性が出てきた。最少寸法計測は限界に近づいており、微細化のトレンドを維持するためには大きな進展が必要である。他方、最少寸法に対する課題としては計測機器間のマッチング精度が挙げられる。ここ数年における短期的な計測精度の“精密さ”(計測の不確かさ)の要求に対しては、計測装置を一つに固定した使用によって解決することができる。高精度な重ね合わせ制御の要求に対して重ね合わせ検査装置の計測能力は遅れている。フロントエンドプロセスからは、III-V 族積層膜、高誘電率材料、2重仕事関数金属ゲート及び新規極薄接合ドーピングプロセスを含む新しいチャネルの計測要求が継続しており、それに対応してゆく必要がある。FinFET のような 3 次元デバイス構造では、より厳しい形状計測およびドーピング計測が要求されている。低誘電率膜の空隙率を制御する必要性から空隙率の計測に新たに関心が高まった。3 次元の配線技術に対する計測要求には、TSV の研究開発の活動が大きく反映されている。次世代の 3 次元実装におけるウェーハ間の張り合わせに必要な重ね合わせ制御技術は、“現状利用可能な手段が存在する状況”にある。Beyond CMOS の研究開発に関しては、グラフェンの計測技術が様々分野で大きく前進したが、量産にはまだ課題があり、引き続き研究開発が必要である。大きな領域で均一なグラフェンを形成するための理解には、物理的及び電氣的な計測技術が不可欠である。さらに、計測の研究開発機関は他の Beyond CMOS 材料についても扱っている。

### DIFFICULT CHALLENGES

以下に挙げられている計測に関する短期的課題の多くは、16 nm 技術世代以降も継続課題として残される。2017 年以降の計測ニーズは、これから明らかとなるであろう新材料および新プロセスの在り方に応じて変わる。従って、今後の計測ニーズを全て洗い出すことは難しい。パターン寸法の縮小、しきい値電圧やリーク電流のようなデバイスパラメータをより精密に制御すること、そして 3 次元配線のような新しい配線技術は、物理計測技術に大きな挑戦課題を与えることになるであろう。所望のデバイス・スケールを成し遂げるためには、原子スケールでの特性測定ができなければならない。表 ITWG14 に、計測の 10 大課題を示す。

Table ITWG14

## Metrology Difficult Challenges

困難な技術課題 ≥ 16 nm ノード	問題の内容
工場および会社規模での実時間／その場／組み込み／インラインの計測装置；頑丈なセンサ (robust sensors、訳者注：測定精度に余裕があり、環境の変動などに強いセンサ) およびプロセスコントローラの開発；センサの追加統合が可能なデータ管理。	プロセスコントローラおよびデータ管理の標準規格が必要である。大量な生データを歩留り向上に有用な情報に転換することが必要である。トレンチエッチング時の終点検出、イオン注入時のイオン種／エネルギー／ドーズ量(電流)、および RTA 処理時のウェーハ温度に対して、より良いセンサの開発が必要である。
シリコンウェーハ (starting materials) 製造やデバイス製造での計測技術は SOI のような新しい基板の導入によって影響を受ける。シリコンウェーハで問題となる量の不純物検出 (特に微粒子)、およびウェーハ周辺部の検査不能領域の削減。CD、膜厚、欠陥検査は薄い SOI の光学的性質や電子・イオンによる帯電によって影響を受ける。	現行のままでは、ロードマップの目標レベルを達成できない。極微小粒子の検出とサイズ分類が必要である。SOI ウェーハに対する性能向上が必要である。課題は、SOI 構造による余分な散乱と表面の品質に起因する。
自己整合リソグラフィのような新しい技術、FinFET や MuGFET トランジスタ、メモリ素子の容量やコンタクト穴のように複雑な 3 次元構造、および 3 次元配線の制御は、素早く立ち上げるための準備ができていない。	FinFET 構造のオフラインの評価・解析技術において顕著な進歩があったが、“FinFET トランジスタはハーフピッチ 16 nm の世代に量産される予定である”という最近の報告では、インラインの形状、組成、ドーパント計測に関する短期的な要求に重きが変わっている。二度露光に対する重ね合わせ測定は、より厳しい制御要求になる。重ね合わせは CD を決める。3 次元配線は様々に多くの実現法がある。プロセス制御に必要なとされる新しいニーズが不明確である。たとえば、容量・デバイス・コンタクトを含めてトレンチ構造の 3 次元 (CD と深さ) 測定が必要であろう。
複雑な積層材料の測定、および界面における物理的性質や電気的性質の計測。	制御された薄膜と界面層を含む新 high-k ゲート／容量誘電膜、配線バリアのような薄膜と low-k 誘電膜、およびその他のプロセスニーズに対応する標準試料／標準物質と標準測定方法。ゲートや容量誘電膜の光学的測定結果は広い領域の平均であり、界面層の評価・解析が別に必要になる。歪 Si や SOI 基板あるいはバリア層の測定で積層構造に対するキャリア移動度評価が必要になるだろう。メタルゲートの仕事関数の評価は、もう一つの大きなニーズである。
測定用のテスト構造と標準試料／物質。	特にスクライブ線において、テスト構造に割当てられる面積は縮小している。スクライブ線上にあるテスト構造ではチップ内の特性変化と相関が取れないという懸念がある。重ね合わせその他のテスト構造はプロセス変化に敏感であり、テスト構造はスクライブ線上とチップ内の対応が取れるように設計を改善する必要がある。適切な標準物質を作るために、標準化機関は最先端技術を用いて開発や製造の能力を向上させる活動に早急に着手する必要がある。
<i>Difficult Challenges &lt; 16 nm</i>	
ウェーハおよびマスクに関する 3 次元構造の寸法測定／重ね合わせ精度測定／欠陥検出／解析に使用する非破壊の生産用顕微鏡観察技術。	表面帯電およびコンタミネーションは SEM 像形成時の障害となる。寸法測定ではパターン側壁の形状を考慮しなければならない。ダマシンプロセスにおけるトレンチ構造の寸法測定が必要である。ステップの焦点と露光量、エッチバイアス(エッチ後寸法とレジスト寸法の差)などのプロセス制御は高精度化と 3 次元対応が必要である。
チップ内特性を測ることでチップ間やウェーハ間ばらつきを反映できるような新しい計測法を考える必要がある。	デバイス縮小に伴って、テスト構造を変えた場合の特性とチップ内の特性との相関を取るのが難しくなっている。測定試料の扱ひ方を最適化することが、これ等の問題を解く鍵である。

84 2011 新規事項—ワーキンググループ要約(What is New for 2011—the Working Group Summaries)

<p>統計変動が顕在化する 16 nm ノード以降でのプロセス制御。</p>	<p>自然現象としてのゆらぎが計測を制限する領域では、プロセスを制御することが困難となろう。たとえば、低ドーズのイオン注入、薄いゲート絶縁膜、および極微細構造でのエッジラフネスである。</p>
<p><i>困難な技術課題 ≥ 16 nm ノード</i></p>	<p><i>問題の内容</i></p>
<p>工場および会社規模での実時間/その場/組み込み/インラインの計測装置;頑丈なセンサ(robust sensors、訳者注:測定精度に余裕があり、環境の変動などに強いセンサ) およびプロセスコントローラの開発;センサの追加統合が可能なデータ管理。</p>	<p>プロセスコントローラおよびデータ管理の標準規格が必要である。大量な生データを歩留り向上に有用な情報に転換することが必要である。トレンチエッチング時の終点検出、イオン注入時のイオン種/エネルギー/ドーズ量(電流)、および RTA 処理時のウェーハ温度に対して、より良いセンサの開発が必要である。</p>

## モデリング&シミュレーション(MODELING AND SIMULATION)

モデリング&シミュレーションは半導体デバイスの仮想的なチップ製造と特性解析である。計算プログラムは、構造、デバイスの歪みと化学組成(ドーパント、SiGe など)、電気的な性能と信頼性、最終的な回路とシステムのふるまいを予測するために使われる。モデリング&シミュレーションの全般的な狙いは、実験から得るにはより困難で、より費用がかかり、より効率的でなく、より時間を浪費する情報を、開発期間とコストの削減のために提供することにより、現実の技術、デバイス、回路とシステムの開発をサポートすることである。これを可能にするためには、モデリング&シミュレーションツールは、適切なパラメータセットを含む適切な物理モデルを含有し、アプリケーションの普遍性、計算時間、取り組むことができるアプリケーションの複雑性、最後であるがおろそかにできない、ユーザインタフェースとインタラクションに対する様々な要求を満たす必要がある。順次、モデリング&シミュレーション機能に対する献身的研究開発活動が必要である。

産業界と研究においてシミュレーションツールのユーザの要求を最も良く満たすために、ITRS のモデリング&シミュレーショングループは、2009 年においても、グループ内の評価と ITRS の他グループの結果を通して、プロセス技術・インテグレーション・製造の課題に対処するための産業界の要求にその仕事の基礎を強く置いた。

モデリング&シミュレーション章の主要部は、これらのクロスカットと最新の技術の全般的な評価を基に準備された。以下、章の主要素は、2007/2008 ITRS との比較の観点から特に纏められている。

初期の頃と同様に、モデリング&シミュレーションの困難な技術課題は、章の最初で強調されている。6 個の短期的な技術課題は 2009 年において 16nm までの node を参照している。これらの中で、2 個の技術課題がナノスケール・デバイスシミュレーション機能(手法、CMOS の限界予測に寄与するモデルとアルゴリズム)と、配線とパッケージのための電気的・熱的・機械的モデリングに名前を変えた。産業界の要求と現状の開発のために、2009 年モデリング&シミュレーション章の Table ITWG15 の下と Table MS-1 に示すように、これらの技術課題の全ての詳細な内容が大きく変えられた。長期的な技術課題は現在 16nm よりも小さい node を参照している。ここでは、これらの内の最初の 2 個の内容が少しだけ修正された。

ITRS の他グループとのこれらのクロスカットと同様に、プロセス、デバイス、配線、回路からパッケージまでの装置シミュレーションの領域を整理することにより、モデリング&シミュレーション章によってカバーされている領域間の強いリンクが存在する。2009 年のモデリング&シミュレーション章は様々なレベルのモデリングを取り扱う 7 個(装置/特徴スケールモデリング、リソグラフィモデリング、フロントエンドモデリング、デバイスモデリング、配線と集積化受動素子モデリング、回路モデリング、パッケージシミュレーション)の節を含んでいる。これらの節の範囲は 2007 年と比べて変わってないのに対して、そこで述べられている要求はモデリング&シミュレーションにおいて産業界と最新の技術の発展に基づいて大きく進展した。

2007 年 ITRS では、これらの 7 個の領域を横断する 3 個(材料モデリング、設計・製造・歩留りのための TCAD、数値解法)のトピックスがあった。2009 年 ITRS において後者の節はツール間の接続性を含むように拡張された。これは、産業界と研究においてシミュレーションの効率的な使用に対する重要な要求である。これらの横断的な節は 2 点目として設計頑丈さ・製造・歩留りのモデリングの節で範囲が進展した。さらに、信頼性の課題はシミュレーションの全てのレベルでより重要になっていて、さらに、デバイス、回路、パッケージレベルの信頼性の問題は製造プロセスとそれらのバラツキの詳細に部分的に基づいているため、新たに分離した横断的な信頼性モデリングの節が 2009 年モデリング&シミュレーション章に加えられた。

新たなモデリング機能の開発は、一般に長期間の研究と益々の学際的な活動が必要である。これは、大学や研究所環境で実行されるのがベストである。このため、モデリング領域で成功するには、産業界との緊密な連携と共に、上記のシミュレーション連鎖に沿って、大学や独立な研究機関における膨大な研究努力が事前に必要となる。

必要な基礎的な仕事は一般に極めて長期間の開発時間がかかるため、産業界の将来の重要な必要性について述べるために、適切な研究基金がタイムリーな方法で利用できることが重要である。現在では、そのような研究基金の不足は、上記に纏めた困難な技術課題よりも、かなり厳しい。例えば、2005年と2007年のITRSに纏めた幾つかのモデリング&シミュレーションの要求は、十分なR&Dが研究基金の不足により行われなかったため、この2009年の課題に押し出され遅れた。

## DIFFICULT CHALLENGES

<i>Table ITWG15</i>	
<i>Modeling and Simulation Difficult Challenges</i>	
<i>Difficult Challenges <math>\geq 14</math> nm</i>	<i>Summary of Issues</i>
Lithography simulation including EUV	Complementary lithography
	Simulation of defect inspection and characterization, influences/defect printing. Mask optimization including defect repair or compensation
	Simulation of resolution enhancement techniques including combined mask/source optimization (OPC, PSM) and including EMF and resist effects, and extensions for inverse lithography
	Models that bridge requirements of OPC (speed) and process development (predictive) including EMF effects
	Predictive and separable resist models (e.g., mesoscale models) including line-edge roughness, accurate profiles, topcoat and substrate (underlayer) interactions, etch resistance, adhesion, mechanical stability, leaching, swelling or slimming, and time-dependent effects in single and multiple exposure
	Resist model parameter calibration methodology (including kinetic transport and stochastic parameters)
	Fast, predictive simulation of ebeam mask making (single-beam and multibeam) including short and long range proximity corrections
	Simulation of directed self-assembly of sublithography patterns
	Modeling lifetime effects of equipment and masks, including lens and mirror heating effects
	Predictive coupled deposition-lithography-etch simulation (incl. double patterning, self-aligned patterning)
	Modeling metrology equipment and data extraction for enhancing model calibration accuracy
	Modeling of pellicle effects and pellicle defects simulation (incl. double patterning, self-aligned patterning)
Front-end process modeling for nanometer structures	Coupled diffusion/(de)activation/damage/stress models and parameters including low-temperature, SPER, millisecond and microwave processes in Si-based substrate, that is, Si, SiGe, Ge-on-Si, III/V-on-Si (esp. InGaAs-on-Ge-on-Si), SOI, epilayers, and ultra-thin body devices, taking into account possible anisotropy in thin layers. Accurate models for Stress-Induced Defects
	Implantation models for ions needed for new materials
	Models for alternative implantation methods: Plasma doping (e.g. for FinFETs), cluster implantation, cyro or hot implants (incl. self-annealing)
	Diffusion in advanced gate stacks
	Predictive segregation and dose loss models
	Modeling of interface and dopant passivation by hydrogen or halogens
	Modeling of epitaxially grown layers: Shape, morphology, stress, defects, doping, diffusion, activation
	Modeling hierarchy from atomistic to continuum for dopants and defects in bulk and at interfaces
	Efficient and robust 3D meshing for moving boundaries
Modeling the impact of front-end processing-induced damage to devices on their leakage, noise and reliability behavior during operation	

<i>Table ITWG15</i>		<i>Modeling and Simulation Difficult Challenges</i>	
Integrated modeling of equipment, materials, feature scale processes and influences on device and circuit performance and reliability, including random and systematic variability	Fundamental physical data (e.g., rate constants, cross sections, surface chemistry for ULK, photoresists and high- $\kappa$ metal gate); reaction mechanisms (reaction paths and (by-) products, rates ...), and simplified but physical models for complex chemistry and plasma reaction		
	Linked equipment/feature scale models (including high- $\kappa$ metal gate integration, flows for RIE processes, damage prediction)		
	Deposition processes: MOCVD, PECVD, ALD, electroplating and electroless deposition modeling		
	Spin-on-dielectrics (stress, porosity, dishing, viscosity, ...) for high aspect ratio fills, evolution during transformation and densification		
	Removal processes: CMP, etch, electrochemical polishing (ECP) (full wafer and chip level, pattern dependent effects)		
	Pattern/microloading effects in radiative annealing or plasma processing		
	Propagation of process variations into circuit block simulation		
	Simulation of wafer polishing, grinding and thinning		
	Efficient extraction of impact of equipment - and/or process induced variations on devices and circuits, using simulations		
	Modeling of impact of consumables (e.g. resists, slurries, gas quality ....) on process results		
Nanoscale device simulation capability: Methods, models and algorithms	General, accurate, computationally efficient and robust quantum based simulators incl. fundamental parameters linked to electronic band structure and phonon spectra		
	Efficient models and tools for analysis to enable design and evaluation of devices and architectures beyond traditional planar CMOS		
	Models (incl. material models) to investigate new memory devices like redox resistive memories, PCM/PRAM, etc.		
	Models for gate stacks with ultra-thin/high- $\kappa$ dielectrics for all channel materials addressed above w.r.t. electrical permittivity, built-in charges, influence on workfunction by interface interaction with metals, reliability, tunneling currents and carrier transport		
	Modeling of salicide/silicon contact resistance and engineering (e.g. Fermi-level depinning to reduce Schottky barrier height)		
	Advanced numerical device simulation models and their efficient usage for predicting and reproducing statistical fluctuations of structure, dopant and material variations in order to assess the impact of variations on statistics of device performance		
	Physical models for novel channel materials, e.g., p-type Ge and compound III/V (esp. n-type InGaAs-on-Ge-on-Si) channels ... : Band structure, defects/traps, ...		
	Treatment of individual dopant atoms and traps in (commercial) continuum and MC device simulation. Coupling between atomistic process and continuum or atomistic device simulation		
	Reliability modeling for ultimate CMOS and new memory devices		
	Commercial device simulators (software) for STT and redox resistive memories		
Electrical-thermal-mechanical-modeling for interconnect and packaging	Physical models for (mechanical) stress induced device performance for advanced architectures (esp. FinFET) and/or novel materials		
	Model thermal-mechanical, thermodynamic and electrical properties of low $\kappa$ , high $\kappa$ , and conductors for efficient on-chip and off-chip incl. SIP and wafer level packages, including power management, and the impact of processing on these properties especially for interfaces and films under 1 micron dimension		
	Thermal modeling for 3D ICs and assessment of modeling and CAD tools capable of supporting 3D designs. Thermo-mechanical modeling of Through Silicon Vias and thin stacked dies (incl. adhesive/interposers), and their impact on active device properties (stress, expansion, keepout regions, ...). Size effects (microstructure, surfaces, ...) and variability of thinned wafers		

<i>Table ITWG15 Modeling and Simulation Difficult Challenges</i>	
	Signal integrity modeling for 3D ICs
	Identify effects and apply/extend models which influence reliability of interconnects/packages incl. 3D integration (e.g., stress voiding, electromigration, fracture initiation, dielectric breakdown, piezoelectric effects)
	Physical models and simulation tools to predict adhesion and fracture toughness on interconnect-relevant interfaces (homogeneous and heterogeneous), packages and die interfaces
	Dynamic simulation of mechanical problems of flexible substrates and packages
	Models for electron transport in ultra fine patterned interconnects
	Simulation tools for die, package and board that allow for coherent co-design
Circuit element and system modeling for high frequency (up to 300 GHz) applications [1]	Supporting heterogeneous integration (SoC+SiP) by enhancing CAD-tools to simulate mutual interactions of building blocks, interconnect, dies on wafer level and in 3D and package: - possibly consisting of different technologies, - covering and combining different modelling and simulation levels as well as different simulation domains - including manufacturability
	Introduction of new model features including non-quasi-static effects, substrate noise and coupling, high-frequency RT and 1/f noise, temperature and stress layout dependence and parasitic coupling
	Computer-efficient inclusion of aging, reliability and variability at device level including their statistics (including correlations) before process freeze into circuit modeling, treating local and global variations consistently
	Scalable active component models for circuit simulation of new multigate MOSFET like double gate FDSOI, FinFET ...
	Scalable passive component models [2] for compact circuit simulation, including interconnect, transmission lines, ...
	Scalable circuit models [2] for More-than-Moore devices including switches, filters, accelerometers, ...
	Compact models for new memory devices, such as PCM, and standardisation of models for III/V (esp. InGaAs-on-Ge-on-Si) devices
	Computer-efficient assessment of building block/circuit-level using process/device/circuit simulation, including process variations
<i>Difficult Challenges &lt; 14 nm</i>	<i>Summary of Issues</i>
Modeling of chemical, thermomechanical and electrical properties of new materials	Computational materials science tools to predict materials synthesis, structure, properties, process options, and operating behavior for new materials applied in devices and interconnects, including especially for the following:  1) Layer stacks for gates, junctions and channels: Predictive modeling of dielectric constant, bulk polarization charge, ferroelectric/-magnetic properties, surface states, phase change, thermomechanical (including stress effects on mobility), optical properties, transport properties, reliability, breakdown, and leakage currents including band structure, phonon coupling, tunneling from process/materials and structure conditions  2) Models for novel integrations in 3D interconnects including data for ultrathin material properties. Models for new ULK materials that are also able to predict process impact on their inherent properties  3) Modeling-assisted metrology: Linkage between first principle computation, reduced models (classical MD or thermodynamic computation) and metrology including ERD and ERM applications  4) Accumulation of databases for semi-empirical computation
Nano-scale modeling for Emerging Research Devices and interconnects including Emerging Research Materials	Ab-initio modeling tools for the development of novel nanostructure materials, processes and devices (nanowires, carbon nanotubes (including doping), nano-ribbons (graphene), deterministic doping and doping by chemical functionalization, quantum dots, atomic electronics, multiferroic materials and structures, materials for non-charge-based Beyond-CMOS devices)

<i>Table ITWG15</i>		<i>Modeling and Simulation Difficult Challenges</i>	
		Device modeling tools for analysis of nanoscale device operation (quantum transport, tunneling phenomena, contact effects, spin transport, ...). Modeling impact of geometry (esp. edge effects / edge roughness), interfaces and bias on transport for carbon-based nanoelectronics (carbon nanotubes and monolayer/bilayer graphene structures)	
		Compact models for maturing emerging devices	
Optoelectronics modeling		Materials and process models for on-chip/off-chip optoelectronic elements (transmitters and receivers, optical couplers). Coupling between electrical and optical systems, fast and efficient optical interconnect models of larger domains	
		Physical design tools for integrated electrical/optical systems	
NGL simulation		Simulation of mask less lithography by e-beam direct write (shaped beam / multi beam), including advanced resist modeling (low activation energy effects for low-keV writers (shot noise effects & impact on LER); heating and charging effects), including impact on device characteristics (e.g. due to local crystal damage by electron scattering or charging effects)	
		Simulation of nano imprint technology (pattern transfer to polymer = resist modeling, etch process)	

Notes for table:

[1] 3 times frequency of envisioned applications (100 Ghz) because of harmonics/linearity

[2] In More than Moore, scalability refers to the ability to model litho-defined device variations

# 総括ロードマップ技術指標 (OVERALL ROADMAP TECHNOLOGY CHARACTERISTICS)

---

## 背景 (BACKGROUND)

総括ロードマップ技術指標 (ORTC: Overall Roadmap Technology Characteristics) の表は、国際技術ワーキンググループ (ITWG) が詳細に章を執筆する活動のための叩き台として、ロードマップ作成過程の初期に利用される。これらの表は、ロードマップ更新作業を行うに当たって特定表間の不整合を強調し、技術ワーキンググループ (TWG) 間での整合をとる手段としても使用される。表を改訂する作業では、基本となる傾向モデルを開発して目標値の同意を得るために、ITWG や各 TWG 間で様々なレベルでの調整およびコンセンサス (合意) 形成を行なう。この結果、ORTC 表は数回の反復と審査の過程を経ることになる。

ORTC 表にはメートル表記の数値が記載され、ロードマップ全体を通して各ワーキンググループの章にはさらに詳しく記載されている。本節に記載される情報は、現在の半導体技術進歩の急速な進展を強調することを目的としている。この情報は 2010 年に開始した改訂と更新作業の集大成となっている。付録の ORTC 用語集は 2010 年には、改訂していない。ITRS の 2012 年改訂版に向け、定義の変更の提案が複数あり、これらを検討中である。このため、2011 年に韓国のインチョン (仁川) で開催された ITRS 国際会議でキックオフが行われた。

## 2011 年改訂の概要 (OVERVIEW OF 2011 REVISIONS)

### 定義 (DEFINITIONS)

上で述べたとおり、ロードマップ全体の技術的特長の表に主要技術数値が要約されている。特定の行項目について特に指定しない限り、デフォルトの年ヘッダでは、(以前のロードマップと同じく) 製造サイトからの「生産装置」を使った製品出荷量が、数千ユニット/月・IC を最初に越えた年を示している。更に 3 ヶ月以内に 2 番目の会社が生産を開始することが必要である (図 2 参照のこと)。ASIC (Application Specific IC: 特定用途向け集積回路) では、この定義を満たすため、工場で処理した多数の個別製品系列項目の累積量を用いても良い。

ITRS のエグゼクティブサマリの紹介で述べられているが、再度繰り返して言うと、各社の「ノード」の進展とタイミングの一般プレス発表には、引き続き混乱がある。この「ノード」は ITRS の定義と目標に合致しているものもあり、していないものもある。

2003 年版 ITRS を作成している時には、多くのロジック製造会社が行った、2003 年に製造された「90nm」技術「ノード」と言及している一般プレス発表を調停する試みが行われた。実際のデバイスのコンタクト有りメタル 1 (M1) ハーフピッチは 110-120nm と述べられており、ITRS DRAM 千鳥コンタクト有り M1 ハーフピッチのヘッダ目標との関係に関して混乱が持ち上がっていた。先進の製造会社と会話した後、公で述べているもののあるものは (密度に関して) ハーフピッチと (スピード性能に関して) 露光ゲート長の平均を表して指標化した技術ノード・ロードマップを述べていることが分かった。ある会社は製品の機能が 2 倍になる (例として、ロジックのゲート数やメモリ・ビット数が 2 倍になる) タイミングを述べていた。技術の進歩を計るこのアプローチは「ノード」の関係を複雑なものにした。と言うのは、密度の改善は設計の改善とリソのリニヤな像寸法縮小で達成されるからである。

更なる混乱が、Flash メモリ製品の発表で技術「ノード」が言及された事により起こった。Flash 技術は 2005 年と 2007 年版 ITRS で強調されて述べられている。例えば、Flash の製品セル密度はコンタクトなしポリシリコン(ポリ)配線ハーフピッチで決まっており、メタル 1 (M1) ハーフピッチ (DRAM、MPU、ASIC 製品で密度を決めている鍵となるパターン) によって決まっていない。また、非常に挑戦的な Flash メモリ・セルのセルエリアファクター(用語集参照のこと)改善が、果敢にコストを削減し、急速に立ち上がる不揮発性メモリ(NVM)の需要を満たすために、Flash セル設計者によって行われている。Flash 技術動向を調べるにあたって、さらに複雑であるのは、「等価的微細化(equivalent scaling)」を 3 次元的にフラッシュメモリのセルを形成することによる技術選択肢があることである。この技術はハーフピッチの縮小とはトレードオフの関係にあり、3 次元セルの導入によって、寸法の微細化を緩和することができる。この 3 次元 Flash 技術は 2016 年に量産開始すると見込まれていて、PIDS 章と ITRS 2011 年版の ORTC の Table2a, 2b と Table5 のモデル化の際に考慮されている。国際ロードマップ委員会(IRC)は、2007 年版 ITRS では ITRS と個々の会社の公的発表の間の混乱を最小限にする最善の方法は、様々な技術傾向のドライバを製品で、すなわち DRAM, MPU/ASIC, Flash で分けることであると決断した。前に述べたように、MPU/ASIC と DRAM 製品のハーフピッチは今や両者とも M1 千鳥コンタクト有りで言及されており、他方、Flash 不揮発性メモリ(NVM)製品はコンタクトなしポリの高密度ライン(図 1 参照)で言及されている。個々の TWG 表は夫々の表で技術の傾向ドライバーを最も代表するヘッダーライン項目を採用している。

個々の製品傾向を追跡することを新たに強調するため、共通の製品技術のヘッダを表より取り去った。個々の表のヘッダとして最低限必須としたのは、参照される技術製品の生産年のみである。2007 年版 ITRS 以降のそれぞれのロードマップでは、個々の製品グループ(DRAM, Flash, ASIC)に付随した、技術の傾向、機能(トランジスタ数、ビット数、ロジックのゲート数)や特徴(スピード、電力)性能が強調されている。ITRS と比較をしたい個々の会社は、いまや言及する製品の技術傾向ライン項目を使わなければならない。この項目は更に詳しく「概要(Executive Summary)と用語集(Glossary)」【訳者注:本文書のことを指す】で定義されている。

個々の製品技術は引き続き監視しているが、最新の技術グループによる調査では、DRAM の歴史的トレンドは平均すると 2.5 年サイクル(2 サイクルの期間は寸法が半分になるのに要する期間に相当する)のトレンドが 2008 年まで続いた。2009 年 DRAM M1 ハーフピッチの目標は ITRS 2008 年改訂版から変更されていない。しかし、2010 年の PIDS による DRAM 調査の結果によると、M1 ハーフピッチのトレンドは 1 年前倒しされ、2009 年に 45 nm を起点として、3 年ごとに 0.7 倍の技術サイクルが続き、2026 年に 6.3 nm に達する。このようにモデル化されて計算して見積もったトレンドは実態調査の結果とはわずかながら差を生ずるが、大きな挑戦と潜在的な研究開発の解解決策に影響を及ぼすタイミングは最新の調査結果による平均的トレンドと矛盾しない。

DRAM と M1 目標の傾向は 2007 年更に調査され 2008 年の改訂で報告されるが、最新の調査結果は詳しく 2007 年版 PIDS の章でも述べられている。幾つかの小さな矛盾は 2007 年と 2008 年版では現れるかもしれない、また 2007 年 ITRS の 2008 年目標は、実際の産業が行うことより僅かに進んでいるかもしれない。2009 年から先に関しては、大きな挑戦と潜在的な研究と開発解に影響を及ぼすタイミングは最新の調査結果と一致している。

最新の Flash メモリ技術の調査によると、最先端分野では、Flash メモリ製品の寸法傾向がリソグラフィの全般的解像度をドライブし続けている。例えば、以下に詳しく述べるように、Flash メモリのコンタクト無しポリ・ハーフピッチは、DRAM の千鳥コンタクト有り M1 ハーフピッチにくらべ、さらに先行(2011 年までは、4 年先行)している。リソグラフィプロセスの難しさの観点からすると、Flash メモリのコンタクト無しポリ・ハーフピッチの 2 年先行は、DRAM の千鳥コンタクト有り M1 ハーフピッチの 1 年先行と等価と考えられている。したがって、このような先行がさらに進むことが、Flash メモリ技術が先進リソグラフィをドライブし続ける原因になる。「生産の年」のタイミング定義に関する詳細については、「用語集」の節を参照されたい。

ITRS 2011年版の表の技術傾向目標は、2011年から、ロードマップの限界である15年後の2026年までの間、年毎に記述するというやり方を続けている。しかしながら、以前に確立したIRCのガイドラインに従って、2011年版ITRSは、技術傾向サイクルタイムをプロセス技術において重要な進歩が達成される期間とする定義を残している。明確には、技術傾向サイクルタイムの進歩は1サイクルで約0.71倍の縮小(2サイクルで正確に0.50倍)を達成する期間として引き続き定義されている。図ORTC1、ORTC2を参照のこと。

ITRS 2011年版の表ORTC-1では、技術サイクル・タイミングが個々の製品で異なっていることに注意して欲しい。例えば、ITRS 2011年版では、DRAMの千鳥コンタクト有りM1ハーフピッチは2.5年で0.71倍(5年で0.5倍)のタイミング・サイクルに従い、2008年に59nmに達する。2008年以降、上述のように、1年前倒しされ、その後DRAMのM1の微細化傾向は、3年サイクルで進むと予想されていて、2026年の目標値は6.3nmに達する。3年サイクル・タイミングの場合、毎年の縮小率は年0.8909倍で、これは、中間の年毎の傾向目標(例えば、2011年に36nm、2020年10nm)を計算する時に用いられている。

入手できる産業界のPIDSによる調査データ、その他のITWGやIRCのインプットを考慮に入れた後、コンタクトなしポリシリコン・ハーフピッチの定義に基づき、新規のFlash製品技術タイミングモデルに関してコンセンサスが得られた。Flashメモリのコンタクト無しポリ・ハーフピッチは、現時点で、2010年に24nmであり、その後、2020年の10nmにいたるまで、4年サイクル(4年ごとに0.7倍のペース)で微細化が進む。2020年の時点では、Flashメモリのトレンドは元の2009年版、2010年版の目標に等しい。さらにその後は2022年の8nmまで3年サイクル(3年で0.7倍のペース)で微細化が進み、2022年には、8nmに達するが、その後はすでに予想されているフラッシュメモリセルの設計上の限界により2026年まで8nmに留まる。リソグラフィのITWGも、Flashメモリのコンタクト無しポリ・ハーフピッチ(現在、DRAMの千鳥コンタクト有りM1ハーフピッチより、数値的には4年先行している)を、その目達成のために必要なプロセス装置の技術開発を牽引するために使っている。Flashメモリのコンタクト無しポリ・ハーフピッチは、2010年に24nmに到達したのち、4年サイクルで微細化が進み、DRAMのよりは微細化に先行するが、Flashメモリの微細化ペースはDRAMのトレンド(3年サイクル)より緩やかな4年サイクルとなる。ITRS 2011年の設計技術ワーキンググループのデータとモデルにより、MPU(と高性能ASIC)の製品傾向サイクル・タイミング(DRAMと同じ千鳥コンタクト有りM1ハーフピッチに基づいている)は2009年版、2010年版から変えていない。歴史的データの分析とITWGとIRCのコンセンサスにより、MPU M1ハーフピッチは、DRAMの傾向より遅れている。しかしながら、MPUと高性能ASICは2年サイクル(4年間で寸法が半分となる)のペースで微細化が進み、2013年に27nmに達する。したがって、2012年32nmの時点で、MPUと高性能ASICのM1目標はDRAM M1サイクル・タイミング目標に追いつく。2013年に27nmに到達した後、MPUと高性能ASICのM1のコンタクト付のハーフピッチは、3年タイミング・サイクルとなって、ロードマップの表の最終年の2026年にはDRAMのトレンドより、わずかに先行する。

MPUと高性能ASICの最終的な物理ゲート長(phGL)目標は2008年改訂版とそれに続くITRS 2009年版の作業で大きく修正された。歴史的傾向の部分に対する目標はITRS 2003年版と変わっていない。1999年から2003年にかけて、タイミングは2年サイクル(4年で0.5倍、年0.8409倍)で2003年に45nmに達する。それ以後、2009年の29nmの目標に達するまで、FEPとPIDSのITWGによる、実際のデータ点による傾向を採用した。2009年の29nmより先は、PIDSの調査結果を反映したモデルを使い、3.8年タイミング・サイクル(7.6年で0.5倍、年0.9128倍)の傾向を目標とし、これがロードマップの表の最終年の2026年まで続き、5.9nmに達するとした。リソグラフィとFEPのITWGは露光ゲート長と物理ゲート長(エッチング工程を含む)の比について新しいコンセンサスに達し、その合意を改訂に反映させた<sup>4</sup>。同様に、低消費

<sup>4</sup> フロントエンドプロセスに関し、物理ゲート長のITRSへの貢献に対し、UBM TechinsightsのJohn Boyd氏(Principle Process Analyst)とChipworksのDick James氏(Senior Technology Analyst)に感謝します。

電力 (LOP) ASICのゲート長目標は、PIDSの調査データを採用した。MPUの露光ゲート長と物理的ゲート長目標に比べて、導入時期をずらして設定している。低待機時電力の物理ゲート長についても、2008年改訂版に項目が追加され、とITRS 2011年版のORTCの表が修正され、2026年までそのトレンドが延長された。PIDSによってなされた新たな作業に適合させるため、低消費電力のロジック集積回路について、リソグラフィ時のゲート長のトレンドが追加された。また、リソグラフィ時のゲート長と最終的なゲート長の比も追加された。2012年の改訂に際して、従来の3つ(高性能(HP)、低動作電力(LOP)、低待機電力(LSTP))のトレンドに変えて、高性能と低消費電力の2つのトレンドのみにするかどうかを決定するため、PIDS、FEP、設計の技術ワーキンググループで作業が行われる予定である。

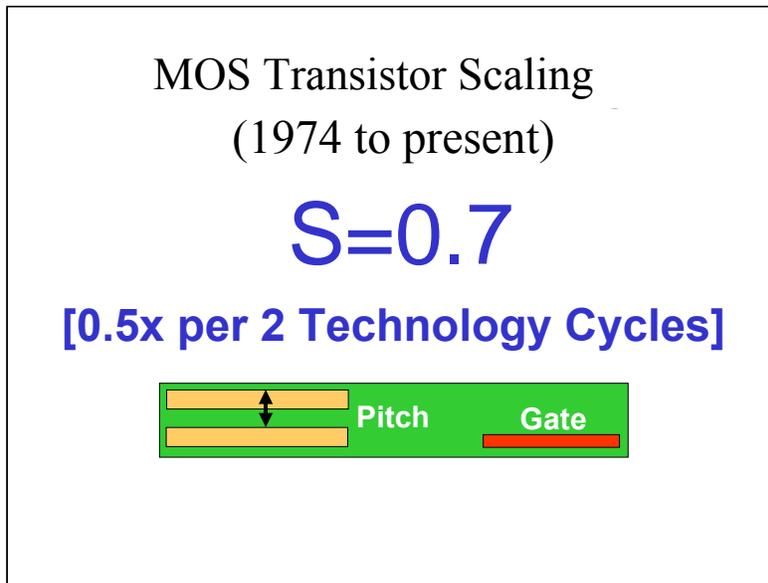


Figure ORTC1

MOS Transistor Scaling—1974 to present

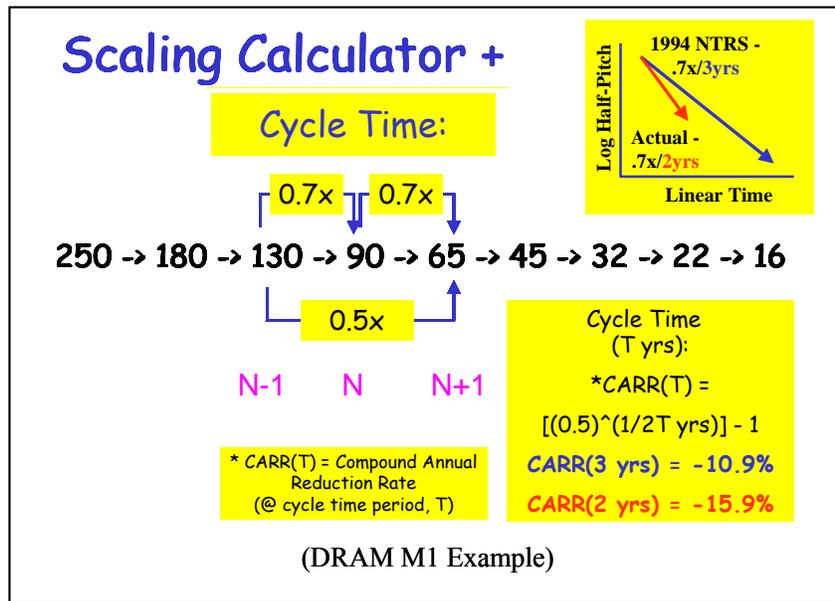


Figure ORTC2

Scaling Calculator

## ロードマップのタイムライン (ROADMAP TIMELINE)

2011年版ロードマップは、2011年を基準年として2026年までの15年間の予測を表している。以前のロードマップでは、DRAM製品の将来の技術革新ペースのタイミング傾向が、千鳥コンタクト有りM1ハーフピッチに対する先端性を代表していて、2010年の45nmの後、3年サイクル(3年毎にパターン寸法の0.71倍)に戻ることが予想されている。これは2008年改訂版と変わっていない。2008年改訂版では、PIDS TWG (Technology Working Group: 技術ワーキンググループ)による最新の調査から、90nm DRAMハーフピッチ製品は2005年に顧客による製品認定が終了し、製造が開始した。これは、ITRS 2003年版で明確に定義されている、DRAM製品の「製造」の定義と合致している。

PIDS TWGによる調査に基づき、ITRS 2008年改訂版の表 ORTC-1 では、DRAM製品M1ハーフピッチは、産業界の過去のトレンドである2.5年サイクルに合致するように計算された(2000年の180nmを基点として、2005年に90nmとなった。2010年に45nmに達すると予測した)。DRAM製造メーカーから提供されたデータによると、DRAMの千鳥コンタクト有りM1ハーフピッチの3年サイクル(3年で寸法が0.71倍となる)を示唆しており、図 ORTC3 に示すように、ロードマップの期間中、M1ハーフピッチは2010年の45nmから2024年の9nmに至る。

上に述べたように、技術サイクル(0.71倍のパターン寸法の削減)の達成を定義する上で、DRAM配線ハーフピッチが、半導体製造の先端技術を最も良く表す寸法としてもはや使用することは出来ない。実際、Flashメモリのコンタクト無しポリシリコン・ハーフピッチ・パターンは、2010年に32nmに達するまで2年サイクルのペースが続いた。これは、DRAM M1の目標値に対して、数値的に3年先行し、リソグラフィ ITWG では、先端製造技術の最も進んだドライバと考えられている。同様であるが、すでに述べたように、遅れていたMPUとASICのM1千鳥コンタクト有り配線ハーフピッチの微細化は、より早い2年サイクルのペースで進んでおり、2010年に45nmに達し、DRAMハーフピッチに追いつく。以後も2年サイクルのペースが続き、2013年に27nmとなる。同じペースとなることが期待されている。ITRS 2005年版以来、新製品指向に焦点を当て、全ての製品技術傾向がモニタされる。その製品傾向の何れかが、更に加速を起し、先端技術において、産業の研究や装置・材料サプライヤをドライブするかもしれない。図 ORTC3, ORTC4を参照のこと。

## 丸められたトレンド数値 (ROUNDED TREND NUMBERS)

DRAMハーフピッチ・データの2000年180nmをトレンドの計算起点としているため、2011年版ITRSには、技術サイクル傾向目標について、過去の「四捨五入」方式の訂正が含まれている。実際の数学的な傾向(ORTCと各技術ワークグループ表のモデル計算で用いられているが、)では、2技術サイクル毎に50%縮小とし、四捨五入で丸められたノード数値は、1995年の350nmから始まり、以下の表Dのようになっている。

Table D Rounded versus Actual Trend Numbers (DRAM Product Trend Example)

YEAR OF PRODUCTION	1995	1998	2000	2002.5	2004	2005	2006	2007.5
Calculated Trend Numbers (nm)	360	255	180	127.3	103.4	90	68.2	63.6
ITRS Rounded Numbers (nm)	350	250	180	130	100	90	70	65

YEAR OF PRODUCTION	2009	2010	2012	2013	2015	2016	2018	2019	2022	2023	2024	2026

Calculated Trend Numbers (nm)	45	40.1	31.8	28.35	22.5	17.9	15.9	14.2	10.0	8.9	8.0	6.3
ITRS Rounded Numbers (nm)	45	40	32	28	22.5	17.9	15.9	14.2	10.0	8.9	8.0	6.3

半導体産業が新ナノ技術(サブ 100nm)の 2 桁nmデータのサイクルに入ると、新しい「四捨五入」の訂正がさらに重要になったことに注意して頂きたい。いくつかの分野では、それぞれの過去の公表内容との整合性をとって、100nm/2004 から始まる以前の技術世代を引き続き採用する権利を留保している。しかしながら、2004 年の 100nmを基点とし、3 年サイクルを仮定すると、現行の 2011 年版ロードマップの慣行に近い時点(差は 1 年以内)にマイルストーンが置かれることになる。IRCの合意事項によって、技術ワーキンググループが長期の計算をする際にはORTCのエクセルの表の四捨五入しない数値を利用できる。元の ITRSの長期の欄(2009/45nm; 2012/32nm; 2015/22.5nm; 2018/15.9)が残され、その中間年に対する新しい欄(2010/40nm; 2013/28nm; 2016/20.0nm; 2019/14.2nm)が加えられて、現在ではすべて年に対応する列が含まれている。ITRS 2008 改訂版でのORTCの表の改訂では、2016 年以降、少数点以下 1 桁の数値を公開されている表ORTC-1 の技術トレンド項目のヘッダに含めた。2011 年版のORTCの表は、エクセルファイルの表として、[www.itrs.net](http://www.itrs.net)から入手できる。モデル計算されたさらに多くの桁を含む高精度の数値はエクセルの表に含まれていて、読者はそれを入手可能である。

### ORTC の改訂 (UPDATES TO THE ORTC)

MPU/hpASIC (MPUと高性能 ASIC)の M1 ハーフピッチは、DRAMと同様、千鳥コンタクト有りハーフピッチとして、引き続き定義されている。すでに述べたように、DRAMのトレンドは 2009 年版、2010 年版に比べ、年前倒しされて、2009 年に 45 nm となっているが、MPU/hpASIC のハーフピッチは DRAMより遅れているが 2 年サイクルで微細化が進むトレンドには変更点がなく、DRAMには 2012 年に追いついて、32nm となり、2 年サイクルは 2013 年まで続いて、27nm に達する。その後、3 年サイクルとなり、ロードマップの全体的なトレンドと一致するようになる。

Flash 製品のハーフピッチは引き続き、コンタクトなしポリシリコン・ハーフピッチと定義されているが、ITRS 2009 年版、2010 年年版からの改訂を行い、2009 年の 39 nm まで 2 年サイクルが続き、その後 2010 年には、24nm となり、以後 4 年サイクル(8 年で 0.5 倍)となり、2020 年に 10nm に達する。すでに述べたように、2020 年時点では、Flash のトレンドは元の 2009 年版、2010 年版の目標値と等しくなる。それ以後、3 年サイクルに戻り、2022 年に 8 nm となる。それ以後、微細化トレンドが止まり、2026 年まで 8 nm が続く。これは、Flash メモリセルの設計制約によるものである。図 ORTC3 と ORTC4 を参照のこと。3 次元の Flash メモリセルのモデルを追加したのは、2011 年の ORTC 製品技術トレンドの大きな追加点の一つである。従来のコンタクト無しのポリシリコンの微細化トレンドとはトレードオフの関係にあり、対応するチップサイズとビット集積度を示した。これは、PIDS 技術ワーキンググループの「等価的微細化」技術のトレードオフについてのモデルを反映させた結果である。3 次元の Flash メモリセルに対して、リソグラフィで使用されるマスク数が与える影響については、エグゼクティブサマリ(Executive Summary、この文書のこと)の「ITRS 2011 年版のトピックス」の節の「リソグラフィのマスク数」で議論されており、さらに詳細については、PIDS の章に記載されている。

等価的微細化(Equivalent Scaling)を実現するプロセス技術(Cu 配線と低誘電率(low-k)層間絶縁膜、歪シリコン技術、高誘電率(high-k)ゲート絶縁膜と金属ゲート電極、マルチゲートトランジスタ(MugFET)、完全空乏型 SOI トランジスタ(FDSOI)、III/Vチャンネル、Ge チャンネルなど)による性能向上とのトレードオフのため、性能と消費電力の他の選択肢として(図 ORTC5 を参照)、描画時のゲート長(printed gate length)と物理ゲート長(physical gate length)は ITRS の 2008 年と 2009 年の ORTC の表で大きな修正がなされた。これは、2011 年版でも、実質的に変化していない。すでに述べたように、物理ゲート長は

過去データと調査結果に基づいて、3.8年サイクルとペースダウンされ、このトレンドは2009年の32nmから2024年の7.5nmまで続く。描画時のゲート長については、2011年を起点に3年サイクルの微細化が2026年まで続き、2024年に7.9nmに達する。この間、描画時のゲート長と物理ゲート長の比は次第に小さくなり、2024年には、描画時のゲート長は予想される最終物理ゲート長よりわずかに大きくなる。図ORTC4を参照のこと。最近になって、2011年にマルチゲートトランジスタ(MugFET)を量産に使うことが発表され、また、III/VチャンネルやGeチャンネル技術の採用を2019年から2015年に加速する可能性もある。このため、2012年の改訂にあたり、技術ワーキンググループは、これらの「等価的微細化」技術の採用を4年から5年前倒しすることの影響について多くの作業をする必要に迫られている。(これについては、エグゼクティブサマリ(Executive Summary、この文書のこと)の「ITRS 2011年版のトピックス」の「技術ペース(Technology Pacing)」節、「ITRS 2011年版のトピックス」の節の「周波数と消費電力」の箇所を参照されたい。)業界のリーダーシップを獲得するため、スケジュールを前倒しで達成しなければならない目標のセットとして、ORTCの技術数値は、半導体関連企業により頻繁に使用されている。寸法の微細化および「等価的微細化」技術の加速はこの証左でもある。このように、激しい競争的環境に置かれている半導体産業では、ORTCの技術数値の大半が、すなわちロードマップそのものが時代遅れになる恐れがある。我々が行う毎年の改訂作業では、技術の方向性に関する十分に密着した追跡を国際コンセンサスの場で行い続けることにより、半導体産業におけるITRSの有用性を維持することを期待している。たとえば、実際のデータや学会の論文は、会社の調査データや公の発表とともに、2012年の改訂プロセスのなかで再評価される予定である。いくつかの個々の製品の技術トレンドにおける技術サイクルの更なる調整の可能性もある。上に述べたように、様々なサイクルを反映し、将来のロードマップのシフトを密着してモニタするため、2011年から2018年までの毎年の技術要求を公表し、この期間を「短期」と呼ぶ。2019年から2026年までについても毎年の技術要求を公表し、この期間を「長期」と呼ぶことが同意されている。図OTRC3とORTC4に示すように、ITRS 2011年版で「長期」にあたる期間は、1x nm(訳注: 1x nmは10 nm台の寸法を指す)以下の技術を実現するための困難な課題に挑戦する時期に相当している。(M1のハーフピッチで、2019年の13-14 nmから2026年に6.3-6.0 nmに至る時期を指す。)

2011 ITRS - Technology Trends

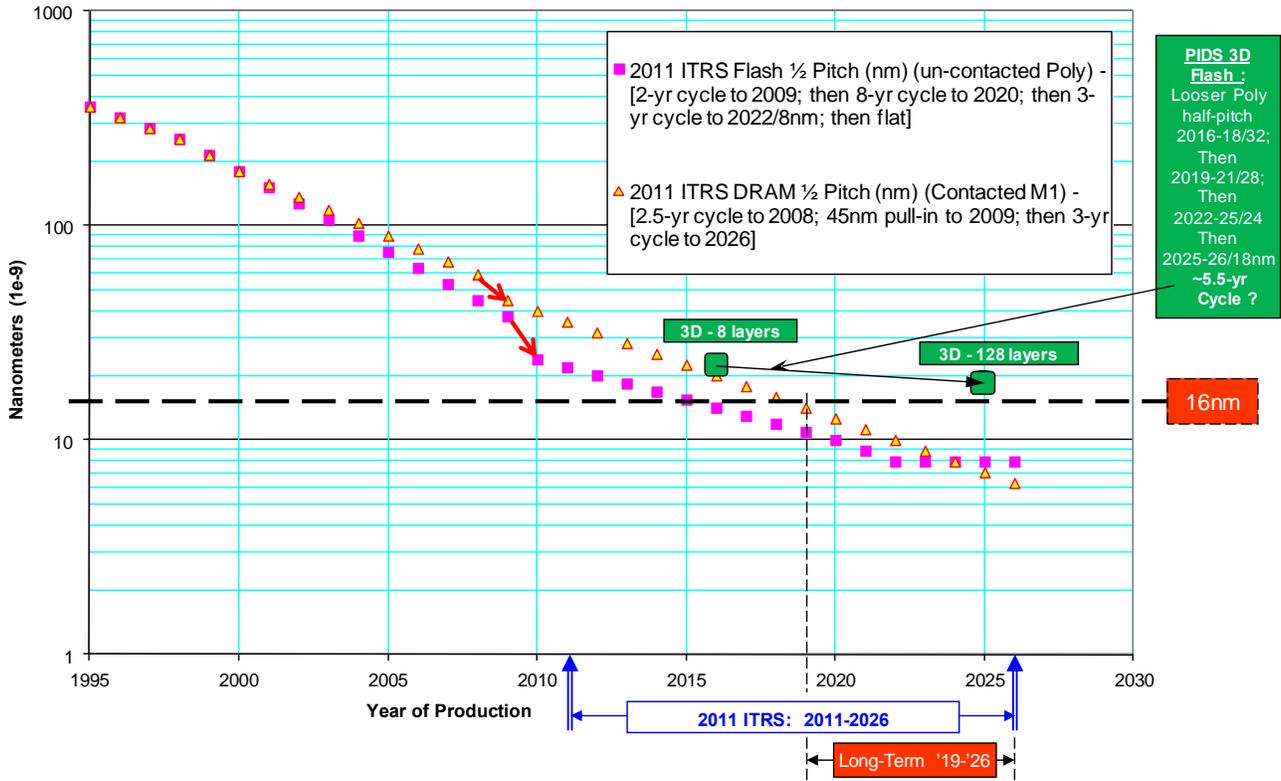


Figure ORTC3

2011 ITRS—DRAM and Flash Memory Half Pitch Trends

2011 ITRS - Technology Trends

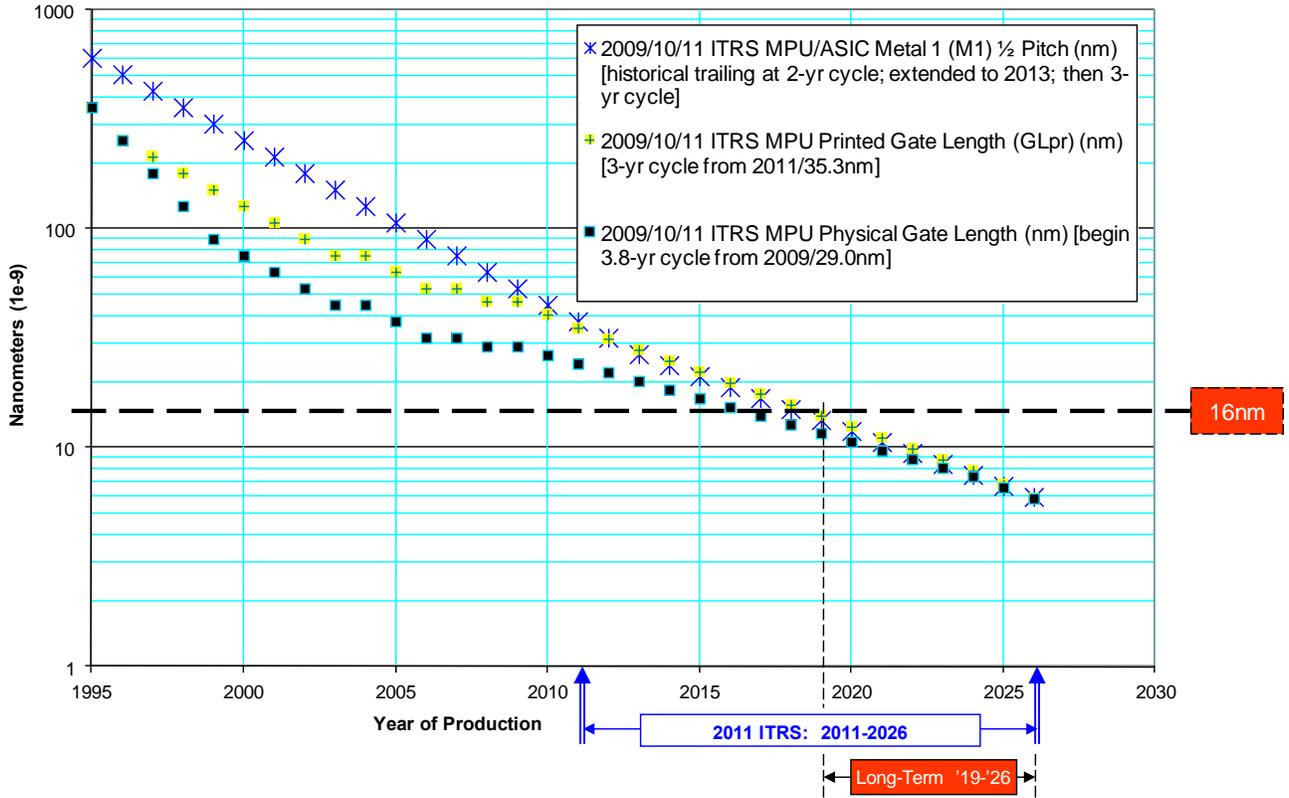


Figure ORTC4

2011 ITRS—MPU/high-performance ASIC Half Pitch and Gate Length Trends

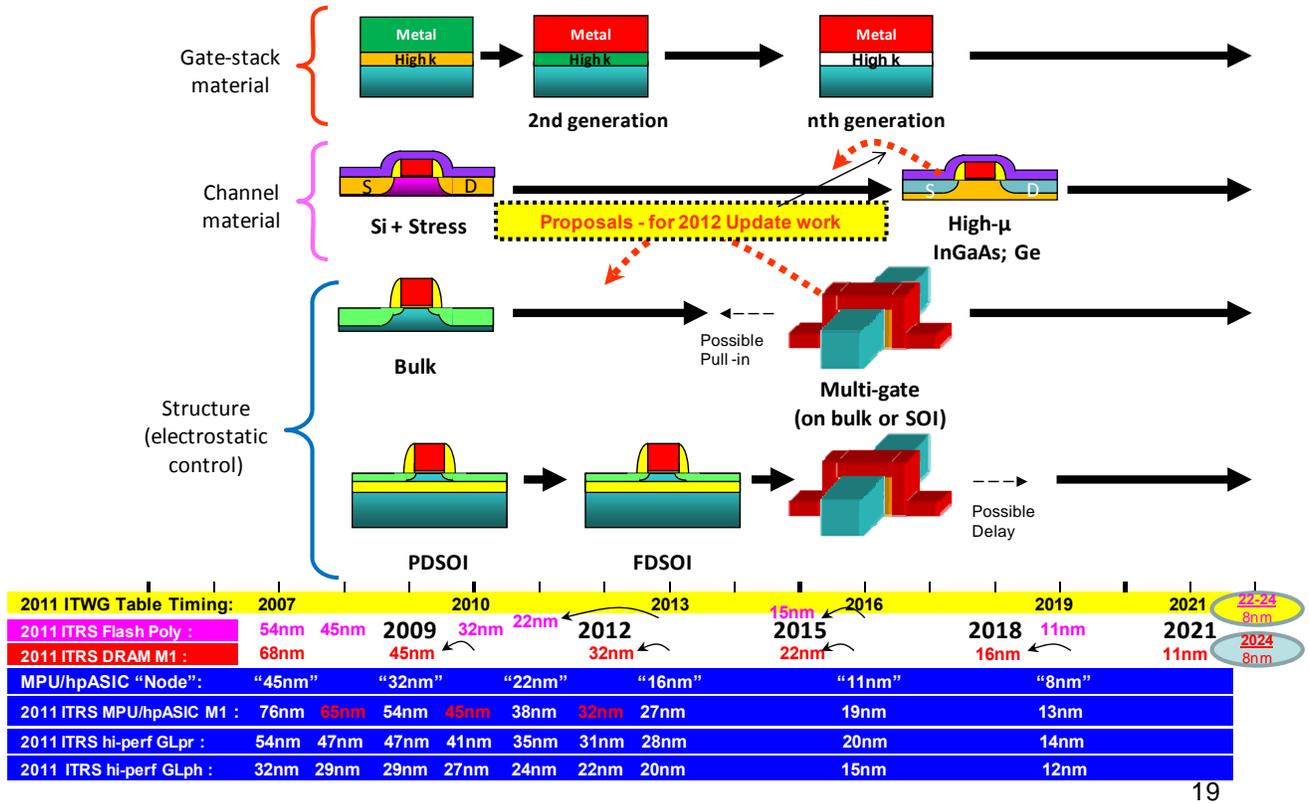


Figure ORTC5 2011 ITRS "Equivalent Scaling" Process Technologies Timing compared to ORTC MPU/high-performance ASIC Half Pitch and Gate Length Trends and Timing and industry "node" naming; and including proposals for MugFET and III/V Ge acceleration for 2012 ITRS Update work; see PIDS, FEP, ERD, ERM chapters for additional details

製品世代およびチップ寸法モデル (PRODUCT GENERATIONS AND CHIP-SIZE MODEL)

このセクションでは、「製品世代」およびその技術サイクルとの関係を述べる。というのは、今までこの2つの用語を頻繁に区別なく使用してきたからである。しかしながら、3年ごとに新しい DRAM 製品世代(前世代密度の4倍で、基本的に新しい技術機能群に基づく)が誕生するという今までの単純な図式は、技術サイクル・タイミングの進歩を定義する手段として時代遅れになっている。この2005年版 ITRS で始まった慣行を続け、2011年版 ITRS は個々の製品技術傾向に基づいて、技術のペースを決めている。これは、先端製品の進化/縮小のパスが複雑になるにつれ、市場の機能・性能・値ごろ感の要求に基づいて、個々の製品技術傾向がお互いに異なった速さで進展することを反映したものである。

歴史的に言えば、DRAM 製品は全半導体産業の技術のドライバとして認識されてきた。1990年代後期より前にさかのぼると、ロジック(MPUと高性能 ASIC (MPU/hpASIC)で代表される)技術は DRAM 技術に遅れる形ではあるが、同じペースで微細化が進展していた。2007年の DRAM 製造メーカーの調査結果によると、2000年の180nm世代以降、DRAM技術の進展は平均すると2.5年のペースに移行した。ここ数年間、MPU/hpASIC 製造に使用される新規技術の開発速度は2年ペースを続けてきた。一方、DRAMはいったん技術トレンドを1年前倒した後は、減速して2009年の45nmからロードマップの地平線にあたる2026年まで3年サイクルのペースとなることが予測されている。すでに述べたように、より速い2年サイクル速さを継続する結果、MPU/hpASIC 製品は DRAM とのハーフピッチ技術ギャップを縮め、そ

れを追い越すことになる。Flash メモリの技術要求とあいまって、最先端のリソグラフィ装置と等価的微細化のためのプロセス技術を推進すると期待されている。特に、露光ゲート長と物理ゲート長の孤立ライン・パターンを処理し、消費電力低減と性能向上の能力に期待されている。「等価的微細化のためのプロセス技術」としては、エッチングによるパターン形成、歪シリコン、高誘電率(High-k)ゲート絶縁膜と金属ゲート電極、マルチゲートトランジスタ(MugFET)、完全空乏型 SOIトランジスタ(FDSOI)、III/Vチャンネル、Geチャンネルなどである。すでに述べたように、Flash 技術のトレンドはコンタクト無しポリシリコンで定義されていて、最先端技術で推進可能な点まで加速されている。このように、最近の Flash 技術はリソグラフィを推進している。PIDS の調査によると、コンタクト無しポリシリコンの微細化は 2 年サイクルの微細化ペースは加速されて、2010 年に 24 nm に到達し、以後 2020 年に 10 nm に到達するまで 3 年サイクルが続く。以後、3 年サイクルのペースで、2022 年に 8 nm に達したあと、微細化トレンドが止まり、2026 年まで 8 nm が続く。これは、Flash メモリセルの設計制約によるものである。

上述のように、この 2 つの製品ファミリの間には、いくつかの基本的な差異が存在する。コスト削減および工場生産性向上への商品市場の経済的な圧力が強いために、DRAM 製品ではチップ寸法の最小化が強調されている。そのため DRAM の技術開発は、主にメモリ・セル占有面積の最小化に焦点が当てられている。しかしながら、このセル寸法最小化の圧力は、セルの静電容量最大化の要求と矛盾してしまう。このセルの静電容量最大化要求は、メモリ・セル設計者にプレッシャーをかけ、セル寸法を縮小しながら静電容量の最低必要条件を満たすように設計と材料にわたって創造的な手段を探求させている。その上、最小面積に最大数の DRAM セルを密に実装するためには、セル・ピッチの最小化が必要となる。ITRS 2011 年版では、新規の埋込みビット線・ワード線によるセル技術の導入にを予想している。これにより、 $4f^2$  のセル寸法が可能となるが、その実現開始時期は ITRS 2009 年版、2010 年版での記載より遅れて、2013 年となる見込みである。(  $4f^2$  の 4 は設計係数 (design factor) で、 $f$  はミクロン単位で表したハーフピッチである。)

マイクロプロセッサでも、最高性能を保ちつつコスト削減を達成するという市場圧力が強くかかっている。主にトランジスタ・ゲート長と「等価的微細化」を実現するプロセスと設計、配線の材料と層数で決まる特性により、高性能が可能となる。改訂された ORTC の表に関する所要の機能、チップ寸法、セル面積、密度などについて、2011 年版 ITRS チームは意見の一致をみている。MPU 製品チップ寸法表は、導入時の大きなチップ寸法が時を経て手ごろなチップ寸法を達成しなければならない点では、DRAM モデルと似ている。追加のライン項目が加えられ、モデルのコンセンサスを伝え、背景にあるモデルの仮定は ORTC 表の注に含まれている。

表 ORTC-1 には、上述の技術傾向の要約を示した (ORTC のエクセルの表を参照のこと)。表の完全性を図るため、ASIC/低電力のゲート長も含まれてはいるが、待機電流および動作電流を最大にするために、高性能 MPU のゲート長目標よりは遅れている。「等価的微細化」、設計係数 (design factor)、ハーフピッチ、ゲート長の特長に関する詳細な定義については、用語解説セクションを参照して頂きたい。DRAM 製品世代については、最先端の(「導入時期」の)DRAM 製品と量産(「量産時期」の)DRAM 製品の双方を示す。

図 ORTC3 と ORTC4 の要約について、DRAM コンタクト有り M1 ハーフピッチ・パターン寸法の長期平均年縮小率は 2009 年の 45nm 以降 3 年の技術サイクル速さに戻るといふ予測に注目して欲しい。これは、年約 11% (3 年約 30% 縮小) を表している。以前 (2000 年 180nm から 2008 年 52 nm) の 2.5 年サイクルは年間平均縮小率は 13%/年 (2 年約 24% 縮小) である。上述のとおり、Flash メモリコンタクト無しポリシリコンの微細化は加速されたが、現時点以降、より緩やかな 4 年ペースに移行すると予想されており、2020 年に 3 年サイクルに戻る。これは DRAM の M1 に先行している。MPU/hpASIC の M1 は図中では MPU/ASIC と表記されているが、1 年前倒しとなった DRAM の M1 に 2012 年/32 nm で追いつき、2013 年/27nm までは、2 年ペースが続き、それ以後 3 年ペースに変わる。

Table ORTC-1 ITRS Technology Trend Targets

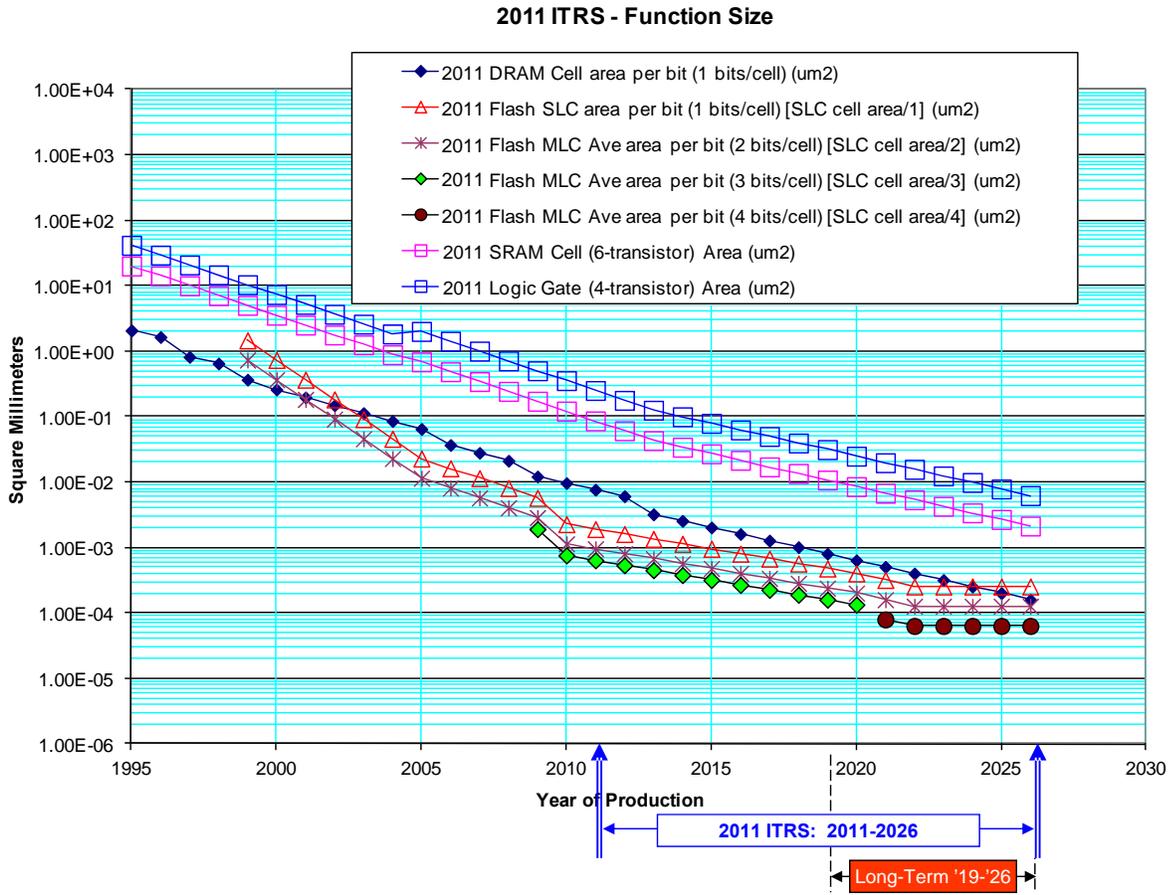


Figure ORTC6 2011 ITRS Product Function Size Trends:  
MPU Logic Gate Size (4-transistor); Memory Cell Size [SRAM (6-transistor); Flash (SLC and MLC), and DRAM (transistor + capacitor)]

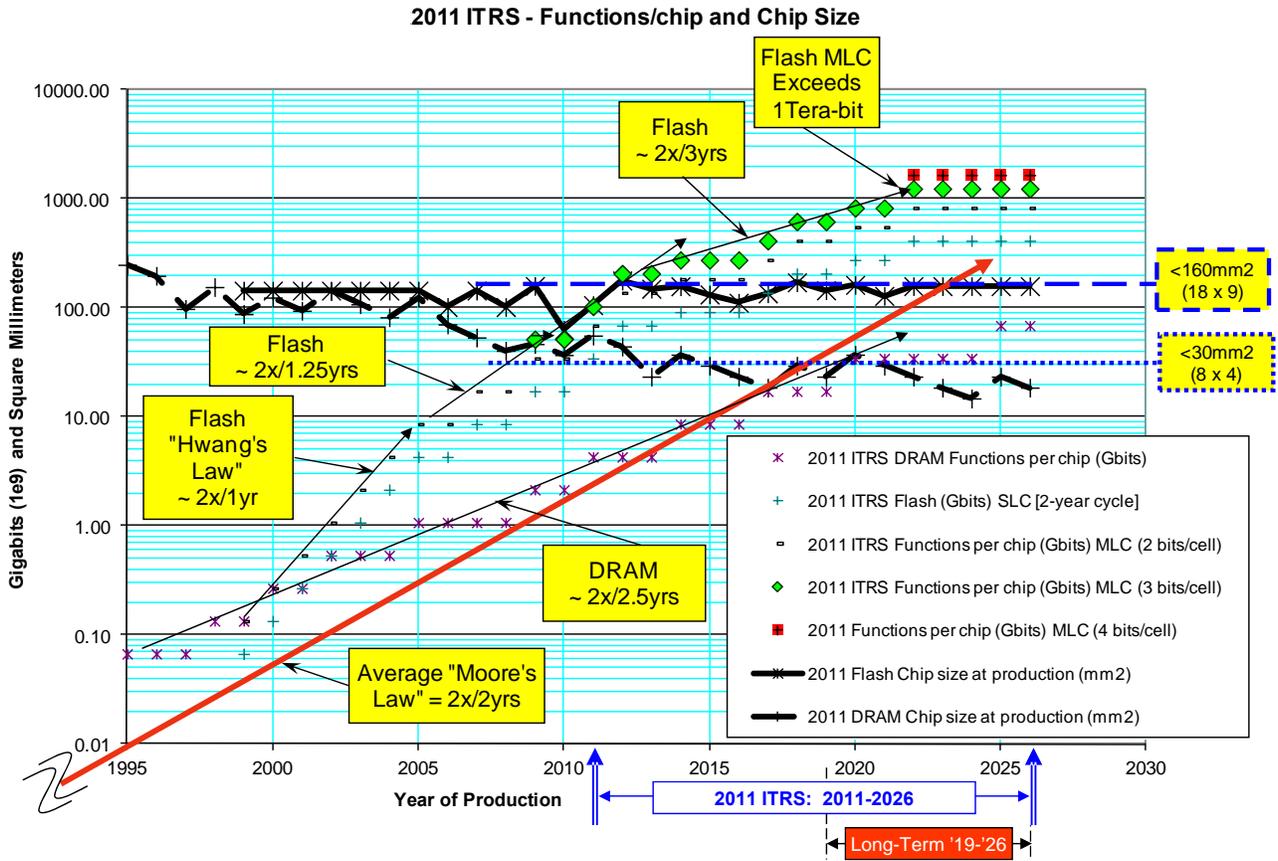


Figure ORTC7 2011 ITRS Product Technology Trends: Memory Product Functions/Chip and Industry Average "Moore's Law" and Chip Size Trends

2011 ITRS - Functions/chip and Chip Size

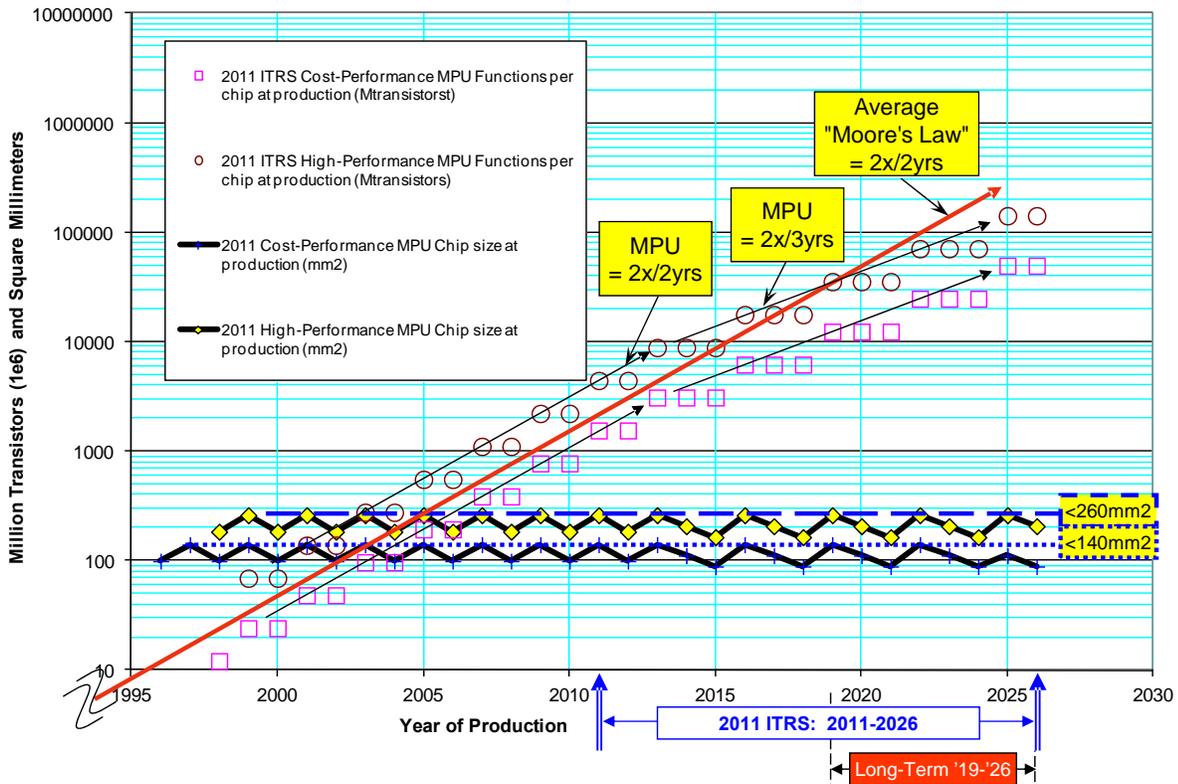


Figure ORTC8

2011 ITRS Product Technology Trends:

MPU Product Functions/Chip and Industry Average “Moore’s Law” and Chip Size Trends

チップサイズ、リソグラフィ・フィールド、ウェーハ・サイズのトレンド

2～3年毎に素子寸法が約30%縮小するにもかかわらず、IEEE(Institute of Electrical and Electronics Engineers)主催のISSCC(International Solid State Circuits Conference)などの技術フォーラムにおける発表では、先端メモリあるいはロジック製品の導入段階におけるチップサイズが6年毎に倍増している(年間約12%増)。ムーアの法則(1.5～2年ごとにチップあたりの機能が倍増する経験則)を維持するには、ビット・キャパシタ・トランジスタを年率40～60%増加させる必要があり、そのためにはチップ面積の増加が必要となる。その上で、先端製品のコスト/機能が年率～30%減少するという傾向を維持するには、設備生産性の増加、製造歩留りの向上、最大サイズ・ウェーハの使用、ウェーハとシリコン面積あたりの処理速度の維持あるいは増加、そして中でも1枚のウェーハ上の使用可能な機能単位(トランジスタ、ビット、ロジックのゲート)あるいはチップ数を継続的に増加させることが必要となる。

1枚のウェーハ上で使用可能な機能単位やチップ総数の増加は、主として素子サイズの小型化(縮小やスケールアップ)と製品・プロセスの再設計(圧縮)の組合せによる機能またはチップあたりの面積縮小によって達成される。例えば最新のITRSチップサイズ・モデルを使えば、低コスト製品世代の最初のチップサイズは長期に亘って一定になるはずと予測されている。ここで世代間(世代対世代)機能は2年ごとに倍増させなければならない。さらに、各技術サイクル期間において、世代内縮小率50%(リソグラフィ縮小率0.7x

の二乗)までチップサイズを縮小させなければならず、設計要素に関係する密度改善が可能であるならばこの縮小トレンドは更に加速できることになる。

入手容易な価格で購入できるDRAMやフラッシュメモリ製品でも、世代内でチップサイズをほぼ一定に維持するためにはセル占有率も全チップ面積の 58~63%に維持しなければならない。歴史的にDRAMやフラッシュメモリ製品はセルエリア・ファクタ  $a$  (セルエリア  $C_a$ は $C_a=af^2$ で表される、 $f$ は最小設計寸法)を小さくすることが必要だった。PIDS ITWG(International Technology Working Group)とFEP ITWGは、セル占有率目標、セルエリア・ファクタ、およびチップあたりのビット数に関するメンバー会社の調査データを提供している。さらにフロントエンド・プロセスの章には、セル面積目標値を達成するための解決策に対応する技術課題とニーズが詳述されている。これら新しい技術課題を追跡・調整することが非常に重要なので、DRAMとフラッシュメモリのセルエリア・ファクタ、セル面積目標、チップサイズに対するセル占有率などの項目はORTC-2Aと2Bで実情追跡を継続していくことになる(詳細については、用語集参照)。

*Table ORTC-2A DRAM and Flash Production Product Generations and Chip Size Model*

*Table ORTC-2B DRAM Introduction Product Generations and Chip Size Model*

特に最新の調査データと入手可能な公開情報によれば、ITRS2009のモデルに比べてDRAMのコンタクト付のM1 ハーフピッチの微細化トレンドは1年前倒しされている。2011年のITRSモデルによるとセルエリア・ファクタは加速されていて、2013年に $4f^2$ が実現するとしている。(ITRS 2009/2010では $4f^2$ が実現するのは2011年としていた)。2013年以後、セルエリア・ファクタは $4f^2$ となり、ITRSロードマップの最終年である2026年までこの値が維持されると予想されている。セルエリア・ファクタの $4f^2$ 変化に加え、最近の調査によると2011年以後、ロードマップの最終年の2026年に至るまで、セル占有率を59%としている。DRAMのハーフピッチ、セル設計効率、ビット集積度の変化により、量産時には低めのチップサイズを目標とすることができ、現在の目標チップサイズは20 mm<sup>2</sup>以下とするべきである。そのため、DRAMに関するムーアの法則であるチップあたりのビット数目標設定は、短期的には3年毎に2倍を維持することにし、長期的には目標を1年遅らせることにした。64GビットDRAM製品は最終年間際の2025年に位置することになる。

改訂されたITRS 2011のORTCフラッシュ製品モデルを大幅に改訂した。機能ビットサイズは依然としてSLC(Single Level Cell)の設計ファクターとコンタクト無のポリシリコンの密ラインのスケーリングに基づいて計算されている。2010年にPIDS TWGが行ったフラッシュに関する調査によれば、2009年までは2年毎の急激なスケーリングが予想され、2010年には、従来より3年前倒しの24 nmに達する。SLCの設計ファクターはずっと4のままである。その結果、フラッシュのチップサイズ・モデルにおいては機能(ビットサイズ)に必要な面積低減が大幅に加速され、フラッシュのコンタクト無のポリシリコン・ハーフピッチは、ジグザグにコンタクトが配置されたされたDRAMのM1 ハーフピッチより大きく先行し続ける。しかしながら、フラッシュ製品の微細化ペースは、調査結果によると、その後2020年の10 nmに到達するまでより緩やかな4年サイクル(8年で0.5倍)となり、以後2022年までは従来(ITRS 2009/2010と同一の)微細化ペースとなって8 nmに到達するため、時間とともにDRAMとのギャップは縮まっていく。最先端のフラッシュ製造技術が半導体の最先端製造技術を牽引するは明らかで、この技術がDRAM最先端製品用のリソグラフィ装置でも使われると、リソグラフィTWGは確信している。

フラッシュのSLCビット技術によって、2009年には早くも38 nmのコンタクト無しポリシリコン・ハーフピッチと設計ファクタ4が実現され、2010年には24 nmまでスケーリングが可能と予測され、SLCビットサイズは0.0023  $\mu\text{m}^2$ となる。(これはITRS 2009年版、2010年版の目標値0.004 $\mu\text{m}^2$ の半分に近い)。このセルサイズは、同じ年のDRAMセルサイズの1/5である(ITRS2011の図ORTC6にあるProduct Function Chip Trends参照)。フラッシュメモリ技術の継続的加速によって、DRAM製品では未だ4Gbit(但し、市場の価

格要求と生産性からサイズはわずか  $56\text{mm}^2$ しか実現できない 2011 年に、フラッシュでは  $106\text{mm}^2$ の 32Gbit SLC製品が製造可能になる。さらにフラッシュメモリ技術では、同じ面積で電氣的にビットの数を倍増することができ(MLC; Multi-level-cell)、結果として実質的なチップあたりのビット数が倍増された 64Gbitの最初の製品が  $106\text{mm}^2$ で可能になる。PIDS TWGが行ったフラッシュに関する調査の結果以下のことを追記した: 3ビットMLC製品が 2009 年生産され、2020 年までセルあたり 3ビットが続き、更に困難な 4ビットMLCは 2021 年に延期される。

PIDSのフラッシュの表では、現在、3次元積層NANDセル技術を目標としていて、2016年に8層積み重ねた技術が、より緩い 32nmのコンタクト無しポリシリコンのハーフピッチで使われ始める。PIDSのモデルでは、ロードマップ期間中に、18nmの技術を使い、さらに積層数を追加した 128層の製品が 2026年に現れる。デザインルールの微細化のペースは 5.5年サイクルと緩やかであるが、積層数を急激に増加させることにより、2025年までには、信じられないことであるが、SLCの 2T(テラ、兆)ビットのデバイスが 128積層で  $134\text{mm}^2$ のチップサイズで可能となると期待される。もし、セルあたり 2ビット記憶することができれば、チップサイズは同じままで、ビット数は 2倍の 4Tビットとなる。このことを重視して、3次元積層NANDフラッシュ技術は、表OTRC-2Aに含まれている。

フラッシュ技術では、多くのプロセスステップ数とマスク数を必要とするが(リソグラフィーとマスクのトピックスを参照されたい)、商用のコストモデルを提供するIC Knowledge社のITRSに触発されたプロセスフローに基づく解析によると、チップ面積当たりのコストは大変高いが、多層積層で複数の多くのビットを追加できるので、ビットコストを歴史的なコスト削減トレンドに保つことができる(さらなる情報についてはICK社 ([www.icknowledge.com](http://www.icknowledge.com))に連絡されたい)。

ORTCのMPU(マイクロプロセッサ)と高性能ASIC(hpASIC)nのモデルはITRS 2011年版と同じである(ただし、ロードマップの最終年は 2026年になっている)。これは、設計ITWG(国際技術ワーキンググループ)が 2008年と 2009年のITRSで、2001年以来最大で飛躍的変更を行ったことによる。2008年と 2009年のITRSの版では、設計ITWGはMPUチップサイズ・モデルを改良し、最新のトランジスタ密度、大型オンチップSRAM、小型目標チップサイズを改訂した。設計ITWGは、新たなトランジスタ設計改善ファクタを含む追加詳細項目もモデルに追加している。設計ITWGによる新たなモデルでは、SRAMトランジスタに対して 60件の設計ファクタ(以前のロードマップでは 100以上であったものを激減させた)を用いて、そのため自然にゆっくりと改善するというような状態から脱している。ロジックトランジスタの設計ファクタも 300以上から 175まで激減させ、この値はロードマップ期間中も一定に保たれると予想される。アレー構造での重要な変更(チップサイズ・モデルに影響する唯一のパラメータ)を除き、「縮小」と密度改善は、リソグラフィにより可能となる配線ハーフピッチのスケールングによって今後もたらされるだろう。

ITRS2009のMPUモデル(2011年版および最新の 2011年版でもこれを使っている)では、過去はM1ハーフピッチが 2年サイクルよりいくらか遅れているが、今や、DRAMのM1ハーフピッチに 2012年/32nmで追越し(これは、DRAMの 45nmの実現が 2010年から 2009年へと 1年前倒しとなり、以後 3年サイクルとなったためである)、2013年/27nmまでは 2年サイクルが続き、それ以降はDRAMのM1ハーフピッチと同様(または、わずかに小さい寸法で)、3年サイクルに変わっている。2024年までは、フラッシュのコンタクト無しのポリシリコンのハーフピッチの数値に対して、MPUの微細化が遅れている。2024年にはフラッシュが 8nmに留まるのに対し、DRAMとMPU/hpASICはそれに追いつき追い越す(フラッシュは物理的限界に達するが、DRAMとMPU/hpASICにはその限界は適用されない)。寸法や設計ファクタのモデルは過去のITRSロードマップから 2009年に大きく改訂されたが、高性能MPU(今は  $260\text{mm}^2$ まで小さくなった)およびコスト優先MPU( $140\text{mm}^2$ )双方に対してチップサイズ一定を目標にすることで、入手しやすさ(値段)に関する相反する要求に対応しつつけている。

2013年までのMPU 2年サイクル・ハーフピッチ”追付き追越しフェーズ”により、リソグラフィの改善だけでMPU製品は一定のチップサイズを目標としていた。しかし 2013年以降、ITRSの技術世代に示されている世代間MPUチップサイズのモデルでは、テクノロジーサイクルごとにオンチップ・トランジスタの数を倍

増させるペースを減速させることによるのみ、一定のチップサイズを維持することができる(2013年以降3年サイクルになる)。

2011年の改訂もMPUモデルでは、ロジックコア数はたった二世代毎に2倍になるようなアプローチを続けている。しかし、1コアあたりのトランジスタ数の目標も二世代毎に2倍としたので、トランジスタ数とトランジスタ密度は変わっていない。MPUモデルに対するこのアプローチが現在の設計トレンドを代表しているというのが設計TWGの一致した見解であることは変わらない。図 ORTC6, ORTC7, ORTC8 の Function Size and Functions per Chip 参照。

以前の版と同じであるが、ITRSの予測ではMPUのM1ハーフピッチの2年テクノロジーサイクルを2013年の27nmまで延長しているため、現在のMPUチップサイズ・モデルでは、チップ上の機能(トランジスタ)が2年毎に2倍になるという歴史的なムーアの法則は2013年/27nmまで保持される。2013年以降、緩やかな3年サイクルになる(一定のチップサイズトレンドを維持するため)ことに対応して、オンチップ・トランジスタに関するムーアの法則は3年毎倍増へと低下する。2013年以降も実効的にこれまでの機能生産性のトレンドを維持するには、MPUのチップ設計者およびプロセス設計者は、基本的なリソグラフィ依存のスケールリングによって改善される設計以外に、より多くの”等価スケールリング”的な設計・プロセスの改善を追加しなければならない。Table ORTC-2Cと2DにMPUモデルの新しい目標値を要約して示す。

#### *Table ORTC-2C MPU (High-volume Microprocessor) Cost-Performance Product Generations and Chip Size Model*

#### *Table ORTC-2D High-Performance MPU and ASIC Product Generations and Chip Size Model*

生産性を向上するには、製造プロセスの各ステップで良好なチップの生産量を増加しなければならない。1回の露光で複数チップをプリントする能力は生産性向上の主な原動力であり、その原動力はリソグラフィ装置のフィールド・サイズ、およびウェーハにプリントされるチップのサイズとアスペクト比により決定されている。これまではリソグラフィ露光フィールドサイズはテクノロジーサイクル2世代毎に倍増していて、導入レベルでの最大チップサイズが増大するという要求を満たしていた。その結果、非常に広いステップ走査フィールド( $26 \times 33 = 858\text{mm}^2$ )が達成された。

しかし、継続的に解像力の向上を図りながら大きなフィールドサイズを保つことは、大幅なコスト上昇を招くということが、リソグラフィITWGにより示された。そのため、リソグラフィITWGでは最大のフィールドサイズを $858\text{mm}^2$ に制限し、個々のメモリとロジック製品のチップサイズの調査結果およびモデルに基づいて、最大のフィールドサイズの範囲内で要求フィールドサイズを制御しつつ、より典型的で価格的に入手容易なフィールドサイズ範囲となるようにもしている。

DRAMチップサイズは、歴史的に、最も困難な露光ハーフピッチと価格的に入手容易なリソグラフィ・フィールド・サイズを示すと見なされてきた。ITRS 2011のDRAMチップサイズ・モデルでは、導入レベルのチップサイズをリソグラフィの最大フィールドサイズである $858\text{mm}^2$ より十分小さな $750\text{mm}^2$ よりもさらに小さく設定して、少なくとも1個の導入レベル・チップサイズがフィールド内に収まるようにしている。今回、ITRS 2011の量産DRAMチップサイズモデル( $20\text{mm}^2$ より小さいチップサイズ維持が目標)では、少なくとも29個以上のチップを $572\text{mm}^2$ のフィールド内に収めている。

テクノロジー世代のスケールリングの1年前倒しとセル設計改善( $4f^2$ 導入(現在2013年の導入を想定)を含むA-ファクタの縮小)との組合せにより目標を達成している、ここではオンチップ・ビットの倍増という目標を3年サイクルというより遅いスピードで実現することも許容している(長期的には導入時期を1年後ろ倒し)。しかし上記の生産チップサイズモデルで記述したように、DRAMの設計改善項目である $4f^2$ 導入が2013

年に遅れたことと、DRAM設計改善と新たな入手容易な量産チップサイズ目標を  $20 \text{ mm}^2$ 以下とすることを考慮すると、価格的に入手容易なチップサイズおよびリソグラフィ・フィールドの限界内で生産するには、追加するオンチップ・ビット数を減らすという要求が生じることになる。この要求は、DRAMモデルで量産のビット数/チップを1年遅らせ、ムーアの法則が示すビット/チップのトレンドを3年毎で倍増というよりゆっくりにしたペースをロードマップの最後まで維持することにより達成することができた。DRAMモデルのデータ目標をTable ORTC-2Aと2Bに載せる。

フラッシュの量産チップサイズモデルも図表に追加し、最大の実現可能なチップサイズを  $150 \text{ mm}^2$ とした。フラッシュのビット/チップの倍増は2年毎に達成される目標を維持している。ポリ・ハーフピッチの2年サイクルが2009年まで続いたが、2010年にはポリ・ハーフピッチの微細化が急に進み24nmとなった。3ビットのMLCや2020年に現れる4ビットのMLCを加えることによって、フラッシュ製品のチップサイズは2026年に至るまで  $143 \text{ mm}^2$ 未満に保たれる。リソグラフィ工程の最大フィールドサイズの絶対値は、高性能MPUやASICの初期導入時のチップサイズによって決定される。このサイズは、リソグラフィTWGによる最大入手可能サイズ( $26 \times 33 = 858 \text{ mm}^2$ )で実現できる実際的なフィールドサイズとなる。マスク倍率レベルは将来は8xになるかもしれないので、その場合には最大フィールドサイズを現在の  $858 \text{ mm}^2$ からその1/4に、すなわち  $214 \text{ mm}^2$ 未満に引き下げられることが予想される。最大フィールドサイズの限界と、マスク倍率の関する課題に関連する詳細は、リソグラフィTWGにより、リソグラフィの章の中で示されている。目標とする最大フィールドサイズは、Table ORTC-3に示していて、この値はITRS2007の目標値と変わっていない。

[訳注: 厳しいマスク精度を緩和するためマスク倍率(マスク上とウェーハ上のパターンサイズ比率)が現在の1/4から1/8に変わる可能性がある。その場合、ウェーハ上のフィールドサイズは $(1/2) \times (1/2)$ で1/4になり、ウェーハ上の露光面積拡大という観点からは不利な方向である。]

### Table ORTC-3 Lithographic-Field and Wafer Size Trends

ITRS 2011におけるDRAMモデル、MPUモデル、及びフラッシュモデルは、DRAMとMPUとフラッシュの設計およびプロセスの改善目標を達成できるかどうかにかかっている。達成できない場合は、現在のロードマップが示したより大きな露光チップサイズの方向への圧力が高まるか、または、オンチップ機能に関する”Moore’s Law”の増加率がさらに低下することになる。いずれの結果でも、コスト/機能の低減率(半導体産業の生産性向上と競争力に関する古典的な尺度)にネガティブなインパクトをもたらすことになる。

コスト低減の圧力が高まる中で、特に先端的なIDFやヤファウンドリにとって、200mmラインを生産性ブースターである300mmラインの生産性にグレードアップすること(同時に、ファブの生産性を向上させることも)の必要性がかつてないほど増加している。しかし、経済情勢の悪化、特に最近の世界的な景気後退、によって財政上の課題が生じ、設備投資が抑制されることになった。Table ORTC-3(詳細はフロントエンドプロセスの章にも載っている)にある最大ウェーハ径に関する内容は、2001年に始まった300mmライン能力の増強と整合して、300mmウェーハは今やシリコンウェーハ面積の50%に達している。300mm製造技術の進歩と継続的な改善がITRS 2011年版における長期(2019年から2026年)期間にわたり期待されることから、IRC(国際ロードマップ委員会)は300mmラインによる製造を独立した項目として、ロードマップの最終年の2026年まで延長することにした。

厳しい経済状況によって、生産性向上のブースターとして期待される次の1.5倍ウェーハ・サイズ= $450 \text{ mm}$ 径ウェーハを用いた最初の半導体量産に対する投資とそのタイミングも影響を受けた(すでに述べた通りであるが、より詳しくは、Executive Summaryの450mmのトピックスの箇所に記載)。しかしながら、450mm生産性向上ブースターの可能時期はITRS IRCによって、以前と同様に、目標が設定されており、ISMIの進捗報告(progress reports)によると2013年から2014年にIDM(Integrated Device

Manufacturer, 統合デバイスメーカー)とファブドリはパイロットラインでの試作が可能となる。先端的な会社の発表によると、2013年から2014年を目標にパイロットラインを作り、2015年から2016年にかけての時期が製造の立ち上げ時期にあたるとしている。他の生産性を向上させる推進力(リソグラフィ技術や設計・プロセスの改善)もスケジュール通りに実現しなければならない。生産性の向上策として、大口径ウェーハの使用を加速するかあるいは、同等の効果のある別の解決策を見出すための時間は限られているからである。

将来技術開発の加速・減速の影響や次のウェーハサイズへの転換のタイミングに依存して、包括的かつ長期的な工場の生産性モデルおよび経済モデルの開発と適用が必要となる。このような産業経済のモデル化(industry economic modeling: IEM)は、SEMI(Semiconductor Equipment and Materials Institute)とSEMATECH(Semiconductor Manufacturing Technology Institute)が合同で継続的に資金援助と実働作業を行っている。また、現在、ITRSに基づいた、IC Knowledge社(www.icknowledge.com)の商用モデルも利用可能となっている。将来の技術的・経済的要求を明確にするとともに必要とされる研究と開発に対する適切な投資メカニズムを導き出すために、半導体サプライヤやチップメーカーによる非競争領域での協力が必要で続ける。このような協力の例として、SEMATECHで現在進行中の450mmプログラム、新しいG450C(Global 450 mm Consortium: Intel, Samsung, TSMC, IBM, GlobalFoundriesが参加)、ヨーロッパのEEMI 450のIMECとの共同イニシアティブについての最近の発表がある。

## パッケージされたチップの性能

### パッド数とピン数、パッドピッチ、ピン当りコスト、周波数

チップの機能を高めたいというニーズが、各製品世代に対応して増加するトランジスタ数/ビット(メモリセル)数の集積化を要求する。一般的には、チップ内のトランジスタの数が増加すると、集積回路への入出力(I/O)信号の入出力に必要なパッド数/ピン数も増加する(Table ORTC-4を参照)。

付加的な電源・グラウンドのチップへの接続は、電源設計の最適化と雑音耐性の向上に必要である。MPUや高性能ASIC製品はITRSのロードマップ期間に3~7kパッドになる。MPU製品のパッド数はその期間に約50%増加し、ASICのチップ当たりのパッド数は2倍になると予測される。2種類の製品では電源・グラウンドパッドの割合が全く異なる。典型的なMPUのパッド数は、1/3がI/O信号パッドで、2/3が電源・グラウンドパッドとなっており、1ヶのI/O信号パッドに対して2ヶの電源・グラウンドパッドを持っている。MPUとは異なり、代表的な高性能ASIC製品のパッド数は1ヶのI/O信号パッドに対して、1ヶの電源・グラウンドを持つ。

### Table ORTC-4 Performance and Packaged Chips Trends

A&P ITWGにより提供されたパッケージピン数とピン当たりコスト(Table ORTC-4)は、将来の製造経済学(manufacturing economics)への課題を示している。ピン当たりコストは減少していくが、チップ内のトランジスタ数が予定通り増加すると、パッケージピン/ボール数も増加し続けると予測される。パッケージング全体の平均コストは毎年増加することになるので、パッケージ組立メーカーにとって、コスト効率の良い解決策を提供することが大きな課題となる。

非常に競争の激しい家電用電子製品環境(それは、設計やシステムドライバの章の主要な技術課題や解決策候補において、中心的製品区分であるが)において、PCや携帯電話のような大量生産するハイテク製品のコストは現状維持か、減少傾向となる。これらのハイテク製品は一般に、2年毎に性能は2倍になる。これは先端の半導体メーカーでの最終顧客の市場環境である。年間30%またはそれ以上の比率(2年毎

にコストは変わらず、チップ当たりの機能は 2 倍になる。つまり、年率 29%)で機能(ビット、トランジスタ)当たりコストが下がるという ITRS の経済的要求に基づく、重要なコストドライバである。

もし、将来の半導体製品の価格を維持または低下するとし、平均のピン当たりコストは下がるが単位当たりの平均ピン数が増加するならば、15 年間の ITRS ロードマップ期間で、トータル製品コストに占める平均的なパッケージ比率は増加し続け、その結果として、総収益マージンを大幅に減少させ、研究開発と工場生産能力へ投資能力を制限することになる。

この結論が、マルチ・チップ・モジュール(System in Package : SiP)や COB(Chip on Board)やその他の創造的な解決策を用いた SoC(System on Chip) への機能統合により、システム全体のピン数要求を低減させる、産業動向に基づいた原動力の一つになっている。

機能当たりのコストを指数的に減少させながら、機能性を増加させる要求に加えて、更に高機能、低コスト製品に対する市場需要も存在する。消費者の需要を満たすために 1.5~2 年毎にチップの機能を 2 倍にするというムーアの法則が予測するように、より高速で電気信号を処理したいという要求がある。MPU の場合、毎秒当たりの処理命令数はこれまで、1.5~2 年毎に倍増してきた。しかし、以前のロードマップでも予測されていたし、最新の ITRS 2011 年版においても、オン・チップ周波数の増加率は、わずかに年率約 4% 以下に低下すると予測している(下記の(注\*)を参照のこと)。(用語解(Glossary)で言及するが)幾何学的なスケール則によってこれまで達成されてきた性能向上は現在、プロセスでの「等価的スケール」と設計に関係した「等価的スケール」(用語解にアップデートされた新定義を参照)アーキテクチャやソフトウェアの改善によって実現されている。このアーキテクチャやソフトウェアの改善は、消費電力を制御しながら、顧客への SoC や SiP やシステムレベルの性能の継続的な提供を可能にする。

MPU 製品においては、MIPs (Millions of Instructions per Second)の単位で扱われる処理能力は、「アーキテクチャ性能」(クロック・サイクル当たりの命令数)によって増加する「未加工の技術性能」(クロック周波数)の組合せを通して実現される。より高度な操作性能に対するニーズは、新しいプロセス、設計、パッケージ技術の開発を継続して要求する。

これらの考慮すべき問題は表 ORTC-4 に反映されている。表 ORTC-4 には、チップの最大性能の傾向を予測するために設計 TWG によって提供された項目が含まれる。(注\*)2011 年の ITRS の編集作業において、設計の技術ワーキンググループ(TWG)は最近の製品データとトレンドを検証し、新たに、チップ上のクロック周波数目標を年率(CAGR)4%の改善トレンド(以前の 2009 年版、2010 年版では、年率 8% のトレンドを掲載して、これは 2008 年の ITRS の作業で決められたものである)とすることを提案した。あらたな周波数目標は従来にくらべ、目標を大幅に低減していて、2012 年に、PIDS の技術ワーキンググループ(TWG)と共に、内在的(intrinsic)トランジスタモデルとリングオシレータのモデルを追加で改訂する必要がある。本件について、より詳しくは、要約(Executive Summary)のトピックスである「PIDS と設計周波数」の節の議論を参照されたい。

各製品世代に対応した最大周波数は、固有トランジスタ性能(on-chip, local clock)に直接関係する。チップ内を伝わる信号の周波数(“local” frequency)とチップ間の信号を伝達のための周波数との差異が増加する。これは、信号伝達遅延にともなう劣化によるものである。また、消費電力は異なる配線間および配線基板間の容量結合が原因である。さらなる信号劣化と電力消費はワイヤボンドとパッケージリードのインダクタンスに伴うものである。結局、フリップチップ接続は、パッケージで生じる寄生効果を取り除く、唯一の現実的な方法かもしれない。

チップ内の信号と電源の配置を最適化するためには、配線数を増加し続けることが期待される。配線の微細化が今後も継続すると、チップの製造プロセスにおいて、低抵抗の Cu 配線や低誘電率の各種の金属間化合物絶縁材料がより幅広く採用される。多重化手法もまた、基板上の動作周波数(off-chip; 詳細は A&P の章を参照)を増加されるために使用される。

## リソグラフィー用のマスク数と電氣的な欠陥密度 (LITHOGRAPHY MASK COUNT AND ELECTRICAL DEFECT DENSITY)

DRAM、MPU、ASIC の電氣的欠陥の密度に関する(量産の年に 83~89.5 %のチップ歩留を達成するのに必要な)最新目標を表 ORTC-5 に示す。DRAM とマイクロプロセッサについて表 2 で報告したように、最新チップ寸法モデルに基づき異なるチップ寸法を考慮して、許容可能な欠陥数を計算している。その上、図表内のデータは生産ライフサイクルの内量産レベルだけが報告されている。歩留向上についての章に載せた式を使用して、同一技術ノードでの異なるチップ寸法における他の欠陥密度を計算することが出来る。

ロジックとメモリ製品について、マスク数の概数を見積もり、これを増加し続けるプロセスの複雑化の指標として掲載した。この作業は、2011 年にリソグラフィの技術ワーキンググループが行い、各社を調査し、ITRS 2011 年版の目標を改訂した。現在の表 OTTC-5 には、リソグラフィの調査結果と IC Knowledge(ICK)の戦略モデル(ITRSに基づく、www.itrs.netを参照)の貢献によるマスク数モデリングによる項目が含まれている。ITRS 2011 年版のこの重要な案件についての詳細は、要約(Executive Summary)のトピックスである「リソグラフィとマスク数」の節の議論を参照されたい。

歩留向上(Yield Enhancement)の技術ワーキンググループ(TWG)は 2012 年の改訂にあたり追加的な作業を行う予定であり、表 ORTC-5 の歩留まり向上についての欠陥密度( $D_0$ )の項目について解析を行い、その結果をロードマップに取り込む。

*Table ORTC-5 Lithography Masks Count and Electrical Defects*

## 電源と消費電力 (POWER SUPPLY AND POWER DISSIPATION)

いくつかの要因(消費電力の低下、トランジスタチャネル長の縮小、ゲート誘電体信頼性の向上)が電源電圧の低減を推し進めている。表 ORTC-6 に示すように、現在、電源電圧の値は、範囲というよりは、むしろ特定の目標値で与えられている。

特定の $V_{dd}$ 値の選択は、1個のICについて速度と電力を同時に最適化する解析の一部として続けられており、各製品世代の使用可能電源電圧の範囲をもたらしている。高性能プロセッサでは、0.6V以下の $V_{dd}$ 値は 2025 年までの目標である。 $V_{dd}$ 最低目標値は低消費電力応用製品で 2026 年に 0.54Vである。

最大電力傾向(MPU用)は3つのカテゴリで提示される。

- 1) 高性能デスクトップ・アプリケーション、パッケージのヒート・シンクが許容される。
- 2) コスト重視型、最高性能の経済的な電力管理が最も重要。
- 3) ポータブル機器の電池による動作(低コスト、携帯)

全てのカテゴリで、低電源電圧の使用にもかかわらず、全体の電力消費量は、2011年の表 ORTC-6 に示すように、比較的一定している。電力消費量の増加を推し進めているのは、高いチップ使用周波数、配線全体の高容量と高抵抗、および指数関数的に増加しかつ微細化するチップ上トランジスタのゲート・リーク(漏れ)の増大などである。

最大消費電力を計算するための方法論は 2012 年に見直される予定である。2012 年のロードマップ改訂では、設計とアセンブリ・パッケージの ITWG による計算モデルを改訂した。このモデルでは、チップ全

体の消費電力を計算するというよりは、むしろ、特定のホットスポット (hot spot: 発熱量の多い領域) を考慮に入れている。

The approach for calculating maximum power targets is being re-evaluated in the 2012 roadmap update calculation models from the Design and Assembly and Packaging (A&P) ITWGs are expected to take into account specific “hot-spot” area calculations rather than the overall chip area.

*Table ORTC-6 Power Supply and Power Dissipation*

## コスト (COST)

表ORTC-7 はコストの傾向を示している。機能あたりのコストを年間に平均 29%削減 (2年間で 0.5倍) が可能なことは半導体産業に特有な特徴であり、定価格または低下した価格環境の中で 1.5~2年ごとにチップ上機能の倍増を提供しつづけることは、市場圧力の直接的な結果である。このコスト削減圧力に対応するため、研究開発部門と製造部門では多額の設備投資を継続的に実施していかなければならない。工場あたりの投資額ベースでさえも、製造部門への設備投資額は上昇の一途を辿っている。しかし、歴史的に半導体産業は、チップ寸法とコストを増加させずに、または適度な増加によって、1.5~2年ごとにチップあたりの機能倍増を提供しており、シリコンの $\text{cm}^2$ あたりではおおよそ一定コストとなっている。技術面の性能と経済面での効果が半導体産業の成長を支えてきた基本エンジンであった。

しかし、今日の競争的市場環境の中にいる顧客は僅かなコスト増加にさえも抵抗を示し、チップとユニットコストを制御するために、今までチップあたりの機能倍増のスピード (ムーアの法則) にも圧力を加えている。そのため、半導体メーカは、半導体産業の成長を今まで担ってきた、同じような機能あたりのコスト削減必要条件を提供する新しいモデルを捜し求めなければならなくなっている。そのため、1999年版 ITRS では所望の削減を達成する新しいモデルが提案されている。チップあたり定コストおよび平均販売価格 (average selling price: ASP) で 2年ごとに機能倍増を顧客に提供している。2001と 2003、2005、2007、2009そして 2011年版 ITRS では、理想化されて単純モデルを使い続けていて、一機能 (ビット、トランジスタ等) 当たり 29%のコスト削減となる。平均 29%のコスト削減は、歴史的には (1999年以前は)、ユニットあたりのコストを 1.4倍の割合で 3年ごとにチップあたりの機能 4倍増の機能を提供することによって、達成されていることに注目されたい。

ITRS 2011年版のDRAMおよびMPUのコスト・モデルは、半導体産業の経済性の原動力として、機能生産性あたりのコストの平均として 29%削減レートへのニーズを使い続けている。そのため、DRAMおよびマイクロプロセッサについて手ごろなコスト/ビットやコスト/トランジスタの世代内傾向を設定するために、この中心的な機能あたりのコストの傾向を使用してきた。今までの傾向から推測すると、「初期の」手ごろな値段のコスト/ビットが 2011年には 0.66 マイクロセント (microcent、1セントの 100万分の 1) であることが示されている。加えて、その今までの傾向は、ひとつのDRAM世代内では年間 45%のコスト/ビット削減が期待されるべきであることを示している<sup>5</sup>。これに対応して、マイクロプロセッサについて公表データを

<sup>5</sup> McClean, William J., ed. *Mid-Term 1994: Status and Forecast of the IC Industry*. Scottsdale: Integrated Circuit Engineering Corporation, 1994.

McClean, William J., ed. *Mid-Term 1995: Status and Forecast of the IC Industry*. Scottsdale: Integrated Circuit Engineering Corporation, 1995.

使って行った解析は同様な結果をもたらしている<sup>6</sup>。結果として、MPUモデルにも、同一世代内で45%の削減レート値とともに、世代間で手ごろなコスト/トランジスタの削減目標値29%/年が使用されている。

ITRS 2011年版のMPUチップ寸法モデルは2009年版、2010年版から変更していない。設計ITWGはITRS 2009年版で、入手しうる最新のデータとモデルに基づいて、MPUモデルを改訂した。新しいモデルとモデルは、ロジック・トランジスタの寸法がリソグラフィのレート(技術サイクルごとに0.7倍の寸法縮小および0.5倍の面積縮小)の割合で改善していることを示している。そのため、MPUチップ寸法を一定の目標値である140mm<sup>2</sup>に保つため、トランジスタの数は、技術サイクルごとに倍増させることができる。技術サイクルのレートは2010年45nmまで2年サイクル、2010年以降に3年サイクルに変わると予測されている。従って、より高いコストを許容する市場を持つ特別用途でチップ寸法が増加を許されない限り、2013年以降のMPUチップあたりのトランジスタ数は3年ごとにしか倍増しないことになる。

DRAMメモリ・ビット・セル設計の改善スピードも、ITRS 2011年版のDRAMチップ寸法モデル目標(表ORTC-2を参照)を反映して、加速している。技術トレンドの1年前倒しにとともに、「4」の設計係数、即ち「6」の係数に対し33%の改善は2013年に導入されと期待される。このことは、長期のコスト削減による生産性改善を平均として維持している。更に、最近のPIDS TWGのDRAM製造者の調査によれば、セル・エリア効率のさらに高い目標値である59%が期待されていて、この値はロードマップの最終年の2026年まで変わらないと予想される。これらの最近のモデルの変更とより許容できる生産開始製品寸法(60mm<sup>2</sup>以下)の新しい目標とあいまって、短期のDRAMの1チップあたりの集積ビット数とのトレンドが維持される。しかし、長期の集積ビット数のトレンドは1年後ろ倒しとなるが、結果として、チップサイズはより小さくなり、価格もより入手しやすいものとなる。ビット集積度の増加率は短期では3年に2倍であり(2011年に4Gビット、2014年に8Gビット)、長期には3.5年に2倍となる(2018年に16Gビット、2025年に64Gビット)。このDRAMモデルの変化は64Gbit世代の生産(導入は2013年)を2025年に遅らせ128Gbit(導入は2014年)の生産は現在のITRS最終年の2026年より後になる。

DRAMとMPUにおけるチップあたりの機能の(2013年以降)増加率の低下を補うために、チップやパッケージ、ボード、システムのレベルでのアーキテクチャや設計の等価生産性スケーリングから得られる利益から、変わりとなる生産性向上策を見出す方向への圧力がますます高まるだろう。

かりに将来チップ上機能の増加率が低下したとしても、1チップあたりの機能の量はまだ指数関数的に成長している。1チップあたりの機能の数値が増加し続けるので、最終製品のテストはますます困難になり、従って、コストが高くなっている。これは、テストのコスト上昇に反映されている。テストされるピン数も増加する(表ORTC-4)。これは全体のコスト負担(CoO)を増加させる付随する材料やカスタムのテスト機能ばかりでなくテストのコストも増大させる。それゆえ、組込みセルフ・テスト(Built-in Self Test: BIST)手法およびテスト容易化設計(Design-For-Testability: DFT)手法や製造容易化設計(Design for Manufacturing:DFM)の実現加速へのニーズは、ITRS 2011年版のタイムフレーム内で引き続いて存在する。詳しい説明はテストとテスター(Test and Test Equipment)の章で述べる。

#### Table ORTC-7 Cost

<sup>6</sup> a) Dataquest Incorporated. *x86 Market: Detailed Forecast, Assumptions, and Trends*. MCRO-WW-MT-9501. San Jose: Dataquest Incorporated, January 16, 1995.

b) Port, Otis; Reinhardt, Andy; McWilliams, Gary; and Brull, Steven V. "The Silicon Age? It's Just Dawning," Table 1. *Business Week*, December 9, 1996, 148-152.



# 用語集 GLOSSARY

## 主要なロードマップ技術特性用語 (KEY ROADMAP TECHNOLOGY CHARACTERISTICS

### TERMINOLOGY)

#### (所見と解析(ALSO WITH OBSERVATIONS AND ANALYSIS))

### ITRS2011 年版の用語集には新定義の追加と訂正が含まれることに注目されたい

**ムーアの法則 (Moore's Law)** : 「チップあたりの機能(ビット数、トランジスタ数)に対する市場の要求(そして半導体産業の対応)は 1.5~2 年ごとに倍増する」という、Gordon Moore 氏が歴史的所見として唱えた法則。また、デバイスが手ごろな価格であること(affordability)と性能も考慮すべきであることを彼は見出した。「自己実現的」の予言と見なす人もいたが、過去 40 年間にわたって「ムーアの法則」は最先端の半導体製品と企業にとって、一貫したマクロトレンドであり、成功した最先端半導体製品と企業にとって、重要な指針となっている。

#### 微細化(Scaling) ("More Moore")

- 幾何学的微細化(電界一定の微細化) (Geometrical (constant field) Scaling) は、チップ上のロジックとメモリの平面的(シリコン基板の表面方向)、垂直的(シリコン基板表面に垂直方向)物理的寸法を縮小し続けることにより、素子密度を向上させることで機能あたりのコストを削減し、性能(速度と消費電力)、信頼性を半導体応用機器や最終顧客にもたらすことを指す。
- 等価的微細化(Equivalent Scaling)は、幾何学的微細化とともに使われ、幾何学的微細化を可能にする以下のような技術手段を指す: 3 次元的な素子構造により“Design Factor”【訳者注:メモリセルの面積をデザインルールの二乗で割ったもの】を改善すること。これに加えて、集積回路の電気的性能を向上させるため、他の幾何学的スケールングによらないプロセス技術や新規材料を導入しすること
- 設計による等価的微細化(Design Equivalent Scaling) (上記の幾何学的微細化と等価的微細化とともに起こる)は、高性能、低消費電力、高信頼性、低コスト、設計効率向上を可能にする設計技術をさす。
  - 例示すると(網羅的なのはないが)、ばらつきを考慮した設計 (design-for-variability)、低消費電力設計(スリープモード、ハイバネーション、クロックゲーティング、電源電圧の複数化など)、同種または異種のマルチコア SoC アーキテクチャ
  - 定量化可能な特定の設計技術の必要性に焦点を絞ること。消費電力と性能間のトレードオフが微細化("More Moore")の機能的要求に合致するように取り組むこと。さらに、高密度化("More Moore")を指向する設計アーキテクチャ上の機能性が消費電力と性能の必要を解決できるようにすること。

**機能的多様化(Functional Diversification) ("More than Moore")** : 機能的多様化は必ずしもムーアの法則による微細化に従うことなく、異なる方法で最終顧客に付加価値を提供する機能をデバイスに組み込むことを指す。機能的多様化("More than Moore")のアプローチによれば、非デジタル機能(たとえば、無線通信、電力制御、受動素子、センサ、アクチュエータなど)をシステム基板レベルから特定のパッケージレベル(SiP)やチップレベル(SoC)の実装方法に移行させることができる。

- 設計技術は、“More than Moore”技術に利点をもたらすような新機能を可能にする。
- 例示すると(網羅的ではないが)、異なる機能統合するにあたり、個々の機能を個別部品に分割する際の新しい方式やそのシミュレーション、ソフトウェア、センサやアクチュエータのためのアナログとミクストシグナルの設計技術。また SIP、MEMS、バイオテクノロジーとデジタル回路の同時設計(co-design)や同時シミュレーション(co-simulation)を行うための新しい方法やツール。
- 機能的多様化を可能にするための設計技術の必要性に注力すること

**Beyond CMOS:** 新探究デバイス(ERD:Emerging Research Devices)と新探究材料(ERM: Emerging Research Materials)の両ワーキンググループは情報処理を行うための「新しいスイッチ」に注目している。典型的には、新しい状態変数を利用することにより、限界まで微細化した CMOS を超えて機能的に実質的の微細化を実現しようとするものである。ここで、「CMOS を超えた(“Beyond CMOS”の)実質的の微細化」は、機能的には集積密度、性能向上、劇的には消費電力削減などの観点から定義される。「新しいスイッチ」は情報処理のための素子または技術であって、データの蓄積、記憶、素子間の接続の機能とともに利用できるものをさす。

- Beyond CMOS の例としては、以下のものを含む：炭素をベースにした(カーボンナノチューブやグラフェンを使った)ナノエレクトロニクス、スピン素子、強磁性体ロジック、原子スイッチ NEMS (Nano-Electro-Mechanical-Systems)

## 主要市場の特性 (CHARACTERISTICS OF MAJOR MARKETS)

**技術サイクルタイム期間 (Technology Cycle Time Period):** 製品のスケールを1期間で0.71倍にするか、2期間で0.50倍にするタイミングを言う。カスタム化されたパターン配置の(即ち千鳥配置のコンタクト/ビアを伴う)配線の最小ハーフピッチが、高密度(単位機能当たりで低コストな)DRAMとMPU/ASIC集積回路の製造を可能にするプロセス能力を最も良く代表するため、ITRSの技術サイクルの定義に選ばれた。FLASH製品技術サイクル・タイミングはコンタクトが無い高密度ポリラインのハーフピッチで定義されている。各製品特有の技術サイクル・タイミングには、何の製品であれ、メタルかポリシリコンのハーフピッチの中で、最小の値を採用する。歴史的に、DRAMはメタルピッチでリードしてきたが、将来は他の製品が代わる可能性もある。

IC技術の特徴付けるために他のスケールパラメータも重要である。DRAM技術では、最小の経済的なチップ寸法に要求される一層目の千鳥コンタクト有り高密度配線のハーフピッチが代表である。しかし、マイクロプロセッサ(MPU)などのロジックについては、物理ゲート最下部の孤立長さが最高性能に必要な最先端技術レベルの最も代表的なものであり、リソで描画後更にエッチングして最も小さいパターン目標を達成している。MPUやASICロジックの配線ハーフピッチプロセス要求は、通常千鳥コンタクトがあるメタル層(M1)を指しており、DRAMの千鳥コンタクト有りM1ハーフピッチより僅かに遅れている。最小ハーフピッチは通常チップのメモリ・セルの領域に見出される。各技術サイクル時間(1つのサイクル期間で0.71倍、2つのサイクル期間で0.50倍の縮小)ステップは重要な技術の、装置や材料の進歩の創造を、千鳥コンタクトありメタルハーフピッチ(DRAM, MPU/ASIC)あるいは、コンタクト無のポリシリコン(FLASH製品)であらわしている。

すでに定義されているように、「等価的の微細化」をもたらすプロセス技術を付加と、トランジスタのゲート寸法の微細化を組み合わせることが可能で、デバイスの性能や消費電力の管理特性を更に進歩させることができる。「等価的の微細化」は個々の企業が特定の製品製造工場の範囲内で、種々の組み合わせを行うこともできる。最新のITRSのTWG(技術ワーキンググループ)の調査によると、寸法の微細化(ゲート長とゲ

ート材料の厚さの両方)は鈍化しているが、「等価的微細化」をもたらすプロセス技術を付け加えて、うまく両者をトレードオフすることにより、消費電力管理と性能の要求を満たす例が見られる。

「等価的微細化」をもたらすプロセス技術とデバイス設計の例(必ずしも理解しやすい例ではないし、網羅的でもない)には以下のようなものがある: Cu 配線、低誘電率(low-K)層間絶縁膜の材料、歪シリコン、高誘電率(high-K)ゲート絶縁膜と金属ゲート電極、SOI 基板上の完全空乏形トランジスタ(FDSOI: Fully Depleted Silicon-On-Insulator)、複数ゲートを持つ 3 次元構造のトランジスタ、III V 族のチャンネル材料【訳者注:原文ではIII V 族のゲート材料となっているが、チャンネル材料として使うのが効果的】、など

「等価的微細化」のためのプロセス技術が入手可能になる時期、導入される時期は、寸法の微細化サイクルの場合と比べて、規則的ではないことに注意されたい。さらなる技術的な記述と時期の詳細については、配線(Interconnect)の章と PIDS(Process Integration and Device Structures)の章を参照されたい。

**機能あたりコスト製造生産性改善の原動力 (Cost-per-Function Manufacturing Productivity Improvement Driver):** 1 チップあたりの機能を 2 年ごとに 2 倍にするというムーアの法則の原動力に加え、この「法則(law)」の歴史に基づいた「系(corollary)」が存在する。それは、値ごろな価格を実現し競争力を持つためには、製造生産性の改善は、機能あたりのコスト(ビットまたはトランジスタあたりマイクロセント(microcent))は年率 29%で削減をしなければならないということである。歴史的には、機能が 2 年ごとに 2 倍になると、機能あたりのコストは 2 年ごとに半分しなければならない(平均すると年率 29%の削減)。したがって、平均すると、1 チップ(1 パッケージ)あたりのコストは、値ごろな価格を実現するためには、ほぼ一定でなければならない。これは、チップコストの目標もパッケージングのコスト目標も一定にとどまることを意味する。もし機能が 3 年ごとに 2 倍になる場合は、機能あたりのコストのペースが遅れて 3 年で半分になる場合(平均して年率 21%の削減)に、1 チップ(1 パッケージ)あたりのコストが一定にとどまる。この単純な製造コストの値ごろ価格(affordability)のモデルは ITRS の一次的原動力として使われているが、これは、経済の需要供給市場の現実の外部市場環境の複雑さを考慮に入れていないことにも注意されたい。

**手ごろな値段の実装されたユニットのコスト/機能 (Affordable Packaged Unit Cost/Function):** テストされパッケージに組み込まれたチップのコストを、チップ当りの機能で割り算し、マイクロセントで表した最終コスト。手ごろなコストは、手ごろな販売価格 [特定の製品世代の年間総収入を年間ユニット出荷高で割る] から荒利マージン(DRAM には約 35%、MPU には約 60%)を引き算するという歴史的な傾向により計算される。機能あたりの手ごろな値段は、将来市場の「トップダウン」型ニーズのガイドラインであり、このように、チップ寸法および機能密度とは独立に作成される。値段が手ごろであることの要件は、1) 技術改善と設計改善による密度の増加とチップ寸法の小型化、2) ウェーハ直径の拡大、3) 設備所有コストの削減、4) 設備全体における設備有効性の向上、5) パッケージ・コストおよびテスト・コストの削減、6) 設計ツール生産性の向上、7) 製品アーキテクチャおよびインテグレーションの改善、を組み合わせることで達成されることが期待される。

**DRAM と FLASH 世代(製品世代ライフサイクルの中で) (DRAM and Flash Generation at (product generation life-cycle level)):** ある年、ある製造技術能力、あるライフサイクル成熟度(学会レベル、試作レベル、量産レベル、量産増大レベル、量産ピーク)で導入された DRAM と FLASH 製品世代の予想チップ当たりビット数。

**Flash Single-Level Cell (SLC):** フラッシュ不揮発性メモリでセル領域に 1 物理ビットの記憶だけを行うもの。

**Flash Multi-Level Cell (MLC):** 同じ物理的領域に 2 ビットから 4 ビットのデータを電氣的に蓄え、読み出すことが出来る。

**MPU 世代(製品世代ライフサイクルの中で) (MPU Generation at (product generation life-cycle level)):** ある年、ある製造技術能力、あるライフサイクル成熟度(学会レベル、導入レベル、量産レベル、

量産増大レベル、量産ピーク)で導入されたマイクロプロセッサの製品世代機能(ロジックと SRAM を含む)に関する汎用プロセッサ世代の区分。

**コスト重視 MPU (Cost-Performance MPU):** チップ上の SRAM レベル 2 とレベル 3 (L2 と L3) キャッシュの量を制限して最高性能と最低コストへの最適化を図った MPU 製品。ロジック機能および L2 キャッシュは一般的に 2 年から 3 年技術サイクル(サイクル期間毎 0.71 倍)世代ごとに倍増する。

**高性能MPU<sup>7</sup> (High-performance MPU):** 単一または複数CPUコアと大容量のレベル 2 とレベル 3 (L2 と L3) SRAM の組合せで、最高システム性能への最適化を図った MPU 製品。チップ上の CPU コアと付属メモリの倍増により、ロジック機能および L2 キャッシュが一般的に 2 年から 3 年技術サイクル(サイクル期間で 0.71 倍)世代ごとに倍増する。最近、MPU 製品にみられる典型的な傾向は、1 世代内ではコアの数を一定とし、1 コア内のトランジスタ数を倍増させるというものである。最新の ITRS の ORTC モデルでは、この傾向を表の目標値に反映させている。

**代間製品 (Product inTER-generation):** 手ごろなチップ寸法でチップ上の機能を定期的に倍増させようとする世代間製品目標。ムーアの法則(2x/2 年)を維持しつつ経済性成熟度(定チップ寸法およびユニットあたり製造コスト一定)を確保するように、目標を設定する。この 2 年ごとの定コストでの倍増は、機能あたりのコスト削減レート(逆生産性改善)が年間 29% (歴史的な目標削減割合)となることを保証する。2 年ごとにチップ上の機能を倍増するため、技術・サイクルのスケール(0.7x長さ、0.5x面積)が 3 年ごとの場合は、チップ寸法は増加せざるを得ない。

2005 年版 ITRS コンセンサス目標は、DRAM の増加レートについて 2 年ごとに 2x/チップから平均で 3 年ごとに 2x/チップになった。歴史的に DRAM セルの設計者は要求されたセル・エリヤ・ファクタ改善を果たして来たが、このゆっくりしたビット/チップの成長は現在でも続いている。ITRS の最新の合意では、セル・エリヤ・ファクタが、2010 年までに 4 とるが、以降改善されない。現在では、MPU トランジスタのエリヤはリソグラフィによる削減率でしか縮小していない(事実上、設計関連改善ゼロ)。従って、ロードマップ期間を通して、最大の面積の導入チップ、値段が手ごろな量産チップで一定チップ寸法を維持するために、最新の ITRS MPU 世代間機能モデルの目標は技術サイクル時間ごとに 2x トランジスタ/チップである。

**世代内製品 (Product inTRA-generation):** ある一定の機能/チップ製品世代内のチップ寸法シュリンク傾向。2003 年版 ITRS コンセンサス・ベース・モデルの目標は、ロードマップ期間の全時点で利用可能な最新の製造/設計技術を使用して、チップ寸法を縮小する(シュリンクと「カットダウン」により)ことである。世代内の DRAM および MPU チップ寸法縮小の ITRS 目標は 0.71 倍の技術サイクル・タイミングで 1 世代当り 50% である。

**デモンストレーションの年 (Year of Demonstration):** 設計そして/または技術・ノードの処理実行可能性ならびに巧みさを明らかにするため、先行チップ・メーカーが製品の動作サンプルを供給する年。代表的なデモンストレーション会場は米国電気電子学会(IEEE、Institute of Electrical and Electronics Engineers)主催の国際固体回路会議(ISSCC、International Solid State Circuits Conference)などの主要な半導体産業の学会である。一般的に、デモンストレーション・サンプルは、開発初期レベルまたはデモンストレーション・レベルの製造ツールおよびプロセスで製造される。今まで、DRAM 製品は、実際の市場導入より一般的に 2~3 年先立って、先端プロセス・技術・ノードで 3 年から 4 年ごとに 4x ビット/チップの割合で示される。DRAM デモンストレーション・チップ寸法は 6 年から 8 年ごとに倍増しており、市場への導入が経済的に実行可能になる前に多数の縮小と遅延が必要となる。チップ寸法がリソグラフィ設備使用可

<sup>7</sup> 2007 年の MPU モデルは設計 TWG によって改訂され、2 技術サイクルごとにコア数を 2 倍にするが、機能と密度については変更がなく、1 コアあたりのトランジスタ数は 2 倍になるとした。設計 TWG は MPU モデルについてのこのアプローチは現在の設計トレンドをより良く反映したものであると考えていた。

能な露光領域よりも大きくなるのが頻繁に起こり、極少量の研究サンプルでしか実行出来ない複数回露光手法により、「繋ぎ合わせ」なければならない。

例：1997年/ISSCC/1Gb DRAM、対 ITRS 1Gb 1999年導入レベル、2005年生産レベル目標

**導入の年 (Year of INTRODUCTION)：** 先行チップ・メーカーが少量(典型的には 1000 個以下)のエンジニアリング・サンプルを供給する年。サンプルは認定された生産設備とプロセスで生産され、早期評価のために主な顧客に提供される。製品を追加の設計ファクタの改善でチップの縮小や機能の追加が可能となるが、この改善が無い限り、タイムリーな市場への参入と経済的な生産をバランスさせるために、技術サイクル毎(サイクル期間で 0.71 倍)に 2×機能/チップの割合で導入していく。更に、チップ寸法のシュリンクまたは「カットダウン」のレベルが達成されるまで、メーカーは生産を遅らせる。これが世代間チップ寸法の成長を一定にしている。

**生産の年 (Year of PRODUCTION)：** 先導チップ・メーカーが顧客の製品で認定された\*生産設備とプロセスで生産した製品の大量出荷(当初は月産 1 万個またはそれ以上、チップサイズとウェーハ世代の寸法によって異なる)を開始し、第 2 のメーカーが 3 ヶ月以内に追隨した年。(\*注：実際の量産立ち上げは 1 ヶ月から 12 ヶ月の間で顧客製品認定の期間によって変わる。)先端的な性能を備え縮小(シュリンク)した新製品への需要が増すにつれ、生産装置技術とプロセス技術は製造能力の急速な拡充のために複数の装置モジュールへ「コピー」されていく。

高需要製品については、一般的に量産立ち上げから工場計画能力まで持つて行くのに 12 ヶ月以内で可能となる。一般的に量産立ち上げより 24-36 ヶ月先立って、アルファ・レベル製造設備および技術に関する研究論文が提供される。ベータ・レベル設備は、一般的に立ち上げより 12-24 ヶ月先立って、半導体業界会議への提出論文とともに提供される。ベータ・レベル設備はパイロット・ライン工場で生産レベルにされるが、完全な顧客製品認定を可能とするために量産立ち上げ「タイム・ゼロ」(エグゼクティブ・サマリーの図 2a 参照)の 12-24 ヶ月前には完了しなければならない。パイロット・ライン工場は、大量生産立ち上げ前の顧客によるサンプルと早期認定用にしばしば使用される製品を少量生産することも可能である。中規模生産レベルの DRAM が、小規模生産レベルの DRAM と同時に生産段階に入り、そして、縮小された前世代の DRAM も同時に大量生産されている(例：2003 年：0.5Gb/生産、4G/導入、加えるに 256Mb/128Mb/64Mb 大量生産)。同様に、大量生産のコスト重視型 MPU が少量生産の大チップ高性能 MPU と同時に生産段階に入り、そして、縮小(シュリンク)された前世代 MPU も同時に大量生産されている。

**機能/チップ (Functions/Chip)：** 利用可能な技術レベルで、単一モノリシック・チップ(single monolithic chip)上に低コストで製造できるビットの数(DRAM)またはロジック・トランジスタの数(MPU/ASIC)。ロジック機能(チップあたりのトランジスタ数)は SRAM およびゲート機能ロジック・トランジスタ数の双方を含む。DRAM 機能(チップあたりのビット数)は単一モノリシック・チップ上のビット数(冗長後)だけに基づく。

**チップ寸法(mm<sup>2</sup>) (Chip Size)：** 利用可能な最良な先端の設計および製造プロセスに基づき、ある年に経済的に見合ったやり方で製造できるモノリシック・メモリおよびロジック・チップの代表的な面積。(データの歴史的な傾向とITRSのコンセンサスに基づいて、推定値を予測)

**機能/cm<sup>2</sup> (Functions/cm<sup>2</sup>)：** 所与の面積(square centimeter)での機能密度 = チップ寸法で割った単一モノリシック・チップ上の機能。パッド・エリヤおよびウェーハ・スクライブ・エリヤを含む、チップ上の全機能に関する密度の平均値である。DRAMの場合、高密度セル・アレイおよび低密度周辺ドライブ回路の平均値を含む。MPU製品の場合、高密度SRAMおよび低密度ランダム・ロジックの平均値を含む。ASICの場合、高密度内蔵メモリ・アレイを含み、低密度アレイ・ロジック・ゲートおよび機能コア高密度内蔵メモリ・ア

レイで平均する。2009年版ITRSでは、一般的な高性能ASIC (hpASIC) 設計の平均密度は、殆どSRAMトランジスタである高性能MPUと同じであると予想されている。

**DRAMセル・アレイ・エリヤ(面積)・パーセンテージ (DRAM Cell Array Area Percentage):** 世代ライフサイクルの様々な段階でセル・アレイが占有できるトータル DRAM チップ・エリヤ(面積)の実用的な最大パーセンテージ。周辺回路、パッド、ウェーハ・スクライブ・エリヤ用スペース確保のため、導入チップ寸法目標では、このパーセンテージが一般的に 74%未満である。パッドおよびスクライブ・エリヤは、リソグラフィでスケールしないので、他の世代内シュリンク・レベルでは最大アレイ・エリヤ・パーセンテージが減少する(一般的に、量産レベルでは 56%未満、前世代の小さいシュリンクしたダイの大量生産立上げレベルも同様)。

**DRAMセル・エリヤ( $\mu\text{m}^2$ ) (DRAM Cell Area):** 指定ITRSコンセンサスのセル・エリヤ・ファクタ(A)×最小ハーフピッチ(f)像寸法の二乗で表した、DRAMメモリ・ビット・セル占有エリヤ(面積)(C)。即ち、 $C = Af^2$ 。チップ寸法を計算するには、セル・エリヤをアレイ効率で割り算しなければならない。アレイ効率-係数(E)は過去のDRAMチップ解析データから統計的に求める。このように、平均セル・エリヤ( $C_{AVE}$ )は計算可能であり、これにはドライバ、I/O、バス・ライン、パッド・エリヤなどのオーバーヘッドが含まれている。計算式は $C_{AVE} = C/E$ となる。

それから、(ビット/チップの全数× $C_{AVE}$ )でトータルのチップ・エリヤが計算できる。

例: 2000:  $A=8$ ; ハーフピッチの二乗、 $f^2 = (180 \text{ nm})^2 = 0.032 \mu\text{m}^2$ ; セル・エリヤ、 $C = Af^2 = 0.26 \mu\text{m}^2$ ; 1Gb 導入レベルDRAMについてセル効率がトータル・チップ・エリヤの 74% ( $E=74\%$ )、 $C_{AVE} = C/E = 0.35 \mu\text{m}^2$ ; 従って、1Gbチップ寸法エリヤ= $2^{30}$  ビット\*  $0.35e-6 \text{ mm}^2/\text{ビット} = 376 \text{ mm}^2$

**DRAMセル・エリヤ・ファクタ (DRAM Cell Area Facto):** 数値(A)、これをハーフピッチ(f)の二乗に掛けることで DRAM セル・エリヤ(面積)(C)を表す。一般的に、セル・ファクタはセルが占めるハーフピッチ単位の縦・横単位数の掛け算で表される。(2×4=8、2×3=6、2×2=4、など)

**FLASHセル・エリヤ・ファクタ (Flash Cell Area Factor):** DRAMと同じ single-level cell(SLC)のエリヤ・ファクタ。しかし、Flash技術は同じセル領域に2ビットから4ビットを蓄え電氣的に読み出すことが出来き、multi-level-cell (MLC)「仮想」ビット寸法、これは SLC の製品セル寸法の半分から4分の1で SLC Flash 製品の半分から4分の1の仮想エリヤ・ファクタも持つことになる。

**SRAMセル・エリヤ・ファクタ (SRAM Cell Area Factor):** DRAMセル・エリヤ・ファクタと同じだが、6トランジスタ(6t)ロジック-技術・ラッチ型メモリ・セルだけに適用する。数値は、技術・ノード・ハーフピッチ(f)の二乗に掛け合わせることで SRAM 6トランジスタ・セル・エリヤ(面積)を表す。一般的に、SRAM 6tセルのセル・ファクタはDRAMメモリ・セル・エリヤ・ファクタより10~15倍大きい。

**ロジック・ゲート・セル・エリヤ・ファクタ (Logic Gate Cell Area Factor):** DRAMおよびSRAMセル・エリヤ・ファクタと同じだが、一般的な4トランジスタ(4t)ロジック・ゲートだけに適用する。数値は、技術・ノード・ハーフピッチ(f)の二乗に掛け合わせることでロジック4tゲート・エリヤ(面積)を表す。一般的に、ロジック4tゲートのセル・ファクタはSRAM6tセルエリヤ・ファクタより2~3倍大きく、DRAMメモリ・セル・エリヤ・ファクタより30~40倍大きい。

**使用可能なトランジスタ数/cm<sup>2</sup> (高性能ASIC,自動レイアウト) (Usable Transistors/cm<sup>2</sup> (High-performance ASIC, Auto Layout)):** 少量生産される高差別化アプリケーション向けの、自動レイアウトで設計したトランジスタ数/cm<sup>2</sup>の数値。高性能、リーディングエッジ、アレイ内臓(エンベ)ASICはオンチップ・アレイ・ロジック・セルならびに高密度機能セル(MPU、I/O、SRAMなど)を含む。密度計算は、高密度機能セルの全トランジスタに加えて、アレイ・ロジック・セルにおける接続した(使用可能な)トランジスタも含む。最大高性能ASICの設計は利用可能な生産リソグラフィ露光領域全てを占める。

## チップおよびパッケージ—物理属性と電気的な属性 (CHIP AND PACKAGE—PHYSICAL AND ELECTRICAL ATTRIBUTES)

**チップ I/O の数—トータル(アレイ)パッド (Number of Chip I/Os—Total (Array) Pads)**: 「チップ信号 I/O パッド」 + 「機能またはテスト用としてパッケージ・プレーンに常時接続した、または(信号条件を整えるものを含む)電源/接地コンタクトを提供する、電源パッドおよび接地パッド」の最大数。これには、全ての直接チップ・ツウ・チップ配線またはボードへの直接チップ取付接続を含む(全ての配線プレーン、リードフレーム、またはパッケージ内の他の配線技術、即ち、チップ上またはボード上に存在しない全ての配線として、パッケージ・プレーンを定義する)。信号 I/O パッド対接地パッドは、MPU が一般的に 1:2 の比率であるが、高性能 ASIC では一般的に 1:1 の比率である。

**チップ I/O の数—トータル(周辺)パッド (Number of Chip I/Os—Total (Peripheral) Pads)**: 「チップ信号 I/O パッド」 + 「チップのエッジ周りだけコンタクトによる製品向けの電源パッドおよび接地パッド」の最大数。

**パッド・ピッチ (Pad Pitch)**: 周辺エッジまたはチップを横切るパッド・アレイにて、パッド間の中心から中心までの距離。

**パッケージのピン/ボールの数 (Number of Package Pins/Balls)**: パッケージにある、ボード接続用のピン、または、はんだボールの数(この数は、パッケージ・プレーン上の内部電源/接地プレーンまたはパッケージあたりの複数チップにより、チップ・ツウ・パッケージ・パッドの数よりも少ないことがある)。

**パッケージ・コスト(コスト重視) (Package Cost (Cost-performance))**: セント/ピンで表した、パッケージ包装および外部 I/O 接続(ピン・ボール)のコスト

### チップ周波数 (MHz)

**オンチップ、ローカル・クロック、高性能 (On-Chip, Local Clock, High-performance)**: チップのローカル化した部分における、高性能少量生産型マイクロプロセッサのオンチップ周波数。

**チップ・ツウ・ボード(オフチップ)速度(高性能、周辺バス) (Chip-To-Board (Off-chip) Speed (High-performance, Peripheral Buses))**: 大量および少量生産型ロジック・デバイスのボード周辺バスへの、最高信号 I/O 周波数。

### 他の属性 (OTHER ATTRIBUTES)

**リソグラフィ・フィールド寸法(mm<sup>2</sup>) (Lithographic Field Size)**: ある技術ノードでのリソグラフィ装置のシングルステップ露光領域またはステップ走査露光領域。仕様は、ある技術ノードについて半導体メーカーが指定する可能性がある最低仕様値を表す。最大フィールド寸法はORTC目標値よりも大きな値で指定されることがあり、最終露光領域は露光幅と走査長の様々な組合せで達成できる。

**配線層数の最大数 (Maximum Number of Wiring Levels)**: ローカル配線、ローカルおよびグローバルなルーチング、電源および接地接続、クロック分布などを含む、チップ上の配線層数。

### 製造の属性と方式 (FABRICATION ATTRIBUTES AND METHODS)

**電気的なD<sub>0</sub>欠陥密度(dm<sup>-2</sup>) (Electrical D<sub>0</sub> Defect Density)**: 与えられた技術ノード、製品ライフサイクル年、目標プローブ歩留における、平方メートルあたりの電気的に意味のある欠陥の数。

**最小マスク数 (Minimum Mask Count):** 最大配線層数にて成熟生産しているプロセス・フローにおける、マスク層の数(ロジック)。

### **最大基板直径(mm) (MAXIMUM SUBSTRATE DIAMETER)**

**バルクまたはエピタキシャルまたはSOIウェーハ (Bulk or Epitaxial or Silicon-on-Insulator Wafer):** 主流 IC サプライヤが大量に使用するシリコン・ウェーハの直径。ファクトリ・インテグレーション ITWG 提供の ITRS タイミング目標は、最初に製造用として認定された開発用製造施設に基づいている。さらに 2009 年に IRC によって、450mm ウェーハの処理がコンソーシアによる初期のパイロットライン設備が準備可能になる時期と、予想される生産準備完了と生産立ち上げ時期の区別が明確化され、ITRS に追加された。

### **電気的な設計とテストの数値 (ELECTRICAL DESIGN AND TEST METRICS)**

電源電圧 (V) (Power Supply Voltage)

**最低ロジック $V_{dd}$  (Minimum Logic  $V_{dd}$ ):** 設計要求条件での動作に関する、電源からのチップ公称使用電圧。

**ヒートシンクを備えた高性能の最大電力(W) (Maximum Power High-performance with Heat Sink):** 外部ヒートシンクを備えた高性能チップで放散される最大トータル電力。

**電池動作時の消費電力(W) (Battery):** 電池作動型チップで放散される最大トータル電力/チップ。

### **設計およびテスト (DESIGN AND TEST)**

**量産用テストのコスト/ピン(\$K/ピン) (Volume Tester Cost/Pin):** 量産適用において、機能(チップ分類など)テスト・コストをパッケージ・ピン数で割った値。