

国際半導体技術ロードマップ  
2011年版概要

INTERNATIONAL  
TECHNOLOGY ROADMAP  
FOR  
SEMICONDUCTORS  
2011 EDITION  
DESIGN

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

# 訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2011 Edition(国際半導体技術ロードマップ 2011 年版)本文の日本語訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 15 のワーキンググループ(WG: Working Group)が組織され、半導体集積回路メーカ、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソーシアムなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2011年版は英文で1000ページを越えるの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、ITRS 2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要に限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。ITRS 2009 年版以降、電子媒体で ITRS を公開することを前提に編集を進め、ITRS の表は原則として、Microsoft Excel のファイルとして作成し、そのまま公開することにした。

ITRS は英語で書かれている。日本語訳の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くの専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字、脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただけますよう、お願い申し上げます。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、こども訳出していない。

原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。Executive Summary の用語集(Glossary)も参照されたい。原文の括弧()があつてそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなつた部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いです。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 STRJ 事務局の進藤淳二さん、関口美奈さんに大変お世話になりました。

た。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2012年 5月

訳者一同を代表して

電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長  
石内 秀美 (株式会社 東芝)

## 版權について

# ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2011 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • SEMATECH, Inc., 257 Fuller Road, Albany, NY 12203 • <http://www.itrs.net>

Japanese translation by the JEITA, Japan Electronics and Information Technology Industries Association  
under the license of the Semiconductor Industry Association

### —引用する場合の注意—

原文(英語版)から引用する場合: ITRS 2011 Edition page XX, Figure(Table) YY  
この日本語訳から引用する場合: ITRS 2011 Edition (JEITA 訳) XX 頁, 図(表)YY  
と明記してください。

-----  
問合せ先:

一般社団法人 電子情報技術産業協会  
半導体技術ロードマップ専門委員会 事務局  
電話: 03-5218-1068 電子メール: [roadmap@jeita.or.jp](mailto:roadmap@jeita.or.jp)

## TABLE OF CONTENTS

スコープ.....	1
全体的な課題.....	2
詳細な設計技術の課題.....	7
デザインメソドロジー.....	7
システムレベル設計.....	8
論理、回路、物理設計.....	13
設計検証.....	18
テスト設計.....	27
製造容易化設計(Design For Manufacturability (DFM)).....	32
多様化(More than Moore)の分析.....	40
アナログ、ミクスドシグナル、RF特有のDT(Design Technology)の動向と課題.....	40
クロスカットTWGの課題.....	45
モデリングとシミュレーション.....	45
付録I:ばらつきのモデリングとロードマップ.....	45
付録II: DTコストと価値.....	47
付録III:DT-ベースの消費電力の削減.....	51
付録IV:3DICにおける設計課題.....	52

## LIST OF FIGURES

図 DESN 1 Impact of Design Technology on SOC Consumer Portable Implementation Cost.....	1
図 DESN 2 The V-Cycle for Design System Architecture.....	1
図 DESN 3 Hardware and Software Design Gaps Versus Time.....	1
図 DESN 4 System-Level Design Potential Solutions.....	11
図 DESN 5 Evolving Role of Design Phases in Overall System Power Minimization.....	13
図 DESN 6 Logical/Circuit/Physical Design Potential Solutions.....	17
図 DESN 7 Design Verification Potential Solutions.....	25
図 DESN 8 Variability-Induced Failure Rates for Three Canonical Circuit Types.....	1
図 DESN 9 Power Supply-Dependent Failure Rates for Three Canonical Circuit Types.....	1
図 DESN 10 Design for Manufacturability Potential Solutions.....	1
図 DESN 11 Moore and Non-Moore Design Technology Improvements.....	1
図 DESN 12 Possible Variability Abstraction Level.....	1
図 DESN 13 Simplified Electronics Product Development Cost Mode.....	1
図 DESN 14 Impact of Low-Power Design Technology on SOC Consumer Portable Power Consumption.....	1

## LIST OF TABLES

表DESN 1 Overall Design Technology Challenges.....	5
表DESN 2a Near-term System-Level Design Technology Requirements.....	10

表DESN 2b	Long-term System-Level Design Technology Requirements.....	10
表DESN 3	Correspondence Between System-Level Design Requirements and Solutions.....	12
表DESN 4	Logical/Circuit/Physical Design Technology Requirements.....	14
表DESN 5	Correspondence between Logical/Circuit/Physical Requirements and Solutions.....	18
表DESN 6	Design Verification Technology Requirements .....	20
表DESN 7	Verification Strategy Planning .....	24
表DESN 8	Correspondence Between Design Verification Requirements and Solutions .....	26
表DESN 9	Design for Test Technology Requirements.....	27
表DESN 10	Design for Manufacturability Technology Requirements .....	33
表DESN 11	Correspondence between Design for Manufacturability Requirements and Solutions ....	39
表DESN 12	Required Simulation Models for AMSRF Design.....	42
表DESN 13	Design Technology Improvements and Impact on Designer Productivity.....	50
表DESN 14	Low-Power Design Technology Improvements and Impact on Dynamic and Static Power .....	52
表DESN 15	Three Phases of Design Product Maturity and Design Challenges on 3DIC .....	54



# デザイン

## スコープ

設計技術(Design Technology)は、電子機器システムの構想設計、実装設計および設計検証を実現する技術である。設計技術はツール、ライブラリ、プロセス特性のモデリングおよび設計手法で構成される。電子機器システム設計者の設計構想と設計目標は、設計技術によって製造可能かつ試験可能な形に変換される。設計技術の役割は、製造能力を最大活用したコスト効率の良い生産により、半導体産業の利益および成長を実現することである。2011年版ITRSでは、設計ITWG(International Technology Working Group)が、総括ロードマップ技術指標(Overall Roadmap Technologies Characteristics)に基づいて、クロック周波数、レイアウト密度、消費電力などの観点で、デザイン章とシステムドライバ章を作成した。設計技術の課題と設計者からの改善要求は両章に記載されている。また前版のデザイン章は現在でも有益な設計技術に対するニーズを含んでいるので、本章の読者にはあわせて参照することを勧める。

2011年版の主要メッセージ — 設計コストは半導体技術ロードマップに対する最も大きな脅威である。設計対象を、プログラマブルな汎用プラットフォーム上に実現するか、あるいは個別 IC を新規開発するか、また機能をソフトウェアで実現するか、ハードウェアで実現するかという選択を最適に実行することが、コスト競争力をもたらす。開発費用 NRE(Non-recurring Expenses)はマスク、プローブカード費用で数 100 万ドルに達する。さらに設計 NRE として、設計ミスによるチップ再試作のための製造 NRE を含めると数千万ドルに達する。技術革新のスピードアップは製品寿命を短縮し、LSI 顧客にとって time-to-market が重要目標となる。また、製造に要する期間が数週間であることに対して、設計と設計検証期間は不確定であり、数か月または数年を必要とする。

前版の ITRS より設計生産性のギャップを記載している — 有効に設計できるトランジスタ数に比べて、利用できるトランジスタ数が急激に増加している。製造工場リスク償還(risk foundry amortization)、供給者産業の費用対効果(ROI)、そして実に半導体投資サイクル全体において、このギャップは半導体価格にインパクトを与える。それでも、プロセス技術への投資額は設計技術への投資額に比べて多大である。設計技術ロードマップは、図 DESM1 に示すように設計コストを制御することを可能にする。

1) ハードウェア設計については、検証規模とテストコストが急上昇し続け、製造性考慮設計(DFM)が設計フロー全体に渡って考慮が必要な問題となっている。設計技術の革新により、ハードウェア設計のコストが抑制されている。システムドライバ章で定義されている携帯コンシューマ SOC(SOC-CP)での 2011 年のハードウェア設計コストは 2570 万ドルと見積もられるのに対して、1993 年から 2009 年の間に設計技術の革新が行われなかった場合には、77.0.8 億ドルに達する。

2) IC 設計のソフトウェアについては、ホモジニアスおよびヘテロジニアスアーキテクチャによるマルチコア設計に移行してきており、組込みシステム開発コストが今や 80%以上を占めている。2011 年におけるソフトウェア設計全体のコストは、ハードウェア依存ソフトウェア(hardware-related software)の開発コストとあわせて、約 3980 万ドルに達する。ソフトウェア設計については、次の 15 年間に多くの設計技術の革新が必要になる。

例えば、ITRS2011 のエグゼクティブサマリの設計技術に対する長期の主要な技術課題で、ソフトウェアの同時開発が記載されている。設計技術の革新のロードマップが効果的に開発できなかつたり、展開できなかつたりすると、半導体産業の長期的な成長のトレンドを壊すことになる。したがって、我々はこれらの設計技術のギャップを次の 15 年に対処すべき重要な危機だと見ている。

本章では、始めに設計技術における複雑度の課題であるシリコン複雑度およびシステム複雑度について考

## 2 デザイン

察する。続いて設計技術領域の全体に関わる5つの横断的な課題を紹介する。即ち、設計生産性、消費電力、製造容易性、寄生効果による干渉、および故障を起こさない高信頼設計である。設計技術ロードマップとして、定量的に記述した設計技術要求表(Requirements Table)と、その解決技術表(Solutions Table)を示す。また、設計フローに基づいて設計技術の課題を分析する。即ち、設計工程、システムレベル設計、論理/回路/物理設計、設計検証、テスト設計およびDFM(製造容易化設計)を詳述する。<sup>1</sup> これらの技術課題については供給側とりわけEDA業界のマネジメント、研究開発部門および大学研究機関といった対応組織毎に分析する。さらにシステムドライバであるMPU、SOC、AMS(Analog Mixed Signal)、メモリの分野別に課題分析する。ここでは現在のEDA技術およびマーケット規模を反映して、MPUとSOCの設計課題が詳述される。最後にAMS設計に特化した設計技術についても紹介する。本書全体の章構成や考察の加え方は特定用途向け、特定システムドライバ向け設計技術の高まりを映し出したものとなっている。

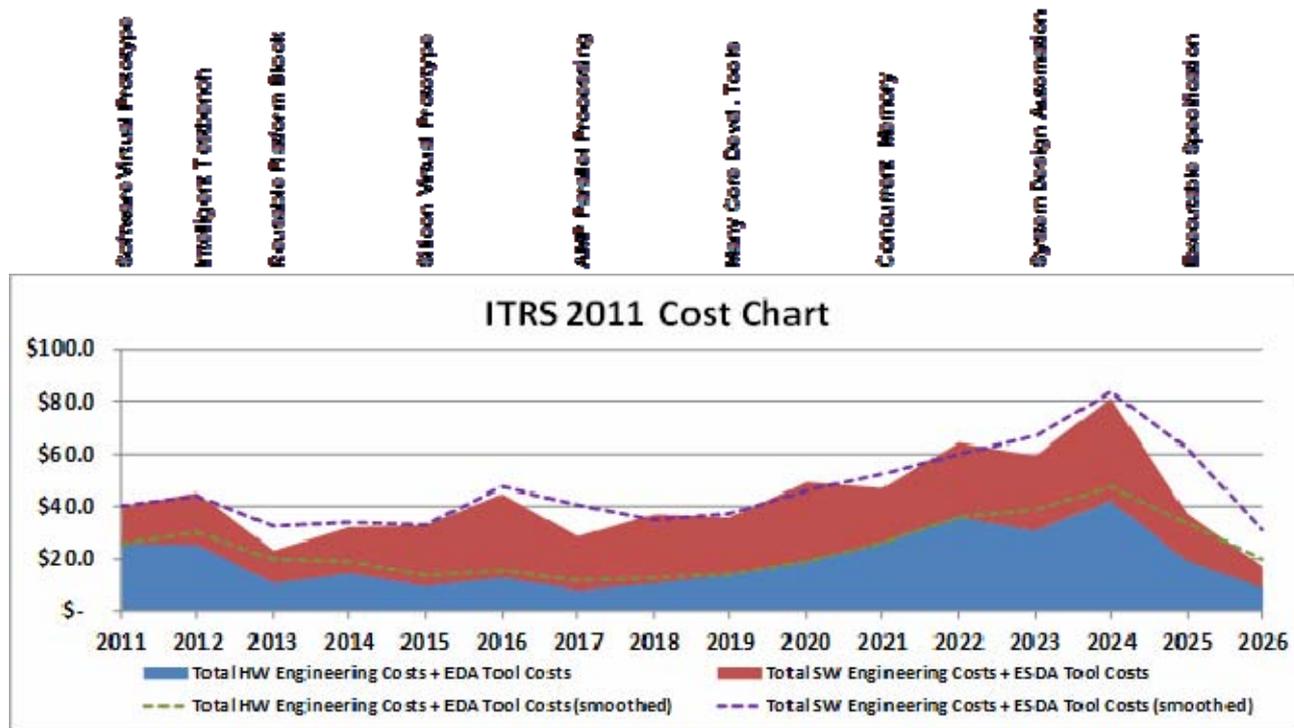


図 DESN 1 Impact of Design Technology on SOC Consumer Portable Implementation Cost

設計技術ロードマップは製造技術ロードマップとは異なる。製造技術ロードマップでは物理的な法則および材料物質によって明確に定義された限界に対して、いかに目標達成するか、目標精度を実現するかを定義する。対照的に設計技術ロードマップは、計算処理時間の限界、潜在的なアプリケーションによる未確定な設計目標、そして、設計最適のための多目的な性質に向き合いながら、市場要求に適合するようにいかに最適化するかが主要テーマとなる。レイアウト密度、動作周波数、消費電力、テストビリティあるいは設計期間のように多数のトレードオフを最適化するのは困難であるため、設計技術には経験則が付きものとなる。このため設計技術の質的な評価は、設計手法や設計対象商品に依存する。さらに、ITRS 技術世代は必要とされるすべての要素技術が整ってはじめて進むのに対して、設計技術の改善は、たとえ単一の要素技術の革新であっても、設計生産性や設計品質を向上することが可能で、それが開発され次第、設計に適用される。

### 全体的な課題

設計技術は2種類の複雑度に直面する。—シリコン複雑度およびシステム複雑度—である。これらは ITRS

<sup>1</sup> AMS設計課題についてはシステムドライバ章(AMSドライバ)に記載される。テスト装置および製造テスト技術はテスト章で述べられる。一方、BIST(Built-in self test)を含めたテスト容易化設計技術はこの章で詳述する。

製造技術ロードマップに従う。

シリコン複雑度は、プロセススケール、ならびに新規の材料、デバイス/配線構造の導入と関連がある。以前は無視できた多くの現象が、現在では設計の正確さと価値に大きな影響を及ぼす。

- \* デバイスの寄生効果および電源しきい値電圧の理想モデルから外れたスケール (リーク、パワーマネジメント、回路/デバイス革新、電流供給)
- \* 高周波デバイスでの配線 (雑音/干渉、シグナル・インテグリティ解析とマネジメント、基板とのカップリング、クロス・カップリングによる遅延変動)
- \* 製造ばらつき (統計的なプロセスモデリングと特性抽出、歩留り、リーク電力、ならびにライブラリ特性抽出、アナログとデジタル回路性能、エラートレラント設計、レイアウト再利用、信頼性が高く予測可能なインプリメンテーションのための設計基準への影響)
- \* 製造ハンドオフの複雑度 (レチクル改良、マスク描画と検査方法、NRE(Non-Recurring Engineering)コスト)
- \* デバイス性能と関連のある、グローバル配線性能のスケール (通信、同期)
- \* 信頼性の低下 (ゲート絶縁体のトンネリングおよびブレイクダウン特性、ジュール熱およびエレクトロマイグレーション、単発的な擾乱、フォールトトレラント)
- \* チップ・パッケージ協調設計 (特にシリコン貫通ビア(TSV)の 3D 積層技術による複数のチップとパッケージの協調設計で、さらなる計複雑度)

シリコン複雑度は、長年利用された設計規範を次の点から危うくする。1) システム全体に渡る同期設計は、消費電力制約、および製造ばらつき対策コストの点から、不可能になる。2) CMOS トランジスタはその動作上、より大きな統計的ばらつきの影響を受ける。そして、3) トランジスタと配線が 100%動作するチップの製造は、法外に高価になる。利用可能な実装設計の手法 (例えば、一般的な用途においてソフトウェアでプログラム可能なカスタム LSI) では、簡単に 4 桁もの性能低下を招く (例えば GOps/mW)。また、不適切な設計マージンや設計抽象化、あるいは設計手法の誤った選択では目標特性を達成できない。これらの課題は、より広い設計領域をカバーできる経験豊富な設計者、設計技術者に加え、個別の設計技術間 (論理合成とシミュレーション、論理設計とレイアウト設計など) の継続的な統合を要求する。

システム複雑度は、プロセス微細化により可能となるトランジスタ数の指数関数的な増加と関連するが、消費者からの多機能化、低コスト化、および製品化期間短縮への要求で加速される<sup>2</sup>。多くの課題は設計生産性の課題とほぼ同意である。システムレベルのSOCインテグレーションや 3Dインテグレーションに起因する、システム環境や異種コンポーネントなどのさらなる複雑さは多様性を示すものである。仕様設計および設計検証は、特に複雑な動作をする場合、大きな課題となる。設計対象の商品価値、品質およびコストのすべてにおいて、トレードオフが生じる。(単純化した例: クロック周波数に対するムーアの法則 (Moore's Law) は、クロック周波数と設計期間 (Time to market) の間のトレードオフとして、およそ 1% のクロック周波数改善が 1 週間の設計期間に相当する。)

システム複雑度による設計技術課題には、次のものが含まれる。

- \* 再利用一階層設計、特にアナログミックスドシグナルのための混載 SOC 設計 (モデリング、シミュレーション、検証、機能ブロックのテスト) の支援
- \* 設計検証とテスト仕様設計、検証を考慮した設計、混載 SOC のための検証再利用、システムレベルおよびソフトウェア検証、アナログミックスドシグナルの検証および新構造デバイスの検証、セルフテス

<sup>2</sup> 家電業界では周知である "Law of Observed Functionality" は、トランジスタ数が指数関数的に増加しても、システム的な価値は一次関数的にしか増加しないと述べている (T. Claasen, "The Logarithmic Law of Usefulness", Semiconductor International, July 1998 を参照)。

## 4 デザイン

ト、高度なノイズ/ディレイ違反テスト、LSI テスタのタイミング制約、テスト再利用

- \* **コスト重視の設計最適化**—製造コストのモデリングと分析、品質指標、ダイ-パッケージ-システムレベル同時最適化、フォールトレラントやテストビリティなど複数のシステム目標に関しての最適化
- \* **組み込みソフトウェア設計**—予測可能なプラットフォーム・ベースのシステム設計手法、ハードウェアとネットワークにつながれたシステム環境間での協調設計、ソフトウェア解析と検証
- \* **信頼性の高い設計のためのプラットフォーム** —多数の回路方式に対する予測可能なチップ設計、実装設計のための設計上位レベルでのハンドオフ
- \* **設計プロセス管理**—設計チームの大きさ、および地理的な分布、データ管理、協力的な設計支援、「システム化された設計」サプライチェーン管理、指標、および連続的なプロセス改良

同時に、シリコン複雑度とシステム複雑度の課題は、**設計プロセスの複雑度が指数関数的に増大すること**を暗に示している。この複雑度の課題を扱うため、一般に設計技術は、より複雑な設計目標および設計制約の最適化と解析を同時に実現し、設計再利用および設計最適化のための製造コストを付加的に考慮することを認め、そして、組み込みソフトウェア設計や製造インタフェースといった付加的な領域も含めねばならない。シリコン複雑度とシステム複雑度の膨大な広がり、それ自体がまた、設計技術と EDA 業界のロードマップ化への課題である。

5 つのクロスカット課題—1)設計生産性 (ITRS2011 のエグゼクティブサマリで設計技術に対する短期の主要な技術課題に記載)、2)消費電力管理(短期の主要な技術課題)、3)製造容易性設計(短期の主要な技術課題)、4)干渉および、5)信頼性と復元性(長期の主要な技術課題)—が与えられるが、これらの解決策候補(Potential Solutions)は設計技術の全分野にまたがり、かつ、この背景には設計コストについての課題が存在する。この中の最初の 3 つは、ITRS エグゼクティブサマリ章で困難な課題として特に取り上げられている。**設計生産性**(これは“低コスト生産”の課題である)は、システムと設計のプロセスの複雑さに密接に関連し、短期的にも長期的にも最大で最重要な設計技術の課題である。**消費電力管理**(これは“性能向上”の課題である)は、短期的には性能を左右するダイナミック電流の問題と、ばらつきに左右されるリーク電流の問題の間を行き来している。**製造容易性設計**(これは“低コスト生産”の課題である)は大量のチップを許容できるコストと期間で生産するための要求であり、かつてはリソグラフィの装置の制約や限界に特化されていたが、これからは多様なばらつきの問題が深刻化しており、歩留まり管理やテスト容易化設計とあわせて、DFMの徹底した統合化が必要になる。表 DESN1 にクロスカット設計課題の主要な項目を要約する。

### クロスカット課題1—設計生産性

設計コストの指数関数的な増加を避けるため、チップに設計される機能の全体的な生産性を、技術ノード毎に2倍以上にしなければならない。そのため、設計、検証およびテストにおいて、再利用生産性(マイグレーションや AMS (Analog Mixed Signal)RF コアの再利用を含む)を、技術ノード毎に2倍以上にしなければならない。設計生産性の向上における考慮すべき点は、次の通りである。(1) 検証の改善(現状、危機的な状態にあるボトルネックである)(2) より高位レベルでのシステム設計のハンドオフを支援する、信頼できかつ予測可能なシリコン・インプリメンテーションの実現(3) SOC 生産性に対する最も重要な課題として現れた、組み込みソフトウェア設計の改善(4) 特に MPU 混載において、巨大かつ分散した組織で様々な供給元からの設計ツールによる作業での、生産性の改善(5) SOC および AMS システムドライバによって要求される、アナログ、ミックスドシグナル(AMS)設計とテストの自動化方法(6)シリコン貫通ビア(TSV)を使った3D システムや開発中のモノリシック3D 技術に対する3D システムの最適な協調設計手法。これらの改善は、正規化された設計品質の測定基準が必要である。これは、設計品質、設計 NRE コスト、製造 NRE コスト、製造により変動するコスト、半導体製品価値の関数であらわされる。安定性、予測性および相互運用のような設計技術品質の測定基準が改善されなければならない。新しい設計技術の市場投入までの期間は、標準化、相互運用のためのプラットフォーム化、および設計技術の再利用などにより、短縮されなければならない。

表 DESN 1 Overall Design Technology Challenges

Challenges $\geq 22\text{nm}$	Summary of Issues
Design productivity	System-level: high level of abstraction (HW/SW) functionality spec, platform-based design, multi-processor programmability, system integration, AMS codesign and automation Verification: executable specification, ESL formal verification, intelligent test bench, coverage-based verification Logic/circuit/physical: analog circuit synthesis, multi-objective optimization Logic/circuit/physical: SIP and 3D (TSV-based) planning and implementation flows Heterogeneous component integration (optical, mechanical, chemical, bio, etc.)
Power consumption	Logic/circuit/physical: dynamic and static, system- and circuit-level power optimization
Manufacturability	Performance/power variability, device parameter variability, lithography limitations impact on design, mask cost, quality of (process) models ATE interface test (multi-Gb/s), mixed-signal test, delay BIST, test-volume-reducing DFT
Interference	Logic/circuit/physical: signal integrity analysis, EMI analysis, thermal analysis
Reliability and resilience	Logic/circuit/physical: MTTF-aware design, BISR, soft-error correction
Challenges $< 22\text{nm}$	Summary of Issues
Design productivity	Verification: complete formal verification of designs, complete verification code reuse, complete deployment of functional coverage Tools specific for SOI and non-static logic, and emerging devices Cost-driven design flow
Power consumption	Logic/circuit/physical: SOI power management Logic/circuit/physical: Reliability and resilience- and temperature-constrained 3D physical implementation flows
Manufacturability	Uncontrollable threshold voltage variability Advanced analog/mixed signal DFT (digital, structural, radio), “statistical” and yield-improvement DFT Thermal BIST, system-level BIST
Interference	Interactions between heterogeneous components (optical, mechanical, chemical, bio, etc.)
Reliability and resilience	Autonomic computing, robust design, SW reliability and resilience

ATE—automatic test equipment    BISR—built-in self repair    BIST—built-in self test    DFT—design for test

EMI—electromagnetic interference    ESL—Electronic System-Level    HW/SW—hardware/software    MTTF—mean time to failure

SOI—silicon on insulator

## クロスカット課題2—消費電力管理

プレーナ型 CMOS デバイスの非理想的スケールリングは、配線材料やパッケージ技術のロードマップとともに、パワーマネジメントと電流供給に関連した様々な課題を提示する。(1) システムドライバ章における MPU と SOC-CP(Consumer Portable)ドライバとともに、ロジック規模および処理能力が指数関数的に増加し続ける中で、動作時およびスタンバイ時の電力は増加しないことが求められている。設計技術は、結果として生じるパワーマネジメント・ギャップの対策に取り組まねばならない。(2) 電力密度の増加は、信頼性、回復力と性能に対する熱の影響を悪化させる。他方で、供給電圧の低下は、リーク電流およびノイズを悪化させる。これらの動きは、チップ上の配線リソース(例えば、アセンブリやパッケージのロードマップに照らして、バンプ数や保護膜の開口サイズを決定し IR ドロップをコントロールする)、ATE(Automatic Test Equipment)能力、およびバーンインの枠組みを圧迫する。3D 技術の登場は、TSV の位置や数を管理しながら積層されたサブシステムに電力を供給する協調設計をしなければならぬチップにおいては、問題をさらに複雑にする。(3) 高性能、低動作電力、低待機電力を統合したデバイスを実現するには、多くの自由度—マルチ  $V_{th}$ 、マルチ  $Tox$ 、マルチ  $V_{dd}$  が単一のコアに共存すること—を同時に活用できる電力最適化が要求される。同時に、アーキテクチャ、オペレーティング・システム、およびアプリケーション・ソフト・レベルにおける電力最適化も必要である。(4) リーク電力は、ゲート長や酸化膜厚やしきい電圧など主要なプロセスパラメータにより、指数関数的に変動する。このことは、スケールリングとプロセス変動の両方が、深刻な課題となることを示す。

### クロスカット課題3－製造容易性設計

「技術の壁(Red bricks)」－既知の解決策が存在しない技術必要条件－は、ITRS の全領域に渡り顕著に見られる。一方で、ITRS の一つの技術領域内での解決が不可能な課題は、設計技術の適切な相乗効果によって、(より経済的に)解決できる可能性がある。製造容易性設計は設計と製造に関する他のすべての分野との相互関係によって登場した。製造容易化設計については、この設計技術ロードマップで一つの節全体を割いて説明している。将来の技術ノードの実現可能性は、このような技術のつながりによることになる。以下に、いくつかの例を示す。(1) テスタ装置のコストおよび処理限界に関する問題は、新規の故障モデル(例えば、クロストークやパス遅延の検証用途)のより速やかな採用により、解決が図られるであろう。本故障モデルには、対応する自動テストパターン生成(ATPG(Automatic Test Pattern Generation))およびビルトイン・セルフテスト(BIST(Built-In Self Test))技術も含まれる。(2) システム・インプリメンテーション・コスト、性能検証、および全体的な設計 TAT は、チップ・パッケージ・ボード最適化および解析技術のみならず、システム・イン・パッケージ設計技術により、改善される可能性がある。(3) リソグラフィ、PIDS(Process Integration, Devices and Structures)、フロントエンドプロセス(FEP)、および配線技術の、CDコントロール(Critical Dimension Control)に対する要求は、製造ばらつき下における正確さを保証できる新しい設計技術により、緩和される可能性がある(例えば、ばらつきを考慮した回路設計、規則的なレイアウト、タイミング構造最適化、および静的な性能検証)。(4) 製造 NRE コストは、マスク生産と検査フローへの、より知的なインタフェースにより、削減される可能性がある。

### クロスカット課題4－干渉

グローバル配線のスケールリングで既に試みられている、リソースを有効活用する通信と同期方式は、ノイズと干渉により、より一層妨げられる。論理設計、回路設計、およびフィジカル設計において広く普及しているシグナル・インテグリティ・メソッドは、明らかに 100nm ノードまでは拡張できるものの、実用的な限界に差しかかりつつある。これらのメソッドは、長い配線へのリピータ挿入や波形鈍りをコントロールするための規則、インダクタンスを考慮した電源/グラウンド分配設計、などを含む。ミックスドシグナルや RF コンポーネントのスケールリングと SOC 化については、より柔軟かつ強力なメソッドが要求される。今後の検討課題として、ノイズの無歪限界(特にロー・パワーデバイスやダイナミック回路)、多数の容量結合もしくは誘導結合を含む配線、供給電圧の IR ドロップとグラウンド電圧のはね返り、デバイスオフ電流への熱衝撃、配線抵抗、基板とのカップリングなどがあげられる。基本的な設計技術の課題は、設計のすべてのレベルにおいて、ノイズと干渉の特性抽出、モデル化、解析および見積り方法を改善することである。

### クロスカット課題5－信頼性と耐障害性

生産、検証、テストにかかるコストを劇的に削減するには、デバイスや配線に対し 100%の完成度を求めることを緩めなければならない。このようなパラダイム・シフトは、技術スケールリングが進むにつれて、あらゆる場合において加速されるであろう。なぜなら、技術スケールリングが進むにつれて、信号や論理値やデバイスや配線に対し、過渡的もしくは永久的な故障が、より生じやすくなるためである。以下、いくつかの深刻な問題を示す。(1) 65nm 以降、単発的な擾乱(ソフトエラー)が、フィールドレベルの製品の信頼性に、深刻な影響を与える。組込みメモリだけでなく、論理回路やラッチも同様に影響を受ける。(2) 現在の加速寿命試験(バーンイン)は、供給電圧の減少により実行不可能になる(指数関数的に長いバーンイン時間が必要となる)。さらに、バーンインオープン消費電力要求も増大する。(3) “non-catastrophic”なゲート酸化膜のブレイクダウンや高抵抗バリアスなど、原子スケールの影響を反映した、新たな「ソフト」欠陥の基準が必要となる。一般に、システムが大きくなりすぎると最終段階での機能テストが不可能になるため、設計のロバスト性を考慮した自動回路挿入が、より重要となる。とりうる対策としては、冗長論理回路の自動挿入、フォールトレラントを考慮したオンチップ回路再構成、適応回路もしくは自己修復回路の開発、そしてソフトウェアに基づくフォールトレラントが含まれる。

## 詳細な設計技術の課題

この章の残りの部分では、デザインメソドロジーの概要と、5 つの主要な設計技術領域における定量化した課題と解決策の候補について述べる。上述したように、今日の EDA 技術とマーケットセグメントを反映して、ほとんどの課題は SOC にマッピングされる。

### デザインメソドロジー

チップを設計し実装する工程には、設計者の適切な入力により製造可能な製品とするために、多くの技術の集積や設計ツールおよび有効な設計手法が必要となっている<sup>3</sup>。必要となる設計ツールは大きく注目されてきたが、それと同等に重要な設計メソドロジーはなおざりにされてきた。テクノロジー世代毎に設計者は新たな問題に取り組むことを求められ、そのため、新たな現象を評価し設計者のクリティカルな設計上の判断を支援する、新しい解析手法とツールが開発されなければならない。さらに大きな課題は、手戻りを最小限にするために、問題を検討する最も効率的な順序を決定して、設計上の決定を行うことである。

“More Moore”、“More Than Moore”、“Beyond COMS”というマイクロエレクトロニクスからナノエレクトロニクスへの変遷によって、シリコン・システムの設計に避けることのできないパラダイム・シフトが生じている。これらは設計プロセスのすべてのレベルに影響を与え、新しいメソドロジーやツールに向けた、とてつもなく大きな努力が要求される。設計技術は、ナノエレクトロニクスで与えられる様々な可能性を活用した、高度に複雑で同時にコスト効率の高いシリコン・システムを実現しなければならない。革新的なアプリケーション（詳細はシステムドライバ章を参照）が手頃なものとなるように、困難な EDA の課題を解決しなければならない。シリコンデバイスのシュリンクとそれに関する製造プロセスは、今までは日常的に浸透した強力なシリコン・ソリューションだった。このようなシリコン・ソリューションの展開は、スムーズに仕様データから製造可能なレイアウト・データに変換し、異なる抽象度レベルで必要な検証を行える設計技術と EDA 技術のうえに立脚していた（図 DESN2）。しかしながら、こうした設計技術が継続して使えることは、もはや当たり前のことと思っはならない。

新規 SOC のコストや開発期間を満たすには、インプリメンテーションのパス(左)と検証のパス(右)の二つの主要なパスで構成される複雑な設計プロセス(図 DESN2)の全体に渡る設計技術を必要とする。この図は、“More Moore”と“More than Moore”の両方の設計を統合した設計システム・アーキテクチャの V-サイクルと呼ばれるものである。図中の矢印は、最先端の設計システム環境において、緑色が利用可能、黄色が部分的に利用可能なことを示している。赤い矢印は、EDA に対する将来の要求を示している。

<sup>3</sup> 設計メソドロジーは設計者と設計技術者が協力して開発される；それは制約条件を満たしながら確実にデザインを設計目標に「可能な限り近い」ように作る設計プロセスの一連のステップである。設計メソドロジーは設計技術とは異なるもので、設計技術はメソドロジーを含む一連のステップの実装に関するもので、各々の設計技術分野の中で議論されている。すべての既知となっている設計メソドロジーは、1) トップダウンの計画と探索によりシステム仕様と制約条件を遵守し、2) 物理法則による制約、設計と製造技術の限界、システムコストの限界をボトムアップに伝播させたものを組み合わせたものである。

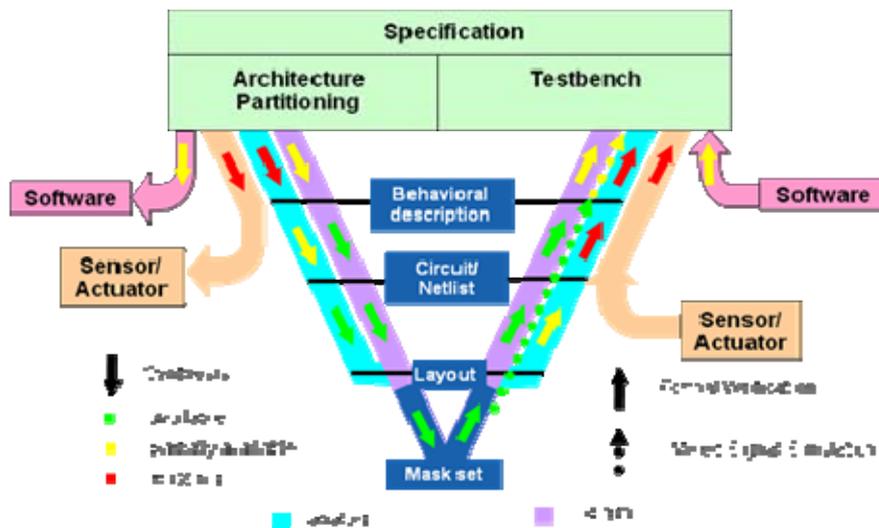


図 DESN 2 The V-Cycle for Design System Architecture

システム仕様はアーキテクチャからマスクまで段階的に詳細化される。SOC 設計とは、まず初期段階でシステムを探索し、システムレベル記述をさらに動作レベル、回路/ネットリストレベル、レイアウトレベル、マスクレベルへと詳細なレベルに変換して、各詳細化ステップの正しさを検証メソッドロジが保証しなければならないものである。SOC の構成部品と動作だけではなく、システム・ソフトウェアやセンサー、アクチュエータなども、将来のインプリメンテーションと検証の工程で扱わなければならない(黄色と赤色)。設計システムのデジタル設計パス(紫色)では、動作レベルより高い抽象度(黄色)のツールやメソッドロジが必要になる。アナログ設計パス(いくつかの赤の矢印で示す)は、どの抽象度レベルでも完全な解決策がほとんど見つけられていないため、さらに実現が困難である。結果として、アナログ設計工程の自動化は、現在の設計環境では、まだ解のない課題である。まとめると、将来の要求は次の2要素となる。1) More than Moore に対しては、現状の SOC 設計フローに含まれていない、ソフトウェアやセンサー/アクチュエータなどを統合することが必要で、これらは黄色と赤色にしている。2) 将来に向けて、さらに高抽象度のデジタル/アナログ設計フローをサポートするツールによる、新しい SOC 設計フローが必要である。これは、左側の高位レベル仕様からの動作合成と、これに対応する右側の高抽象レベルの検証ステップを必要とすることになるが、いずれも赤色としている。アナログ、ミックスドシグナルのフローではさらに、すべての設計レベルでのアナログ回路合成とアナログ回路自動検証が必要となる。

ナノテクノロジーへの移行によって、仕様から製造までのすべての設計工程が、大きく相互依存関係を高めるだけでなく、最終製品である IC の歩留まりや信頼性に密接に関係する。その結果として、SOC の設計生産性は、ムーアの法則に基づくナノエレクトロニクス技術の革新のペースに、簡単には追従できない(図 DESN3)。劇的に設計生産性を向上させるために、いわゆるシステムレベルと呼ばれる、さらなる高抽象度のレベルが導入された。次節では、新しいシステムレベルの課題と解決策を記載する。

## システムレベル設計

数十年の間、設計者は、ほとんど設計自動化ツールのサポートなしで、システムを様々な抽象レベル(ブロック図、不完全な状態図、プログラミングモデル、等々)で論理検討してきた。設計生産性における必要な進化が達成されるためには、近い将来この状況は変えなければならない。ハードウェアとソフトウェアを含むシステムの仕様、検証、実装を単純化し、効率的な設計空間探索を可能にするためには、今まで親しんできたレジスタトランスファーレベルよりも上位の新しい抽象レベルが必要になる。

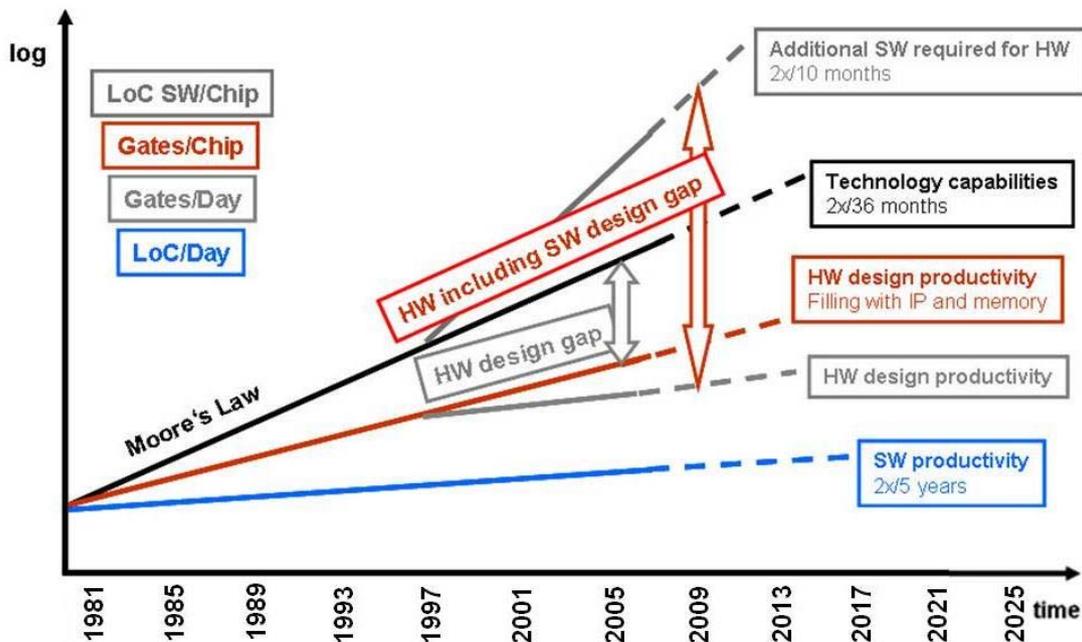


図 DESN 3 Hardware and Software Design Gaps Versus Time

システムレベル設計<sup>5</sup>においては、メソッドロジ面がツール面より急速に困難になってきている。シングル・チップ上に膨大な複雑度を持つシステムが実現可能であるが、これを確実にコスト効率よく開発するには、今日の設計生産性に比べて約50倍以上の改善が要求される。シリコン複雑度は、ヘテロジニアスな信頼性の低いデバイスと接続コンポーネントを使って、信頼性のある利用可能なシステムを開発しなければならないことを意味する。グローバルな同期回路設計は、プロセスばらつきと電力消費により非常に高価なものとなり、チップを横断する信号は、もはや1クロックサイクルでは到達しない。したがって、システムレベル設計は、機能と接続がパイプライン動作をするかのように、ネットワークと分散処理を取り込まなければならない。例えば、通信構造を最初に設計して、次に機能ブロックを設計し、そしてそれらを通信バックボーンに統合する。組み込みシステムのソフトウェアの量と、マルチコアSOCアーキテクチャの急速な普及によって、システム複雑度は劇的に増大する。図DESN3に示すように全体の設計工数をソフトウェアが占めるだけでなく、ハードウェアと密接な組み込みソフトウェアも多くを占めており、実現すべき機能は、今日ハードウェア中心となっているSOC統合検証工程で処理されなければならない。

ITRS ロードマップの2011年版では、システムレベル設計の技術課題は、ほとんど前の版と変わっていない。この事実は、これらの技術課題がとてつもなく複雑であるということを表している。例えば、動作合成はシステムレベル設計にとって必須であるが、10年以上もの研究課題であり、近年のC言語やSystemCベースの合成や、

<sup>5</sup> この図は、10ヶ月毎に2倍になるソフトウェアへの要求と、ハードウェアソフトウェア設計の生産性と同じく36ヶ月毎に2倍になる技術能力を示している。この数年間のハードウェアの設計生産性は、シリコンをマルチコア・コンポーネントとメモリで満たし、新たな機能をソフトウェアのみによって実現することで改善されてきたが、一方で、特にハードウェア依存ソフトウェア(hardware-dependent software)の設計生産性の改善は大きく遅れ、5年毎に2倍になっているに過ぎない。赤の矢印がハードウェアとソフトウェアを含む新たな設計ギャップを示している。この版では、初めてこれらの新たなソフトウェアの要求を例示する図を追加した。本資料はITRS2007版で追加された。

<sup>5</sup> システムレベルでは、シリコンのリソースは抽象レベルの機能とブロックで定義され、設計対象には、高位レベルとアセンブリ言語で書かれた埋め込みコードやコンフィギュレーション・データなどのソフトウェアとコアや、ハード設計回路やバス、リコンギギャブル・セルなどのハードウェアが含まれる。ハードウェアは実装された回路要素で、ソフトウェアはハードウェアで実行される機能の論理的なインストラクションである。動作(behavior)とアーキテクチャは設計自由度では独立であり、ソフトウェアとハードウェアはアーキテクチャの構成要素となる。動作を統合したものがシステム・ファンクションを定義し、アーキテクチャ・ブロックを統合したものがシステムプラットフォームを定義する。システム機能のシステム・アーキテクチャ上へのプラットフォーム・マッピングがシステムレベル設計の正に核心であり、また、システムの複雑度の増大とアーキテクチャおよび機能における異種混交によって、困難度が増している。

## 10 デザイン

トランザクションレベルモデリング (TLM) 技術の進歩にもかかわらず、実用的な動作合成は現在も実現されていない。また、現在の SOC 設計工程がほとんどベストエフォートベースであり、今後、「自動修復」、「自動構成」、「誤り訂正」等の新たな方向性が予測される。設計技術は、“More Moore” と “More than Moore” の領域で、最終的にコスト効率のよいシステム実装と、社会や市場の要求に基づくアプリケーション要求を結びつける役割を果たすであろう。表 DESN2 には、低レベル設計に対するシステムレベル設計の消費電力削減における相対的な影響度についての新たな技術要求を含めて、将来の技術世代におけるシステムレベル設計に対する定量的な要求を示している。

表 DESN 2a      *Near-term System-Level Design Technology Requirements*

表 DESN 3b      *Long-term System-Level Design Technology Requirements*

図 DESN4 は、対応する時間軸におけるシステム・レベル・デザインの解決策を示す。表 DESN3 は、技術課題と解決策の対応を説明している。

First Year of IC Production	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026
System-level component reuse																
Chip-package co-design methods																
Improved system-level power estimation techniques																
On-chip network design methods																
Mixed-Signal/RF verification																
Automated interface synthesis																
HW-FW co-design and verification																
Multi-fabric implementation planning (MMIO, RF, MEMS, ...)																
Parallel processing																
Intelligent testbenches																
Co-design at SW infra structure																
Heterogeneous parallel processing																
Transactional memory																
System design automation (SDA)																
Essentials specification																

This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required   
 Development Underway   
 Qualification / Pre-Production   
 Continuous Improvement 

DESIGN 4 System-Level Design Potential Solutions

表 DESN 4 Correspondence Between System-Level Design Requirements and Solutions

<i>Requirement</i>	<i>Solution</i>	<i>Explanation of the Correspondence</i>
<i>Design block reuse</i>	System-level component reuse	The larger and more complex the components that can be reused, the greater the expected overall design reuse
	On-chip network design methods	Standardized communication structures and interfaces support reuse: IPs with standardized interfaces can be easily integrated and exchanged, and communication structures reused
<i>Available platforms</i>	Multi-fabric implementation planning (AMS, RF, MEMS, ...)	Enables integration of different fabrics on same die or in same package (SIP); hence, enables reduced number of platforms
<i>Platforms supported</i>	Automated interface synthesis	Automated interface synthesis is one building block to an integrated synthesis flow for whole platforms
	Automated HW-SW codesign and verification	Required for integrated, platform-based system development
<i>Accuracy of high level estimates</i>	Improved system-level power estimation techniques	System-level power estimation needs to match progress in high-level area and performance estimation
	Chip-package codesign methods	Packaging effects, e.g., on timing, must be accounted for in higher-level estimations
<i>SOC reconfigurability</i>	On-chip network design methods	To provide flexible, reconfigurable communication structures
<i>Analog automation</i>	Multi-fabric implementation planning (AMS, RF, MEMS, ...)	Multi-fabric implementation planning for AMS and RF components are a building block to analog automation
<i>Modeling methodology, description languages, simulation environments</i>	Mixed-Signal/RF verification	As in digital design, verification is an increasingly critical and time-consuming activity in the design flow
<i>HW offers multi-core systems that have to be exploited by SW</i>	Parallel Processing	Due to thermal and power limitations further performance increases have to be realized with multi-core systems.
<i>Reduce SW verification effort</i>	Intelligent Testbench	SW simulation, formal verification and automated testbenches for SW will reduce the verification effort for embedded software and enhance quality
<i>Productivity increase required for SW since SW cost &gt;&gt; 50% of total system cost</i>	Concurrent Software Infrastructure	A set of tools that allow concurrent software development and debug
<i>Increase SW execution performance</i>	Heterogeneous Parallel Processing	Parallel processing using different application-specific processors for each of the separate functions in the system
<i>SW Productivity increase required</i>	Transactional Memory	A concurrency control mechanism analogous to database transactions for controlling access to shared memory in concurrent computing; an alternative to lock-based synchronization
<i>Productivity increase required for HW/SW codesign</i>	System Design Automation (SDA)	True system-level design including electronic hardware and software, mechanical, bio, opto, chemical and fluids domains
<i>Reduce verification effort</i>	Executable Specification	Specifications written in a formal language allow automated verification process starting early in the design process and at high abstraction levels without the need to code several new verification models; this enables an integrated design flow from specification to completed system that can be completely validated at each step

図 DESN5 は、必要なシステム消費電力の最小化を実現するために増大するシステムレベル設計の役割を示すロードマップである。この図のパーセントで示す数値は、将来のテクノロジノードにおいて、システム設計の各段階が負担すべき消費電力(ワットまたはマイクロワットで測定される)の削減割合を示している。このトレンドは新しく追加した付録 III: 設計技術による消費電力削減 に示されており、ほとんどの改善は動作およびアーキテクチャレベルである。

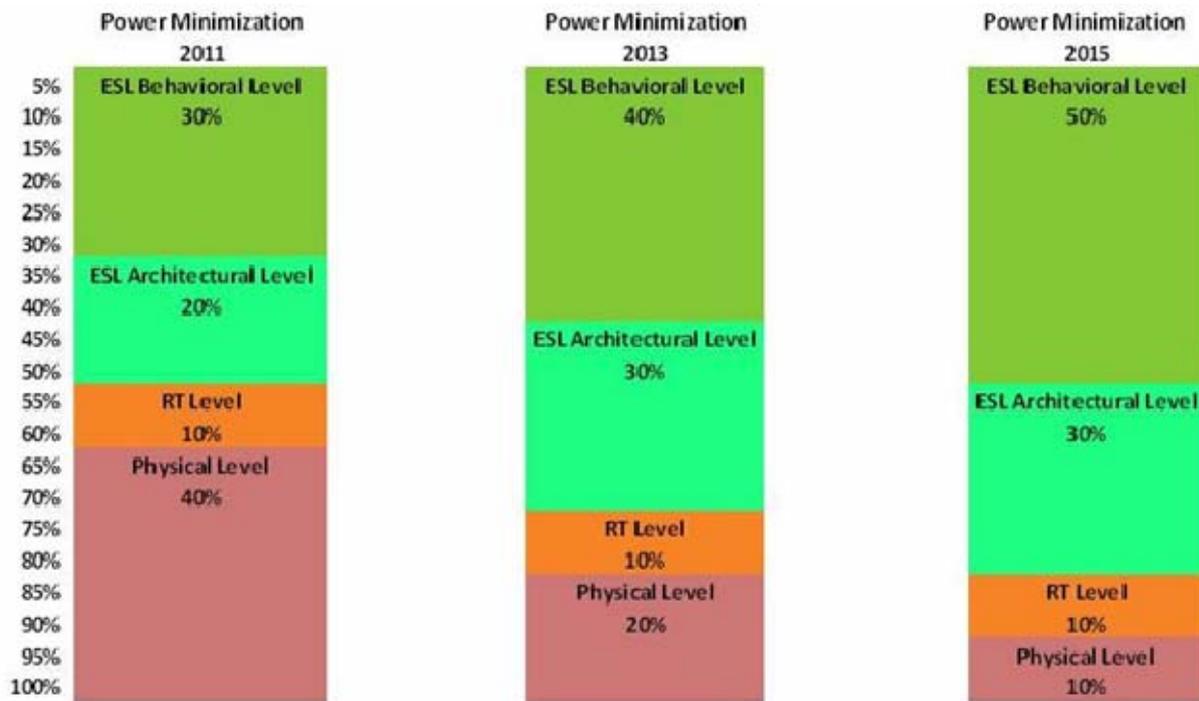


図 DESN 5 Evolving Role of Design Phases in Overall System Power Minimization

## 論理、回路、物理設計

IC のインプリメンテーションに対する伝統的な理解では、論理設計とは、システムレベル設計のハンド・オフ（現在、レジスタ・トランスファ・レベル）から物理設計への入力に適したゲート・レベル表現へのマッピング・プロセスである。回路設計では、プロセスおよび製造上の制約に基づき、仕様に規定された電氣的・物理的な特性を達成するデバイスと配線トポロジ（スタンダードセル、フルカスタム、アナログ、など）を創造する。物理設計では、チップ・インプリメンテーション（フロアプランニング、配置、配線、抽出、性能解析）を実施し、デバイスと配線を空間的に正しく埋め込む。物理設計のアウトプットは製造（現在、generalized data stream(GDSII) file が中心）へのハンドオフ（テープアウト）であり、正確さ（設計規則、レイアウトと回路の等価性、など）および制約（タイミング、消費電力、信頼度など）の検証を含む。論理、回路、物理設計は、システムレベル設計を支える DT においてインプリメンテーション層を構成する。

設計生産性は、信頼できて見積もり可能なインプリメンテーション・ファブリックへのシステムレベル・サインオフを要求する。しかし、シリコン複雑度は、最終的な設計品質（タイミング、消費電力、シグナル・インテグリティ、信頼度、製造容易性など）に対する物理的な影響を評価し、抽象化することを困難にする。不正確な見積もりによる過剰なガードバンドの設定を回避するために、論理設計、また将来的にはシステムレベル設計は、物理設計とより緊密にリンクさせる必要がある。このため、最新パラダイムである階層、トップダウン、レイアウトに基づくインプリメンテーション・プランニングは密結合したインクリメンタルなスタティック解析（消費電力、タイミング、ノイズ）をバックプレーンとして存続するであろう。将来のインプリメンテーション DT は、爆発的に増加する複雑度および、新規懸案事項（欠陥許容、ばらつき、コストなど）に直面するため、その成功はプロセス/デバイスの抽象化、制約操作、分析、および最適化を調整するメソッドの選択に依存する。

現在のハードウェア設計自動化は、より微細化が進む製造プロセスから与えられるチャレンジと機会に対処するため、より発展させる必要がある。現在のメソッドは、"separation of concerns"（大きな問題を小さな部分問題に分解することができれば解決が容易になるという考え方）を原理としているため、複雑な設計フローを緩やかに結合した管理可能なステップの連続で構成しているが、急速に時代遅れになりつつある。本シナリオにおいては、設計フローにおける上流ステップでの判断が、下流ステップを拘束する制約となる。このような設計

ステップの逐次化は、すべての設計側面を同時に考慮するメソッドに比べて、最適化が不十分な設計となる可能性がある。しかし、全設計パラメータの同時最適化の実践は困難であるため、本状況は回避不可能であり、下流に与える制約が達成可能である限りは許容されるであろう。しかし、これらの制約が達成不可能になるとき、本メソッドは破綻する。この場合の標準的な対応は、上流の設計段階に戻り、問題を起こしたであろう判断を特定して修正することを繰り返すことである。このような手戻りは、レイアウト合成がタイミング制約の達成、すなわちタイミング・クロージャ達成に対する能力不足により、論理設計と物理設計の間で必要になっている。(製造容易性検証(製造頑強性検証)に対するクロージャ達成が、高価な手戻りの新原因として登場している。)理想的には、今日のメソッドにおける時間を浪費する論理合成と物理合成間(あるいは、物理合成と製造容易性検証間)の手戻りは、回路の論理構造とレイアウトの同時最適化により両ステージを融合させれば解決できる可能性がある。しかし、テクノロジーの微細化や、以前は無視できた物理的または統計的な効果が大きな影響を与えるようになるにつれて、最適化の対象や目的関数の不正確さが増すことで、このような最適化は有効ではなくなっている。このような不正確さにより、マスクが製造されるまで判明しないようなタイミングに関する電氣的な問題を引き起こしかねない。このような問題を修正するためには、合成後のマスクに対して有効な新たな ECO(Engineering Change Order)技術が必要となる。

### 論理、回路、物理設計における設計要求

論理、回路、物理設計における技術要求は、対象テクノロジーからの影響に対する回避策(コントロール要求)、または、与えられた期間とテクノロジーで設計するための要求生産性(オブジェクティブ要求)のいずれかに該当する。各要求に対する定量的な目標を表 DESN4 に示す。

表 DESN 5 Logical/Circuit/Physical Design Technology Requirements

各技術要求に対する説明を以下に示す。

**asynchronous global signaling (非同期グローバル・シグナリング)** — (オブジェクティブ要求) 現在の IC 設計における重要なチャレンジは、基本クロック信号を、許容可能なスキュー以下でチップ全体に分配することである。設計済みモジュールをチップ上で結合させ、独立したモジュール間に信頼できる通信を確保することも、チャレンジである。技術要求の「asynchronous global signaling」とは、同期を送信要求信号と受信了承信号で実現し、大域クロック信号を用いない設計スタイルを意味している。長距離大域信号に対してはリピータ挿入手法を用いているが、リピータ挿入手法における消費電力、配線混雑および、面積コストの増加につれ、本要求値は増大する。GALS(globally asynchronous locally synchronous)設計では、粗粒度の機能モジュールを従来の設計技術で開発したうえで、ローカル・クロック・ジェネレータと自己タイミング化ラッパーを組み込み、各モジュールが非同期のハンドシェイク・プロトコルを使って通信することを可能とする。ハンドシェイク・コンポーネントの個数が、システムの複雑度を決定する。クロック分配といった関連する調整のオーバーヘッドにより、独立コンポーネント数が劇的に増加することはないであろう。2012 年までには、非同期クロッキングが発展して、市販ツールが利用可能になるであろう。新たな調停機構(ツリー、Fulcrum Microsystems 社のクロスバー、など)が、2014 年にかけて進化し、回路内の遅延を改善するであろう。

**Parameter uncertainty(パラメータの不確実性)** — (コントロール要求) EDA ツールは、論理設計と物理設計の両ドメイン間のリンクを強めて、配線遅延の不確実性に対処している。この対処方法は配線のみが対象であるため、トランジスタにおける電氣的な不確実性に対しては、影響は大であるが対処できていない。本要求値は、プロセスばらつきおよび、それに起因する論理設計・回路設計におけるパラメトリックな不確実性に対する、高精度な対応の必要性を示している。表中の「% - effect」は、縮小するデバイスにおけるパラメトリックなばらつきの関数であり、予測値を示している。

**Simultaneous analysis objectives (同時に分析すべき設計目標)** — (オブジェクティブ要求) 現在のテクノロジーでは、多数の設計目標と物理現象が互いに影響しているが、それらを同時に分析し、最適化する必要がある。ここに、設計目標とは、信号遅延、消費電力(アクティブ、すなわち、ダイナミック)、面積、シグナル・インテ

グリティ、デルタ遅延、デルタパワー、プリンタビリティ、そして、リライアビリティである。現在の統計的手法により、歩留まりの最適化が現在の設計フローに組み込まれる。そして、2010年には、統計的手法は設計フローの本流となり、開発期間と歩留まりを最大で25%改善を可能としている。デルタ遅延とデルタパワーの同時分析に、統計的手法が導入されると思われる。演算の信頼性に対する最適化としては、既存のロバスト演算処理(例:University of MichiganのRazor technique)が拡張され、早々に設計フローに組み込まれるであろう。設計生産性および設計コストは、2013年までに評価関数に組み込まれるであろう。設計生産性指標に対する定義は漠然としているため、成熟した最適化手法は知られていない。このため、2013年の要求はredになる。

**Number of circuit families in a single design (一つのデザイン中に混用する回路ファミリ数)** — (オブジェクティブ要求) 高性能集積回路では、速度を追求するために、面積、消費電力、設計工数などを犠牲にして、回路ファミリを混用することが多い。回路ファミリが混用される典型的な順序は、スタティックCMOS、マルチVt、マルチVdd、そして、ダイナミックCMOSである。非同期FF(リテンションFF)のような回路形式も、量産チップに進出するであろう。回路ファミリの組み合わせとして、将来の組み合わせの主流を正確に予測するのは困難である。しかし、一つのデザインの中で複数の回路ファミリを扱う能力は、重要な要求であり続ける。同時に、論理ファミリの混用および設計制約の低次元性により設計複雑度や製造困難度が上昇するため、一つのチップ上にのせる回路ファミリ数が比較的少ない値に抑えられると思われる。

**Analog content synthesized (合成されたアナログ・コンテンツ)** — (オブジェクティブ要求) デザイン中の合成で作成したアナログ回路の量を、総アナログ回路量に対する割合で予測して表 DESN4 に示した。詳細は、システムドライバ章のAMS節を参照のこと。アナログ合成が経る軌跡は、20年前の論理合成の軌跡を思い出させる: 1) 今日、アナログ合成は設計者と置き換わる寸前まで来ている。2) 2013年までには、アナログ合成の重要性は、1990年のマイクロプロセッサにおける論理合成の重要性に同等となり、典型的なアナログ回路の25%に適用されているであろう。3) 2020年までには、現在のアナログ合成技術は飽和し始めるため、デジタル合成でデータパスのインプリメンテーションなどに期待を寄せているように、新たな技術を用いた自動化が求められる。AMS技術が最大の利益を得るために克服しなければならないIP再利用の3つの課題は、テクノロジーノードの移行と、ファンドリ変更に起因する異なるアナログ動作、回路動作解析におけるEDAツールの整合性の欠如である。

**Adaptive/self-repairing circuits (適応型自己修復回路)** — (オブジェクティブ要求) 現在、大多数の回路は何らかのダメージを受けると正しく機能しなくなる。製造プロセスにおける変動も、製造チップの信頼性や歩留まりを劇的に減少させる。多くの場合は、システム規模と複雑度のトレードオフにより、壊れたら置き換えるのが安価だという考えで、電子部品をコンパクトだが頑強でない手段でインプリメンテーションするとの判断が続くであろう。しかし、より多くの回路において、システムへのアクセスが極めて高価であるか、または、遠隔的に故障状態を分析して修理するためにシステムと通信するのが極めて高価である。このため、従来ほどは面積が大きくないが、内部故障に完璧に適用できる回路に対する需要が高まる。このようなデザインは、設計検証、製造、およびテストのコストをコントロールするのに役立つ。自己を変更および修復する回路は既に製造されており(例:IBM eFuse 技術では故障部分の電圧および周波数を調整する)、新しいテクノロジーではさらに普及するであろう。増加し続ける運転コストおよび保守コストに直面するため、自律または自己制御コンピュータシステムは、不可欠になるであろう

**Full-chip leakage power (リーク・パワーのチップ総量)** — (コントロール要求) 消費電力は半導体産業が現在直面している主要な技術的問題である。リークパワー(サブスレッショルド、ゲート)は、プロセスの微細技術への移行に伴い指数関数的に増加する。ダイナミックVt、クロック・ゲーティング、パワー・ドメイン/電圧アイランド、動的電圧制御、動的周波数スケールリング、複数Vtトランジスタ、ボディ・バイアス法などの技術により、2012年までは、リークを緩和するであろう。現在のテクノロジーではサブスレッショルド・リークに対してゲート・リークが支配的であるが、high-k誘電率の導入によりゲート・リークは制御可能となるためサブスレッショルド・リークが性

能の制約となると思われる。リークに対する要求値は 2007 年の値で正規化しており、インバータのリークをテクノロジノードに伴いスケールリングして算出した。

**3D design technology (3D 設計技術)** — (オブジェクティブ要求) 配線およびアッセンブリ&パッケージング章のロードマップに示されているように、TSV 技術により、非常に微細な粒度で複数のチップを統合することを可能とし、同時に配線遅延、消費電力、サイズを減らせる。技術と基盤が成熟するにつれて、3D 設計が洗練された開発段階へ進展すると期待される。開発段階と、各段階における特徴と課題は付録 IV の表 DESN16 にまとめられている。開発の第一段階(2011-2014)は、スーパーチップやミニシステムとして複数のチップを接続するために、シリコンインタポーザを微細なプリント基板として使うことに集中することになるだろう。インタポーザはパッケージレベルの構造となるか、もしくはシリコンインタポーザの BEOL プロセスに基づいたものになるであろう。シリコンインタポーザはチップとパッケージ間のストレスを緩和するために使われるだろう。ここでの大きな課題は3D で接続、電源供給、発熱を協調して設計することである。協調設計を可能にするには、インターチェンジフォーマットが必要となるだろう。第二段階では、システムに対して、数個のメモリ(通常 2-4 個の DRAM)に非常に大きなバンド幅を割り当てることで利益を得るシステムに集中するであろう。この段階では3D 化による性能向上を最適化するフロアプラン、熱機械解析と最適化、パワーインテグリティ、シグナル・インテグリティに対する協調設計など、複数の3D 設計の課題が出てくる。限られた TSV リソース内での電源供給も課題である。テストとテストマネジメントはこの段階において特に困難な課題となり、特に追加のステップが必要となることから、テストコストの削減と、高い実装歩留まりを得るための KGD(Known-Good-Die)設計が重要である。第三段階では、高位レベルでの統合とともに、さらなる異種混載が期待される。3D 積層の中に複数の異なる層が含まれることが重要となるであろう。メモリウォールは多量のメモリを結合することで、例えば、キューブとして統合されたメモリをプロセッサと密結合させることなどで対応可能となる。最終段階に向けてモノリシック3D 統合が、あるレベルで可能となるだろう。一番の課題はシステムの最適化である。多数のプロセスフローや実装オプションが可能となるときに、システム性能とコストの最適化をどう図るか。第二段階で解決される課題をこの段階で対処することは、さらに困難となる。課題には、多数のダイを積層した中での電力供給や温度と応力の管理、テストと歩留まりが十分に考慮されたときのシステムコストの最適化を含む。

### 論理、回路、物理設計における解決策候補

論理、回路、物理設計における解決策候補を図 DESN5 に示す。説明コメントは以下の通りである。

1. **Automated handshake logic/circuit tools (ハンドシェイク論理/回路の自動設計ツール)** — チップ内の非同期かつ遅延を抑えた大域通信に必要
2. **Synthesis and timing accounting for variability (ばらつきを考慮した合成およびタイミング)** — テクノロジにおけるパラメトリックばらつきに配慮した合成。過剰に悲観的なクロック周波数を回避する。
3. **Circuit/layout enhancement accounting for variability (ばらつきを考慮した回路レイアウトの改善)** — パラメトリックばらつきを考慮した消費電力、干渉、欠陥耐性の最適化。
4. **Macro block/chip leakage analysis (ばらつきを考慮した回路レイアウトの改善)** — 外部環境の変動を考慮したフル・チップの高精度リーク見積もり。
5. **Power management analysis & logic insertion SOI/SOC tools (消費電力制御の分析および論理挿入のための SOI/SOC 用ツール)** — 論理レベルでの消費電力制御のための技術(例: パワーゲーティング、クロック・ゲーティング)。特に SOI 技術をサポート。
6. **Analog synthesis (circuit/layout) (アナログ合成(回路/レイアウト))** — ASIC 用アナログ物理合成は、構造化合成フローに適したモデル化メソッドロジに向上することが望まれる。マルチ・ファブリック合成ツールも必要である。

7. **Non-static logic implementation (非スタティック論理によるインプリメンテーション)** — ダイナミック回路ファミリ、スタティック・ダイナミック論理を作成するための論理および物理合成。
8. **Cost-driven implementation flow (コスト主導のインプリメンテーションフロー)** — 物理領域のコスト(パラメトリック歩留まり、単位原価、リーク・パワー、総パワー)を、設計空間での分析と探索により強くリンクさせる。異なる設計ファブリックから選択するための分析ツール。異なるテクノロジノードを用いた場合のコストを推定するツール。(レイアウト開始前に実施する)製造容易性分析。
9. **3D system design space exploration tools. (3D システム設計空間探索ツール)** — あるアプリケーションが与えられたとき、3D 実装と 2D 実装のどちらを選択すべきかを(コスト、性能、消費電力などの観点で)判定したり、3D 実装における適切な粒度(コア、ブロック、ゲート)を決定するためのツールである。
10. **Native 3D power/thermal analyses, optimizations. (3D ネイティブな消費電力/熱解析、最適化)** — 冷却及び電力供給に対する物理設計は、モジュールの信頼性に重大な影響を与える。性能と消費電力における最適化において、TSV に関連した製造容易性およびコスト問題に取り組むために、分析と最適化が必要とされる。

First Year of IC Production	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026
Automated handshake logic/circuit tools																
Synthesis and timing accounting for variability																
Circuit layout enhancement accounting for variability																
Microchip test case analysis																
Power management analysis and logic insertion SoC/SoC tools																
Analog synthesis (circuit/layout)																
Non-static logic implementation																
Cost-driven implementation flow																
3D system design space exploration tools																
Native 3D power/thermal analyses, optimizations																

This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required	■
Development Underway	■
Qualification / Pre-Production	■
Continuous Improvement	■

☒ DESN 6 Logical/Circuit/Physical Design Potential Solutions

## 要求と解決策との対応関係

論理、回路、物理設計における要求と解決策候補の対応関係を表 DESN5 に示す。各要求に対して、定量的ターゲットを達成するツールまたは手法を設定している。

表 DESN 6 Correspondence between Logical/Circuit/Physical Requirements and Solutions

Requirement	Solution	Explanation of the Correspondence
Asynchronous global signaling % of a design (SOC)	Automated handshake logic/circuit tools	Departure from fully synchronous design paradigm needed for power reduction, latency insensitivity, variation-tolerance
Parameter uncertainty %-effect (on signoff delay)	Synthesis and timing analysis accounting for variability	Tools that account for process uncertainty, and resulting parametric uncertainty, will reduce guardbanding and increase chip yields
Simultaneous analysis objectives	Circuit/layout enhancement accounting for variability	Optimizations which consider parametric uncertainty
Simultaneous analysis objectives	Power management analysis and logic insertion SOI SOC tools	Requires budgeting of area/power/timing constraints
Simultaneous analysis objectives	Cost-driven implementation flow	Cost is an engineering parameter that affects turnaround times. Silicon cost no longer dominant; test and manufacturing costs increase emphasis on adaptive, self-repairing circuits
Circuit families # of circuit families in a single design	Non-static logic implementation	Non-static implementations help improving different chip parameters
Synthesized analog content	Analog synthesis (circuit/layout)	Allows for larger portions of a chip to be analog
Full-chip leakage	Macro block/chip leakage analysis	Enables accurate leakage predictions
% Native 3D design tech in flow	3D design space exploration tools	Enables correct choice of 2D vs. 3D, and 3D granularity
% Native 3D design tech in flow	Native 3D power/thermal analyses, optimizations	Required for co-optimization of reliability and manufacturability along with performance and power

## 設計検証

機能検証のゴールは、システム実装が完全にその仕様であるデバイスに計画された所望の動作と、一致することを保証することである。残念ながら、半導体設計の複雑度の増大により、機能検証は未だに解決できない課題であり、多くの検証エンジニアや大学の研究者の膨大な取り組みを退けている。現状の産業界の取り組みは、厳しい設計期間とコストの制約の下で、不完全な検証プロセスが実施されているに過ぎず、設計の部分的な側面を検証の対象として確認し検証しているだけである。これらの検証対象は、設計機能動作の全体から見ればほんの一部でしかない。この対応不可能な複雑さの原因は、分散処理を実現するために、高度に接続された通信プロトコルで組み合わせられた、高度に統合されたシステム・オン・チップ (SOC) と並列チップ・マルチプロセッサ・システムに対して、検証技術が追従していないことにある。不良チップによる膨大なコストのために、産業界の開発工数の多くの部分を機能の正しさを実現することに費やしている。現在の開発プロジェクトでは、検証エンジニアの数は設計エンジニア数を越えて、最も複雑な設計では、その比率は 2:1 にも達するとの複数の報告がある。このような工数割り当てが行われている理由は、確実な解決策が見あらず、多くの部分が経験に基づいたアドホックな検証手法のためである。

飛躍的なブレークスルーなしには、設計検証は、半導体産業の将来の成長に対して、複雑度に追従できず注目される障壁となるであろう。アドホックな検証手法から、構造化されたフォーマルなプロセスに移行することで、ブレークスルーが起こる期待がある。システム設計の機能を検証するために、今日使われている検証手法の主流は、繰り返しモデルを作っては、限られたテストベクタでそれらをシミュレーションして、見つかったバグをつぶすというものである。この目的には、非常に高率でシミュレーションベクタを生成する論理シミュレーション技術が主流である。しかしながら、これらのテストによるカバレッジは通常非常に低く、エラーが発見されたときには、問題の原因を特定するためのデバッグ作業は、非常に長くて複雑なデバッグトレースによるマニュアル解析となってしまふ。さらに、これらの手法は、品質に影響が大きい部分や低いカバレッジ部分など特定の

設計の検証作業となってしまうため、多くの検証工数を必要とする。代替手法への移行には大きなコストがかかるので、従来の検証技術が固定化している。このため、使えるようになってきた新しい代替手段としてのフォーマルやセミフォーマル技術の採用は、なかなか進展しない。

構造化した検証手法では、システムの所望の動作のゴールデンモデルを作って、そのモデルとシミュレーション結果をと比較するというように工数を使うようにしている。カバレッジの計測は、検証対象の設計の正しさがある信頼度で裏付けるものとして集計される。機能検証では、最初に通常一人の設計者が設計する個々のコンポーネントに取り組み、次にチップ、最終的にシステム全体に取り組むように階層的に進めることが一般的である。そうすることにより、ある一つのコンポーネント(構成単位)に含まれているバグに対して、早期にかつ容易に取り組み、解決することができる。(システム全体のシミュレーションは複雑なため、特に追加費用を容易に吸収可能な大きな市場を持つ設計においては、ハードウェア・エミュレーションがしばしばシミュレーションの代わりに使われる。ハードウェア・エミュレーションは、シミュレーションスピードの点では桁違いの性能改善を手に入れることができ、早期にシステム統合とソフトウェア開発を可能とする。しかしながら、エミュレーションを用いても、わずか定数倍の改善しか得ることができない。)この手法の最も手間のかかるところは、コンポーネント間の通信インタフェースの検証で、しばしば手遅れで見逃したバグを、複雑で未検証であったコンポーネント間の通信で見つけられることがよくある。ようやく、フォーマルやセミフォーマル検証技術への関心が高まってきている。今日、IC 開発チームは、一握りの商用ツールによるセミフォーマル手法で主流の検証を補完するような、新しい手法を探している。これは急速に発展している領域で、新しい創造的な方法で、多くの場合フォーマル検証技術をシミュレーション・ベース手法と組み合わせる、いくつかの新しい解決策が毎年、研究環境や産業開発の両方で登場している。

ポストシリコン検証(バリデーション)は、テープアウトから顧客出荷までのシリコンデバイスの検証に重点的に取り組むものである。これは、過去 10 年間に急速に成長した検証領域で、主として、非常に複雑なシリコンベースシステムによるもので、つまり、システム・インテグレーションの後になって判明する多くの潜在的な不具合があることに起因している。ポストシリコン検証のゴールは、それぞれの製造部分で現れる論理や設計バグを検出するところから、通常、コンポーネントの一部にのみ現れる電氣的なプロセス起因の問題や、まれに発生するランダムな製造上の欠陥を見つけ取り除くところまでを含む。この処理には、製造したコンポーネントで完全なプロトタイプシステムを作ることや、組み込みソフトウェアから高位のアプリケーションまでのソフトウェアのテストプログラムを実行することを含む。ポストシリコン検証には 2 つの重要な特徴がある。1) 高速実行速度により、プリシリコン・シミュレーションに比べて桁違いのサイクル数を評価することができる。例えば、シミュレーションやエミュレーションでは、実行に数ヶ月かかるバリデーション一式を数分で終わることができる。2) 製造したシリコン部品(チップ)の内部の観測性が限られる。実際、内部信号は、プリシリコン・シミュレーション環境で観測できたようには観測できないので、テスト・バリデーションやデバッグはさらに困難な作業になる。これらの検査作業は、通常、ロジックアナライザやオシロスコープのような機器を使って、デバイスの外部信号やレジスタ・インタフェースをアクセスして行われる。

## 設計検証への要求

表 *DESN6* は、将来のテクノロジードにおける設計複雑度への対応に必要な、設計検証への技術要求項目を示している。技術的評価指標として、設計の正しさを保証する能力と、開発プロジェクトで費やされる検証工数の両方について見積もっている。表中の数値は、派生設計におけるものではなく、新規開発の設計プロジェクトに対するものである。もし検証効率が設計複雑度に比例するならば、検証用ツールのフォーマル検証とシミュレーションの分類は、やがて両者を組み合わせたハイブリッド手法とセミフォーマル検証手法の2つの分類に変わるであろう。表 *DESN6* では、ハイブリッド手法における、フォーマル検証手法に対するシミュレーション・ベース手法の割合を見積もっている。ソフトウェアやミックスドシグナル・コンポーネントによる影響の増大と微細化の進展による電氣的な振る舞いが重要になってくることから、異種のコンポーネント間およびシステム全体としての検証が、全体検証工数に占める割合は増加していく。最後に、検証要求に対してより構造的な手法に

移行することで、設計仕様をフォーマルに表現することへの努力が、すべての検証工程を自動化する方向に向かわせることになる。

検証環境整備は、次の3つの部分に分けられる。1) 検証する設計対象に対して新規に開発する部分、2) サードパーティから入手する部分(検証 IP として知られている)、3) 社内で以前に設計されたものから流用する部分。表 DESN6 では、最初の2つの部分を再利用(Reuse)の項目に示しており、3つ目は100%から他の2行の数値を引くことで計算できる。表の最後の2行は、機能カバレッジ(Functional Coverage)の重要性が増すことを予測したものである。従来のカバレッジは、コードカバレッジとステートカバレッジが対象であったが、機能カバレッジは検証すべき設計回路の機能をより直接的に反映している。しかし、それが特定分野に依存するためさらなる設計工数を必要とする。短期的および長期的に検証の進展を定量化するためには、機能カバレッジの採用が増えることが必要である。エンジニアリングチームが、機能カバレッジの検証環境構築に習熟して、その再利用が増えてきても、将来に渡って機能カバレッジの利用が広がる必要があるということを、この表は示している。

表 DESN 7 Design Verification Technology Requirements

## 設計検証の課題

検証に対する最も重要な課題の多くは、ほとんどすべてシステムドライバに関連している。短期的に最も重要な問題は、フォーマルおよびセミフォーマル検証技術が、もっと信頼性が上がり、扱いやすくなることである。特に、検証品質に対する意味のある測定基準と同様に、フォーマル検証ツールの処理容量と信頼性に大きな進展が必要である。長期的には、抽象レベルを上げることと、フォーマル検証の扱える範囲を広げることが、重点的な課題である。これらの長期的な課題は、実は現在も重要であるが、短期的な課題ほど危機的状況にはなっていない。一般に、すべての検証課題は SOC にあてはまる。MPU は、その最先端の複雑さと、飛び抜けて大量に生産される途方もなく複雑な設計の独自の経済性のために、独特な検証課題がある。結果として、長期と短期の両方で、異なる分野毎の検証課題と解決策が存在する。

**処理性能 (キャパシティ)** — 今日、検証技術はフォーマル検証とシミュレーション・ベース手法の、2つに大別することができる。両者には致命的な欠陥がある。フォーマル・ツールは中小規模の回路しか扱うことができない。シミュレーション・ベースのツールは、ほとんど制限なく複雑な回路をシミュレーションできるが、非常に長時間のシミュレーションを実行しても、ほんのわずかなカバレッジしか得られない。エミュレーションとラピッド・プロトタイピングはソフトウェア・シミュレーションに比べて桁違いの速度が出るので、高いカバレッジを得ることができる。しかしながら、その改善度は定数倍であり、設計複雑度の増大に比例するものではない。ポストシリコンのバリデーションは、シリコン・ハードウェアとアプリケーション・ソフトウェアからなるシステムの、全体としての機能の正当性に関するものであり、そのために、すべてのコンポーネントが一体として統合され、設計の最上位レベルの複雑さで動作するものである。この領域の課題は、新しい解決策を作り出すことで、おそらく、フォーマル検証とシミュレーション・ベースの両手法のよい面を統合することで、すべての設計階層において高いカバレッジを得ることができる。

**頑強性 (ロバスト性)** — 現在の検証技術で重要な点はその信頼性である。一方では、シミュレーション・ベクタ当たりの実行時間は、設計の複雑度に比例するので、シミュレーション・ベース手法はかなり予測性がよいと言える。したがって、我々が最も複雑なデザイン・レベルに向かうにつれて、シミュレーションの性能は直線的に減少する。エミュレーション技術も同じような傾向を持つが、シリコン・プロトタイプは常に信頼できる。もう一方で、フォーマル検証手法は、検証問題の複雑さに対応するために、ほとんど予測できない経験則に大きく依存している。どのような設計回路と検証アルゴリズムの組み合わせであっても、検証が完了するかどうか判断するのに、専門家さえ四苦八苦することがある。問題の大きさを測る共通の指標としてのトランジスタやゲート、ラッチの数は、フォーマル検証の複雑度とはほとんど相関がない。容易に検証できる数千のラッチを含む回路が容易に見つけられるのと同じように、既存の検証手法では検証できない100未満のラッチを含む回路を容易に

見つけることができる。このような予見不能性は、設計現場では受け入れられない。困難な検証課題は、検証工程をもっと確実なものにすることである。これが検証容易化設計(easy-to-verify design)手法となるには、検証アルゴリズムの経験則を改善するか、与えられた回路の検証困難度の特性解析の改良が必要である。

**検証の評価指標(メトリクス)** — 短期的に重要な検証課題として、検証の質を計る必要性があげられる。特に、カバレッジに対する考察が必要である。カバレッジの評価指標には様々なタイプがあり、それぞれに長所と限界がある。コードカバレッジは、シミュレーションの間に設計ソースコードのどれだけがシミュレーションされたかを測定したものである(例えばコードの行数や数式のカバレッジ)。その主な限界は、動的シミュレーション実行を静的なソースコードに対応付けていることにある。つまりシミュレーション実行時には、様々な実行可能なパスがあるために、存在する多くの潜在的な問題を見過ごすことにある。状態カバレッジや遷移パス・カバレッジなどの構造カバレッジは、設計の有限要素マシンに着目しており、どの状態がシミュレーションで確認されたかを測定する。しかし一般的に設計全体を 1 つの有限要素マシンとして扱うのは不可能であり、カバレッジの際にいくつかの有限要素マシンが対象となるだけである。このカバレッジは 1 つのマシンに対しては良い結果を与えてくれるが、複数のマシンの組み合わせにより発生する状態の組み合わせが考慮されないことが欠点である。機能カバレッジは設計の各機能を対象にしている。機能は設計毎に異なるため、検証チームによって設計仕様に基づいた明確な定義がされる必要がある。そのため結果の質はカバレッジの定義の質にも依存する。現状では、統一された環境下で機能カバレッジのための共通の評価指標がなく、それが求められているので、設計である一定レベルのカバレッジを得ることは、その設計で使われた特定のカバレッジ以上に、価値がある。加えて、機能カバレッジの測定単位を決める汎用的な方式がないので、設計手法をサポートし、設計時のガイドラインとして使える抽象的な基本モデルが求められている。結局のところ、検証用のカバレッジと統一された測定指標のために、テストに欠陥モデルがあるように、機能バグのモデルが求められている。

**ソフトウェア** — 複雑な SOC の検証は、ハードウェア・コンポーネントやハードウェアとソフトウェア間のインタフェース、システム上で動作するアプリケーション・ソフトウェアの検証が必要である。SOC のソフトウェア・コンポーネントは 1)アプリケーション・ソフトウェア、2)アプリケーションの実行を制御する OS のようにハードウェアから独立したレイヤ、および、3)ドライバのような低レイヤのハードウェア依存のソフトウェアに分類される。このようなシステムではソフトウェア・レイヤは機能として多くが提供されるため、SOC 検証の主要な課題は、ソフトウェアおよびハードウェア-ソフトウェア間のインタフェースをいかに検証するかにある。現在、ソフトウェア開発はデザインレビュー、解析ツール、テスト方法に関して、ハードウェア設計ほど厳格でない。ソフトウェアは本質的に検証が難しく、より複雑で動的なデータと巨大な状態空間を有している。今日最も一般的に使われているソフトウェア検証手法は「オンチップ検証」で、ハードウェア・コンポーネントの製品版でソフトウェアを走らせている。この手法はソフトウェアの本質的な複雑さから必要とされるもので、非常に高速にシミュレーションを行うことができるが、設計段階の最後にならないとソフトウェア検証が開始できない欠点がある。ソフトウェア検証向けの古典的なフォーマルな手法は、巨大な状態空間を持つシステムで、ソフトウェアアプリケーションをかなり大幅に抽象化したモデルを要求する SOC に広く適用するには、大変な手間を必要とする。ハードウェア-ソフトウェア間のインタフェース検証は、2 つの領域を同時に検証する必要があるため、それ自身が課題である。この作業を扱いやすいものにするには、インタフェース動作の適切な抽象化をする方法や、抽象化されたドライバレイヤでの正しさを確認する方法、抽象化されていないレベルでのドライバの正確な動作をアサーションチェックするツールが必要となる。短期的な課題は、基本的で低レベルのソフトウェア検証を可能とする技術を開発することである。長期的な課題は、ソフトウェアに適用する検証容易化設計を理解することと、ソフトウェアとハードウェア-ソフトウェア間のインタフェースの確実な検証手法を開発することである。

**再利用** — あらかじめ設計された IP ブロックは、非常に短時間でこれまで以上の複雑な SOC を組み上げることを可能にする。これに対応する検証手法の大きな課題は、既設計でかつ検証済みのブロックから組み上げ

たシステムの迅速な検証を可能にすることである。重要な問題は、IP ブロックの抽象的な動作を、いかに厳密に、かつ完全に記述するか、IP ブロックが仮定している環境的な制約をいかに記述するか、また検証を単純化するためにいかに階層を活用するかにある。いくつかの IP コンポーネントは、標準プロトコルの検証 IP から、汎用的な IP ブロックの抽象化されたモデル、ブロックの周辺環境からの制約をチェックするプロトコルチェッカ、トランザクション・ジェネレータまで様々な関連する検証 IP と一緒にして販売され始めている。しかしこれらはまだ初期的な試みであり、再利用設計手法を発展させるには、いかなる IP ブロックにも検証 IP が準備され、一貫して利用できることが必要である。IP ブロックに関連した検証コンポーネントに加えて、特定のプロトコル向け環境生成プログラムのような、独立した検証 IP も必要である。短期的な進展は、おそらくオンチップバスのような標準化された接続 IP に対するものからになるが、任意 IP ブロックのインターフェースに対する一般的な問題が、最終的に解決されなければならない。

**特殊な検証手法** — 設計検証での最大の課題は、今日開発中の設計に対応するには、現在知られているアルゴリズムによる解法では、能力の限界を超えていることである。短期的にこの課題を克服する唯一の可能性のある方法は、適切な検証メソッドを用いることにある。これに向けた現状の動向には、今日使われるようになってきている、シミュレーション・ベース検証とセミフォーマル検証の両方に対するカバレッジベース検証や、実装時に検証されるべきフォーマルプロパティ・セットが容易に得られるようになるフォーマル記述による仕様ドキュメント、そしてカバレッジモデルのテンプレート、があげられる。十分に確実に完全なメソッドを得るにはまだまだ多くの課題がある。抽象化の際に設計の重要な特性を見落とすことなく、設計部品やインターフェースなどに対して整合性の取れた抽象化を行う技術を得るための方法が求められている。フォーマル仕様記述が開発されているが、重大な限界はこの記述の完全性にあり、同一システム内の異なる IP 部品が、完全に独立した設計チームによって開発されている現状では、避けられない課題になっている。新しい検証手法は少しずつ受け入れられているが、設計内に基本的なフォーマルプロパティを入れることでさえも課題であり、そのためには設計のある特定の特徴を全体として理解しておく必要があり、開発チームにさらに工数を必要とする。最後に、検証メソッドは、適切に対処法を用意したとしても、完全さを保障するものではないが、開発リスクの軽減を目標にして進展している。

**ソフトウェアとトランジスタ故障** — ソフトエラーと永久的なトランジスタ故障の存在によるシステムの信頼性に関する情報を提供できる検証技術に対する深刻な必要性がある。業界の専門家は、過度のトランジスタ微細化によるシリコン基板の信頼性劣化を警告している。初期の解決策として、記録素子の SEU 故障に対する耐性を強固にする設計が利用可能である。さらに、非常に小さな面積コストを付加することで、(製造時、あるいは使用時において)永久的なトランジスタ故障を防ぐ研究レベルの解決策が提案されている。これらの解決策は、製造部品の高い欠陥率による歩留まり低下の防止にも展開可能である。

**検証容易化設計** — 検証をより効率的にする検証容易化設計の分野に特化した活動が既に見受けられる。例えば、ソフトウェアやハードウェアのデバッグの仕組みをシリコンへ組み込むことが可能である。設計の分析に基づいて適切な可観測性と可制御性を組み込むことでデバッグ機能を設計の中に実装できる。主な利点は、最終のハードウェア動作を機能的シナリオのシミュレーションと対比することで、これによりデバッグ時間を大幅に短縮できる。このコンセプトの継続的な商業化を進める業界で、この方向での顕著な開発があります。ハードウェア IO を接続し、シミュレーション・ベースのカバレッジデータベースにデータを集めるための AIP/データベースの標準化にはまだ長い道のりがある。またモニターの適切な配置を可能とする解析ツールが必要とされている。この方面では、自己検査機能付きプロセッサに関する取り組みが始まっており、小さなウォッチドッグプロセッサ、もしくは分配したハードチェッカのネットワークによりメインプロセッサが正しく実行しているかを検証している。ミックスドシグナル設計では、設計回路のアナログ部をバイパスするループバックモードの挿入により、完全なデジタル回路としてシステムを検証可能にしている。マルチスレッド処理のシステムでは、シンクロナイザが検証用チェックポイントを設定して探索可能な状態空間を減らすことにより、タスクが独立して同期ポイントを越えて進まないようにしている。MPU 設計では、シンクロナイザにより投機実行システムの検証の複雑さを軽減している。この分野での課題は、いくつかの重要な領域での検証容易化設計の技術進展とその導入にある。

積み上げ式にシステムを逐次詳細化していく設計手法の開発が行われているが、どのように詳細化行程が自動化できるのかは明らかでなく、一方で、人手の介在は設計エラーの発生源となる可能性がある。長期的には、設計手法に対する大きな変更が求められ、いくらかのパフォーマンスの低下が発生するであろう。

**検証容易化のための仕様表現** — 設計検証に対する継続的な課題は、設計に要求される動作をどのように表現するかである。現在可能な仕様記述は、汎用的な方法でこの問題を解くには力不足である。今まで以上に複雑な設計を表現するために使われる言語の開発には、何が仕様を明確にし、何が不明瞭にするのか、何が変更可能で何が手におえないのかということに対する、深い理解が必要である。例えば、仕様ドキュメントの首尾一貫性を自動的にチェックする方法が必要であり、それにより様々な仕様項目が競合する要求を出さなくなる。さらに設計者がこれらの仕様表記法を使って、常にフォーマルな仕様を作成できるように、トレーニングが必要である。

**新しい種類の同時処理** — MPU 設計はより複雑になってきており、新しい種類の同時処理が重要になってきている。既に検証の目を逃れた多くのバグは、キャッシュのコヒーレンスとその他の同時処理による問題に関係している。新しい設計は、チップレベルのマルチプロセッシングとオンチップ・キャッシュコヒーレンス・プロトコル、および同時マルチスレディングのような技術に対して、同時処理数を増加させることによって、検証のプロセスを非常に複雑にしている。将来、内部プロセッサレベルとマルチプロセッサシステムの両方または他のハードウェアとの関連で、新しい種類の同時処理が検証をより難しくさせるであろう。この新しいレベルの複雑度を理解するためには、新しい故障モデルが必要である。その解法として、相互作用の複雑さを軽減してコンカレント・プロトコルを検証可能なものとするために、おそらくハードウェアとソフトウェア技術の混在が必要となるであろう。

**高位抽象レベル** — 設計が RTL より高位な抽象レベルへ移行するに従い、検証手法も追従しなければならない。技術課題は、高位抽象度での検証方式を採用し開発すること、高位設計により可能となったシステムの複雑度に対処すること、高位レベルと低レベルのモデルの等価性を確認する手段を開発することである。この長期的な技術課題は、高位抽象化が検証(すなわち、言語が適切に定義されなかったり、不要に複雑なセマンティクスであったり、RTL モデルとのフォーマルな関係のないシミュレーション向けのモデルに依存した手法であったりした場合)を考慮せずになされると、ずっと難しいものとなる。

**デジタル以外の影響の検証** — 現在のところ、設計検証は主としてデジタルシステムの個々の動作に焦点を当てている。シリコン複雑度とシステム複雑化の両方への挑戦は、将来の検証技術に広範な種類の解析を要求する。シリコン上の集積回路システムの複雑さがVLSI システムの明解なデジタル抽象化を次第に不確かなものにしていく。アナログの電気的効果は性能に影響を与え、最終的には機能にまで影響するであろう。これらの影響を解析する既存のシミュレーション技術(SPICE)はあまりにも遅く、またデバイスの縮小によりプロセス変動の影響を受けやすくなるにつれて信頼できなくなる恐れがある。このため、マイクロプロセッサのアーキテクチャ・シミュレーションにおいてある予備的研究が行われており、高位アーキテクチャ・シミュレータはタイミングや電圧などの情報を得るために状況に応じた低レベルシミュレータと情報交換を行うことで、性能への影響を最小限に抑えながらシステム全体評価にフィードバックを返している。長期的には、複合型システム<sup>6</sup>として扱うデジタルとアナログの境界における、これらの問題を検証するためのフォーマル技術が必要となる。同様に、設計の最上位レベルでは、システムの複雑さにより、将来の検証タスクには(ネットワークプロセッサにおいてサービス品質を保証するように)アナログ的、確率的動作の仕様と検証の両方が求められる。これにより複合型システムと確率的検証が課題となる。

<sup>6</sup> 複合型システムは複雑な連続振る舞い(例えば、微分方程式モデル)と複雑な離散的振る舞い(例えば、有限状態マシン)の両方の振る舞いをする。この分野は古典的コントロール理論と離散的フォーマルベリフィケーションの両方から技術を借用している。

**異種混在システム** — シリコンウェーハ上にデジタル設計回路に並べて配置される新しい技術の開発が、まったく新しい課題を提起する。MEMS や電子光学デバイス、電子バイオデバイスなどがその例である。システムのデジタル部の検証を可能とするために、これらの新しい構成部品のデジタル部分と非デジタル部分のインタフェースと非デジタル動作を、適切に抽象化したモデルが必要となる。

**アナログミックスドシグナル** — 今日のアナログシステムは、連続システムに対する古典的な解析ツールや、周波数領域に対するシステムモデリングと解析によって、ほとんど検証されている。検証の大半は、設計後にアナログ実験装置を用いてテストチップを検証することで行われる。ミックスドシグナル設計は、検証作業をデジタル部とアナログ部に分けて行なう。将来は、ミックスドシグナル・システムがシリコン開発全体の中での比重が増すため、ミックスドシグナルの適切な検証メソッド開発が、この領域において重要となる。ここでの課題はシステムのアナログ部の検証をデジタル部の検証と結合させることにある。目標達成のための要求項目の1つは、デジタルシミュレーションとアナログシミュレーションの性能ギャップを埋めることである。

**逐次検証** — 今日、SOC の設計の多くは、既存の IP を再利用した限定的な再設計である。このような場合には、増分変更した部分に検証の範囲を限定することが望ましい。これは、既にシリコンで実証されている設計の一部に貴重な検証リソースを費やす必要がなくなります。このような冗長部分を決定して取り除くツールと手法が望まれる。大手 EDA ベンダーはこの方向で作業しているが、具体的な解決策はない。

**検証戦略の立案** — 典型的な SOC 設計サイクルにおいて、機能検証が約 75% のリソースを使っている。このため、検証戦略の立案が、設計生産性と検証品質の向上にとって重要になってきている。コストと設計生産性のトレードオフの取れた検証戦略には、次のような考慮が必要である。

1. システムレベル、サブシステムレベル、ブロックレベルのように、検証タスクを階層的に分離
2. 既存 IP やサードベンダの IP に対する検証手法
3. モデルチェック、等価検証、制約付ランダムシミュレーション、アサーション検証、ハードウェア・エミュレーションなど、それぞれの検証タスクにあった検証技術を特定。
4. SystemVerilog や Vera などの検証言語の選択と、VMM、OVM や UVM など EDA ベンダーの検証手法の選択
5. 検証タスクの優先順
6. 検証チームが検証タスクの実行に求められる幅広いスキルを持つように、検証エンジニアチームをトレーニングして構成する
7. SOC の成長に対して再利用可能なようにシステムレベル検証に対するソフトウェアを開発
8. アーキテクチャと性能に対する検証の統合、

表 DESN 8 Verification Strategy Planning

Optimized verification planning	
Current Practice (2011)	1. Verification strategy is decided ad hoc, based on experiences, skills, and risk aversion of verification engineers 2. Increasing shift towards assertions, which enables use of formal verification techniques 3. Virtual Prototyping is increasingly used for system verification, facilitating accelerated software development
Problem Statement	Verification strategy depends on individual experience and skills; there are no criteria or systematic flows to develop it
Difficulties	Dependence on verification engineers' skills and lack of criteria cause variation in design quality

<i>Short Term Solution</i>	Internal standardization as verification methodology is unified to UVM from OVM/VMM
<i>Long Term Solution</i>	1. Develop criteria of verification strategy for QCD 2. Promote platform-based design development and bring up verification methodology with UVM as the mainstream, to create designs of the same quality at high level
<b>Development of expert human resource for verification</b>	
<i>Current Status (2011)</i>	1. Few engineers can develop UVM verification environment 2. Many engineers can use assertions for dynamic simulation, but formal verification is too difficult for most engineers 3. Training of verification engineers is local, and not methodical
<i>Problem Statement</i>	1. Need new skills for new methodologies such as formal verification 2. Few engineers can handle many kinds of verification methodologies
<i>Difficulties</i>	Few skilled persons in verification causes increased TAT and declining design quality
<i>Short Term Solution</i>	Implement human resources programs for verification, e.g., promoting guidelines for IP verification
<i>Long Term Solution</i>	A system for developing verification engineers, understanding how different kinds of skills are learned, and how to measure skills

## 設計検証の解決策

図 DESN7 はこれまで述べた検討課題への重要な解決策を、その利用可能時期とともにまとめている。

First Year of IC Production	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026
<b>Verification methodology centered on verification IPs and</b>																
<b>Hierarchical hardware verification methodology</b>																
<b>Solutions for the integrated verification of hardware and</b>																
<b>Design development and structure, taking into account for</b>																
<b>Simulation and verification solutions for the detection and</b>																
<b>Reusable methodologies for functional coverage</b>																
<b>Concurrent verification of hardware and software</b>																
<b>Design specification formalized for verifiability [4]</b>																
<b>Verification of analog and mixed signal designs</b>																
<b>Incremental verification</b>																
<b>Verification strategy planning</b>																

Research Required  
 Development Underway  
 Qualification / Pre-Production  
 Continuous Improvement



図 DESN 7 Design Verification Potential Solutions

図 DESN7 の注釈

[1] これは高位 HW/SW 統合システムの検証技術を必要とする。現在の設計技術はシステムの機能を、ハードウェアで実装されるべき部分とソフトウェアで実装されるべき部分への分割プロセスの自動化に着手している。通常、その結果はシステムコンポーネントの高位記述であり、それらを組み込みソフトウェアとハードウェアのどちらで実現すべきかを示す。しかしながら、高位記述は複雑化しているため、この開発段階でのシステム検証(バリデーション)と、特に高位レベルでの通信プロトコルの正しさの検証ができる解決法が必要である。

[2] 言い換えると、検証に最適なハードウェア開発の技術

[3] 言い換えると、ハードウェア・レイヤと組み込みソフトウェア・レイヤとのインタラクションの正しさを検証する解決法。現状の利用できる解決法は2つのレイヤを別々に検証する: 1) ハードウェア・レイヤは古典的な有効性検証技術で大半を検証される、2) 組み込みソフトウェアはハードウェア(通常は開発中)のシミュレーションモデル上でソフトウェアを走らせることにより検証される。組み込みソフトウェアアプリケーションの急激な複雑度増加により、特別な解決法を必要とするますます差し迫った問題となっている。

[4] 仕様自身の検証を容易にするような設計仕様を開発のための(おそらくフォーマル)技術

検証 IP は、現在既に入手可能であり、検証工程の生産性向上のために進化しているメソッドロジのトレンドの一部となっている。将来、この手法は SOC 設計にサードパーティの IP が積極的に採用されるに伴い、もっと広く普及するであろう。上記で述べたように、ハードウェア-ソフトウェアの階層化と統合化メソッドロジを用いた解決策は、既に研究されており、今後 2,3 年のうちに入手可能となるであろう。表に示したその他の解決策は、現在、まだ概念段階にある。前の節で述べたように、検証容易設計の開発、ソフトウェアや永久的なトランジスタの欠陥を訂正するフォーマルな手法は、MPU 領域で初期の実験段階にある。構造的機能カバレッジと仕様に関する技術が本流の解決策となるのはまだ先であるが、これらは設計と検証の生産性のギャップを埋めるために重要な技術になるであろう。表 DESN8 は設計検証への要求と解決策の対応関係を示している。

表 DESN 9 Correspondence Between Design Verification Requirements and Solutions

Requirement	Solution	Explanation of the Correspondence
Productivity of verification tasks	Verification methodology centered on verification IPs and reuse	Verification IPs and reuse reduce the amount of new verification development required in a project
	Hierarchical hardware verification	Structured methodologies improve design team productivity
	Reusable methodologies for functional coverage development	Functional coverage is time-consuming, and specific for each distinct design; development of reusability techniques is critical to boosting productivity
	Concurrent verification of hardware and software components during development	Advancing the verification of hardware in parallel with that of software components can significantly shorten time-to-market of a product, in contrast to methodologies that begin software verification only after the first hardware prototype
Formal and semi-formal verification centered methodology	Hierarchical hardware verification methodology	Enables the decomposition of the system into smaller blocks which are suitable for formal verification
	Design development and structure taking into account verifiability	Design for verifiability organizes a design so as to simplify verification; additional verification-specific hardware structures further simplify design-time verification tasks
Methodologies for system-level verification	Verification methodology centered on verification IPs and reuse	Verification IP components enable an early start on system-level verification
	Integrated verification of hardware and embedded software and their interface	Directly provides solutions for effective system-level verification
Portion of design specification formalized for verifiability	Design specification formalized for verifiability	Formal languages and methodologies to support the formal specification of a design

<i>Requirement</i>	<i>Solution</i>	<i>Explanation of the Correspondence</i>
Escape rate after tapeout	Design structure taking into account verifiability	Development of hardware structures (checker-like) which can be used to detect and correct a system entering an escaped erroneous configuration after customer shipment
System integration bug rate	Analog and mixed-signal verification	Limits the bug rate due to analog effects
	Simulation and verification solutions for the detection and correction of soft failures and manufacturing faults	Manufacturing faults occurring in post-silicon are detected at system-level integration; techniques to detect and correct electrical and transient defects reduce the effort required to expose and correct these problems
	Hierarchical verification methodology	Supports management of complexity through decomposition
Functional coverage	Reusable methodologies for functional coverage development	Reusable functional coverage solutions leverage the coverage development effort and boost quality of results
Incremental verification	Tools and techniques for determination of redundancy in verification	Such tools and techniques will allow for elimination of redundancy from re-verification efforts
Verification strategy planning	Concrete decision making criteria, common platform, specialized training for verification discipline	A clear decision making process within the framework of a common platform with uniformity in skill level of engineers will facilitate successful execution of verification strategy

## テスト設計

ナノメータ・プロセス技術、ますます高くなるクロック周波数、アナログ・デジタル・RF 混在の回路、そして高密度に集積化された SOC、3D ダイ・パッケージ、SIP は困難な課題を DFT (Design for Test) に直面させる。テスト産業は、コンポーネント・ベース設計に適合する高位テスト合成から、非常に高性能なアナログや RF システムのためのノイズ、干渉、消費電力にいたる多様な問題に対応していかなければならない。それらの多くのテスト問題は、設計初期段階から最適なテストビリティを考慮し、DFT を組み込んだ場合に限り解決できる。さらに、初期解析結果が変わり、後で複数のテスト検証が必要となり、さらに設計とテストの一体化が必要となることもある。論理－回路－物理設計、そして設計検証における成果やその結果(設計フロー、ベクター、故障モデル、感度)はテスト設計においても再利用される。メモリ、DSP、PE、SOC、アナログミックスドシグナル/RF、そして MPU といった様々な製品セグメントの種類を越えて高度なテストの課題、つまりオンチップ DFT、BIST (Built-In-Self-Test)、テストビリティの拡張、ならびに製品開発の計画段階において、量産用テスト装置の計画事前検討を必要とする。

DFT への技術要求とその解決策候補は、対象としているサブシステムの特徴によって大きく変化する。それにもかかわらず、SOCも SIPも安い製造コストでかつなるべく性能を落とさずにテスト可能とするためにシステムレベルで統合しなければならない。この節では、システムドライバを共通のフレームワークとして用い、DFT への技術要求と解決策を記載する。

表 DESN9 は詳細設計技術に基づく 5 つの主要なシステムドライバであるアナログ/ミックスドシグナル/RF ドライバ、MPU/PE/DSP ドライバ、メモリドライバ、汎用 SOC/SIP ドライバ、そして高信頼性システム用ドライバへの DFT への技術要求を要約している。「微小遅延故障」や「ブリッジ故障」のような新たなデジタル回路の構造テストが超高品質/高信頼性が要求される複雑なデジタルデバイスでは重要視されつつある。これら故障モデルにおける目標検出率は、表 DESN9 に示していない。

表 DESN 10 *Design for Test Technology Requirements*

**アナログミックスドシグナル/RF システムドライバ** — アナログ、ミックスドシグナル、RF サブシステムは、コンポーネントの I/O スピードとともに、コア部のクロック周波数やトランジスタやアーキテクチャの性能などのシステム性能として重要になって来ている。今日、業界は 5GHz を超える RF の計測に関して深刻な問題に直面して

いる。コンタクトや治具による信号劣化のためにウェーハレベルで 5GHz を超えるテストを正確に行うのは非常に難しい。パッケージ後のテストでも高周波数はテスト課題となっており、10-300GHz の高周波数のミックスドシグナル回路を低価格の生産テスト装置でフルにテストおよびキャラクタライズできるような手法を是非とも開発しなければならない。同時に、新しい I/O プロトコルを導入して、数 GHz レンジにまで拡張する必要がある。これらの I/O スキームは高速であるのみならず、また非常に複雑である。実際、ソースの同期、変動、同時双方向の動作が、Gbit/s のレートでしかも、Vdd の 1/10 のレベルで電圧が変動する。従来の ATE とコンポーネント・テストツールは GHz 近くのレンジでの共通のクロックベースのテストと I/O 計測で構成されている。したがって、I/O 速度増加とプロトコルは、設計検証と製造段階でのテストの両方で、ATE 装置、インタフェースハードウェア、テストソケットなどの器具、材料、コストに多大の影響を及ぼす。この変化点は、特に I/O に対して、広範囲の業界の技術開発とチップ上のテスト可能性の応用を要求することになる。

これらのアナログ、ミックスドシグナル、RF サブシステムに対する DFT 技術は活発に研究、開発されているテーマであるが成功のためには、この DFT 技術は、設計工数を削減し、ノイズ除去と同じように頑強性を改善するために、可能な限り多くのデジタル回路を使用すべきである。これらの DFT 手法を使った結果は、それが Pass/Fail インディケータであっても、パラメトリックな測定であっても、信頼性と設計者の受け入れを獲得するために、標準的な仕様ベースのテスト手法との相互関連を取る必要がある。

アナログ、ミックスドシグナル、RF の信頼性は、誘導時間の過剰や動作環境による、パラメトリックな減衰によりさらに重要になっている。パラメトリックな問題に対する包括的な理解には、回路に対するうまく作成された故障モデル、特にソフト故障、ノイズに誘導される性能問題(クロストーク、基板ノイズ)、プロセスばらつき、熱効果などが要求される。故障モデルは、それが可能であれば常に、欠陥モデルと物理的に関連付けがなされていなければならない、それによってプロセス品質と制御が、欠陥を削減ないしは消去できるように改善でき、また歩留りを改善できる。アナログテスト手法(アナログの自己テストを含む)のテスト品質を計測し得る意味のあるパラメータを開発することが極めて重要である。多くのアナログ故障は、時間、電圧、フェーズなどの連続量のパラメータが、仕様の範囲からはみ出すことによっており、製造のばらつきや不整合から生じている。効率的で効果的なアナログの故障グレーディングとテスト生成のための故障モデルが必要となる。アナログ、ミックスドシグナル、RF の設計では、故障シミュレーションの計算複雑度を最小化し、同時に高いシミュレーション精度を維持する EDA ツールが必要である。アナログの故障モデルとプロセスの欠陥モデルを合わせこむことは非常に困難だが、SOC や SIP 上にアナログ、ミックスドシグナル、RF サブシステムを搭載した将来の製品のためには最高に重要なことである。

これらの要求に対する解決策候補は、サブシステムの数だけ多数ある。アナログ、ミックスドシグナル、RF の DFT の問題を解決するために、業界と大学で様々なアプローチが開発されてきた。それらの多くは、例えば PLL、ジッター-BIST、コンバーター-BIST、トランシーバー-DFT などの特定の製品要求にフォーカスするものが多い。DFT の手法は製品種類毎にそのシステム設計とテストが最適化されるように選択するべきなので、アナログ、ミックスドシグナル、RF の DFT 手法の一本化は期待も切望もされていないが、すべての DFT 手法に共通の本質的に重要な機能が、システムレベルの解決策としては絶対必要である。すべてのデジタル DFT 手法は、頑丈であり、設計が容易であり、インテグレーションが容易であり、そして CAD ツールの開発やサポートによる開発が容易であるため、解決策として広く使用され続けるであろう。現在の DFT 手法では、まだ機能テストとパラメトリック・テストが主流であるが、これらのテストとの良い相関が示されれば、ストラクチャー・ベースの DFT が今後の長期的な解決となる。ストラクチャー・ベース DFT 手法が本質的に有利なポイントは欠陥と故障についてのより深い理解が得られることにあり、これによって品質改善とコスト削減というどのシステムでも最も重要な 2 要件が達成される。

一つの DFT 解決策は、コンピュータと通信をシームレスに統合する現在の設計技術を組み込むかもしれないが、オンチップ DFT サブシステムである制御と通信のための無線部のラッパーを使用することである。オンライ

ンモニタリングが可能になり、外部テスト環境との交信が標準化され、テスト・アクセスの問題は内部的には軽減されるが、一方では、チップ面積、消費電力、ノイズ、回路生成における追加負荷などの設計パラメータとの固有のトレードオフが存在する。アナログ、ミックスドシグナル、RF の DFT への複雑な課題を解決するには、創造的な解決策とシステム設計者からテスト・アーキテクトにいたる慣習に捉われない思考が要請される。これらの DFT 解決策は、複雑なシステム・インテグレーションにおける、アナログ、ミックスドシグナル、RF のテストがボトルネックを避けるために、時宜を得たタイミングで開発されなければならない。

**MPU/PE/DSP システムドライバ** — 近年の GHz のクロック周波数によりデジタル DFT や BIST でカバーされない新たなテスト課題が出てきているとはいえ、これらのシステムドライバは DFT や BIST、また IDD<sub>x</sub> のような手法については成熟している。ジッターや位相ノイズに対する高周波数クロックでのテストの課題は、先述のミックスドシグナルないし RF の全体的な問題の一部として考慮し得る。論理設計の観点からは、MPU/PE/DSP/メモリ システムドライバに対する要求は良く理解されており、過去 10 年間に多くの課題が DFT と ATE のコミュニティによって成功裡に解決されてきた。将来のことを考えると、より良いデジタル DFT カバレッジを含む主要な要求は、ビルトイン DFT ないし全体的な DFT 手法の一部でなければならない。このビルトイン DFT は、固有のブロックの機能、設計のスタイル、ハード故障、ソフト故障、パラメトリック故障のような故障検出のような特定の目標に依存して幅広く変化し得る。カバレッジを著しく改善する必要のある、デジタル・パラメータの二つの例は遅延と消費電力であり、このパラメータのテスト手法を改良するために、DFT と BIST の改善が重要である。故障、欠陥、テストすべきパラメータの広範囲に渡るカバレッジのモニタリングは全体的な DFT や BIST の手法に組み込むことが重要で、特に目標となるパラメトリック減衰や信頼性要求がモニタリングされなければならない。動作環境の中での、オンラインないしはオフラインのカバレッジのモニタリングは、可能性のあるサブシステムの故障を予測したり、分離したりするのに本質的な役割を果たし、それにより故障の修復が適時に実行可能なる。高度に複雑なデジタル・サブシステムのパラメトリック故障による歩留りと製造欠陥を改善するために、フォールトトレラントで修復機能を有する DFT 手法が要求されている。論理システムのための DFT と BIST フレームワークの統合的なゴールは品質でなければならない。

マルチコア MPU デバイスや多数のコアを持つコンシューマ用チップの出現により、テスト時間とコストを削減するために良く似たコアや構造のコンカレント・テストができる DFT が必要になっている。実装時のトレードオフに電力、例えば急激な電流変化を抑えるため複数の位相(スタaggerド・フェイズ)を使うなども考慮されるであろう。コンカレント・テスト手法で詳細情報のない単にデータ圧縮の結果としてグローバルな故障結果を示すのではなく、故障解析の結果の正確な位置が示されなければならない。

ここでのドライバに分類される多くの論理システムには成熟した解決策が存在している。残されている課題は、ブロックレベルの解決策よりも、むしろシステムレベルの解決策への要求である。上述で指摘したように、デジタルシステムの性能に関わる幾つかのクリティカルなパラメータ(遅延、消費電力、ジッター、動作温度など)は、未だに有効な DFT の解決策を求めている。これらのパラメータをキャラクタライゼーション・テストと量産製造テストの両方で決定するために、コスト効率の高い DFT や BIST の手法が非常に望まれる。統合されたキャリブレーションと修復機能を提供するような解決策が、電子システムの設計とテストアーキテクチャの全体に極めて重要なものとして現れるだろう。今日の故障中心の DFT/BIST 手法と、新しいデジタルのパラメータ中心の DFT/BIST の両方を使って、システムテストの設計者は、思い通りに様々な手法を有効に活用することで、システム全体に及ぶ結合した DFT/BIST のアーキテクチャを作り上げなければならない。つぎはぎ的なテストアーキテクチャやいい加減なテスト統合は、テスト時間やテストデータ量に関して、ロジスティクスや実行計画に問題を起こしがちで、それは DFT/BIST の有利性を減じることになる。

**メモリ システムドライバ** — 近年の超大規模メモリブロックが新たなテストの課題を提起しているとはいえ、メモリ システムドライバは DFT、BIST また選択的なテスト手法に関しては、さらに成熟している。これらの新たなテスト課題、例えば新しい故障のメカニズム、リード/ライトアクセス時間の不安定性など、は前述のミックスドシ

グナルのテスト要求の全体的問題の一部として考慮することもできるが、メモリの規模が巨大なので、SOCに統合されたレベルでの分離された問題となっている。メモリ設計の観点からは、テストの一番重要な要求は歩留りの改善である。冗長でフォールト・トレラントな故障訂正設計手法が、このテストに関わる問題については非常に大きな貢献をしてきたが、メモリブロックのサイズが増大するに伴い、歩留りの問題は、適切なメモリセルの設計だけでなく、仕様の範囲内でのメモリのタイミング性能を包括するようになってきている。すなわち、歩留り改善のためのDFTは、物理的な品質とメモリブロックのタイミング性能の両課題を満たすような手法を提供しなければならない。

**高度に統合された一般的なSOCやSIP設計** — 既設計ブロックを大規模なデバイス上に統合していくことで、それらのブロックが単一種類(すべてが論理ブロックとか)であったとしても、線形を超えた複雑度の増大を設計ツール、DFT、そして製造時テストにもたらす。ますます、多様な種類の回路ブロックが統合されつつある。論理ブロック、SRAMそしてDRAMは近年では共通して統合されてきたし、今日ではアナログ、ミックスドシグナル、RF、また不揮発フラッシュ回路が論理ブロックやRANと組み合わせられて来ている。ニューラル・ブロックを用いた人工知能(AI)はニューラルの学習プロセスがあるためテストにさらなる課題をもたらしている。統合されたデバイスについての、シリコン複雑度やコストは比較的予測可能である。しかしながら、搭載されたブロックとデバイス種類が混交であることで、テスト可能性や設計検証、また製造時テストに対して、線形以上で予測不可能なコストの増大をもたらしている。大規模な論理ブロックとして丸々搭載されているASICやMPUマクロでは、この問題は既に顕在化しており、実際製造時のテストのコストがシリコンコストを超えている。DFTをとってさえ、そのコストは線形以上になる。この節で述べるDFT/BIST要求は、先行する三つのシステムドライバでカバーされたブロックレベルのDFTの単なる寄せ集めではないことを、ここで強調しておきたい。システムの範囲に拡大されたDFT要求と、その解決策は、DFT/BISTの全体的なロジスティクスとスケジューリングの解を提供しなければならないし、ブロックレベルではカバーできない、ないしは見過ごされるテスト機能を含んだものでなければならない。

システムのレベルでは、DFTはチップ上のそしてシステム内のテスト生成とテストアプリケーションの手法を提供し、それによってテスト時間と外部ATEを使ったテストボリュームの負担を軽減しなければならない。テスト生成の専用ハードウェアと組み込みアルゴリズムは、テスト・アクセスの必要性を削減し、DFT手法の推奨であるシステムのレベルでのBISTへの基底環境を提供する。アナログ、ミックスドシグナル、RFサブシステムのDFT技術の改善に伴い、テスト生成とアプリケーション資源は、システムテストの環境にスムーズに統合されなければならない。DFTによって検出される故障(いくつかの種類ハード故障と多くの種類のパラメトリック故障)は、歩留り改善とタイムツーマーケット時間短縮のために修復または許容範囲内に収められるべきである。したがってDFTとシステム設計メソドロジーは、DFTと協力してこの修復機能を提供しなければならない。さらにグローバルで魅力的なDFTの側面は、本来の場所での計測とフィードバックを通してのキャリブレーション機能にある。プロセスばらつきやデバイスの不完全性に対してして、システム性能を調整するために、設計者によって採用されている多くのキャリブレーション手法は、DFT手法と本質的に等価なものとして同一視できる。システムキャリブレーションのメソドロジーとしてDFTを使用することで、設計者が設計とテストの緊密な連携を取るようになることが促進される。オンラインの測定、フィールドリペア、性能低下の修復などは、包括的なDFTメソドロジーによって対処が可能になる基本的な性能要求である。

組み込みブロックのテストは、組み込まれていないブロックのテストと比べて桁違いに長いテスト時間をかけるべきでない。メモリ、ロジック、アナログ、ミックスドシグナル、RFの各々に対するテスト手法、ATE、製造インテグレーションは、独自の最適化のために根本的に異なるスタイルをとっており、統合してテストを行った場合には、そうしたスタイルが破綻することがある。DFTは統合した場合の全コストが統合しない場合のコストより高くないように、テストコストに関しても考慮すべきである。

DFT統合への様々な障害により、チップ面積、テスト目的のI/O配置、消費電力、バンド幅、信号感度などの

システムインパクトに関して、DFT は金がかかるという認識が広くあった。アナログ、ミックスドシグナル、RF と超高速のデジタル・サブシステムを SOC や SIP に統合することで、リーク電流や、ノイズ、ノードの負荷などの DFT によってモニターされるべき難しい課題が生じる。バンド幅の損失や付加的なノイズなどのシステムパフォーマンスへの DFT の影響は、定量化され十分に予測されなければならない。それによって、統合されるべき DFT 手法の早期の利点とコストの競合がスタディできる。DFT 手法は、さらに低感度のノードのモニタリングや間接的なテスト結果の見積り(例えば、故障検出やパラメトリック計測)にも注力する必要がある。

DFT の最大の貢献は、テスト量とテストコストの低減にある。この DFT の貢献は、SOC/SIP のレベルで実証されるべきである、というのはこのレベルでテスト量とテストコストがはっきりと、そして容易に計算できるからである。表の中のテスト量削減の目標値は、システム内の特定のブロックに対するテスト量やテスト時間ではなく、全体システムをカバーするテスト量とテスト時間である。テスト時間やテストコストは、ATE と非常に強く関連している、というのは DFT や BIST があっても、なお ATE がテストでは重要な役割を持っているからである。様々な DFT 手法と ATE との間のインタフェースはきちんと定義しなければならない、それによって固有の製品のテストが要求する異なった DFT と ATE の選択と組み合わせの自由度が許容される。テストアクセスポートやその他のテスト関連の標準である IEEE1149.1(IEEE Standard Test Access Port and Boundary-Scan Architecture), 1149.4, 1450(IEEE P1450.6, Draft Standard for Standard Test Interface Language(STIL) for Digital Test Vector Data—Core Test Language), 1500(IEEE Std 1500-2005, IEEE Standard Testability Method for Embedded Core-based Integrated Circuits.)が整備されているとはいえ、広範はシステムレイヤ(動作物理的なレイヤ、データ通信のレイヤなど)に拡張された包括的な DFT/ATE インタフェースプロトコルが確立されるべきである、それができれば DFT 手法の貢献と ATE の可能性をフルに活用できるようになる。

SOC/SIP の DFT/BIST の全体的な課題に対する解決策は改良され、非常に早いペースで考案され続けている。SOC や SIP の中のテクノロジーや、サブシステムの設計手法の多様性は、テスト生成ツールと DFT/BIST ツールがデジタルテスト手法(故障、欠陥、パラメトリックベース)とアナログ、ミックスドシグナル、RF テスト手法(機能、パラメトリックベース、将来的には故障、欠陥ベース)が統合されることを要求している。

この解決策は、システム複雑度、設計工数、タイムトゥマーケット、そして全体のテストコストを低減するために、設計やテストプランニングのツールと伴って開発されなければならない。いかなる階層のレベルでも、効率的なシステム解決策が、設計者にとって使用し得る互換性のある DFT/BIST を提供しなければならないし、設計の進行に応じて設計者の様々な選択と統合されなければならない。全体的な解決策は最終的には、設計とテストの両方の最適化を密に反映した統合でなければならない。

効率的なシミュレーションモデルとツールは、すべての設計とテストのプランニングに内在するものであり、テストソリューションの一部でなければならない。特に、システム性能に関わる DFT/BIST の影響を見積もることにおいてそうである。シミュレーションツールは、設計の工程が様々なレベル(動作、回路、レイアウト)を進行するにしたがって、DFT/BIST の影響の見積りを提供し、それによって、最も適当な DFT/BIST の手法が選択できるようにしなければならない。全体を通じての効果指標は、システムテストとカバレッジ(故障、パラメトリック、機能、ないしはそれらの組み合わせ)である。それは、DFT/BIST の一部として算出されるべきであり、テストの間と動作の間の両方において観測されるべきである。オンラインでカバレッジが観測できる機能は非常に強く求められており、最終的には製造品質の改善を可能にする故障の統計や欠陥の統計に関連付けができるようなカバレッジの統計のアルゴリズムが開発されなければならない。

システム全体に及ぶ DFT/BIST 解決策の中で、最も議論的になるのは確実に、チップ上の DFT/BIST 機能と ATE の間のインタフェースである。多くのテストプロトコルが少なくともデジタルシステム用には存在しているし、近年ではミックスドシグナル・システムについても存在している。しかし、SOC/SIP の全体に渡るインタフェースの標準は、現状では欠落している。テスト・リソースの分割方法は業界中で大きく異なっているため、

DFT/BISTとATEの間のインタフェースは十分に定義されていなかったが、将来の解決策においては、以下の二つの重要な要件に関して、このインタフェースの定義を持たなければならない。一つは、厳密で明確な定義によって、システムテストにおける様々なATEの可換性や効果的使用が可能になること、もう一つは、柔軟なインタフェースの定義によって、電子システムの設計とテストアーキテクチャの制約が解消されることである。

**高信頼性システム用ドライバ** — 先端テクノロジノードにおける高度に複雑なデバイスにおいては、システム複雑度のみならず欠陥率が増加するため、上記の解決策は十分でない。バーインのような高価な手法を用いても、生産時テストでは検出できない潜在欠陥が、デバイスの使用期間中に故障を引き起こす可能性がある。このため、テストは、生産時テストから、システム使用期間中も対象とするテストに、拡張する必要がある。これを、システム組み込みテスト(in-system test)と呼ぶ。

システム組み込みテストは、システムの起動時またはシャットダウン時に実施されるであろうが、実行中にも実施されるであろう(例えば、1秒間に1回、数ミリ秒のテストを実行)。ロジック/メモリBISTや、システムCPUで実行するソフトウェアによる自己テストのような古典的手法が使用されるであろうが、複雑な制御ロジックを追加する必要がある。このBIST回路は、通常の生産時テストでもテストコスト削減のために使用される。故障検出時に、フェイルセーフモードに移行したり、冗長回路を用いてチップ上で修復したりするデバイスが現れるかもしれない。これらの解決策は、現時点では自動車用途で牽引されているが、将来は他の用途にも拡大されるであろう。

**3DIC** — 3DIC技術の導入は、DFTにおける深刻なチャレンジとなる。積層前に、チップに対するテストと選別を実施しない場合、従来型の同等面積のチップに比べて、積層時の歩留まりが低くなるであろう。このため、積層前に良品ベアチップ(a known good die)における品質標準に基づく選別相当の実施が必要となる。3D実装では、この追加テスト工程におけるコストを削減するための解決策が必要である。加えて、執筆時点において、TSV歩留まりが低すぎるため、TSVも積層前にテストする必要が生じるであろう。冗長性が要求されるかもしれない。低コストのプローブまたはBISI手法が要求されるであろう。

## 製造容易化設計(Design For Manufacturability (DFM))

ばらつきの増大に伴い、マスクコストとデータ量の爆発、そしてリソグラフィ装置の限界が集積回路の製造容易性での重大な設計課題を引き起こしている。

**アーキテクチャでの課題** — 回路の歩留りを満足することが困難なためにアーキテクチャでの冗長性が必要とされるであろう。この抽象度ではこれ以上のことを行うのは難しい。

**論理と回路での課題** — デジタル、ミックスドシグナルでの適応型回路の必要性は増すであろう。消費電力、タイミングの収束性を含んだ、統計的な設計が基本となる。ただ、実際に設計を行うには、以下の重要な2点を明確にすることが避けられない。

- 1) 統計的設計ツールへの入力となる、キャラクタライズとモデリング
- 2) 統計的解析から、さらに計算複雑度の高い最適化への発展

最終的には、統計的解析ツールと統計的最適化手法は、大雑把で精度的に疑問のあるモデルではなく、実際の製造と設計に起因するばらつきを反映することが必須である。統計的解析と最適化の過程での種々のばらつきの合成は、プロセスのキャラクタライズでの統計的なメトロロジを通じての初期の分解手法と統合が取れていなければならない。合成と分解の不整合があると、不必要な誤差と、疑問となる値に陥り、結果として計算コストが嵩んでしまう。

**レイアウトと物理設計での課題** — 最初に、デザインルールチェックの複雑度が急速に増大する。ルールは2

層構造(要求ルールと、推奨ルール)へと展開して、さらにはおそらく3層構造かあるいは、層のない構造(合否ルールではなく、設計者がテープアウトでの基準として適応できる、歩留りと面積コストのパレートカーブを提供する)へと進むかもしれない。このチェックは、設計者にその複雑さを意識させないことが必要である。2番目に、リソグラフィ装置における解像度の限界のためにRET(resolution enhancement techniques: 解像度補正技術)の影響をさらに明示的にデザインフローに適応することが要求される。RET ツール、例えばOPCや、CMP(化学的機械研磨処理)でのフィル挿入はタイミングや消費電力などの回路的な指標を明示的に意識する必要がある。それにより、全体として、目的に沿ったツールの整合性を保ち、歩留りの向上を可能とし、製造コストの削減と、マスクデータ準備のための時間を改善することにつながる。例えば、クリティカル・タイミング・パス上の図形に対してのみ、最も積極的なOPCを適用する。このアプローチは必然的に密接な統合フローとなり、回路的な意図を下流へ伝え、個々のツールの勝手な修正による精度劣化を防ぐ。結果として、レジスタトランスファーレベルからGDSデータ(RTL2GDS)へのフローにおいて、適切なRETやOPCの修正を下流へとつなげるようにプランニングする必要がある。例えば、大域のおよび局所的層密度は、概略配置レベルでダミー挿入が必要になる場所を判断する必要がある。これによりCMPフィルの事前配置が可能となり、挿入したCMPフィルの容量をクリティカルネットの情報とともに、最終レイアウトフェーズ、マスクデータ生成(mask data preparation, MDP)およびOPC工程に伝達し、これら工程で考慮することが可能となる。

**設計課題としての歩留り予測と最適化** — ここでのレイアウトの基本ルールは、もはや”固定値”ではない、なぜなら固定値の意味するのは、設計の改善よりむしろ設計の許諾を意味するためである。適切な歩留りの成熟を得て、急峻な歩留りの立ち上げを可能とするには、有意義な設計ルールの緩和の戦略を用いることが必要となる。これらの”推奨ルール”は、設計レイアウトとウェーブプロセスの要求、例えばアライメントの許容度、光近接補正、RET向上やその他多くの制約との間の相互の関係から得られる。設計過程において歩留り、面積、そして速度の相互の影響が分析され、かつ商用的な有用性のトレードオフが得られる必要がある。機能的およびパラメトリックな歩留りに対するDFM対策は、設計の後処理(これは往々にして限定的な結果しか得られず、かつ多くの場合、処理時間がかかる)としてではなく、むしろ設計フローの中で新たな最適化機能として統合されるべきである。この意味するところは、歩留りの予測を、設計のプランニング、合成、配置、配線などのツールへ統合し、歩留り、パフォーマンス、消費電力、信号の完全性、そして(歩留りとの関連で明示的に新たな設計指標としての)面積などのすべての設計目標を考慮することを意味する。つまるところ、歩留りはプロダクト固有の設計属性と、プロセス固有の故障可能性の両者の関数である。そのため、ある特定のプロセスの限定的な故障/マージンのパターンを緩和するために最適化された設計は、異なるプロセス条件では事実上、歩留りが低くなる可能性もある。そのため、配置配線ツールにおいて、異なる実装での歩留りコストの正確な評価を可能にするには、実際のターゲットプロセスでの論理ライブラリの正確な歩留りモデルを事前にキャラクタライズしておくことが必要となる。ライブラリの歩留りモデルは、プロセスの立ち上げから成熟段階に渡り頻繁に更新を行うことが必要である。

**3DICでの課題**—3D技術の導入により新たなDFM課題が生じる。これはシリコンとTSVメタル間におけるCTEミスマッチにより積層したチップに生じる新たなストレスが原因である。

表 DESN10 は、上記の主要な課題を、DFM 要求として定量化したものである。

表 DESN 11 Design for Manufacturability Technology Requirements

DFMとしての要求は、次に掲げる2つのカテゴリに分類される。

**経済原則に立脚する要求**—このカテゴリはマスクコストを含み、これは数百万ドルのレベルに達し、そのため小さな会社や、新興マーケットの団体から実現されるシステムオンチップの技術革新を危うくする。

**ばらつきや、リソグラフィ限界からの要求**—このカテゴリは、デバイスや配線と直接に関連している下流レベルの抽象度での限界と、設計される回路全体に関連する上流レベルの抽象度での限界を含んでいる。下流レベルにおいては、定量化された要求値として、(オンチップ回路に給電される)電源電圧のばらつき、(ドーピング濃度のばらつきと全体トレンドの両者の影響としての)最小サイズのメモリデバイスおよび典型サイズの論理デバイスにおける閾値電圧のばらつき、そして CD(Critical Dimension)ばらつきの割合などが含まれる。上流では回路パフォーマンスのばらつきの割合(回路でのクリティカルパスのように、チップ全体のパフォーマンスを決定する回路速度の不確かさの割合)や、回路消費電力のばらつきの割合(アクティブと待機状態での両者の電力を含む、消費電力の不確かさの割合)を要求として持つ。

経済上の主要因であるマスクコストは、以前から検証することが困難であった。マスクコストと TAT の削減のブレークスルーを達成するための研究が必要とされる。そのようなブレークスルーがないため、次善策として、マルチプロジェクトウェーハ、コンフィギャラブルロジックやストラクチャード ASIC が提供される。ばらつきに関して、CD コントロールのような”プロセスレベル”のパラメータや、供給電圧のような”回路レベル”を含んだ様々なパラメータやその目標値は設計で制御される。(素子の領域を反転するチャンネルドーピングの影響を含む)閾値電圧のばらつきのような他のパラメータは不可避に増大し、結果として 10 年後か、それ以前に危機的な状況となる可能性を秘めている。もし根本的な新しい解決策が発見されなければ、プロセスレベルからデバイスレベル、回路レベルへとパラメータを上流へ伝達することによって、非常に大規模で総合的な回路性能や消費電力の変動に対処する必要がある。

表 DENS10 で予測されるばらつきの増大の結果として、(1)従来からある、製造欠陥による回路構造の変化による致命的な(ハード)不良 と (2)素子や配線のばらつきに関連するパラメトリックな(ソフト)不良との区別が曖昧になっている。例えば、小さい MOSFET デバイスにおいて、不純物のランダムな不均一性を原因として、閾値電圧のばらつきが増大し、SRAM セルは 1 つの論理地に固定化する現象が過去何世代かに渡って生じている。この現象により、SRAM セルが 1 つの論理値に固定化され、書き込みテストにおいて、その特定 SRAM セルをフェイルさせる。このような現象は 65nm ノードにおける SRAM でも広く見られるが、さらに顕著となり、他のクリティカルな回路種であるラッチやレジスタでも発生し得る状況である。このような不良の原因は下記のように分類される。

- ・ **プロセスばらつき:** チャンネル長、閾値電圧、キャリア移動度などのデバイスパラメータの統計的ばらつき。チャンネル長のばらつきはライン端の粗さ(Line Edge Roughness)や他のパターン精度に起因し、閾値電圧や移動度のばらつきは主に不純物のランダムな不均一性に起因する。
- ・ **寿命のばらつき:** 物理パラメータの変化による回路の動作寿命のばらつき。最も顕著なものは NBTI (negative-bias temperature instability) による  $V_{th}$  の変動や、HCI (hot-carrier injection)、TDDB (time-dependent dielectric breakdown) によるゲート電流の変動である。
- ・ **外部ノイズ:** 外部から集積回路へのノイズ源であり、自然環境ノイズ、電源ノイズおよび、シングルイベントアップセットを生じさせる高エネルギー粒子などがある。
- ・ **固有ノイズ:** 微細なサイズにおいて顕著となるデバイスの通常動作に起因するノイズ源。これはショットノイズ、熱ノイズ、ランダムテレグラフノイズからなる。

今後のテクノロジーにおけるこれらの現象による影響の予測をするために、米国の設計 TWG は 3 種類の多用される標準的な CMOS ロジックである、SRAM ビットセル、単純なラッチ、通常のインバータについて研究した。これは アナログ/ミックスドシグナルなどの領域における設計主体の回路の将来傾向予測につながる。この 3 つの選ばれた回路は、デジタル CMOS 設計での主となる要素を良く代表している。記憶(SRAM ビットセル)、同期(ラッチ)、そして論理関数(インバーター)。現在のハイパフォーマンスのプロセッサでは、数百万の SRAM ビットや、数百万のラッチそしてインバータなどが普通に存在する。

この 3 種の回路における故障確率は、将来のハイパフォーマンス (HP) テクノジノードを前提として、製造プロセスばらつきの影響下における回路の動作をシミュレーションして得た。このシミュレーションでは、PTM (Predictive Technology Model) を用いて、16nm ノードまでのバルク CMOS に対する一般ロジックおよび SRAM 回路のばらつきを見積もる。各回路において故障と判断する基準は、次の通りである。

1. SRAM ビットセルでは、2 種の異なる故障モードを検査する。
  - (a) 書き込み故障: SRAM は 2 種の論理値のうち 1 種を記録できない。
  - (b) 読み出し障害: SRAM を読むとセルの内容が反転する。
2. ラッチでは、CLK-to-Q (クロックからアウトプットへの) 遅延を測定し、正常値の 10 倍であれば故障とみなす。CLK-to-Q 遅延はデジタル回路のタイミングにおいて重要な部分であるため、このような極端な増加はタイミング故障を引き起こす。この種の故障は、ラッチがハード故障している場合に観測される故障に類似している。
3. インバータにおいては、1 組の遅延 (直列に接続した 2 つのインバータの遅延) を測定し、1 組の遅延が正常値の 10 倍であれば故障とみなす。長い配線をドライブするバッファのように広く使われているインバータにおいては、そのような遅延は重大なタイミング故障を生じさせる。

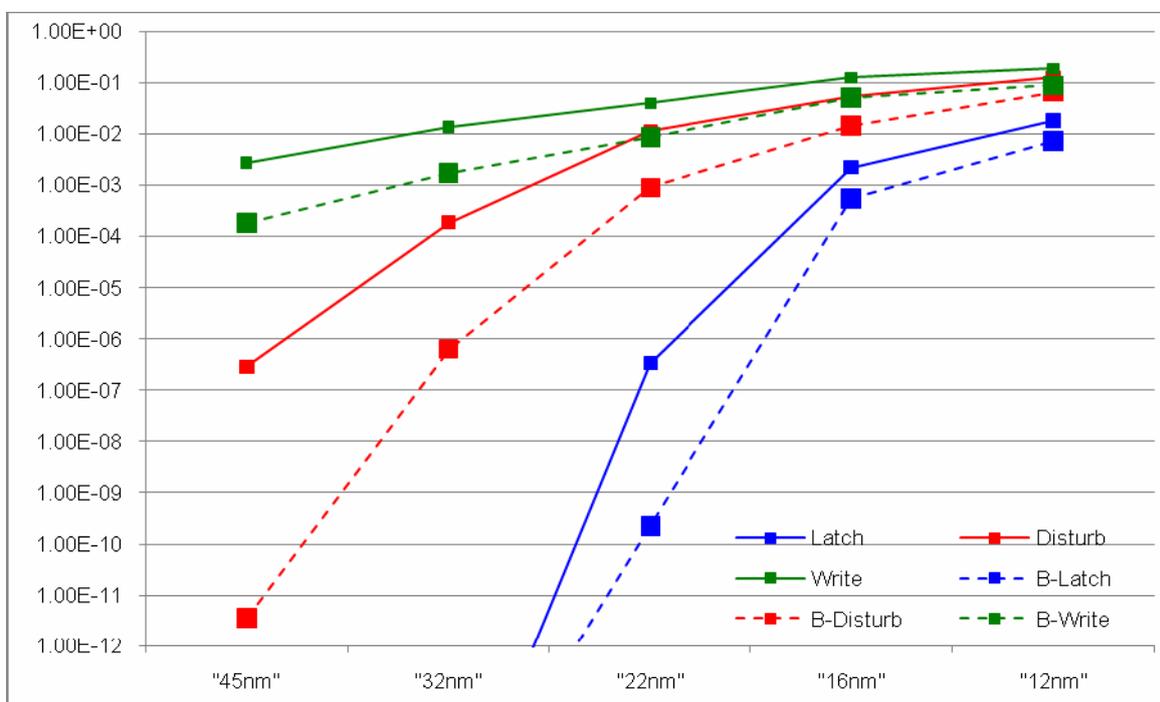


図 DESN 8 Variability-Induced Failure Rates for Three Canonical Circuit Types

この検討では、伝統的な回路設計手法 (回路トポロジ、P/N 比、適切な寸法決定、他) は変更なしで引き続き用いると想定している。回路レベルの革新は、例えば 8 トランジスタ SRAM セルの使用は、予測の継続性を保つために導入しないとされた。このような条件設定により、本検討は、回路のさらなる縮小と設計技術の関係における将来像を明示する。

3 種の規範回路における故障率を図 DESN8 に示す。本図では、テクノロジーを X 軸に、故障確率を Y 軸としている。3 組の曲線は、ラッチおよび 2 種の SRAM 故障モードに対応する。インバータの故障率は、グラフの最小値である 100 万分の 1 未満であった。曲線の各組は、一方は実線、他方は破線で示しており、破線はデバイス幅を 40% 拡大した場合における回路の故障率を示す。

1. SRAM の故障率は、現時点においても重大課題であり、幅広い設計介入 (マニュアル設計) により大量の

冗長手法などを適用する必要がある。今後も、増加する製造ばらつきと戦うために、回路およびアーキテクチャ上の改革を必要とする課題であり続けるであろう。

2. ラッチは、65nm テクノロジでは SRAM よりも頑強であるが、22nm 近辺では故障率が SRAM のレベルに到達し、SRAM と広く共通した課題を持つ。この結果、新しい回路およびアーキテクチャの導入が必要になるであろう。
3. デバイスの拡大(逆スケーリング)は、ばらつきの影響を制御するうえで穏やかだが効果がある。

ばらつきによる影響を削減するための有効な手段は供給電圧である。供給電圧の上昇は、ばらつきの影響による回路故障率を著しく減少させると知られている。もちろん、この効果は、消費電力の増加という犠牲を伴うが、消費電力は既にあらゆる種類の設計において重大要素になっている。故障率における供給電圧の影響を理解するために、我々は図 DESN8 に示す調査結果を拡大し、故障率の供給電圧に対する相関度を加えた。調査における電源電圧は、公称電圧の 10% 減(デジタル回路設計における標準的なワーストケース)から公称電圧の 20% 増とした。結果を図 DESN9 に示す。ここに、X 軸は電源電圧(各テクノロジノードにおける公称電圧に対する百分率で示す)であり、Y 軸は故障確率である。図を簡単化するために、32nm、22nm および 16nm ノードにおけるラッチおよび SRAM の書き込み故障の結果のみを示した。結果から、電源電圧はラッチの故障率に強い影響を与えるのに対し、SRAM 書き込み故障への影響は穏やかであると読み取れる(それでも、調査した電源変動に対して、一桁の変動が読み取れる)。

この調査結果は、消費電力とロバスト性にまたがる明確な技術的トレードオフに結びつく。デバイスおよび回路レベルに革新の源がないのであれば、回路故障率を減少させる数少ない効果のある手段の一つは消費電力である。消費電力自体が今や主要な設計ドライバの一つであることを考慮に入れると、設計者および科学技術者は、この問題を解くためのバランスが取れた解決策の構築に多くの注意を注ぐべきであろう。

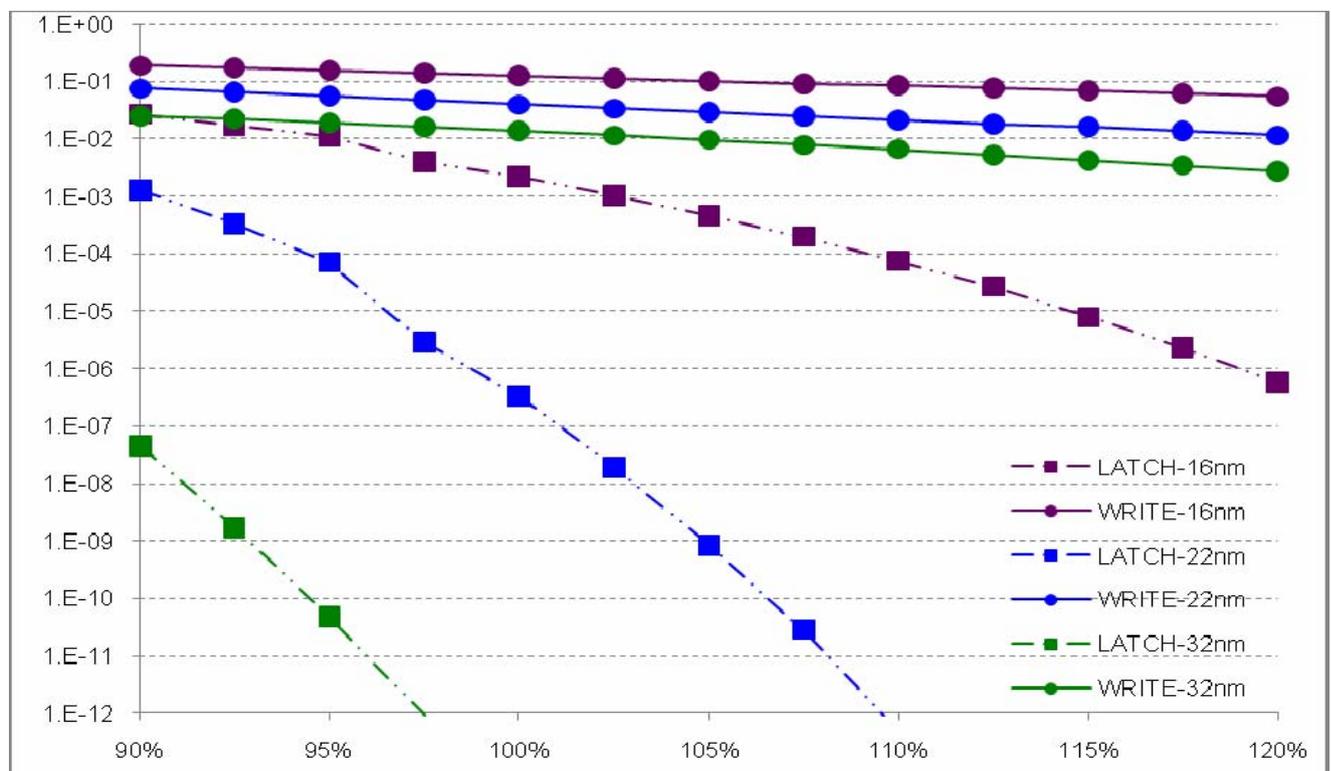


図 DESN 9 Power Supply-Dependent Failure Rates for Three Canonical Circuit Types

図 DESN10 に DFM における潜在的解決策を示している。

- ・ **基本的な経済的制限に対応した解決策** — マスク費用以外を含んだ経済的要因を明らかにするために、主なアルゴリズムやインタフェースにおいて、DFM ツールが必要になる。チームやマネージャは、難しい DFM のトレードオフの経済的価値について、より直接的に評価できるであろう。
- ・ **ばらつきの影響に対する解決策** — 将来 DFM は、ばらつきの様々な特徴を取り扱えるようにすべきである。第 1 に、性能と消費電力の両方のばらつきに対応しなければならない。その結果、統計的機能解析、有効電力、漏れ電力解析ツールが大変重要となる。第 2 に、システムティックとランダムという 2 つの特徴ある統計的な歩留り損失を分類する必要がある。第 3 に、電源供給、温度、閾値電圧を含んだ、ばらつきを引き起こす環境やプロセスの様々な要因の最適化が必要である。最後に、ツールベースによる解決策では十分でなくなり、ばらつきを相殺する設計技術が必要になる。その様な設計技術には、以下が含まれる。
  - 1) 回路動作、電源、クロックや入力信号のばらつき要因を感知して最適化する高性能な適応型回路
  - 2) 局所的に非同期な設計、冗長性、誤り訂正符号化(ECC)を含むばらつきに対する基礎的な耐性に関するアーキテクチャを含む、ばらつきを補償する設計技術
- ・ **リソグラフィ制限の影響に対応する解決策** — リソグラフィが果たす重要な役割のために、ITRS はリソグラフィに関連した DFM 問題や解決策を必要とする分野に取り組んだ。将来の設計フローは、リソグラフィ制約に対応した本質的な取り組みが必要となる。これらの技術は、おそらく(ツールと設計フローが固定である)ルールベースと(ツールと設計フローを直接に調整する)モデルベースの両方のレイアウト修正を含む。第 1 に、今日レイアウト後に適用されている RET は、論理合成、タイミング検証、配置配線といった従来の設計工程とますます相互にやりとりすることが必要となる。そしてさらに明確に性能と消費電力の相関関係の測定基準を盛り込むことが必要となる。このやりとりは、レイアウト検証や論理合成といった”モデルベース”型の設計工程において、直接的、あるいは間接的に行われる。第 2 に、従来の設計基準や設計は、設計の段階で基本的に製造可能となるように、益々”製造との調和 (manufacturing friendly)”が必要となる。製造と調和した設計基準(効果的な製造性の原則に従う”信頼性”のある厳格な規準)、完全に制限された設計基準(斜め配線を使用しない格子状のレイアウトのような、小さい領域か性能コストで製造性を確実にする簡単な設計基準)、そして自動配置配線ツールと調和したスタンダードセルやコアなど、設計基準は解決策の主要な要素となる。

以前に予測したように、(例えば、タイミング解析に中で)ばらつきを直接に扱う所期の解決策が登場した。設計フロー全体への統計的手法の組み込みは、以前の予測よりも遅れているが、必ず実現するであろう。同時に、その様な手法は、手法の成熟度に合わせて選択的に適用されたり、高価格品/大量生産品用の特殊設計技術の一部として使用されたりするリソグラフィを直接に補完する DFM 技術は広く使用されるようになったが、生産フロー中の製造モデルと製造データ間の密接な関係が妨げとなり、生産フローの中で確認されるまでにはさらに実感が必要である。

表 DESN11 は DFM の要求とその解決策の間の対応関係を表したものである。

First Year of IC Production	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026
Tools that account for mask cost in their algorithms																
RET tools that are aware of circuit metrics (timing, power)																
Radically-restricted rules (grid-like layouts, no diagonals, etc.)																
Statistical analysis and optimization tools and flows (Vdd, T, Vth)																
Statistical leakage analysis and optimization tools																
Architectures resistant to variability (redundancy, ECC)																
Adaptable and redundant circuits																
Post-tapeout RET interacting with synthesis, timing, P&R																
Model-based physical verification																
Model-based physical synthesis																
Manufacturing-friendly design rules, including Radically Restricted Rules																
Litho-friendly (router-friendly) standard cells																
Tools that consider both systematic and random yield loss																
3D and integration of high-quality regulators and inductors																
Fin-fets and thin-body-soi-fets																
Extreme ultraviolet lithography																

This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required   
 Development Underway   
 Qualification / Pre-Production   
 Continuous Improvement 

DESIGN 10 Design for Manufacturability Potential Solutions

表 DESN 12 Correspondence between Design for Manufacturability Requirements and Solutions

	<i>Solution</i>	<i>Explanation of the Correspondence</i>
Mask cost	Tools that account for mask cost in their algorithms	Obvious
	RDRs (grid-like layouts, no diagonals, etc.)	Better manufacturability and yield, less mask complexity
	RET tools aware of circuit metrics (timing, power)	More effective optimization, fewer design iterations
	Statistical leakage analysis and optimization tools	Estimation and control of soaring leakage variability
	Post-tapeout RET interacting with synthesis, timing, P&R	By interacting with earlier-in-the-flow EDA tools, can more effectively address litho issues
	Model-based physical verification	Can address litho issues with precision
	Model-based physical synthesis	Explicit litho model-based approach moves into the physical synthesis toolset
	Manufacturing-friendly design rules (hard rules)	Reduces mask, manufacturing cost; addresses printability
% $V_{dt}$ variability seen in on-chip circuits	Tools that account for mask cost in their algorithms	Obvious
	RDRs (grid-like layouts, no diagonals, etc.)	Better manufacturability and yield, less mask complexity
	RET tools aware of circuit metrics (timing, power)	More effective optimization, fewer design iterations
	Statistical leakage analysis and optimization tools	Estimation and control of soaring leakage variability
	Post-tapeout RET interacting with synthesis, timing, P&R	By interacting with earlier-in-the-flow EDA tools, can more effectively address litho issues
	Model-based physical verification	Can address litho issues with precision
	Model-based physical synthesis	Explicit litho model-based approach moves into the physical synthesis toolset
	3D integration of high-quality regulators, insulators	Improves power delivery problem
% $V_{th}$ variability (doping variability impact)	Statistical analysis, opt tools and flows ( $V_{th}$ , T, $V_{th}$ )	Better estimate of variability impact reduces overdesign
	FinFETs and ultra thin-body SOI FETs	Lowers outlook of % $V_{th}$ variability by a factor of 2 to 3
% $V_{th}$ variability Includes all sources	Statistical analysis, opt tools and flows ( $V_{th}$ , T, $V_{th}$ )	Better estimate of variability impact reduces overdesign
	Adaptable and redundant circuits	Inherent circuit robustness to variability
	Statistical leakage analysis and optimization tools	Estimation and control of soaring leakage variability.
	FinFETs and ultra thin-body SOI FETs	Lowers outlook of % $V_{th}$ variability by a factor of 2 to 3
% CD variability	RET tools aware of circuit metrics (timing, power)	More effective optimization, fewer design iterations
	RDRs (grid-like layouts, no diagonals, etc.)	Better manufacturability and yield, less mask complexity
	Adaptable and redundant circuits	Inherent circuit robustness to variability
	Statistical leakage analysis and optimization tools	Leakage power variability will soar. Statistical leakage tools are critical to estimate and control it.
	Post-tapeout RET interacting with synthesis, timing, P&R	By interacting with earlier-in-the-flow EDA tools, can more effectively address litho issues
	Model-based physical verification	Can address litho issues with precision
	Model-based physical synthesis	Explicit litho model-based approach moves into the physical synthesis toolset
	Manufacturing-friendly design rules (hard rules)	Reduces mask, manufacturing cost; addresses printability
	Extreme ultraviolet (EUV) lithography	Reduces critical dimension variability
Circuit performance variability (gates and wires)	Router-friendly standard cells	Routing-friendly rules reduce design, mask, and manufacturing complexity
	Adaptable and redundant circuits	Inherent circuit robustness to variability
Circuit power variability (gates and wires)	Adaptable and redundant circuits	Inherent circuit robustness to variability
	Statistical leakage analysis and optimization tools	Estimation and control of soaring leakage variability.
	Post-tapeout RET interacting with synthesis, timing, P&R	By interacting with earlier-in-the-flow EDA tools, can more effectively address litho issues
	Model-based physical verification	Can address litho issues with precision
	Model-based physical synthesis	Explicit litho model-based approach moves into the physical synthesis toolset
	Manufacturing-friendly design rules (hard rules)	Reduces mask, manufacturing cost; addresses printability
	Router-friendly standard cells	Routing-friendly rules reduce design, mask, and manufacturing complexity
	3D integration of high-quality regulators, insulators	Improves power delivery
	FinFETs and ultra thin-body SOI FETs	Lowers outlook of % $V_{th}$ variability by a factor of 2 to 3
Circuit leakage power variability (gates and wires)	FinFETs and ultra thin-body SOI FETs	Lowers outlook of % $V_{th}$ variability by a factor of 2 to 3

## 多様化(More than Moore)の分析

ムーア型産業と非ムーア型産業における設計技術改善に対する要求トレンドが持つ衝撃度を相対的に理解するために、本章の5つの主要セクションに記載した各解決策を、'幾何学的スケーリング (geometric scaling)'、'等価的スケーリング (equivalent scaling)'、および'機能多様化 (functional diversification)'の3つのカテゴリに分類した。その結果を図 DESN11 に示す。

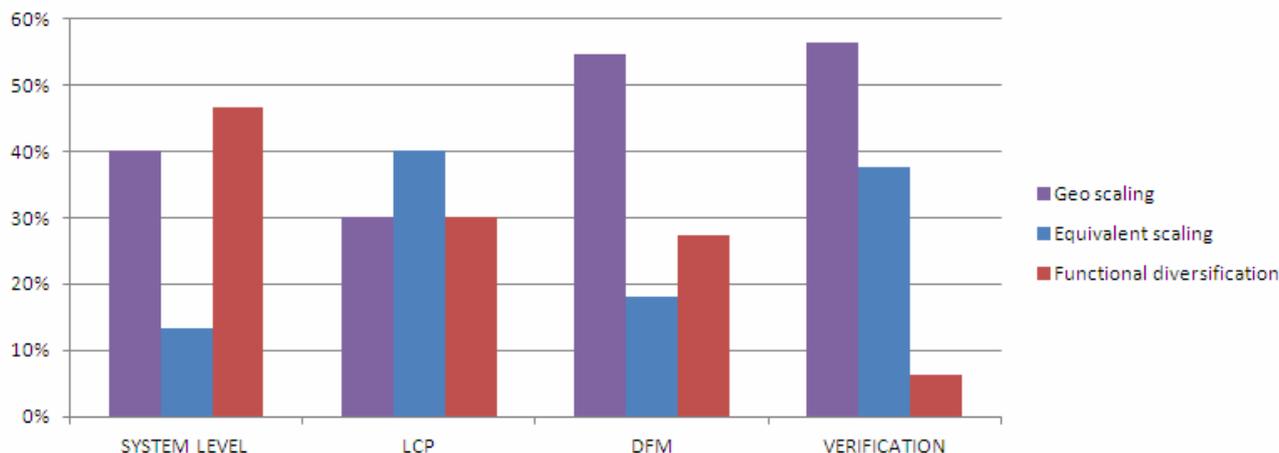


図 DESN 11 Moore and Non-Moore Design Technology Improvements

この図が示すように、設計の早い段階、つまりシステムレベル設計では、機能の多様化が製品要求に対する解決策の必要性に最も大きな影響を与えている。そして、設計が進んで、その抽象度のレベルが低くなるにつれて、等価的スケーリングや特に幾何学的スケーリングが代わって大きな影響を与える。このことは、現在の設計のやり方と整合している。すなわち、1)設計初期のシステムレベル抽象度の段階では、複数のコア、ファブリティクス、回路方式が混在している。他方、2)物理設計の抽象度の段階では、各ブロックは同じタイプのレイアウトと回路に合成され、はっきりと定義された設計ツールや手法が適用可能になる。

## アナログ、ミクスドシグナル、RF 特有の DT (Design Technology) の動向と課題

アナログ/ミクスドシグナルおよび RF 回路 (AMSRF 回路) は、デジタル回路と比較して異なっている。デジタル回路は、定義された範囲の電圧レベルのみで解釈される粗く量子化された情報を含んでいる。ビットの2つの状態 ("ハイ" ( $V_{dd}$  - ノイズ許容値) と "ロー" ( $V_{ss}$  + ノイズ許容値)) は広く禁制帯によって区切られている。また、同期回路においては、信号レベルは離散時間のインスタンス (例えば、クロック・エッジなど) としてのみ解釈される。一方、AMSRF 回路で処理された信号は、連続時間であり非常に高い精度の振幅となる。したがって、回路の非直線性、ノイズ、寄生素子、デバイスパラメータのばらつきのような非理想性は、アナログ/RF 信号の歪みやノイズの直接原因となる。デジタル回路は、各論理ゲートの遷移点における大幅な増幅やシンク・ロナス・オペレーティング・パラダイムに起因する、高いレベルのノイズ源を抑えるための組み込み機能を持っている。このような単純な信号回復の原理は、連続処理とより高いダイナミックレンジの信号を持つアナログ/RF の信号処理には使用できない。速度の問題、または単に信号回復回路が防ぐよりも多くのノイズや歪みを生成することがあるという事実は、アナログドメインにおいてこれらの問題をより難しいものにしていく。AMSRF 設計は、それぞれがカスタマイズされた設計アプローチを必要とし、膨大な数の特定の種類の設計上の問題点を本質的に扱うことになる。オペアンプ、RAM のセンスアンプ、PLL (フェイズロックループ)、A / D コンバー

タ、アナログ受信機のフロントエンド等、それぞれが独自の設計フローと最適化制約を必要とする。したがって、"これぞ" といった唯一の AMSRF デザイン・フローは存在しない。AMSRF 設計はフルカスタムであり、デジタル設計と同等レベルの自動化を実現することはできない。また、デジタルドメインからアナログドメインに設計技術を移転しようとする試みは、AMSRF 設計のフルカスタムという性質により、うまくいかないということを受け入れなければならないだろう。しかし、システムの AMSRF 部品の割合が十分に小さい、すなわちその設計の負荷がデジタル部品に比べて少なく、すべての競合が同じタスクに対処する必要がある限り、これは本当の問題ではない。しかしながら、近年のデジタル設計技術の進歩により AMSRF コンポーネントがチップ設計フローのクリティカルパスとなってしまう。このような状況で、対策は 2 つの設計技術の向上によってもたらされている。さらなる AMSRF 設計自動化とデジタル回路技術によるアナログ・コンポーネントの置き換えである。

## 今後の AMSRF 設計自動化

*インタラクティブと半自動 AMSRF 設計* - アナログ設計自動化のための学術的なアルゴリズムが継続的に進歩しているにもかかわらず、実際には産業界での AMSRF 設計は、シミュレーションを越えたとしてもまだマニュアル作業である。これには 2 つの理由がある。一つ目は、アナログ設計はシステム設計と強い関連を持っているということ。例えば、信号のつながりの中で利得素子、ミキサー、ADC、DAC をどこに配置するかを決めるのは難しい。多くのトレードオフや制約条件があり、時には目標関数に置き換えられないこともある。デジタルドメインでさえ、システムやアーキテクチャの決定は、合成ツールではなく経験豊富なシステム・アーキテクトが行なっている。二つ目は、構成要素の設計を自動化することが困難であること。通常、目標とコスト関数は多次元となり、異なる性能間の重み付けは、しばしば他のシステムコンポーネントや制約条件の経験と知識がベースとなってしまう。例えば、デジタル設計のタイミング・クロージャは明確で、満たさなければならないハードクライテリアであることは議論の余地がない。一方で、ノイズとパワーのトレードオフや精度については、システム全体の仕様や信号のつながりの中での構成要素に依存する、いわば努力目標というべきソフトコンストレイントである。

ビヘイビアモデルで抽象化されたモデルまたはトランジスタレベルを使用したシミュレーションは、実質的に EDA ツールが頻繁に適用される唯一の領域である。一方で、合成および最適化は、使用可能な手法があるにもかかわらず、まだ手動の部分が残っている。大手 EDA ベンダーのツール・スイートにある合成および最適化ツールでさえ、時間が経つと消えてしまう。アナログ合成のロードマップがアジェンダに上がりながらこの数十年うまく進んでいないことから、デジタルドメインのような合成プロセスを捨てて、より現実的な目標を設定すべきであろう。もちろん、コンピュータが支援するマニュアル AMSRF 設計プロセスをサポートし、それを設計者とツール間を対話形式することがより望ましい。以下に、このインタラクティブなアプローチの観点から AMSRF 設計技術の主要な課題について述べる。

*パラメトリックモデルと複雑な AMSRF ブロックのシミュレーション* - シミュレーションが AMSRF 回路検証のための認知された EDA 手法であり、トランジスタとビヘイビアモデルが混在したアナログや(小規模)デジタルを含む複雑なブロック構成のシミュレーション(ミックスモード・シミュレーション)に対応できるよう機能強化していかなければならない。例えば、設計者は PLL、A/D コンバータ、受信機のフロントエンドの必要な範囲の時間特性をシミュレーションしなければならない。そして、システム全体をシミュレーションする、または二段階アプローチ、すなわちサブブロックをトランジスタレベルでシミュレーションしその結果をビヘイビアモデルに変換する、という手法が必要となる。二段階アプローチが取られている場合、シミュレーション中に設計者が介入する必要がないよう自動的に動作するようになるべきである。最先端のツールでは、トランジスタのパラメータ抽出とトランジスタモデルにより、オペアンプのような単純な AMSRF ブロックを自動的にシミュレーションすることができる。上記のような複雑なブロックの広範なシミュレーション技術はまだ存在していない。CMOS を補完するような新しい技術(例えば、カーボンナノチューブや MEMS)、またはコイルやコンデンサ等の単純な受動素子は、新しいタイプのサブブロックとしてモデル化してそれを含めたシミュレーション技術が必要となる。設計者が使用で

きる完全なモデルを提供する作業は、むしろ設計者が自らモデリングできるように行なえるようその手法を提供することである。このソリューションは、EDA技術者や設計技術者の協力を必要とする。例えば、EDA技術者は応答曲面モデリングやシンボリック解析の自動モデリング手法について貢献する。設計技術者は、モデル化するために必要な物理的動作やシステム要求に関する知識で貢献する。インタラクティブな設計支援を行なう上記のアプローチによって確立されたサブブロックとブロックモデルは、合成フローやツールの中に埋没するのではなく、ライブラリ要素という意味で設計技術者が利用できるようにする必要がある。それとともに、設計者はシステムに関して適切な決定を行うために必要な課題やトレードオフ理解を深めることができる。例えば、与えられた構成要素からより適したアーキテクチャを選択することができるようになる。

表 DESN 13 Required Simulation Models for AMSRF Design

Available	Required Immediately	Required As Soon As Possible
Transistor models Transistor-level models of op-amps, oscillators, mixers, low-noise amplifiers	Parameterized behavioral models of oscillators, mixers, low-noise amplifiers, etc, which are pin-compatible with corresponding transistor-level models	Parameterized behavioral models of phase-locked loops, A/D and D/A converters, receiver front ends, etc.

標準化モデリング、物理的影響および複雑な動作特性の解析 — 前述のシミュレーションモデルによって考慮されなければならない基本的な時間域または周波数域特性に加え、潜在的に関連する回路性能、各サブブロックための回路パラメータ、検討中の AMSRF 回路ブロック、自動的にシミュレーションするための必要なアイテムを含むライブラリを提供することが必要となる。それゆえ、回路ブロックまたはサブブロックのシミュレーションモデルは含むべきである。

- すべての潜在的な動作特性(例えば、オペアンプの利得、バンド幅、位相余裕、ノイズフィギュア、入出力電圧レンジ、PSRR、CMRR)のセット、
- これらの特性を計算するためのシミュレーション・ベンチ(追加回路と入力ステイミュラス)
- 設計者がボタンを押すだけで簡単に見たい特性を選択できるような、出力波形からこれら特性を計算できる機能

AMSRF 設計における物理レイヤからの抽象化としてのシミュレーションの評価 — 精密に離散化された信号の物理的な基礎にもかかわらず、AMSRF 設計は物理レイヤから抽象化すべき手段、すなわちシミュレーションを提供する。シミュレーションそれ自体はまだ根本的な微分方程式に基づいた物理的特徴を持っているが、それに続く明確に定義された性能特性の抽出は、シミュレーションモデル内に含まれている回路パラメータに依存する値を持つ数学関数の制定のために提供される。この数学関数は、数学的抽象化表現  $y=f(x)$  に AMSRF 回路の物理レイヤからの抽象化を表わす。それは動作特性  $y$  だけでなく関連するパラメータ  $x$  が与えるシミュレーションモデルの役割である。トランジスタの幅のような設計パラメータ、 $V_{th}$  のような製造工程からのパラメータ、温度のような環境パラメータ、素子の経年劣化パラメータ等が含まれる。シミュレーションは数学モデル  $y=f(x)$  がポイントワイズとなるように準備されなければならない。これは、パラメータ値のセットが与えられ、シミュレーションが起動され、結果としてユーザの介入なしで特性値のセットを得られることを意味している。自動シミュレーションはインタラクティブ、半自動、全自動設計には極めて重要なインタフェースである。通常、電子回路設計は階層的アプローチを取る。このことはシミュレーションツールに反映されなければならない。小さなトランジスタレベルの構成要素は高精度なモデリングとシミュレーションが必要だ。ブロックの仕様が満たされた後、ほとんどの内部動作特性は省かれ、幾つかの関連するパラメータのみが次の階層に引き渡される。しかしながら、このレベルでは多くのブロックを扱わなければならない、非常に複雑となる。適切なシミュレータは、精度を落とすことでより複雑なものを扱えるようにしているかもしれない。最先端のシステム設計では、SPICE をクリティカルブロックに、FastMOS シミュレータをその次のレベルに、さらに VHDL-AMS, MATLAB/Simulink,

SystemC(または各ベンダーがリリースしている同等のツール)が使用されている。前章で提案された自動シミュレーションアプローチとともに、自動モデリング/パラメータ生成を含む他のシミュレータへの所定のインタフェースを持つことが望ましいだろう。しかしながら、それは合成とは全く関係がないことを理解する必要がある。

*AMSRF 設計における自動化のためのインタフェースとしてのシミュレーションの評価* — シミュレーションが EDA ツールまたはアルゴリズムからオープンインタフェースが必要ないいくつかの理由がある。一つ目は先に説明したようなシミュレータが計算する物理特性から抽象化するということである。任意のシミュレータを接続可能な EDA ツールは広範囲な設計問題に対応できる設計プラットフォームとなるだろう。二つ目は、カスタマイズされたシミュレーション環境の業界内での普及である。もし、EDA ツールが専用のシミュレータを持つということなら、そのシミュレータの使用を強いられることに対して設計者達から抵抗を受けることになるだろう。三つ目は、シミュレーションに使用されるトランジスタやその他のモデルが、設計の種類や製造技術に適したものを用意することである。既存のモデルを使用するより新しいモデルに適応できることが、EDA 設計ツールが広く使用されることにつながる。有効な手段として応答曲面モデリング技術がある。EDA 設計ツールのシミュレーション全体のコストを削減することで、設計者側で受け入れを悪化させるモデリングの誤差の原因を追加する。

*感度解析機能を持つシミュレータ* — 設計者が自らのモデルを記述できる拡張機能を持つシミュレータを提供することは、流行であり、必要であり、差別化となっていた。しかしながら、随伴行列法を使用するような感度解析機能をシミュレータがサポートされないという犠牲を払うことになる。今日、いくつかの内製シミュレータを除き、現実的なコスト(例えば、パラメータ当たり 10%の CPU オーバーヘッド)で回路パラメータに関する感度を計算できるシミュレータはない。むしろ、パラメータ当たり 100%の CPU オーバーヘッドとなるような、負荷のかかる有限差分法アプローチが使用される。随伴行列ベースの感度解析を考慮する感度モデルが提供されないというのがその理由だ。シミュレータの大きな成果は、詳細な動作の多目的、多変数の設計問題を 最初(線形)の見識を得られる軽い感度解析を行なう余裕があることである。

*AMSRF 設計技術者とツール開発者の教育* — AMSRF 設計は、EDA ツールがカスタマイズ手法に適用されるというプロセスを受け入れてきた。このことは AMSRF 設計者とツール開発者双方とも同じ立場として広範囲な教育の要望がすぐさま上がってくることになる。個別の設計問題に対応する適切なツールを選定しそれらツールを効果的に使用するために、設計技術者はツールが使用しているアルゴリズムについて知っておかなければならない。したがって、AMSRF 設計カリキュラムは統計学や数値最適化のようなトピックとして補足されるべきである。他方では、AMSRF 設計ツール開発者は個別の回路クラスや設計者による実際の設計ステップについて知っておく必要がある。よって、EDA 教育コースでは設計についても補足しておく必要がある。さらに、EDA ツール開発者は設計者の近くにおいて、AMSRF 設計者がツール開発に携わる、EDA 開発者が回路設計する等して、技術者達は時々行き来して協業する必要がある。

*AMSRF 設計ツールは、フローのためにではなく設計問題のクラスのためにある* — AMSRF 設計作業を部分的に自動化しようとする中で、一般的なレベルでの抽象化やデジタル設計としてどこで合成に切り替えるかということ語ることにメリットはない。より適切なことは、ターゲットとされる回路のクラスであり、それが例えば Table DESN12を満たして扱えるかどうかということである。AMSRF 設計では、基本的には、トランジスタ(非線形)レベル、Verilog や VHDL 等のハードウェア記述レベル、MATLAB/Simulink のような(線形)アーキテクチャレベルを扱う。モデルがあるかどうか依存して、それぞれのレベル間の変換をするが、モデルに応じた合成や最適

化プロセスが存在する。注意すべきは、いくつかの問題について依然として満足いくような解法がないことである。

- 回路構造の生成および選択のための対話型設計支援
- 配置と配線のための対話型設計支援
- 歩留まりと信頼性の対話型設計
- 離散型最適化(レイアウトフィンガー、製造グリッドを製造等)
- 構造合成とレイアウト合成の間の緊密なやりとり
- 設計空間探索
- シミュレーション速度の向上

これらについての研究は、開発されたソリューションが一目瞭然であること、どの程度のコンサルティング負荷となるかが、注意深く考慮されなければならない。

### デジタル回路技術によるアナログコンポーネントの置き換え

アナログ、ミックスシグナル、RF 回路はパラメータや環境変異の影響を受けやすい。実際に、変動性や回路感度が増加したとしても、その基礎や問題の根本的な部分は新しいものではない。トリミング、キャリブレーションループ、デジタルキャリブレーション、エラー補正等に関する対策は良く知られている。しかしながら、その実現方法は、エリアや消費電力に悪影響をあたえてしまい、必ずしも適したものではなかった。ナノスケールの CMOS テクノロジーでは、複雑なキャリブレーションや補正エンジンが十分対処可能であるために、基本的なデジタルファンクションとしてのエリアと消費電力は極めて小さい。もし、数千ものデジタルゲートを追加することでアナログ/RF コンポーネントを削除でき精度の要求を抑えることができるなら、これらのデジタルゲートは展開されるべきだろう。同様に、フォアグラウンド/バックグラウンドでのキャリブレーション、冗長性、エラー補正等によって、アナログの能力を向上させるデジタルアシスト技術がある。たとえデジタルアプローチがすぐに利益に結びつかないとしても、デジタル縮小率は間違いなくプロダクト世代全体に渡り利益をもたらすため適用すべきだろう。

デバイスのスケールリングが進むことで、アナログデバイスの性能を低下させる。トランジスタ単体の本質的な利得が下がるためである。1V 程度の低電力では、カスケードのような利得と精度向上のための回路技術は現実的ではない。ノイズはスケール化されないため、信号レベルの低下は信号雑音比の悪化につながる。一方でデジタルの遅延はスケール化される。基本的なデジタルゲートのエリアと消費電力も同様である。このことは時間-デジタル変換器のようなミックスシグナル回路の新たなクラスを導きだす。時間-デジタル変換器は連続的な入力信号を量子化するデータ変換器である。AD 変換器が連続的な電圧を扱うように、時間-デジタル変換器は連続的な時間間隔を扱う。時間-デジタル変換器が成功した適用事例で最初にしても最も著名なものはすべてデジタル化された PLL であろう。

アナログ機能がすべてデジタル技術で置き換えるということは、ゴールでもなくまた可能でもないことが理解できる。アナログの実現性は、直接的だけではなく、デジタルよりも安価でより良い性能を得られることがしばしばだ。しかしながら、デジタルアシスト技術はシステム全体の性能や再現性を向上し、シンプルでパワフルなインタフェースを提供する。明らかに、これらの利点には代償を払わなくてはならない。アナログ/RF 構成要素の近くにある大きなデジタル回路は、消費電力の増大だけでなく、ノイズレベルが上がることに伴い基盤や電源にも悪影響を与えることになるかもしれないからだ。

## クロスカット TWG の課題

### モデリングとシミュレーション

[本稿は Modeling と Simulation ITWG と共有される。] テクノロジーの微細化に伴い、設計者が直面する重要な問題の一つは、製造パラメータのバラツキや、(例えば、チャンネルドーピングのように)原子固有の性質に起因する設計関連のパラメータのバラツキの増加である。この問題についてはデザイン章の製造容易化設計の部分で特に詳細に議論する。モデリングとシミュレーション技術は、これらのバラツキが、関連する設計パラメータへの程度影響するか量的に見積もることで、これらの問題を容易にすることに役立つはずであり、そうならなければならない: 製造パラメータの変動と同様に統計的なバラツキは、製造装置やプロセスおよびデバイスの適切な各シミュレーションを通して、能動素子や受動素子のサイズやスペーシング、トランジスタ特性、(さらに信号遅延やひずみとして表現される)インターコネクットのカップリングといった設計パラメータに変換されなければならない。不純物の原子的な性質はますます重要になる。チャンネル領域には平均的には、ほんの1つか数個のドーパント原子しか存在せず、そのためドーパントの相対的なばらつきが顕著になることで、電気的なデバイスのパラメータの変動につながる。とりわけ重要なものは、プロセス変動を増幅したり、平滑にしたりするリソグラフィやエッチングといった、関連するプロセス工程間の相互作用である。シミュレーションはさらに、寄生成分、遅延変化、ノイズ、および信頼性問題へのインパクトの見積もりに貢献するべきである。その中には動作時の熱問題も含まれている。“二次的な”効果の取り扱いがアナログ設計においては特に重要である(例えばマッチングは重要な問題である)。全体としての目標は、設計パラメータを、使用される製造技術やデバイスアーキテクチャおよびそのプロセスに起因するバラツキとさらに密接に関係づけることである。このことは、設計者が適切な安全係数(レイアウトの中で変化するかもしれない)を選択するために必須である。また、設計のコーナーモデルは、ますます悲観的になり、このバラツキに対する過剰補償の発生を避けることに貢献しなければならない。シミュレーションのみが提供し得る付加価値として、比較的少ない時間と小さいコストで、広い変数空間を自動的に調査・探索できることがある。このようにモデリングとシミュレーションは、従来は適切であったプロセスの余裕が、今後は困難になるであろう状況に対し貢献する必要がある。新しい余裕とその作りこみに対して現実的な見積もりを提供しなければならない。この目標を達成するためには微視的な TCAD シミュレーション(多くの場合デバイスやセルレベルで実行される。)から関連情報を抽出し、さらに設計ツールに適した SPICE パラメータやその統計的な分布情報の形式を開発されなければならない。

マスク作成に対する短期的な課題では、例えば、パターンをレイアウトからフォトレジストに変換するのに必要となる効率的な定義機能や支援機能が、および閾値電圧などの電気データのバラツキなどが、特に重要である。シミュレーションは、設計者が意図する「理想的な」構造が、十分よく近似されて、ウェーハ上に生成されるように、マスクの修正と適合に貢献するだけでなく、同時に、費用のかかる過剰なマスク修正を避けて、ウェーハ上でのパターン生成のために最も費用対効果の高いマスク構成を選択することに役立つべきである。この他、長期的な課題として、特に制御不可能な CD とドーパントのバラツキがある。最終的には、モデリングとシミュレーションは、歩留まりの予測と歩留まりの最適化に対する設計課題を解決することに貢献すべきであり、それはプロセスのばらつきとウェーハ上でのパターン生成の欠陥に対するインパクトの情報を提供することにある。

### 付録 I: ばらつきのモデリングとロードマップ

ばらつきは、複数の重要な DFM や、自己修復性の困難な技術課題の原因と予測されているため、ばらつきのトレンドに対する期待と要望をロードマップ化するためのシステムティックな方法は、設計ロードマップ全体における重要な要素となるであろう。それは、業界がばらつきを低減すべきか、ないしは、設計生産性を改善するかかの提言を集成していくための、設計と製造の“共同(共通)ロードマップ”を可能にしていく。このようなばら

つきのフレームワークへの要求は、業界関係者やファウンドリのばらつきに関する情報への敏感な反応によってはっきりと示されている。

設計者の観点から見たテクノロジーは、デバイスモデルパラメータ(共通に使われている **BSIM** モデルのような)に集中される。これらのモデルは、設計段階の中で階層化されて利用され、デバイスレベルからゲート、そして他の回路要素、さらにチップ単位での消費電力、動作周波数、リーク、寿命などにつながる。デジタル回路では、2つの主要な製造設計に対応する2つの階層モデル(**modeling stack**)がある。

1. 単純なゲート要素(NAND ゲートのような)を使って実装される論理回路である最初の階層
2. 周辺回路を含むメモリのビットセルの複雑なアレイを実装するメモリ回路である 2 番目の階層

ばらつきロードマップのフレームワーク(**VRF: Variability Roadmap Framework**)は、図 DESN12 に示されるように設計 **TWG** が開発しつつある。このフレームワークでは、以下の 4 つのアブストラクションレベルが考慮されている:

- \* **回路/チップレベル** — これは設計者に最も関連するアブストラクションのレベルである。理想的には、対象回路のタイミングと消費電力のばらつきは、より下位レベルのパラメータのばらつきに基づいて、このレベルでロードマップ化されるのが望ましい。
- \* **ゲート要素回路 レベル** — これはデジタルシステム向けであり、現在の設計メソッドはこの要素により合成/配置/配線/タイミングでの抽象化やツールとして実行される。これらの要素はしばしばライブラリとして格納されるが、そのライブラリは設計やテクノロジーのインタフェースとしては標準化されていない。
- \* **デバイスレベル** — 回路はデバイスで構成されているため、このデバイスレベルのパラメータがロードマップ化される。例えば、閾値電圧  $V_{th}$  やオフカレント  $I_{off}$  などがある。
- \* **物理レベル** — これは設計と製造のインタフェースに最も密接なレベルである。このレベルでは、**CD** や実効デバイス長(**Le**)、実際のドーピングレベル(**Na**)などのパラメータがロードマップ化される。これらのパラメータのばらつきは、リソグラフィ装置の解像度の限界、チャンネル内のドーパント数の正確な制御ができないことなどによって生じる。

このフレームワークでは、モデリングプロセスは以下の式で表わされる。

$$\Delta outputs = model(\Delta inputs) \quad [1]$$

公表されている近似モデルに基づいて、このモデルは単純化されたゲート+配線の回路要素を使用している、すなわちパラメータはゲートと、配線に関連するものに分解されている。性能はトータル遅延として、ゲート単位に解析的にモデル化されるが、これはゲート遅延と配線遅延に分解される。遅延のばらつきはモンテカルロ形式で入力パラメータを分布させてシミュレーションした結果から得られる個々の遅延の統計的な分布から、統計的な偏差としてモデル化される。モデルへの入力にはゲートチャンネル長、チャンネル幅、酸化膜厚、そして配線幅、配線長、配線の厚さ、ILDの厚さ、そして配線のシート抵抗値からなる。

同様にSRAMメモリアレイ向けのモデルも、最近のチップの総合的な予測を行うために、論理回路部分とともに、開発、統合される必要がある。そのモデルは、ビットセルのパラメトリックな歩留まりや、リーク電力、アクセスタイムなどの統計的な1次モデルをアレイとして統合するであろう。

他の適用の中では、このフレームワークは回路性能のばらつきトレンドにも使用できるだろう。例えば、予測遅延ばらつきは、2 つのシナリオで見積もられる: 10%の要求**CD**(実際のチャンネル長)ばらつき、ないしは 20%の要求**CD**ばらつきである。この場合の例では、もし仮に回路の性能ばらつきが、**CD**許容値の要求を加味しても著しくばらつかないとしたら、その要求が緩和できる可能性を示している。

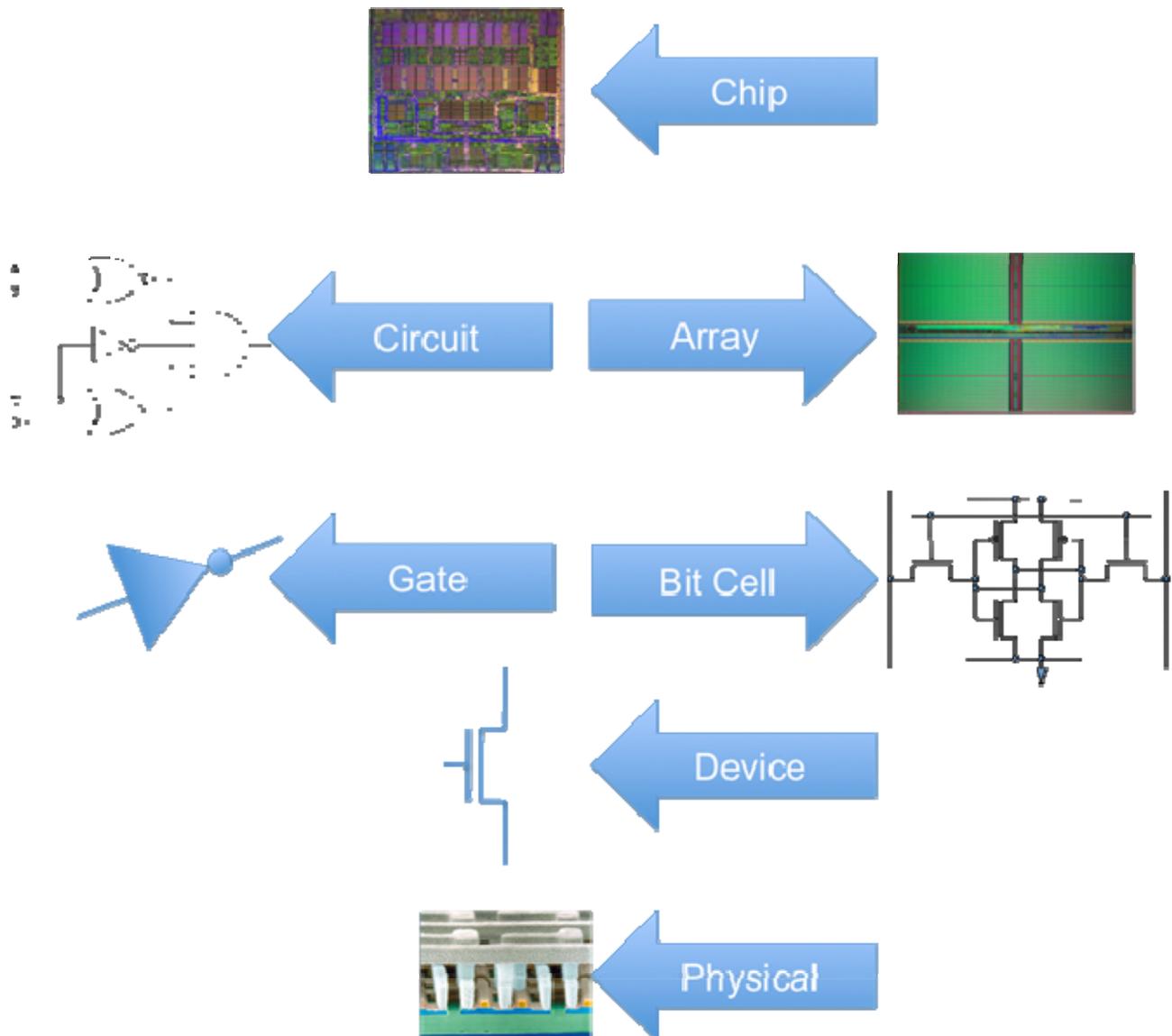


図 DESN 12 Possible Variability Abstraction Level

## 付録 II: DT コストと価値

図 DESN13は、複雑な集積回路を開発して市場に出すためのコストに対して、どれほど多くの異なるファクタが影響しているかを示している。固定費が販売数量に依存しない一方で、変動費は販売数量によって増加する。製品開発は、エレクトロニクス製品のバリューチェーンの基本的な部分であり、一般的に販売数量を横断して広げられる固定費ファクタとみなされる。この議論の目的のために、設計コストは、直接的な製品開発の R&D コストとそれに関連するオーバーヘッド（経費）を加えたものと定義する。不幸にも、systems-on-a-chip(SOC)の絶えず増加している複雑さは、設計コストとチップ単価をコントロール不能にしている。ますます競争が激しくなる環境と結合されてコストが上昇する中で、収益の確保が困難になってきている。これは、製品開発費が製品のライフサイクルの中で先行投資の状態になり、一方、売上げのかなりの部分が 1

年以上遅れで発生するという事実によって悪化させられる(キャッシュフローの悪化)。次の分析は、継続的な設計技術革新のパイプラインがなければ、設計コスト(したがって、製品開発費も)をかけることが急速に不可能な状態になるであろう、さもなければ、設計自体があまり価値のないものにさせられるであろうことを示唆する。

図 DESN 13 において、Development R&D 内に示されるほとんどの項目は事実上設計コストとみなされる(機会コストとロスコストは含まれない)。この図は、製品開発費はおおよそ直接的な労働コストとインフラストラクチャコストに分解されることを示している。労働コストは以下の項目を含む。チップ、回路、および、レイアウト/物理設計;チップインテグレーション;検証(ベリフィケーション)とテスト;ソフトウェア開発;EDA インテグレーション;ソフトウェアと技術サポート。一方、インフラストラクチャコストは、設計用のソフトウェアライセンス(ソフトウェア開発環境を含む)、テストチップ・インフラストラクチャと減価償却費を含む。これらのコストは、直接費に(一般経費や管理経費を含む)割り当てられた“オーバーヘッド”要素を加えたものとして表される。DT の半導体製品の収益性への極めて重要な貢献は、これらの各々のコスト要素に対する DT 革新のインパクトを列挙して、分析することによって理解される。

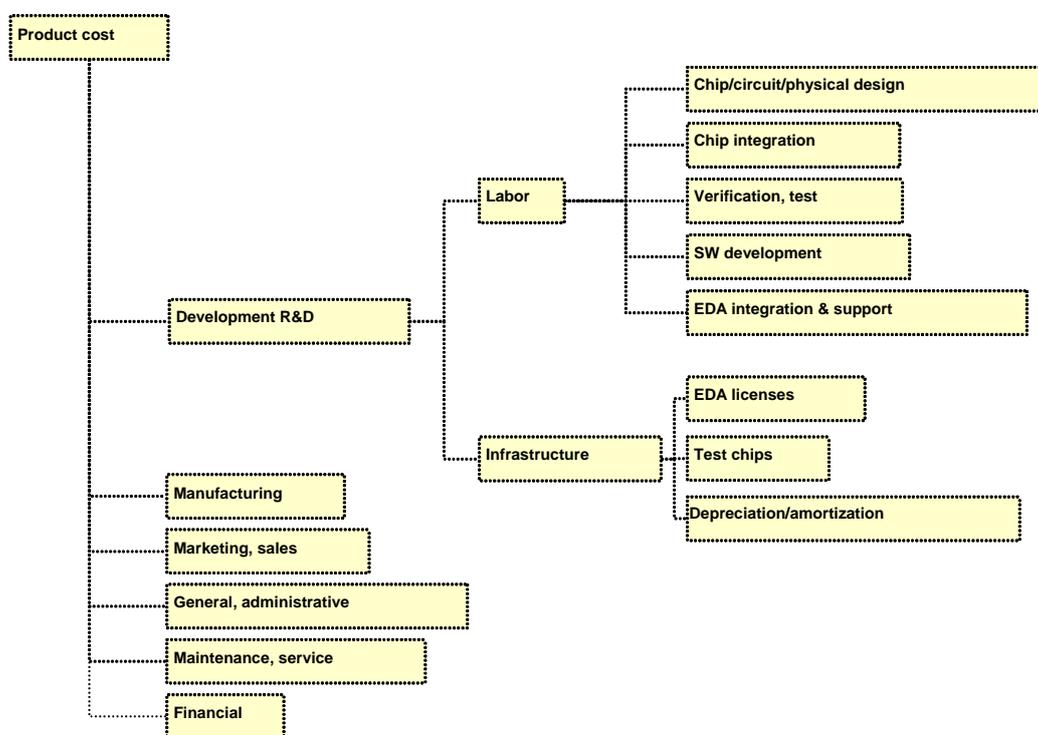


図 DESN 13 Simplified Electronics Product Development Cost Mode

### 労働コスト

労働コスト要素は、おおよそ、労働単位コスト(エンジニアの給料(年俸)に関連)と設計の複雑さ(チップ内の各種機能やトランジスタ数に関連)、および設計生産性(平均的なエンジニアが1年で十分に設計し得るデザインの複雑さに関連)に比例する:

$$DesignLaborCost = \frac{LaborUnitCost \times DesignComplexity}{Designer Productivity}$$

DT 革新が設計生産性を増大させたので、それらの最も強い効果は労働コスト要素にある。DT 革新の労働コストへのインパクトを測定するために、ITRS Design ITWG はガートナー/データクエストに、設計生産性を測定し、かつ、メジャーな DT 革新による生産性の改善状況を計測するように依頼した。1990 年(いわゆる「RTL メントロ

ジ」が起こった年)の設計生産性は、4K ゲート(=16Kトランジスタ)/年であった。その後の改善項目は表 DESN 13 に示されており、その中でグレーの項目は、現在進行中、もしくは、将来の DT 革新項目を表している。その表から分かるように、設計生産性(設計者1人年当たりのロジックゲート数として測定される)は 1990 年から 2011 年までの間に、年率で平均 31.2%増加したことになる。特に、百万ゲートを設計する設計者数(生産性の逆であるが)は、1990 年の 250 人から 2011 年には 1 人に削減された。しかし、労働単位コストは、1990 年以来一定の値を維持しなかった。ITRS の設計コストモデルによれば、技術者労働コスト(1990 年では、給料やその他の経費で 181,568ドルとみなされる)が年率 5%という歴史的な上昇率で増加したためである。上昇率は 2002 年から 2005 年にかけて年率 2%に下がったが、2007 年と 2008 年に再度年率 5%に回復している。2009 年には世界的な不況により給与の伸びが止まったが、2010 年以降、成長レベルは 5%に立ち直るであろう。中国やインドから報告される IC 設計者の不足により、世界中のハイレベル SOC 設計エンジニアのコストは、設計コストモデルで使われている北アメリカの水準並みに上昇している。

### インフラストラクチャコスト

エンジニアあたりの EDA ツールコストの上昇率は、年率 3.9%と見積もることができる(1990 年のエンジニアあたりのコストを \$99,301 としてスタート)。しかし、その上昇は 2002 年に停止し、そしてここ 8 年間は過去の歴史的な水準を下回っている。今後、EDA ツールの平均売価の上昇率が 3.9%に戻ることを期待されている。トータルのインフラストラクチャコストは、EDA ツールコスト×人年で求められる:

$$EDAInfrastructureCost = \frac{EDAUnitCost \times DesignComplexity}{Designer\ Productivity}$$

このコストは労働コストと関連付けた。他のインフラストラクチャコストは、現在のモデルにおいてはオーバーヘッドとして含まれると推測される。平均労働単位コストが EDA インフラストラクチャコストより速く増加することになったので、製品開発費における労働コストの割合が増加している。

### トータル設計コスト

この章を一周して元に戻すために、再び図 DESN1 を振り返りたい。この図では、システムドライバ章で定義された SOC-CP(Consumer Portable)ドライバの設計コストへの設計技術の革新の寄与が定量化されている。SOC-CP の論理ゲート規模は、2011 年で 48.9M ゲートとなり、したがって典型的な民生用、ポータブル用 SOC ハードウェア設計コスト(設計者+ツール)は、\$25.7M で、さらにソフトウェア設計コストが \$14.1M かかり、2007 年から 2010 年の間のソフトウェアの設計コストがハードウェアの設計コストを超えている。1993 年から 2009 年の間に実現した 7 つの主要な設計技術の革新がなければ、この種の SOC のハードウェア部分だけの設計コストは、2011 年でおおよそ \$7,708M になっていた。このギャップは、Japanese Semiconductor Technology Roadmap Working Group 1 (STRJ-WG1)が作成し、2001 年度 ITRS System Drivers Chapter にも引用された設計生産性の新しい見積りを用いると、より大きな差となる。つまりこの見積りでは、1999 年における新規(リユース)ロジック開発生産性を 360K (720K)ゲート/人・年と見積もった場合、同年のゲートナー/データクエストの見積りよりも 6 倍(12 倍)高くなる。

表 DESN 14 Design Technology Improvements and Impact on Designer Productivity

<i>DT Improvement</i>	<i>Year</i>	<i>Productivity Delta</i>	<i>Productivity (Gates/Year/Designer)</i>	<i>Cost Component Affected</i>	<i>Description of Improvement</i>
None	1990		4K HW		
In-House Place and Route	1993	38.90%	5.55K HW	PD Integration	Automated block placement and routing, transferred from the semiconductor house to the design team
Tall-Thin Engineer	1995	63.60%	9.09K HW	Chip/circuit/PD verification	Engineer capable of pursuing all required tasks to complete a design block, from RTL to GDSII
Reuse—Small Blocks	1997	340%	40K HW	Circuit/PD verification	Blocks from 2,500–74,999 gates
Reuse—Large Blocks	1999	38.90%	56K HW	Chip/circuit/PD integration verification	Blocks from 75,000–1M gates
IC Implementation Suite	2001	63.60%	91K HW, 87K SW	Chip/circuit/PD integration EDA support	Tightly integrated tool set that goes from RTL synthesis to GDSII through IC place and route
RTL Functional Verification Tool Suite	2003	37.50%	125K HW, 87K SW	SW development verification	Tightly integrated RTL verification tool suite including all simulators and formal tools needed to complete the verification process
Transactional Modeling	2005	60%	200K HW, 250K SW	SW development verification	Level above RTL, including both HW and SW design and consisting of behavioral (where the system function has not been partitioned) and architectural (where HW and SW are identified and handed off to design teams) levels
Very Large Block Reuse	2007	200%	600K HW, 323K SW	Chip/circuit/PD verification	Blocks >1M gates; intellectual-property cores
Homogeneous Parallel Processing	2009	100% HW, 100% SW	1200K HW, 646K SW	Chip/circuit/PD design and verification	Many identical cores provide specialized processing around a main processor, enabling performance, power efficiency, and high reuse
Software Virtual Prototype	2011	300% SW	1200K HW, 2584K SW	SW development	Virtualization tools used to allow development prior to completed silicon
Intelligent Testbench	2012	37.5% HW	1650K HW, 2584K SW	System design and verification	Like RTL verification tool suite, but also with automation of the verification partitioning step
Reusable Platform Blocks	2013	200% HW, 100% SW	4949K HW, 5168K SW	Chip/circuit/PD verification	Fully functional platforms used as a block in larger platform design (e.g., ARM in OMAP)
Silicon Virtual Prototype	2015	100% HW	9897K HW, 5168K SW	System design and verification	A hardware virtualization platform that enables an RTL handoff of a SOC
Heterogeneous (AMP) Parallel Processing	2017	100% HW, 100% SW	19794K HW, 10336K SW	SW development verification	Many specialized cores provide processing around a main processor, which allows for performance, power efficiency, and high reuse
Many-Core SW Development Tools	2019	60% SW	19794K HW, 16537K SW	SW development	Enables compilation and SW development in highly parallel processing SOCs
Concurrent Memory	2021	100% SW	19794K HW, 33074K SW	SW development	Memories capable of on-chip memory management
System-Level Design Automation (SDA)	2023	60% HW, 37.5% SW	31671K HW, 45476K SW	System design and verification	Automates true system design on- and off-chip for the first time, including electronic, mechanical and other heterogeneous technologies
Executable Specification	2025	200% HW, 200% SW	95013K HW, 136429K SW	System design and verification	Describes the system specification in a manner that allows automated design and validation
Total		7920% HW, 21119% SW			

### 付録 III: DT-ベースの消費電力の削減

表 DENS14 は、今後 15 年間（2011～2026）での 8 つの低消費電力の DT 技術革新を示す。各々がスタティック、ダイナミックの消費電力削減効果を持つ。表 DESN14 はさらに、2011 年以前での 10 個の DT の技術革新のリストも示す。これらのうちに 3 つの技術（基板バイアス制御、パワーゲーティングそしてダイナミック電圧・周波数制御）は、今後 5, 7, 10 年後も SOC-CP でのパワー削減のある範囲の効果（スタティック電力で 1.19x, 4.64x そして 1.00x, ダイナミック電力で 1.05x, 0.93x そして 1.11x）があるであろう。デバイスレベルでの革新（極薄の thin-body SOI, FinFET, など）も電力削減に効果があるが、これらは PIDS 章のロードマップとしてあり、その改善は既に SOC-CP モデルに組み込まれている。そのためここにはあげていない。

図 DESN14 にある “PowerChart” は図 SYSD6 にある SOC-CP での低消費電力設計における技術革新を示している。図 DESN14 は SOC-CP 設計での電力消費における以前と将来の DT 革新の効果を定量化している。SOC-CP は 2011 年に 48.8M の論理ゲートでスタートし、2026 年の 1995.5M 論理ゲートで終わっており、対応する消費電力は 3.5 ワットと 43.9 ワットにそれぞれなる。将来の DT 革新による消費電力化の効果で、SOC-CP はその替りに 2026 年には、ほんの 8.22 ワットしか消費しなくなるであろう。

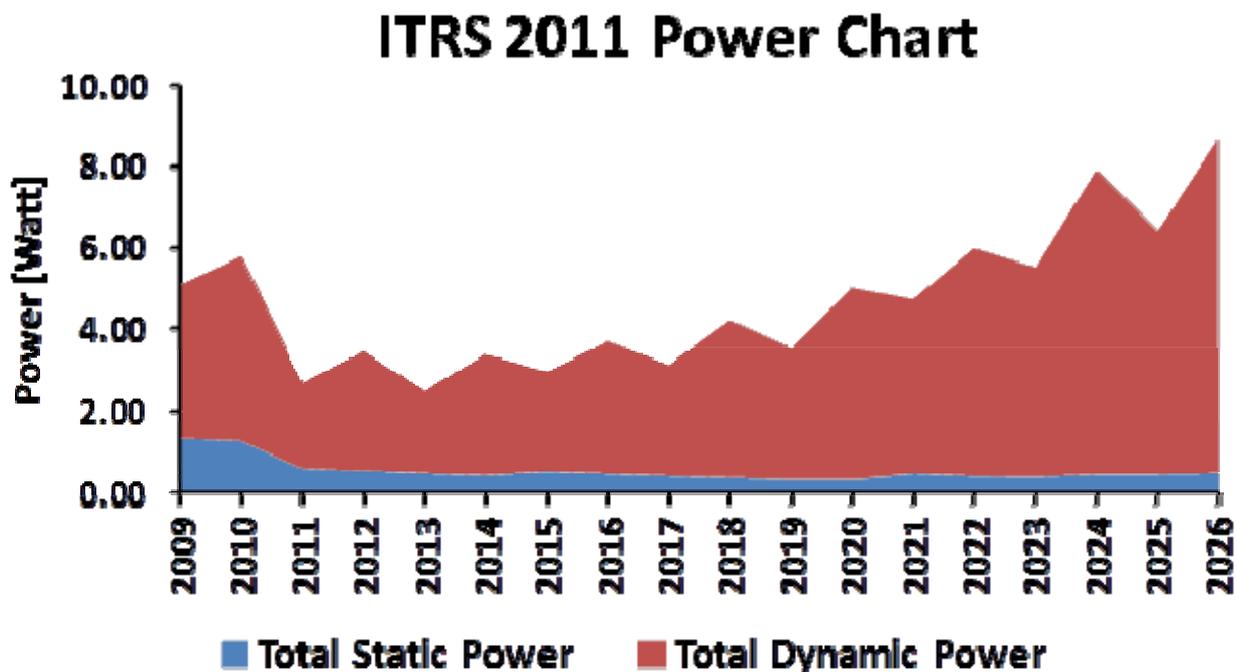


図 DESN 14 *Impact of Low-Power Design Technology on SOC Consumer Portable Power Consumption*

表 DESN 15 Low-Power Design Technology Improvements and Impact on Dynamic and Static Power

<i>DT Improvement</i>	<i>Year</i>	<i>Dynamic Power Improvement (x)</i>	<i>Static Power Improvement (x)</i>	<i>Description of Improvements</i>
Low Power Physical Libraries	Before 2011	1.50	1.50	Optimizing transistor size, layout style and cell topology for the standard-cell library
Back Biasing		1.00	1.35	Biasing wells of devices independently of the sources to shift the threshold voltage
Adaptive Body Biasing (ABB)		1.20	2.00	Delivering a positive or negative voltage below a transistor to reduce leakage
Power Gating		0.90	10.00	Turning off the power supplies to idle blocks for leakage reduction
Dynamic Voltage/Frequency Scaling (DVFS)		1.50	1.00	Dynamic management of supply voltage and operating frequency for power reduction
Multilevel Cache Architecture		1.00	1.20	Reduce amount of off-chip memory accesses for performance improvement and power reduction
Hardware Multithreading		1.00	1.30	Using multithreads to improve hardware utilization with leakage reduction
Hardware Virtualization		1.00	1.20	Using one physical server to support multiple guest operating systems simultaneously
Superscalar Architecture		1.00	2.00	Parallel instruction issue and execution for performance improvement and power reduction
Symmetric Multiple Processing (SMP)		1.50	1.00	Lowering the frequency by using multiple processors and parallel programming
Software Virtual Prototype	2011	1.23	1.20	Virtualization tools to allow the programmer to develop software prior to silicon
Frequency Islands	2013	1.26	1.00	Designing blocks that operate at different frequencies
Near-Threshold Computing	2015	1.23	0.80	Lowering V <sub>dd</sub> to 400 - 500 mV
Hardware/Software Co-Partitioning	2017	1.18	1.00	Hardware/software partitioning at the behavioral level based on power
Heterogeneous Parallel Processing (AMP)	2019	1.18	1.00	Using multiple types of processors in a parallel computing architecture
Many Core Software Development Tools	2021	1.20	1.00	Using multiple types of processors in a parallel computing architecture
Power-Aware Software	2023	1.21	1.00	Developing software using power consumption as a parameter
Asynchronous Design	2025	1.21	1.00	Non-clock driven design
Total		4.66	0.96	

## 付録 IV : 3DIC における設計課題

この付録の目的は 3 DIC の採用に関連した設計課題の認識であり、ここでは特にチップあるいはウェーファボンディングとシリコン貫通ビア(TSV)を用いた 3 DIC にフォーカスする。

先進的な高度に統合された 3 D 積層システムは、急速に主流の技術になる可能性が高い。これらは Chip-Chip、Chip-Wafer、Wafer-Wafer のボンディング、高密度のマイクロバンプ技術（特に銅や鉛）やチップの背面とウェーファの接合を可能にする TSV の技術を含む。これらの技術は、CMOS シリコン

チップと受動的シリコン構造、III-V 族を含んだ他種の半導体との密接な統合を可能にする。これらの技術により 3DIC が可能になり、さらには 1 つの基板上に高品質のトランジスタ層群を重ねるといった画期的なオプションもありえる。

これらの技術は、その成熟に伴いさらに積極的なテクノロジーの拡大に向けて、広範囲な設計ソリューションを可能にする。3 段階の設計生産の成熟段階を、設計の課題を含めて表 DESN15 にまとめている。

3D の最初のフェーズは、現在発生しているが、DRAM の積層とインターポーザの可能性にフォーカスされている。設計は主に、現在の技術を付加的に延長することで実現される。しかしながら、有効なソリューションになりえる特殊な課題もある。一般的にインターポーザによる協調設計は、いくつかの課題をもたらす、例えば適切なインターポーザの積層の判断、薄膜・厚膜のメタルによる電力供給、そしてチップ・パッケージの高密度インターポーザでの高密度 IO のための協調設計。インターポーザ技術の詳細は、熱や信号完全性解析（これは現状のチップ・パッケージ協調設計とほとんど異なる）が可能となるべく適切にモデル化される必要がある。すべての世代の設計で、かつ早めに注意を払われるべきであるところの、特殊な設計課題として、TSV による（トランジスタプロセスではなかった新たに発生するストレスで）トランジスタの移動度が変わる問題をどう管理するかがある。これは新たに隔離のためのデザインルールで解決するのか、あるいはより洗練された設計ソリューションがあるのか？ テストと歩留まり管理は、すべての世代で課題となる。最初の世代での課題は高密度で低コストで効率的なインターポーザを、特に細かなピッチの IO を、どうテストするかである。別の課題は積層型 DRAM での総合的なテストと歩留まりコストをどう最適化するかである。

第 2 世代でのフラッグシップとなりそうな製品は“広帯域 IO” DRAM のモバイルプロセッサとの積層化である。いくつかの課題が発生する。全体としての熱流は低いにもかかわらず、過渡的な熱の上昇を考慮した、Thermal-Driven のフロアプランが必要となるであろう。電力は TSV から供給されるため Power Integrity や IRdrop の制御が重要になる。この世代では、それぞれのチップが異なるベンダーで設計され、システムインテグレーションによって統合される。このようなデザインの変換フォーマット（この抽出方法のサポートも含む）が、熱解析、消費電力、信号完全性などの解析を必要な精度で行うために、必要となる。テストは、ロジックと DRAM のチップを別々にテストしたのち、統合テストということが必要となりさらに複雑になる。フォールトカバレッジと、テストの複雑性、テスト・エスケープといったこととの間の適切なバランスを決定する必要がある。全体のコストを削減する新たなテスト技術は重要になるであろう。

3 世代目は、システムの密集度と、異種性の増加で特徴づけられるであろう。サーバークラスのコンピュータは、大容量のメモリが、広帯域のバンドで組み込まれた高パワーのプロセッサが要求されるであろう。センサーは異種チップの積層が期待されそうである。異種性は、わずかな差異（例えばメタルオプションのみが異なるなど）を持つものの積層技術を示す場合がある。モノシリック 3D 積層がある形式で可能になりそうである。その設計課題は複雑性がだんだんと増加する。最良なシステム・アーキテクチャには、どの技術を同時に合わせるべきか？ どのように電力の伝達と放熱をコスト的に効率的に管理するのか？ 低 Vdd 値が期待される中で、積層間の DC-DC 変換が期待されるであろう。解析ツールは、システムの複雑度が増し、また高い電力の流れが発生することで、高精度に複雑な問題を解析しなければならなくなる。テストと歩留まり管理はシステムレベルの最適化を要求されるであろう。

表 DESN 16 Three Phases of Design Product Maturity and Design Challenges on 3DIC

	2011 - 2013	2013 - 2017	2017-2020
3D Technologies	Interposers	Memory tightly integrated with Logic	Multiscale heterogeneous 3D
	Homogeneous silicon stack		Optimized 3D subsystems
			Monolithic 3DICs
Exemplar Product(s)	DRAM stack	Mobile memory-on-logic	Exascale compute node
Product Advantages	Yield enhancement	Significant power savings	Highly integrated systems
	Miniaturization	Bandwidth enhancement, especially to 2-4 DRAMs	Solve the memory wall Cost-optimized systems
Design Challenges			
Early Design (Pathfinding)	Chip-package codesign with interposers	Thermal-driven floorplanning, including transients	Heterogeneous system optimization – system planning; cost; thermal and power delivery co-optimization
Thermal & Stress	TSV stress design rules	Transient thermal prediction to 5 deg C accuracy. Total chip-package stress control	Transient thermal prediction to 1 deg C accuracy
Power Delivery	Power integrity with interposers	Power integrity and IR drop with interposers and TSVs to 10 mV accuracy	Low-overhead power delivery of 100+ Amps with 10 mV accuracy
Standards and Formats	Chip-package design interchange for power and signal integrity and thermal design	Chip-package and chip-chip design interchange to permit 5 deg C and 10 mV accuracy	Interchange of complex tradeoffs including heterogeneous die and multiple package solutions
Test and Yield Management	Optimized test flow and yield management for ~4 chip stacks. Cost-effective interposer testing at < 10 micron pitch	Optimized test flow and yield management for logic on memory ~ 4 chip stacks	Optimized test flow and yield management heterogeneous systems of > 10 die