



INTERNATIONAL
TECHNOLOGY ROADMAP
FOR
SEMICONDUCTORS

2011 EDITION

EMERGING RESEARCH DEVICES

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2011 Edition(国際半導体技術ロードマップ 2011 年版)本文の日本語訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 15 のワーキンググループ(WG: Working Group)が組織され、半導体集積回路メーカ、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソーシアムなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2011年版は英文で 1000 ページを越えるの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、ITRS 2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要が限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。ITRS 2009 年版以降、電子媒体で ITRS を公開することを前提に編集を進め、ITRS の表は原則として、Microsoft Excel のファイルとして作成し、そのまま公開することにした。

ITRS は英語で書かれている。日本語訳の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くは専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字、脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただけますよう、お願い申し上げます。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出していない。

原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。Executive Summary の用語集(Glossary)も参照されたい。原文の括弧()があつてそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 SRTJ 事務局の進藤淳二さん、関口美奈さんに大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2012 年 5 月
訳者一同を代表して
電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長
石内 秀美 (株式会社 東芝)

版權について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2011 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS •SEMATECH, Inc. , 257 Fuller Road, Albany, NY 12203 • <http://www.itrs.net>
Japanese translation by the JEITA, Japan Electronics and Information Technology Industries
Association under the license of the Semiconductor Industry Association

ー引用する場合の注意ー

原文(英語版)から引用する場合： ITRS 2011 Edition page XX, Figure(Table) YY
この日本語訳から引用する場合： ITRS 2011 Edition (JEITA 訳) XX 頁,図(表)YY
と明記してください。

問合せ先：

一般社団法人 電子情報技術産業協会
半導体技術ロードマップ専門委員会 事務局
電話: 03-5218-1068 電子メール: roadmap@jeita.or.jp

TABLE OF CONTENTS

1. スコープ	1
2. 困難な課題	2
2.1. はじめに	2
2.2 デバイス技術	4
2.3 材料技術	5
3. ナノ情報処理の分類 (Nano-information Processing Taxonomy)	5
4. 新探求デバイス (Emerging Research Devices)	6
4.1. メモリの分類とデバイス (Memory Taxonomy and Devices)	6
4.2. ロジック及び代替情報処理デバイス	17
4.3. MORE-THAN-MOORE DEVICES	32
5. 新探求アーキテクチャ (Emerging Research Architectures)	36
5.1. 従来演算における新探求メモリアーキテクチャ (Emerging Memory Architectures in “Conventional” Computing)	36
5.2. Evolved Architectures Exploiting Emerging Research Memory Devices	40
5.3. モーフイックアーキテクチャ	41
6. 新探究メモリ・論理デバイス-重要な評価	46
6.1 はじめに	46
6.2 CMOS技術の定量的ロジックベンチマーク	46
6.3 俯瞰に基づくBEYOND CMOSメモリ及びロジック技術のベンチマーク	51
6.4 メモリとロジックデバイスの潜在的性能の評価	53
6.5 開発加速に向けて注目されるメモリとロジック技術	59
7. 情報処理	61
7.1 はじめに	61
7.2 困難な課題	61

LIST OF FIGURES

Figure ERD1	Relationship among More Moore, More-than-Moore, and Beyond CMOS.....	2
Figure ERD2	A Taxonomy for Emerging Research Information Processing Devices (The technology entries are representative but not comprehensive.)	6
Figure ERD3	Schematic layout of the excitonic field-effect transistor (ExFET).....	1
Figure ERD4	A Taxonomy for Emerging Research Information Processing Devices (The technology entries are representative but not comprehensive.)	33
Figure ERD5	Median delay, energy, and area of proposed devices, normalized to ITRS 15-nm CMOS. (Based on principal investigators' data; from Rev.	48

Figure ERD6	Energy versus delay of a NAND2 gate in various post-CMOS technologies. Projections for both high-performance and low-power 15nm CMOS are included as reference. All values are a snapshot in time, and will change as work continues. (Based on principal investigators' data; from Ref.).....	49
Figure ERD7	Inverter energy and delay and interconnect delay (*characteristic of transport over 10um) for various beyond-CMOS technologies. Projections for both high-performance and low-power 15nm CMOS included as reference. Solid dots indicate the switch is intrinsically non-volatile. All values are a snapshot in time, and will change as work continues. (Based on principal investigators' data) 49	
Figure ERD8	Transport impact on switch delay, size, and area of control. Circle size is logarithmically proportional to physically accessible area in one delay. Projections for 15nm CMOS included as reference. (Based on principal investigators' data; from Ref.).....	50
Figure ERD10 a-f	Technology Performance Evaluation for a) Redox Resistive Memory, b) Ferroelectric Memory, c) Nanomechanical Memory, d) Mott Memory e) Macromolecular Memory, and f) Molecular Memory.	58
Figure ERD 11 a-f	Technology Performance Evaluation for a) Nanowire MOSFETs, b) CNT MOSFETs, c) GaInSb and GaSbP p-channel MOSFETs, d) Ge and InP n-channel MOSFETs, e) GNR MOSFETs, and f) Tunnel MOSFETs	58
Figure ERD 12a-d	Technology Performance Evaluation for a) I MOSFET, b) Ferroelectric Negative Cg MOSFET, c) Atomic Switch, and d) Mott Transistor.	58
Figure ERD 12e-g	Technology Performance Evaluation for e) Spin FET and Spin MOSFET, f) NEMS Device, and g) P/N Junction Device.....	58
Figure ERD13a-f	Technology Performance Evaluation for a) BiSFET, b) Exciton FET, c) Spin Torque Majority Gate, d) All Spin Logic Device, e) Spin Wave Device, and f) Nanomagnetic Logic Device.	58

LIST OF TABLES

Table ERD1	Emerging Research Devices Difficult Challenges	3
Table ERD2	Memory Taxonomy	6
Table ERD3	Current Baseline and Prototypical Memory Technologies.....	7
Table ERD4	Transition Table for Emerging Research Memory Devices	7
Table ERD5	Emerging Research Memory Devices—Demonstrated and Projected Parameters	7
Table ERD6	Experimental Demonstrations of Vertical Transistors In Memory Arrays	8
Table ERD7	Benchmark Select Device Parameters.....	8
Table ERD8	Experimentally Demonstrated 2-Terminal Select Devices	8
Table ERD9	Target device and System Specifications for SCM	8
Table ERD10	Potential of the Current Prototypical and Emerging Research Memory Candidates for SCM Applications	8

Table ERD11	Transition Table for Emerging Research Logic Devices	18
Table ERD12a	MOSFETS: Extending MOSFETs to the End of the Roadmap	18
Table ERD12b	Charge based Beyond CMOS: Non-Conventional FETs and other Charge-based Information Carrier Devices.....	18
Table ERD12c	Alternative Information Processing Devices	18
Table ERD13	Anticipated Important Properties of Emerging Memories as driven by Application Need	40
Table ERD14	Likely desirable properties of M (Memory) type and S (Storage) type Storage Class Memories	40
Table ERD15	Current Research Directions for Employing Emerging Research Memory Devices to Enhance Logic.....	40
Table ERD16	Applications and Development of Neuromorphic System	41
Table ERD17	Noise-Driven Neural Processing and its Possible Applications	42
Table ERD18	Potential Evaluation for Emerging Research Memory Devices	54
Table ERD19	Potential Evaluation - Extending MOSFETS to the end of the Roadmap.....	54
Table ERD20	Potential Evaluation - Non-conventional FETs and other Charge-based Devices	54
Table ERD21	Potential Evaluation: Non-FET, Non-Charge-Based "Beyond CMOS" Devices	54

新探求デバイス (EMERGING RESEARCH DEVICES)

1. スコープ

CMOS の寸法スケールリングと機能スケールリングの継続により、情報処理技術は幅広いスペクトルを有する新しいアプリケーションの領域に入った。これらのアプリケーションの多くは、CMOS のスケールリングによって達成された性能の向上によって可能となっている。CMOS の寸法スケールリングは根本的限界に近づいているので、将来にわたって過去の集積回路の性能向上と機能辺りのコスト低減を維持するために、新しい代替情報処理デバイスや既存のあるいは新しい機能のためのマイクロアーキテクチャが探求されている。このことが、情報処理やメモリのための新しいデバイス、("More than Moore"として知られている) 様々な機能の異種機能集積 (heterogeneous integration), そしてシステムアーキテクチャのための新しいパラダイムに関する興味を引き起こす力となっている。従って、ERD 章は、新探求デバイス (emerging research device) 技術に関する ITRS の全体像を提供し、CMOS と CMOS の寸法スケールリングやスケールリングと等価な機能性スケールリングの終焉を凌駕するナノエレクトロニクス領域をつなぐ橋の役割を果たすものである。(新探求デバイスに関わる材料の課題は、ERD 章と相補的な章である新探求材料の章に記載されている。)

ERD 章の包括的な目標は、潜在能力を秘めた新しい情報処理デバイスやシステムアーキテクチャについて、その長期的な潜在能力、技術的な成熟度を調査・評価しカタログを作ることであり、半導体産業界によって将来開発する上で、受容できるリスクとして許容可能な科学的/技術的な課題を明確にすることである。新しい目標は、ITRS の More-than-Moore (MtM) の項目で取り組まれている技術 (現在はワイヤレスデバイスについて、近い将来ではパワーデバイスやイメージセンサーなど) について長期的に選択可能な解を訴求することである。

このことは、2 つ技術を定義づける領域を明示することで実現される。すなわち、1) CMOS プラットフォームの機能性を新しい技術の異種機能集積を通して拡張すること、2) 新しい情報処理のパラダイムの考案を刺激すること。これらの領域の関係は、Figure ERD1 に図示されている。従来型の寸法と機能のスケールリングによる CMOS プラットフォームの拡張はしばしば "More Moore" とよばれている。CMOS プラットフォームは ERD 章に新しい項目として入れられた "More-than-Moore" のアプローチによってさらに拡張される。一方、新しい情報処理デバイスやアーキテクチャは、しばしば "Beyond CMOS" 技術とよばれ、従来から ERD 章の主要な項目であった。"Beyond CMOS", "More-than-Moore" の "More Moore" への異種集積が CMOS プラットフォームの機能を究極的な "Extended CMOS" を形成するまで拡張するであろう。

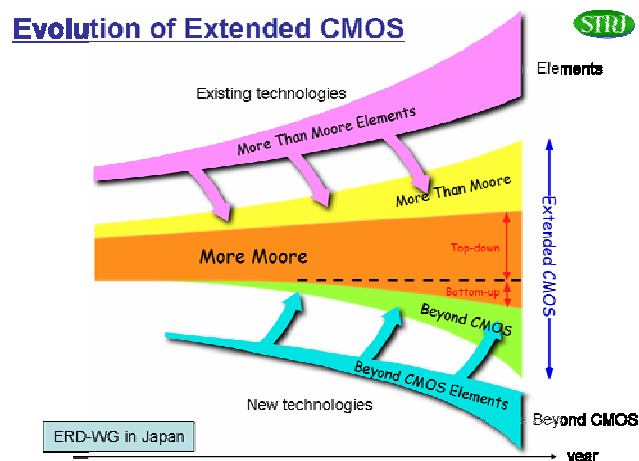


Figure ERD1 Relationship among More Moore, More-than-Moore, and Beyond CMOS.

ERD 章は 4 つに分けられている。1) メモリデバイス、2) 情報処理またはロジックデバイス、3) 情報処理ナノアーキテクチャ、4) それぞれの技術候補の評価、である。それぞれの候補に対して、動作原理、長所、技術的課題、成熟度、研究活動のレベルなどが述べられている。また、異種機能コアプロセッサを CMOS プラットフォーム技術に集積して得られる特殊で独特な機能をもたらすデバイスやアーキテクチャについても述べている。これらがこの章の短期の焦点である。一方、長期の焦点は、デジタル CMOS を置き換える情報処理技術の発見である。

スコープは”More-than-Moore”アプリケーションにおける特定のシステム機能を実現するための異種集積にもとめられるデバイスについての新しいセクションを含むよう拡張された。それに加えて、メモリーデバイスのセクションは次の2つのサブ・セクション、ストレージクラスメモリ (Strage Class Memory) (固体ドライブメモリ (Solid State Drive Memory)) とクロスバーメモリ (crossbar memory) に求められる“選択デバイス/ダイオード (Select Device/Diode)”を含むよう拡張された。最後に、”ベンチマーキング”のサブセク新は拡張され、アーキテクチャのセクションから”重要な評価”のセクションに移動し、新しいデバイス技術のバランスのとれた評価を提供している。CMOS を究極的にスケールするだけで得ることができるよりも圧倒的に情報処理技術を拡張する根源的な原理を提案する短いセクションも追加された。

2009 年版で導入され、”カーボンに基づいたナノエレクトロニクス”を急速に成長する情報処理技術としてハイライトしたセクションは、2 つの急速に成長するメモリ技術: スピン転送トルク磁性 RAM (Spin Transfer Torque Magnetostatic RAM, STT-RAM) と酸化還元抵抗 RAM (Redox Resistive Ram) をハイライトするように拡張された。これらの 3 つの技術は、5-10 年のうちに製造される準備が整いつつあるような高い潜在能力を持つものである。これらの技術をハイライトすることは、開発を加速すべき魅力的な技術であることも示唆している。

ERD 章は 5 つのセクションに分割されている。1) メモリーデバイス、2) 情報処理またはロジックデバイス、3) More-than-Moore デバイス技術、4) 新探求情報処理アーキテクチャ、そして 5) それぞれの技術候補の評価である。それぞれの候補に対して、動作原理、長所、技術的課題、成熟度などが述べられている。また、異種機能コアプロセッサを CMOS プラットフォーム技術に集積して得られる特殊で独特な機能をもたらすデバイスやアーキテクチャについても述べている。これらがこの章の短期の焦点である。一方、長期の焦点は、デジタル CMOS を置き換える情報処理技術の発見である。

以前の版と同様に、この章でも「変遷表」を準備した。この変遷表の目的は 2 つある。一つは、2009 年版の表に対して新たに加わったり削除されたりした技術を追跡し、その変化の理由を手短に説明することである。2 つ目は、重要ではあるものの技術候補の表に載せる基準には達しない候補を明らかにすることである。これらは、将来のロードマップの版ではより見えやすくする予定である。

2. 困難な課題

2.1. はじめに

半導体産業は、集積回路技術を新しい技術に発展させ CMOS 微細化の終焉を超えて発展する際に、3 種の困難な技術課題に直面している。1 つは、その究極の集積度と機能を超えて CMOS 技術を推進することであり、例えば、CMOS プラットフォームに新しい高速、高集積で、低消費電力メモリを含む技術を集積することにより CMOS を延長させることである。2 つ目は、現在ワイヤレス、パワーデバイスやイメージセンサに限られている More-than-Moore ITRS 技術候補に代わる長期的な解決策を発明し実用化することである。3 つ目は、CMOS で達成可能な情報処理を本質的に超えて情報処理技術を発展させることであり、

これは CMOS を延長する新デバイス、インターコネクト技術やアーキテクチャのアプローチと新しく発明される情報処理プラットフォーム技術とを革新的に組み合わせることにより達成される。これらの困難な技術課題は、いずれも 2018 年から 2026 年の長期的課題であり、Table ERD1 にまとめられている。

Table ERD1 Emerging Research Devices Difficult Challenges

<i>Difficult Challenges – 2018– 2026</i>	<i>Summary of Issues and opportunities</i>
Scale high-speed, dense, embeddable, volatile, and non-volatile memory technologies to replace SRAM and / or FLASH for manufacture by 2018.	SRAM and FLASH scaling in 2D will reach definite limits within the next several years (see PIDS Difficult Challenges). These limits are driving the need for new memory technologies to replace SRAM and possibly FLASH memories by 2018. Identify the most promising technical approach(es) to obtain electrically accessible, high-speed, high-density, low-power, (preferably) embeddable volatile and non-volatile RAM The desired material/device properties must be maintained through and after high temperature and corrosive chemical processing. Reliability issues should be identified & addressed early in the technology development
Scale CMOS to and beyond 2018 - 2026	Develop 2nd generation new materials to replace silicon (or InGaAs, Ge) as an alternate channel and source/drain to increase the saturation velocity and to further reduce V_{dd} and power dissipation in MOSFETs while minimizing leakage currents for technology scaled to 2018 and beyond. Develop means to control the variability of critical dimensions and statistical distributions (e.g., gate length, channel thickness, S/D doping concentrations, etc.) Accommodate the heterogeneous integration of dissimilar materials. The desired material/device properties must be maintained through and after high temperature and corrosive chemical processing Reliability issues should be identified & addressed early in this development.
Extend ultimately scaled CMOS as a platform technology into new domains of application.	Discover and reduce to practice new device technologies and primitive-level architecture to provide special purpose optimized functional cores (e.g., accelerator functions) heterogeneously integrable with CMOS.
Continue functional scaling of information processing technology substantially beyond that attainable by ultimately scaled CMOS.	Invent and reduce to practice a new information processing technology eventually to replace CMOS Ensure that a new information processing technology is compatible with the new memory technology discussed above; i.e., the logic technology must also provide the access function in a new memory technology. A new information processing technology must also be compatible with a systems architecture that can fully utilize the new device. A new non-binary data representation and non-Boolean logic may be required to employ a new device for information processing. These requirements will drive the need for a new systems architecture. Bridge the gap that exists between materials behaviors and device functions. Accommodate the heterogeneous integration of dissimilar materials Reliability issues should be identified & addressed early in the technology development
Invent and reduce to practice long term alternative solutions to technologies that address existing MtM ITRS topical entries currently in wireless/analog and eventually in power devices, MEMS, image sensors, etc.	The industry is now faced with the increasing importance of a new trend, “More than Moore” (MtM), where added value to devices is provided by incorporating functionalities that do not necessarily scale according to “Moore's Law”. Heterogeneous integration of digital <i>and</i> non-digital functionalities into compact systems that will be the key driver for a wide variety of application fields, such as communication, automotive, environmental control, healthcare, security and entertainment.

2.2 デバイス技術

新探究デバイスの開発に関する困難な技術課題は、メモリ技術に関する課題、情報処理デバイスすなわちロジックデバイスに関する課題、およびマルチ機能を有するコンポーネントの異種集積化に関する課題（すなわち More-than-Moore (MtM)あるいは機能多様化）に分けられる（Table ERD1 を参照のこと）。課題の一つは、現在のメモリの最良の特徴を併せ持ち、CMOS プロセスと互換性のある作製技術で作られ、現在の SRAM や FLASH の限界を超えて微細化されるような新メモリ技術が必要なことである。このような技術は、スタンドアローンと混載メモリの双方に必要なメモリデバイス作製プロセスを提供することになるであろう。マイクロプロセッサユニット(MPU)がプログラムを実行する性能は、プロセッサとメモリの相互作用によって制限されており、微細化ではこの問題は解決できない。現在の解決策は、MPU のキャッシュメモリの容量を増やすことであり、その結果、MPU チップ上の SRAM の占有面積が増えている。このトレンドにより、正味の情報処理スループットが実際には下がってしまう。半導体メモリは不揮発性でないので、データを記憶する補助回路に加えて（磁気ハードディスクや光 CD などの）アクセスの遅い外部記憶メディアが必要となっている。したがって、電氣的にアクセス可能で不揮発性のメモリ、しかも高速で高集積のメモリの開発が、コンピュータアーキテクチャに革命をもたらすことになるかも知れない（これらは Storage Class Memory または SCM と呼ばれる）。このようなメモリの開発は、ナノスケール CMOS で完全に実現されれば、従来の微細化の恩恵を超えてさらなる情報処理スループットの著しい増大をもたらすことになるであろう。

これに関連する課題は、CMOS ロジック技術を 2018 年の性能を超えて性能向上させることである。CMOS の微細化が次の 10 年で緩やかになった場合に性能向上を続ける方法の一つは、ひずみ Si による MOSFET のチャネル（およびソース・ドレイン領域）を、より高い準バリスティックキャリア速度と高い移動度を有する別の材料に置き換えることである。候補となる材料としては、ひずみ Ge、SiGe、多くの III-V 族化合物半導体、グラフィンなどが挙げられる。シリコン以外の材料をシリコン基板上の MOSFET のチャネルおよびソース・ドレイン領域に導入することは、非常に困難な課題を伴う。これらの課題として挙げられるのは、格子定数が異なるシリコン上に高品質の（すなわち無欠陥の）チャネルおよびソース・ドレイン領域材料を異種形成すること、バンドギャップが狭い材料の場合はバンド間トンネル電流を最小に抑えること、チャネル/ゲート絶縁膜界面におけるフェルミレベルピンギングをなくすこと、チャネル材料上に high-k 絶縁膜材料を形成することなどである。これらの微細 CMOS ゲートにおけるリーク電流や消費電力を抑制し続けることも課題である。また、これらの新材料を導入しつつ同時にデバイス寸法のばらつきやチャネル（ソース・ドレイン）の不純物による統計的なばらつきを抑制することも大きな課題である。

産業界は、新しいトレンドである”More-than-Moore (MtM)”の重要性に対処し始めている。MtM では、いわゆるムーアの法則にしたがってスケールしない新機能を取り込むことにより、デバイスに付加価値を与える。この章では、More-than-Moore の重要部分を初めて含めることにした。この 2011 年版では、ワイヤレス技術を取りあげる。ITRS では伝統的に、ムーアの法則の妥当性を仮定し、”More Moore”をロードマッピングする際に、”Technology Push”のアプローチをとってきた。MtM 領域では、このような法則が存在しないため、ロードマップを作成するに際して今までと異なる方法をとることになる。

長期的な課題は、”beyond CMOS”に向けて製造可能な情報処理技術を発明し、それらの応用技術を特定することである。例えば、新探究デバイスは、CMOS のマルチ CPU と集積して特別な用途をもつプロセッサコアを実現するために用いられるかも知れない。これらの特別用途のコアはデジタル CMOS ブロックよりはるかに効率的な特別のシステム機能を有するかも知れず、またそれらは CMOS ベースのアプローチでは達成できない独特の新機能をもたらすかも知れない。このような CMOS 微細化の終焉を超えるための解決策は、新情報処理の基本的要素として CMOS を置き換える新探究デバイス技術を生み出す可能性がある。新情報処理技術はまた、新デバイスを用いるシステムアーキテクチャと互換性をもたなければならない。新しい情報処理デバイスを用いるためには、2 進法ではないデータ表現やブール関数以外のロジ

ック方式が必要になるかも知れない。これらの要求が新しいシステムアーキテクチャの必要性を牽引するであろう。

2.3 材料技術

新探究材料の最も困難課題は、ナノメートルスケールで高密度の新探究デバイスが正常に動作するように制御された新材料を提供することである。高密度デバイスの材料特性の制御を向上させるため、材料形成の研究は新しい計測とモデルを用いて行われなければならない。これらの重要な目的は、姉妹章である新探究材料の章で扱う。

3. ナノ情報処理の分類 (NANO-INFORMATION PROCESSING TAXONOMY)

一般に、情報処理によってあるシステム機能を達成するには、いくつかの異なる相互に関連する技術レイヤーを必要とする。この節の目的は、この章のスコップを新探究材料の章および設計の章のスコップと区別するため慎重に分類を行うことである。

これらのレイヤーをトップダウンで表示すると、まず最初にくるのは必要なアプリケーションまたはシステム機能であり、続いてシステムアーキテクチャ、マイクロまたはナノアーキテクチャ、回路、デバイス。材料の順となる。図 ERD1 に示すとおり、この階層構造を逆にボトムアップ的に異なる表し方をすると、最初にくるのは計算を行うための状態変数によって表される最下層の物理レイヤーであり、最後はナノアーキテクチャで表される最上層となる。より模式的に表わされたこの図では、汎用的なデバイス・回路レベルの情報処理に焦点を当てており、情報の最も基本的な単位(例えばビットなど)は計算の状態変数によって表される。例えば、古代のアバカス(そろばんに似た計算器)では、玉の位置がこれに相当し、CMOS ロジックではノード容量における電圧がこれに相当する。デバイスは、この状態変数が 2 つあるいはそれ以上の離散的な状態の間を行き来するのを操作する物理的な方法を提供する。要するにデバイスの概念とは、単純な 2 値のスイッチを複数のファンインとファンアウトを有するより複雑な情報処理機能に変えることである。デバイスは、ある所望の特性を有する数多くの材料が集まって構成される物理的な構造であり、それは一連の作製プロセスを行うことによって作製される。したがって、必要とされるデバイス構造を作成するために必要なさまざまな材料やプロセスは重要なレイヤーであり、それは ERM 章の領域である。データ表現とは、その状態変数をデバイスの集合体によっていかに表現しビットまたはデータの処理を行うかの方法である。データ表現の最も良い例は、2 値のデジタル表現と連続的なアナログ信号処理であり、このレイヤーは ERD 章のスコップ内である。アーキテクチャのレイヤーやこの分類法では 3 つのサブ領域に分けられる: 1) 計算の実行を可能とする高次レベルの根本機能を構成するナノアーキテクチャあるいは物理的配列あるいはデバイスの集合体、2) 情報が根本機能を用いて処理されるアルゴリズムを記述する計算モデル(例えばロジック、計算、メモリ、セルラ非線形ネットワーク(CNN)など)、および 3) 計算モデルを実行するシステムの構造や機能を記述するシステムレベルのアーキテクチャ。サブ領域 1)は ERD のスコップ内であり、上記サブ領域 2)と 3)は設計章のスコップである。

赤枠で囲まれた黄色の部分に書かれている要素は現在の CMOS プラットフォーム技術を表している。2 値計算の状態変数は電荷である。この状態変数はフォンノイマン計算システムアーキテクチャの基礎をなしている。アナログのデータ表現も現在の CMOS プラットフォーム技術に含まれている。これらの 5 つのカテゴリに書かれている他の候補は、互いに組み合わせられたり革新的に使われたりすることにより、新しく非常にスケーラブルな情報処理のパラダイムを提供する可能性がある。

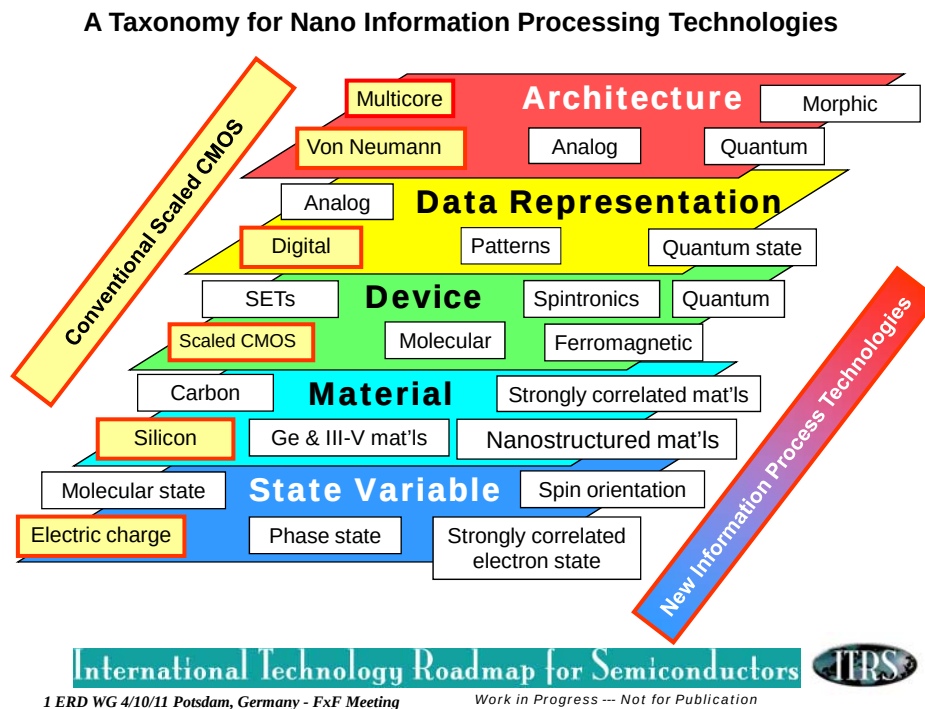


Figure ERD2 A Taxonomy for Emerging Research Information Processing Devices (The technology entries are representative but not comprehensive.)

4. 新探求デバイス（EMERGING RESEARCH DEVICES）

4.1. メモリの分類とデバイス（MEMORY TAXONOMY AND DEVICES）

この節に掲載されている新規探索系メモリ技術は、おおよそ 2009-2011 年の間に刊行された研究論文から、次の世代を担う魅力的な技術候補として選ばれた代表的な例である³。

³ ここでの採用は、当該技術候補に対して何ら支持・保証を与えるものではない。逆に、ここで採用されていないとしても、それは当該技術を何ら否定するものではない。ここでリストに挙げる目的は、現在行われている研究が多様な基本メモリメカニズムを検討していることを示すことにある。

この節で扱う対象範囲は、今回、新たに 2 つのサブセクションを含むべく拡張された。一つは“選択デバイス”で、クロスバー型のメモリ応用において必要となる。もう一つは“ストレージクラスメモリ”で、Solid State Drive (SSD)用のメモリを議論するために導入された。

表 ERD2 は、既存及び将来メモリ技術を 4 つの範疇にまとめて分類したものである。ここで強調されるべきは、採り上げられた各々のメモリが CMOS 技術のプラットフォーム上に繋ぎ目なく一体化して組み込まれる必要性である。そのための製造技術が、CMOS プラットフォーム技術の修正や追加によって検討されている。一つの目標は、使い慣れたシリコンメモリチップと同等の扱いができるデバイスを末端ユーザーに届けることである。

Table ERD2 Memory Taxonomy

新たなメモリ技術候補は、既存メモリ技術の特性を受け継ぎ、さらに向上させることを目指している。そのため、既存の基準となるメモリ技術や試作段階にあるメモリ技術に対し、鍵となる特性因子を表 ERD3 にまとめた。これらの因子は、新規メモリ技術候補の現在及び将来の実力を見極めるための相対的な評価基準となる。

Table ERD3 Current Baseline and Prototypical Memory Technologies

2011 年版ロードマップに掲載された新規探索系メモリ技術は、いくつかの点で 2009 年版と異なる。本節における採択技術の変更点は、Transition Table for emerging research memory devices(表 ERD4)にまとめてある。具体的には、1) STT-RAM は表 ERD5 から削除(この技術は PIDS の章にて扱う)、2) FeFET メモリは *Emerging Ferroelectric* メモリに置き換える、3) Nanothermal と Nanoionic メモリは Redox メモリに統合する、4) Electronic Effects メモリは表 ERD5 から削除、5) 新たに Mott メモリを加える。これらの変更の理由と動機は、表 ERD4 に記載してある。

Table ERD4 Transition Table for Emerging Research Memory Devices

Table ERD5 Emerging Research Memory Devices—Demonstrated and Projected Parameters

本節におけるメモリは、表 ERD5 の第 1 行に示すように、概ね 6 種類の技術として分類してある。これらの技術は、世界的に研究活動が最も活発な分野を把握するために、関連文献の体系的な調査を経て選択された。取り上げた各技術は、議論を容易にするために、デバイスとしていくつかの小分類に分けられている。メモリ技術を評価するための重要特性項目を同表に載せてある。各特性項目には、特性値として 3 つの値を載せてある: 1) 実用上、最低限必要な特性値、2) 計算や初期の実験結果に基づいて理論的に予測される特性値、3) 引用した技術文献に報告されている最新の実験結果における特性値。

表 ERD5 の最終行には、採択メモリ技術に関する過去 2 年間に刊行された論文数が載せてある。これは、研究機関における各メモリ技術に対する現在の研究の活性度を表す指標になるとともに、どのデバイスをこの表に載せるべきかを定めるための簡易的な評価手法ともなる。同表には、広範囲に渡って脚注が付けられており、参考文献が引用されている場合はさらに詳しい説明を見ることが出来る。表中には各デバイスの動作原理が簡単に記載されている他、動作確認のためには解決が必須の(表の数字からは読み取れない)科学的・技術的な重要課題も記入されている。

多くのメモリスistemにとって、その目的は、大量のデータを蓄えることにあり、従ってメモリ容量(あるいはメモリ密度)はシステムにおける最も重要な要素の一つである。通常のメモリスistemでは、メモリセルは連結して 2 次元のアレイ(配列)を構成している。従って、メモリセルの動作能力は、アレイ構成の中で語られるべきものである。アレイにおける一つのメモリセルは、2 つの基本要素から成り立っていると見なせる。すなわち、“記憶部”と“選択素子”である。後者は、アレイにおけるある特定のメモリセルに対する読み出しあるいは書き込み動作を可能にする。どちらの構成要素もメモリのスケール限界に影響を及ぼす。様々な抵抗ベースのメモリにおいて、進化が進めば記憶部の大きさは原理的に 10 nm 以下のサイズとなり得る¹。この時、メモリ密度は、選択デバイスによって制限されることになろう。従って、選択デバイスは、10 nm 以下のスケールを狙う ReRAM にとって深刻な障害となる。面内型のトランジスタ(たとえば FET あるいは BJT)は選択デバイスとして最も一般的に使われる。面内型の選択 FET を使う 2 次元のレイアウトでは、セルの占める面積は $A_{cell} = (6-8)F^2$ である。2 次元配置で可能な最も高密度なメモリ密度 $4F^2$ を得るには、縦型の選択トランジスタを使えばよい。表 ERD6 には、選択デバイスとして現在、検討が進められている縦型トランジスタの例をいくつか示してある。選択デバイスの専有面積を小さくするもう一つの方法は、ダイオードのような 2 端子の非線形デバイスを使うことである。独立したデバイスを外付けする方法と、非線形な抵抗メモリ素子自体が持つ整流性を利用する方法がある。表 ERD7 には 2 端子選択デバイスに要求される特性値が示されており、表 ERD8 には様々な 2 端子選択デバイス候補の動作特性値がまとめられている。

*Table ERD6 Experimental Demonstrations of Vertical Transistors In Memory Arrays**Table ERD7 Benchmark Select Device Parameters**Table ERD8 Experimentally Demonstrated 2-Terminal Select Devices*

ストレージクラスメモリ (storage-class memory: SCM) は、固体メモリが持つ利点 (高性能かつ高耐久性など) と、従来のハードディスク型磁気記録が持つ大量データ蓄積能力と低いビットあたりコストを合わせ持つデバイス区分である。そのようなデバイスには、非常に低いビットあたりコストで製造できる不揮発性メモリ技術が必要となる。原理試作段階及び研究段階にある SCM 用途の新規メモリデバイスの潜在能力は、既に市場に出ているストレージ技術 (磁気記録である HDD と不揮発性半導体フラッシュメモリ) を基準にして評価されることとなる。表 ERD9 には、SCM 用デバイス及びシステムに対する代表的な目標仕様が既存技術 (HDD, NAND フラッシュ, DRAM) の特性値と比較して載せてある。SCM として成功するには、信頼性、高速アクセス、固体メモリにおける耐久性、HDD の持つ安く大量のデータ蓄積といった特徴を兼ね備えていなければならない。表 ERD10 には、原理試作段階にあるメモリ技術 (表 ERD3) と研究段階にある新規メモリ技術候補 (表 ERD5) の SCM 用途としての可能性が各特性項目に対して示されている。

*Table ERD9 Target device and System Specifications for SCM**Table ERD10 Potential of the Current Prototypical and Emerging Research Memory Candidates for SCM Applications***4.1.1. メモリの分類 MEMORY TAXONOMY**

表 ERD2 には、メモリ技術の簡単な分類方法が示されている。このやり方では、メモリセルの特徴が共通する機能要素として分類される。たとえば、良く知られた DRAM セルは、選択トランジスタと容量型の記憶ノードから成るので 1T1C 技術と表現される。他の技術、たとえば、磁性材料におけるスピンの状態としてデータが保存される STT-MRAM は、1T1R 技術と表される。ここで、抵抗“R”は、セルを通じて流れる電流を検出することによってメモリセルの読み出しを行うことを意味する。メモリセルの共通機能要素の数を最小にするこの分類表記によれば、メモリセルの簡素化の傾向 (たとえばセル面積の減少) を要領よく把握できる。すなわち、あるメモリ技術の開発初期段階では一般に複数のトランジスタと複数の容量あるいは抵抗から構成されているが、開発が進むにつれ、作製が容易な 1T1x の形に落ち着いてくる。ほぼ理想の形態は、データ保存要素をトランジスタ構造内に収めたものである (1T セルとなる)。ナノ・エレクトロニクスによる超高密度のメモリアレイにおいては、トランジスタ“T”の代わりに、非線形特性を持つ 2 端子のダイオード型素子が抵抗変化型メモリ素子とともに使われるかもしれない。そのような構造は、1D1R 技術と表現される。

新規探索系メモリ技術を特徴づける重要な性質の一つは、電源 OFF 状態にてデータを保持できるかどうかである。メモリの不揮発性は、メモリを使用する上で本質的な優位性を提供してくれる。不揮発性の度合いは、データ保持可能期間として測定される。揮発性メモリにおいてもデータ保持期間はあり、これは数 ms から (実用上は) 電源が ON 状態にある間となる。

4.1.2. メモリデバイス**4.1.2.1. 強誘電体メモリ (Ferroelectric Memory)**

新原理の強誘電体メモリは探索的な 2 種類のメモリからなる: 1) 強誘電体 FET 型と 2) 強誘電体分極 ReRAM (resistance RAM) である。このメモリを、従来の強誘電体容量ベースのメモリ (FeRAM あるいは FRAM) と混同してはならない。従来型は、PIDS の章の表や表 ERD3 に掲載されている。

4.1.2.1.1. 強誘電体 FET 型 (Ferroelectric FET)

強誘電体FET (FeFET)²メモリは 1Tメモリデバイスであり、強誘電体容量がFETのゲート積層構造の中に組み込まれている。強誘電体分極はチャネル中の電荷に直接、影響を与え、FETの出力特性に明確なシフトを引き起こす。典型的なFETメモリ素子は、シリコンFETのゲート積層構造の中に、無機物の複合酸化物あるいはフッ化物 ($\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$, $\text{SrBa}_2\text{Ta}_2\text{O}_9$, BiMgF_4 など) を用いている。これらの材料には、Si基板上に強誘電体膜を形成するために必要な高温・高酸素濃度雰囲気下にて、積層界面における拡散や化学反応を引き起こすという深刻な問題がある^{2, 3}。拡散問題を避けるために、強誘電体膜とSi基板の間に絶縁性の緩衝層が挿入される²。この結果、ゲート積層構造は、金属／強誘電体／絶縁体／半導体 (MFIS) となる。ゲート誘電体として有機物の強誘電体膜 (たとえばフッ化ポリビニリデン- PVDF) を用いれば、有機物は結晶化温度が低く、従って拡散が抑制されるため、上記の緩衝層は不要となる^{2, 3}。FeFETメモリの主要課題は、そのデータ保持時間の短さである (通常、数日から数か月)。これには、2つの根本的な原因がある。すなわち、積層構造中における有限の減極場の存在と、強誘電体分極及び続いて起きる電荷捕獲によるゲート積層構造中への電荷注入である^{4, 5}。データ保持時間を長くするために提案されている方法には、強誘電体層及び上下の膜との界面の品質向上が含まれる。たとえば、強誘電体層を含むすべての酸化物膜をヘテロ・エピタキシャル成長で形成するなどの方法がある⁶。理想的な例として、単結晶で単ドメインの完璧な強誘電体を使うことが検討されている^{4, 5}。

FeFETメモリのデータ保持時間の短さは、ストレージ用途の不揮発性メモリ、たとえばS-SCM技術 (以下の4.1.4 節SCMを参照のこと) としては、その適用可能性に疑問を呈することとなる。一方、DRAMのような用途であれば見込みがあり⁵、もし 50 nm以下のスケラビリティを実現できるならば、M-SCMとして使える可能性がある。現在、FeFETの積層構造を作るための新しい材料の開発が精力的に進められており、たとえば、有機強誘電体^{3, 7}、ナノチューブ⁸、ナノワイヤー⁹、グラフェン¹⁰などが挙げられる。FeFETメモリのスケラリングは、22 nm世代ぐらいが限界と思われる。これは、強誘電体絶縁層が薄くなり過ぎて、誘電分極場、従って強誘電体特性をほぼ維持できなくなるからである¹¹。

4.1.2.1.3 強誘電体分極抵抗変化メモリ (Ferroelectric Polarization ReRAM)

強誘電体分極ReRAMは、金属／強誘電体／金属が基本構造であり、強誘電体膜における電荷の注入／輸送特性が強誘電体の分極変化により変調される。抵抗変化と強誘電体分極スイッチングとの相関は、ショットキー障壁の変調¹²、強誘電体トンネル接合¹³、分極誘起格子歪み¹⁴といった異なる機構で説明されている。強誘電体ReRAMを実用化する上での大きな課題として、強誘電体を流れる電流が一般に小さいことがある (ほとんどの強誘電体は絶縁性のワイド・バンドギャップ材料である)¹⁵。メモリの状態の安定した検出には十分、大きい電流が必要であり、そのためには強誘電体層の薄膜化が求められるが¹⁵、実際に対応するにはかなりの困難がある。

4.1.2.2 ナノ電気機械式メモリ (Nanoelectromechanical memory: NEMM)

NEMMは、双安定なナノ電気機械式スイッチ (NEMS) に基づいている。このコンセプトでは、機械的なデジタル信号は、固体のナノサイズ素子 (たとえばナノサイズのワイヤー、ロッド、あるいは粒子) の変位によって表される。宙吊りの梁／片持ち梁を持つNEMMに対し、 Si ¹⁶、 Ge ¹⁷、 TiN ¹⁸、 CNT ¹⁹など異なる材料を用いて、現在、様々な改良が検討されている。片持ち梁のNEMMにおける難題の一つが、スケラビリティ (縮小化) である。片持ち梁のバネ定数、従って引き寄せ電圧は、梁の長さが短くなるにつれ、増加する。NEMMのスケラリング (サイズ縮小) に関する解析²⁰によれば、50 nmより短い梁を使う場合、低電圧 (~1V) での駆動は難しそうである。垂直方向の片持ち梁は、NEMMの占める面積を減らすことができる¹⁶。また、ナノ電気機械式のねじり (torsion) スイッチも最近、動作が確認されており^{21, 22}、サイズ低減に向いているとされている²²。

書き込み／消去特性の改善のために、NEMSと浮遊ゲートメモリのハイブリッドデバイスも提案されている。このデバイスでは、浮遊ゲート²³かコントロールゲート²⁴のどちらかが宙吊りのブリッジあるいは片持ち梁になっており²⁵、空気間隙によって一方から分離されている。宙吊りのブリッジ電極は、電圧印加により間隙内で動くことができ、コントロールゲートと浮遊ゲート間の間隙を変化させる。間隙を小さくすれば素早い書き込み／消去ができ、大きくすればストレージモードにおけるデータ保持期間を長くすることができる。

スイッチング可能回数が小さいことは、動作実証されたNEMMデバイスの深刻な問題である。せいぜい100回程度のスイッチングにしか耐えられない^{17, 18, 19, 26}。

4.1.2.3 酸化還元メモリ (Redox Memory)

イオン移動型メモリの動作はナノ領域における酸化還元反応に基づいており、MIM構造におけるイオン（陽あるいは陰イオン）移動による抵抗変化を利用する。このイオン移動には、電極材料か絶縁体材料、あるいは双方が関与する酸化還元過程が結びついている^{27, 28}。スイッチング機構として、電気的に誘起される3種類の現象が明らかになっている。これは化学的な効果を含んでおり、MIMセルにおける酸化還元過程に関わっている。これら3つの現象に対応するReRAMでは、スイッチング機構に熱的な駆動力と電気化学的な駆動力があり、両者は競合している。以下、3種類のスイッチング機構について説明する。1つ目は、双極性の電気化学的な金属化によるスイッチング機構あるいはメモリ効果（ECM: electro-chemical metallization mechanism/memory-effect）である。これは、電気化学的に活性な電極金属（たとえばAg）に依存しており、イオン伝導性の絶縁層（“I”層）中に放出された高い移動度を持つ陽イオンAg⁺が対向電極に向かって泳ぎ出し、不活性な対向電極上にAgのデンドライト（樹枝状結晶突起）を成長させる。このデンドライトは、高い導電性を持つ金属フィラメントを形成し、2つの電極間を接続してセルのON状態を発現する²⁹。印加電圧の極性を反転させると金属フィラメントの電気化学的な分解が起こり、メモリセルを高抵抗のOFF状態に戻す。2つ目は、ある特定の遷移金属酸化物の中で起きる原子価変化によるスイッチング機構あるいはメモリ効果（VCM: valence change mechanism/memory-effect）である。これは、酸素などの陰イオンのマイグレーション（移動）がきっかけになって生じ、通常、その陰イオンの空格子点（たとえば酸素空孔）の動きによって現象が記述される。陰イオンのマイグレーションに続いて化学量論的な変化が生じ、陽イオンの副格子の原子価変化及び電子伝導率の変化として表される酸化還元反応を引き起こす。このメモリスイッチングは双極性であり、電圧パルスによって誘起され、電圧の極性が変化の方向（還元か酸化か）を決める。3つ目は、単極性の熱化学的なスイッチング機構あるいはメモリ効果（TCM: thermo-chemical mechanism/memory-effect）であり、電流によって誘起される温度上昇により化学量論的な変化が生じる³⁰。このスイッチング機構を使うメモリは、しばしばヒューズ-アンチヒューズ（ヒューズの形成と分断）メモリと呼ばれる。

酸化還元メモリの材料の種類には、酸化物、多元系のカルコゲナイド（ガラスを含む）、半導体、ポリマーを含む有機化合物などがある。材料によっては、双安定なスイッチング操作を行えるようにするために、初期化（伝導パスの形成）プロセスが必要になる²⁸。伝導は、多くの場合、フィラメントの性質によっている。もしこの効果（フィラメント形成による伝導）を制御できるならば、この双安定なスイッチング過程に基づくメモリを非常に小さいサイズにまで縮めることができる。スイッチング速度は、イオン輸送によって制約される。もし、活性な距離（双安定スイッチングに関係する酸化還元反応の制御領域の大きさ）が小さいならば（10 nm以下）、スイッチング時間を数nsにまで下げることができる。報告された現象の多くは、そのメカニズムの詳細がまだ明らかになっていない。酸化還元メモリのスイッチングを支配している物理的メカニズムの理解を進めることが、この技術の最も重要な課題の一つであると言えよう。それにも拘わらず、スケーラビリティ、データ保持時間、そしてスイッチング繰り返し耐性に対する最近の目覚ましい実験成果は、この技術に対する取り組みを大いに鼓舞するものである^{31, 32}。

4.1.2.4 モット・メモリ (Mott Memory)

モット・メモリでは、電荷注入によって強相関電子系から弱相関電子系への転移が誘起され、絶縁体 - 金属転移、あるいはモット転移が起きる。モット転移に基づく電子スイッチやメモリ素子 (CeRAMとも呼ばれる: correlated electron random access memory) が、 VO_2 ³³, SmNiO_3 ³⁴, NiO ^{35,36,37}などの材料系において検討されている。Mott-Hubbardモデル^{35,36}によって記述される臨界電子数がスイッチングメカニズムに深く関与している可能性が指摘されている。最近、 AM_4X_8 構成のモット絶縁体 ($\text{A} = \text{Ga, Ge, M} = \text{V, Nb, Ta, X} = \text{S, Se}$)において可逆的で不揮発な抵抗スイッチングが報告され、メモリデバイスとしての可能性が議論されている³⁸。

このタイプのデバイスの課題は、各種パラメータ (電荷密度、歪、結晶格子の乱れ、局所的な化学組成など) の僅かな変化に対し、相関電子群の振る舞いが敏感であることである。それ故、材料と界面に対する物理的及び化学的な構造の精密な制御が必須となる。 NiO における絶縁体 - 金属転移に対して、 $\text{Ni}(\text{CO})_4$ のドーピングによって電子的な相転移の精密な調整が可能であることが見出されている^{36,37}。このようなドーピングは酸素空孔を安定させ、結果として純粋なモット転移システムを可能にする³⁷。

より最近では、新たな金属 - 絶縁体転移効果の可能性が探られており、これは、2つの複合酸化物間の界面における疑似2次元電子ガス(2DEG)の形成に基づくものである^{39,40,41,42}。たとえば、Si基板上に成長した2DEGナノワイヤーの $\text{LaAlO}_3/\text{SrTiO}_3$ に対して室温でのスイッチングが実証されており、ナノスケールのメモリデバイスとしての可能性が議論されている⁴²。

4.1.2.5 高分子メモリ (Macromolecular Memory)

高分子メモリは、ポリマーあるいは有機の抵抗変化メモリとも言われ、2つの金属電極の間に有機材料膜を挟んだ構造のメモリ素子からなる^{43, 44}。有機膜は通常、相対的に厚く、多数の単分子層からなる。製造コストの安さがこの種のメモリを検討する際の最も強い動機であり、極端なスケールリングは期待しない⁴⁴。メモリ動作機構は、まだ明らかになっていない。いくつかの研究によれば、抵抗変化は、本質的な分子機構⁴⁴、電荷捕捉^{45, 46}、あるいは酸化還元/イオン性機構⁴⁴によると言われている。

高分子メモリデバイスの材料システムの例には、各種ポリマー群や小分子の有機化合物がある: たとえば、ポリイミド (polyimide)⁴⁷、ポリフルオレン (polyfluorene)⁴⁸、PMMA (poly methyl-methacrylate)⁴⁹、TCNQ (7,7,8,8-tetracyano-p-quinodimethane)⁵⁰。高分子メモリにおける活性な有機絶縁体層には、しばしば導電性の部材が分散して埋め込まれている: たとえば、金属ナノ粒子⁴⁶、極薄のグラファイト層⁴⁹など。これらの導電性部材の役割は、まだはっきりしていない。

高分子抵抗変化メモリの小さなアレイが、既に試作・評価されており^{51, 52, 53}、これには活性な有機絶縁体層が3段積みされた3D構造が採用されている⁵⁴。

4.1.2.6 分子メモリ (Molecular Memory)

分子メモリは幅広い意味合いの用語であり、メモリセルの基本構成要素に単分子を使う提案も分子の小さな集合体を使う提案も含まれている。分子メモリでは、外部電圧の印加により分子を2つの可能な伝導状態のうちの一つに遷移させることによって、データを書き込む。データの読み出しは、分子セルの抵抗変化を測定することで行う。スケールリングに極めて適したコンセプトであり、原理的には、1ビットの情報を分子1コの領域に格納できる⁵⁵。計算回路の基本構成要素に分子を用いるコンセプトは魅力的であり、従来回路要素に対して様々な望ましい利点を持つ。その小さなサイズ故に、非常に高密度な回路を作ることができる。また、分子は自己集積化によりボトムアップ的に複雑な構造を作ることができ、トップダウン的なリソグラフィによる製造技術を拡張するのに役立つ。一つのタイプの分子はすべて同一であるから、分子スイッチはどれも同じ特性を持つはずであり、従って部品のばらつきに起因する問題が低減する。しかしながら、

分子スイッチングを伴う現象にはいまだ多くの疑問が残っており、分子エレクトロニクスの成功はそれらに対する我々の理解如何による。電気伝導性の可逆変化に関する初期の実験は、多くの耳目をひいた^{56, 57}。しかし、その後の研究によって、1 コあるいは 2~3 コの分子からなるデバイスの抱える深刻な課題が明らかになった。接触、ナノスケールの間隙の再現性、環境といった外部因子に対し、デバイス特性が敏感すぎるのである。さらに、分子デバイスの電気特性は複数のメカニズムの影響を受けている。たとえば、伝導性のスイッチングという分子スイッチの本質的な振る舞いは、しばしば他の効果(2 つの電極間に渡された分子に沿った金属フィラメントの成長⁵⁸など)によって見えなくなってしまう。本質的な分子スイッチングの報告もあり、160 kビットの分子メモリが試作されている⁵⁹。分子メモリの開発には、かなり長い時間を要すると思われる。分子エレクトロニクスの基盤となる知識を得るためには、現在進行中の研究^{60, 61}も含め、さらなる基礎的な研究が必要である。

4.1.3 メモリ選択デバイス

多くのメモリスシステムの目的は、巨大な量のデータを保存することである。従って、メモリ容量(あるいはメモリ密度)が、最も重要なシステム特性の一つとなる。それ故、通常のメモリスシステムでは、メモリデバイス(セル)はアレイ(基盤目状の配列)を形成するよう接続されており、メモリデバイスの性能もこのアレイの仕様を前提にして考えることが極めて重要となる。アレイにおける一つのメモリセルは、2 つの基本要素から成り立つと見なされる。一つは“記憶ノード(storage node)”であり、様々なメモリデバイスの動作原理によって特徴付けられる。もう一つは“選択デバイス(selector)”であり、読み出し／書き込み操作のためにアレイの中の特定のメモリセルを指定することを可能にする。どちらの要素も、メモリのスケーリング限界に影響を与える。様々な進歩的な抵抗ベースメモリのコンセプトにおいて、記憶ノードは原理的に 10 nm以下までスケールダウン可能である⁶²。それ故、メモリ密度は、選択デバイスによって制限されるであろうことに注意すべきである。すなわち、選択デバイスは、10 nm以下のスケーリングを目指すReRAMにとって深刻なボトルネックになるのである。選択デバイスは、スイッチとして機能する非線形素子である。代表的な例は、トランジスタ(たとえばFETあるいはBJT)や2端子デバイス(たとえばダイオード)である。今日まで、実用的なメモリアレイ(DRAMやNANDフラッシュなど)における選択デバイスには、通常、平面型のFETが使われてきた。面内型選択FETを使う2次元レイアウトにおいて、一つのセルの占める面積は $A_{cell} = (6-8)F^2$ となる。可能な最大2次元メモリ密度 $4F^2$ を得るためには、縦型の選択トランジスタの使用が必要であり、現在、検討が進められている。

4.1.3.1 縦型トランジスタ

メモリアレイで使われる縦型選択トランジスタを実験にて確認した例が、表ERD6 にいくつか掲載されている。縦型選択トランジスタは最も高い面内アレイ密度($4F^2$)を実現できるものの、積層の3Dメモリに取り入れるには、従来の面内型FETを使った $8F^2$ 技術よりも難しい。たとえば、3D積層内のある層のメモリ素子に対して熱ストレスを避けようと思えば、選択デバイスとして使われる縦型トランジスタのプロセス温度を低くしなければならない。また、縦型FETの3端子目(ゲート)にコンタクトを形成すると、セルサイズはたいいてい $4F^2$ より大きくなってしまい⁶³、新たな作製上の課題が生じる。ただし、原理的には、3端子の選択デバイスを使っても $4F^2$ のアレイは実現可能である⁶⁴。

4.1.3.2 2端子選択デバイス(抵抗ベースのメモリ)

最も高い面内アレイ密度である $4F^2$ を縦型選択FETに起因する制約なく実現するために、2端子の選択デバイスを持つ受動的なメモリアレイが現在、検討されている^{65, 66}。非線形な振る舞いをする2端子デバイス(たとえばダイオード)は、直交アレイの中に抵抗型の記憶ノードとともに集積することができる。そのような2端子スイッチに対する一般的な要求条件は、読み出し／書き込みを行うバイアス電圧下での十分な

ON電流と、セル選択を可能にする十分なON/OFF比である。高速読み出しのために要求される最小ON電流は、約 $1\mu\text{A}$ である(表ERD7)。必要なON/OFF比は、メモリブロックのサイズ($m \times m$)による。たとえば、標準的なアレイ・バイアスの手法を使う場合、 $m = 10^3$ - 10^4 に対して必要なON/OFF比は、“sneak”電流(回り込み電流)を最小にするためには 10^7 - 10^8 の範囲となる⁶⁷。これらの仕様は相当に挑戦的な値であり、スケールリングを検討中の実験段階の選択デバイスでは、まだ未達である。そのため、選択デバイスは新原理メモリにとっての重大事となっており、要求特性に対する詳しい検証が必要となっている。抵抗ベースのメモリは適用対象によって仕様が異なり、これは選択デバイスに対する要求特性にも影響し得ることに注意が必要である。記憶ノードと選択デバイスを集積するにあたり、現在のところ、2つの方法が検討されている。一つは、外部選択デバイスを記憶ノードと直列に接続するものであり、たとえば、多層膜構造として作り込むこととなる。もう一つは、非線形な(整流性のある)特性をもともと備えている記憶素子を用いるものである。

4.1.3.2.1 ダイオード型選択デバイス

2端子のメモリ選択デバイスを実現する最も簡単な方法は、半導体ダイオード構造を使うことである(*pn*接合ダイオード、ショットキー・ダイオード、ヘテロ接合ダイオードなど)。この種のデバイスは、単極動作をするメモリセルに向いている。双極動作をするメモリセルに対しては、2方向のスイッチングができる選択デバイスが必要である。提案されているのは、ツェナー・ダイオード⁶⁸、BARITTダイオード⁶⁹、逆方向絶縁破壊ショットキー・ダイオード⁷⁰、そして相補的な抵抗スイッチ^{71, 72}などである。最後の例においては、メモリセルは、2つの同一な不揮発性ReRAMスイッチが互いに逆向きに接続された形となる(たとえば、Pt/GeSe/Cu/GeSe/Pt構造⁷¹、あるいは、縦積みにしたPt/SiO₂/Cu/SiO₂/Pt構造⁷²)。この構造では、スイッチの一つは常に高抵抗状態にあるため、低バイアスにおける回り込み電流を抑制することができる。しかしながら、これは破壊読み出しとなる。読み出しの後、スイッチを再プログラミング(書き込み)して高抵抗状態に戻すことにより、セルの状態を回復することが必要となる。特定の用途に向けた読み出しモードがいくつか提案されていることを、記しておく。メモリアレイにおいて使われるダイオード型選択デバイスに対し、実験で得られた代表的な特性値が表ERD8に記載されている。

4.1.3.2.2 抵抗スイッチ型選択デバイス

“スイッチに基づいた選択デバイス”という区分は、抵抗スイッチングの振る舞いを示すという最近の革新的なデバイス概念からきている。実際、これらの概念の内、いくつかにおいては、デバイス構造や動作原理が記憶ノードのそれに類似している。言い換えれば、メモリ素子を修正すれば、選択デバイスとして動くということである。この2つの主な違いは、記憶ノードには“不揮発性”スイッチが求められるのに対し、選択デバイスには、適用の仕方にもよるが、不揮発性は必ずしも必要ではなく、むしろ有害であるという点である。以下、提案されているいくつかの選択デバイスについて、簡単に説明する。

4.1.3.2.2.1 MIT スイッチ

このデバイスは、モット転移のような金属 - 絶縁体転移(Metal-Insulator Transition)に基づくもので、臨界電界(しきい値電圧)を超えると低抵抗になる。また、ある保持電圧以下になると、高抵抗になる。信頼性のある読み出しを行うためには、選択デバイスは低抵抗状態から高抵抗状態へ、低いバイアス電圧で高速に遷移することが必要で、従って、揮発性であることが求められる。もしモット転移を引き起こす電子的条件がメモリデバイスの動作時間のスケールで緩和するならば、モット転移デバイスは本質的に揮発性の抵抗スイッチとなり、選択デバイスとして利用できる。VO₂ベースのデバイスが、NiO_xのRRAMにおける選択デバイスとして動作実証されている⁷³。しかしながら、スイッチングのメカニズムは不明瞭であり、モット転移スイッ

チを選択デバイスとして使うためには、さらなる研究が必要である。また、VO₂は約 68°Cで金属状態へ相転移するため、MITスイッチとして使う場合は 68°C以下で使わなければならないことに注意されたい。このことは、現状のメモリデバイスの仕様が 85°C動作を求めていることを鑑みると、メモリデバイスにおけるVO₂の実用的な応用を制限することとなる。より高い転移温度を持つモット材料の開発が必要である。最近、約 130°Cでの金属 - 絶縁体転移と電氣的駆動によるMITスイッチングがSmNiO₃の薄膜にて観測された⁷⁴。

4.1.3.2.2 しきい値スイッチ

このタイプの選択デバイスは、薄膜ベースのMIM構造にて観測されるしきい値スイッチング効果に基づいている。しきい値のスイッチングは、電子電荷の注入によって引き起こされる。従って、しきい値スイッチ操作は、電子的なスイッチングプロセスによって制御されることとなる。印加電圧がしきい値電圧に到達すると抵抗値は急激に減少し、電圧を下げてある保持電圧以下にすれば、抵抗は元の高抵抗状態に速やかに戻る。一例として、相変化材料における構造変化の前に起きるしきい値スイッチングがある⁷⁵。

4.1.3.2.3 MIEC スイッチ

このタイプの選択デバイスは、イオンと電子電荷がともに伝導に寄与している材料、いわゆるイオン・電子混合導電体 (mixed ionic and electronic conduction material: MIEC) にて観測される指数関数的I-V特性に基づいている。MIECスイッチにおける抵抗値のスイッチングのメカニズムは、イオン移動型メモリ (ionic memory) のそれに類似している。MIECデバイスにおける抵抗値のスイッチングは、適当な制御の下では揮発性となり、デバイス選択機能が現れる⁷⁶。

4.1.3.2.3 まとめ—2 端子スイッチ

表ERD8 からわかるように、求められるデバイス特性はいまだ実現されておらず、科学的及び技術的側面からの重大な課題が残されている。2 端子選択デバイスのスケーリングについては、*接触抵抗*⁷⁷と*側面(表面)空乏化効果*^{78, 79}という 2 つの基本的な課題がある。2 つの効果を抑制するためには非常に高い不純物濃度が必要になるが、これは古典的なダイオード構造において逆バイアス電流を増加させることとなり、結果としてI_{ON}/I_{OFF}比を低下させてしまう。スイッチ型の選択デバイスにおいて必要な駆動電流密度、I_{ON}/I_{OFF}比、そして信頼性を確保するための主要課題は、適切な材料を見出し、スイッチング機構を明らかにすることである。

4.1.4 ストレージクラス メモリ

ストレージクラスメモリ (SCM: storage-class memory) とは、固体メモリの利点 (たとえば高性能と強靱性) と従来のハードディスク磁気記憶装置の利点 (大容量、低コスト) を併せ持たせたデバイス区分である^{80, 81}。このようなデバイスには、ビットあたり製造コストが非常に低い不揮発性メモリ技術が必要となる。ここでは、試作段階と研究段階にあるSCM用途のメモリデバイスの可能性を、現行の市販のストレージ技術 (すなわち磁気ハードディスクドライブ (HDD) と不揮発性半導体フラッシュメモリ) との比較の視点から評価する。

4.1.4.1 ハードディスクドライブ (HDD)

従来、不揮発性のデータ記憶装置としては磁気ハードディスクドライブが使われている。HDD 記憶装置のコスト (単位は\$/GB) は極めて低く、しかもさらに下がり続けている。HDD は連続データを流す帯域幅 (伝送容量) は大きいものの、ランダムアクセスに時間がかかるため、1 秒あたりに処理できる I/O の数 (IOPs) は制限されてしまう。さらに、消費エネルギーが比較的、大きい他、寸法及び形状も大きく、信頼性にも難がある。

4.1.4.2 フラッシュ固体ドライブ (SSD)

NANDフラッシュを使った不揮発性半導体メモリが、最近、HDDに代わる記憶装置(ストレージ技術)として普及し始めている。HDDに比べアクセス時間が速く、サイズが小さく、さらに、より小さいエネルギー消費が期待できる。NANDベースの固体ドライブ(SSD: solid-state drive)の市場は、最近、成長が著しい。しかし、ストレージ用途としてのNANDフラッシュには、いくつかの深刻な限界がある。たとえば、書き換え可能回数が少ない(消去回数にして $10^4 - 10^5$)、限られたデータ保持期間(新品では 10 年もつが、書き換え寿命が終わりに近くなると 1 年程度)、消去時間が長い(msオーダー)、動作電圧が高い(~ 15 V)といった点である。この他、NANDフラッシュSSDの課題として、そのページ/ブロック単位のデータ仕様が、データを直接、上書きすることができないため、洗練されたガーベッジ・コレクション(garbage collection)と一括消去の手続きが必要となる。この結果、余分なメモリ領域が必要となり、性能が制限され、メモリセルの劣化が促進される。それ故、SSDの動作においては、ガーベッジ・コレクションのための計算集約的なアルゴリズムと書き換え回数の平滑化(wear leveling)、及び、エラー訂正が必要となる。結果として、SSDは、フラッシュメモリとともに、プロセッサ、RAM、周辺ロジック回路等が必要となる⁸²。

フラッシュメモリ技術はさらなるスケーリングの余地を持ち続けているものの、スケーリングでは、読み出し・書き込み・消去の待ち時間といった基本特性の性能を向上することはできない。実際、これらは 10 年以上、ほぼ一定のままである⁸³。最近、導入された多値のセル(MLC: multi-level cell)のフラッシュデバイスは、フラッシュメモリの容量を 2 倍、潜在的には将来、8 倍にまで拡張してくれる。しかしながら、極限のスケーリングとMLCの採用は、データ保持期間と書き換え可能回数(ストレージ用途にとって決定的に重要な 2 つの因子)の低下につながる。それ故、今日のフラッシュデバイスを超える著しい密度向上に対し、過度の期待を持つことは禁物である。この見通しは、試作段階及び研究段階にあるメモリ技術に、不揮発性固体メモリの領域に進出する機会を与えることとなる。

4.1.4.3 試作段階及び研究段階にある SCM 用途のメモリ技術

フラッシュのスケーリングの可能性が限界に近づいており、その先を引き継ぐスケーリング・ロードマップの可能性を探るためには、不揮発性メモリに対する新たな技術検討が必要である。原理的には、そのような新たな SCM 技術は、メモリとストレージの階層制の中に 2 つの明瞭なまったく新しい階層を生み出すことができる。両者は、アクセス時間によって互いに差異化されており、階層制において外付け DRAM の下位と機械的なストレージの上位に、それぞれ位置付けられている。

第 1 の新たな階層は、Storage タイプのストレージクラスメモリ(S-SCM)と呼ぶことにするが、高性能な固体ドライブとして使うことができ、あたかも HDD のようにシステム I/O コントローラーでアクセスできる。S-SCM は、少なくともフラッシュと同程度のデータ保持期間を有することが必要で、これにより S-SCM モジュールをオフラインに置いておくことができる。S-SCM は、NAND フラッシュデバイスには不可能な直接上書きやランダムアクセスの可能性を新たに提供してくれる。これにより、性能向上やよりシンプルなシステム構成を期待できる。しかしながら、コストの問題が大きな障壁となる。一回あたりの大きな生産量を保証し、かつ、まだ証明されていない新しい技術への資本投資を正当化するためには、S-SCM の導入時におけるデバイスのコストは NAND フラッシュのせいぜい 1.5~2 倍程度でなければならないが、これは相当に難しい。もし、ビットあたりコストがメモリの超高密度化を通じて十分に低く抑えられるならば、こういった S-SCM デバイスは、モバイルコンピュータはもちろん、産業用のストレージサーバーシステムにおいても、ついには磁気ハードディスクドライブを置き換えることになるかもしれない。

第 2 の新たな階層は、Memory タイプのストレージクラスメモリ(M-SCM)と呼ぶことにするが、100 ns 以下の読み出し/書き込み待ち時間を提供せんとするものである。この条件は、M-SCM とメモリシステムとの同期を可能にし、I/O コントローラーを介した非効率的なアクセスをすることなく、メモリコントローラーと直接、

やり取りすることができるようになる。M-SCM の役割は、少量の DRAM の能力を拡張し、DRAM のみのシステムの総合的なシステム性能を維持しつつ、そこそこのデータ保持期間、DRAM より低い GB あたりの消費電力とコストを提供することにある。S-SCM と同様に、ここでも目標コストが重要になる。M-SCM 技術の開発リスクを分散するために、同じ技術が混載用途にもスタンドアローンの(独立して単体で機能できる)S-SCM にも使えることが望ましい。M-SCM のデータ保持期間に対する要求は、それほど厳しいものではない。というのも、不揮発性の役割は主に、クラッシュや短時間の停電からの完全復旧だからである。

M-SCMにおいて特に重要なのは、デバイスの耐久性(書き換え可能回数)である。摩耗平滑化(セル毎の使用頻度を平均化すること)、エラー訂正、そして他の類似のテクニックのために使える時間が限られているからである。メモリ階層制の上位にある揮発性のメモリは、M-SCMと成り得る不揮発性メモリ候補と比べると、事実上、無限回の耐久性を持つと見なせる。デバイス耐久性がたとえ 10^9 回をはるかに超える値に向上できるとしても、M-SCMの使い方は、カスケード式キャッシュあるいは他のハイブリッドメモリでの動作を考慮して慎重に検討されることが必要と思われる⁸⁴。とは言うものの、M-SCMは、システム設計者に多くの新しい機会を提供する。すなわち、真に永続性(データ構造をプログラムの実行と実行の間で保持すること)のあるデータを使ったプログラミングの可能性を開き、重要なトランザクション(関連する一連の処理)をHDDよりはむしろM-SCMに任せ、そして、適切にコミット(トランザクション処理が成功したときに、その結果を確定させること)する データベース操作を実行できるのである。

SCMに対する集積密度とコストの要求は、ムーアの法則のスケールリングを素直に適用して得られる値を超えている。SCMに求められる超高メモリ密度と超低コストを実現するためには、次のような追加的なテクニックが必要になる:(1) 複数のメモリ層の 3D積層(1 回のみ書き込み可能な固体メモリに対して現在、商業ベースで実施されている⁸⁵)、及び/または、(2) セルの多値化(MLC: multi-level cell)技術。

SCM 開発のゴールは、他の技術と比べ著しく改善された[コスト/性能]比を持ち、コンパクトで、堅牢なストレージ(及びメモリ)システムを創り出すことである。あらゆる SCM 技術に対して共通して要求される事項は、不揮発性(1 週間から 10 年間)、非常に短い待ち時間(数百 ns から数十 ms)、実用時における物理的な耐久性、そして最も重要なのが極めて低いビットあたりコストである。

表 ERD9 には、SCM のデバイス及びシステムに対する代表的な目標仕様が、ベンチマークとなる既存技術(HDD と NAND フラッシュ)の特性と比較して載せてある。SCM が成功するためには、信頼性、高速アクセス、固体メモリとしての耐久性(書き込み可能回数)を兼ね備えていることに加え、低コストで保管できることと磁気ハードディスクドライブなみの巨大な記憶容量を合わせて提供できなければならない。

現在の市場における SSD の成功を鑑みるに、フラッシュのストレージデバイスとしてのさらなる発展の余地はほとんどないものの、ストレージ用途は新たなメモリ技術にとって最も大きな牽引力になると思われる。フラッシュ技術の根本的な欠点の解決に、新メモリ技術が役立つかもしれないからである。ストレージクラスメモリ用途として必要なメモリデバイスの特質は、主にビットあたりコストを最小にする要求から生じるのであるが、次のようなものである:

- ・スケラビリティ
- ・多値化(多値化か極限スケールリングかのジレンマがあることに注意)
- ・3D 化
- ・製造コスト
- ・書き換え可能回数(M-SCM に対して)
- ・データ保持期間(S-SCM に対して)

表ERD10 には、試作段階にあるメモリ(表ERD3)と研究段階にあるメモリ(表ERD5)に対し、ストレージクラスメモリ用途としての現時点での可能性を上記の特質に照らして示してある。これら新メモリデバイスの市場への導入があるとすれば、それは固体ドライブ(SSD)とのハイブリッドによってであろう。新メモリ技術が、従来フラッシュメモリを補い、SSDの性能を押し上げてくれる。FeRAM(強誘電体メモリ)/フラッシュ⁸⁶と

PCRAM (相変化メモリ) / フラッシュ⁸⁷のハイブリッドの試みが、最近、検討されている。PCRAM / フラッシュのハイブリッド化によりSSDのエネルギー消費が減り、また、フラッシュメモリの寿命が増加し、SSDの動作が改善されることが示されている⁸⁷。

4.1.4.4 メモリ・インターフェース

SCMはメモリ階層制におけるギャップを埋めるためのシステムレベルのアプローチであるので、メモリ技術そのものの開発だけではなく、各メモリ技術に対する専用のインターフェースとアーキテクチャの検討も必要である。これにより、そのメモリの本来の力を利用し、及び、またはそのメモリの弱点を補うことができる。たとえば、SSDの性能は、そのインターフェース性能によってほぼ決まってしまう。標準的なSATA (Serial Advanced Technology Attachment) インターフェースは、SSD用に普通に使われているが、元々、HDD用に設計されたものであり、フラッシュSSD用には最適化されていない⁸⁸。フラッシュSSDの性能を活かすために、新たなインターフェースやアーキテクチャを採用する取り組みがいくつかある^{88, 89, 90}。新たなSCM候補を考える際には、メモリ・インターフェースに対する新たな解をシステムレベルで探さなければならない。

4.1.4.5 アーキテクチャへの影響

SCMが上手く実現できると、ストレージ用途に加え、新しいチップアーキテクチャの開発にも影響を及ぼせるようになる。たとえば、SCMが進歩すれば、これから登場するデータ中心のチップアーキテクチャ“*Nanostores*”⁹¹ (情報処理の将来にとって重要な方向性となりうる) を動かせるようになる。様々な用途におけるSCMのアーキテクチャへの影響の詳細については、第5節 *Emerging Research Architectures* にて議論する。

4.2. ロジック及び代替情報処理デバイス

ERD 章の目的の第一は、発展しうる新しい情報処理デバイス、システム、アーキテクチャを、長期的な潜在性能と技術的成熟度から調査、評価し、列挙することであるが、本節では、デバイス単体に焦点を当てる。本節の体裁は2009年版と変わっていない。2009年版から2011年版の間でTable ERD12に入ってきた、あるいは出て行った技術を示した、遷移表、Table ERD11があり、2013年版に入るであろう新しい技術の俯瞰も行う。本節では18の技術候補を3つの表に分類している。これらの表の表題は次の通りである。ERD12a「MOSFET: ロードマップの終焉に向けたMOSFETの延長」、ERD12b「電荷ベースのBeyond CMOS: 新規FETとその他の電荷を情報媒体とするデバイス」、そしてERD12c「電荷や電界効果を用いない'Beyond CMOS'デバイス」である。これら3つの表の表題はそれぞれの内容を反映している。最初の表は現状のMOSFETの延長や強化をしたものである。これらはすべて電荷に基づくデバイスで、MOSFETとしての機能を利用するものである。ERD12bには、電子の移動を伴うものの、量子力学的トンネル現象やクーロン・ブロッケードなどのMOSFETとは本質的に異なったスイッチング現象を伴うものを挙げた。ERD12cは電荷以外の情報媒体に基づいていて、スピン波相互作用や磁気交換結合効果などを用いるものを挙げた。ERD12a, ERD12b 及び ERD12c の項目は、進捗はあれど導入が可能になる時期という点ではまだまだ遠い。ERD12cの内容については米国のNanoelectronics Research Initiativeに大きな影響を受けている。これは、計算において電荷以外の状態変数を用いるデバイスに着目するためである。その結果、スピン波やスピン拡散、強磁性配列やエキシトニック ポーズ・アインシュタイン凝縮に基づく新規のデバイスを集めることが出来た。これらはすべて様々な特殊目的の機能に向いていたり、まだ着想されていない新しい用途に用いられる可能性がある。

*Table ERD11 Transition Table for Emerging Research Logic Devices**Table ERD12a MOSFETS: Extending MOSFETs to the End of the Roadmap**Table ERD12b Charge based Beyond CMOS: Non-Conventional FETs and other Charge-based Information Carrier Devices**Table ERD12c Alternative Information Processing Devices***4.2.1. ロジックデバイス****4.2.1.1. MOSFET: ロードマップの終焉に向けた MOSFET の延長****4.2.1.1.1 カーボンナノチューブ FET (Field Effect Transistor)**

カーボンナノチューブ FET(Field Effect Transistor)の利点として最も良く言及されているものは、1つは高いキャリア移動度であり、もう1つはサラウンドゲート構造の採用によるサブスレッショルドスロープの最小化(すなわち短チャネル効果最小化)への期待である。しかしながら、これを達成するためには以下のようないくつかの課題がある: 1)バンドギャップエネルギーを制御できること。2)ナノチューブを所望の位置、方向に置くこと。3)ナノチューブの層数を制御すること。4)電荷キャリアのタイプと濃度を制御すること。5)ゲート絶縁膜の堆積。6)低抵抗コンタクトの形成。

過去 2 年で、カーボンナノチューブ FETの作成とキャラクタリゼーションには大きな進展があった。それらを列挙すると以下ようになる: 1)短チャネル効果を観測することなく、その特性がチャネル長 15nmにおいても維持できることが示されたこと⁹²。2)チャネル長 15nmのデバイスを作製し、1チャネルあたりのトランスコンダクタンスとして 40 μ Sを得たこと。3)Extrinsic及びIntrinsicな遮断周波数(f_T)としてそれぞれ 15GHz、80GHzを示すFETを得たこと⁹³。4)イットリウムを電極として用いてn型FETを作製し、2.06psのゲート遅延時間の予想値を得たこと⁹⁴。5)完全にCMOSに親和性がある材料のみを使い、VDD = 2Vにおいて 0.67Vのノイズマージンを持つCMOSインバータを作製したこと⁹⁵。

上記に加え、いくつかの残る課題について継続的な進展があった。その1つは化学的手法による制御されたバンドギャップを持つカーボンナノチューブの分類・分離であり、実際1つのカイラリティからなる半導体ナノチューブを 99%の純度で得ることが可能になった⁹⁶。しかしながらこの値は、VLSIの製造において要求される値に比べると何桁も小さい。高密度で高配向の半導体ナノチューブが石英基板上に合成され、そしてシリコンウェハに転写された。しかし半導体ナノチューブの純度は 95%であり、成長メカニズムも良く分かっていない⁹⁷。Langmuir-Blodgett法、及び蒸発液滴法が高密度で配向した半導体ナノチューブを得るための別の新たな手法として提案された。しかしながら、良好なコンタクト形成や意図しないドーピング防止のためには、分散剤を取り除く技術が必要となる。キャリアタイプと濃度を制御する新たな手法として、高誘電率のゲート絶縁膜中に存在する界面電荷の利用が提案されたが⁹⁸、信頼性、制御性、キャリア捕捉効果に関して、さらに理解が必要である。均一な 5nm厚の高誘電率ゲート絶縁膜 Y_2O_3 がナノチューブにおいて実現された⁹⁹。しかし、再現性や界面トラップに関しよりしっかりした理解が必要である。良い電氣的コンタクトがp型、n型FET両者に対し形成されたが¹⁰⁰、n型FETに関してはCMOSに親和性の高い材料の採用が必要である。ナノチューブFETについて多くの重要な進展があったものの、シリコンウェハ上へ高移動度チャネル代替材料として高密度で、配向した半導体ナノチューブを堆積するという究極の目標への道筋

はいまだ明らかではない。通常のCMOSプロセスフローを用いたナノチューブ回路の作製に関しても状況は同様である。

4.2.1.1.2. グラフェンナノリボンFET

グラフェン材料はカーボンナノチューブを超える非常に高い移動度を提供できる可能性があり、また通常のトップダウンプロセスでグラフェンナノリボンをパターンニングできるという期待がある。グラフェン電界効果トランジスタ(FET)の研究は早いペースで進んでいるが、まだ初期段階にある。2004年のグラフェンの電界効果に関する初めての報告以来¹⁰¹、ボトム(バック)ゲート¹⁰²、トップゲート^{103,104,105}、デュアルゲート^{106,107}、サイドゲート¹⁰⁸を使ったFETが剥離グラフェン^{109,110}、エピタキシャルグラフェン^{111,112,113}、CVDグラフェン^{114,115}を用いて実現されている。

グラフェンFETの研究は、トランジスタチャネルのために剥離グラフェンを使用することから開始された。最近、SiC上のエピタキシャルグラフェン、CVD成長によるグラフェンを用いた研究が行われている。結晶から剥離されたグラフェンはまだ最も高い移動度を示すが^{116,117,118}、大量生産には向かない。SiO₂を絶縁膜としたバックゲートFETは典型的に $10,000 \text{ cm}^2/\text{Vs}$ の移動度を示す¹¹⁹(注:バックゲートはFETによる回路には向かないが、移動度の値自体は、トップゲートでの移動度との有用な比較を与える)。SiO₂上のグラフェンの室温における移動度は、SiO₂基板の表面フォノンによる散乱により、 $40,000 \text{ cm}^2/\text{Vs}$ 程度に制限されることが予想されている¹²⁰。実際、最高の移動度はサスペンデッドグラフェンで得られおり、240Kで $120,000 \text{ cm}^2/\text{Vs}$ 、液体ヘリウム温度で $1,000,000 \text{ cm}^2/\text{Vs}$ 程度の値が得られている^{121,122,123}。最近、不活性で平坦な窒化ボロンがグラフェンチャネルの基板として使われ^{124,125}、室温において $100,000 \text{ cm}^2/\text{Vs}$ を超える移動度が得られた。SiC上のエピタキシャルグラフェンにおいては、室温で $15,000 \text{ cm}^2/\text{Vs}$ 、液体ヘリウム温度で $250,000 \text{ cm}^2/\text{Vs}$ の移動度がそれぞれ得られた^{126,127}。一方、CVDグラフェンは室温において最高 $10,000 \text{ cm}^2/\text{Vs}$ 程度が得られている¹²⁸。

トップゲートグラフェンチャネルトランジスタに関して言うと、一般的に得られる電界効果移動度は上述の値よりも小さくなる。これは、ゲート絶縁膜の堆積によりグラフェンの電気特性が劣化するためである¹²⁹。そのような劣化を防ぐために、グラフェンと高誘電率材料の間にしばしばバッファ層が使用される^{130,131}。真空蒸着によって堆積されたSiO₂がグラフェンチャネルをあまり劣化させないことが示され、トップゲートトランジスタとして最高 $5,400 \text{ cm}^2/\text{Vs}$ の電界効果移動度が得られた¹³²。また別の例では、自然酸化された薄いアルミ層を原子層堆積によるアルミナのシード層として用いられ、 $8,600 \text{ cm}^2/\text{Vs}$ 程度の電界効果移動度が得られた¹³³。トップゲートグラフェントランジスタで最高の移動度は、Al₂O₃ナノワイヤをゲート絶縁膜として用いて得られ、その値は $23,600 \text{ cm}^2/\text{Vs}$ である¹³⁴。エピタキシャルグラフェン、CVDグラフェンを用いたトップゲートトランジスタでは、それぞれ最高 $5,400 \text{ cm}^2/\text{Vs}$ 、 $4,000 \text{ cm}^2/\text{Vs}$ の移動度が得られた^{135,136}。これら全ての例において、電子とホール移動度は同等である。

高電流密度耐性、非常に高い移動度、優れたFET特性^{137,138}の予想は、CMOSプロセスや温度レンジとの親和性という目標と相まって、グラフェンFETの革新を非常に速いペースで促進し続けている。この革新は、バンドギャップエネルギーにより $I_{\text{on}}/I_{\text{off}}$ がチューナブルであるという証拠と^{139,140}、大面積グラフェンを合成可能なCVD技術の進展^{141,142,143}と相まって、次の数年でこの領域に急速な進展をもたらすものと思われる。それゆえ、グラフェンはロードマップの終焉までCMOSを生き延びさせる可能性のある解として、ERDではとらえている。

デジタルアプリケーションにおける深刻なグラフェンの限界は、バンドギャップが無いことため $I_{\text{on}}/I_{\text{off}}$ が非常に小さくなることである。しかしながら、上で言及したように、バンドギャップを開くいくつかの方法が提案されている。そのうちの1つは、グラフェンナノリボンを使ってデバイスを作製することである^{144,145,146,147,148}。ナノリボンにおけるキャリアの輸送は、最初はトップダウン法による作製されたナノリボンを用いて示された¹⁴⁹。ナノリボンはその後、いくつかの他の方法によって作製された^{150,151,152,153}。特に最近、モノマー前駆体を用いたボトムアップ手法により、幅が厳密に制御されたナノリボンが形成可能なことが示された¹⁵⁴。薬液中で

グラファイトに超音波をかけることにより作った幅 2nm のナノリボンを使ったデバイスは、オンオフ比 10^7 、電界効果移動度 $200\text{cm}^2/\text{Vs}$ を示した¹⁵⁵。比較的低い移動度は、ナノリボンのエッジにおけるキャリアの散乱が原因と考えられている。実際、最近の理論的研究は、スムーズなエッジを得ることは、良い電気特性を得るために必須であることを示した¹⁵⁶。それに加え最近の実験的研究では、グラフェンナノリボンにおける電気伝導が、エッジにおける欠陥や荷電不純物により大きく影響を受けることを示唆する結果が得られた^{157,158,159}。CMOS用のグラフェンナノリボントランジスタを実現するためには、より多くの労力が必要である。

グラフェンの重要な応用の一つとして、高い線形性が要求される個別RF素子が挙げられるだろう。既にそのような高周波応用を目指した多くの研究がなされている^{160,161,162}。剥離グラフェンと、ゲートスタックとしてコアシェルナノワイヤを用いてセルフアラインプロセスにより作製されたデバイスにより、300GHzの遮断周波数が得られた¹⁶³。電流利得が1になる遮断周波数として、エピタキシャルグラフェンを用いたデバイスでは 170GHz¹⁶⁴、CVDグラフェンでは 155GHzが得られた¹⁶⁵。高い最大発振周波数を達成することが、RF応用を実現するための次の重要なステップである。

4.2.1.1.3. ナノワイヤFET (Nanowire Field-Effect Transistors: NWFET)

ナノワイヤ電界効果トランジスタは、従来の平面MOSFETのチャネルが半導体ナノワイヤに置き換えられた構造である。このようなナノワイヤについては、直径が 0.5nm という細さのものまで実証されている¹⁶⁶。構成材料としては広範な種類が考えられており、シリコン、ゲルマニウム、いくつかのIII-V化合物半導体(GaN、AlN、InN、GaP、InP、GaAs、InAs)、II-VI材料(CdSe、ZnSe、CdS、ZnS)、さらには酸化物半導体(In₂O₃、ZnO、TiO₂)などがある¹⁶⁷。重要なことは、直径が小さくなると、これらのナノワイヤは量子閉じ込めによる振舞い、すなわち 1-D伝導を示すことで、平面MOSFETでみられるような、短チャネル効果や他の現象による微細化の限界を緩和できる可能性がある。

FETチャネルに用いるナノワイヤの作製方法については重要な進展があり、これらは主に 2 つに分類できる。一つ目の方法はナノインプリントリソグラフィであり、印刷あるいはスタンププロセスを経て半導体チャネルが形成される¹⁶⁸。二つ目は触媒を利用した化学気相成長法^{169,170}である。特に、VLS (vapor liquid solid) 成長機構が、コア・シェルやコア・マルチシェルといったヘテロ構造^{171,172}を含む、さまざまなナノワイヤの作製に用いられている。ヘテロ接合を含むナノワイヤ構造として、IV族半導体及び化合物を用いたコア・シェルあるいは縦方向のセグメント構造が検討されている。縦方向のセグメント構造は材料界面がナノワイヤの軸に垂直になるようなエピタキシャル成長によって作られる。これによって大きな格子ミスマッチを有する構造であっても大量の欠陥を発生させることなく作製できる。この方法でSi¹⁷³、InAs^{174,175}、およびZnO¹⁷⁶を用いた縦型チャネルトランジスタが作製され、かなり良い特性を示している。コア・シェルのゲート・オール・アラウンド¹⁷⁷構造についても、優れたゲート制御性により短チャネル効果は殆ど見られなかった。

ナノワイヤデバイスを用いた回路やシステムの特長についても実証されており、個々のCMOSロジックゲート¹⁷⁸に加え、12MHz動作を示すPMOSリングオシレータ¹⁷⁹の他、不揮発性ナノワイヤを用いた拡張プログラマブルアレイ(通称、“タイル”)の報告があり、全加算器、全減算器、マルチプレクサー、デマルチプレクサーおよびクロックDラッチといった動作が実証されている¹⁸⁰。これら種々のナノワイヤテスト回路で観測された動作速度はチップ外の配線容量によって律速されてしまっており、ナノワイヤデバイスの本来の性能から予測されるようなTHz動作¹⁸¹を実現したものは無い。

4.2.1.1.4. III-V n チャネル置換デバイス (N-type III-V channel replacement devices)

n型チャネル置換材料としてIII-V化合物半導体が非常に注目されてきたが、それは、これが $33000\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ (InAs) や $80000\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ (InSb) といった優れたバルク電子移動度(μ_e)を有するためである。さらに、Sb含有III-V化合物半導体は、 $1250\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ (InSb) や $850\text{cm}^2\text{V}^{-1}\text{s}^{-1}$ (GaSb) といったホール移動度

(μ_h)を示しており、これらはバルクSiの $\mu_h \sim 500 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ より遥かに大きい。InAsはn型チャネル置換材料としてHEMT¹⁸²やナノワイヤ^{183,184,185}といった種々のデバイス構造で研究されてきた。ゲート長(L_g) $\sim 30\text{nm}$ において、 $f_t \sim 601\text{GHz}$ 、 $f_{\text{max}} \sim 609\text{GHz}$ の短チャネルデバイス動作が実証されている。Sb含有化合物半導体は、高 μ_h のみならず高 μ_e を示すことから、CMOSチャネル置換材料としての可能性を有している。InAs_{0.8}Sb_{0.2}量子井戸型FETは、 $3900\text{--}5600 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ という高い μ_e を示している¹⁸⁶。InSb量子井戸型トランジスタは、 $L_g \sim 85\text{nm}$ において $f_t \sim 305\text{GHz}$ を示している¹⁸⁷。ユニティ・パワー・ゲイン下のカットオフ周波数 $f_{\text{max}} \sim 500\text{GHz}$ も実証されている¹⁸⁸。pチャネル置換材料としては、AlSb/InGaSbヘテロ構造FET (HFET)が、 $1500 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ という高い μ_h を示している¹⁸⁹。 $L_g \sim 0.2\mu\text{m}$ のHFETは、 $f_t \sim 19\text{GHz}$ 、 $f_{\text{max}} \sim 34\text{GHz}$ を示す¹⁹⁰。埋め込みチャネル型および表面チャネル型In_{0.35}Ga_{0.65}Sb pFETの移動度は、それぞれ $910 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ 、 $620 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ と評価されている¹⁹¹。III-V化合物のホール移動度を増大させる上で歪が非常に有効であることも実証されている^{192,193,194,195}。In_{0.41}Ga_{0.59}SbはSiに比べ1.5倍高いピエゾ抵抗係数を示す¹⁹⁶。p型GaSbはSiに比べ2倍高いピエゾ抵抗係数を示す¹⁹⁷。圧縮歪が印加されたInSb量子井戸型pFETは、 $L_g \sim 40\text{nm}$ 、電源電圧0.5Vにおいて $f_t \sim 140\text{GHz}$ を示す¹⁹⁸。したがって、III-V化合物半導体nチャネルMOSFETは、ロードマップ終焉に向けたCMOS拡張技術の有力候補と考えられる。III-Vデバイス量産の最大課題は、高品質かつ低EOTのゲート絶縁膜、ダメージのない低抵抗接合およびVLSIコンパチなシリコン基板へのヘテロ集積化への要求である。

4.2.1.1.5. Ge nチャネル置換デバイス (N-type Ge channel replacement devices)

当初、ゲルマニウムは、その優れたバルク電子移動度、 $3900 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ というバルクSiの2.7倍高い値を有することから、有望なチャネル置換材料として非常に注目されてきた。しかしながら、実際に使ってみると、n型Geを使ったMOSFETの実効的な電子移動度 μ_e は、n型Si FETデバイスに比べ遥かに劣っていて、チャネル置換材料としてあまり有望には見えなくなった。伝導帯近傍の界面準位密度(D_{it})が高いことが、n型Ge MOSFETの μ_e を小さくさせる主要課題の一つであると結論づけられている¹⁹⁹。それ故、Ge/絶縁膜界面の品質の改善が移動度向上の鍵である。最近では、Geの高温酸化²⁰⁰、高圧酸化²⁰¹およびオゾン酸化²⁰²を用いることで、良質のGe酸化膜やGe/酸化膜界面の形成に成功している。その結果、n型Ge MOSFETにおいても、優れた μ_e が得られるようになった^{203,204,205,206,207}。さらに、結晶面や面方位の最適化はGenチャネルMOSFETの性能を向上させる別の手段を提供するもので、種々の面方位を有するGe基板上へのGenチャネルMOSFET形成が試みられてきた。(111)面に形成されたものは、 $1920 \text{ cm}^2\text{V}^{-1}\text{s}^{-1}$ という最大のピーク μ_e 値を示し²⁰⁸、これはバルクSiのユニバーサル移動度の約2倍大きい。GenチャネルMOSFETの歪エンジニアリングについても性能向上技術^{209,210}として研究されており、その有効性はわずか0.1%程度の小さな歪でも実証されている。コンタクト性能は、Ge n+/p接合ダイオード形成によって大きく影響され、ドーパントの活性化率が低いことに起因している。レーザーアニール²¹¹、Sbドーピング^{212,213,214}および気相ドーピング^{215,216}といった手段がドーパント活性化率を上げる手段として有効で $1 \times 10^{20} \text{ cm}^{-3}$ 程度の値が実証されている²¹⁷。Ge/金属界面ではフェルミレベルピニングが価電子帯近傍で起きるため、nタイプGeへのオーミックコンタクトは難しい。しかしながら、ドーパント高活性化技術の進展によりこの問題は緩和されつつある。酸化膜換算膜厚(EOT)をスケールリングする上では、high-kゲート絶縁膜を用いた種々のゲートスタック構造が検討されてきた。これらには、HfO₂との界面層にGe窒化膜²¹⁸、Y₂O₃との界面層にGe酸化膜²¹⁹、およびAl₂O₃との界面層にGe酸化膜²²⁰を用いたものなどがある。Ge pチャネルMOSFETに関しては、80nm未満のゲート長での短チャネル動作が報告されているが、Ge nチャネルMOSFETの短チャネル動作はまだ実証されていない。

nチャネルGeデバイスに必要なキーとなる研究は、Geの電子飽和速度が低いことが、nチャネルGe MOSFETのnチャネルSi MOSFETに対する短チャネル特性を律速しているか否かを見極めることである。特に、1%を越える歪を加えることで、歪印加Si nチャネルMOSFETの性能を上回る可能性があることを実証する必要がある。要約すると、EOT低減や20nm未満へのゲート長スケールリング、低抵抗メタルコンタ

クトを使った低抵抗拡散層の開発に一層の進展が必要だが、Ge n チャネル MOSFET はロードマップ終焉に向けた CMOS 延長技術の有力候補と考えられる。

4.2.1.1.6. トンネルFET (Tunnel FETs)

トンネルFETは、ゲート付きの逆バイアスp-i-n接合デバイスであり、通常MOSFETよりも急峻なON-OFF特性を示すことが期待されている。MOSFETにおけるサブスレッショルド・スロープ(S値)の室温での限界: 60mV/decはソースからチャネルへの熱的なキャリアの注入で決まっている^{221, 222, 223}。トンネルFETは、S値を60mV/decより小さくすることにより、低い V_{DD} での動作が可能となるため、実質的な低消費電力化につながる。ゲート電圧が低い時は、真性領域とp+領域との間のエネルギー・バリアの幅が十分広いので、バンド間トンネル確率は無視できるほど小さい。このときデバイスはOFF状態にある。正のゲート電圧を加えると、真性領域のバンドはエネルギー的に押し下げられ、トンネルバリアが狭くなり、トンネル電流が流れるようになる。バンド間トンネルは量子力学的現象であり、MOSFETの限界($S=60\text{mV/dec}$)に比べてより急峻なON-OFF特性を示す。また、S値はゲート電圧に対して一定ではなく、低電流領域で最も小さい値を示す。トンネルFETは、スタンバイ時のリーク電流を抑え、0.5V以下の電源電圧で動作する将来の論理回路を実現するものとして、活発に研究されている。また、最近の報告においては、高性能(high performance)スイッチの候補としての可能性も指摘されている。その場合には、適切なヘテロ構造アーキテクチャ²²⁴とIII-V族化合物半導体、Ge, SiGe, グラフェンのような低バンドギャップ材料を用いる必要がある。また、トンネルFETは、同じ供給電圧条件でCMOSと比べた場合、 I_{on} は小さいが、CMOSと同等のスピード性能(CV/I の指標において)を示す可能性が報告されている²²⁵。

多くの詳細なデバイスシミュレーションによると、バンド間トンネルFETは、 Si ²²⁶、 SiGe ²²⁷のような従来の半導体材料、あるいはカーボン・ナノチューブ (CNT)²²⁸、グラフェン²²⁹などの材料においても、熱的限界を超えたS値を実現できるとの予測が示されている。トンネル電流は材料のバンドギャップおよび有効質量で決まるので、 Si トンネルFETの場合、ON状態の電流密度が小さいという制限が課されてしまう。特性改善の方法としては、トンネル接合に大きな応力(>3GPa)を与えるなどの手法に限られてしまうだろう²³⁰。

これまでに実際に作製されたトンネルFETで、60mV/dec以下のS値を示す特性が測定されている。最初の報告は、CNTトンネルFET²³¹であり、低電流の限られた範囲において $S=40\text{mV/dec}$ であった。2008年にはSi/Ge系を用いたトンネルFETで別々の2つの報告があり、“point swing(slope)”(狭いゲート電圧範囲での傾きとしてのS値)として50mV/dec²³²、42mV/dec²³³が報告されている。また、シリサイドソースのSiトンネルFETで、42mV/dec^{234, 235}、高 I_{ON}/I_{OFF} 比(0.5V動作で 10^7 以上)、 $I_{on}\sim 100\mu\text{A}/\mu\text{m}$ ($V_{DS}=1\text{V}$)が報告されている。2009年には、VLS法で成長された長チャネルのSiナノワイヤとhigh-k絶縁膜を用いたトンネルFET²³⁶で I_{ON}/I_{OFF} 比が 10^7 のオーダー、電流が2桁変化する範囲での平均のS値として120mV/dec($V_{DS}=0.5\text{V}$)が報告されている。また、25nm幅のSiフィン様構造を用いたhigh-k絶縁膜/メタルゲートスタックMuGFET(マルチゲートFET)²³⁷で、“point swing”のS値で46mV/dec(低ゲートバイアス)、 I_{ON}/I_{OFF} 比 10^6 (1.2V動作、 $I_{on}=46\mu\text{A}/\mu\text{m}$ 、 $I_{off}=5\text{pA}/\mu\text{m}$)が示されている。先端デバイスで得られた以上のような結果は、トンネルFETの高性能化をSiのみで達成するのは容易ではなく、Siプラットフォーム上でGeやIII-V半導体を用いていくことが必要となることを示唆している。

トンネルFETにおける主要な開発項目は、少なくとも4桁の電流範囲において平均値として60mV/decade以下のサブスレッショルド・スロープを持ち、かつ、高い I_{on} を実現できるデバイスアーキテクチャの最適化である。数値シミュレーションの予測通りの特性を示すトンネルFETの実現のためには、ソース-トンネル領域のエンジニアリング(接合の急峻性、バンドギャップエネルギー、キャリアの有効質量)、および内部電界によるゲート制御性の向上が特に重要である。この点で、トンネルFETには、最先端Siプラットフォーム上での低バンドギャップ材料ヘテロ構造が有用であり、その形成技術確立が技術的課題となる。そして、シリコン基板上狭バンドギャップ材料を用いたねじれ型バンドギャップヘテロ構造トンネルFET²³⁸などにより、供給電圧0.5V以下、GHzオーダーのスイッチング速度を可能とする I_{on} を実証していくことが肝要である。また、

トンネルFETをベースとした集積回路設計あるいはCMOS併用の回路設計のためには、デバイスのコンパクトモデルが不可欠である。

4.2.1.2. 電荷ベースの Beyond CMOS: 新規FET とその他の電荷を情報媒体とするデバイス

4.2.1.2.1 スピンFET・スピンMOSFET(Spin FET and Spin MOFSET)

スピントランジスタは、“従来型ではない電荷ベースの拡張CMOSデバイス”と分類できる。それらは磁気抵抗デバイスの機能を併せ持ったトランジスタ特性を示す。中でも最も重要な特徴は、強磁性体電極の磁化配置(あるいはキャリアのスピン方向)により電流駆動力を制御できること、そして、磁化配置を用いた不揮発な情報記憶が可能なことである。これらの特徴は、通常のCMOS回路では実現できない、高エネルギー効率・低消費電力の回路アーキテクチャに大変有用であり適している。電界効果スピントランジスタは2つのカテゴリーに分類できる。すなわち、spin-FETとspin-MOSFETである。双方のデバイス構造は似ているが、動作原理は全く異なる^{239,240}。

spin-MOSFETの動作はまだ実験的に確認されていないが^{241,242}、SiチャネルにおけるスピンドYNAMICS、ハーフメタル強磁性体ソースドレインに関して重要な進展があった。強磁性体-Siトンネル接合界面でのスピン蓄積現象を用いた検出技術により、高ドープされたSiにおいて、300Kでも長いスピン寿命が観測されている²⁴³。ただ、スピン蓄積法でのスピン寿命評価については、疑問も指摘されている。また、同様の手法を用いて、Siチャネルへの電子スピン注入が500Kまで示されている²⁴⁴。

ハーフメタル強磁性性に関しては、前回のITRS2009版から大きなブレークスルーがあった。特に、ハーフメタルフルホイスラー合金電極の磁気トンネル接合(MTJs)への応用で大きな進展があった。実際に作製したMTJsで非常に大きなトンネル磁気抵抗(TMR)比が室温において観測されている^{245,246}。

また、フルホイスラー合金電極を用いた磁気抵抗デバイス²⁴⁷において、スピントランスファートルクによる電流誘起磁化反転も確認された。さらにCMOSテクノロジーとコンパクトなRTA技術を用いて、高品質なホイスラー合金薄膜も形成されている²⁴⁸。これらの結果は、ハーフメタル強磁性性をソースドレインに用いたspin-MOSFETにとって有望である。また、通常の強磁性体材料を用いた強磁性体ソース/ドレイン(スピン注入/検出器)構造についても、検討が進められている^{249,250,251,252}。以上のように、Siチャネルにおける電子スピン注入、輸送、そして検出が実デバイスで確認され、ハーフメタル強磁性体のテクノロジーが劇的に進展した。さらにspin-MOSFETの可能性を示すためには、これらのテクノロジーを集結し、より高効率なスピン注入/検出器の構造を実現することが重要である。また、pin-MOSFETとして、強磁性体ソース/ドレイン(スピン注入/検出器)が大きな磁気抵抗を示すだけではなく、MOSFETとしての高いデバイス性能要件を満たすことが求められることにも注意が必要である。

spin-MOSFETを実現するための別のアプローチも提案されている^{253,254}。pseudo-spin-MOSFET(擬似spin-MOSFET)は、通常のMOSFETとそれに負帰還接続されたMTJを用いることによりspin-MOSFETの機能を再現するものとして重要である。擬似spin-MOSFETは、電流駆動力を可変とするスピントランジスタの動作を忠実に再現することが可能である。また、擬似spin-MOSFETを用いた不揮発性論理回路の提案もなされており^{255,256,257,258}、これらは静的なエネルギー消費が少ないパワーゲーティングシステムに適している。

最近、Datta-Das型の spin-FET (spin-FETとして最初に提案されたもの^{259,260}の動作実証が報告されている²⁶¹。スピン信号がゲート電圧に対して振動することが観測されており、チャネルでスピン偏極キャリアのスピンが歳差運動していることを示唆しているが、観測されたスピン信号の起源についてはまだ明らかになっていない^{262,263,264}。

4.2.1.2.2 インパクト・イオン化 MOS (Impact Ionization MOS; IMOS)

インパクトイオン化をベースとしたFET、IMOS^{265,266,267}は、 I_{on} - I_{off} の変化が、室温におけるMOSFETの限界 $S=60\text{mV/dec}$ より急峻となるデバイスの候補として提案されている。トンネルFETと同様に、最終ゴールは、CMOSより低い供給電圧、ひいては、低い消費電力で動作するスケーラブルなスイッチを実現することにある。IMOSは、逆バイアス領域で動作するゲート付きのp-i-n構造であり、ゲートが真性領域の一部を覆っている。n+、p+領域に対してゲートをどこに配置するかで、IMOSの極性(N-IMOSあるいはP-IMOS)が決まる。このことは、相補的なデバイスが設計、作製できることを意味する。実際、IMOSの魅力は、SiCMOSと一緒に集積化できるところにある。サブ 100nmのチャネル長のトンネルFETとIMOSのCMOSコンパチブルなプラットフォームへの集積化が実証されている²⁶⁸。

IMOSの動作原理は、ゲート付きp-i-n構造でインパクトイオン化の発生を制御するところにある。ゲート電圧が低い時は、ゲートの下に反転層は存在しない。実効的なチャネル長は全真性領域の長さとなり、オフ電流は、p-i-nダイオードの逆バイアスリーク電流に制限され、非常に小さくすることが可能となる。ゲート電圧を増やすと、反転層が形成され、実効チャネル長が減少する。さらに電圧を高くすると、 V_D の大部分がゲート外側のインパクトイオン化真性領域にかかることになり、横方向の電界が増大する。このようにして、 V_G によりアバランシェ降伏電圧を変調する。IMOSは、キャリア増倍による急峻な電流増大を得るために、インパクトイオン化によって引き起こされるアバランシェのモードで使用される。しかしながら、アバランシェによる電荷増倍は本質的に低速かつ確率的な性質を持つ統計プロセスであり、IMOSデバイス設計に付加的なばらつきが加わることになる²⁶⁹。よって、IMOSのキャリア走行速度には、キャリア増倍遅延(carrier multiplication delay, CMD)による基本的な限界が存在するわけであり、実際そのことが最近確認されている²⁷⁰。これまでに、様々なIMOSでサブスレッショルドスロープ $S=5\text{mV/dec}$ あるいはそれ以下、 $I_{on}>1\text{mA}/\mu\text{m}$ が報告されている^{271,272,273,274,275,276,277}。最も小さいS値の実験値は 2mV/dec ²⁷⁸であるが、ソース電圧は $V_s=17\text{V}$ であった。また、バンドギャップエンジニアリングとしてせり上げSiGeインパクトイオン化領域を採用したIMOS²⁷⁹でソース電圧 8V、 3.2mV/dec が達成されている。また、IMOSを用いることにより、CMOSインバータのスイッチング電流を 75%削減、6T SRAMセルの静的ノイズマージンを 22%削減できる可能性があることが指摘されている²⁸⁰。

一方、インパクトイオン化を起こすためには高電界が必要であり²⁸¹、Si代替候補として有望なチャネル材料の場合においても、電源電圧がバンドギャップよりも大きくなければならないという制限が課される。Siを用いた最も小さな実動作デバイスの場合、40nmノードにおいて 5.3Vでアバランシェ降伏を示すが、そのリーク電流は大きい²⁸²。Si IMOSで実現可能な降伏電圧は、デバイス長が 100nmより短くなると飽和してしまうようであり、約 4.5Vより小さくすることができない²⁸³。もっと低い電圧で動作させるために、GeやSiGeなどSiよりバンドギャップの小さい材料を用いたIMOSの提案がなされている^{284,285,286}。概して言えば、IMOSには、トンネルFETのような低いON電流という課題はないが、供給電圧を低くすることに本質的な制限があり、その点を解決することが低消費電力化にとって重要である。インパクトイオン化の発生率を高くして電流駆動力を向上させ降伏電圧を低くすることができれば、デバイスがよりスケーラブルになり、Siよりインパクトイオン化が生じやすいGeなどの利用が可能となるであろう。IMOSにおけるもう一つの本質的な制限は、インパクトイオン化によって発生したホットキャリアがゲート絶縁膜にトラップ準位をつくる²⁸⁷、いわゆるホットキャリア劣化の影響を受けやすいという事である。IMOSに関する実験報告で用いられている多くのデバイスでは、数 100 回のスイッチングに対してしきい値変化などのデバイス劣化を避けることができない。高エネルギーキャリアによる特性劣化を回避するために、いくつかの解決方法(ゲート酸化膜厚を薄くすることにより信頼性を向上できるようなものである²⁸⁸)が提案されているが、IMOSにおけるホットキャリアの問題に対する十分な検討はまだなされていない。以上のように、電圧スケーリングとホットキャリアがIMOSの主要な課題とされており、ここ数年来、トンネルFETが注目を集めているのに比べて、IMOSへの取り組みは少ない。尚、最近では、横型アーキテクチャではなく、縦型デバイスを用いたIMOSやトンネルFETなどの可能性も指摘されている。

4.2.1.2.3. 負性ゲート容量FET (Negative gate capacitance FET)

強誘電体容量のenergy landscapesに基づいて、MOSFETのゲートスタック絶縁層として適切な厚さをもつ強誘電体を用いることにより、いわば“step-up変圧によりゲート電圧を増幅する”ことが可能になることが提案されている²⁸⁹。これによりS値を60mV/decadeより小さくし、低電圧/低消費電力動作が可能となる。このデバイスは、負性ゲート容量デバイスと呼ばれている。このタイプのデバイスの主要な利点は、FETとしての基本物理や電流駆動力を変えたり、新たな制限を加えたりすることなく、先端的なCMOSと同様に、高いオン電流レベルを低電圧で実現できるところにある²⁹⁰。実験的試みとしては、P(VDF-TrFE)/SiO₂有機強誘電体ゲートスタックを用いてのスイングの小さいFe-FETの動作実証が、2008年のIEDMで報告された²⁹¹。しかしながら、この特殊な実験では、極めて低い電流でのみ<60mV/decadeが示されており、ノイズの影響を受けやすい。IEMD2010で、2回目の報告がされている²⁹²。この実験では、かなり高い電流レベル(~50nA)で、few decades以上の電流範囲で、<60 mV/decadeのサブスレッショルド・スウィングが示されている。加えて、ノイズレベル(およそ10pAの範囲)を適切に評価するために注意深い測定が行われている。この実験では、こうして負性容量の原理を用いて<60mV/decade動作の概念実証を確立した。更に、最近、結晶性の酸化物からなる強誘電体と誘電体容量の直列接続によって容量の増加も実証され、負性容量理論に関する多くの予測も進展を見せている²⁹³。

主な課題は、ヒステリシスが小さく、スウィングが良好な材料(強誘電体や酸化物)の特定である。負性容量がデバイス容量に適切に整合すれば、深刻なヒステリシスなしで極めて急峻なスウィングが可能となることは理論的に示されていた^{294,295}。しかしながら、容量がMOSFETの電圧変化と共に変動するため、広い電圧範囲に渡って容量マッチングが挑戦課題となることが証明されている。極薄ボディダブルゲート構造はこれに対して有用となるかも知れない。2つ目の重要な挑戦は、Si上に高い単結晶の誘電酸化膜のインテグレーションである。P(VDF-TrFE)/SiO₂ゲートスタックの様な有機強誘電体の負性ゲート容量FETは既の実証されているけれども、良好な特性と急峻なヒステリシス、ならびに動的応答のため結晶酸化物はより魅力的である。1つの可能性は、PZTの様な単結晶強誘電体材料を成長させるために、Si上にテンプレートとしてストロンチウムチタン酸塩(STO)を利用することである。原理的に、当該デバイスのスケーラビリティはMOSFETと同様でなければならない。しかしながら、スケーラビリティに関する研究はまだ実施されていないのが現状である。

4.2.1.2.4. NEMS スイッチ (NEMS Switch)

マイクロ/ナノ・エレクトロ・メカニカル(M/NEM)システム(あるいはリレー)は、2つの電極間に伝導パスを形成するために静電力が作用する固体の梁の変位に基づいて動作するデバイスである。M/NEMは、MOSFETによるロジックコンピューティングには不可能な2つの重要な特性:ゼロリークとゼロサブスレッショルド・スウィングを可能にする^{296,297}。第1の特性はスタンバイ・エネルギー消費ゼロであることを意味し、第2の特性は潜在的にオン/オフ電流比を劣化させることなく、V_{DD}を積極的にスケーリングできる、すなわち、動的エネルギー消費も低減できることを示唆する。更に、電気化学ヒステリシスや表面力によって誘起されるスティッキングといった特色は不揮発メモリ応用に魅力的である²⁹⁸。NEMロジックに対する追加的なモチベーションとしては、高温、対放射線動作の他²⁹⁹、プラスチックやガラスなど安価な基盤上での利用可能性が挙げられる。M/NEMリレーは低温処理することができ、CMOSとのインテグレーションを可能にする。NEMS-CMOSハイブリッド技術の潜在的な応用として、NEMリレーを用いたパワーゲート・ハイパフォーマンスCMOS回路³⁰⁰とCMOS FPGA³⁰¹が挙げられる。静電マイクロリレー設計・プロセス技術に関するごく最近の外観³⁰²では、M/NEMSスイッチは超低消費電力デジタルロジック応用に期待が集まっている。

MOSFETに関して、M/NEMSスイッチのパフォーマンスは、動的エネルギー消費と面積を減少させると同時にスピードを上げる低電界スケーリングによって改善される³⁰³。NEMスイッチを用いて達成可能な究極のデバイス密度は、原理的に構造の単純さ故、CMOSと整合する。スケーリングの点で、M/NEMSスイッチの主要な利点は、用意される基板に対して機能的密度を増加させられる3次元インテグレーションの可能性だけでなく、エネルギー効率の改善にある³⁰⁴。これはとりわけヒステリシスやスティッキングが機能的密度の飛躍的改善をもたらすメモリ応用³⁰⁵に対しては真実であろう。

M/NEMスイッチは、通常のリソグラフィー技術を用いるトップダウンアプローチ、あるいはカーボンナノチューブやナノ細線の梁を用いるボトムアップアプローチによって作成される。 10^8 サイクルまでは確実なマイクロスケールのトップダウンアプローチを用いた多くの成功実証例がある³⁰⁶。M/NEMスイッチ作製において、最も重要なプロセスは、酸化物、ポリミド、シリコンといった犠牲材料のエッチングによって実現される梁の解放(ギャップの形成)である。

トップダウンアプローチを用いて作製された機能NEM構造で、これまでに実証された最小の駆動ギャップは15nmである³⁰⁷。そのデバイスは、長さ300nm、幅200nm、厚さ35nmのTiNカンチレバー梁が垂直に動作する2端子NEMスイッチからなる。引き(pull-in)電圧は13Vである。期待通り、オフ状態電流は事実上ゼロであり、サブスレショルド・スウィングは殆どゼロである。空気環境で数100回のスイッチングサイクル耐性が報告されている。ボトムアップアプローチで作製されたカーボンナノチューブベース構造で実証された最小駆動ギャップは40-60nmである³⁰⁸。LPCVDで成長させた直径~100nmのSiナノワイヤをベースとした2端子および3端子リレーも実証されている³⁰⁹。引き電圧は200nmのギャップを有する2端子NEMスイッチで3.8V、リーク電流は殆どゼロである。

M/NEMリレーの主な利点は、ゼロオフ状態電流と動的エネルギー散逸の低さに対する可能性であり、aJの領域まで低減できる。主な弱みとしては、スイッチングスピードであり、梁のオフ位置からオン位置に移動に関係する遅延によって現実的な下限は~1nsである³¹⁰。

M/NEMリレーをロジック応用に適用するには、多くの課題が残されている。最も重要な課題は、ロジック回路では、ゲート電圧と同じドレイン電圧で 10^{16} に及ぶ“hot switching”サイクルの正確なリレーを必要とするため、ナノスケールのコンタクトの信頼性である。引っ張り(pull-in)端での高いインパクト速度とその結果としての“tip bouncing”(そして、それは実効スイッチング遅延も増加させる)は問題を更に深刻にする³¹¹。NEMリレーのもう1つの重要な問題は、もし梁の回復力が十分高くなければ、stickingを引き起こす表面引力(van der WaalsもしくはCasimir)の存在である。静止摩擦は、一般的には引き電圧の増加を犠牲にして、梁を硬くすることによって克服でき、こうしてこれらの表面引力はしばしばM/NEMリレースイッチに必要な最小エネルギーに設定される。静電摩擦を最小化し、クリーンな接触点を維持するために、M/NEMリレーは密閉して封しなければならない。

M/NEMリレーの次元スケーリングに影響を及ぼすいくつかの要因がある。数nmのギャップでは、見かけのギャップの3分の2ほどで梁が不安定になり、トンネル電流が始まることによってサブスレショルド・スウィングが劣化することが既に予想されている。十分に小さい次元とギャップでは、Brownian効果が支配的となり、梁の堅さ(すなわち、梁材料を変えることによって)更なるスケーリングが可能である。トンネリング(~2nm)によってセットされる限界近くのギャップを有するリレーでは、“ショート回路”電流に対してオフ時間をいかに長くできるかがリスクとなる。

メカニカルスイッチは、マイクロスケールでは比較的成熟した技術であり^{312,313}、ナノスケールへのスケラビリティが示されている³¹⁴。

結論として、M/NEMスイッチ技術は殆どゼロリークであるため、LSTP応用の興味深い候補の1つである。表面力の影響を削減できるならば、 V_{DD} 低下、すなわちアクティブパワー減少のために、NEMリレーの急峻サブスレショルド・スウィングを利用できる。この文脈で、コンタクトの信頼性改善と同様、表面力の制御・極小化は基礎研究に要請される重要な要件である。エネルギー効率に関して、最近、従来技術と比較して10倍以上の改善を有する機能リレーロジック回路が報告されており³¹⁵、エネルギー高効率エレクトロニクスのメカニカルコンピューティングの再起が期待される。

4.2.1.2.5. 原子スイッチ (Atomic Switch)

原子スイッチは、金属的伝導パスを形成／熔解するために金属陽イオンの拡散と酸化・還元プロセスを利用した電気化学スイッチの1つとして分類され³¹⁶、酸素空孔が伝導パスを制御する抵抗ランダムアクセス

メモリ (Resistance Random Access Memories; ReRAM) に類似している。原子スイッチとReRAMの違いは、それぞれの電極材料に現れる。原子スイッチは金属原子(陽イオン)をイオン性導電体に導入するための可逆電極を持ち、可逆電極と対向電極の間に導電パスを形成する、という点であり、このメカニズムは実験的にも³¹⁹理論的にも³²⁰確かめられている。その一方、ReRAMでは両電極とも不活性であり、導電パスの形成は酸素空孔の拡散の制御により行われる。

原子スイッチは当初、20nmまでの微細化の可能性がある持つクロスバーアーキテクチャに埋め込まれた硫化物を使った2端子デバイスとして開発された。後に、CMOSデバイスの金属配線層への原子スイッチ形成を可能にするために、完全にCMOSに適合する材料を使用した原子スイッチの作製プロセスが開発されてきた^{329,330,331,332,333,334,335}。これにより、新しいタイプのプログラマブルロジックデバイスの開発が可能になった^{326,337}。

この分野での1つの進展は、高い I_{on}/I_{off} 比、低いON抵抗、不揮発性、及び低い消費電力を有する3端子原子スイッチが開発されたことである^{338,339}。ゲート制御による金属フィラメントの形成/消滅³⁴⁰、あるいは金属クラスターの核形成³⁴¹をはじめとする幾つかの動作原理が報告されている。後者のメカニズムは、安定なクラスターの核形成に必要な密度よりも低い金属陽イオン密度を制御することによって不揮発動作に利用できるだろう。

金属フィラメントの長い保持時間が確認されている³⁴²。2端子原子スイッチでは、スイッチング時間はナノ秒のオーダーであり^{343,344}、 10^{11} のスイッチング回数が確認されている³⁴⁵。3端子原子スイッチでは、高い I_{on}/I_{off} 比(10^8)、低消費電力(pW)が実証されている³⁴⁶。

ロジックデバイスとして一般的に使用するためには、スイッチング速度や繰り返し耐久性、スイッチングバイアス電圧の均一性やオン・オフ状態の抵抗など、いずれにおいても改善の必要がある。スイッチングの基本的な現象は既に報告されているが³⁴⁷、デバイス物理の確立は最も重要で喫緊の課題である。それに加え、不揮発性デバイスのアーキテクチャの開発は、他の不揮発性ロジックデバイスとの互換性を保つことが望まれている。

4.2.1.2.6. MOTT FET

Mott電界効果トランジスタ(Mott FET)における基本的なスイッチング方式は、ゲート電極に印加した電場により誘起される強相関電子系の相変化である^{348,349}。Mott FETの構造は、通常の半導体FETと同様の構造であるが、チャンネル材料に強相関電子系材料を用いる。

強相関電子系材料は、印加電圧によってMott転移(絶縁体-金属)を生じる。電場による励起に加えて、Mott転移は、光、熱励起によっても生じるため、光、熱スイッチへの応用の可能性もある。

Mott FETの構造は、銅酸化物をチャンネル材料としたものが研究されてきたが³⁵⁰、様々な強相関電子系材料の中では、最近、VO₂に注目が集まっている。その理由は、Mott転移温度が室温以上(~340 K³⁵¹)であること、金属-絶縁体転移温度において、温度に対して非常に急峻な抵抗変化を示し、単結晶で、5桁の抵抗差が得られるためである。また、VO₂における転移に必要な時間は、ピコ秒以下であることが、光学的ポンププローブ法により示されている³⁵²。

基礎的なデバイスシミュレーションによると、VO₂をチャンネル材料としたMott FETのスイッチング時間は、0.5psのオーダーであり、消費電力は、0.1μWと報告されている³⁵³。VO₂を用いたMott FETのチャンネルは、最近では、薄膜デバイスを使って、実験的に研究されている。その電界効果は、実験室的に使用される予備的なデバイス構造で示されている^{354,355,356}。

強相関電子系酸化物を用いるMott FETにおける実験的な挑戦課題は、ゲート酸化膜とVO₂などの機能性酸化膜の界面の基礎的な理解、電場の下での局所的なバンド構造の変化である。また、構造的なPeierls歪と分離した上での電子の阻止メカニズムの理解も、興味の対象である。

電場誘起によるMott転移が、Mott FETにおける典型的な探査対象である一方で、Mott材料でのナノスケールにおける熱スイッチも本質的な興味の対象である。最近のシミュレーションでは、ナノスケールにおける2端子VO₂スイッチのON時間、OFF時間から、室温近辺での極薄膜デバイスにおけるサブナノ秒のスイッチングの可能性が示されている。また、それらは、Mottメモリとしての応用も注目されている³⁵⁷。

より広い意味で、こうした強相関電子系を、「閾材料」とみなすことができる。それは、伝導状態が、わずかの外部擾乱によって変化する材料という意味で、電子デバイスへの応用が期待される。また、格子歪が小さい希土類ニッケルのようなペロブスカイト構造酸化物における電子的な励起による転移現象もこの範疇に入る^{358,359}。

4.2.3. 代替情報処理デバイス (ALTERNATIVE INFORMATION PROCESSING DEVICES)

4.2.3.1. 電荷や電界効果を用いない “Beyond CMOS” デバイス

4.2.3.1.1. スピン波デバイス (Spin Wave Device)

スピン波デバイス (Spin Wave Devices: SWD) は、情報の伝送および処理を目的とした磁気特性を使うロジック素子の一種で、集団的なスピン振動 (スピン波) を用いる。SWD に期待される特徴として、(i) スピン波の振幅と位相の2つを用いることで、トランジスタを用いる場合に比べて少ない素子数でロジック・デバイスを構成できる。(ii) 不揮発な磁気ロジック回路が構成できる。(iii) 同じデバイス構造において、様々な周波数を用いることで、並列データ処理が可能で、このとき、各々の周波数を、それぞれ異なる情報チャンネルに割り当てることができる。

SDWの構造は、磁気電気セル (ME : Magneto-electric セル) と磁氣的導波路 (スピン波バス) の2つの主要な部分により構成される³⁶⁰。MEセルは、スピン波の励起、検出、情報蓄積という役割を担う。これには例えば、マルチフェロイック材料が用いられる。入力データは、電圧パルスとして、MEセルに与えられ、MEセルはそれによってスピン波信号を生成する。励起されたスピン波は同じ振幅となる。一方で、0および1といった論理は、初期位相において、0か π としてエンコードされる。次にスピン波は、スピン波バスを通して、伝播し、スピン波バスの合流点で、2つあるいはそれ以上のスピン波の相対的な位相に依存して、建設的、あるいは破壊的な干渉が起こす。このように伝播したスピン波の振幅は、磁気電気結合を利用してMEセルで増幅される³⁶¹。演算の結果は磁化の向きとして記憶されるか、出力用MEセルによって電圧に変換される。

過去5年間で、MEセルを持たないスピン波の干渉実験のためのプロトタイプデバイスが、多数示されている^{362,363}。これらは、室温で、GHzの領域で動作している。現在の主なアクティビティは、スピン波バスとMEセルのインテグレーションで、不揮発磁気ロジックデバイスとしてのアピールである。多くの技術的なチャレンジの中で、最も重要な点は、MEセルに適用するための、強い磁気電気結合を持つマルチフェロイック素子の開発とGHz動作の実現である。

4.2.3.1.2. ナノ磁性ロジック (Nanomagnetic Logic)

ナノ磁性ロジック (Nanomagnetic Logic : NML) は、強磁性体の微細なアイランドを多数配置したものを使って、ブール代数演算を行うデバイスである³⁶⁴。演算や信号伝達には、アイランド間のフリンジ磁場による相互作用がキーとなる。基本的な要素である二値情報は、磁化状態によって表される。NMLは、個々の原子スピンを使うことまで考えると、究極の限界にまでスケラブルである³⁶⁵。

現在では、NMLデバイスがデジタルシステムに使われるために満たすべき5個の基本的な条件³⁶⁶が実験的に示されている。それらは、機能的に完全なロジックセットを可能とすること^{367,368,369}、非線形な応答特性を示すこと³⁷⁰、一つのデバイスの出力が他のデバイスをドライブすること、電力の増幅が可能なこと³⁷¹、そして、データの流れる方向が明確に定義されることである³⁷²。

NMLデバイスの回路におけるクロックは、通常のCMOSデバイスとは異なり、異なる磁化状態を隔てるために存在するエネルギー・バリアを変調させるのに用いられる³⁷³。すなわち、ほぼすべてのNML回路の集合は、外部磁場によって、クロックされる。最近では、個々の強磁性体アイランドの磁化のスイッチングの実験的な実証³⁷⁴、CMOS互換なクロック構造を持つNMLラインとゲートの再評価が報告されている³⁷⁵。クロックに用いる外部磁場は、強磁性体材料によりクラディングされた金属配線により生成される³⁷⁶。また、クロッキングを電場で行うことを目的として、マルチフェロイック材料の導入も検討されている^{377,378}。

トランジスタをベースとした回路とNML回路とのインタフェースには、磁気－電気の変換のためのインタフェースが必要となる。そのためには、NMLデバイスからのフリンジ磁場を、磁気トンネル接合素子を構成するフリー層の磁化状態をセットするのに使うという方式が提案されている³⁷⁹。これら、およびその変形は、(a)アクティブな実験的なターゲットであり、(b)入力のための再利用となる。すなわち、スピンによるトルクの移送によって、フリー層の状態をセットすることができる。代替的な入力機構としては、シンプルなバイアス線³⁸⁰、およびマルチフェロイック材料の使用がある。

NMLの研究は、NMLの集合が、熱雑音、クロック磁場のアライメントミス、個々のアイランドの形状等のばらつき、および、それらの組み合わせによって、どのように振舞うか、を考慮するところから始まった。特に、2008年の結果から、ソリトン動作モードでは、熱雑音による想定外あるいは、ランダムなスイッチング動作³⁸¹を防ぐには、双極子結合が不十分であることが示された。結晶磁気異方性において二軸異方性を持つ材料を、個々の磁気アイランドのエネルギーランドスケープにおける局所的極小を導入するために使うことが提案されている。さらに、それによって、アイランドの集合の困難軸安定性を推進する³⁸²。それに代わって、断熱スイッチング³⁸³、傾斜磁場は、想定外のスイッチングの効果を抑制できる可能性がある。シミュレーションによれば、NML回路は、磁場のミスアライメントには耐性がある^{384,385}。回路が究極的に信頼でき、決定論的なスイッチングを示すかどうかは、どのようにクロックを与えるかに大きく依存する。そして、それには更なる研究が必要である。

CMOSデバイスの多層金属配線層における信号の転送能力は、個々のロジックゲート同士、あるいは、機能ユニット間の局所配線を形成する上で、本質的である。NMLでは、情報は、フリンジ磁場相互作用によって伝達されるので、配線の交差は、いかなるものであっても、平面内に存在しなければならない。候補となる設計のシミュレーション結果は、成功裡になされている³⁸⁶。原則として、中距離、および長距離な伝送では、信号は、多層的に設けた平面内で転送されるか、電気信号に変換されていなければならない。規模が大きくなるにつれて、このことは更なる研究が必要になる。

4.2.3.1.3. エキシトニック電界効果トランジスタ (Excitonic Field Effect Transistor)

エキシトニック電界効果トランジスタ(The Excitonic field-effect transistor : ExFET)は、非常に急峻な逆スレッシュホールド特性の傾きを実現するという点で注目されている。そのためには、エキシトニック絶縁状態をゲートで制御し、バンドギャップを形成する。オン状態に状態変数は、通常のFETと同様に電荷であるが、OFF状態状態変数は、エキシトニック絶縁体である。それは、2つの反極性にドーパされた平行セグメントで、Fig. ERD3に示されここには、2つのデバイスチャネルがあり、n型のブランチにおける電子とp型におけるブランチのホールとの間のクーロン相互作用があるゲート電圧の下で、系をエキシトニック相へ凝集させる作用する。このとき、単一粒子スペクトルに、エネルギー・ギャップが形成される。電子とホールの再結合は、逆の極性を持つ空間的な隔たりのために抑制されている。ゲート電圧は、からドレインへの電流を抑制するために、それまでは存在し

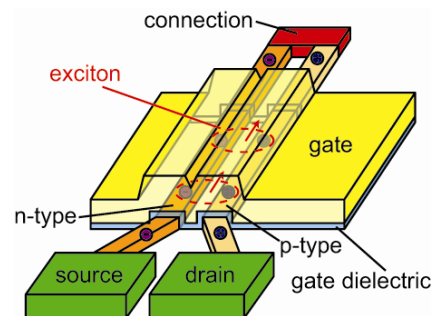


Figure ERD3 Schematic layout of the excitonic field-effect transistor (ExFET).

おける
の状
対の
る。そ
ける電
用が、
のに
ヤップ
電荷
ソース
なかつ

たエネルギー・ギャップを形成するのに使われるので、S因子の上記の制限は、もはや、あてはまらず、低電圧デバイス動作が可能になる。 V_{gs} の関数としてのデバイスのスイッチング(高い伝導状態から、絶縁体エキシトニック相の形成に対するOFF状態への移行)が満足される。

1970年代に、いわゆる直接エキシトンが、理論的に、バルクにおいて絶縁状態(エキシトニック絶縁体)を形成することが議論された^{387,388,389,390,391,392}。1988年までは、エキシトニック絶縁体は、実験的に検証されていなかった^{393,394,395,396,397}。バルクにおける典型的なエキシトンの結合エネルギーは、数meVである³⁹⁸。空間的に離れた電子とホール形成するエキシトンは、1985年に予見された³⁹⁹。光学的な実験によって二次元系でその存在が検証され^{400,401,402}、理論的な研究からエキシトニック絶縁体⁴⁰³、あるいは結晶状態⁴⁰⁴への相転移が予見された。間接エキシトンも一次元ナノワイヤにおいてその存在が予見された、一次元系では、カーボンナノチューブ⁴⁰⁵で、エキシトンの結合エネルギーは100meVのオーダーであることが、実験的に検証され、このことは、提案されているエキシトニックFETの室温動作の可能性を指示するものとなっている^{406,407}。

4.2.3.1.4. バイレイヤー擬似スピン電界効果トランジスタ (BiSFET)

バイレイヤー擬似スピン電界効果トランジスタ(BiSFET)は、薄い誘電体により隔離された逆極性に帯電した(n型とp型の)2層のグラフェンにおいて、室温励起子(対になった電子と正孔)超流動凝集の可能性に基づいた超低電力で高速なトランジスタ⁴⁰⁸として、最近提案された概念である⁴⁰⁹。詳細な解析において、上層または下層の電子占有はスピンのアップまたはダウンのように、つまり擬似スピンとして扱うことができ、ここで考えられる集団効果は強磁性体における集団スピン効果と類似している。グラフェンの系と、そのような凝集を観測するためには極低温かつ高磁場が必要な隣接したIII/V半導体量子井戸の系^{410,411,412,413}とを区別するものは、原子的に薄い層、対称的な電子と正孔のバンド構造、低い状態密度、ゼロバンドギャップエネルギーといった有利なグラフェンの特性の共同作用である。

その凝集は、個別に電極が付けられたグラフェン層の間の層間電流が、ある臨界電流まで流れることを可能とする。それを超えると、凝集は崩壊し、層間のソースドレイン間電圧に対して負性微分特性を生ずる。^{414,415,416}この臨界層間電流はゲートにより誘起される電荷の不均衡により減少することができる。^{417,418,419}結果としての素子の出力特性は質的にゲートの設置された共鳴トンネルダイオード(RTD)と同様である。しかしながら、コンダクタンスはゼロのソースドレイン間電圧において本質的に最大となり、決定的に、臨界電流となるソースドレイン間電圧は熱電圧 $k_B T/q$ より小さくなることができる。したがって、非常に低い電圧(おそらく $k_B T/q$ のスケール)かつ低電力動作を可能とする。簡単なBiSFETのデバイスモデルとSPICEを用いたシミュレーションに基づき、プロトタイプインバーターはデバイスあたり約10zeptojoule(10^{-12} J)のスイッチングエネルギーを示している。^{420,421}また、それは内部で集団擬似スピン効果に依存するものであっても、電荷に基づくため従来のCMOSとともに用いるために、状態変数間で変換の必要がない。

しかしながら、BiSFETの出力特性はMOSFETのそれとは非常に異なるため、論理回路は異なる方法で動作しなければならない。4相クロック電力供給を用いることを含めて、CMOSよりも前述のゲート付きRTDに対して提案されている方法⁴²²に類似した方法である。それでも、すべての基本的な論理機能⁴²³から桁上げ伝搬加算器⁴²⁴まで、100 GHzのクロック周波数において高いエネルギー効率の回路がこれまでにシミュレーションされている。

しかしながら、BiSFETは新しい材料系における新しく予想された物理に基づく概念のみの状況である。また、グラフェンや誘電体、表面の品質、仕事関数、リソグラフィなどの必要な制御性をともなうBiSFETの作製は多くの挑戦を強いる。BiSFETの作製に関係する課題は、理論が現在も取組中であることに加え、いくつかはこの系特有のものであり、他は他のグラフェン技術と共通である。⁴²⁵

4.2.3.1.5. スピントルク多数決論理ゲート (Spin Torque Majority Logic Gate)

スピントルクナノ振動子 (STNO) はマイクロ波周波数領域で動作するナノ磁気電圧制御型振動子である。振動子はナノスケールの全金属スピンバルブと磁気トンネル接合におけるスピン移行トルク効果を利用する。⁴²⁶ STNOに印加された直流電圧がスピントルクを生成し、スピンバルブ自由層の磁気モーメントの自励振動的な歳差運動を誘起する。歳差運動している磁化は巨大磁気抵抗 (GMR) 効果やトンネル磁気抵抗 (TMR) 効果によりマイクロ波周波数領域で交流電圧を生じる。⁴²⁷ 歳差運動している磁化の周波数は STNOの強い非線形性により印加された直流電圧により調整できる。数個の STNOが共通の拡張された自由層を共有するとき、自由層を伝搬しているスピン波は STNO間の結合を生じ、その結果、STNOの動的特性の周波数と位相の同期が起こる。^{428,429} この位相同期領域では各 STNOは同じ周波数と位相でマイクロ波の放射を生ずる。位相同期の周波数帯域は STNOにおいてはその強い非線形性のため非常に大きくなり得る。⁴³⁰

STNOの位相ロッキングに基づく多数決論理ゲートは、自由層の上にパターン化された数個の GMRまたは TMRとともに、金属非磁性下層配線の上の共通自由層である金属強磁性ナノワイヤで構成される。⁴³¹ これらの接合のひとつはゲート出力として働くことができる。一方、残りの接合はゲート入力である。すべての入力は自磁化励発振の臨界電流以上の電流レベルにおいて直流電流でバイアスされる。各入力へは 2 つの周波数 f_1 と f_2 の信号を印加できる。注入同期と共通自由層におけるスピン波相互作用のため、入力の多数派に印加される入力信号周波数に依存して、 f_1 または f_2 のどちらかで自由層全体が歳差運動を行う。したがって、この論理ゲートの出力周波数は入力ゲートの多数派に印加される周波数により決定され、デバイスは信号周波数を状態変数としてもつ多数決論理ゲートとして動作する。

スピントルク多数決論理ゲートの別のタイプは多端子磁気トンネル接合におけるスピントルク反転に基づく。⁴³² 直流電流からのスピントルクはトンネル接合の強磁性層の磁化方向の反転を生ずることができ、高抵抗状態 (固定層と反平行の自由層) と低抵抗状態 (固定層と並行の自由層) の間でトンネル接合抵抗のスイッチングを引き起こす。このタイプの多数決論理ゲートは 3 つの入力と 1 つの出力、1 つの共通接地をもつ 5 端子デバイスである。⁴³³ 3 つの入力と出力は、すべての入力と出力により共有された接地強磁性自由層と接触しているナノスケールの磁気トンネル接合である。多数決ゲートの出力は 3 入力の多数派と接地の間に印加される電圧の極性により決められる論理状態 ("0" は低抵抗状態、"1" は高抵抗状態) を仮定する。共通自由層の磁化は、スピントルクにより、入力と接地の間を流れる電流の多数派 (少なくとも 3 入力のうちの 2 入力) の極性により決定される状態に反転する。面内磁化をもつ STMGの入力は互いに電氣的に孤立化された個別のナノピラーにより表されるものの、その STMGの層の積み重ねは典型的な磁気トンネル接合のそれと同様である。⁴³⁴ スピントルク多数決ゲートデバイスは本質的に不揮発で、小デューティー比、ノーマリーオフ応用において、従来の CMOSと比較して性能的な優位性をもつ。カギとなる挑戦は磁化反転を生ずるために必要な電流を低減することである。

4.2.3.1.6. 全スピン論理 (All Spin Logic)

最近提案された全スピン論理 (ASL)⁴³⁵ の概念は不揮発の 2 値データを表す磁石を用いる。ただし、磁石間の通信は電源から供給されるエネルギーをもつスピンコヒーレントチャネル内のスピン電流を用いることにより達成される。ASLの概念は最近 10 年のカギとなる科学的進展^{436,437,438,439,440,441,442,443} に基づく。これらの進展はスピントロニクスとマグネティクスの区別を不明確にし、電荷ベースの情報処理の代わりとなる低電力な方法を提供することができるデバイスの可能性を生み出している。特に、2 つのカギとなる最近の進展は (1) 磁性コンタクトから金属^{444,445,446} や半導体^{447,448,449,450} へのスピン注入の実証と (2) 注入されたスピンによる 2 次磁石の反転^{451,452} である。これらの実証は情報処理への全スピンの取り組みを提案する。磁石はスピンを注入し、スピンは磁石 (デジタルなビット) を反転し、電荷に変換する必要のない、アナログ的特性 (スピン電流) とデジタル的 (双安定磁石) 特性の両方において利点をもつ閉じられた "エコシステム" を

形成する。ASLはスイッチングエネルギー・遅延積⁴⁵³を大幅に低減できる可能性が示されているが、克服すべき多数の挑戦がある。ひとつはスピン電流を介して相互作用している複数の磁石においてスイッチングの室温における実証である。その他、エネルギー・遅延積を改善できる高い異方性をもつ磁性材料⁴⁵⁴の実際の実験への導入がある。電流密度やチャネル材料の適切な選択のような課題も注意深く考慮されなければならない。ASLにおける通信のアナログ的性質は、低電力でより小さい遅延とより小さい回路面積を実現するFunctionality Enhanced ASL (FEASL)と呼ばれるアーキテクチャを構築するために効率的に中央値関数⁴⁵⁵と結合させることができる。FEASLは特に演算論理装置 (ALU) に必須である加算器回路や乗算器回路に適している。さらに、ASLは、通常のフォン・ノイマン型アーキテクチャとは根本的に異なるアーキテクチャを持つバイオメディックシステムに対して自然な実装を提供する。

4.3. MORE-THAN-MOORE DEVICES

4.3.1. はじめに

近年の新探究素子(Emerging Research Devices)の章において、ITRS はデータの処理、転送、そして記録(すなわち”More Moore”の領域)に注目してきた。これは、その趣旨が「新探究素子を、長期的に見た潜在性能や技術的完成度から、俯瞰、評価し、列挙する」こと、そして、これらの技術が半導体産業に受け入れられるための「科学的・技術的な課題を明らかにすること」にあるためである。このような素子の性能としては既存の技術をはるかに超えるものが期待される。その潜在候補の一覧は、デバイス技術が成熟して産業へと出て行ったり、あるいは、目覚ましい成果が出なくなった、既存技術の進歩に追いつけなくなった、などの理由から注目されなくなったりして、次第に変化してゆくのである。そして、“More-than-Moore”領域への関心の高まりとともに、ERD 章の主旨は非デジタル領域にまで拡張されることとなった。

論文等に見られる、ナノテクノロジー応用を志向したほとんどすべての素子は、フォトニクス、エネルギー、(生)化学センサーおよび RF の領域のいずれかに関係する。これらの新探究デバイスを既存の非デジタル技術と比較する必要があることは既に ITRS でも述べられており、今回は拡張の第一歩として、“RF および A/MS 技術”の章に遷移してゆく可能性のある、RF の新探究デバイスに注目することにした。すなわち ITRS の他の章の内容の変化によっては、これ以外の非デジタル新探究デバイスへと、更なる拡張が行われる可能性がある。

本節におけるアプローチは ITRS の”More-than-Moore”白書 (参照)に概説された方法に従っている。RF フロントエンドは、受信した変調波をデジタルデータに変換する機能を持った、無線通信における汎用の高次の機能部品のひとつであるが、この機能部品は、アンテナ、スイッチ、フィルター、局所発振器、ミキサなどの汎用のいくつかの機能部品へと分割できる。そして、これらの機能部品として、RF トランジスタ、機械式フィルターなどの汎用デバイスを用いることが出来るのである。ここで重要なのは、単一のデバイスによって、より高次の機能が実現できる可能性があることである。そしてこのことが、機能分析から始めることが重要であって、既存のアーキテクチャを丸ごと置き換えようとしてはいないことの理由である。

”More-than-Moore”の新 RF 素子という広範な領域における、今回の最初の試みとして、本節はいくつかの素子及び機能ブロックに着目する。カーボンを用いた RF トランジスタ、より具体的にはグラフェン RF トランジスタが、既存の RF トランジスタを代替する第一の候補として述べられる。それから、新探究素子を用いたいくつかの機能ブロックについて記述する。すなわち、スピン移行トルクを用いた発振器、機械式共振器、ミキサである。これらのデバイス进行评估するにあたって、従来技術と比較するために利用可能な、信頼に足るデータはわずかであった。半導体関係者には、今後、“RF 及び A/MS 技術”の章に詳述されている、適切な性能指標と評価方法を用いることを強くお願いしたい。

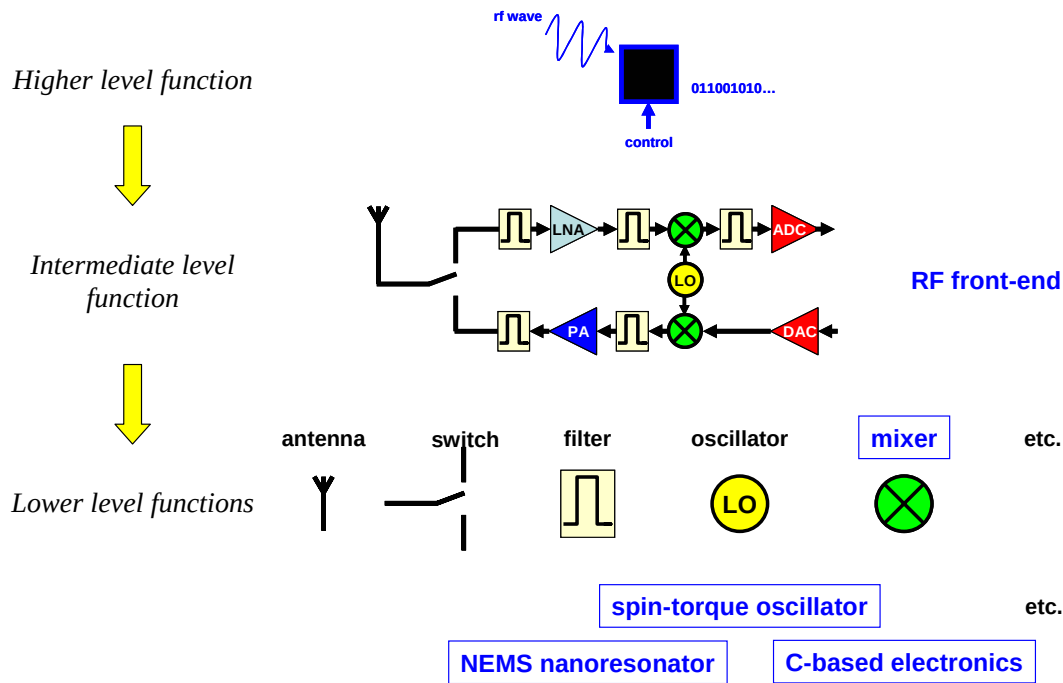


Figure ERD4 A Taxonomy for Emerging Research Information Processing Devices (The technology entries are representative but not comprehensive.)

4.3.2. グラフェンRF トランジスタ

グラフェンが持つ超高速キャリア速度の潜在能力によって、この材料を用いたRF トランジスタは非常に高いユニティ電流利得遮断周波数 f_T を実現できる可能性がある。つまり、グラフェンRFトランジスタは、同じゲート長を持つSiトランジスタより高い f_T 、低い f_{Max} が報告されてきた。グラフェンに関して報告された最高遮断周波数は、CoSiナノワイヤゲートと剥離グラフェンを用いた場合の 300 GHzである⁴⁵⁶。240 GHzの f_T がウエハスケールエピ成長グラフェンを用いた場合に報告されており⁴⁵⁷、200 GHzの f_T がCVD成長グラフェン層を用いた場合に報告されている⁴⁵⁸。

より高い f_T を実現するためには、デバイス構造を最適化する必要がある。グラフェントランジスタのソースおよびドレイン領域は成膜されたメタル膜によって一般に定義されるが、それは寄生キャパシタンスの要因ともなる。つまり、ソース、ドレインとゲートがグラフェンの同じ面にあるトップゲート構造では、ゲート-ソース間、ゲート-ドレイン間のキャパシタンスが大きくなり、 f_T が減少する結果となる。ゲートがソース、ドレインとグラフェンの反対面にあるバックゲート構造では、 $L_{gs} < 0$ のオーバーラップの場合であってもゲート-ソース間およびゲート-ドレイン間のキャパシタンスはより小さくなる。CVDグラフェンはバックゲート構造が作りやすいが、エピ成長グラフェンでは困難である。しかし、高い成長温度のために困難な方法であるが、SiCウエハ上に部分的にバックゲートを組み込んだ製造方法が示唆されている⁴⁵⁹。

カットオフ周波数はチャネル長に反比例するために、グラフェントランジスタの f_T のリミットは報告されたウエハスケールデバイスにおいては十分に調べられていない。パターニングされたメタルの代わりにナノワイヤゲートを用いることによって、遷移時間を基に f_T が 45 nmのチャネル長まで評価された。グラフェンの高いフェルミ速度はチャネル中の高いドリフト速度($\sim 4 \times 10^7$ cm/s)をもたらし、70 nm以下のチャネル長のデバイスにおいて 1 THzの f_T を可能とする。

ユニティパワーゲイン周波数または振動の最高周波数である f_{Max} は、 f_T が 200 GHzのデバイスでさえ 10-50 GHzであるが、デバイス構造の改善と寄生成分の減少により増加可能である。この分野はグラフェン固有の特性の探求よりも現在のところ研究が遅れている領域である。

4.3.3. スピントルク発信器

金属スピンバルブおよび磁気トンネル接合におけるナノサイズの磁気多層構造を用いたスピン移動トルクは、外部磁場環境下における自由層磁化の均一な歳差運動を駆動できる^{462,463}。GMR (Giant magnetoresistance)もしくはTMR (Tunneling magnetoresistance)効果と組み合わせると、この歳差運動はそれらの磁気多層構造を高周波スピントルク発信器とする電圧応答を作り出す。スピントルク発信器における発振周波数は、電流もしくは外部磁場を制御することで調整可能である。その高いコンパクトさと極端に広い調整範囲、CMOSプロセスとの整合性によって、スピントルク発信器は機動性の高いRF発信器となる可能性がある^{464,465}。

現在、磁気構造、磁場の強さ、入力電流レベルに応じて数百MHzから数十GHzまでの発振周波数が実証されている⁴⁶⁶。金属スピンバルブ構造に基づいたスピントルク発信器の出力パワーは、数百pW程度であるが、MTJに基づいたスピンバルブ構造では数十nW程度まで向上した^{467,468}。スピンバルブ発信器のこれらの実験的な進歩にも関わらず、スピンバルブ発信器の実用化にはまだいくつもの解決すべき課題がある。これらの課題とは、1)自動発振構造、2)出力パワーの増加、3)高いスペクトル純度(低いフェイズノイズ)である。

自動発振構造は最近のほとんどの実験デモで用いられている外部磁場を用いないことが必要である。この候補として、垂直偏光板、平坦自由層⁴⁶⁹、自由層における渦磁化状態⁴⁷⁰もしくはスピントルクの波状角度依存性⁴⁷¹を持つスピントルク発信器が示唆されている。

スピントルク発信器が有益なものになるためには、RF発信器の出力パワーは数マイクロワット以上になる必要がある。磁気層の高いスピン偏極または自由層の大きな歳差角によるより高い磁気抵抗MR (Magnetoresistance)を達成することは高出力パワーを得るための最初のアプローチであるが、多くの弱結合発信器の位相をロックすることが出力パワーの十分な増加のためにより必要である。電氣的に結合されたスピントルク発信器の同期に関する理論予想や実験デモが今まで報告されている^{472,473,474}。

残りの課題のうち現存する電流発振器と同程度のレベルのスペクトル純度を得ることが、スピントルク発信器を通信応用に適用する場合の最も大きな障害となる可能性がある。スピントルク発信器幅における問題は、時間コヒーレンスの欠如⁴⁷⁵または発信器周波数の非線形性^{476,477}に起因するものと報告されている。PLL回路の採用または数個のスピントルク発信器の同期は、より高いスペクトル純度のための解の一つとすることができる。

4.3.4. NEMS レゾネータ

チップ外のRF部品、特にQ値が $>10^4$ - 10^5 で温度安定性が 1 ppm/°C より高い基準発信器として用いられている水晶発振器を極小化して集積化することへの興味は増加しているが、集積回路において実現することは困難である。集積化されたLC-tank回路のQ値は、集積化されたインダクタンスとキャパシタンスの貧困なQ値(10'sから 100's)によって制限されている。結果として、妥協のないQ値⁴⁷⁸を持つ微小基準発信器の最も期待の持てる解は、振動デバイスに分類されるものである。

これらの振動構造の中で最も期待できるものは、容量変換M/NEM (micro- and nano-electromechanical) レゾネータである。最近数年間でMEM/NEMレゾネータの主な性能指数である周波数とQ値の積において驚異的な進歩が成し遂げられた。GHz領域を超える共振周波数増加の一般的な傾向は、そのようなレゾネータを非常に小さく、非常に固く、そして軽量のNEMシステムへ向かわせた。しかし、低次元で高いQ値を保持するそれらの能力は、主なエネルギー消費メカニズムが、ガス摩擦、取り付けロスや表面ロスである

時には疑問の余地がある⁴⁷⁹。別の重要な問題は、フォトン、フォノン、電子および吸着された分子における変動効果として、これらのレゾネータの次元的な大きさの安定性(または不安定性)がどのようにしてノイズ特性に意味ある影響を与えることができるかということである⁴⁸⁰。

4.3.4.1. シリコンナノワイヤ、カーボンナノチューブ、グラフェンを用いた NEMS レゾネータ

マイクロメータスケールにおける高周波レゾネータの最近の成功例は、周波数レンジ 400 MHzから 1.5 GHz ($Q>3700$) の拡張ワイングラスレゾネータ⁴⁸¹と誘電的に駆動され、ピエゾ抵抗素子的に検出された内部誘電アクチュエータを活用した 4.41 GHz動作のシリコンバーレゾネータである⁴⁸²。 $Q>8000$ で 4 GHzを越え、第 9 高調波縦モデルを用いた容量共振器作動のピエゾ抵抗素子検出が実現されている。

VHF (very high frequency) NEMレゾネータが、プラチナナノワイヤを用い、4Kにおいて Q 値 8500 以上で 100 MHz以上の共振周波数を持つことが記述されている⁴⁸⁴。同グループは後に単結晶シリコンナノワイヤによるVHF NEMレゾネータの報告を行っている^{485,486}。

カーボンナノチューブ (CNT) は硬度(ヤング弾性率 E が約 1 TPa)、低密度、無欠陥構造そして極小断面積によりNEMレゾネータを構築する材料として最も注目が高い。レゾネータ応答は、電圧可変特性を持ち、直径 1-4 nmのCNTを用い、トレンチの上にサスペンドされた構造において 3 から 200 MHzに可変であることが報告された⁴⁸⁷。慣性金属クランプでそろばん状に配置された同様のCNTデバイスで非常に短い実効ビーム長を生じることによって 4 GHzまでの共振周波数を持つNEMレゾネータが報告されている^{488,489}。そのような微小振動型SiNWやCNTの一つの問題は、非常に低い入力電圧における大きな振動振幅での、ワイヤにおける張力ビルドアップ効果から引き起こされる周波数不安定による非線形特性の早期発生である。

最近、グラフェンがその極端に大きな強度、硬度と基底面に沿った熱伝導率によって注目を集めている。文献 490 によると、剥離されたグラフェンシートが共振周波数 1 MHz から 170 MHz までの 2 次元 NEM レゾネータを形成するためにサスペンドされた。

4.3.4.2 共振ゲートまたは振動体トランジスタを用いた NEM レゾネータ

MEM レゾネータの容量的に変換された信号は非常に小さく、かつインピーダンス整合が制限されている。可動ゲートと body FET トランジスタ構造は、出力がトランジスタのドレイン電流であるということが主な違いであるが、アクティブレゾネータ実現の可能性を提供する M/NEM レゾネータとして動作できる。

共振ゲートトランジスタは、out-of-plane AlSi共振ゲートMOSFET^{491,492}とin-plane共振シリコンゲートトランジスタ⁴⁹³として報告されている。in-plane共振ゲートトランジスタの積極的にスケールしたバージョンが、フロントエンドプロセスで 100 nm以下のギャップと 400 nm厚の単結晶レゾネータを達成するための Silicon-on-Nothing技術に基づいて報告された⁴⁹⁴。側面MOSトランジスタは垂直にエッチングされた側壁の粗さに起因する貧困なキャリア移動度に悩まされており、ほとんどゲインは見られないが、寄生容量の影響を最小化するために先進CMOSと集積化することができる⁴⁹⁵。

共振トランジスタの別の選択肢として、VB-FET (Vibrating-Body FET)と呼ばれるデバイスが提案されている^{496,497}。その可動bodyは側壁チャネルとその構造(キャリア移動度と質量)のピエゾ抵抗における反転電荷もしくは蓄積電荷両方を変調する。シリコンナノワイヤはバルクSiと比べて異常に大きなピエゾ抵抗効果を示す。出力信号に関する+30dB以上の突出したゲインは、出力がトランジスタドレインから取られた場合にマイクロメータスケールの二重ゲートVB-FETによって得られた。さらに、そのデバイスの動抵抗は、16 k Ω からRF応用における 50 Ω マッチングに優れた適応性を示す 100 Ω に低減された。

シリコンの伝導性を変調するために電場の代わりに機械的歪みを利用する別のアクティブレゾネータが提案されている⁴⁹⁸。

4.3.5. RF ミキサ

RFミキサはRFフロントエンドの重要な構成部品であり、多くの探索的な解が注目を求めている⁴⁹⁹。

共鳴トンネルダイオードは何十年もの間探索された。その微分負性抵抗と高速応答によって、RF領域においてまだ潜在能力を持っており、サブハーモニックミキサが実現された^{500,501}。そのようなアプローチの潜在的利点は、広範囲の動作温度、10 THzまでの周波数レンジそしてRTDショットノイズ抑制による雑音指数の減少である。この分野は近年そんなに盛んではないが、THz応用の増加とSi上III-V材料の集積が始まることにより、共鳴トンネルダイオードは再び興味を呼び覚ますことだろう。

同じ理由によって、単一電子トランジスタは1-10 GHzの共振周波数を持つデバイスと考えられた。0 から300 MHzにおける完全に同調可能なバンド選択を持つSETベースのミキサは、極低温ではあるがその動作が示された^{502,503}。

最近、全波整流器の応答を模倣したグラフェントランジスタの両極性I-V特性が、周波数2倍回路として実証された^{504,505}。

最後に、カーボンナノチューブの非線形I-V特性は、AM信号を復調するために用いることができる。しかし、実証は外部バイアス回路によって100 kHz以下に、内在する寄生成分(ボンディングパッド他)によって2 GHz以下に制限されている^{506,507}。

5. 新探求アーキテクチャ (EMERGING RESEARCH ARCHITECTURES)

新探求アーキテクチャ(ERA)セクションの目的は、新探求メモリおよびロジックデバイスのための新しいアプリケーションを見分けることである。これは難しい挑戦である。なぜなら多くの場合、それら新デバイスのための回路またはアーキテクチャレベルのモデルやその融合システムは存在せず、また存在したとしてもそれらはまだ非常に原始的なものだからだ。さらに、それら新デバイスのアプリケーションの展望は多岐にわたる。例えば、1) 既存回路を単純置換するような利用法、2) CMOS デバイスを補完し、CMOS と共に用いる補助的デバイスとしての利用法、3) 特定のアプリケーションに対して唯一の機能を提供できる特殊な性質を持つデバイスとしての利用法、などが挙げられる。このセクションは、アーキテクチャの眺望から「新探求デバイスのための見込みのあるアプリケーションの世界」を展望できるように構成されている。5.1 章は、従来の演算処理における新探求デバイスのアプリケーションに焦点をあてる。5.2 章は、従来の演算処理パラダイムを利用するアーキテクチャの進化について扱う。5.3 章は、新探求デバイスを「モーフィック」と呼ばれる計算パラダイム(既存の演算アプローチではなく、自然界や生物などの演算パラダイムから発想を得るアプローチ)の中で活用することに焦点をあてる。

5.1. 従来演算における新探求メモリアーキテクチャ (EMERGING MEMORY ARCHITECTURES IN “CONVENTIONAL” COMPUTING)

5.1.1. はじめに

従来の演算アーキテクチャでは、SRAM はキャッシュとして用いられ、DRAM はそのキャッシュを可能な限り高速に再充填するように設計される。さらに、ソフトウェア(全体のシステムイメージ)は不揮発ストレージ(古典的にはこれはハードドライブ)に保存され、必要に応じてメモリとの間でスワップが行われる。ソリッドステードドライブ(SSD)の登場により、特にポータブルアプリケーション領域において、費用効果のある小さなディスクドライブが SSD で置き換えられるようになった。いくつかの ASIC においては、SRAM は、局所的かつ高速に管理されるストレージ、またはしばしば連想メモリ(CAM)として利用される。FPGA においては、SRAM は、小規模ロジックのための参照テーブルの構築および参照テーブルをプログラムするために用いられる。

しかし近年、この状況は急激に変化しつつある。デバイスのスケーリングの進行に伴い、アプリケーションニーズとともにスケール(拡大)しており、それらのアプリケーションニーズは、古典的なメモリ階層がもつ能力・性能を急激に浪費しはじめている。同時に、新しいメモリ技術はそれらの問題を解決し、新しいメモリ階層を構築する機会を生み出している。

5.1.2. メモリシステムにおけるチャレンジ (CHALLENGES IN MEMORY SYSTEMS)

表 ERD13 に、アプリケーション用途別のメモリニーズの概要を示す。この表は、メモリ特性に対して順番づけされたアプリケーションのポジションマップ(cross matrix)を表す。これは年毎に順番づけされたものではなく、2012 年から 2020 年の時間幅で「演算量」の観点から内容を読みとってもらえるよう構成されている。この表におけるメモリ特性に関する議論は以下の内容を含む：

- サイズ: Byte 単位で表されるワーキングメモリ空間の見込みサイズ。このサイズは、コストと電力効果を理解する上で重要である。
- 速度: 読み書きのアクセス時間は重要であり、この列は非現実的な要求も含んでいる。
- 消費電力: メモリシステムの平均およびピーク消費電力は、システムの電力供給と冷却系の規模を決定するのに重要である。
- 電力の線形性: 多くのコンピュータシステムは常にピーク負荷状態で稼働しているわけではない。この列は、実際の負荷量に比例するような「メモリシステムの電力」の見込みニーズを示す。
- 永続性: 電源が切られているときや、電源が急に失われたときに、メモリデータが保持されるようなニーズがしばしばある。永続性は、電力の線形性を達成するのにも役立つ。
- 連想性: いくつかのアプリケーションは連想メモリ(CAM)を持つことで恩恵を受ける。
- コスト: コスト効果は明白である(他に何かコストに関する特別な考えがあるだろうか?)。

アプリケーションは以下のようにまとめられている：

- マルチコア: この行は、個人や組織レベルのユーザニーズをターゲットとした、現代のマルチコアコンピュータの(今後も続く)スケーリングを表す。
- データ: データに基づく演算は、主にクラウドベースのサービスを支える(特に、複数場所に配置された複数のコンピュータから得られる情報解析サービスなど)。情報検索やクラウドストレージ、複雑なデータ駆動式サービスの提供などがその例として挙げられる。この分野は急激に成長・発展している。
- エクサスケール: 次世代の科学技術演算向けスーパーコンピュータは、エクサFlop・エクサバイトのレンジで動作することになるだろう(エクサ = 10^{18})。科学技術演算のためのコード(ライブラリ)はかなり確立されてきているが、演算能力そのものに対する需要は極めて高い。
- モバイル: 最も成長の速い消費者向けコンピュータの区分はモバイルデバイスの中にある。それらは、複雑な動作環境とともにマルチコアシステムに移行しつつある。

- ASIC (特定アプリケーション向け IC) : ネットワーク処理や信号処理などの特定アプリケーションは、進化したメモリを要求し続ける。

これらのアプリケーションのニーズ、およびそれらをどのようにして新探求メモリと関係させるかということについて、次の節で議論する。

5.1.2.1 個人・組織向けマルチコアコンピューティング

マルチコア演算の問題は一般的にはよく理解されており、ここではその議論の延長は行わない。コア数やスレッド数の増加に伴い、マルチスレッド支援に関するニーズはさらに増え続けるだろう。予測どおりに DRAM のスケールアップが終了する場合、(新探求メモリによる) DRAM 置き換えの価値が出てくる。この置き換えをするためには、DRAM と同程度の高い書き込み信頼性を持ちながら、DRAM と同程度の読み書き速度 (100 ns 以下) を達成しなければならない。永続性は、リフレッシュ動作の電力削減、または瞬時電源 ON/OFF に役立つだろう (例えば、文献¹)。

5.1.2.2 RESEARCH DATABASE COMPUTING IN THE CLOUD.

クラウドにおけるデータベースコンピューティング

データベース演算は、個人や組織における演算やスーパーコンピュータの演算とは明らかに異なるいくつかの性質を持つ。それらの性質は文献^{2,3}にうまく説明されており、ここではそれらを簡潔にまとめるだけにする。既存メモリ技術を置き換える／補完するような新探求メモリの可能性・将来性は非常に高く、ストレージクラスメモリ (SCM)⁴ やナノストア⁵ と呼ばれる新探求アーキテクチャが既に提案されている。データベース演算は様々な形態をとり、急速に進化している。(データベース演算における) メモリ要求に関するいくつかの共通な性質は、以下のようなものを含む：

- スケール: 特定のアプリケーションに対する全メモリ要求量は、容易にペタ (10^{15}) バイトのレンジになり、それは急速に成長している。
- レジデンス: 多くのアプリケーションは、データベースの大部分が DRAM 上に置かれることで (速度上の) 恩恵を受ける。たとえば、Google は全てのインデックスデータを、Facebook は 75% の非イメージ型データを DRAM 上に置いていると報告されている。
- データアクセスパターン: データアクセスパターンは企業により変わる。いくつかの企業はリレーショナルデータベースを使い続け、他企業はフラット (フラットファイル) データベースへ切り替えている (エントリー間の関連を見るためには、各フラットファイルから個別にインデックスを作らなければならない)。一般的に、データベースアクセスは数バイトの単位で行われ、時にデータベースの全データにアクセスする。このアクセスは読み書き両方を含み、アプリケーションに応じて読み書きの比率は大きく変化する。安価な「連想メモリ」はいくつかのデータベースに恩恵を与えるだろうが、その可能性についてはあまり研究されていない。
- コスト: 全体コストを考えると、特定の貢献者に焦点を当てすぎないことは (データベースのストレージ構成を決める上で) 役に立つ。現在の価格トレンドによると、HDD のビット単価はフラッシュメモリより一桁安く、一方で DRAM より一桁高い⁶。新探求メモリのためのいくつかのコストモデルは存在し、それによると、ReRAM や新探求 (垂直構造) 多値フラッシュが HDD とのコストギャップをさらに埋める、と予測されている。しかし、読み出し中心のアプリケーションにとっては、不揮発メモリが HDD よりも大幅に低消費電力で小面積であることを実現することのほうが重要である。文献⁷によれば、2020 年までにデータセンターの主ストレージシステム (8.4 G-SIO/s のパフォーマンス相当) は、HDD を主体とした場合、93 MW の電力を消費し、98,568 sq.ft. の面積を必要とする。新探求メモリを主とする場合は、4 kW の消費電力と 12 sq.ft. の面積で済むとのことである。与えられるエネルギー

ーコストを考えれば、たとえビット単価に差があったとしても、この電力・面積差は、容易にHDDを片隅に追いやり、(ユーザに)コスト優位性を持つ新探求メモリへのシフトを促すだろう。

- 電力の線形性: 大まかに見積もって、大規模コンピュータシステムの電力の 1/3 は、メモリサブシステムにより消費される⁸。この電力の実態は、揮発性DRAMのリフレッシュ電力である。その結果、現代のデータサーバでは、使用率が低いときでさえ電力の消費量が無視できない。例えば、Googleの報告⁹によると、使用率が極めて低い状態でさえ、データサーバはピーク時の消費電力の50%以上を消費している。省電力・待機モードを導入すればこの電力は下げられるが、待機モードから通常動作モードへの切り替えには時間がかかるため、省電力・待機モードを使うという考え方は排除されている。よって、定期的なリフレッシュを必要としない永続性メモリの価値は高いだろう。

これらの要求は、重要な初期の研究調査を、新探求メモリデバイスを活用した新しいメモリアーキテクチャに導いている(それらはしばしばDRAMやHDDと協調する新アーキテクチャである)。それらのメモリスシステムは、しばしばストレージクラスメモリ(SCM)と呼ばれる。それらは、CPUに近い位置で使われるか、あるいはHDDを補完するために使われるかに応じて、さらに差別化される¹⁰。その鍵となる特徴は、表ERD14 にまとめられている。

DRAM 置き換えまたは補完となりえる SCM アーキテクチャは M タイプ(またはメモリタイプ)SCM と呼ばれ、CPU に近い位置に置かれる。よって、その特性は DRAM と多くの類似点を持つ(インターフェース、アーキテクチャ、耐性(特に書き込み回数)および読み書き速度を含む)。新探求メモリの書き込み耐性は DRAM より劣る傾向があるため、アーキテクチャ上の革新が必要である。例えば、寿命を延ばしつつ電力性能を最適化するための複数のメモリ技術の融合、ワード単位の(アドレッシングが可能な)インターフェースを持つ新しい負荷平準化技術(一部のメモリに書き込みを集中させずに分散して書き込みを行う技術。通常、負荷平準化はブロック単位で行われる)、およびエラーパターンに基づくエラー訂正などが挙げられる。そのためのメモリ管理システムはまだ存在しない。例えば、DRAM は単に永続性メモリの L4 キャッシュとして扱われるのか、または直接管理されるのか? そのインターフェースは、(一つのフラットなアドレス空間として全メモリスシステムを扱う)ワード単位でアドレッシング可能なバスになるだろう。(注)フラッシュまたは進化したフラッシュは、このアプリケーションにおいて十分な書き込み耐性を持ちそうにない。この章の 4.1 節において、セル単位での要求が探求されている。

S(ストレージ)タイプ SCM は、メインストレージとしての HDD の置き換えまたは補完を意図したものである。主な優位点は速度である(HDD のペナルティであるドライブのシークタイムを短くできる)。研究上の問題は、SCM をディスクキャッシュとして動作させるか、あるいは直接管理されるべきか、十分に高速で柔軟性あるインターフェースを維持しながらどのように負荷平準化を行うか、どのようにエラー訂正を実装するか、最適な技術融合の仕方の決定などを含む。いくつかの共通問題は、ストレージ管理、インターフェース、およびアーキテクチャ統合である。たとえば、(S タイプ SCM は)高速ディスクドライブとして扱われるべきか、(アドレス可能なインターフェースを持ちつつ)主メモリの拡張として管理されるべきか、ページは保存されるべきか、またそれはどのように管理されるのか、などの問題が挙げられる。仮想メモリはこのタイプのストレージシステムには不向きである。(注)フラッシュは S タイプ SCM の可能性のある競合相手である。

文献¹¹ではSCMという言葉は使われていないが、この論文の著者は三つの見込みのあるアーキテクチャを定義している。そのうち二つは、Mタイプ、SタイプSCMとほぼ同じである。が、この著者は第三の可能性を示している: 演算コア、キャッシュ、DRAMおよび新探求ナノメモリをモノリシックノードに組み入れる3次元積層ノード。

5.1.2.3 モバイルコンピューティング

モバイルデバイスは、最も成長の速い消費者向けコンピューティングの分野の中にあり、それらは独自のメモリ要求を持つ。これまで、モバイルデバイスは主にNANDフラッシュをストレージに持つシンプルなCPUと

して強調されてきたが、それらは(限られた電力とコストの範囲内で)ラップトップコンピュータのアプリケーションに類似したアプリを実行できる複雑なマルチコアデバイスに向けて急速に進化している。ブロック単位の負荷平準化や書き込み前のデータ消去といった手法では、NANDフラッシュは先端モバイルデバイスのためのメモリ階層の上位に食い込めそうにない。例えば、PRAM(相変化RAM)を、再設計されたメモリ管理コントローラと共にモバイル環境に統合できれば、6 倍の速度とメモリ寿命をもたらす¹²。新探求メモリデバイスを含むようなメモリアーキテクチャを再考することで、モバイルコンピューティングのコストパフォーマンスは大幅に向上するだろう¹³。

5.1.2.4 特定アプリケーション向けコンピューティング

特定用途向けメモリアーキテクチャは、新探求メモリの普及により進化すると思われる。例えば永続性 STT-RAM は、他の永続性メモリ技術の電源管理技術の進化とともに、積極的な電源管理の機会を作り出す。低価格の連想メモリは、ネットワークや生体様アプリケーションにおいて興味を持たれるだろう。

Table ERD13 Anticipated Important Properties of Emerging Memories as driven by Application Need

Table ERD14 Likely desirable properties of M (Memory) type and S (Storage) type Storage Class Memories

5.2. EVOLVED ARCHITECTURES EXPLOITING EMERGING RESEARCH MEMORY DEVICES

新探求不揮発メモリを用いて論理関数を実装する試みが広まってきている。ナノメモリ素子の(高い)集積密度がこの選択を特に魅力的なものにしている。これらの試みの共通のアプローチは、FPGA内部の機能を新探求メモリで置き換える(可能性を調べる)、というものである。FPGAは、組み合わせ論理関数(典型的には、数入力-2 出力)を構成するための参照テーブル(LUT)として、またはインターコネクト用のプログラム可能なスイッチマトリクス(PSM)内のパスゲートの状態メモリとして、膨大な数のSRAMを利用する。それらのSRAMを不揮発メモリで置き換えることはこれまでに何度も提案されており、フローティングゲートFETを用いて製品化された例もあった。近年、STT-RAM, ReRAM, またはナノ結晶フローティングゲートをその代替として用いることが提唱されている¹⁴。典型的には、それらの置き換えは、6 トランジスタSRAMセルを、LUT用途では一つまたは二つのデバイスにまで縮小し、また同様に、PSMのパスゲート+SRAMを置き換える。それによってサイズが縮小され、典型的には専用CMOSと比較して、電力性能比が 2~3 倍向上するだろう。また、再構成可能なダイナミック論理回路¹⁵を実装するために、STT-RAMのような高い書き込み耐性を持つ不揮発メモリを使うことは、更なる利点をもたらすだろう。別の興味深い方向は、高密度の連想メモリを構成するために新探求メモリを用いることである¹⁶。SRAMベースの連想メモリは、消費電力が高く集積密度も低いいため、それらの採用は今のところ限定的である。

ここでの一つの共通の問題は、2~3 倍以上のパフォーマンス向上を得るためには、どのように新探求デバイスに投機すればよいか、ということである。現在の方向性は、ナノクロスバーを再構成可能ロジックアレイとして用い、それらのアレイを CMOS と併用して使うもの(CMOL-生体様アーキテクチャーについては以下の 5.3.1 節を参照)、ナノメモリを用いた再構成可能コンピューティング、および上記で述べた連想メモリである。

Table ERD15 Current Research Directions for Employing Emerging Research Memory Devices to Enhance Logic

5.3. モーフィックアーキテクチャ

生体システムは、雑音・障害耐性を持つ情報処理デバイスの良い例である。それらは、現代のデジタルシステムとは異なり、超並列演算を必要とする問題に適している。そのため、ITRS 2007 の ERA セクションに「モーフィックアーキテクチャ」が含まれた。モーフィックアーキテクチャとは、ある特定の問題を効率よく解くための「適応」が可能な新しい演算パラダイムを具体化したアーキテクチャ(生物アーキテクチャを規範としたアーキテクチャ)のことをいう。この節は、新探求デバイスに新しい機会を与える二つのモーフィックアーキテクチャ(生体様アーキテクチャとセルオートマトンアーキテクチャ)の最近の動向に焦点をあてる。

5.3.1. NEUROMORPHIC ARCHITECTURES

生体様(neuromorphic)という言葉は、神経システムのアーキテクチャを模するアナログVLSIシステムを記述するために、1980 年代後半にCarver Meadにより提唱された¹⁸。生物学的にはあまりありそうにない(静的なしきい素子を神経細胞として見なす、など)構造を持つ古典的なニューロコンピュータとは異なり、生体様アーキテクチャの構造はより生物の構造に近い。その一つの例は、脊椎動物の網膜構造(アーキテクチャ)をVLSI上に(可能な限り忠実に)再現した「シリコン網膜¹⁹」である。

生体様アーキテクチャの特徴は、1) 人間のような知的情報処理が行える可能性がある(たとえ神経素子のような低信頼性素子を用いたとしてもその可能性は維持される)、2) 熱雑音や素子特性ばらつきを抑制するだけでなく、時にゆらぎを積極的に利用して情報処理を行う、3) 脳と同程度の低電力動作の可能性、の三つである。ノイマン型演算機は 1)のような知的情報処理には向かない。なぜなら、このタイプの演算は、解くべき問題の難しさに対して演算器の複雑度(ゲート数、パワーなど)が指数関数的に増加するからである²⁰。よって、人間が行うような複雑・知的な情報処理に対しては、生体様コンピュータのほうがノイマン型よりも優れるだろう。上述の特徴 2)と 3)は、ノイマン型においては互いに密接なトレードオフ関係にある。なぜなら、雑音・ばらつき耐性を持つためには電源電圧を下げすぎてはならないが、電源電圧が下げられなければ、消費電力も下がらないからである。一方、生体様アーキテクチャはこのようなトレードオフの影響を強く受けないと思われる。エラーが許されない(エラー訂正が必須の)ノイマン型とは異なり、生体様アーキテクチャはエラーが発生しても「それなりに」動き続け、システム全体が停止状態に陥ることはない(我々の脳がその良い例である)。

脳の各部位と同様、生体様マシン(VLSI)の機能はアプリケーションに特化したものである。それらをCMOS補完として用いる(ノイマン型と併用する)ことで、汎用計算機が構成され、パフォーマンス上の大きな恩恵が得られるだろう。よって、生体様システムは、ロードマップ上では情報処理の機能を発散させる軸上に置かれるべきものであり、More-than-Mooreの候補として分類できる。表ERD16に、生体様システムの開発トレンドとそれらの応用を示す。「情報処理」というアプリケーションはこの表中に示される簡単なものに限定されるが、人間が行うような予測や柔軟な連想記憶といった知的機能を比較的小規模なハードウェア構成・低電力で実現できるという意味で、我々は恩恵を受けるだろう。例えば、ITRS 2009 のERAセクションにてベイジアンニューラルネットを用いた推論エンジン²¹が紹介されたが、2010 年にLyricセミコンダクタ社がそれに基づく確率的NANDロジック・アーキテクチャを用いて、既存回路の 3%ほどの回路面積と 8%ほどの消費電力で、エラー検出と訂正を行う「Lyricエラー訂正回路(LEC)」を製品化している²²。

Table ERD16 Applications and Development of Neuromorphic System

ITRS 2007 の ERA セクションでは、当時は古典的と考えられていた「生体様センサ(CMOS)」は扱わなかった。しかし、新探求デバイスと組み合わせることで CMOS よりも高いパフォーマンスを示す可能性が出てきたため、表 ERD16 に生体様センサを含めることとした。現在、CMOS ベースの生体様センサ(視覚およびその他のセンサ)の発展型(これは新探求デバイスへの応用を見越したものである)、および単電子デバイス向けの視覚センサが提案されている。

生体様システムを構築する別のアプローチは、生体などの生化学反応に動機付けられたアプローチである。例えば、反応拡散コンピュータ²³は生化学反応に基づいて設計されたものであり、自然な並列演算性により、いくつかの組み合わせ最適化問題を効率よく解く。このような生化学コンピュータをハードウェアとして実装するためには、生命化学反応に含まれる強い非線形性を模擬するような非線形IV特性を持つデバイスが必要であり、ここに、新探求デバイスを活用できる可能性がある。

生体様システムの実装の鍵となる問題の一つは、どのようにして神経素子を実装するか、ということである。まず重要なことは、神経素子(細胞)のダイナミクスの抽象化の度合いである。神経細胞のダイナミクスを忠実に再現するモデルから、積分発火型ニューロンとよばれる最も簡単なモデルまで、さまざまな抽象化レベルのモデルがある。その実装に新探求デバイスを用いる機会がある(単電子素子、RTD素子、メモリストなどにその可能性がある)。次に重要なことは、どのようにして不揮発性アナログシナプス素子を実装するか、という問題である。フラッシュ技術を用いた多くの試みがあるものの、シナプス毎に必要な書き込み制御回路の複雑さと書き込み耐性が問題となっている。現在はメモリストなどの不揮発デバイス(例えばReRAM)を用いた研究が主流になっている。CMOLは、メモリストのナノ接合とCMOSニューロンおよびそれらの制御回路を組み合わせたアーキテクチャのコンセプトである。ITRS 2007では、CMOLは「CMOS層上の単分子素子のナノグリッド」として紹介されたが、現在ではそのコンセプトは、ナノワイヤのクロスバー構造(交差点にReRAMのような二端子素子ができる)に拡張されている²⁴。CMOLアーキテクチャは、CMOS層とクロスバー層の多重構造に拡張できると思われ。これはCMOSのみでは実現できない多層ニューラルネットワークを実装する上で重要な技術となるだろう。CMOLは興味深いコンセプトではあるが、いまだに実現性は見えておらず、有効なデモンストレーションも行われていない。

最後に、ニューラルネットの雑音耐性と雑音の利用について議論する。雑音やゆらぎは、本来、アナログ・デジタル回路システムにとって「障害」であり、それらに対するほとんどの戦略は、その抑制に焦点をあてている。一方、多くの神経システムはそれとは異なる戦略をとる。それはすなわち、動作効率を改善するために雑音を「利用する」という神経系の(エレクトロニクスの手法とは正反対の)戦略である。この概念は、雑音に鋭敏な素子を用いた演算システムを設計する上で特に役に立つだろう(例えば、単電子素子やサブスレッショルド CMOS などの極低電力デバイスなどを用いたシステム)。

Table ERD17 Noise-Driven Neural Processing and its Possible Applications

表 ERD17 は、雑音を利用する神経情報処理とエレクトロニクスにおける見込みのある応用例を示す。確率共鳴(SR)とは、静的または動的なしきいシステムに雑音を与えることで、しきい値以下または以上の時変入力に対して、そのシステムが確率的に応答できるようになる現象のことである。生体システムでは、SRは雑音環境下で微弱信号を検出するために利用されたと考えられている。いくつかの ERD(単電子ネットワークと GaAs ナノワイヤ FET) 上でも SR が起こることが示されている。SR は多くの双安定システム(メモリ)でも観測されており、その活用によって、新探求メモリにおける状態遷移の制御が楽になるかもしれない。雑音を利用した高速信号伝送は、反射運動を司る神経ネットワークにおいて観測されており、そこでは、(もし神経細胞のばらつきと外部雑音があれば)、信号の伝搬経路がもつ伝達レートを超える速度で信号が伝播される。ばらつきのあるいくつかのパルス密度変調器を人工神経細胞として用いると、入出力間の運動追従性が(ばらつきのない・または単体の神経細胞を用いた場合と比較して)大幅に改善される、ということが、単電子素子を用いた生体様ネットワークによりデモされている。独立した神経細胞間における「雑音誘起位同期」と呼ばれる現象は、(独立した複数の発振器を分散クロック源とし、それらを雑音により同期させることで)スキューの少ないクロック分配に応用できるかもしれない。CMOS デバイスを用いたデモが表中の文献に示されている。減衰シナプスに雑音を加えることで、バースト信号を検出する出力ダイナミックレンジが大幅に広がることも明らかになっており、その単電子素子によるデモも表中の文献に示されている。抑制性ニューラルネットにおけるノイズシェーピングは、サブスレッショルド CMOS 回路によりデモされており、そこでは、もしある程度の静的ノイズ(素子ばらつき)と動的ノイズが避けられない環境であれ

ば、逆にそれらの雑音を使ったほうが有利である、ということが示唆されている(この回路は、素子バラツキや外部雑音を有効利用してノイズシェーピング 1 ビット AD 変換を行う)。

5.3.2. CELLULAR-AUTOMATA ARCHITECTURES

「セルオートマトン」は、規則的なグリッド(格子)上に構成されたセルの配列である。各セルは、あらかじめ定義された状態集合(通常、これは整数の集合)から、有限個の状態の一つになる。各セルの状態は、次の(時刻の)状態を決定する遷移規則(現在の状態及び隣接セルの状態を参照する)に従って更新される。あるセルの近傍は、通常の二次元格子(ノイマン近傍)の場合、北隣、南隣、東隣、西隣のような直交方向に直接隣接したセルである(他の近傍のとりかたも示されている)。各セルの機能は、セルオートマトンの遷移規則によって定義される。通常、すべてのセルの遷移規則は同じであるが、そうではない異種規則やプログラム可能な遷移規則なども検討されている。典型的には、セルは有限オートマトンとして表現され、それは単純であるが効果的な構造としてコンピュータサイエンスの世界ではよく知られているモデルである。セルオートマトンは、自己複製のモデルとして 1940 年にフォン・ノイマンにより提案されたが、以来、研究者を魅了する興味のほとんどは、分散型の方法で計算を行うセルオートマトンの能力に関するものである。セルオートマトンは、ノイマン型アーキテクチャと同じく、その発明者の名前を持っているが、それらは根本的に異なる計算の概念を表している。

新探求アーキテクチャとしてのセルオートマトン魅力には、いくつかの要因がある。まず、それらの規則的な構造は、費用対効果の高い方法で膨大な数のセルを提供できる製造方法を生み出す可能性を秘めている。この観点での候補は、分子の自己集合に基づくボトムアップの製造方法である。第二に、この規則性は論理設計の再利用を容易にする。マイクロプロセッサと比較して、セルの設計は比較的簡単であるため、そのための努力(時間)を大幅に削減できる。第三に、すべてのセルを統一ルールの下に従わせることができるため、エラーはより簡単な方法で(セルオートマトンの規則的な構造の中で)制御できる。第四に、セル間の接続線は短い。さらに、セルがいくつかの物理的なメカニズムを介してその隣接セルと相互作用するのであれば、接続線は完全に不要になる。第五に、セルは論理演算やメモリからデータの転送まで、複数の目的で使われる。それによって、柔軟な方法でセルオートマトンが構成可能になる。第六に、セルオートマトンは超並列であり、論理構造がセル格子のトポロジーに合うアプリケーションに対して、膨大な計算能力を提供する。

以下の理由により、セルオートマトンはある特定のアプリケーションにはあまり適さないかもしれない。まず、ハードウェアの面で比較的大きなオーバーヘッドがある。セルは(役立つ計算のために)ある最低限のレベルの複雑さを必要とする傾向がある²⁵。実際には、セルはロジック、メモリ、またはデータ転送ができるよう、その機能が再構成可能でなければならない。よって、単位面積当たりの機能密度は、従来のアーキテクチャよりも低くなる傾向にある。しかし、特定の応用に対してセルオートマトンを効率的に対応づけられる場合は、膨大な数のセルを低コストで利用可能であるならば、ハードウェアのオーバーヘッドは許容できるかもしれない。第二に、セルのデータ入出力が困難な場合がある。セルの数が膨大な場合、グリッド端にあるセル群を入出力に利用することは不可能である(すべてのセルを並列に利用できないため)。光学的手段を用いたセルの並列入出力の方法、または(既存の大容量)メモリと同様の個別セルのアドレッシング方法は、より多くの可能性を秘めている。第三に、さまざまな状態パターンを持つようにセルを構成することが困難である。このような構成・再構成の機能が、セルオートマトンに特定の演算タスクを行わせる上で必要である。上述のデータの入出力で必要とされたものと同じような解法が、ここでも見つからないとならない(セルへの並列アクセス法)。

ハードウェアでセルオートマトンを実装するための二つのアプローチがある。それは、微粒子および微細粒子を用いるアプローチである。さらに粗い粒度のシステムは、マルチコアアーキテクチャに関連付けられているため、セルオートマトンの範疇の外で考えられている。微粒子のセルオートマトンは、一つまたは少数

の論理ゲート(またはデータ転送のための単純なハブ)として構成可能なセルを持つ。セルは通常、10 から 100 バイト程度の容量のメモリを持つ。またこれらは通常、入出力あるいは機能構成のために個別にアクセスされる。典型的には、セルの機能を支配する遷移規則は、機能構成時に変更される。微粒子のアプローチの一つの例は、汎用計算モデルである「セルマトリクス²⁶」である。微粒子のセルオートマトンは、構成と演算に対して良い制御性を持つが、比較的複雑なセル構造の代償として、これらのアーキテクチャの規則性による費用対効果の高い製造方法の利用が制限される。

(セルオートマトンのハードウェア実装の)別のアプローチは、微細粒子を用いるアプローチである。このモデルのセルは、極めて単純な機能しか持たない(単位セルあたり数状態、および限られた数の(固定の)遷移規則)。少数の状態しか取らないため、セルあたり数ビットのメモリしか必要としないが、その一方、遷移規則をプログラムできない性質が、セルの複雑度を大幅に減少させる。セルオートマトン向けの機能をカバーできるような遷移規則が設計されれば、遷移規則の簡単さはさほど問題にならない。微細粒子のアプローチの例は文献²⁸で提案されている(汎用計算と誤り訂正演算が可能)。微細粒子のセルオートマトンでは、ナノスケールでセルを直接的に実現できる見込みがある。ここでの挑戦は、可能な限り少ない状態数と遷移規則でモデルを設計することである。その理論上の最小量は、二つの状態および一つの遷移規則である。同期型のモデルでは、「ライフゲーム」という有名なセルオートマトン(二状態、二つの遷移規則)が上述の理論下限に近づき、非同期型モデル(クロックなし)では、「ブラウニアン・セルオートマトン²⁹」(三状態、三つの遷移規則)と呼ばれるものが存在する。両モデルともに計算汎用性がある。最終的に最も重要な指標は、セルの技術的な実現効率であり、状態および規則の数は大まかな尺度として考慮されるべきである。

これまでのセルオートマトンのハードウェア実装のほとんどは、特定アプリケーションに向けたものである。この中で、セルオートマトンは特定の命令セットを高効率で実行する大規模システムの一部として使用される。典型的には、アプリケーションはハードウェア上に効率的に対応づけられる構造を持ち、セルは一つ(または少数)の単純な操作を行うよう最適化されているので、ここで踏襲されるアプローチは一般的には微細粒子である。画像処理アプリケーションは、二次元セルオートマトン上に高効率に対応づけられるので、ハードウェア実現において最も一般的である^{29,30,31}。過去の画像処理応用では、特にフィルタリング、細線化、骨格抽出およびエッジ検出のような処理に焦点が当てられていたが、近年は、デジタル画像著作権を持つ画像の電子透かし応用も考えられている^{32,33}。また、セルオートマトンは、辞書検索プロセッサ³⁴、メモリコントローラ³⁵、およびVLSIチップの内蔵自己診断(BIST)のテストパターンの生成^{36,37}などにも利用されている。特定アプリケーション向けのセルオートマトンは、文献³⁸にその概要がまとめられている。

アーキテクチャにおけるセルオートマトンの役割は、単なる専用サブプロセッサから、アーキテクチャの主要な部分へ、技術の進歩に伴って徐々にシフトすると予想されている。そうなったとき、セルオートマトンは、特定アプリケーションに特化した類似の計算機が欠く能力—計算汎用性(現在のコンピュータと同じ範疇に属する計算能力)—を必要とする。この言葉(計算汎用性)は主に理論上の文脈で、万能チューリング機械と等価であることを証明するために使用される。チューリング機械の極端な非効率性は、汎用的であることが証明されたセルオートマトンは非効率である、という誤解をもたらしがちであるが、これはしばしば真実からほど遠い。セルオートマトン上で効率的に演算を実行する一般的なアプローチは、論理回路として構成することである。この場合、セルは論理ゲートとして(あるいは論理ゲート間のデータを転送するために)使用される。微粒子のセルオートマトンにおいて、セルは通常一つ(または少数)のゲートとして動作するのに十分に複雑度を持つ。一方、微細粒子のセルオートマトンでは、論理ゲートの機能を得るために、協調的に動作するセル集団が必要である。セル集団は通常、最大 10 個のセルから構成され、その大きさはカバーすべき機能に依存する。これは、大きなオーバーヘッドに思えるかもしれないが、(微細粒子の)セルは微粒子のセルに比べてそれほど複雑ではない傾向があるため、このアプローチは可能である。さらに、微粒子のセルに比べて、データの転送のみに使用されるセル(多くのセルはこれに該当する)の集団では、このような単純なタスクを行う際に、その構成セルの未使用部分のはるかに少なくなる。

ナノスケールでセルオートマトンを実現する試みは極めて少ない。「分子カスケード³⁹」と呼ばれるセルオートマトンは、単純な論理演算を行うためにCu(111)格子上的CO分子を利用する。CO分子は格子の点から点に移動し、ドミノ倒しのように、移動先の格子点にある別の分子の連続した移動を誘起する。このプロセスは非常に遅くエラーが発生しやすいが、改善の可能性も示唆されている。しかし、演算には機械的な操作が必要であるため、このセルオートマトンは、他と競争できる速度に到達しないだろう。もう一つの試みとして、金の格子上的有機分子層を利用するものがある⁴⁰。分子間相互作用は、分子間の電子トンネリングを介して行われる。同定された相互作用を支配する規則は、格子内の過剰電子の局在化に影響されるように見える。このことがセルオートマトンの動作を制限する場合があるが、これは格子を構成する効率的な方法をもたらしているとも言える。

5.3.3. アーキテクチャの演算能力の分類

ノイマン型アーキテクチャは、データ／プログラムを格納するためのメモリリソースと演算リソースが分離されたものであるが、それとは異なる概念に基づいたアーキテクチャ分類の必要性が高まっている。「More-Neumann」という言葉はそのようなアーキテクチャを指し、(演算コアの)「数」の観点からのみ、古典的なノイマン型アーキテクチャと異なる。ノイマン型で採用されているプログラム内蔵方式は「More-Neumann」型アーキテクチャでも採用されるが、このアーキテクチャでは、マルチコアシステムのようなある程度の並列性が想定される。

「More-than-Neumann」は、演算リソースとメモリリソースの間のフォン・ノイマン・ボトルネックの影響を受けないアーキテクチャを指し、そこではこれらのリソースは高度に統合される。このアーキテクチャは、高度な分散特性を持つ傾向があり、極めて少ない量のメモリと限られた演算リソースを持つ小さな要素で構成されている。これらの要素は、「Less-than-Neumann」であり、完全なノイマン型アーキテクチャとして使用できない。しかし、それらの要素の「組み合わせ」が、それらを高い能力レベルに持ち上げる。More-than-Neumannアーキテクチャでは通常、(要素の)再組織化または再構成が(ノイマン型アーキテクチャにおける)「プログラミング」に相当する。よって、More-than-Neumannアーキテクチャのプログラミングは、特定の機能を実行させるために、個々の要素の適切な組織化・構成を必要とする。このような再構成は、個々の要素のメモリの更新により行われるが、要素間の結合線の再構成もこれに含まれるかもしれない。生体様アーキテクチャにおける「要素」は、ニューロンとそれらを結ぶシナプスである。シナプスの結合重みは学習過程で更新されるが、いくつかのアーキテクチャでは、新しいシナプスの結合が作成され、古いものは破棄される。セルオートマトンの場合、要素はセルであり、それらの機能は、メモリの状態を適切な値に設定することにより変更される。「More-than-Neumann」アーキテクチャは通常、専用問題に対して高い性能を発揮できるが、他の問題では性能はかなり低くなる(または、他の問題を扱うことさえできないかもしれない)。生体様アーキテクチャは、学習、分類および認識などの問題でその長所が現れるが、従来の計算問題に対してはそれほどうまくいかない。セルオートマトンは、論理やデータの周期構造を必要とする応用、または超並列性を必要とする応用に強い。

「Beyond-Neumann」は、ある特定の問題に対して、上記のアーキテクチャよりも根本的に速くその問題を解くことができるアーキテクチャを指す。このような問題では通常、入力数の増加に対して演算時間が指数関数的に増加する。ノイマン型からMore-than-Neumann型までのアーキテクチャの計算能力を制限する根本的な限界は、Beyond-Neumanアーキテクチャ(新しい動作原理を採用したもの)により超えられる。デジタルの代わりにアナログを用いるもの(生体様アーキテクチャや動的アナログコンピュータなど)、ビットの重ね合わせを利用するもの(量子コンピュータ)、アナログタイミングを用いるもの(非同期アーキテクチャ)などが、このアーキテクチャの最有力候補である。アーキテクチャにおける情報の流れもBeyond-Neumannとして特徴づけられる。チューリング機械は、古典的な入力-演算-出力の流れを体現したものであるが、現代のコンピュータは(ノイマン型でさえ)、人間と対話するかたち(ゲームなど)、あるいはネットワーク上で繋がれた別のコンピュータと対話するかたちで利用される。生物の脳は、入力と出力の間に多少関連する概念があるが、その実装の点で異なる(その情報処理は、環境における入力信号により変調される(またはさ

れない) 自律的プロセスのように見える⁴¹⁾。それによって、生物は環境にある無関係な信号を無視しながら、重要な信号を柔軟に選択できる。これらの底面に、他の追従を許さない効率で問題を解決できる未発掘の優れた神経機械が存在する。上記の要素(アナログ信号、選択的同期との組み合わせによる非同期タイミング、カオスダイナミクスなど)の多くは、神経情報処理において重要な役割を果たすと考えられている。Beyond-Neumannアーキテクチャは原則として有望視されているが、いまのところ、実用的な実装例が報告されていないことを最後に強調しておく。

6. 新探究メモリ・論理デバイス-重要な評価

6.1 はじめに

この節の目的は、全般的な技術要求、評価あるいは妥当性に関する基準を導入することと、これらの基準に基づいて、この章で取り上げた新探究技術が、1) 高集積性、高性能、低電力性を有する素子として最終的に CMOS の代替となりうるか、あるいは、2) 15 nm 世代以降も対応可能な揮発性ないし不揮発性メモリやストレージ技術となりうるかを評価することにある。

これらの評価を行うにあたり、二通りの方法がとられた。一つ目の方法は、「定量的ロジックベンチマーク」と呼ばれるもので、各々の新探究ロジック素子を、基本的な 3 つのブール演算回路である、インバータ、2 入力 NAND ゲート、32 ビットシフトレジスタ、の動作について評価したものである。評価項目は、スピード、面積、消費電力であり、それぞれを 15nm CMOS(ハイパフォーマンス及び低電力)を用いた場合の予測値と比較した。

第二の方法は「俯瞰によるベンチマーク」と呼ばれるもので、ERD ワーキンググループによって 8 つの評価目標から評価された。基準としては、ロジックには完成されたハイパフォーマンス CMOS、メモリには代替を想定した従来技術をそれぞれ用いた。電荷を扱うナノスケールの新探究スイッチ素子において重要な課題は、それら新規素子の本質的な微細化限界に関するもので、どうやってそれらを、微細化の終焉まできた CMOS 技術と比較するのか、ということである。ある研究によれば、電荷を扱うスイッチの微細化限界は、2024 年におけるシリコン MOSFET の物理ゲート長と比べてせいぜい 1/3 程度であろうと結論付けている。さらには、これらのスイッチの密度を決めるものも、そのものの大きさではなく、およそ 100W/cm² という、許される消費電力の最大値であろうとされている。この研究結果の意味することは、サイズや電力密度から考えると、MOSFET の実用上の微細化限界は、電荷を扱う素子の理論的な微細化限界に漸近するだろう、ということである。

CMOS を代替しようとするほとんどの beyond-CMOS 素子は、CMOS とはかなり異なるものであり、たいていは計算状態変数(あるいはトークン)が電荷に基づくものではない。これらのあたらしい状態変数には、集団ないし単一のスピン、エキシトン、プラズモン、フォトン、磁区、量子ビット、強磁性のような材料の区画などが含まれる。これら新しい素子の原理を解明しようと様々な計画があるが、これらの技術について効果的にベンチマークを行う方法を見つける必要がある。そのためには、CMOS に用いられてきた既存のベンチマーク手法と、新しい素子の動作の特異性を考慮した新しいベンチマーク手法を組み合わせる必要がある。さらなる挑戦としては、この手法を拡張し、今日の CMOS で用いられている、ブール演算アーキテクチャを越えるような、新しい回路やアーキテクチャを考え出す事である。そうすれば、これらの素子はより効果的に CMOS を代替することができるだろう。

6.2 CMOS 技術の定量的ロジックベンチマーク

上に示された新探究情報処理デバイスをベンチマークする最初の方法は、6.1 節で述べられた既存の回路を用いた定量的な評価に基づいている。Nanoelectronics Research Initiative は、この 2 年間でいくつかの CMOS を超える技術についてベンチマークを行ってきたが、新しいデバイスコンセプトの潜在性能を定量的に評価しなければならないという要件と、既存の基準では評価できないであろう新しい方向へと研究が進展することを妨げてはならないという要件を両立させるために苦心した。NRI が有望だとしていくつ

かのデバイスについてはロジック及び新探究情報処理デバイスの 4.2 節で詳細に述べられている[14]。また、ベンチマーク作業の途中結果については最近の IEEE Proceedings の記事で概説されている。これらは今まさに作業の途中であり、従って、CMOS の微細化が鈍化する中、ロードマップを大きく拡大あるいは増補させる候補として、どのデバイスを取り上げるべきとか削除すべき、というような確固とした結論はない。本節では、現在までに得られたいくつかのデータや洞察についてまとめている。注意が必要なのは、NRI は、計画に従ってベンチマークデータの改訂を続けており、2011 年の下期にも改訂が発表された。従って、2012 年に発表されたであろう本節のデータが古くなっていて、それらのデバイスに関する結論や概観も変わっている可能性がある。しかし、ベンチマークのそれぞれの項目を全体的に見て CMOS を超えるデバイスとして他より優れたものを探そうとする試みに対し、全体的な主張は変わらないはずである。

6.2.1 有望なロジックデバイスに対するアーキテクチャからの要件

回路設計者やアーキテクトが、広範なアプリケーションをうまく実現するよう保証するためには、使いたい所望の特性が公開されたロジックスイッチを使う必要がある。そのような特性は、文献から集められて、参考文献で概説されているが、次のようなものである。

- 反転性と柔軟性 (構成できる論理機能の数に限りがないこと)
- 独立性 (出力が入力に影響しないこと)
- ロジックゲイン (出力信号が一つ以上の次段のゲートを動かし、高い I_{on}/I_{off} 比を実現できること)
- 論理的完全性 (いかなる任意の論理機能も実現できること)
- 自己回復性あるいは安定性 (信号品質がそれぞれのゲート内で回復すること)
- 低コスト生産性 (原理が明確で十分にプロセス耐性があること)
- 信頼性 (経時変化, 劣化, 耐放射性)
- 性能 (情報処理速度が上がること)
- “スパンオブコントロール”は時間を面積と関連付けることで、デバイス性能及び面積を通信性能と結びつける重要な指標である。この指標はスイッチの特徴的な遅延時間の間にどのように他のデバイスから接続されるかを測定するもので、スイッチの遅延だけでなく、面積や通信速度も影響する。広く用いられるアーキテクチャとするにはファンアウト効率も必要となる。

本質的に上述の特性を備えたデバイスであれば、半導体産業もすぐさまそれを採用するだろう。さらには、演算効率、複雑性への対処、自己組織化信頼性、耐久性、本質的なサイバーセキュリティとうを向上させられるアーキテクチャを実現可能なデバイスであれば、特に有用である。

6.2.2 定量評価の結果

SRC/NRI は、様々な情報媒体及び通信手段を用いる 16 の新探究スイッチについて潜在的なロジック性能についての予備調査を行った。特に、様々なロジックゲート構成にこれらのデバイスを適用した際の有用性を見積もり、ITRS に掲載された 15nm 世代の CMOS を基準として比較した。最初の検討は”標準的な”ブール演算アーキテクチャに着目して行われた。というのも、CMOS との等価性がすぐにでも比較できる項目だったからである。注意を要するのは、これらの多くは試作すらされておらず、データのほとんどがシミュレーションのみに基づいていることである。従って、これらは、デバイスの潜在性能の”現時点でのスナップショット”であるし、それらについての研究も始まったばかりなので、データは常に変わっていると考えべきである。

全体的にいて、本検討におけるデータは、初期の研究からの定性的知見が裏づけとなっている。今回取り上げた新しいロジックスイッチの多くは CMOS よりもエネルギーや面積の点で優れる反面、遅延では劣るという傾向がある。このことは、中央値のプロットからもわかる(Figure ERD5)。このことは驚くにはあたらない。というのは、ナノエレクトロニクスと NRI の最優先目標は低消費電力デバイスだと思われるからである。これは、将来の CMOS 微細化にとって最も深刻な問題が電力密度であり、消費電力とスピードは一般にトレ

ドオフだからである。例えば NAND2 回路における消費電力-遅延特性を見てみると(Figure ERD6)、いくつかのデバイスは、それなりの遅延時間を維持しつつ、極めて低い消費電力を示していることに気付く(低電圧動作の CMOS よりも低い)。

ロジックゲートを越えて動作する場合、これらのデバイスが採用している異なる情報媒体が遅延時間に影響する可能性があることを理解しておく必要がある。Figure ERD7 に示されるように、多くの非電荷の情報媒体の通信は電荷の移動と比べて著しく遅いが、それにもかかわらず、移動にかかる消費電力が著しく低いことで、いくつかの場合ではバランスが取れている。さらには、スイッチング速度、スイッチの面積、配線速度の新しいバランスを組み合わせることで、スパンオブコントロールの観点から既存技術に優位性が出せる可能性がある(Figure ERD8)。最後に、ナノ磁性ロジックのようないくつかの技術では、スイッチと配線の間に大きな差異が無く、デバイスの特性を活かすためには、それに適したアーキテクチャを考える必要があることを付記しておく。

アーキテクチャレベルで見ると、これらのデバイスがどのような動作をするかを見積もるには、まだ早すぎるのも確かである。最終目標が、例えば 1mm^2 につき 100mW で何MIPS出るのか?というような、高次の見積もりであるのに、本検討では極めて基礎的なゲート構造の見積もりから外挿しているのである。しかしこれは、最初の試みとして、比較的”理論的な見積もり”をこれらの技術に対して行い、将来のロジック技術の遷移を実現すべく、基盤的な技術に対してその評価指標を紐付けするという手法をとることにしたためである。Figure ERD 9 に見られるように、いくつかのデバイスはCMOSよりも優れたものもあり、デバイス-アーキテクチャの協調設計が喫緊の課題となりつつあるようなより複雑な機能の実現において、有望になってくる可能性がある。

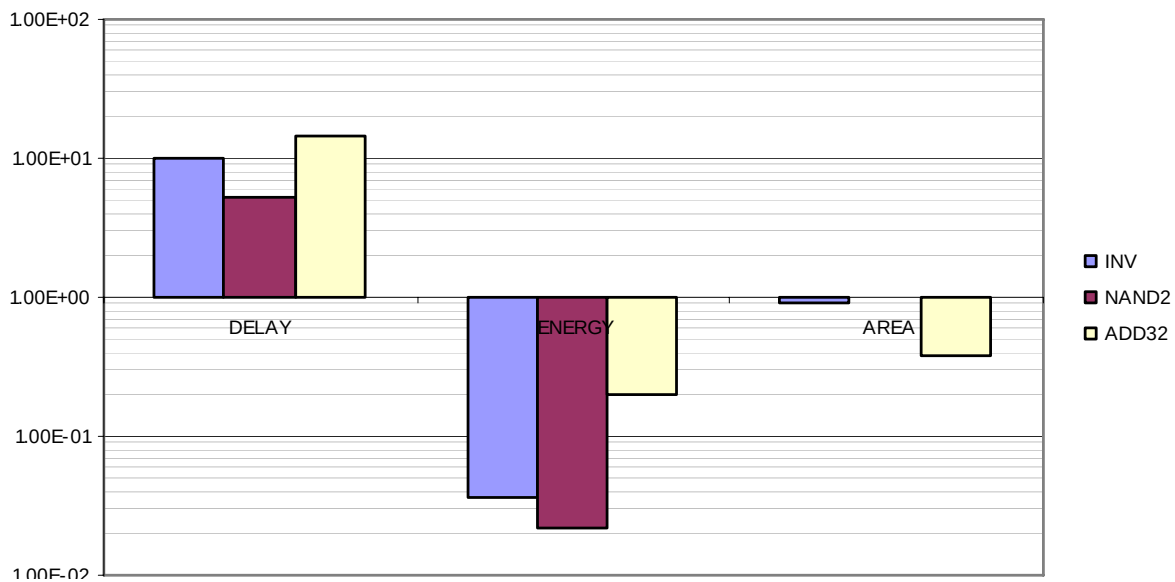


Figure ERD5 Median delay, energy, and area of proposed devices, normalized to ITRS 15-nm CMOS. (Based on principal investigators' data; from Rev. ¹

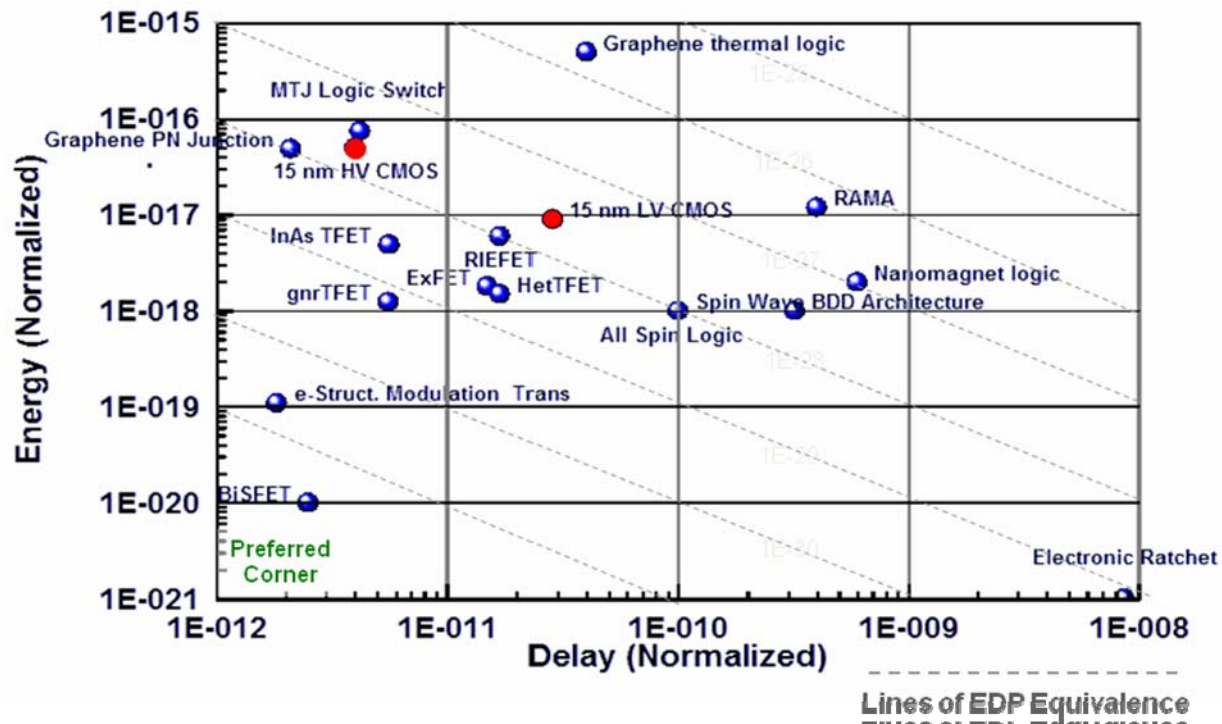


Figure ERD6 Energy versus delay of a NAND2 gate in various post-CMOS technologies. Projections for both high-performance and low-power 15nm CMOS are included as reference. All values are a snapshot in time, and will change as work continues. (Based on principal investigators' data; from Ref. ²)

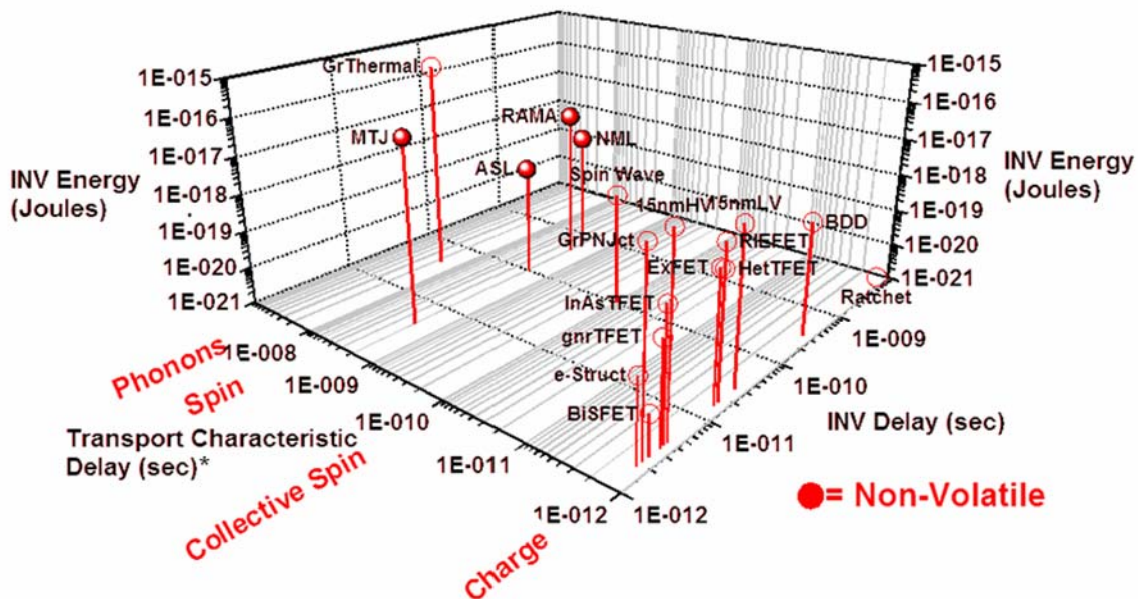


Figure ERD7 Inverter energy and delay and interconnect delay (*characteristic of transport over 10um) for various beyond-CMOS technologies. Projections for both high-performance and low-power 15nm CMOS included as reference. Solid dots indicate the switch is intrinsically non-volatile. All

values are a snapshot in time, and will change as work continues. (Based on principal investigators' data)

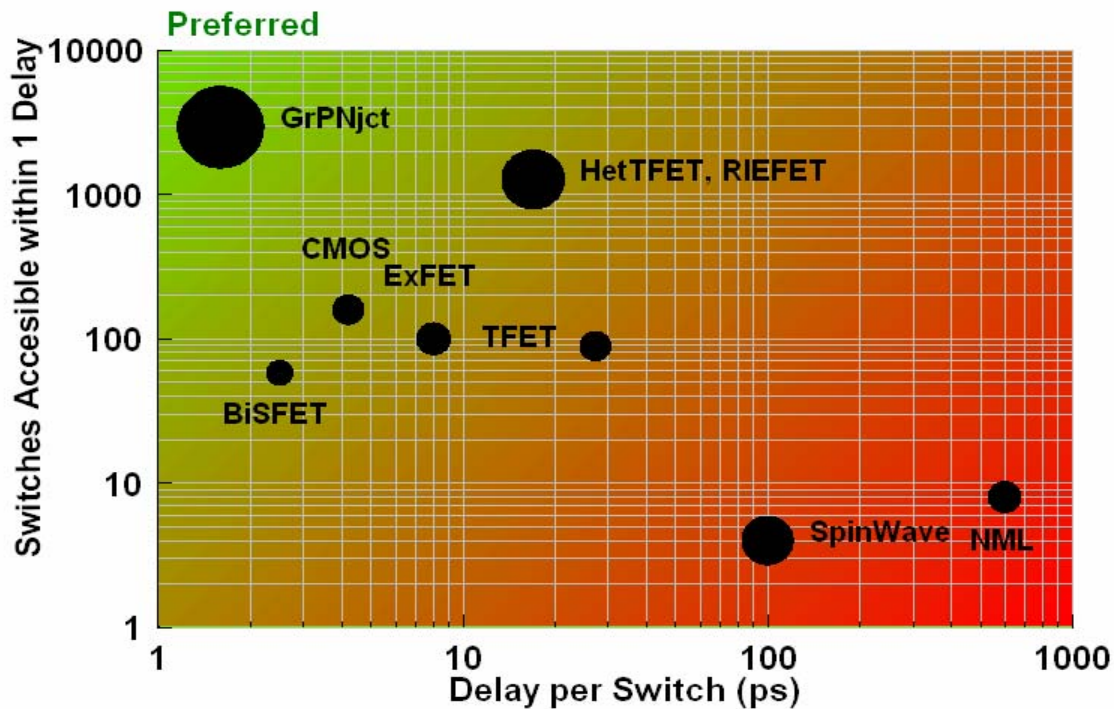


Figure ERD8 Transport impact on switch delay, size, and area of control. Circle size is logarithmically proportional to physically accessible area in one delay. Projections for 15nm CMOS included as reference. (Based on principal investigators' data; from Ref. ³)

6.2.3 考察

多くの共通の課題が本検討や、近年の beyond-CMOS スイッチの研究結果より明らかになってきた。いくつかの注目すべき課題を挙げる：

- 1) 低電圧状態での電力遅延トレードオフを改善することはあらゆるデバイスにとって課題であり続ける。低電圧駆動にすることは低消費電力化の優先事項であり続けるので、遅いデバイスでも必要な処理速度を実現する方法が必要である。
- 2) 現在のほとんどのアーキテクチャでは新しいデバイスは2値論理として扱われ、フォン・ノイマン型アーキテクチャの中で使われることを想定している。この場合、CMOSを置き換えることは極めて困難となる。なぜならCMOSはあらゆる面で、電力、遅延、面積に優れるからである。これは当然で、先のアーキテクチャは何十年もの間、CMOSを最も効率的に使い、またその制限を取り払うべく発展してきたものなのである。従って、新規の電荷を用いるデバイス(集団あるいは非定常現象を用いるデバイスがこれにあたる)は2値論理のアプリケーションにおいてCMOSを置き換える最有力候補となりうる。
- 3) 新探究デバイスの動作が明らかとなるにつれ、それらの特長を活かすような新規のアーキテクチャに関する研究が重要性を増してゆくだろう。あるデバイスが、単純なNAND演算では優位性がなくとも、複雑な加算や乗算をする場合だと優位性が出てくるというような可能性がある。システム全体のスループットを最大化するためには、それぞれのデバイスが構成する機能ブロックについてきちんと理解することが極めて重要となるだろう。それには、システムやコアの設計思想や実現したい機

能(計算、パターン認識、FFTなど)について考え、それを最大限に引き出すようなデバイスと回路のベストマッチを探すことで、最もよく達成できるだろう。

- 4) 機能の実装やチップあたりのスイッチの数は増え続けるだろう。その結果として、すべての代替ロジックアーキテクチャは、新しいスイッチを使うための、豊富なロジック回路のライブラリや再構成性が求められるだろう。
- 5) これら新しいスイッチを用いたアーキテクチャを実現するには、加工技術、精密な成膜技術、材料の純度、ドーパントの位置、アライメントの正確性といった、CMOSで重要な技術は重要であり続けるだろう。
- 6) 新しいスイッチを用いた新しいアーキテクチャの評価には、情報媒体の転送メカニズムが含まれなければならない。情報の処理部分と情報の空間的・時間的転送部分をつなぐ基本的な関係こそが、CMOSの後継足りえるかどうかを決定付ける。

現時点でのデータ及び考察によれば、少なくともここ 10 年の間は CMOS が IC チップの基本単位であり続けることは明らかである。新探究素子のいずれもが CMOS を置き換えられそうに無いとしても、いくつかの優位性、例えば超低消費電力や不揮発性など、を提供できそうなものがある。これらは、CMOS の拡張として、あるいは、特定のアプリケーションで優れた性能を提供できる可能性がある。一つの突破口として、汎用のプロセッサが行わないような特殊な演算に必要となる、特定用途のコアやアクセラレータが考えられる。というのも、これらはマルチコアチップへの移行が起こった際に特に魅力的だからである。現在のマルチコアチップは、ほとんどが同種のコアでのみ構成されているが、もし、微細化が減速して、トレンドから期待される性能向上を将来の世代において提供できなかった場合、異種のマルチコアチップがより魅力的な選択肢となりうる。これらは、既にアクセラレータとして CMOS で広く使われているような高付加価値の機能(例えば、暗号化・復号化処理、圧縮・解凍処理、浮動小数点演算、デジタル信号処理など)を強化するために専用に最適設計されたコアを持つことになるかもしれないし、新規の高次の機能(音声認識などのような)を持つ可能性もある。異種の技術や材料をインテグレーションすることは大きな挑戦であるが、パッケージング技術や 3D インテグレーション技術の進歩によって、これらはそのうちにより現実的となるだろう。しかし、これらの取り組みは性能の向上に見合うものである必要がある。

一般的には、アクセラレータはコアプロセッサの補助的な役割を担うもので、ソフトウェアによる実装を置き換えた場合に、プロセッサ全体の処理速度を 10%程度は改善するものと考えられる。高い目標ではあるが、特定の機能を実現しようとする際に、相補的なアーキテクチャとの組み合わせによって、新探究素子の新奇な特性が活用できる可能性がある。同時に、エレクトロニクスの全体像が、均質で汎用の演算装置から、様々な目的や電力の制限、環境に合わせて、データセンターのサーバーやスマートフォン、組み込みセンサーなどの多種多様なデバイスへと変化したこと、あるいは、処理量や情報処理への要求の全体像が、ビッグデータ、非構造化データ、リアルタイム処理、高度な 3D 画像などへと変化したことによって、それら新しい情報処理ソリューションへの要求が増してきている。従って、将来の beyond-CMOS の取り組みに対する第一の目標は、特定の new 探究素子の機能に着目し、現状の消費電力と速度の制限を打破するような、デバイスとアーキテクチャの最適化を図ることにある。

6.3 俯瞰に基づく BEYOND CMOS メモリ及びロジック技術のベンチマーク

6.3.1 全般的な技術要求と基準の妥当性

新探究メモリ及び情報処理デバイスに対する二つ目のベンチマーク手法は、新探究素子のワーキンググループによる調査に基づいている。ERD 章で述べてきたいくつかのナノスケールの新探究素子は、CMOS をロードマップの終焉まで拡張することを目的とした、電荷に基づくデバイスである。それ以外のは、新しい状態変数を持ち、新しい製造方法を必要とする可能性がある。以下で定義される整合性や評価基準は、提案された”CMOS 拡張”あるいは”Beyond CMOS”技術がメモリないし情報処理技術に適用可能なものであるかどうかをパラメータ化するために用いられている。その望ましい基準とは次のようなものである、1) スケーラビリティ、2) 速度、3) エネルギー効率、4) ゲイン(ロジック)あるいは ON/OFF 比(メモリ)、

5) 動作信頼性、6) 動作温度、7) CMOS 技術との互換性、8) CMOS アーキテクチャとの互換性。各評価基準の定義を次に示す。

[1] スケーラビリティ(*Scalability*)—まず始めに、新しい情報処理技術への開発投資を行う主たる動機は、究極までスケールされた CMOS によって達成可能なレベルを超えた情報処理機能の高密度化と、単位ジュールあたりの処理能力を実現する新しい領域を発見・開発することにある。シリコンベースの CMOS は、MOSFET 密度において数桁のスケールングを実現した。新しい情報処理技術の目標は、新しい技術を用いて、さらに数桁のスケールングを機能と情報処理能力に関して行い、上記 CMOS での成功を再現することにある。換言すれば、提案された技術によって今後数十年間、さらにムーアの法則を言い続けることが可能になる。

[2] 性能(*Performance*)—将来における性能指標も、現在の性能指標と殆ど同じはずである。すなわち、それらは、コスト、サイズ、速度であろう。将来の情報処理技術は、究極的にスケールされた CMOS によって達成されるであろうこれらの性能指標を超えて、さらなる性能向上を果たすことが求められる。さらに、ロジックとメモリの機能を併せ持つナノデバイスは、回路やナノアーキテクチャ装置に革命をもたらすであろう。

[3] エネルギー効率(*Energy Efficiency*)—状態変数として電荷や電流を用いている限り、どんな beyond CMOS デバイスであっても、エネルギー効率はその限界要因となる。その他の状態変数を用いるデバイスにおいても、エネルギー効率は究極の応用可能性を決定する上での重要な基準となるであろう。電子伝導デバイスでは、クロック速度と集積密度のトレードオフのために、将来的には、更なる高密度化の際にはクロック速度を落とすか、さらに高速のクロック速度を用いる場合には密度を下げることを求められる。ナノスケールの電子伝導デバイスでは、高速スイッチングよりも、効率的な並列処理によって消費エネルギーを最小にした方がより良い装置になりうるであろう。

[4A] OFF/ON または“1/0”比(メモリデバイス)—メモリデバイスの OFF/ON 比とは、OFF 状態におけるメモリ記憶素子のアクセス抵抗と ON 状態におけるアクセス抵抗の比を指す。不揮発性メモリにおいては、非選択メモリセルのリーク電流と選択セルの読み出し電流の比と定義できる。クロスポイント型のメモリでは、消費電力に最小化と適切な読み出しマージンを確保するために、かなり大きな OFF/ON 比が必要となる。

[4B] ゲイン(*Gain*)(ロジックデバイス)—ゲートのファンアウトが大きな駆動電流を必要とし、低電圧動作で雑音に弱くなる現在のロジック回路においては、ナノデバイスのゲインはその大きな制限要因である。演算応用としてこれらのナノデバイスを用いるためには、新しいロジックやファンアウトの小さいメモリ回路などの利用が必要である。ナノデバイスを用いた大きな回路では、信号再生のために CMOS との集積化が必要になるかもしれない。短期的に、ナノデバイスと CMOS との集積化が必要となる理由は、多くのロジック装置において信号再生のために必要であること、既存の確立された技術や市場の基準と互換性を備える必要があるためである。この集積化の必要性は、設計ツールから回路、プロセス技術にいたる全てのレベルに及ぶ。

[5] 動作信頼性(*Operational Reliability*)—動作信頼性とは、メモリおよびロジックデバイスが、動作仕様上の動作エラー許容値内で動作する能力のことである。エラー率は、すべてのナノスケールデバイスとその回路において重要な問題となっている。これらのエラーは、デバイス作製時に要求される高精度な構造制御が困難であることや、単一電子トランジスタにおける背景電荷のような、局所的な周囲環境との干渉効果に起因している。ナノデバイスを用いるアーキテクチャや装置では、大規模かつ強力なエラー検出やエラー訂正のスキームが必要となる。

[6] 動作温度(*Operational Temperature*)—ナノデバイスは、実用上、室温に近い温度環境で動作する必要がある。また、素子構造としては、さらに高い温度(例えば 100°C)における動作を許容できる必要がある。

[7] CMOS 技術との互換性—半導体産業は、過去 40 年にわたって、性能向上を素子サイズのスケールング(大規模集積化)を行うことによって達成してきた。この手法による経済的な恩恵の本質は、将来の製品開発に対して従来の技術をフルに応用できたということにある。どのような代替技術であっても、過去の膨大な技術基盤を最大限活用することが求められる。

[8] CMOS アーキテクチャとの互換性—この基準に対する動機付けは、CMOS 技術との互換性に対するそれと同じである。すなわち、既存の CMOS の技術基盤を利用できることが重要ということである。アーキ

テクチャの互換性とは、代替技術が用いるロジックシステムとデータ表記法の観点から定義できる。CMOSアーキテクチャでは、ブールロジックとバイナリデータ表記を用いており、理想的には、代替技術もこれらを用いることが期待される。

6.4 メモリとロジックデバイスの潜在的性能の評価

6.4.1 方法論

COMS 拡張ないし beyond-CMOS を目指した新探究ナノスケールメモリやロジックデバイスは、それぞれに、ひとつひとつの要素に対する妥当性基準と照らしあわせて評価される。ロジックでは、この要素はそれぞれのナノスケールデバイス技術が原理的に有する性能を発揮して成熟したデバイスとなったとした場合の性能と関連し、それらは、ロードマップの最後における究極的にスケーリングされたシリコン CMOS が有するであろう性能と比較されることになる。メモリでは、この要素は、それぞれのナノスケールメモリデバイス技術が原理的に有する性能を発揮して成熟したデバイスとなった場合の性能と関連し、それらは、新規メモリ素子が代替するであろう究極までスケーリングされた現在のシリコンメモリ技術の性能と比較されることになる。個々の要素に対して、潜在的な性能を1～3の値で評価する。ここで、「3」は究極的にスケーリングされた CMOS よりもかなり優れていることを、「1」は CMOS、あるいは比較すべき既存のメモリ技術よりも性能が劣ることを表す。より正確な定義は下のチャートに示してある。この評価は、広範囲な技術的バックグラウンドと専門知識を有する人材で構成される ERD ワーキンググループのメンバーの調査によって決定されたものである。

*Logic—Individual Potential for Emerging Research Logic Devices
Related to each Technology Relevance Criterion*

*Memory—Individual Potential for Emerging Research Memory Devices
Related to each Technology Relevance Criterion*

Overall Potential Assessment (OPA) = Potential Summed over the Eight

Relevance Criteria for each Technology Entry

Maximum Overall Potential Assessment (OPA) = 24

Minimum Overall Potential Assessment (OPA) = 8

Overall Potential Assessment for Technology Entries

<i>Potential for the Technology Entry is projected to be significantly better than silicon CMOS or baseline memory (compared using the Technology Relevance Criteria) (OPA ≥ 20)</i>	Potential
<i>Potential for the Technology Entry is projected to be slightly better than silicon CMOS or baseline memory (compared using the Technology Relevance Criteria) (OPA > 16–20)</i>	Potential
<i>Potential for the Technology Entry is projected to be significantly (2x) less than silicon CMOS or baseline memory (compared using the Technology Relevance Criteria) (OPA < 16)</i>	Potential

6.4.2 結果

表 ERD18～ERD21 に ERD の評価結果を要約してある。色の表示は、上記「技術導入のための全般的な潜在的能力 (Overall Potential Assessment for Technology Entries)」の表で定義している。すなわち、色はそれぞれの新探究メモリやロジック技術に対する全般的な評価を表す。白色は、新探究デバイスが成熟した技術となった場合には、ロジックにおいては究極的にスケールリングされた CMOS と比較して、メモリにおいては代替されるべき既存のメモリ技術と比較して、高い性能が期待できると ERD ワーキンググループが判断したことを意味する。逆に、赤紫色は、性能が低いと判断したことを意味する。緑色には、適度に高い可能性からやや低い可能性の評価が含まれている。1～3の尺度については、各枠内に表示された数字が、技術／妥当性基準に関して ERD ワーキンググループのメンバーから得た回答の平均を表している。全般的な潜在的能力 (OPA) は、評価した技術を定義した左側のセルに記載してある。ここで、エラーバーは回答の平均±標準偏差を表す。これらメモリやロジックの個々の導入技術に対する相対評価は、単に、ERD ワーキンググループの判断を集計した結果であり、ガイドライン的な位置付けでしかない。すなわち、技術の排除を行うためのものではない。数値データや文章とともにここに掲載した格付けは、過去2年間における種々のワークショップや文献調査、ワーキンググループ内での活発な議論を通して、それぞれの導入技術に対して ERD ワーキンググループが得た展望を読者におくるものである。この評価は、メモリ技術については ERD10a から ERD10f の図に、ロジック技術については ERD11a から ERD11f、ERD12a から ERD12g、ERD13a から ERD13f の図にその詳細が示されている。

Table ERD18 Potential Evaluation for Emerging Research Memory Devices

Table ERD19 Potential Evaluation - Extending MOSFETS to the end of the Roadmap

Table ERD20 Potential Evaluation - Non-conventional FETs and other Charge-based Devices

Table ERD21 Potential Evaluation: Non-FET, Non-Charge-Based "Beyond CMOS" Devices

メモリとロジックの重要な評価(表 ERD18 と ERD21)に記載された結果は、高く格付けされた技術から低く格付けされた技術の順番で簡単に説明されている。議論は、高い可能性を有する技術について中心となっている。

6.4.2.1 新探求メモリ技術

表 ERD18 で評価する新探究メモリ技術は、それぞれ実際に製造可能と考えられるメモリである。しかしながら、その可能性を実現するために解決すべき課題が少なからずある。(これら解決すべき課題の詳細については、新探究メモリ技術に関する節(4.1)を参照されたい。)

酸化還元メモリは、3つの異なる、しかし関連する技術によって構成されている。すなわち、電気化学的技術(別名、伝導ブリッジ技術)、熱化学的技術(別名、ヒューズ/アンチヒューズメモリ、ナノサーマル技術)、原子価数変化メモリである。これらは、化学的な酸化・還元反応に基づくスイッチング動作をしているという点で相互に関連している。酸化還元メモリは、15nm世代の先までスケールリングが可能な魅力ある素子として、ERDワーキンググループによって特筆されている(6.5.2.2 節参照)。熱化学的動作に関する部分では、エネルギー効率と動作信頼性が気がかりな2つの点としてあげられる。エネルギー効率の課題は、ス

イッチング電流、つまりはオン(セット)、オフ(リセット)状態を得るための書き込み電流に関するものである。動作信頼性に関する問題は、原理的に熱活性プロセスに基づく状態変化のメカニズムに関係している。これに関連して、ヒューズ/アンチヒューズメモリの抵抗状態変化における他の物理的動作(例えば、電気化学的な効果)の可能性を解明、理解しておく必要がある。原子価数変化メモリ(以前はナノイオニックメモリ(Nanoionic Memory)と呼称)もまた広い範疇を有するメモリ技術であり、それらの抵抗変化のメカニズムは、絶縁体ないしイオン伝導体中のイオン(陽イオンないし陰イオン)輸送に基本的にに基づいていると考えられている。絶縁体中における輸送では、電子伝導は酸素空孔によるフィラメント中にできた金属状態(陽イオン)の準位を経由している。一方、イオン伝導体中の輸送では、電子伝導は、金属フィラメント中を経由している。この範疇も期待されているところであるが、2つの点で課題がある。まずもって動作信頼性が課題であり、小さい I_{on}/I_{off} 比も気がかりな点である。動作信頼性に関する課題は、熱活性過程同様、イオン輸送プロセスが完全な可逆性を備えていないことに起因する。図ERD10aに示す通り、この範疇の評価は2009年からの目立った変化は無い。

強誘電体メモリには、2つのタイプの強誘電体メモリが含まれる。ひとつは強誘電体FETメモリであり、もうひとつは強誘電体ショットキー障壁メモリである。前者では、強誘電体がFETのゲート絶縁膜を形成しており、後者では、強誘電性ショットキー障壁でデバイス動作を制御している。2009年の評価では、強誘電体FETメモリは、4つの項目で劣っているとされた。すなわち、動作信頼性、 I_{on}/I_{off} 比、やや難点と思われる性能とエネルギー効率である。強誘電体FETメモリの動作信頼性は、特に絶縁膜と半導体界面によって決まる、時間依存の強誘電体ゲート絶縁膜の残留分極に制限されている。また、強誘電体FETメモリについては22 nm以降のスケールリングは困難であると考えられる。図ERD10bでは、2011年に I_{on}/I_{off} 比とエネルギー効率の評価が上がっており、強誘電性メモリがメモリタイプのストレージクラスメモリの競争力ある候補として残っていることを示唆している。

ナノ電気機械式メモリ(NEM Memory)の評価は2011年に改善されたが、スケーラビリティは依然としてナノ電気機械式メモリ(suspended-beam Nanomechanical Memory (NEMM))の大きな課題である。最近の研究によれば、50 nm以下の梁長さでは1V程度の動作電圧を実現することは難しいとされている。従って、NEMMには長期的な競争力はない(図ERD10c)。

モット・メモリも可能性を有する素子と考えられるが、3つの重要な課題(スケーラビリティ、動作信頼性、 I_{on}/I_{off} 比)が明らかになった。この範疇のメモリは2007年から2009年にかけてかなり下がった(OPAが1.5未満)。2011年では、さらに0.7ポイント下がった。(図ERD10d参照)

最後に挙げる2つのメモリ、有機高分子膜メモリ(Macromolecular Memory)と分子メモリ(Molecular Memory)は、速度・動作信頼性・ I_{on}/I_{off} 比の期待値が低いため、高性能な計算を実現しうる長期的なポテンシャルは無いと考えられている

6.4.2.2 新探求ロジック技術

新探究ロジックならびに代替情報処理技術に関する評価結果は、表ERD19-21と図ERD11a-11f、ERD12a-12g、ERD13a-13fに示されている。

将来性があると思われる8つのロジック技術が色で強調されている。このうち、上位5つの技術は、全体的な評価でひとつの範囲(得点にして17.9~18.9)に収まっている。これらのうち上位4つの技術(NW-FETs, CNT-FETs, Ge & III-V (GaPSb and GaInSb) p-channel MOSFETs, InP and Ge n-channel MOSFETs)は、いずれも電荷ベースのFET構造をしており、現在のロードマップの終了時点におけるCMOSの拡張を目標としている。この評価結果は、先にアーキテクチャの章で行った、電荷ベースデバイスと非電荷ベースデバイスについて、CMOSロジックゲートを用いたベンチマーク結果と一致している。緑色で表示された残りの3つの技術(Tunnel MOSFETs, IMOS, and Negative Cg FET)は、評価が低くなっ

ている(得点にして 16.9~16.3)。GMR MOSFET はそれらの中間にあり、OPA は 17.4 である。赤紫色で示された残り 11 の技術は、長期的に見ても究極的にスケールアップされた CMOS を超える性能を発揮できないと評価されたデバイスである。

ナノワイヤ FET は、カーボンナノチューブ FET と同様、短チャネル効果を最小にする優れたゲート制御性も含めて、CMOS のスケールアップを進める技術として注目されてきている。ナノワイヤ FET も、カーボンナノチューブ同様の成長や加工の制御性、寄生抵抗や寄生容量に関する課題を有する。2011 年と 2009 年の評価はほぼ同じである。また、2007 年とも大きな差はない。(図 ERD11a)

シリコン MOSFET 技術における、シリコンチャネルやソース/ドレイン材料の代替として提案されている半導体材料は、現在のロードマップの最後となる CMOS のスケールアップ性能を向上させる可能性があることから、注目を集めている。これらの材料としては、カーボンナノチューブ、ゲルマニウム、III-V 族化合物半導体、グラフェンナノリボンなどがある。カーボンナノチューブについては先に述べた。グラフェンナノリボンについては後で述べる。ゲルマニウムと III-V 族化合物半導体も同様の利点と課題がある。特に、III-V 族の n チャネル MOSFET は、ゲルマニウムの p チャネル MOSFET と集積化することができ、n チャネルの III-V と p チャネルのゲルマニウムのキャリア移動度とキャリア速度を最大にすることができる。本質的な課題は、ERM の章で議論するように、複数の材料を用いることとその加工プロセスに関するものである。図 ERD11c と ERD11d (ゲルマニウムとインジウム燐の n チャネル MOSFET) と (GaInSb and GaPSb p-channel MOSFET) は、2009 年から 2011 年の評価がかなり似通った、しかもかなり高い評価を得ていることを示している。唯一異なる点は、ゲルマニウムは現在では、シリコン CMOS 技術との高い互換性があると認識されていることである。

グラフェンナノリボン(GNR)は魅力的なチャネル代替材料であるが、ロジック節(4.2 節)や ERM 章で議論したようにいくつかの重要な課題に直面している。これら材料やプロセスに関する課題の解決策(エピタキシャル成長技術を含む)が見いだされたとしても、GNR は競争力のある十分なデバイスゲインを与えることにはならないかもしれない。この評価は図 ERD11e に示されている。

トンネル MOSFET は、現在は熱電子プロセスである MOSFET のチャネルへのキャリア注入をトンネルプロセスに代替することで、エネルギー消費のかなり少ないスイッチングデバイスを提供できる。主な課題は、高いオン電流(Ion)と急峻なサブスレッショルドスロープ(60mV/decade よりも十分小さい)を両立できるかどうかである。これに関しては、先のロジックの節(4.2 節)、ならびに ERM の章に詳しい議論がある。さらにトンネル FET には、トンネル構造やトンネル障壁などの微妙な違いにもデバイス動作が敏感であることに起因する、動作信頼性の問題がある。これらの評価結果は、図 ERD11f に示されている。

IMOS は、トンネル MOSFET と同様の利点を有する。すなわち、サブスレッショルドスロープ値を小さくできる。しかし、スケーラビリティや速度、動作信頼性に関して重大な懸案事項がある。評価結果は、図 ERD12a に示してある。

負性容量 MOSFET(negative Cg MOSFET)は、MOSFET のスイッチング動作における消費電力を下げ得る技術であり、MOSFET のゲート積層構造において負性容量を実現する誘電体(強誘電体や酸化物)を特定するという課題も解決済である。最近の研究で、負性容量の原理を用いることで 60mV/decade よりも小さい動作が可能であることが示された⁵⁶²。さらに、単結晶酸化物をエピタキシャル成長させることで強誘電体と絶縁体からなるキャパシタを積層して容量を増大させることにより、負性容量の原理に関する予測の多くを実証することにも成功している⁵⁶³。最大の課題は、ヒステリシス最小の電圧走査が可能な適切な材料(強誘電体および酸化物)を特定することである。その次に、高品質の単結晶の強誘電体酸化物をシリコン上に如何に集積するかが課題となる。有機物強誘電体(例えば polyvinylidene Fluoride (PVDF))を用いた負性容量 MOSFET の動作が実証されているが、特性も良く、急峻なヒステリシスとダイナミックな応答を示す酸化物結晶の方がより魅力がある。この他、図 ERD12b に示した様に、動作信頼性に関する大きな懸念もある。

原子スイッチは、金属陽イオンの拡散とその酸化・還元反応を利用して金属的な伝導経路の形成と消滅を行う電気化学スイッチに分類される。最近の進展として、高い $I_{\text{on}}/I_{\text{off}}$ 比と低いオン抵抗、不揮発性、低消費電力の特徴を有する3端子型原子スイッチの開発がある^{564,565}。スイッチ速度、繰り返し耐性、スイッチング電圧、ならびにオン状態とオフ状態のばらつきは汎用的なロジックデバイスとして用いるには改善が必要である。スイッチングにおける基本的な現象が報告されているが⁵⁶⁶、デバイス物理の確立が最も重要かつ緊急の課題であろう。加えて、不揮発性デバイス向けのアーキテクチャの開発も、他の不揮発性ロジックデバイス同様に必要である。図ERD12c に示す 2011 年の評価では、エネルギー効率に関する評価が下がったことを除いて、2009 年の評価とほぼ同じである。

モットFETの動作は、ゲート電圧によって誘起される強相関電子系の相変化によって基本的に説明される^{567,568}。半導体チャネル材料に代わり強相関材料を用いることを除いて、モットFETは一般的な半導体FETと類似の構造を持つ。強相関電子材料は、電界の印加によってモット絶縁体―金属転移を起こすことが可能である。電界誘起に加えて、モット転移は光や熱による誘起が可能であり、それらは光スイッチや熱スイッチとして用いることができる。強相関電子系酸化物を用いたモットFETの課題は、ゲート酸化膜と機能性酸化膜との界面、ならびに電界によって誘起される局所的なバンド構造の変化の基本的な理解である。構造的なパイエルズ歪みからのデカップリング中における電子捕捉のメカニズムを理解することは興味のあるところである。モットFETは新たに検討した技術であるため、比較すべき過去の評価はない(図ERD12d)。

スピントランジスタの範疇には、2 つの異なるデバイス構造がある。ひとつはスピン FET であり、もうひとつはスピン MOSFET である。いずれの例でも、磁気抵抗素子の機能を通常の MOSFET 動作に付加させている。この結果、スピントランジスタは、CMOS よりも少ないデバイス数で、より複雑な機能の転送を実現できる。これらのデバイス開発が盛んに行われてはいるが、実験的には未だ実現されてはいない。さらに、図 ERD12e に示した様に、これらのデバイスには、スケーラビリティ、ゲイン、動作信頼性、CMOS 技術との互換性についての課題もある。2011 年のスピントランジスタの評価は、2009 年の評価とほぼ同じとなっている。

マイクロ/ナノ電気機械式スイッチ(ないしリレー) (Micro/Nano-Electro-Mechanical (M/NEM) Switches) は、固体の片持ち梁を静電気力を利用して変位させることで、電極間の伝導経路を形成することで動作する。この素子には、MOSFETでは実現できない2つの特徴がある。リーク電流ゼロとゼロサブシュレッドスロープ(SS)ゼロである^{569,570}。リーク電流ゼロは、スタンバイエネルギーをゼロにすることができることを示している。一方、SSゼロは、(オン電流/オフ電流比を小さくすることなく) V_{DD} をかなり小さくできること、すなわち、動作電力を極めて小さくできる可能性を示している。M/NEM MOSFETの性能は、電界一定の条件でスケールアップすることにより向上する。すなわち、スケールアップにより速度が速くなり、動作エネルギーと専有面積は小さくなる⁵⁷¹。M/NEMスイッチのスケールアップにおける主な優位性は、3次元集積化の可能性とエネルギー効率が改善されることである。これらによって基板上の単位面積あたりの機能密度を高めることができる⁵⁷²。これは特に、ヒステリシスや粘着がより高い機能密度を可能にするメモリ応用で確実である⁵⁷³。一方、M/NEMリレーのロジック応用には多くの課題が残されている。最も重要な課題はナノスケールの接触の信頼性であり、ロジック回路応用に必要なドレイン電圧がゲート電圧と同じ大きさとなる条件下で、 10^{16} 回以上のスイッチ動作が正しく行える必要がある。片持ち梁を引き寄せる際の高い衝突速度とそれによる探針の跳ね返り(結果としてスイッチング動作の遅延も発生)はこの問題をさらに大きくする可能性がある⁵⁷⁴。NEM リレーに関するもうひとつの重要な課題は、表面相互作用(ファンデアワールス力、ないし、カシミール力)の存在であり、弾性力が十分でない場合、探針が表面に粘着して離れなくなってしまう。粘着の問題は、引き寄せに必要な電圧が高くなってしまいが、典型的には片持ち梁を堅くすることで解決される。その際、表面相互作用がM/NEMリレーの動作に必要な最小エネルギーを決めることになる。粘着力の最小化と接触点の清浄度を保つために、M/NEMリレーは密閉封じされる必要がある。M/NEMリレーのスケールアップに影響を与えるいくつかの項目がある。数ナノメートルのギャップでは、不安定な片持ち梁の位置が名目上のギャップ幅の 2/3 に達する以前に流れ始めるトンネル電流によって、サブスレッショルドスイ

グの性能が下がることが既に予測されている。さらに十分に小さいギャップでは、片持ち梁のブラウン運動が問題になってくるかも知れない。ただし、片持ち梁の材料を変えるなどして片持ち梁をより堅くすることによってさらなるスケールアップが可能になる。トンネル電流が流れ出す限界(2nm程度)のギャップを有するリレーでは、長時間のオフ動作状態保持は、短絡電流を誘起する危険性がある。図ERD12fに示す様に、M/NEMデバイスにはいくつかの課題がある。これらには、スケールアップ、速度に加えて、特に、動作信頼性がある。

バイレーヤー疑似スピントロニックデバイス(BiSFET)は、超低電力・高速動作トランジスタ⁵⁷⁵として最近提案された概念であり、反対の電荷層(n型とp型)にあるグラフェン層が薄い誘電体膜を挟むことで、それぞれに室温でエキシトン(電子-ホール対)が超流動する可能性に基づいている⁵⁷⁶。詳しい解析によれば、最表面層と最下層にある電子占有は、疑似スピン状態であるかのように、スピントラップないしダウン状態として扱うことができる。ここでの集団的な効果は強磁性体における集団的スピンと類似である。しかしながらBiSFETは新しい材料系における新しく予言された物理に基づいた概念に過ぎない。加えて、グラフェンや誘電体、表面の質、仕事関数などの制御やリソグラフィなど、BiSFETの加工には数多くの課題がある。BiSFETの加工に関する課題のいくつかはBiSFETに固有のものであり、理論的に議論されている現状であることも含めて、その他はグラフェン技術に共通のものである⁵⁷⁷。(図ERD13a参照)

残る5つのデバイス(エキシトン FET、スピントルク多数ゲート、全スピンロジック、スピン波デバイス、ナノ磁性ロジック)はまだそれらの開発に着手した段階であるか、本来有する速度やゲイン、動作信頼性、CMOS との技術的な互換性などに限界がある。(ERD13b から ERD13f 参照)まずは、これら提案された情報処理デバイス技術の多くは、実際に試作されて実験的に動作実証されることによって初めて、より確固たる現実的な評価が可能になる。

Figure ERD10 a-f Technology Performance Evaluation for a) Redox Resistive Memory, b) Ferroelectric Memory, c) Nanomechanical Memory, d) Mott Memory e) Macromolecular Memory, and f) Molecular Memory.

Figure ERD 11 a-f Technology Performance Evaluation for a) Nanowire MOSFETs, b) CNT MOSFETs, c) GaInSb and GaSbP p-channel MOSFETs, d) Ge and InP n-channel MOSFETs, e) GNR MOSFETs, and f) Tunnel MOSFETs

Figure ERD 12a-d Technology Performance Evaluation for a) I MOSFET, b) Ferroelectric Negative Cg MOSFET, c) Atomic Switch, and d) Mott Transistor.

Figure ERD 12e-g Technology Performance Evaluation for e) Spin FET and Spin MOSFET, f) NEMS Device, and g) P/N Junction Device.

Figure ERD13a-f Technology Performance Evaluation for a) BiSFET, b) Exciton FET, c) Spin Torque Majority Gate, d) All Spin Logic Device, e) Spin Wave Device, and f) Nanomagnetic Logic Device.

6.5 開発加速に向けて注目されるメモリとロジック技術

6.5.1. はじめに

国際半導体ロードマップ委員会は、新規でありながら良く規定された情報処理デバイスとして提案された有望なひとつないしふたつのデバイスの開発を加速させることが必要であるとの認識に立ち、ERD および ERM のワーキンググループに対して、その開発を加速させるべきひとつないしふたつのメモリおよび情報処理デバイスを、その正当性を検討できる将来的な性能と併せて、推薦するよう要請している。この要請に応じて ERD/ERM ワーキンググループでは、2つの調査と関連する2つのワークショップの開催を行った。ひとつは「選ばれた新探求メモリ技術の可能性と完成度」であり、もうひとつは「選ばれた beyond CMOS 新探求技術の完成度評価」である。これら調査の目的は、9つの新探求メモリと7つの beyond CMOS 情報処理技術について評価を行い、情報処理技術におけるパラダイムシフトを起こすことが可能な高い可能性と十分な完成度を備えたひとつないしふたつの技術をほぼ一致した意見として選ぶことである。推薦された技術は、5～10年の間に製造可能となる必要がある。

2つのメモリ技術が推薦された。スピントランスファートルク磁気メモリ(STT-MRAM)と酸化還元メモリである。STT-MRAM は PIDS 章に移管されたが、酸化還元メモリは ERD、ERM の章に残っている。

情報処理技術として唯一選ばれた候補は、「炭素を基盤とするナノエレクトロニクス」である。MOSFET に用いるカーボンナノチューブやグラフェンの開発には集中的な研究が必要であるが、それらは CMOS を超えた新しい情報処理のパラダイムの発見につながる基盤技術や科学的な知見を与えることになる。

6.5.2. 注目される新探求メモリおよびロジック技術

6.5.2.1. STT-MRAM

スピントランスファートルク磁気メモリ(STT-MRAM)技術は、静磁気メモリないしMRAMを超えるビット密度の上昇と消費電力の低減を目的として、不揮発性メモリの有望な候補として出現した。そのほかに、不揮発性メモリの魅力的な特徴として、特に埋め込み応用で、1) CMOSのバックエンドプロセスに簡単に集積可能であること、2) 3ないし4枚のマスクを追加すれば、CMOSと干渉しかねないフロントエンドデバイスを必要とせず、高い駆動電圧を必要としない。3) STT – MRAMは選択素子として縦型MOSFETを利用可能であり、その結果、メモリセルサイズを現在の $21F^2$ から $4F^2$ に下げることが可能となることがあげられる。

STT-MRAM はこのような優位点があるが、いくつかの重要な課題にも直面している。まず第一に、適切な性能を保ちつつ、競争力のあるビットコストを実現しうるスケールアップが可能であるか。STT-MRAM のセルサイズは選択トランジスタの配置で決定されるが、その選択トランジスタは、プログラム電流を供給するために十分な面積を必要とする。従って、STT-MRAM の消費電力とセルサイズを決定することになるプログラム電流は、競争力のあるビットコストを実現するため、 $50\mu A$ 以下（理想的には $10\mu A$ 程度）にまで低減される必要がある。さらに、その動作速度はかなり遅く、スケールアップが CMOS を超えて進んだロジックとして意味のある応用を見いだすのはかなり難しそうである。他の課題としては、STT-MRAM セルは、 $0.8 - 2.0nm$ 膜厚の物理気相蒸着による $10 - 12$ の異なる層の多層構造を必要とすることがある。

6.5.2.2. 酸化還元メモリ

酸化還元メモリの MIM 構造はとても簡単であり、ビットコストとスケールアップの可能性の点で大変魅力がある。しかしながら、その商品化にはいくつかの重要な課題がある。まず第一に、正確でかつ定量的なモデルを構築して、SET/RESET 過程におけるその物理的な動作の理解と制御を実現する必要がある。多く

の素子で必要となっているフォーミングプロセスは不要となるべきであり、繰り返し耐性とデータ保持時間も改善が必要である。

酸化還元メモリには、電気化学的な酸化還元反応を高抵抗-低抵抗状態間のスイッチング原理とする多様な MIM 構造とそれを実現する多様な材料が含まれている。これら電気化学的な酸化還元反応は、バルク絶縁層 (I 層) 中でも、絶縁層中における伝導フィラメント中でも、あるいは、MIM 構造における絶縁層/金属界面においても可能である。

最近まで、この分類 (酸化還元メモリ) は、さらにふたつのサブ分類に分けられていた。熱化学的メカニズム (ヒューズ/アンチヒューズ) とナノイオニック (価数変化と電気化学的金属化) である。これら2つの分類は、酸素陰イオン、銀イオンや銅イオン、酸素空孔が絶縁体中を拡散ないし移動するにあたり、それらが熱勾配によって実現されているか、静電界によるイオン拡散やそれらの電気化学的な反応に基づいているかによって分けられていた。多くの場合、両方のメカニズムが可能であり、単にいずれが主たる寄与をしているかという問題に過ぎない。熱勾配が主要な寄与を果たす場合は、抵抗変化スイッチングはユニポーラである。逆に、電界が荷電粒子の分布を誘起する場合は、抵抗変化スイッチングはバイポーラである。この違いは僅かであり、どちらのメカニズムも利用可能であることから、これら2つのサブ分類を纏めて、酸化還元メモリとした。

6.5.2.3. 注目されるべき新探求ロジック技術-炭素を基盤とするナノエレクトロニクス

炭素を基盤とするナノエレクトロニクスは、MOSFET 応用を目指したカーボンナノチューブやグラフェンナノリボンの開発加速によって得られる科学技術が CMOS を超えた情報処理パラダイムを これら材料で実現する新しい物理現象を見だし得る基盤を提供するという点で、大変な優位性がある。炭素を基盤とするナノエレクトロニクスの領域は2つの関連したトピック (カーボンナノチューブとグラフェン) に分けることができる。カーボンナノチューブは、 sp^2 軌道で結合した炭素原子からなる層が単層ないし多層のカイラリティの異なる柱状構造を形成することで、金属的ないし半導体的特性を示す。カーボンナノチューブの MOSFET 応用に関する研究では、カーボンナノチューブがかなりの距離にわたって弾道的な伝導特性を示す優れた電子伝導特性を有することが示されている。柱状のカーボンナノチューブを縦型 MOSFET に用いることで、「ゲートオールアラウンド」トランジスタの理想的な MOSFET 構造を実現でき、それによりチャネルの静電状態の理想的な制御が実現できる。これにより、短チャネル効果 (DIBL) を最小にできる。カーボンナノチューブはまた、60mV/dec よりも小さいサブスレッショルドスロープを実現可能なバンド間トンネル MOSFET にも適用可能であり、低消費電力動作に繋がる。CNT MOSFET の主要な課題は、位置やその精度、カイラリティ、伝導度、直径、単層・多層、エネルギーバンドギャップなどを制御しての成長プロセスが無いことである。

炭素を基盤とするナノエレクトロニクスの2つめの領域は、 sp^2 軌道で結合した炭素原子が単一の平面層を形成するグラフェンである。グラフェンナノリボンは、カーボンナノチューブを縦にカットして開いた sp^2 軌道で結合した炭素原子からなる単一原子層リボンないし平面と見ることができる。CNT MOSFET 同様、グラフェンナノリボン MOSFET は、アナログや RF 応用に適した弾道的電子輸送特性と優れた MOSFET 特性を示す。しかしながら、カーボンナノチューブでは、必要な I_{on} 電流を得るために複数の CNT MOSFET を平行に結合する必要があるのに対して、GNR MOSFET では、その幅を広げることにより必要な I_{on} 電流を達成できるというメリットがある。グラフェンは、このほかにも疑似スピンや有効電荷質量ゼロと言った新しい物理現象を示し、これらを利用することで、情報処理における独立した新しい電荷移動型のパラダイムを実現できるかも知れない。グラフェン開発における主要な課題は、適切な基板上に大面積のグラフェン膜をエピタキシャル成長させる適当なプロセスが無いことである。また、MOSFET のチャネルを原理的にオフできないことは GNR MOSFET をデジタルロジック素子として用いることを現状では不可能にしており、主要な課題である。

7. 情報処理

7.1 はじめに

極限まで微細化した CMOS でも達成できない高性能な情報処理を実現するために、いろいろな新しいアプローチが数多く提案されている。それらを検討するに当たり、エマージング・リサーチ・デバイス・ワーキンググループ(ERD WG)は、以下に示す包括的な指導原理をまとめて提案する。われわれは、これらの「指導原理」が、「CMOS を超える技術」を使ったあらゆる情報処理技術研究の方向性を決める際の全体像構築に役立つと信じてやまない。これらの技術は、機能密度、性能を飛躍的に向上させ、同時に機能動作当たりの消費エネルギーを減少させるために役立つ。さらに言えば、この新しい技術は、高度な量産製造プロセスを用いることで実現される必要がある。

7.2 困難な課題

7.2.1 電荷以外の計算状態変数

状態変数の例としては、スピン、相状態、多重極配向、メカニカルな位置、分極、軌道対称、磁束量子、分子配置、量子状態などが考えられる。極限微細 CMOS に対して、これらの状態変数を使ったデバイスがどの程度の性能を有するかと比較評価は、技術の絞込みを行うため、また主な技術課題のトレードオフを明確にするためにも、出来る限り早めに検討する必要がある。

7.2.2 非熱平衡状態システム

非熱平衡状態システムとは、ある動作時間内に、周囲の熱的状态と平衡を保っていないシステムのことである。そこでは、周囲との熱的な相互作用によって生じるシステム内に蓄えられた情報エネルギーの擾乱を減少させる。この指導原理の目的は、情報のインテグリティを保ちながら計算処理におけるエネルギーを削減することである。

7.2.3 新しいエネルギー伝達相互作用

エネルギー伝達相互作用は、情報処理伝達を構成する各要素を結びつける役割を果たす。デバイスの配線内で生じているエネルギー伝達のメカニズムは、短距離相互作用を基本にしたものである。例としては、量子交換、二重交換相互作用、電子ホッピング(跳躍)、Forster カップリング(双極子カップリング)、トンネリング、そしてコヒーレント・フォノンである。

7.2.4 ナノスケールの熱伝導制御

ナノスケールでの熱伝導制御は、エネルギー輸送と熱の逃げを実現するために、格子フォノンをうまく操作することで達成出来る。

7.2.5 サブリソグラフィック作製プロセス

この指導原理の一つの例は、ナノスケールのビルディングブロックから成る複雑な構造を、制御した自己組織化で作製することである。ここでいう自己組織化によるアプローチでは、具体的なデバイスを頭に描きながら、量産可能な製造プロセスに結びつくことを前提に、従来とは異なった、階層構造の実現に取り組む必要がある。

7. 2. 6 オールタナティブアーキテクチャ

ここで言うアーキテクチャとは、組み込まれた計算要素を含む、互いに結合されたデバイスを一つのチップ上に機能的に配置することである。これらのアーキテクチャは、ユニークな機能を実現するような特殊な目的のために、CMOS 以外の新規デバイスにも利用できる。

¹ K. Bernstein, R.K. Cavin, W. Porod, A. Seabaugh, and J. Welser, “Device and Architecture Outlook for Beyond CMOS Switches,” Proceedings of the IEEE Special Issue - Nanoelectronics Research: Beyond CMOS Information Processing, Volume 98, Issue 12, Dec 2010, pp. 2169-2184.

² J. Welser and K. Bernstein, “Challenges for Post-CMOS Devices & Architectures,” IEEE Device Research Conference Technical Digest, Santa Barbara, CA, Jun 2011, pp. 183-186.

³ K. Bernstein, R.K. Cavin, W. Porod, A. Seabaugh, and J. Welser, “Device and Architecture Outlook for Beyond CMOS Switches,” Proceedings of the IEEE Special Issue - Nanoelectronics Research: Beyond CMOS Information Processing, Volume 98, Issue 12, Dec 2010, pp. 2169-2184.