



INTERNATIONAL  
TECHNOLOGY ROADMAP  
FOR  
SEMICONDUCTORS

2011 年版

配線

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

# 訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2011 Edition(国際半導体技術ロードマップ 2011 年版)本文の日本語訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 15 のワーキンググループ(WG: Working Group)が組織され、半導体集積回路メーカ、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソーシアムなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2011年版は英文で 1000 ページを超えるの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、ITRS 2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要に限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。ITRS 2009 年版以降、電子媒体で ITRS を公開することを前提に編集を進め、ITRS の表は原則として、Microsoft Excel のファイルとして作成し、そのまま公開することにした。

ITRS は英語で書かれている。日本語訳の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くは専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字、脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただけますよう、お願い申し上げます。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出していない。

原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。Executive Summary の用語集(Glossary)も参照されたい。原文の括弧()があってそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 SRTJ 事務局の進藤淳二さん、関口美奈さんに大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2012 年 5 月

訳者一同を代表して

電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長  
石内 秀美 (株式会社 東芝)

## 版權について

# ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2011 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS •SEMATECH, Inc. , 257 Fuller Road, Albany, NY 12203 • <http://www.itrs.net>  
Japanese translation by the JEITA, Japan Electronics and Information Technology Industries  
Association under the license of the Semiconductor Industry Association

### ー引用する場合の注意ー

原文(英語版)から引用する場合： ITRS 2011 Edition page XX, Figure(Table) YY  
この日本語訳から引用する場合： ITRS 2011 Edition (JEITA 訳) XX 頁,図(表)YY  
と明記してください。

-----  
問合せ先：

一般社団法人 電子情報技術産業協会  
半導体技術ロードマップ専門委員会 事務局  
電話: 03-5218-1068 電子メール: [roadmap@jeita.or.jp](mailto:roadmap@jeita.or.jp)

# 目次

|                                        |    |
|----------------------------------------|----|
| 1 概要.....                              | 1  |
| 1.1 序論 .....                           | 1  |
| 1.2 2011 年版の変更点 .....                  | 2  |
| 2 エグゼクティブ サマリ .....                    | 2  |
| 2.1 困難な技術課題 .....                      | 2  |
| 2.2 配線アーキテクチャ .....                    | 4  |
| 2.2.1 序論 .....                         | 4  |
| 2.2.2 ロジック(MPU/ASIC) .....             | 4  |
| 2.2.3 フラッシュメモリ .....                   | 6  |
| 2.3 三次元(3D)配線アーキテクチャ .....             | 6  |
| 2.3.1 序論 .....                         | 6  |
| 2.3.2 3D配線技術の定義 .....                  | 6  |
| 2.3.3 3D-TSV ロードマップ .....              | 12 |
| 2.3.4 3D-TSV 課題 .....                  | 13 |
| 2.4 受動素子 .....                         | 14 |
| 2.4.1 序論 .....                         | 14 |
| 2.4.2 キャパシタ .....                      | 14 |
| 2.4.3 インダクタ .....                      | 15 |
| 2.4.4 抵抗体 .....                        | 16 |
| 2.5 More Moore と More than Moore ..... | 16 |
| 3 信頼性および性能 .....                       | 16 |
| 3.1 信頼性 .....                          | 16 |
| 3.1.1 序論 .....                         | 16 |
| 3.1.2 配線金属の信頼性 .....                   | 17 |
| 3.1.3 絶縁信頼性 .....                      | 21 |
| 3.1.4 信頼性評価, モデル化とシミュレーション .....       | 22 |
| 3.1.5 将来の課題と方向性 .....                  | 23 |
| 3.2 配線性能 .....                         | 23 |
| 3.2.1 序論 .....                         | 23 |
| 3.2.2 信号伝送 .....                       | 24 |
| 3.2.3 消費電力 .....                       | 24 |
| 3.2.4 システムレベル性能 .....                  | 25 |
| 4 プロセスモジュール .....                      | 25 |
| 4.1 絶縁膜解決策候補 .....                     | 25 |
| 4.1.1 メタル前層間絶縁膜(PMD) .....             | 26 |
| 4.1.2 従来のLow- $\kappa$ ILD .....       | 27 |

|                                 |    |
|---------------------------------|----|
| 4.1.3 エアギャップ .....              | 28 |
| 4.1.4 拡散防止絶縁膜 .....             | 29 |
| 4.1.5 拡散防止キャップ絶縁膜 .....         | 29 |
| 4.2 拡散防止(バリア)膜解決策候補 .....       | 32 |
| 4.3 膜成長核形成解決策候補 .....           | 36 |
| 4.4 導電体膜解決策候補 .....             | 38 |
| 4.5 エッチング/レジスト除去/洗浄 解決策候補 ..... | 41 |
| 4.5.1 序論 .....                  | 41 |
| 4.5.2 プラズマプロセス制御 .....          | 41 |
| 4.5.3 プラズマハードウェア制御 .....        | 41 |
| 4.5.4 インテグレーション手法 .....         | 42 |
| 4.5.5 クリーニング工程 .....            | 42 |
| 4.6 平坦化解決策候補 .....              | 46 |
| 4.6.1 序論 .....                  | 46 |
| 4.6.2 絶縁膜系 CMP .....            | 47 |
| 4.6.3 導電膜系 CMP .....            | 47 |
| 4.6.4 装置課題 .....                | 48 |
| 4.6.5 消耗材 .....                 | 48 |
| 4.7 Si貫通ビア(TSV)、3D積層化技術 .....   | 52 |
| 4.7.1 序論 .....                  | 52 |
| 4.7.2 Si貫通ビア技術 .....            | 52 |
| 4.7.3 ウェーハ薄化と裏面プロセス .....       | 55 |
| 4.7.4 積層化後のTSV形成オプション .....     | 57 |
| 4.7.5 積層化モジュール .....            | 57 |
| 5 新規配線の現実解 .....                | 58 |
| 5.1 概論 .....                    | 58 |
| 5.2 銅(Cu)配線の置き換え .....          | 59 |
| 5.2.1 金属シリサイド .....             | 59 |
| 5.2.2 銀 .....                   | 60 |
| 5.2.3 金属フォノン工学 .....            | 60 |
| 5.2.4 金属の幾何学的共鳴 .....           | 60 |
| 5.2.5 カーボンナノチューブ .....          | 60 |
| 5.2.6 グラフェンナノリボン .....          | 62 |
| 5.3 Si CMOS互換光配線とI/O .....      | 64 |
| 5.3.1 序論 .....                  | 64 |
| 5.3.2 集積化オプション .....            | 65 |
| 5.3.3 トポロジカル絶縁体 .....           | 67 |
| 5.3.4 超伝導体 .....                | 67 |
| 5.3.5 ワイヤレス配線 .....             | 67 |

|                                      |    |
|--------------------------------------|----|
| 5.4 Si CMOS代替技術と配線との関連事項 .....       | 68 |
| 5.4.1 Si CMOS代替技術における輸送メカニズム .....   | 69 |
| 5.4.2 ナノワイヤー .....                   | 70 |
| 5.4.3 カーボンナノチューブ .....               | 71 |
| 5.4.4 グラフェンナノリボン .....               | 71 |
| 5.4.5 スピンベースの配線 .....                | 72 |
| 6 分野をまたがる問題 .....                    | 72 |
| 6.1 環境・安全・健康(ESH) .....              | 72 |
| 6.2 チップ-パッケージ相互干渉(CPI) .....         | 73 |
| 7 付録.....                            | 75 |
| 7.1 受動素子 .....                       | 75 |
| 7.1.1 容量素子 .....                     | 75 |
| 7.1.2 インダクタ .....                    | 77 |
| 7.1.3 抵抗体 .....                      | 78 |
| 7.2 絶縁膜補足 .....                      | 79 |
| 7.3 RC遅延評価に適用された配線モデル補足 .....        | 80 |
| 7.4 3DとTSV定義の用語集 .....               | 81 |
| 8 参考文献.....                          | 82 |
| 3D配線アーキテクチャ 参考文献 .....               | 82 |
| 信頼性 参考文献.....                        | 82 |
| 配線性能 参考文献.....                       | 83 |
| 絶縁膜解決策候補 参考文献.....                   | 83 |
| 拡散防止(バリア)膜解決策候補 参考文献.....            | 84 |
| 膜成長核形成解決策候補 参考文献.....                | 84 |
| 導電体膜解決策候補 参考文献.....                  | 84 |
| エッチング/レジスト除去/洗浄 解決策候補 参考文献.....      | 85 |
| 平坦化解決策候補 参考文献.....                   | 85 |
| Si貫通ビア(TSV), 三次元(3D)積層化技術 参考文献 ..... | 86 |
| 新規配線 参考文献.....                       | 86 |
| 受動素子(付録) 参考文献.....                   | 89 |

## 図のリスト

|               |                                                                                                                                                                                                                 |    |
|---------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Figure INTC1  | Typical Cross-sections of Hierarchical Scaling (MPU Device (left), AISC (middle) and Flash memory (right)).....                                                                                                 | 4  |
| Figure INTC2  | Typical ILD Architectures .....                                                                                                                                                                                 | 6  |
| Figure INTC3  | Schematic crosssections of TSV First and Middle/Last Process Flows.....                                                                                                                                         | 9  |
| Figure INTC4  | Schematic Representation of the Various Key Process Modules and 3D-stacking Options when using Through-Si-Via 3D-SIC Technologies .....                                                                         | 10 |
| Figure INTC5  | Schematic Representation of the Various Key Process Modules and 3D-stacking Options when using Through-Si-Via 3D-WLP Technologies .....                                                                         | 11 |
| Figure INTC6  | Experiment and model of lifetime scaling versus interconnect geometry (reprinted from Ref 7) 19                                                                                                                 |    |
| Figure INTC7  | Evolution of lifetime versus technology node. Black line shows the effect of reduced critical void volume : Green line shows the EM enhancement urgently needed (Courtesies of A. Aubel/ Globalfoundries) ..... | 19 |
| Figure INTC8  | Calculation Model for $J_{\max}$ , .....                                                                                                                                                                        | 20 |
| Figure INTC9  | Evolution of $J_{\max}$ (from device requirement) and $J_{\text{EM}}$ (from targeted lifetime).....                                                                                                             | 20 |
| Figure INTC10 | Comparison of the Lifetime Improvement versus the Resistivity Increase for Different EM Resistance Booster Technologies[24] .....                                                                               | 21 |
| Figure INTC11 | Low- $\kappa$ Roadmap Progression.....                                                                                                                                                                          | 26 |
| Figure INTC12 | Typical Air-Gap Integration Schemes .....                                                                                                                                                                       | 29 |
| Figure INTC13 | Dielectric Potential Solutions.....                                                                                                                                                                             | 31 |
| Figure INTC14 | Barrier Potential Solutions .....                                                                                                                                                                               | 35 |
| Figure INTC15 | Nucleation Potential Solutions.....                                                                                                                                                                             | 37 |
| Figure INTC16 | Conductor Potential Solutions.....                                                                                                                                                                              | 40 |
| Figure INTC17 | Post-CMP/Deposition Clean .....                                                                                                                                                                                 | 44 |
| Figure INTC18 | Post Dielectric Etch Clean .....                                                                                                                                                                                | 45 |
| Figure INTC19 | Brief History of Planarization Solutions .....                                                                                                                                                                  | 46 |
| Figure INTC20 | Planarization Applications and Equipment Potential Solutions.....                                                                                                                                               | 50 |
| Figure INTC21 | Planarization Consumables Potential Solutions.....                                                                                                                                                              | 51 |
| Figure INTC22 | Schematic Representation of the Challenges for Si-TSV Plasma Etching .....                                                                                                                                      | 52 |
| Figure INTC23 | Cu and W-based TSV Options as a Function of TSV Diameter and Aspect Ratio, in accordance with the 3D Interconnect Hierarchy and Roadmap.....                                                                    | 54 |
| Figure INTC24 | Temporary Carrier Strategy for Thin Wafer Post-processing.....                                                                                                                                                  | 56 |
| Figure A1     | Dielectric Potential Solutions (2010~2018) Realistic Case .....                                                                                                                                                 | 79 |
| Figure A2     | Dielectric Potential Solutions (2019~2027) Realistic Case .....                                                                                                                                                 | 80 |
| Figure A3     | Interconnect Model .....                                                                                                                                                                                        | 81 |

## 表のリスト

|                                  |                                                                                 |    |
|----------------------------------|---------------------------------------------------------------------------------|----|
| Table INTC1                      | 2011 Interconnect Difficult Challenges .....                                    | 3  |
| Table INTC2                      | MPU Interconnect Technology Requirements .....                                  | 6  |
| Table INTC3                      | Flash Interconnect Technology Requirements .....                                | 6  |
| Table INTC4                      | DRAM Interconnect Technology Requirements.....                                  | 6  |
| Table INTC5                      | 3D Interconnect Technologies Based on the Interconnect Hierarchy .....          | 8  |
| Table INTC6<br>( $\mu\text{m}$ ) | 3D-WLP Via Pitch Requirements Based on Table ORTC-4—Chip Pad Pitch Trend<br>12  |    |
| Table INTC7                      | Global Interconnect Level 3D-SIC/3D-SOC Roadmap .....                           | 12 |
| Table INTC8                      | Intermediate Interconnect Level 3D-SIC Roadmap .....                            | 12 |
| Table INTC9                      | Surface Preparation Interconnect Technology Requirements .....                  | 25 |
| Table INTC10<br>Interconnects    | Advantages and Concerns for Cu Extensions, Replacements and Native Device<br>58 |    |
| Table INTC11<br>Conductivity     | Minimum Density of Metallic SWCNTs Needed to Exceed Minimum Cu Wire<br>62       |    |

# 配線

## 1 概要

ITRS の配線章は、CMOS 集積回路の様々な機能ブロックへの必要な電源供給のために、クロックと他の信号を分配する配線システムを扱っている。プロセス面では、コンタクト層に相当する配線層の前に形成される絶縁膜から、上層のワイヤーボンドパッドまで、成膜、RIE、平坦化の工程とこれらに付随する軽いエッチング、剥離、洗浄を記述している。信頼性と性能の項では、エレクトロマイグレーションと配線遅延を含んでいる。新探求配線や三次元(3D)積層化の扱いを拡大しているのも特徴である。

### 1.1 序論

1994 年の NTRS(National Technology Roadmap for Semiconductor)の配線技術の章では、予想される全体の技術要求を満たすために必要な新しい導電材料と絶縁膜材料の要求仕様が示された。NTRS の 1997 年版の発行により、銅(Cu)を使ったチップの導入が切迫していた。1999 年の ITRS(International Roadmap for Semiconductors)になり、かつてないペースで導入されつつあった新材料への切り替えが強調された。2001 年版の ITRS では、新材料の継続的な導入が記載され、また配線幅が電子の平均自由行程に近づくに従って配線抵抗が増加する問題が強調された。MPU や ASIC への低誘電率(Low- $\kappa$ )絶縁膜の導入ペースが予想したものより遅れていることが、ITRS2003 年版の配線分野における中心課題のひとつであった。2005 年版 ITRS では、次世代には電子散乱による銅(Cu)抵抗率上昇と、それによって変化する抵抗・容量積(RC)の配線性能指標が記載された。また 2007 年版ではクロストークの指標が導入された。急速な新材料導入とそれに伴う複雑化に対処することが、短期的(near term)技術課題の全体像と言える。長期的(long term)には、既存のスケーリングに従った材料革新では、もはや性能要求を満たせなくなっている。解決策は、光、無線(RF)を使った革新的な配線技術、あるいは設計・実装のたゆまぬ努力と相俟った垂直統合が解決策を齎すであろう。

配線あるいはワイヤリングシステムの機能は、チップ上の様々の回路やシステムに、あるいはその中で、クロックや他の信号を伝達し、電源(パワー/アース)を供給することである。配線技術への基本的な開発に求められるのは、スケーリングが続いても性能が劣化するというボトルネックにならぬよう、高帯域・低消費電力の信号伝達の要求を満たすことである。

Cu 配線を使用したチップは、層間膜にシリコン酸化膜を使って 1998 年に導入されたが、ITRS に示された層間膜の誘電率の低減には、問題があった。フッ素添加酸化膜( $\kappa=3.7$ )は 180nm 世代で導入されたが、比誘電率が  $\kappa=2.7\sim3.0$  の材料は、90nm 世代まで広く採用されなかった。すなわち、低誘電率膜をデュアルダマシン Cu プロセスでインテグレーションした場合、信頼性や歩留まりの問題が、当初の考えていたよりも困難であることが明らかになってきた。多孔質(ポーラス)低誘電率(Low- $\kappa$ )材料のインテグレーションは、さらに困難が予想される。これらの新しい低誘電率膜の開発と完成度の向上は、不変的に時間を要するため、予想される MPU の製品化サイクルの進展(2009 年まで、3 年から 2 年へ)は、後の技術世代に達成可能な  $\kappa$  値へとずれ込んでいくであろう。今後、ロードマップ上でデュアルダマシン構造を構成すると予想される、さまざまな低誘電率材料が解決策候補の図に明示されている。層間膜のバルクとしての比誘電率の範囲と、インテグレーションされた場合の実効的な比誘電率値の範囲が、技術的要求表に載せられている(Table INTC2)。これらの新しい低誘電率膜の導入は、拡散防止(バリア)膜や核成長(シード)膜の膜厚低減と、付き回りの均一性の向上とを合わせて行う必要があり、インテグレーションする上で困難な技術課題といえる(より詳しい説明が必要であれば、様々なインテグレーション方法に対する実効的な比誘電率値の計算が「7.2 絶縁膜補足」に記載されている)。MPU と DRAM の M1 ピッチが同じ値に収束する時期が差し迫っており(2010 年と予想されていた)、そうなると高性能ロジックと DRAM の両方の技術仕様が記載されるものの、どちらが市場を牽引する製品かを特定する必要はなくなる。なお、INTC3 表として、最も厳しい M1 ピッチを採用しているフラッシュの使用を付け加えた。

## 2 配線

### 1.2 2011 年版の変更点

- 技術要求仕様 INTC2 表は、2009 年に採用した表記方法を踏襲し、以下の項目に分類した。
  - 一般的な要求—たとえば、バルクの抵抗値や絶縁膜の比誘電率など。
  - 配線やビアの寸法特性により決定される配線層への要求—たとえば、バリア金属の膜厚や実効抵抗率など。
- Low- $\kappa$  ロードマップ—軽微な変更。
  - バルク  $\kappa$  値のレンジを見直し。
  - バルク  $\kappa$  値 2 未満でのエアギャップの採用見込み。
  - フラッシュに関する初めての記述。
- ALD は、絶縁膜やバリア金属との最適な組合せで、未だ採用は検証中。
  - バリア金属とシード金属が非常に困難。
  - 新たなライナー金属の組合せ (Co、Ru など) のバリアの採用の遅れ。
  - キャップ金属により信頼性向上手法の量産が間近。
- 許容電流  $J_{\max}$  のモデルはオンチップ周波数の鈍化により改訂。
  - “Red Brick” は 1 年後ろ倒しして 2 年後に。
- 3D-TSV 表の改訂。
- 新探求配線材料の開発は進行中。
  - 新たな配線材料のオプションは先送りとなって、CMOS ドライバの Cu/low- $\kappa$  配線での往來の速度に見合った、あるいは、乗り越えるに妥当なエリアの確保を要求する。アプリケーションは新探求配線により可能となる新たな機能により牽引される。
  - 新規状態を使う材料も、リピータが牽引する Cu/low- $\kappa$  配線に比較して先送りとなり、スイッチング・スピードを維持するためのエリアを確保することが要求される。
  - 新探求オプションのエネルギー効率の評価は、スイッチングと配線のオプションとともに検討することが必要となる。

## 2 エグゼクティブ サマリ

2011 年については、配線性能は全体としてチップ性能を実現するための課題として、最重要項目となっている。エアギャップ構造はその技術成熟度が認められて、いまや、層間絶縁膜の課題解決の主流と考えられている。ITRS では、いかなる実効誘電率低減も、更なるようなポーラス超低誘電率 (ultra-low- $\kappa$ : ULK) 材料 ( $\kappa \leq 2$ ) の改良ではなく、エアギャップの使用により達成されると見ている。Low- $\kappa$  については、これが現時点での材料による解決の終焉で、アークテクチャによる解法の始まりである。高品質の ALD プロセスの出現の遅れが 2nm 以下のバリア厚の要求に応えられず、重要な課題となっている。3D 積層化は、TSV が量産に近づいたこともあり、新探求配線技術の項には含めていない。

これに加えて、ITRS 章は、Cu 代替材料の研究と、FET のスイッチングに不可欠な代替材料を用いる配線への要求検討というニーズに関して、新たな重要な内容を盛り込んだ。CNT より革新的なオプション—分子配線、量子波、スピнкаップリングを含む—で、それらは、まだ幼時の開発段階であるが、いずれの場合にもそのゴールは fJ/b での Tb/sec の伝送である。

### 2.1 困難な技術課題

Table INTC5 には、16nm ノードを境にした当面 (Near Term) と長期 (Long Term) の五つのキーとなる取組みを示した。当面の最も重要な課題は、配線の電導度の要求を満たし、絶縁膜の誘電率を低減することのできる新材料の導入である。長期的には、配線構造でのサイズ効果の影響を緩和しなければならない。

将来的に実効誘電率の要求値が下がっていくと、デュアルダマシン構造でのエッチストッパーの使用が不可能になる。寸法制御は、現在から将来に亘る世代の配線技術のキーとなる技術課題であり、エッチ

ングにおける課題解決の結果、RC(容量・抵抗積)のばらつきの抑制可能な Low- $\kappa$  絶縁膜を用いた精密なトレンチ・ビア構造を形成することができる。主流となっているダマシン構造では、パターニング、エッチング、平坦化で厳しい制御が要求される。性能を最大限に引き出すためには、配線工程では、招かれざる RC の劣化を齎す形状のばらつきは許容されない。これらの寸法制御の要求は、高アスペクト構造における高スループットの画像計測という新しい需要を引き起こす。新しい計測技術には、密着性や欠陥のインラインでのモニタリングも要求される。ウェーハの大口径化とテストウェーハを制限する要求は、ますます *in-situ* でのプロセス制御技術の採用へと進んでいくであろう。現時点で困難となっている寸法制御は、ポーラス Low- $\kappa$  絶縁膜や ALD(Atomic Layer Deposition) メタルのような新材料では、いっそう厳しくなり、より微細なピッチや、中間層配線やグローバル配線での高アスペクトパターンで重要な役割を果たすであろう。

Table INTCl 2011 Interconnect Difficult Challenges

| <b>Five Most Critical Challenges <math>\geq 16</math> nm</b>                                                                                                                        | <b>Summary of Issues</b>                                                                                                                                                                                                                                                                                                                                                                                                          |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <b>Material</b><br><i>Introduction of new materials to meet conductivity requirements and reduce the dielectric permittivity</i>                                                    | <i>The rapid introductions of new materials/processes that are necessary to meet conductivity requirements and reduce the dielectric permittivity create integration and material characterization challenges.</i>                                                                                                                                                                                                                |
| <b>Manufacturable Integration</b><br><i>Engineering manufacturable interconnect structures, processes and new materials</i>                                                         | <i>Integration complexity, CMP damage, resist poisoning, dielectric constant degradation. Lack of interconnect/package architecture design optimization tool</i>                                                                                                                                                                                                                                                                  |
| <b>Reliability</b><br><i>Achieving necessary reliability</i>                                                                                                                        | <i>New materials, structures, and processes create new chip reliability (electrical, thermal, and mechanical) exposure. Detecting, testing, modeling, and control of failure mechanisms will be key.</i>                                                                                                                                                                                                                          |
| <b>Metrology</b><br><i>Three-dimensional control of interconnect features (with its associated metrology) is required to achieve necessary circuit performance and reliability.</i> | <i>Line edge roughness, trench depth and profile, via shape, etch bias, thinning due to cleaning, CMP effects. The multiplicity of levels combined with new materials, reduced feature size, and pattern dependent processes create this challenge.</i>                                                                                                                                                                           |
| <b>Cost &amp; Yield for Manufacturability</b><br><i>Manufacturability and defect management that meet overall cost/performance requirements</i>                                     | <i>As feature sizes shrink, interconnect processes must be compatible with device roadmaps and meet manufacturing targets at the specified wafer size. Plasma damage, contamination, thermal budgets, cleaning of high A/R features, defect tolerant processes, elimination/reduction of control wafers are key concerns. Where appropriate, global wiring and packaging concerns will be addressed in an integrated fashion.</i> |

| <b>Five Most Critical Challenges <math>&lt; 16</math> nm</b>                                                              | <b>Summary of Issues</b>                                                                                                                                                                                                                                                                                            |
|---------------------------------------------------------------------------------------------------------------------------|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <b>Material</b><br><i>Mitigate impact of size effects in interconnect structures</i>                                      | <i>Line and via sidewall roughness, intersection of porous low-<math>\kappa</math> voids with sidewall, barrier roughness, and copper surface roughness will all adversely affect electron scattering in copper lines and cause increases in resistivity.</i>                                                       |
| <b>Metrology</b><br><i>Three-dimensional control of interconnect features (with its associated metrology) is required</i> | <i>Line edge roughness, trench depth and profile, via shape, etch bias, thinning due to cleaning, CMP effects. The multiplicity of levels, combined with new materials, reduced feature size and pattern dependent processes, use of alternative memories, optical and RF interconnect, continues to challenge.</i> |
| <b>Process</b>                                                                                                            | <i>As features shrink, etching, cleaning, and filling high aspect</i>                                                                                                                                                                                                                                               |

## 4 配線

|                                                                                                                                          |                                                                                                                                                                                                                                                                  |
|------------------------------------------------------------------------------------------------------------------------------------------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <i>Patterning, cleaning, and filling at nano dimensions</i>                                                                              | <i>ratio structures will be challenging, especially for low-<math>\kappa</math> dual damascene metal structures and DRAM at nano-dimensions.</i>                                                                                                                 |
| <b>Complexity in Integration</b><br><br><i>Integration of new processes and structures, including interconnects for emerging devices</i> | <i>Combinations of materials and processes used to fabricate new structures create integration complexity. The increased number of levels exacerbate thermomechanical effects. Novel/active devices may be incorporated into the interconnect.</i>               |
| <b>Practical Approach for 3D</b><br><br><i>Identify solutions which address 3D structures and other packaging issues</i>                 | <i>3 dimensional chip stacking circumvents the deficiencies of traditional interconnect scaling by providing enhanced functional diversity. Engineering manufacturable solutions that meet cost targets for this technology is a key interconnect challenge.</i> |

## 2.2 配線アーキテクチャ

### 2.2.1 序論

ロジック(MPU や ASIC)および NAND 型フラッシュメモリの 2 種類の製品に関して議論する。今回初めて NAND 型フラッシュメモリに関する技術課題について掲載した。その理由として NAND 型フラッシュメモリで使用される M1 配線層のピッチの微細化およびコンタクト層のアスペクト比の増加は他のデバイスの追随を許さず、テクノロジードライバーとして注視する必要があることが挙げられる。Figure INTC1 には各デバイスにおける典型的な断面構造を示した。左から MPU デバイス、ASIC、そして NAND 型フラッシュメモリである。

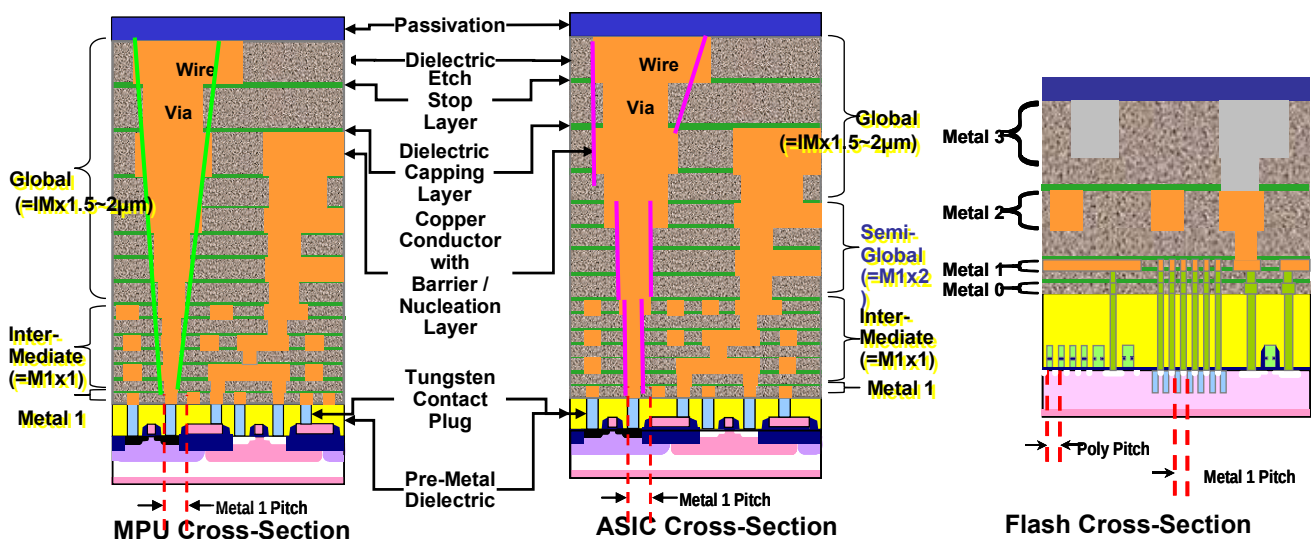


Figure INTC1 Typical Cross-sections of Hierarchical Scaling (MPU Device (left), ASIC (middle) and Flash memory (right))

### 2.2.2 ロジック(MPU/ASIC)

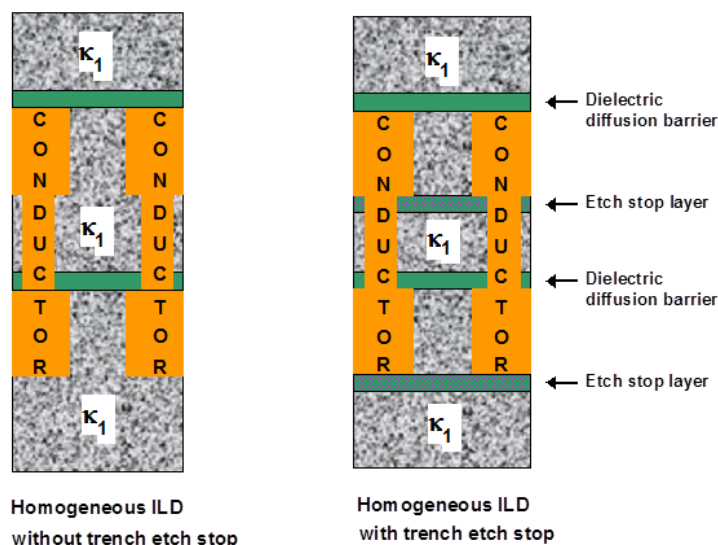
MPU では、性能への配線遅延の影響を緩和するために、配線層毎にピッチと膜厚が次第に増加していく階層的配線アプローチによる多層の配線が用いられる。接地層やオンチップのデカップリング容量に対する要求に応えるために、配線層の伸びは、性能要求を満たすことのみを考えた場合よりも大きくなると予想される。ASIC は、例えば Cu 配線や Low- $\kappa$  絶縁膜のような、MPU の技術的特徴の多くを共有する。一般的に ASIC の設計手法はより標準的で、メタル 1、中間層配線、セミグローバル(中間層配線の 2 倍)およびグローバル(中間層配線の 4 倍)という配線ピッチで構成される。

MPUピッチのスケーリングの加速が、Cuのエレクトロマイグレーション問題を深刻にしている。現在用いられているCuへの絶縁膜キャップ技術での最大電流密度( $J_{\max}$ )の限界は、2017年までに超過されてしまうだろう。CuSiN形成によるCu表面の改質、もしくはCu-Alのような合金の使用によって、顕著なエレクトロマイグレーションの改善が得られる。CoWPのようなCuへの選択メタルキャップ技術を用いることで、より高いエレクトロマイグレーション耐性が得られるであろう。しかし、選択プロセスに起因した配線間ショートによる歩留りの低下が依然として懸念される。絶縁膜キャップの改良も検討されている。

ダマシンプロセスフローは、MPU/ASIC 製造法の主要なものであり、DRAM への適用が拡大していくと期待される。Figure INTC2 は、積層配線の作製に用いられる、幾つかの典型的な層間絶縁膜 (ILD: Interlevel Dielectric) 構造を図示したものである。現在の Cu ダマシンプロセスは物理気相成長法 (PVD: Physical Vapor Deposition) による Ta ベースのバリア膜と Cu 核成長層を用いているが、サイズの継続的なスケーリングには異なる材料や核成長層の成膜法が求められる。Cu めっき (Electrochemically Deposited Cu: ECD-Cu) は装置や薬液の継続的な改善によってロードマップの予測最終年 (2026 年) まで延命しようとしているが、微細、かつ高アスペクト比となる形状に対しては、代替となる埋設技術を並行して開発、精選していく必要がある。このような形状について実効的な配線抵抗率を維持するために、薄いバリア膜も必要とされる。核成長層の被覆性に対する要求は、ダマシン構造での Cu めっき埋めこみを可能とするためにより厳しくなる。表面への偏析、化学気相成長法 (Chemical Vapor Deposition: CVD)、原子層成長法 (Atomic Layer Deposition: ALD)、および絶縁膜バリアが中間的な解決策候補である。膜厚ゼロのバリアは望ましいが要求されてはいない。

これに沿って、最小のメタル 1、中間層配線、グローバル配線についての Cu の比抵抗値が、ロードマップの全ての年に対して記載されている。この比抵抗上昇による RC 性能指標への影響も計算されており、技術的要求の表に含まれている。寸法ばらつきと散乱による M1 配線抵抗のトータルなばらつきも計算され、MPU の技術的要求の表 (MPU technology requirements table) に含まれている。メタル 1 と中間層配線の配線長は、通常、従来のスケーリングに伴って縮小されるため、これらの遅延が性能に与える影響は比較的小さい。最大の配線長を有するグローバル配線は、劣化した遅延に最も影響されるだろう。材料変更や Cu 比抵抗上昇のいくつかの改善では、総合的な性能要求を満たすには不十分であろう。マルチコア MPU 設計への流れによって、これまでの増大するグローバル配線の配線長に関する遅延の問題の幾つかは軽減されてきている。

Cu 配線へのエアギャップの導入は今後の 10 年において最も重要な課題の一つとなる。エアギャップ形成に関するインテグレーションスキームや構造についてはいくつか報告されている。それらは大きく二つのカテゴリーに分類され、その違いはエアギャップ形成が上層金属配線形成の前後どちらかで分けられる。Cu ダマシン構造においてエアギャップを形成するためには、Cu-CMP プロセスがエアギャップの無い状態で実行される必要性から、エアギャップの元となる犠牲材料を取り除くプロセスが必須である。



### 2.2.3 フラッシュメモリ

フラッシュメモリは3もしくは4層の配線層の単純な階層を持つ。全ての半導体デバイスの中でフラッシュメモリはビット線(M1 配線層)での最も微細なピッチと、コンタクト層での最も高いアスペクト比を合わせて持っている。それに伴い細線効果による RC 遅延の増大とパターニングやメタル埋設に対して最も深刻な課題に直面している。一方で M2 層以降は緩いメタルピッチを使用する。

ロジックデバイスと同様に、ダマシンプロセスフローはフラッシュメモリ製造法の主要なものである。Cu ダマシンプロセスは物理気相成長法(PVD:Physical Vapor Deposition)による Ta ベースのバリア膜と Cu 核成長層を用いているが、サイズの継続的なスケールアップには異なる材料や核成長層の成膜法が求められる。配線形成に対する技術課題についてはロジックのセクションに詳細が記載されている。新しいトレンドとして、メタル配線形成方法やエアギャップ形成方法、エレクトロマイグレーション耐性に対して優位性のあるタングステン(W)を用いたビット線配線構造が導入され始めている。しかしながら、Cu よりもバルク比抵抗が高いためそれに対応した設計が必要となる。

電子散乱モデルが改善されてきており、配線幅とアスペクト比の関数として Cu の比抵抗上昇を予測できる。比抵抗の上昇には粒界と界面の電子散乱の両方が大きく影響する。今までのところ、この問題に対する解決策は見つかっていない。配線形状の三次元的な寸法制御(3DCD)は、ITRS の数回の版において、重要課題の一つとして挙げられている。

エアギャップ構造が他のデバイスに先駆けて W 配線との組み合わせで導入された。エアギャップの形成としては W 配線を反応性イオンエッチングにより形成し、その後にプラズマ CVD にて絶縁膜を成膜する方法を有望である。一方で Cu ダマシン配線においてはロジックと同様にエアギャップ構造を導入するには大きな課題が残っている。ビット線に Low- $\kappa$  材料を使用することも容量低減には効果的だが、フラッシュメモリ特有の高電圧動作に耐える絶縁膜特性を有する必要性がある。

Table INTC2 MPU Interconnect Technology Requirements

Table INTC3 Flash Interconnect Technology Requirements

Table INTC4 DRAM Interconnect Technology Requirements

## 2.3 三次元(3D)配線アーキテクチャ

### 2.3.1 序論

電子システムの集積化に関する新規開発は、微細化、異種デバイスの集積、回路性能の向上、低消費電力化といったさまざまな理由から三次元化の方向に拡大する傾向がある。電子製造業サプライチェーン(IC 製造工場 → ウェーハレベルプロセス(WLP) → 半導体アセンブリと試験(SAT) → プリント配線基板(PCB) → 組立...)のすべての企業から、旧来の業界の壁を越えて、幅広い技術が提案されている。

3D 技術のロードマップに関する明確な見通しに到達するためには、3D 配線技術で理解されていることを明確に定義すること、幅広い技術の分類を提案することが重要である。ここでいう“定義”には、システムの異なる階層レベルにおいて 3D 技術に求められている機能が記載され、サプライチェーン製造業の将来性に対応しているべきである。

### 2.3.2 3D 配線技術の定義

どのような電子装置でも、それを基本的な構成要素—トランジスタ、ダイオード、受動回路素子、MEMS 等—toに分解すると、基本的な主要部品とそれをつなぐ非常に複雑な配線構造の二つの要素から成り立

っていることに気が付く。この配線構造は、主要部品間をつなぐ、狭くて短い配線から、回路ブロック間をつなぐ長くて大きな配線まで、階層的に作られている。集積回路ではローカル、中間層、そしてグローバル層の配線が明確に区別されており、チップ上の回路の階層が、トランジスタから論理ゲート、サブ回路、回路ブロック、そしてボンディングパッドの入出力回路まで分類されている。それは総じて電子システムにもあてはまり、主として複数の集積回路、受動素子、水晶振動子、MEMS などからなる。また IC パッケージ、システム-オン-パッケージ、モジュール、ボード、ラックといった異なるレベルで分類されている。一例として JISSO による分類がある (<http://jisso.ipc.org>)。

あるレベルの配線階層の範囲までは、配線は基本的に 2D トポロジーで配置される:ある平面上で互いに交差しない配線を、孤立配線と定義する。配線が交差する場合、近接する上下の配線層を用いる。配線層と配線層の間の接続は、ビア、めっきされたスルーホール、ピン、はんだボール、および(あるいは)配線などによって特徴づけられる。配線レベルの 3D 積層は、これらのビア配線により可能になる。集積回路やプリント配線基板のような、基本回路要素と複数の 2D 配線層との組み合わせは、2D デバイスと見なされる。

今日、一般に“3D 技術”と称されているものは、配線層だけでなく基本的な電子部品の 3D 積層を可能にする、異なる“ビア”技術である。それは、単位面積あるいは単位体積あたりで見ると、非常に高い実装効率の実現を可能にする。

### 3D 定義と命名法

**3D 配線技術** – 2D 配線技術を用い、以下に示した主要電子部品の、縦方向の積層を可能にする技術。

- “主要電子部品”とは、トランジスタ、ダイオード、抵抗、キャパシタ、インダクタなどの基本回路デバイスである。
- 3D 配線技術の特別な場合として、配線層だけが含まれる、Si インターポーザ構造がある。多くの場合は、他の主要電子部品(特に、デカップリングキャパシタ)がインターポーザに組み込まれている。

**3D 接合** – 二つのダイあるいはウェーハの表面を一緒につなぐ操作。

**3D 積層** – 二つのデバイスレベル間の電気配線接続を実現する操作。

Table INT-C5 では、3D 接続技術の構造化された定義は、接続階層に基づいて与えられている。この構造は、産業、半導体サプライチェーンを考慮してあり、意味のあるロードマップの定義を可能にし、相互接続の階層構造[1]のそれぞれの層のターゲットを明確にしている。

### 推奨される名称の定義

**3D-パッケージ(3D-P)** – ワイヤーボンディング、パッケージオンパッケージ、プリント回路基板内蔵など、“従来”のパッケージ技術を用いた 3D 積層。

**3D-ウェーハレベルパッケージング(3D-WLP)** – ウェーハ上へのフリップ・チップの再配置、再配線層、ファン-イン型のチップサイズ-パッケージング、および擬似ウェーハ上で再配線を行うファンアウト型のチップスケールパッケージングなど、ウェーハ製造工程のあとに行われるウェーハレベル-パッケージング技術を用いた 3D 集積。

**3D-システムオンチップ(3D-SOC)** – システムオンチップ(SOC)として設計され、複数ダイの積層で実現される回路。3D 配線は、異なるダイの回路タイル間を直接的に配線接続する。これらの配線はチップ上のグローバル配線に相当し、IP ブロックの拡張的な利用や、再利用を可能にする。

**3D-積層化IC(3D-SIC)** – 3D 積層されたダイの、異なる階層にある回路ブロック間を直接的に配線接続する 3D 手法。配線は、チップ上の配線のグローバル層か中間層に相当する。フロントエンド(デバイス)とバックエンド(配線)層が繰り返し積み重ねられている点の特徴である。

## 8 配線

**3D-集積回路 (3D-IC)**—能動素子を直接積層する 3D 手法。配線はチップ上のローカル配線に相当する。フロントエンドデバイスが積み重ねられ、それが共通のバックエンド配線でつながっている点の特徴である。

配線階層に基づき、3D 配線技術を構造的に定義した結果を Table INTC5 に示す。表中には、半導体サプライチェーンについても触れられており、配線階層の各レベルにおけるターゲットと、重要なロードマップの定義が可能となる[1]。

*Table INTC5 3D Interconnect Technologies Based on the Interconnect Hierarchy*

| Level        | Suggested Name                                                      | Supply Chain           | Key Characteristics                                                                                                                                                                                                                                                                                                                                                                           |
|--------------|---------------------------------------------------------------------|------------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| Package      | 3D-Packaging (3D-P)                                                 | OSAT, Assembly and PCB | <ul style="list-style-type: none"> <li>- Traditional packaging of interconnect technologies, e.g., wire-bonded die stacks, package-on-package stacks.</li> <li>- Also includes die in PCB integration</li> <li>- No through-Si-vias (TSVs)</li> </ul>                                                                                                                                         |
| Bond-pad     | 3D-Wafer-level Package (3D-WLP)                                     | Wafer-level Packaging  | <ul style="list-style-type: none"> <li>- WLP infrastructure, such as redistribution layer (RDL) and bumping.</li> <li>- 3D interconnects are processed after the IC fabrication, “post IC-passivation” (via last process). Connections on bond-pad level.</li> <li>- TSV density requirements follow bond-pad density roadmaps.</li> </ul>                                                    |
| Global       | 3D-Stacked Integrated Circuit / 3D-System-on-Chip (3D-SIC / 3D-SOC) | Wafer Fab              | <ul style="list-style-type: none"> <li>- Stacking of large circuit blocks (tiles, IP-blocks, memory –banks), similar to an SOC approach but having circuits physically on different layers.</li> <li>- Unbuffered I/O drivers (Low C, little or no ESD protection on TSVs).</li> <li>- TSV density requirement significantly higher than 3D-WLP : Pitch requirement down to 4-16µm</li> </ul> |
| Intermediate | 3D-SIC                                                              | Wafer Fab              | <ul style="list-style-type: none"> <li>- Stacking of smaller circuit blocks, parts of IP-blocks stacked in vertical dimensions.</li> <li>- Mainly wafer-to-wafer stacking.</li> <li>- TSV density requirements very high: Pitch requirement down to 1-4 µm</li> </ul>                                                                                                                         |
| Local        | 3D-Integrated Circuit (3D-IC)                                       | Wafer Fab              | <ul style="list-style-type: none"> <li>- Stacking of transistor layers.</li> <li>- Common BEOL interconnect stack on multiple layers of FEOL.</li> <li>- Requires 3D connections at the density levels of local interconnects.</li> </ul>                                                                                                                                                     |

### 3D シリコン貫通ビア 技術の定義

前述のように、3D 接続技術を実現するために、様々な広範囲な技術が使われている。特に興味深いものは、3D-WLP、3D-SOC、そして 3D-SIC の接続技術として用いられている“Through-Si-Via”と呼ばれている技術である。

Through-Si-Via connection (TSV)は Si ウェーハの両面を電氣的に接続し、基板や他の TSV からは電氣的に絶縁されている。TSV 導周辺部の絶縁層は“TSV liner”と呼ばれる。この層の機能は、基板や他の TSV と電氣的に絶縁することである。また、この層は TSV の寄生容量を決める。TSV から Si 基板への金属拡散を防止するために、バリア層が“liner”と TSV メタルの間に設けられる

“TSV-stacked 3D-SIC”そして“3D-WLP”構造を実現するために数多くの方法が提案されてきた。これらの手段に共通しているのは、三つの基本的な技術モジュールである。

1. “Through-Si-Via”プロセス
2. ウェーハ薄化、薄ウェーハハンドリングそして裏面処理技術
3. 積層プロセス

これらのプロセスモジュールの順番は、Figure INTC3 に示す多種多様な提案されたプロセスフローより変わる。

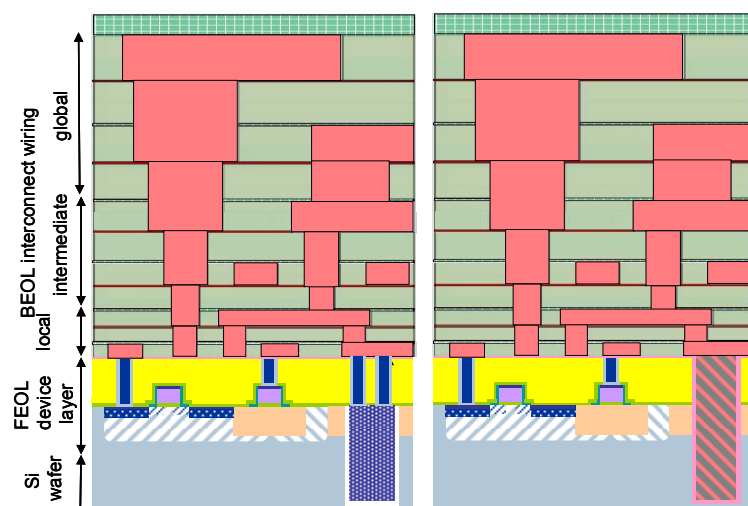


Figure INTC3 Schematic crosssections of TSV First and Middle/Last Process Flows

様々な異なるプロセスフローが、四つの重要な区別された特性に特徴づけられる。

1. デバイスのウェーハ製造プロセスに対応する TSV プロセスの順序 (see Figure INTC1)
  - “Via-first”—デバイス拡散工程 (FEOL) 前の TSV 形成
  - “Via-middle”—デバイス拡散工程 (FEOL) 後で、バックエンドプロセス配線工程 (BEOL) 前の TSV 形成
  - “Via-last”—バックエンドプロセス配線工程 (BEOL) 後、あるいは途中工程の表面または裏面からの TSV 形成
2. TSVプロセスと 3Dボンディングプロセスの順序—3Dボンディング前または後の TSVプロセス<sup>1</sup>
3. ウェーハ薄化と 3D ボンディングの順序—3D ボンディング前または後のウェーハ薄化プロセス
4. 3D ボンディング方法
  - ウェーハ-to-ウェーハ (W2W) ボンディング
  - ダイ-to-ウェーハ (D2W) ボンディング
  - ダイ-to-ダイ (D2D) ボンディング

これらの四つの主な特徴に加え、二次的な三つの特性が特徴づけられる。

- Face-to-Face (F2F) あるいは Back-to-Face (B2F) ボンディング
- “via-last”に関し：ウェーハの表面側から形成された“Frontside” TSVs、もしくは薄化されたウェーハの裏面側から形成された“Backside” TSVs (ウェーハの表面側とは、能動素子そして配線層がある側と言う)。
- ボンディング前あるいは後におけるキャリアウェーハからの剥離

前述で明確にされた一般的なフロー特性は、3D-WLP やグローバルそして 3D-SIC プロセスフローの中間接続に適用できる。3D-WLP TSV 技術にとって、“via-last route”は最も重要であり、そしてフロントサイド TSV にしろバックサイド TSV にしろ Figure INTC4 に示されるように 3D ボンディング前に形成される。

提案されている様々なアプローチ (手段) は、通常の半導体デバイスのみならず、受動素子の再配線またはインターポザ基板に適用できる。3D 集積にとって重要な (キー) プロセス技術には、色々な一時的あるいは恒久的なボンディングそしてデボンディング工程がある。材料に対する要求そしてプロセス要件は選択された配線ルートにより異なる。

<sup>1</sup> 3D 接合後の TSV の処理もまた、“Via Last”と呼ぶことがある。しかし我々は“半導体ウェーハ製造プロセス、の関連において“Via Last”と定義とする。この結果“Via Last”の定義が、より一般的になり、3D 接合後の TSV の処理に限定されなくなる。

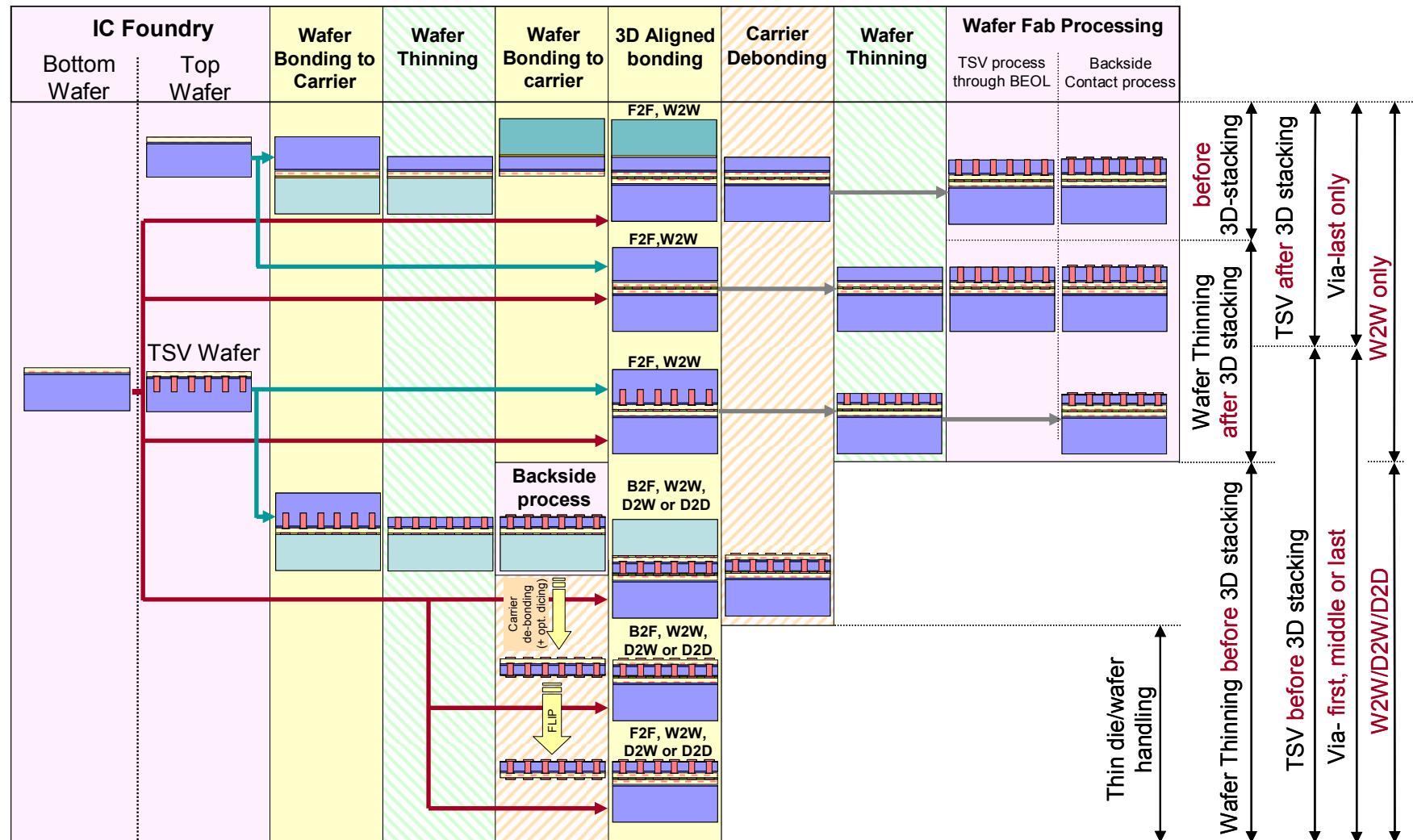


Figure INTC4 Schematic Representation of the Various Key Process Modules and 3D-stacking Options when using Through-Si-Via 3D-SIC Technologies<sup>2</sup>

<sup>2</sup> IMEC

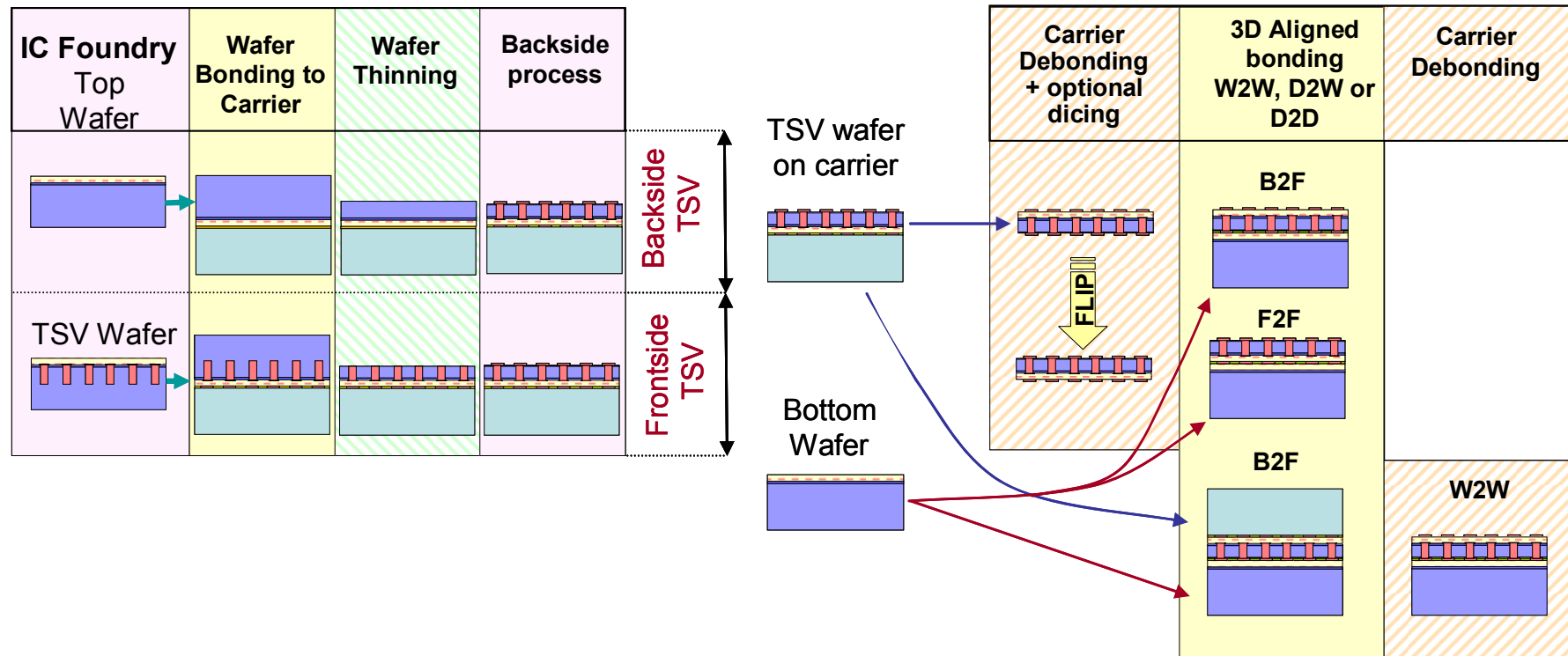


Figure INTC5 Schematic Representation of the Various Key Process Modules and 3D-stacking Options when using Through-Si-Via 3D-WLP Technologies<sup>3</sup>

<sup>3</sup> IMEC

## 12 配線

### 2.3.3 3D-TSV ロードマップ

前述の 3D 接続構造と 3D プロセス定義することにより、それらが提供する接続構造に関する TSV ロードマップが定義できる。

### 3D-WLP

これはボンディングパッドレベルで 3D 積層技術である。したがって Table INTC6 に示す様に、3D-TSV ロードマップはチップの I/O ボンディングパッドロードマップに従う。

Table INTC6 3D-WLP Via Pitch Requirements Based on Table ORTC-4—Chip Pad Pitch Trend ( $\mu\text{m}$ )

| Year of Production                                                          | 2011 | 2012 | 2013 | 2014 | 2015 |
|-----------------------------------------------------------------------------|------|------|------|------|------|
| 1-row wedge-bond pitch ( $\mu\text{m}$ )                                    | 20   | 20   | 20   | 20   | 20   |
| 1-row ball pitch ( $\mu\text{m}$ )                                          | 35   | 35   | 30   | 30   | 25   |
| 2-row staggered pitch ( $\mu\text{m}$ )                                     | 45   | 40   | 40   | 40   | 40   |
| Three-tier pitch ( $\mu\text{m}$ )                                          | 55   | 50   | 45   | 45   | 45   |
| Area array flip-chip ( $\mu\text{m}$ ) (cost-performance, high-performance) | 120  | 110  | 110  | 100  | 100  |

### 3D-SIC

この技術は二つの配線構造で定義できる。

1. グローバル配線レベルのための 3D-SIC、たとえば IP-ブロック (3D-SOC) の 3D 積層: この技術は W2W、D2W そして D2D 積層がある。この 3D-TSV プロセスは、一般的には Si ウェーハ製造ラインで積層される。3D-スタックプロセスは、ほとんどが標準的な Si プロセスラインの外で行われる。3D-SIC/3D-SOC の詳細は、Table INTC7 に示されている。

Table INTC7 Global Interconnect Level 3D-SIC/3D-SOC Roadmap

| Global Level, W2W, D2W or D2D 3D-stacking        | 2011-2014             | 2015-2018             |
|--------------------------------------------------|-----------------------|-----------------------|
| Minimum TSV diameter                             | 4-8 $\mu\text{m}$     | 2-4 $\mu\text{m}$     |
| Minimum TSV pitch                                | 8-16 $\mu\text{m}$    | 4-8 $\mu\text{m}$     |
| Minimum TSV depth                                | 20-50 $\mu\text{m}$   | 20-50 $\mu\text{m}$   |
| Maximum TSV aspect ratio                         | 5:1 – 10:1            | 10:1 – 20:1           |
| Bonding overlay accuracy                         | 1.0-1.5 $\mu\text{m}$ | 0.5-1.0 $\mu\text{m}$ |
| Minimum contact pitch (thermocompression)        | 10 $\mu\text{m}$      | 5 $\mu\text{m}$       |
| Minimum contact pitch (solder $\mu\text{bump}$ ) | 20 $\mu\text{m}$      | 10 $\mu\text{m}$      |
| Number of tiers                                  | 2-3                   | 2-4                   |

2. 中間配線レベルのための 3D-SIC、たとえばより小さな回路ブロックの 3D 積層: この技術の主流は W2W 積層技術である。この二つの 3D-TSV プロセスと 3D 積層は、一般的には Si ウェーハ製造ラインで行われる。

3. 新規中間配線レベルの 3D-SIC ロードマップの仕様は Table INTC8 に示されている。

Table INTC8 Intermediate Interconnect Level 3D-SIC Roadmap

| Intermediate Level, W2W 3D-stacking | 2011-2014             | 2015-2018             |
|-------------------------------------|-----------------------|-----------------------|
| Minimum TSV diameter                | 1-2 $\mu\text{m}$     | 0.8-1.5 $\mu\text{m}$ |
| Minimum TSV pitch                   | 2-4 $\mu\text{m}$     | 1.6-3.0 $\mu\text{m}$ |
| Minimum TSV depth                   | 6-10 $\mu\text{m}$    | 6-10 $\mu\text{m}$    |
| Maximum TSV aspect ratio            | 5:1 – 10:1            | 10:1 – 20:1           |
| Bonding overlay accuracy            | 1.0-1.5 $\mu\text{m}$ | 0.5-1.0 $\mu\text{m}$ |
| Minimum contact pitch               | 2-3 $\mu\text{m}$     | 2-3 $\mu\text{m}$     |
| Number of tiers                     | 2-3                   | 8-16 (DRAM)           |

### 2.3.4 3D-TSV 課題

- マイクロエレクトロニクス産業のサプライチェーンにおける様々なアプローチそして互換性  
3D 集積化のための様々なアプローチのために、限界と解決 (solutions) を明確にした。  
3D 集積化のサプライチェーンや可能なフローは仕事 (work) の範囲を超えている。  
多くの選択肢は、サプライチェーンやビジネスの中にあるさまざまな製造会社を持つ可能な能力により決定される。オーナーシップの明確な定義は、非 IDM ビジネスの成功により決定的であろう。
- 総合歩留り — 高歩留 3D 積層デバイスを得るための設計そしてテスト戦略
- デザインチャレンジ—シームレスな 3D システムデザインが可能な設計ツールが必要
- 3D 接続とデバイスパッケージング、組み立て (assembly) の相互作用。
- 3D 接続に求められる電気特性—色々なアプリケーションエリアにおける RLC 値  
TSV に寄生する主なチャレンジは TSV の低寄生容量化を実現することである。TSV を用いた 3D 接合の信号ディレイそして消費電力は、ほとんど TSV の容量によって決定される。3D 積層することによる回路性能の低下を避けるための容量は、2D 回路のグローバル配線の容量の桁であるべきである。この要件 (特性) は、採用する技術によって TSV 容量の上限値がある。
- 3D プロセスにおけるデバイスの ESD 対策  
3D プロセスは、シリコン上に I/O 数をドラマチックに増大することができる一方、この I/O 数増大の実現は増大に比例して ESD にさらされる回路素子数が増す。これらの新しい tier-to-tier I/O のファインピッチ化は、ESD 保護回路を設けるエリアに制限を与える。このように、3D デバイスのデザインそして製造は、ESD の保護回路に注意を払う必要がある。  
3D 製造にはウェーハハンドリング、TSV エッチ、TSV ライナー、TSV 埋め込み、ボンディング、デボンディングそして積層工程では ESD という新たな問題点が起きている。これらの新しい工程に生ずる ESD 障害の可能性のレベルはほとんど知られていないが、様々な努力により 3D 製造工において ESD の低減が行われるべきである。  
3D 回路素子における ESD 保護回路のサイズ (コスト) を最小限にすることが必要である。いったん 3D 構造が完全に集積化されると、ESD 保護回路は 3D 構造が I/O/P か G のための外部の経路の一部でないなら必要ではない。このように、3D の内部を構成する素子のいかなる ESD 保護回路は、パワーを加えそして回路性能の低下させることになる。
- コストのオーナーシップ (コストはどこが握るか)
- ボンディングされた、そしてまたは薄ウェーハを用いたプロセスの工場における集積  
ボンディングや薄化されたウェーハの裏面処理は、前述のように多くのプロセスフローが必要になる。これには多くの製造と工場集積課題が提案されている。多くの場合、これらのウェーハは SEMI M1.15 300mm のウェーハ仕様から外れる。この仕様はウェーハ直径、厚さ、ノッチ、およびエッジベベルを網羅している。<sup>4</sup> この規格は FOUPs (47.1E)、FOSBs (M31)、ロードポート (15.1E)、および Wafer 識別 (T7) を規定する他の SEMI 規格によって参照されている。特定の 3D プロセスによってボンディングそして薄化されたウェーハはこれらのいくつかの規格から外れるだろう。<sup>5</sup> そして、ボンディングそして薄化されたウェーハの工場への投入は、汚染が無く、パーティクルの持ち込みもなく安全に再投入できることを確実にすることが求められる。そしてウェーハ搬送とツール特有のプロセス課題のために、製造フローにおけるツール類それぞれが可能であることも求められる。一つの例として、厚いウェーハの搬送ができるように、そして異なるウェーハエッジ部分への適合ができるハードウェアそしてまたはソフトウェアである。
- パーティクルとクロスコンタミネーション
- 高度なプロセスコントロール
- 環境、安全そして健康 (ESH) 規格に関する懸案事項  
二酸化炭素排出規制—高度な化学物質 (ガス等) 使用 (例: SF<sub>6</sub>) が必要とされる特徴のあるサイズをパターンニングする際のかかなり大量の二酸化炭素排出が環境に与える影響

<sup>4</sup> M1.15. SEMI M1.15, Standard for 300 mm Polished Monocrystalline Silicon Wafers (Notched)

<sup>5</sup> E47.1. Mechanical Specification for FOUPS Used to Transport and Store 300 mm Wafers, 1997.

## 2.4 受動素子

### 2.4.1 序論

近年、単体受動素子はボード上からパッケージ内へチップ上へと場所を移している。それは結果的に、現在の、また今後のオンチップ配線技術にとっての新たな挑戦となる。主にミックスドシグナル、高周波 (RF)、システムオンチップ (SOC) の最先端用途を実現するために、高精度で高品質の、キャパシタ、インダクタ、抵抗が要求されるようになっている。ミックスドシグナルと RF CMOS では、基板とのカップリングによるノイズやその他の寄生成分の低減と制御が、最も重要な課題のひとつである。アプリケーションの観点からみた受動素子への最も重要な要求は、「無線通信のための RF および AMS 技術 (RF and Analog/Mixed-signal Technologies for Wireless Communications)」章に挙げられている。これまでは、IC 上に受動回路素子 (例えば、キャパシタ、抵抗) を実現する方法は、フロントエンドプロセスによる集積化であった。この場合、ドーパされた単結晶シリコン基板やポリシリコン、そしてシリコン酸化物またはシリコン窒化物が使われる。フロントエンドプロセスで作製される受動素子は、シリコン基板の近くに形成されるため、高周波領域では特に性能が低下しやすい。そのため、低損失で、寄生成分が少なくかつ高品質な受動素子を、Si 基板から遠く離れた配線層内に形成する事がますます求められている。

配線層に受動素子を集積化するための主な課題は、全体としての配線性能と信頼性を犠牲にすることなく、モジュール化と、効率のいい低コスト化を実現することである。現在、オンチップインテグレーションにおいて、基本的に異なる二つのアプローチが検討されている。ひとつは、受動素子に必要な機能と特性を出来るだけ高い Q 値と最小の面積で達成するため、新材料を組み合わせた付加的な配線層を導入することである。通常、この方法は、プロセスが煩雑化し製造コストが高くなりやすいという欠点がある。代替案として、通常の配線層が有する特性、あるいは寄生成分による特性 (例えば配線層に存在する、キャパシタンス、インダクタンス、抵抗) を用いて、受動素子を設計する方法がある。この二つ目の手段は、ウェーハ製造の視点では最も負担が軽い要求であるが、一般には受動素子の Q 値が劣化しやすく、チップ面積が大きくなりやすい。他のアプローチとして、ウェーハレベルパッケージによるパッシベーション後の再配線層の使用、もしくはパッケージ内に直接受動素子を集積化する手法がある。革新的なシステムインパッケージ (SiP) モジュール、あるいは TSV (through-silicon-vias) を用いた 3D IC 積層技術が、非常に複雑で高価な SoC 製造プロセスに置き換わって、頻繁に使われるようになるであろう。最後に、十分なシステム性能、品質と信頼性を備えた受動部品の実現が可能となる、最適な方法の選択は、コストによって決まると考えられる。

### 2.4.2 キャパシタ

#### MIM キャパシタ

高品質な金属-絶縁膜-金属 (MIM: metal-insulator-metal) キャパシタは、CMOS、BiCMOS、そしてバイポーラチップで幅広く用いられている。典型的なアプリケーションには、フィルタやアナログ向けキャパシタ (例えば、A/D、D/A コンバータに使用)、RF 発信器に用いられる RF カップリングと RF バイパス向けキャパシタ、共振回路、およびマッチング回路がある。MIM キャパシタに求められる重要な特性は、広い電圧範囲にわたって高い線形性を持つこと (低い電圧依存性)、低い直列抵抗、優れたマッチング特性、小さな温度依存性、低いリーク電流、高いブレイクダウン電圧、十分な誘電体の信頼性を持つことである。

経済的な要求に応え、小さなチップ面積を実現するためには、MIM のより高い電荷蓄積密度が必要となる。2fF/μm<sup>2</sup> の容量密度を超えると、従来のシリコン酸化物またはシリコン窒化物の薄膜化では、リーク電流の増加と誘電体の信頼性低下により、もはや使用できなくなる。それゆえ、Al<sub>2</sub>O<sub>3</sub>、Ta<sub>2</sub>O<sub>5</sub>、HfO<sub>2</sub>、Nb<sub>2</sub>O<sub>5</sub>、TiTaO、BST、STO などの、新たな high-κ 材料、または異なる材料の積層膜が MIM の誘電体として評価されており、将来用いられるであろう。

常にそうであるように、新材料の導入は、成膜プロセス (例えば、最先端の PVD、CVD、ALD 法など)、プロセスインテグレーション、そして信頼性における、新たな挑戦につながる。卓越した膜厚均一性、低い欠陥密度と高い誘電率を持った高品質の薄膜は、配線形成プロセス全体と整合するよう、450℃ 以下

で成膜される必要がある。基板との寄生カップリングを減少させ、MIM キャパシタの高い  $Q$  値を実現するためには、上層の配線層に集積することが望ましい。

MIM の高い  $Q$  値の実現と信頼性の要求値の達成には、低抵抗のキャパシタ電極および完全に制御された電極/誘電体界面が必要である。MIM キャパシタ用の high- $k$  材料を用いた、実現性の高い集積化技術について、文献に報告されている(Appendix:受動素子の項を参照)。

### 配線間キャパシタ

MIMキャパシタの最も不利な点は、プロセスがより複雑になり(通常、露光プロセスが 2 回分増える)、結果としてウェーハ製造コスト高につながる点である。そのため、最小設計線幅の配線が原理的に有する配線容量や配線間の寄生容量を利用する代替手段が、特に 90nm世代以降の先端CMOS技術で、注目されている。クシ歯形状の配線とそれを上下につなぐ層間ビアからなるキャパシタが、数層積み重ねられ、プロセス工程を追加することなく、普通の配線プロセスフローで設計、製造が可能である。最小線幅を用いる配線の層数にも依存するが、容量密度  $2\text{--}4\text{ fF}/\mu\text{m}^2$ かそれ以上の値が実現可能である。今日、垂直平行平板(VPP: Vertical Parallel Plate)キャパシタ、垂直ナチュラルキャパシタ(VNCAP: Vertical Natural CAPacitors)、あるいはMetal-Over-Metal (MOM)キャパシタの 3D積層は、GHz帯で $Q$ 値 20 以上を有する、先端CMOSプラットフォーム技術として標準的な提供物である。配線幅と配線間隔のスケールリングに伴って、VPPあるいはMOMキャパシタの容量密度が増加するため、将来のテクノロジーノードで、本技術はより魅力的になる。唯一の未解決問題は、最小配線間隔の配線構造で用いるポーラス Low- $k$  誘電体が、キャパシタ構造でのリーク電流や信頼性の目標値をクリアできるかどうかである。

### 2.4.3 インダクタ

高品質のオンチップインダクタは、アナログ/ミックスドシグナルと高周波(RF)アプリケーションにおける重要な部品である。現在、それらは、特に、インピーダンスマッチング、RF フィルタ、RF トランシーバ、電圧制御による発信器(VCO)、パワーアンプそして低ノイズアンプ(LNA)の RF 回路に広く使われている。重要な特性は、高インダクタンス、高い自己共振周波数、低い抵抗損、低い渦電流、そして基板との低い容量損を保った状態で、高い  $Q$  値を実現することである。

現在のところ、最適な  $Q$  値を実現するためには、シリコン基板から十分離れたところに低抵抗のコイルを製造する必要がある。このため、上層の厚膜 Al 配線または Cu 配線によるスパイラルインダクタが、最も広く用いられている。これらの単純なスパイラルインダクタは、標準の配線プロセスを用いて比較的簡単に製造することができる。いくつかの標準 CMOS プラットフォーム技術では、特別に高い  $Q$  値のインダクタを実現するため、厚さが  $2\text{--}6\mu\text{m}$  の極太配線層がオプションとして提供されている。しかし、それらは将来にわたる RF の要求を全て満足するために十分とは言い切れないだろう。それゆえ、いくつかのより先進的な構成や方法が追及されている。

複数の配線層によるシャントコイル、金属かあるいは磁性体金属のグランドプレーンの使用、エアギャップ中に支持されたスパイラルインダクタ、厚膜の再配線層によるコイル(金属層の厚さが数  $\mu\text{m}$ )が形成できるパッシベーション後の付加的なモジュール、あるいは強磁性コア入り(無し)のソレノイドインダクタなどが、首尾よく実証されている。基板による損失を減少させる他の方法は、高抵抗シリコン基板、SOI 基板もしくは、イオン照射かプロトン照射で部分的に半絶縁性にしたシリコン基板を使用することである。

しかしながら、集積化とプロセス複雑化の問題や、デバイスや製品の要求に適さないなどの理由により、これらの新規製造方法のうち量産に適さないものもある。これらの異なるインダクタの概念は、一方で低い製造コスト、他方で実現可能な最高性能(すなわち、高い周波数での最高のインダクタンス、コイルの抵抗損の低減による  $Q$  値の改善、基板の寄生成分の低減)を実現するための絶え間ない努力の現れといえる。

### 2.4.4 抵抗体

精度の高い薄膜抵抗は、アナログ回路とミックスドシグナル回路や一部の SOC 製品に使われている。重要な特性は、正確な抵抗制御性、優れたマッチング特性、電圧に対する高い線形性、低い温度係数、低い  $1/f$  ノイズ、そして高い  $Q$  値を実現するために寄生素子の影響が小さいことである。現在、最も広く用いられているフロントエンドプロセスで作製された、シリコン基板による抵抗、ポリシリコン抵抗、そしてシリサイド抵抗は、主に、 $1/f$  ノイズと基板損が問題になりやすい。

配線層における薄膜抵抗は、 $1/f$  ノイズ性能と他の基板損を著しく改善することができる。配線層に形成する抵抗の主な課題は、調整可能な適当な大きさのシート抵抗を持った材料を見つけることである。さらに、その材料は、通常の配線材料とのプロセス親和性が高く、集積化しやすく、優れた膜厚制御性と、モジュールに集積化する際の絶縁膜との高いエッチング選択比をもつことが求められる。特に Cu 配線においては、TaN が有望な候補材料として見出されているが、他の材料に近い将来に採用される可能性もある。

アプリケーション、要求項目、それぞれの受動素子(キャパシタ、インダクタ、そして抵抗)のプロセスと集積化の課題に関する詳細は、最近の参考資料一覧をつけ、受動素子の Appendix に示す。

## 2.5 MORE MOORE と MORE THAN MOORE

配線の立場から見た More Moore は、これまでの微細化スケーリングの継承に他ならない。この配線スケーリングには、新しい材料、プロセス、製造装置や、最も重要なことである設計手法の導入が含まれている。レイアウトと設計は、ローカル配線を短縮して More Moore を押し進めるため、これまで以上に重要となる。その傾向は、現状の RC 遅延の制約を乗り越えるため、ULK 材料や Cu 代替材料といった材料のブレークスルーが実現するまで続くであろう。

More than Moore は、まだ進化し続けているようである。それは CMOS と他の様々なアナログ応用、例えば RF、バイオチップセンサ、アクチュエータ、パワー、画像等を、より近くに集積させることを求めている。配線の立場から見れば、これらのシステムは TSV を用いたチップ積層あるいは光配線による、従来の CMOS との組み合わせになるであろう。詳細は More than Moore 白書に記載されている。

## 3 信頼性および性能

### 3.1 信頼性

#### 3.1.1 序論

配線材料と構造の急速な変化が起こっており、その結果、顕著な新しい信頼性課題が生じている。故障は、ますます増える配線密度、配線層数、消費電力によってさらに悪化させられている。

配線システムは、典型的には絶縁材料と導体が多層に配置されたもので構成され、パッケージされる。Cu 配線の場合、金属および絶縁性の拡散バリアが、絶縁体への Cu 拡散を防止するために用いられる。それらひとつひとつの構成要素が、配線システムの信頼性の重要な役割を持つ。今日、Cu/low- $\kappa$  配線を適用する場合には、金属、絶縁膜ともに信頼性の強い影響を受ける。

金属の信頼性は、一般的にエレクトロマイグレーション(EM)とストレス誘起ボイド(SIV)によって評価される。一方、絶縁膜の信頼性はリーク電流や時間に依存する絶縁破壊(TDDDB)、三角電圧掃引測定(TVS)で評価される。電流密度の増加に対応するために、多くのバリアメタル、Cu 合金、キャップ層などの方法が近年提案されている。EM 現象の理論的な式は良くわかっているが、これらの方法に関してさまざまな組み合わせの可能性があるため、アクティブな故障メカニズムを特定するには、慎重な試験が重要である。

配線間隔の縮小に伴い、先端のロジックやメモリのいずれにおいても、配線絶縁膜の信頼性がますます重要な課題になってきている。

専門家の間で、絶縁信頼性の重要性に関する懸念が広がる一方で、寿命予測や評価の方針について合意が得られていない。必要な Low- $\kappa$  絶縁膜信頼性のマージン確保が益々困難になっていることは共通認識となっており、[1-3] BEOL 絶縁信頼性の重要性は寸法と材料のスケーリングとともに増している。BEOL 絶縁信頼性のモデル、統計、支配的制御要因に関する基礎理解と合意の欠如は、これらに対する集中的な努力を必要としている。

故障モードの特定と正確な予測モデルの確立が緊急課題である。これらのモデルは、回路やシステム全体の信頼性限界の予測に使うことができる。いくつかの場合には、システムや回路パラメータの劣化をモニターすることで(金属や絶縁体の劣化による)回路の一部の負荷を軽減することによってシステム全体の信頼性の限界を延長することが可能になるかもしれない。最後に、IC システム全体の信頼性の観点から、チップ・パッケージ・インタラクションも無視できない。

### 3.1.2 配線金属の信頼性

#### エレクトロマイグレーション

エレクトロマイグレーション故障は、一般的に、配線に流せる最大電流密度( $J_{EM}$ )を与えるブラックの式で表される[4]。今日のICで最も一般的な金属はアルミニウム(Al)とCuである。Cu配線は、配線遅延を低減するためにダマシン配線として 1997 年に導入されたが、Al配線も特定の応用や多層配線の数層として残った。エレクトロマイグレーションによる電流制限が、現在も通常のEM物理則を使ってAl配線で検討されている。

#### エレクトロマイグレーションのスケーリングモデル

電流ストレス下の配線では、Cu原子のドリフト速度は、金属中に存在する原子の拡散パスを考慮した実効的な拡散係数によって決まる[5]。EMの活性化エネルギーの実験値(0.9eV)は、最も一般的なインテグレーション方法において世代によらず一定であることが示され、受け入れられている。すなわち、PVDによるTa<sub>2</sub>N<sub>5</sub>/Ta<sub>2</sub>O<sub>5</sub>バリア、Si(C)N絶縁キャップ層を用いたキャップを用いたデュアルダマシンCu配線の場合である。従って、与えられた配線構造においては配線サイズによらず、EMボイドの成長速度は一定と考えるのが自然である。非常に狭い配線幅では、 $E_a=0.85\text{eV}$ につながる粒界拡散のリスクがあるとの報告がある[6]。

配線寿命( $\tau$ )とは、配線が電氣的にオープンになる最小サイズにボイドが達するまでの時間である。ボイドが1個のビアを含む配線(Figure INTC6)の陰極端にあると仮定すると、 $\tau$ が $w \cdot h / j$ とともにスケーリングすることが示されている[7]。ここで $w$ は配線幅(あるいはビアの直径)、 $h$ は配線膜厚、 $j$ はEMによるCu拡散に効く電流密度である。

最小設計配線幅について新しい世代毎に寿命が半分に減少する(Figure INTC7)一方で、配線はつねに小さなプロセス変動に敏感である。例えばビア高さの10%の増加や配線幅の減少がバイモダル寿命分布や初期故障を引き起こし、電流密度の変化以上にEM寿命が著しく減少する可能性がある。これは、Cu拡散の促進リスクを引き起こすバリアやCuシードのカバレッジ不足のせいとされている。これはビア/溝の遷移領域で発生する可能性があり、上向き電流方向の配線寿命に致命的である。カバレッジ不足は溝形状に従って配線側面においても生じる可能性があり、下向き電流方向の配線寿命において致命的である。

$J_{EM}$ は目標寿命を満たすことのできる最大電流密度で $w \cdot h$ 積とともに減少する。 $J_{max}$ は、高性能デジタル回路で要求される電流相当の最大直流電流を、インターミディエート配線層の配線断面積で割ったもので、Figure INTC8に示すモデルによって計算される。 $J_{max}$ と配線形状のスケーリングで制限される $J_{EM}$ の変化を比較したものがFigure INTC9に示されている。 $J_{max}$ はスケーリングに従って、配線断面積の

## 18 配線

減少と最大動作周波数の増加によって増加する。 $J_{\max}$  は通常のCu配線の  $J_{EM}$  限界を超えると予測される。

### $J_{EM}$ の限界を克服するためのプロセス選択枝

プロセス選択枝としてCuのドリフト速度を減少させる方策が必要であろう[8]。最近の研究によって、Cuのドリフト速度を低減あるいは $E_a$  を  $E_a \sim 1.5\text{eV}$ まで大幅に増大させる少なくとも三つの主要な方法が示されている。

1. SiCN 堆積前の Cu 表面処理技術、または CuSiN キャップと呼ばれる方法
2. CoWP や CVD-Co などの Co 合金系のメタルキャップで Si(C)N キャップを置き換える
3. 合金シードあるいは、バリアと純 Cu シードの間に CVD ライナー層を挿入することで、Ti, Al, Mn, Ge, Co, ...を Cu シード層にドーピングする

これらのプロセス選択枝においては、ドーパントは溝側壁から移動して溝表面に析出しなければならないので、細かな処理技術を用いることで Cu ドリフトの低減が得られる。上の界面強化が Cu の界面拡散を減らす方法である。ドーパントが粒界に析出する場合には、他の可能なメカニズムとして、粒界拡散の防止が同時に得られる。

Cu 合金プロセスなどにおいては、配線抵抗の上昇に注意が必要である。（寿命改善と配線抵抗率の上昇の比較を示した Figure INTC10 を参照）

### $J_{EM}$ 緩和のための配線幅の効果

粒界拡散もまた今日のノードにおいて Cu エレクトロマイグレーションのアクティブなパスのひとつの可能性があるので、寿命において微細構造がアクティブな役割を演じる[25]。現実の配線技術において、最小線幅では、とても微細な粒径や多結晶の微細構造になっている[26]。配線幅の増加は平均粒径を増やし、ボイドの成長速度を制限するという良い影響がある。最近の研究によると、[27]おおよそ 2 倍に配線幅を増やすと寿命が非常に増加する。これは最大電流容量の余裕度を、配線幅の関数として与える。

### $J_{EM}$ 緩和のための配線長（あるいはブレッヒ長）の効果

エレクトロマイグレーションの初期の研究によって、短い配線長（ブレッヒ長  $L_B$ とも呼ばれている）では不動態化し、故障しないことが示されている[9]。臨界の  $J_C \cdot L_B$  積以下の電流や長さでは、不動態状態に達する。このクリティカルプロダクト（臨界積）は、配線構造中の機械的な金属閉じ込めの結果である。実験的な研究では、この  $J_C \cdot L_B$  基準による不動態条件の範囲が 1500 から 5000 A/cmの間と幾分広いことが示されている。

さらに最近、その他の不動態基準が実際の配線でのエレクトロマイグレーションのモデル化で考慮されることが示されてきた[10]。この提案は、ブレッヒがはじめに提案したバックフローの結果、ボイドの核形成後、サイズが飽和するという観察結果に基づいている[11]。回路がオープンにならないで安定なボイドサイズになるには電流( $J$ )と長さ( $L$ )の条件が存在する[28]。この新しい基準は  $J \cdot L^2$  の関数である。

### TSV アプローチの配線におけるエレクトロマイグレーション

TSV につながっている Cu 配線について、エレクトロマイグレーションの物理は、ボイドの核発生と Cu の拡散に関してまだ同じである。例えば 1-10 $\mu\text{m}$  径でどんなアスペクト比の TSV でも、ボイドは、少なくとも TSV 径と平面寸法が等しい最近接の再配線(RDL)中の、TSV 直下の陰極側で核発生する。そして実験的に活性化エネルギーとして 0.9eV が報告されている[29]。通常の配線と同様の評価法が、TSV 付きの配線の最大電流容量を決めるのに応用できる。

### SAC バンプあるいは Cu ピラーのエレクトロマイグレーション

はんだバンプや Cu ピラーフリップチップパッケージでは、明確に異なるエレクトロマイグレーション挙動が予想される。金属間化合物 (IMC) がプロセス中の熱アニールやエレクトロマイグレーション中の電流ストレスによって形成される[30]。二つの主要なケースに分類できる。

- EM ボイドが IMC とはんだ (SuAg) の界面に生じる可能性。エレクトロマイグレーションのパラメータが Black の式にフィッティングすることで得られ、活性化エネルギーは 0.9eV、電流密度係数は 1.5 から 3.5 の間[31, 32]。
- 反対に、はんだが完全に IMC に変化した場合 (つまり Cu ピラー構造と)、パッケージ材料と互換性のあるそここの電流や温度ストレス条件下では、もはやエレクトロマイグレーション劣化は予想されない。

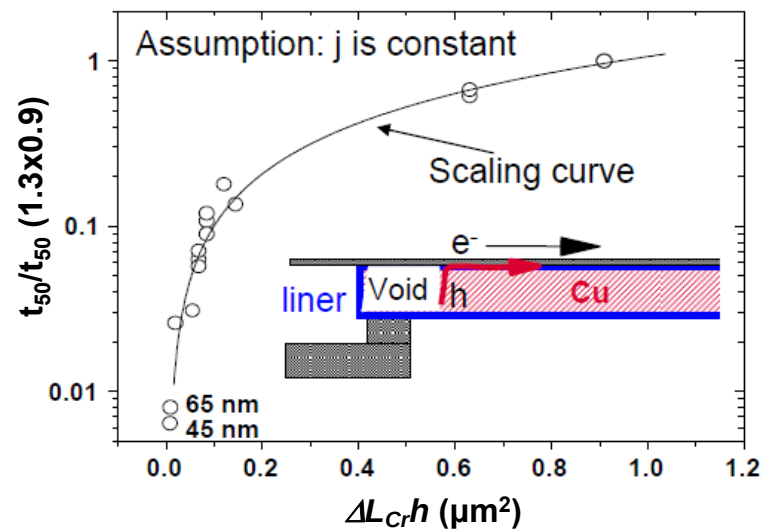


Figure INTC6 Experiment and model of lifetime scaling versus interconnect geometry (reprinted from Ref 7)

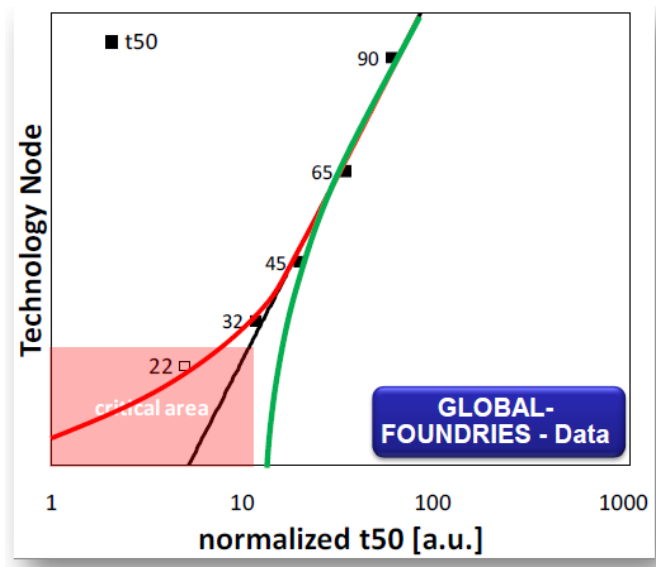


Figure INTC7 Evolution of lifetime versus technology node. Black line shows the effect of reduced critical void volume : Green line shows the EM enhancement urgently needed (Courtesies of A. Aubel/ Globalfoundries)

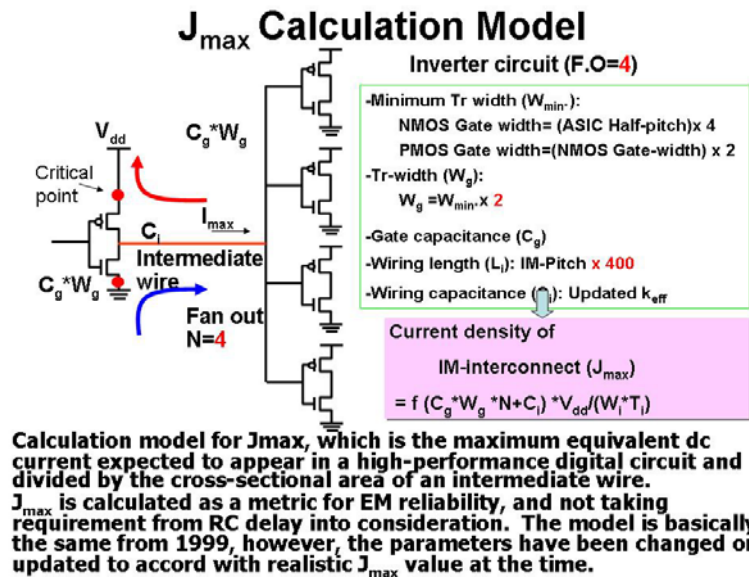


Figure INTC8 Calculation Model for J<sub>max</sub>

(The maximum equivalent dc current expected to appear in a high-performance digital circuit divided by the cross-sectional area of an intermediate wire.)

**Evolution of J<sub>max</sub> (from device requirement) and J<sub>EM</sub> (from targeted lifetime).**  
 J<sub>max</sub> will increase with frequency and reducing cross-section, while J<sub>EM</sub> will scale with the product  $w \cdot h$  according to EM lifetime dependence on wiring width.

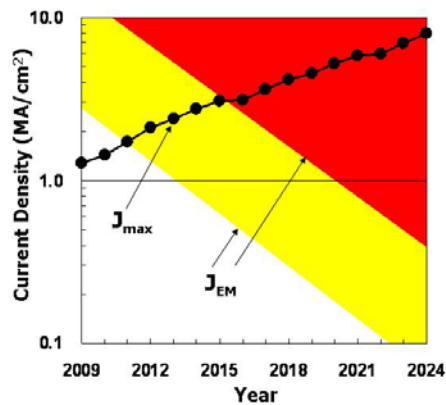
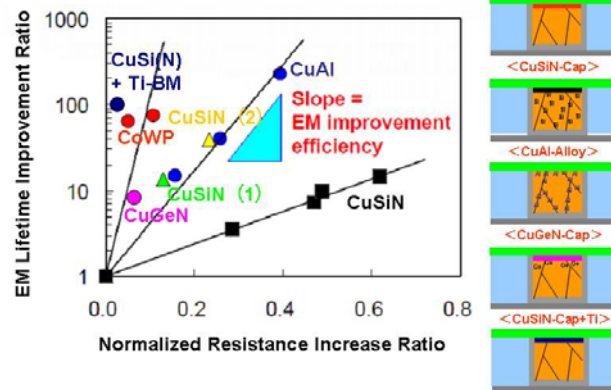


Figure INTC9 Evolution of J<sub>max</sub> (from device requirement) and J<sub>EM</sub> (from targeted lifetime)

(J<sub>max</sub> will increase with frequency and reducing cross-section, while J<sub>EM</sub> will scale with the product  $w \cdot h$  according to EM lifetime dependence on wiring width.)

## Metal Capping

### Various lifetime improvement approaches against the resistivity increase



H. Shibata added published data based on Yokogawa et. al. IEEE Trans on ED.2008

Figure INTC10 Comparison of the Lifetime Improvement versus the Resistivity Increase for Different EM Resistance Booster Technologies[24]<sup>6</sup>

### ストレスマイグレーション

ストレス誘起ボイド (SIV) は、異なる配線層につながったビアの中やその周辺で応力勾配によって空孔が移動する結果生じる。文献によれば、SIV はビア中とビア下の両方で生じうる。ビア下でボイドが生じる際には、主な空孔拡散パスは Cu のキャップ界面(それと粒界の可能性)で、ビア下の配線層に空孔のリザーバ(供給源)がなければならない[12]。ビア中でボイドが生じる際には、主な拡散パスは Cu とバリアの界面で、ビア中に空孔のリザーバが必要である。文献によれば、ビア中のボイドは最適化されていないビアプロセスによる[13, 14]。この故障モードを防止する方法として、大きな金属リザーバの禁止、配線幅、ビア径とともに、適切なビア配線間の配置設計がある。

### 3.1.3 絶縁信頼性

#### 時間に依存する絶縁破壊

時間に依存する絶縁破壊 (TDDB) は BEOL 絶縁信頼性を評価する試験方法として急速に受け入れられてきた。すでに多くの要因やメカニズムが特定されてきてはいるが、物理的な理解はまだ完全ではない。CMP 界面の TDDB への影響が早い時期に認識され、詳細に解析された[1]。その結果、CMP 後の CMP 表面に残った Cu 酸化物を還元するプラズマ処理が最適化された。

最近、部分的にパターン形成したダマシン基板を用いて、Cu の残留量と絶縁信頼性の定量的関係が解明された[15]。Cu による劣化が観察されるためには、少なくとも  $10^{12}$  atoms/cm<sup>2</sup> の残留 Cu 原子が必要であることがわかった。これらの研究において、電界ストレス中の Cu のマイグレーション自体は直接的には劣化に関係せず、単に信頼性試験前の少量の残留 Cu に関係していた。他の研究では、Cu のドリフトと動作中の絶縁信頼性の関連が提案されている [3]。

もうひとつの良く知られているダマシン Low- $\kappa$  インテグレーションの課題は、加工工程での配線間絶縁膜の劣化に関係する。CDO, OSG (あるいは SiCO:H) 絶縁膜が、加工のためのプラズマに晒されると、望ましくない変性、例えば炭素欠乏やシラノールグループの浸透が生じうる。このような問題は認識され、対策がとられているが、これらの相互作用やダマシン製造工程との相関など、さらに検討を要する。このような段階では、故障は一般的に絶縁膜本来の材料特性というよりはインテグレーション方法に起因する。

<sup>6</sup> (Modified from the figure by S. Yokogawa et al., IEEE Trans. Electron Devices, Vol. 55 (2008) pp.350-357.)

## 22 配線

動的条件下での TDDDB 研究が重要であるが、あまり評価されていない。ひとつには、極性を変化させた場合 (AC 対 DC [16]) に欠陥の緩和減少が生じ、寿命が長くなる。一方、典型的な配線構造の金属-絶縁体-金属タイプでは、ストレス中にできた欠陥は修復されず、それによる寿命改善は小さいと予想されている。TDDDB と他の現象、例えば EM、SIV、密着応力などとの相互作用については、まだ適切な対策がなされていない。

エアギャップインテグレーションでは、物理現象が変わる。エアギャップでは、界面のみが影響すると考えられることから、信頼性マージンが、界面の質によって、配線間絶縁膜がある場合より改善するか劣化するか、どちらの可能性もある。例えば、あるエアギャップ形成法では、クリティカルな CMP 界面の影響を取り除ける。

TDDDB の他に、TVS や種々の V-ランプ法で電氣的な活性種を検出できる。一般的に、ストレス条件は、より実使用に近いことが望ましい。最後に、真性の信頼性基準や限界を解明し確立することが大変重要になってくる。

### 絶縁信頼性への LER とビアのミスアライメントの影響

配線間の電界は局所的に LER やミスアライメント・ビア (MV) によって大きくなる。LER はトランジスタゲートや配線のリソグラフィとエッチングに起因する。それは加工したポリシリコンや金属配線の不規則な側面形状からなり、ナノメートルサイズの突起やノッチを特徴とする。配線における MV はパターン工程でのアライメント精度限界による。いずれの場合も、電界の増加が二つの明確な効果によって引き起こされる。すなわち局所的な配線間隔の減少と、LER 突起や MV におけるステップでの電荷密度の増加である。それらの相対的な重要性は技術ノードが進むほど、より顕著になる。

配線において同時に存在する LER と MV、その結果生じる電界の増加は、幅の狭い配線においては無視できない。ビアつきの短い配線 ( $\sim 10\mu\text{m}$ ) では、LER の影響は確率的になる、すなわち短い配線ほど MV の影響が大きくなる。一方、長い配線 ( $> 10\mu\text{m}$ ) では MV と LER の両方が電界の増加に寄与する。異なるスケーリングシナリオにおいて、二つの電界増加要因の相対的な寄与に応じてどちらかが支配的になる[17]。

### 3.1.4 信頼性評価、モデル化とシミュレーション

TDDDB 加速モデルは、動作条件での絶縁信頼性マージンを記述し予測する上で基本である。典型的な試験は、高電界で実施し、それらのデータが動作条件での寿命予測に用いられる。この場合、データから数桁を超える外挿を伴うことが多い。予測方法のコンセンサスが得られていないため、ここが明らかに進展の必要とされている分野である。しかし、重要な報告 [3, 18] が示すように低電界への外挿は少なくともルート E に依存することが述べられている。このような方程式は、Cu のドリフトに関連した現象と電子の伝導機構から導かれた。すべての加速モデルは、明らかに電界に依存する。また配線における局所的な電界増加につながるいくつかの要因が存在する。本質的には、Low- $\kappa$  材料における空孔 (ポア) の導入が重要 (ポアがあることによる電界増加) であり、材料によらずスケーリングしない LER も重要である。

LER によって引き起こされる電界増加は、先端の配線アーキテクチャにおいても明確な影響をもつ。長い配線において、寸法縮小とともに LER が増加し、その結果 LER がない場合の予測寿命より低下する。正確な TDDDB 予測モデルでは、この効果を考慮しなければならない[17, 19, 20]。同時にモデルは、これらの効果を勘定すべきである。さらに、考慮すべき外的なレイアウトや配線形状に関係した電界増加要因も存在する。なぜなら電界増加の場所が最重要と考えられるからである。特に、レイアウトのトポロジー (規則的か不規則か) と対応するアプリケーション (メモリかロジックか) によって、モデル化すべき特徴的な形状 (配線の角部、配線の曲部、スロープ形状の配線、ミスアラインしたビア、局所的に非対称な断面) の存在が決まる。典型的なダマシン配線の TDDDB 試験構造は、曲線-櫛歯、櫛歯-櫛歯、平行配線もしくはビアチェーンである。実製品と関連付けるためには、レイアウト効果とともに配線長依存性も評価する必要がある。モデルがわかれば、それらはシステムレベルでの振る舞いを予測するツールとリンクできる。その観点から、徐々に劣化する現象が特に興味深い。なぜなら今日のツールでは取り込めていない

が、システムレベルで対策できる配線スピードが徐々に低下する現象を引き起こすからである。今日まで、最も一般的な絶縁故障はハードな破壊か急激な故障である。それにも関わらず、ソフトな破壊や徐々の疲労がわずかながら報告されており、注意を払う必要がある[21]。

電流レベルを予測するために、絶縁材料中の電子やイオン伝導を理解する必要がある。近年、フォトエミッションを用いてLow- $\kappa$ 材料の欠陥特性が研究された[22, 23]。光照射後の過渡電流測定より欠陥密度が求められ、おおよそ  $6 \times 10^{16}$  traps/cm<sup>3</sup> という値が得られた。これは典型的なシリコン酸化膜の数桁高い値である。Low- $\kappa$ 絶縁膜は明らかに酸化膜に比較して“本質的に欠陥が多い”。しかし、欠陥と伝導の関係や、一般的に電氣的に活性な欠陥の特定はいまだになされていない。

### 3.1.5 将来の課題と方向性

- 共通に理解され、認知された物理機構に基づいた絶縁信頼性の温度、電圧加速の記述
- 方法の標準化（試験条件、構造、他）
- 配線の専門家に共通に認知された絶縁信頼性の性能指標
- 信頼性に関する理解のアップデートとそれに伴うロードマップでの仕様提示。なぜなら材料やインテグレーション方法の変化が激しいため。二つの例としては ULK とエアギャップ
- 絶縁膜の電気伝導に関わる電氣的に活性な欠陥の特定
- 異なる信頼性現象の相互作用（すなわち金属/絶縁膜相互作用）
- 前述の性能指標に含めるために、共存する信頼性要因の配線寿命への積算した影響の検討
- 信頼性の観点からチップ・パッケージ・インタラクションの研究と解析
- システムレベルでの絶縁信頼性の評価と予測
- 鉛フリーおよび環境にやさしい材料に伴う信頼性

最先端の信頼性モデルを適用し、実際の IC で動作しているアプリケーションから導出したストレス条件を用いることで、システムレベルの時間に依存した配線信頼性解析の仕組みを作ることができる。エレクトロマイグレーションと TDDDB による抵抗劣化と遅延劣化のシステム性能への影響を見積もることが可能である。このようなツールを用いて、設計者はいつ信頼性劣化機構がタイミングのずれを発生させ始め、システムの不調につながるかを予測できる[21]。

このアプローチの限界は、故障モードの正確なモデルを必要とするが、すべての信頼性課題に可能なわけではない。システムレベルでは、実際の IC における信頼性劣化をモニターし、その劣化が生じている回路部分の動作を減らすことで劣化を抑制することが理論的には可能である。このアプローチは、劣化のダイナミクスが遅い場合に可能であり、故障モードの正確なモデルに依存しない。このアプローチにおいては、回路レベルでモニターし、回路のアクティビティを減らして対処するために、ゆっくりした破壊モードが適している。材料本来の信頼性が、Low- $\kappa$  や ULK 材料の初期スクリーニングにおいて Low- $\kappa$  や ULK 材料に限界を与える。Low- $\kappa$  材料の本来の信頼性を正確に評価することによって、外的な（実際の配線構造にインテグレーションした時に）故障する弱い候補を除くことができる。

当然、材料本来の信頼性試験をパスした材料も外的な信頼性試験を同様にパスしなければならない。一般的に、複数の代替配線アプローチとして、パッケージを介した配線、3D IC、光などが次の 5 年以内に使われることが期待される。カーボンナノチューブのアプローチはまだもう少し将来と思われる。これらのアプローチに対してすべてのインテグレーション方法を知することは時期が早過ぎるし、また、信頼性評価を完全に行うには早過ぎるが、研究者の間で鍵となる考察のひとつとして、信頼性要求を、代替配線プロセスや設計の選択において使うことが極めて重要である。

## 3.2 配線性能

### 3.2.1 序論

近い将来の配線技術（Cu 配線と Low- $\kappa$  絶縁膜）が次世代技術の IC の性能要求に合致し続けるための適切性は、配線ネットにおいて意図した機能と、Cu 配線の製造に用いた技術によって変わる。要求が厳

## 24 配線

しくなるほど、IC の全ての技術ニーズを満足するためにパッケージやシリコンチップを含むシステムの一部として配線を考えることがますます必要になる。

幅の狭い配線における電子散乱による抵抗率上昇[1]は配線抵抗に大きく影響し、一部の抵抗上昇をバランスするため ITRS テーブルにおける配線アスペクト比の上昇に繋がり、その結果、配線間容量の若干の上昇を引き起こす。その配線間容量は配線容量の主要部分となっている[2]。この問題は、Low- $\kappa$  材料の導入に伴う課題によって今日さらに悪化させられる。それらは、a) ポーラス絶縁膜の  $\kappa$  値がプロセス中のダメージによる劣化で本来の値より増加する問題、さらに寸法縮小で加速される問題 (Cu/low- $\kappa$  トレンチの側壁ダメージ)[3]、b) 集積された Low- $\kappa$  材料構造において、他よりも  $\kappa$  値の高い絶縁材料、すなわち、密着層、エッチストップ、ハードマスク、絶縁バリアなどによって、Low- $\kappa$  材料の寄与がますます減少する問題[4]である。

このような課題、特に a) が回路性能を制限するかは、回路アーキテクチャ、配線ネットワーク特性、将来の技術ノードにおける性能課題に対応するため設計とプロセスの強い協力にかかっている。

### 3.2.2 信号伝送

高性能製品に影響する最も重要な現象は配線遅延である。一般的に、配線性能は RF 積あるいは RC 遅延に関係する。実際に、臨界配線長(それ以下では C が支配的であり、それ以上では R と C の両方に依存する)は世代ごとに急激に短くなっている(2000 年では数百ミクロンから 2010 年では数十ミクロンへ)[5]。しかし、ローカルおよびインターミディエート(中間)配線層での配線長スケールダウンは過去に RC 遅延をほぼ一定に保ってきた。一方、セミグローバルとグローバル配線は実際に性能ボトルネックとなっている。なぜなら、それらの標準的な配線長は縮小せず、RC 増加問題を悪化させるからである[6]。この場合、RC 遅延が許容範囲を保つようにリピータを配線に挿入する必要がある[7]。このアプローチは余計なチップ面積と消費電力を必要とする。

デジタルおよびアナログ回路の両方において、寸法縮小と電流増加によるクロストークと雑音が大きな問題となっている[8]。これらのトレンドは、設計戦略に強く依存する機能であり、それらの中で検討されるべきである。クロストークはまた遅延の不確実性を生み、システム性能の予測困難度を増加させる。ローカル配線の構造スケールアップを達成するための EUV に代わる最新式のパターニング技術は RC とクロストークの問題をさらに深刻にするかもしれない。Litho-Etch Litho-Etch (LELE) といったダブルパターニング技術は、配線端のラフネス以外の新しいローカルばらつき問題をもたらしかねない。事実、奇数と偶数の LELE 配線は、第一の配線に対する第二の配線の配置におけるオーバーレイエラーのため、a) 二つの分かれたパターニングステップ間の CD ばらつきにより異なる配線断面構造を有する恐れや、b) それらの側面の間隔が等しくない恐れがある。問題 a) は隣接配線で異なる RC 遅延を引き起こし、問題 b) は同じ配線の 2 端において異なるクロストーク結合を引き起こす。大量の信号伝送(バス)とメモリアレイのための平行配線をベースとした IC アプリケーションは、それらの配線アンバランス問題に本質的に非常に敏感である。

### 3.2.3 消費電力

デジタル IC 配線における消費電力はダイナミックであり  $\sim \alpha C_{int} V^2 f$  のように容量に依存する。ここで  $f$  はデジタル信号の周波数、 $\alpha$  は配線の活性化率、 $V$  は二つのデジタルレベル間の電圧振幅、 $C_{int}$  はある配線長の全配線容量である[9]。動的電力は、直接的に配線容量の影響を受け、 $V$  を減らすことで最も効率的に最小化できる。配線電力は、最も高密度な階層レベル、ローカルやインターミディエート層で容量性結合の影響を強く受け、したがって低電力のアプリケーションにとって影響の大きい課題である。

クロックと信号伝送のための微細配線の問題に加えて、回路の電源分配は配線にとって同様に困難な課題である。供給電圧  $V$  の低下に関連する供給電流の増加は、一定の長さの配線を介した電源とバイアス点間の電圧降下の増加を引き起こす。この問題は導体断面積の減少と Cu の抵抗率上昇による抵抗増加によって極めて重要になっている。この課題は一定の配線長のクロックや信号線に対するリピータ挿入のように簡単には解決することができない。

### 3.2.4 システムレベル性能

IC性能評価には、正確な技術モデリングとシステムレベルの考慮を伴った専用のモデル化とシミュレーションツールが必要である。技術モデリングは、本章の信号伝送の節で述べたダブルパターンニング問題によって生じるローカル配線の付加的ばらつき問題を包含すべきである。回路速度や電力に対するそれらの影響のインパクトは、ローカル配線がほとんど用いられるセルライブラリ特性評価を発端として評価されるべきである。システムレベルでは、クリティカルパスがICシステムの性能に影響を与える。これらのパスは、発振回路、配線、受信回路、入出力抵抗や容量など固有の電気特性を持った部品からなる全体のリンクを考慮して、注意深くシミュレーションされなければならない。配線のRC遅延だけでは正確にクリティカルパスの性能評価をするには不十分であり、特に電流のリターンパスやそれらの寄生インダクタンスへの影響を考慮する必要がある [10]。信号伝送において高周波成分や歪制約の点で厳しい要求がある場合、高周波の振る舞いを十分に考慮されるべきであろう。

システム設計レベルでの代替策は、固定配線長の必要性を減らすモジュールのアーキテクチャに基づく。この方向性での一つの最近のアプローチは、最先端のマイクロプロセッサにおけるデュアルあるいはマルチコアアーキテクチャである。マルチコアにおける並列データ処理が、シングルコアの高性能プロセッサと比較して、同等あるいはそれ以上の性能を低いコア周波数と消費電力で可能とする。マルチコア戦略は配線長、そして $C_{int}$ 、周波数 $f$ の低減を可能にする。あるタスクを実行する時にマルチコアの並列性を利用することで、周波数と電圧が低くても実行可能となり、それが低消費電力に通じる。マルチコアアーキテクチャの開発は、チップ上のチップレベルネットワークを通じたコア間通信をサポートするため、バンド幅の広い(すなわち $C$ の低い)新しい種類の配線ニーズを強調させる。しかし、このような回路アーキテクチャの大きな変更は、新しい設計ツールやソフトウェアを必要とし、一般的に全ての設計に使えるわけではないというデメリットがある。革命的な解決策としては、光配線のような異なる配線コンセプトがある。

Table INTc9      Surface Preparation Interconnect Technology Requirements

## 4 プロセスモジュール

### 4.1 絶縁膜解決策候補

デュアルダマシンは、Cu配線構造を形成する上で広く使われているプロセスである。特に、デュアルダマシンは、シングルダマシンに比べ、少しのメタル成膜と平坦化工程を追加するだけであるが、1997年から使われてきた。導電体材料にCuを使うことへの徹底的な検討と開発が進められ、従来の酸化膜に比べ、より低い誘電率( $\kappa$ )の絶縁膜と組合せることで、配線容量の低減が実現されてきている。アドバンスドLow- $\kappa$ 材料の導入のペースは、量産コストと信頼性の問題で、初期のITRSの予測よりスローダウンしている。

Low- $\kappa$ 材料は主に配線内/配線間絶縁膜(ILD)用途を目的にしていたが、典型的に高い $\kappa$ 値を持つ他の絶縁膜の実効誘電率への影響が増大してきている。実効誘電率は、バルク $\kappa$ 値の減少に比例して下がるわけではない。さらに相対的に誘電率の高い膜層の薄化は、すでに可能な限り薄くなっているもので、ILDよりますます厳しくなっていく傾向にある。付録(Appendix)にあるFigure A1とA2は、配線構造の断面と対応する実効誘電率を示している。伝統的に、誘電率の最も高い層は、Cuの拡散バリアである。ILDの上層で、ポーラスLow- $\kappa$ 膜をCMPやプラズマ成膜時のダメージから保護するのは誘電率の高い膜であったが、エアギャップの導入でこれらは犠牲層になる。膜厚と拡散バリア膜のバルク $\kappa$ 値の低減がRC遅延の抑制には重要になる。これに加えて、容量低減には、信頼性向上も含めて、拡散防止膜の前処理が検討されている。配線/ビアホール サイズ/スペースが微細化し、エレクトロマイグレーション(EM)やTDDが劣化している。拡散防止膜界面は、密着性向上と欠陥低減、ダメージ抑制などが必要とされる。

ILD の  $\kappa$  値の低減が量産の課題からスローダウンしている。Low- $\kappa$  材料の機械的強度、密着性が弱く、それらの使用の障害となっている。CMP 時の膜剥がれとダメージは初期には大きな課題であったが、量産に入ると、実装工程で与えられるストレスに耐えるために必要な硬度と密着性を実現しなければならない。ポーラス ULK ( $\kappa \leq 2$ ) 膜のインテグレーションに関連した課題が明確になり、エアギャップ技術は、前回の ITRS での予測より早くに導入される見込みである。

プロセスデザインキットの開発コストの増大がゆえに、いったんプロセス技術を構築すると、相対的にマイナーな変更のみがその改善中で行われる。将来的には、新たな世代に移行するときに、新たな材料が導入される。MPU, Flash, DRAM における ILD のバルク  $\kappa$  値や実効誘電率のロードマップを Table INTC2-Table INTC4 に示した。2007 年版からの Low- $\kappa$  のスローダウンは、2008 年アップデート版に部分的に反映された。本年版では、この傾向は、Low- $\kappa$  開発の遅れにより、実際の新たな技術導入のペースに比べ、バルク Low- $\kappa$  材料の候補をを狭めつつ 1 年後ろ倒しを反映している (Figure INTC11 参照)。

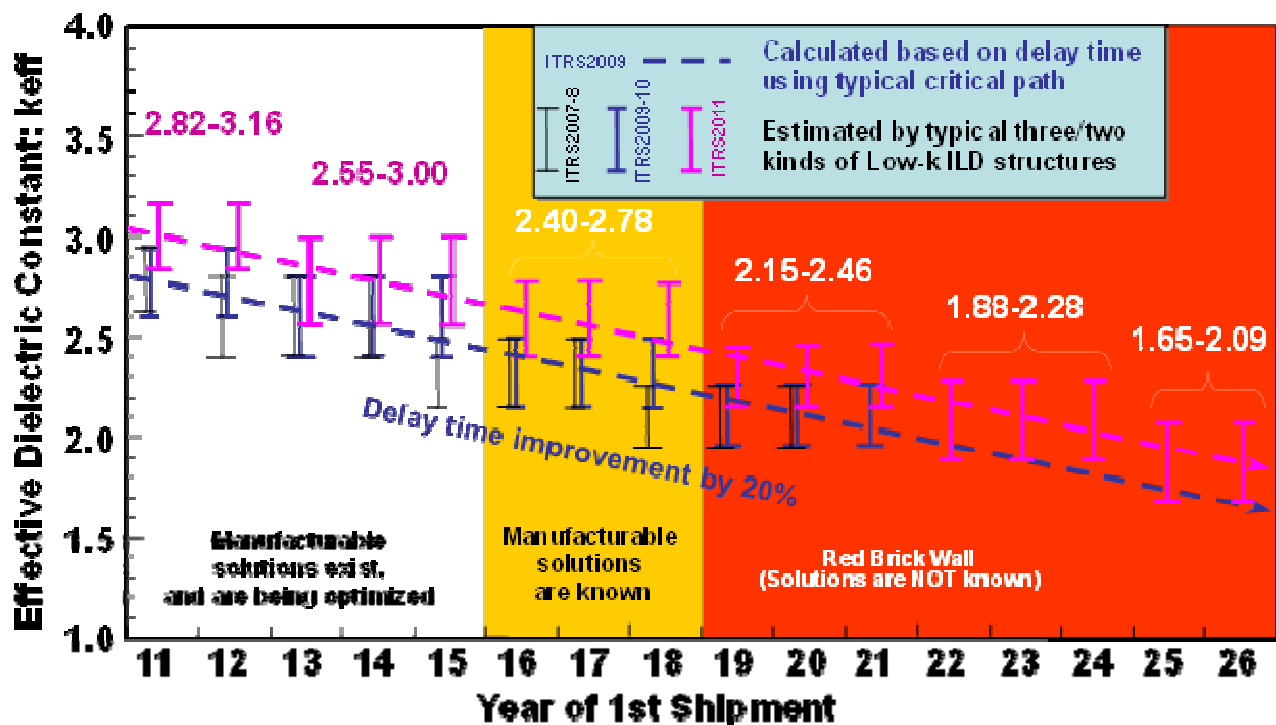


Figure INTC11 Low- $\kappa$  Roadmap Progression

#### 4.1.1 メタル前層間絶縁膜(PMD)

メタル前層間絶縁膜(PMD)のポテンシャルソリューション (Figure INTC13)は、大幅に改訂された。PSG (燐ドーブ酸化膜)や BPSG (ボロン・燐ドーブ酸化膜)はもはや、重金属のゲッタリングには使われないために、候補から消えた。Low- $\kappa$  OSG、MSQ や HSQ もまた、MOSFET の移動度改善のために使われる high- $\kappa$  ストレスライナーが、PMD レベルでの容量を支配するために候補ではなくなった。

$\kappa$  値低減の要求が進む中、埋め込み能力の要求が一層、重要になってきている。微細コンタクトを均一に形成するために、トランジスタのサイドウォール間のスペースをボイドなく埋め込まなければならない。通常の方法とコンフォーマルな成膜を組合せることが、微細ピッチを低コストで埋め込むことを可能にする方法である。熱及びプラズマ CVD 酸化膜とその平坦化はもはや充分ではなく、またメモリの容量を稼ぐのにも最も効果があるとは言えず、結果として、NAND フラッシュでは三次元スタックメモリセルが報告されている[1,2]。これらのデバイスでは、メモリセルのゲート電極は段差構造を持ち、大きな段差は、メモリセル領域と、周辺回路領域の形成時にできてしまう。このように形成された段差の表面は、ボイドの発生なく絶縁膜で埋められ、各ゲート電極にコンタクトホールが形成される。このプロセスでは、通常の CVD

に比べ、遥かにギャップ埋め込み性のよい SOD【塗布絶縁膜】が必須である。この場合、通常の表面状態ではない比較的大面積部分を埋め込むための塗布の条件が検討されている。SOD は CMP による平坦化への耐性がなければならない。最近では、CVD ベースのギャップフィル技術への興味を更新する、新しい炭素フリーの流動し易い CVD 膜が最近提案されている。

#### 4.1.2 従来の Low- $\kappa$ ILD

最大の変更は Al から Cu に変わったことで、ダマシンプロセスが配線形成のうで主流のプロセスになってきた。ダマシンプロセスは、絶縁膜中のトレンチやビアを埋め込むのが Cu なので、絶縁膜に優れた段差埋め込み性を要求しない。プラズマ CVD 酸化膜は、HDP の酸化膜よりギャップ埋め込み性は劣っているが、Cu 配線の当初から ILD 材料として使われてきた。上層の数層配線では、主に電源やグランドラインに使われるが、実装工程中のクラックやはがれを回避するための高い機械的強度を有することが、容量低減より重要になっている。コストのメリットがあるプラズマ CVD 酸化膜は、厚膜の層に使用され続けることになる。

薄い配線層からなる下層の何層かは、実効誘電率を下げるのはまだ厳しい状況にある。配線容量低減のために多くの Low- $\kappa$  材料が層間／層内の絶縁膜に使用されているが、Low- $\kappa$  材料の機械的あるいは化学的強度が弱いために、そのインテグレーションにはまだ多くの困難さがある。これらの材料特性の更なる改善は、設計や構造の変更と同様に、ポーラス絶縁膜のインテグレーションにも要求される。

塗布絶縁膜は CVD に比べ、プリカーサへの依存性が小さいという利点があり、すなわち、ひとつの装置でポロジェンを含む多くの材料を扱うことができる。ポーラス材料を含む様々な塗布系 Low- $\kappa$  材料が検討されているが、プラズマ CVD の SiCOH が Low- $\kappa$  ILD 膜の主流となっている。ノンポーラスの塗布系材料は、いくつかのケースを除き使われていない。 $\kappa$  値 2.4 以上の塗布ポリマーと塗布 MSQ は、実際のロジックやメモリに使われそうにはなく、したがって塗布系材料はポーラス MSQ を除き、ポテンシャルソリューションの図から消え去っている (Figure INT13 参照)。

急速なポーラス Low- $\kappa$  ILD 材料の採用による実効誘電率の低減のため、エッチング、CMP、ポーラス ILD 層上への成膜などのプロセスインテグレーションの課題に取り組まねばならない。ポーラス ILD のリソグラフィは、通常、レジスト塗布の均一性確保とレジスト除去時のダメージ防止のために緻密な膜が必要である。酸化膜はこのハードマスクとして幅広く使われてきた。しかしながら、Low- $\kappa$  ILD はハードマスクデポの初期に段階で活性な酸素によりダメージを受ける。ハードマスクとダメージ層は、特に層間で、容量低下のために除去しなければならない。それらの層は、プロセスステップ数を抑えるために、バリアメタルが除去された後の CMP で除去されるべきである。しかしながら、ポーラス Low- $\kappa$  材を CMP 雰囲気中に晒してしまう。 $\kappa$  値が 2.3 未満の ULK ILD 材料に対しては、CMP スラリーや洗浄工程からのダメージによる  $\kappa$  値の増大を最小に抑えることが低実効誘電率配線形成の成功への鍵となる。

トレンチやビアホール形成のためのドライエッチングやレジスト剥離も Low- $\kappa$  ILD にダメージを与える。レジスト剥離からのダメージを最小化するために、ビアファースト 3 層スキームがトレンチファースト TiN ハードマスク (HM) を用いたデュアルダマシン形成プロセスに置き換わってきている。活性種によるダメージを最小化するために、“クローズドポア”ポーラス Low- $\kappa$  材料が熱心に検討されている。 $\kappa$  値が 2.3 未満の ULK ILD に対しては、あらゆる工程のダメージが増幅され、パッケージ工程との整合性 (つまり高い機械強度) を取る必要性が生じ、ダメージ耐性の高い材料開発の自由度を制限する。こうして、 $\kappa$  値が 2.3 未満の ULK 材料をパッケージング時の強度を確保しながらインテグレーション出来る  $\kappa$  値回復技術が益々重要になっている。

ポーラスあるいは ULK 膜の形成には、ポロジェンの分解や揮発、機械的強度を高める化学結合の架橋などの適切なキュア技術が要求される。紫外線、電子ビームのアシストは、低温キュアプロセスに共通して使われてきたが、多層積層薄膜配線への適用に当たって、コスト効果や下地への影響は厳しい展望をもたらしている。キュアプロセスのアシストによって、SOD 材料が現実的な解となる可能性がある。しかしながら、PE (プラズマ増速) CVD はキュアシステムをクラスターツールへ組み込み易いメリットがあり、 $\kappa$  値が 2.2 以上の Low- $\kappa$  材料に対しては、今では紫外線キュアが普及している。

凄まじい努力にも拘わらず、ILDのバルク $\kappa$ 値を下げて、 $\kappa$ 値が 2.0 を下回るや否や、インテグレーションにおける機械的特性やポーラスLow- $\kappa$ 材料のプラズマダメージのために、実効誘電率は十分に下げられないという広いコンセンサスが形成されている。 $\kappa$ 値 2.0 未満のULK材料は、*Emerging Research Materials*の章で論じられている。実効誘電率を下げる異なる設計・構造上(材料とは対照に)のアプローチは(以下に示すように)、ILD層にエアギャップを導入することである。

#### 4.1.3 エアギャップ

ポーラス Low- $\kappa$  材料は、弱いインテグレーション強度で、プラズマエッチングからのダメージに耐えねばならない。 $\kappa$  値 2.0 以下のポーラス Low- $\kappa$  材料では特に難しいと考えられる。ULK 材料からエアギャップに徐々に移行することは、いまや現実となる可能性が高い。Low- $\kappa$  材料とエアギャップのハイブリッド構造は、近い将来に実効誘電率を下げるのに最も現実的な解になるであろう。

配線へのエアギャップ構造の導入は、次の 10 年の半導体デバイス製造において、最も顕著な挑戦項目のひとつになるであろう。エアギャップ形成にはいくつかのインテグレーションの方法や構造が報告されており、最も現実的なものが Figure INTC12 に示されている。それらはギャップの形成が上層メタル形成の前後かで、二つのカテゴリーに分類される。Cu ダマシン配線構造へエアギャップをインテグレーションするために、Cu の CMP がギャップのない状況で行えるように、メタル配線間の犠牲材料層は除去されなければならない。

エアギャップが上層メタル形成の前に行われる方法では、犠牲層の部分は CMP 後に除去され、エアギャップが埋め込み性の劣る絶縁膜成膜により形成される[9,10]。除去された部分は、主に犠牲材料からなる。ギャップの形状は、成膜のコンフォーマリティとメタル配線のアスペクト比と配線間スペース幅により決まる。ほとんどの層間絶縁膜形成時のギャップ形成の場合、エアギャップは、狭い配線間スペースを持つ領域に形成されるが、絶縁膜はスペース幅が広い領域にも成膜される。これにより、パターンの疎密領域で ILD の総厚さが異なることになり、平坦化工程を必要とする。他の方式では、ドライエッチングのトレンチ側壁へのダメージを利用する。上層配線形成前の均一なギャップ形成は、微細ピッチの配線において、重大なミスアライメントの課題を抱えている。ミスアライメントのビアは、メタル配線上には存在しない。ビア開口がエアギャップ領域であれば、それに適したバリアメタル形成や Cu の埋め込みはあり得ない。エアギャップ形成から上層のビア周辺をビア禁止領域とする方法もあるが、余分なリソ工程を含むなどプロセスステップの増加によるコスト高となる。

上層配線形成後にエアギャップをインテグレーションする方法では、ギャップ形成前のメタライゼーションでビアはメタルで埋められており、ミスアライメントの心配がない[11-13]。多層の犠牲部分を除去することは、プロセスステップ数を最小化する点でも望ましい。この方法で使用する除去プロセスは、チップ全体の機械的強度を劣化させるような大きなギャップを形成する。機械的強度を満足するエアギャップ構造開発のために、絶え間ない努力が必要とされ、最小のステップで構成されねばならない。

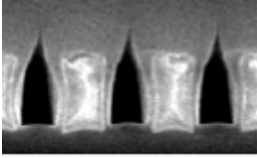
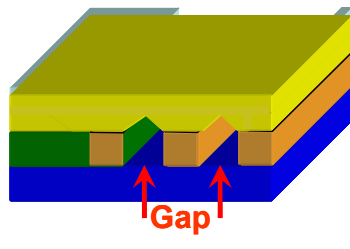
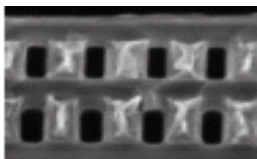
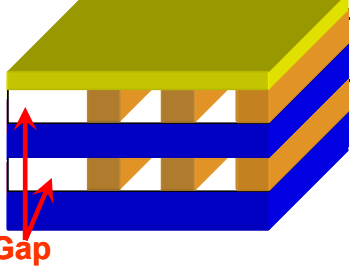
| Process                                                                                                                                                                                 | Schematic                                                                                       | (Dis)advantages                                                                            |                                                                                                                                                                                                              |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|
| <b>CVD gap process</b><br><br><small>T.Harada et al. (IITC2006)</small>                                | <br><b>Gap</b> | <b>Process step increase</b><br><b>Mechanical strength</b><br><b>Borderless capability</b> | <b>Additional lithography and removal process steps for each wire level</b><br><b>Air-gap region can be defined by lithography</b><br><b>No Cu-filling capability due to via to under-metal misalignment</b> |
| <b>Gap formation by removing sacrificial material</b><br><br><small>R.Daamen et al. (IITC2007)</small> | <br><b>Gap</b> | <b>Process step increase</b><br><b>Mechanical strength</b><br><b>Borderless capability</b> | <b>Minimal process step increase by all-in-one post-removing process</b><br><b>Poor mechanical strength by air-gap formation in a whole wafer</b><br><b>Not sensitive to via to under-metal misalignment</b> |
| <b>A realistic air-gap formation process should be proposed with minimal process step increase, maintained mechanical strength and sufficient borderless-via capability.</b>            |                                                                                                 |                                                                                            |                                                                                                                                                                                                              |

Figure INTC12 Typical Air-Gap Integration Schemes

#### 4.1.4 拡散防止絶縁膜

拡散防止絶縁膜は通常の Cu 配線構造では最も高い  $\kappa$  値を持つのが常である。従来の Cu ダマシンプロセスフローでは、Cu 配線の底部や側壁は、Cu シード層の前に形成されるバリア金属で覆われている。CMP 後には Cu 配線の上部のみが拡散防止絶縁膜で覆われている。拡散防止膜はピンホール欠陥がなく、ビア形成時のエッチストップ層の役目も必要である。これらの層については 2007ITRS の“ビアエッチストップ層”の項を参照されたい。

SiN(シリコン窒化膜)は、 $\kappa$  値が 6 を超えるが、プラズマ CVD の ILD とともに、Cu 配線の初期の頃の拡散防止絶縁膜として採用された。 $\kappa$  値が 4 と 5 の間の SiC、SiCN、SiCO [3]などの Low- $\kappa$  ILD 材料が導入され、実効誘電率の低減のために拡散防止絶縁膜として使用されている。しかし、これらの Low- $\kappa$  ( $\kappa$ 5.0) 拡散防止絶縁膜は、Low- $\kappa$  ( $\kappa$ 3.0) 材料に必要な UV キュアによる膜応力変化やリーク増加の課題がある。ILD 層の厚さが薄くなると、拡散防止膜の  $\kappa$  値の実効誘電率への相対的な寄与は大きくなる。今日、より  $\kappa$  値の低い拡散防止膜の代替物は用いられていないが、拡散防止膜の薄膜化と  $\kappa$  値の低減は信頼性の劣化がない前提で厳しく要求されている。

メタルキャッププロセスは、Cu 配線上に選択的にメタルバリアが成長するもので、Low- $\kappa$  ILD と Cu 配線間に拡散防止膜の挿入を割愛できる可能性を提供する。メタルキャッププロセスには選択性が不完全なために、その遷移の時期には、キャップメタルと拡散防止絶縁膜が共存するが、そのような冗長な組合せは、最終的にはコスト手減のために回避される。同じく拡散防止膜である選択メタルキャッププロセスは実現できておらず、未だ研究段階にある。

#### 4.1.5 拡散防止キャップ絶縁膜

拡散防止膜と Cu 配線の上部の界面はダマシンプロセス Cu 配線の信頼性に直接影響する[4]。メタル間の最小線幅は通常、Cu 配線とビアの界面付近でミスアライメントを呈する。時間依存絶縁破壊(TDDDB)とエレクトロマイグレーションの信頼性は、界面の清浄度に強く影響される。エレクトロマイグレーションの支配的

### 30 配線

なパスは、バリアメタルに覆われていない Cu 配線の界面にそっている。より良い界面形成の要求は、メタル線幅とスペースが狭くなるにつれてより厳しくなり、EM と TDDDB 寿命が短くなる。

無電解 CoWP を用いたメタルキャップは、Cu 上の絶縁膜バリアという通常の構造に比べてより長い EM 寿命を与えることがわかっている。キャップメタルは Cu 配線上に選択的に成長し、配線とビア底間に強力なメタル接続を形成するキャップメタルは、リーク電流防止や TDDDB のために、ファインピッチの Cu 配線にほとんど完璧に成長させなければならない。選択性はメタル間の絶縁膜の前洗浄や後洗浄により向上できる。しかし、これはコスト増に繋がり、洗浄プロセス自身もまた、選択性の問題がある。Cu 合金やバリアメタルの最適化による EM 寿命の向上が研究されている。いくつかのメタル材料が考えられるが、Cu 配線の抵抗を上昇させてしまう傾向にある。費用対効果の良い最適解にいたるためには弛まぬ検討と開発が必要である

より良い界面の特性を与える他のプロセスは、拡散防止絶縁膜形成前の Cu の前処理である。モノシランとアンモニアのプラズマによる *In-situ* の CuSiN 形成は、拡散防止絶縁膜形成と同じ装置で行われるが、TDDDB の劣化がなく、かつ、より長い EM 寿命をもたらす[5]。Cu 配線の抵抗はシリコンの拡散条件に依存するが、シリコンへの暴露と窒化は注意深い制御が必要である。最近になって、モノシランに替わってゲルマンを用いた CuGeN の形成が報告された[6]。CuGeN の抵抗は CuSiN より制御しやすい。モノシランやゲルマンのソースは、アンモニアとの組合せにより量産に適したプロセスになる。しかし別の材料を用いた他の強力な処理プロセスがある可能性も残っている。最近報告された不純物金属ドーピングによる Cu のマイグレーションを防ぐための前処理もまた、高信頼の界面形成のためのポテンシャルソリューションである[7]。TDDDB 劣化や抵抗増大なく EM 信頼性が 30 倍改善されるという CVD による選択 Co キャップのような異なるアプローチが最近報告されている[8]。RC 遅延の影響を最小(<5%)に抑えられ、最小限のコスト増で同等の TDDDB 信頼性と生産性を確保でき、求められる EM 信頼性を提供できる、優れたキャッピングプロセススキームが必要である。

| First Year of IC Production                                     | 2011 | 2012 | 2013 | 2014 | 2015 | 2016 | 2017 | 2018 | 2019 | 2020 | 2021 | 2022 | 2023 | 2024 | 2025 | 2026 |
|-----------------------------------------------------------------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|
| <b>PRE-METAL DIELECTRIC (PMD)</b>                               |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| HDP silicon dioxide ( $\kappa = 4.2$ )                          |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| SA CVD ( $\kappa = 4.5$ )                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| <b>INTER/INTRA LAYER DIELECTRIC (ILD)</b>                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| PECVD silicon oxide ( $\kappa \sim 4$ )                         |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| PECVD SiCOH ( $2.8 \leq \kappa \leq 3.2$ )                      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| PECVD porous SiCOH ( $2.4 \leq \kappa \leq 2.7$ )               |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| PECVD ultra-porous SiCOH ( $2.0 \leq \kappa \leq 2.3$ )         |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Spin-on porous MSQ ( $2.0 \leq \kappa \leq 2.3$ )               |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Alternative air-gap ( $\kappa \leq 2.0$ )                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| <b>DIFFUSION BARRIER DIELECTRIC</b>                             |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| CVD silicon carbide ( $\kappa > 3.5$ )                          |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| CVD silicon carbide ( $\kappa \leq 3.5$ )                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| PECVD SiCOH ( $\kappa \leq 3.5$ )                               |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Spin-on porous MSQ ( $2.4 \leq \kappa \leq 2.7$ )               |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| <b>CAPPING BARRIER DIELECTRIC</b>                               |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| CuSiN or CuGeN                                                  |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Alternative treatment on Cu before diffusion barrier deposition |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |

This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required  
 Development Underway  
 Qualification / Pre-Production  
 Continuous Improvement



Figure INTC13 Dielectric Potential Solutions

## 4.2 拡散防止(バリア)膜解決策候補

タンゲステン(W)のローカル配線及び埋め込みコンタクトに対するバリア材料としては Ti/TiN[1]が当面の間、継続して使用されるだろう。長距離 PVD、イオン化 PVD、CVD のように既に確立している技術は、DRAM の高アスペクトコンタクトをキーホール無しで埋め込む W のために、継続的に改良がなされる。現在 ALD(Atomic Layer Deposition)による Ti/TiN が開発中であり、これを用いることで、W 埋め込みを困難にするコンタクトホール上部でのピンチオフをなくすことができ、Wの埋め込み性能向上が期待できる。Ti/TiN バリア膜は技術的に改善されてはいるが、膜厚の要求値と高い抵抗率のため、コンタクトプラグ抵抗が高くなってしまふ要素の最大のものであろう。WN[2,3]のような、コンタクトプラグへの ALD バリアの開発は進行中であり、Ti/TiN に対してバリア抵抗と膜厚の両方を低下できるようになる。その結果、コンタクトプラグ抵抗のうちバリア金属が占める分を低下させることができる。

高アスペクトコンタクトに対する新規材料や埋め込み技術の探索も進められており、これにともない、現状のコンタクト／バリア／導電膜という複雑な構造は、よりシンプルなものになっていくだろう。TiNやWNの本来の目的は、W-CVDのプリカーサであるWF<sub>6</sub>によるTiとFの反応の防止であることから、フッ素を含まないプリカーサを用いれば、バリア膜を完全になくすことが可能になる。コンタクトスタッドにWに換えてCuを使用することも検討されている。この場合、従来のPVDでのTa<sub>2</sub>N<sub>5</sub>/Ta[4]、Ti[5]、Ru、もしくはALD膜がバリア膜として使用される。

Cu 配線に使用される拡散防止材料は隣接する酸化膜への Cu の拡散を防止するためのみではなく、界面での Cu 配線の空孔拡散を低減し、十分なエレクトロマイグレーション耐性を確保させるような高品質なものでなくてはならない。Ta<sub>2</sub>N<sub>5</sub>/Ta[4]は工業的に主流な材料であるが、その他の窒化物やシリコン窒化物も有望な材料である。イオン化 PVD や CVD による膜形成は(長距離スパッタは過去のものとなった)、将来のデュアルダマシンの構造の側壁への被覆性に対する要求にこたえるために改良され続けている。事実、イオン化 PVD[6]の技術は改善されて、14nm 世代まで使われ続けるであろう。加えて、ロジック製品の上層グローバル配線の最小寸法とアスペクト比は将来もほとんど変更されないため、PVD バリア技術が使用され続ける。しかしながらこれらの PVD 成膜技術では、デュアルダマシンの溝の上部を狭めてしまうため、Cu の電気めっきによる埋め込み性に限界がある。

将来主流となる解決策として期待される ALD バリア[7-10]の開発に、非常に多くの努力が払われている。ALD の TaN と WNC が開発されはじめているが、エレクトロマイグレーション特性が十分に得られるのかどうか、Cu との界面状態について疑問が残る。解決策候補のひとつとして、電気めっき Cu との良好な界面状態を得るために、PVD Cu の上に PVD Ta のごく薄い層を形成する方法がある。ALD の Ru はその上に直接電気めっき Cu を成膜することが可能で、界面状態も良好だが、バリア性については疑わしい。さらに進んだ解決策候補は二つあり、一つは ALD TaN / ALD Ru、もう一つは ALD WNC / ALD Ru の 2 層構造バリア金属である。ALD バリア膜を採用するための最も大きな問題点は、ALD 膜形成の材料であるプリカーサ原料が多孔質 Low-κ 膜内のポアへ浸透することである。低誘電率膜の側面をチャンバ内で改質処理をすることによってこの問題を解決できるかもしれない。ALD バリアのもうひとつの問題点は、低いスループットである。これは、PVD バリアシードに対して、ALD バリアシード技術に必要とされるフロアスペースと CoO の増加をもたらすことになる。

Cu 配線技術のひとつの有望な開発として、自己形成バリア、特に Cu-Mn 合金がある[11]。このプロセスでは、PVD Cu-Mn 合金シード層を使用することで、PVD バリアを除去できる。電気めっき Cu 成膜後にアニールすることで、Cu 表面に Mn が拡散し、薄膜バリアを形成する。アニール後の Cu の最上面に析出した Mn は CMP 工程で除去される。このプロセスのもうひとつの優位点は、Mn が下層ビア領域にバリアを形成しないことである。その結果、ビアは Cu-Cu 接続となり非常に低抵抗となる。

メタルバリアのもうひとつの注目点は、Cu配線の上側界面である。この目的のためには、主としてSi<sub>3</sub>N<sub>4</sub>、SiCN、SiC のような、プラズマCVD による絶縁膜バリアが使用されている。これら絶縁膜の不利な点は、エレクトロマイグレーションを劣化させること、及び、誘電率が高いため実効誘電率が高くなってしまふことである。エレクトロマイグレーション耐性改善のために、W[12]、CoWP[13]、NiMoP[14]、CVD Co[15]、CVD Ru[16] 等のような選択成膜可能な金属材料の探索が進められ、今日では製造工程への採用もみられる。キャッププロセスのもうひとつの有力な候補は、Cu との上面界面へのCuSiN 薄膜の形成である。

[17]。これは、Cu 表面を $\text{SiH}_4$  と $\text{NH}_3$  で連続的にさらすことにより達成される。エレクトロマイグレーション耐性の改善は、CoWP を使った場合より大きくないが、メタル短絡やリークによる信頼性悪化を減少させることができる。

次世代向けのバリア材料と成膜技術の研究開発をさらに行っていく必要がある。バリア膜と Cu との界面での格子不一致のような性質や平坦性を改善することで、電子衝突効果による Cu 配線の抵抗上昇を抑制する事ができるだろう。エレクトロマイグレーションと抵抗率上昇を同時に抑えながら開発する事が必要である。

| First Year of IC Production                                                                                                                                                                                                                                                            | 2011 | 2012 | 2013 | 2014 | 2015 | 2016 | 2017 | 2018 | 2019 | 2020 | 2021 | 2022 | 2023 | 2024 | 2025 | 2026 |
|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|
| <b>Metal 0/Contact plug</b><br><b>Barrier</b><br>Ti/TiN, WN,... barriers for CVD W<br><br>TaN/Ta, Ta, Ti, Stacked Ru... barriers for alternative conductors                                                                                                                            |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                                                                                                                                                                                                                                        |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                                                                                                                                                                                                                                        |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                                                                                                                                                                                                                                        |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| <b>Metal 1, Intermediate wiring</b><br><b>Barrier</b><br>ionized PVD TaN/Ta, Ta<br><br>TaN, TiN, Ti, WNC...(CVD, ALD)<br><br>Self formed/restored barriers: MnSiO <sub>2</sub> , MnTaO <sub>3</sub> etc<br><br><b>Capping</b><br>E-less CoWP<br><br>Selective CVD metal (Co, Ru, W...) |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                                                                                                                                                                                                                                        |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                                                                                                                                                                                                                                        |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                                                                                                                                                                                                                                        |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                                                                                                                                                                                                                                        |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                                                                                                                                                                                                                                        |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                                                                                                                                                                                                                                        |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                                                                                                                                                                                                                                        |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| <b>Semi-Global/Global</b><br><b>Barrier</b><br>TaN, TiN, ... (ionized PVD)                                                                                                                                                                                                             |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                                                                                                                                                                                                                                        |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                                                                                                                                                                                                                                        |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |

*This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.*

Research Required

Development Underway

Qualification / Pre-Production

Continuous Improvement



*Figure INTC14 Barrier Potential Solutions*

### 4.3 膜成長核形成解決策候補

膜成長核形成層の微細構造部での均一性とカバレッジの良し悪しは、その次の導体金属の埋め込みがボイド無くできるかどうかの決定的な要因である。ローカル配線やコンタクト埋め込みにおいては、従来から高アスペクト比コンタクトへの W 埋め込みを可能としてきた ALD-W による成長核形成の継続的改善がなされるであろう。これらの ALD 核形成層は、通常非常に薄くなければならず、それによりプラグの伝導率は一般に改善されることになる。

コンタクトプラグの W の代替候補としては、電気めっき Cu があげられる。Cu の核形成層[2]としては、ALD や CVD で成膜される Ru[1]や Co が候補である。DRAM の高アスペクトコンタクト埋め込みでの新たな材料とプロセスの開発は依然として継続中であり、これらに関しても ALD 成長核形成は必要となるであろう。メタル 1 や中間層配線、グローバル配線では、各種のイオン化 PVD (ロングスローPVD と組み合わせられることもある)などの改善型 PVD Cu[3]が、Cu 電解めっきプロセスの成長核形成技術として、今後とも主要なものとなる。これらの Cu 核形成技術の改善により、側壁カバレッジや均一性が向上しており、14nm 世代まで使えるであろう。さらに PVD による Cu 成長核形成は、より大きな寸法のグローバル配線では引き続き使用されるであろう。しかしながら、これらの改善型 PVD もいつかはメタル 1 や中間層配線での信頼度の高い成長核形成層を提供出来なくなり、やがては ALD (水素還元 Cu 成膜技術を含む)に取って代わられるだろう。また無電解めっき[4]、ALD、エレクトログラフト Cu 技術[5]、などを含む複数の Cu 成長核形成の研究が続けられるであろう。ALD Ru[6]は Cu 拡散に対して僅かしかバリア性を持たないが、Cu 電解めっきに対して大変良好な成長核形成層であることが実証されている。このため ALD TaN や ALD WNC などの他のバリア膜と組み合わせて用いられるものとみられる。PVD Cu の側壁カバレッジが限界であることに対する別の解決策としては、電解めっきを用いた成長核層のリペア技術[7]がある。更に、よりスマートな解決策は、電解めっきプロセスやバリア膜を改善して自己核形成が可能になるようにし、Cu 成長核形成膜を不要とすることである。

| First Year of IC Production                                      | 2011 | 2012 | 2013 | 2014 | 2015 | 2016 | 2017 | 2018 | 2019 | 2020 | 2021 | 2022 | 2023 | 2024 | 2025 | 2026 |
|------------------------------------------------------------------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|
| <b>Metal 0/Contact plug</b>                                      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| <b>Liner/Nucleation</b>                                          |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| CVD W reduced by B2H6                                            |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| E-less or plated Cu seed                                         |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| ALD/CVD Ru, Co for Cu plug                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| <b>Metal 1, Intermediate wiring</b>                              |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| <b>Seed/Liner/Nucleation</b>                                     |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Enhanced PVD Cu                                                  |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| E-less or plated Cu seed                                         |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| CVD(ALD)-Co, Ru for Cu-wettability improvement or direct plating |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| CVD or ALD Cu seed                                               |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |

**This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.**

Research Required

Development Underway

Qualification / Pre-Production

Continuous Improvement



Figure INTC15 Nucleation Potential Solutions

#### 4.4 導電体膜解決策候補

“M0(メタルゼロ)”とよばれることもあるローカル配線は、隣接するトランジスタを接続するための極めて短い配線に限定される。MPU、ASIC、DRAM 等のコンタクトとローカル配線については、タングステン(W)が引き続き使用されるだろう。ALD 技術は CVD と組み合わせ、シームのない W 埋め込みのために、まず利用されるようになっていく。また、W-CVD では通常シランによる核生成ステップが用いられるが、これで形成される、Si リッチな W がプラグ内に占める割合が高くなるため、将来の技術世代においては、コンタクト抵抗が許容できないほど上昇してしまうことになるだろう。この Si リッチ層を極小化するか、この層をなくすことが目標となる。W のコンタクトプラグとの置き換えとなる材料とプロセスとして、電気めっき Rh[1]と電気めっき Cu[2]が検討されている。これらは“superfilling”(ボトムアップで膜が成長し、シーム形成の懸念がない)挙動を示す。スタックキャパシタ DRAM における高アスペクトコンタクトの W 埋め込みのためには、ALD による W 成膜の継続的な開発が必要である。最終的には、スタックキャパシタ DRAM のコンタクトに対する長期的な要求に応えるために、新材料、新技術の開発が必要である。

MPU や ASIC のメタル 1 配線および中間層の配線としては、Cu 配線を用いるのが望ましく、めっきによる成膜技術が近い将来の市場においてもなお支配的だろう[3-5]。シームのない埋め込みやより高いアスペクト比に対応するために、電気めっき技術および装置の改良が継続的になされる。Cu CVD も微細化に向けて必要な技術である[6]。通常の Cu の熱負荷においても、微小なダマシン配線中のめっき Cu を、優れたエレクトロマイグレーション耐性に要求される大きなグレインの竹状構造に変えるのが、困難になってきている事が報告されている。その結果、表面拡散と同様に Cu の結晶粒界は、将来にエレクトロマイグレーションの潜在的不良モードとして考慮されなければならない。Cu 配線のエレクトロマイグレーション耐性を改善する潜在的解決策は Cu-Al[7]や Cu-Ti[8]などの Cu 合金を使うことである。合金元素は、PVD Cu 合金シード層を使うことで採用され、その後、めっき後のアニールで配線全体に拡散する。Cu-Al 合金と界面の絶縁体 Cap を共に使用することで、エレクトロマイグレーション耐性を 50 倍改善できる結果が得られている。純金属配線と比較して、合金を使用することで、抵抗率の増加がみられる。

MPU や ASIC に用いられるメタル 1 配線および中間層の最小幅の Cu 配線には、電子散乱による抵抗増加がすでに起こっている[9-11]。しかし、これらの配線の配線長は技術世代に応じて短くなっているため、影響は最小限に抑えられている。グローバル配線のレベルでは、はるかに幅広い配線が用いられるため、サイズ効果の影響は最後まで受けないだろう。最小ピッチのグローバル配線の抵抗率はこの 10 年で 40%程度上昇することが予想される。このことは、大きな問題である。なぜなら、グローバル配線は、より長い距離を引き回されるため、メタル 1 配線や中間層配線よりも、もっと特性に影響を与えやすいからである。この抵抗上昇の影響を緩和するためには、Cu の界面状態、微細構造、不純物レベル等の制御が必要である。

MPU の配線は階層構造をとっており、グローバル配線のピッチと厚さは上層ほど大きくなっていく。最上層のグローバル配線は世代が変わってもほとんど変わらないため、電子散乱の影響は受けないだろう。そのため、2011 年度版のロードマップ表ではグローバル配線ピッチは世代が進んでも一定としている。金属の抵抗は温度依存性があり、それゆえに、IC チップの冷却は配線伝導率を改善するひとつの潜在的解決策である。しかしながら、これはほとんどの消費財や携帯デバイスにとっては実用的ではない。グローバル配線に Al 配線は使われ続けるであろうし、Al の CVD やリフローズパッタ技術[12]もダマシン用に改善され続けるだろう。

他に設計上の手法として、リピータの使用、またはドライバーを大きくすることがあるが、両者ともチップサイズや消費電力に影響を与えてしまう。近い将来最も有望な解決策は、3 次元 IC を可能にする技術としての高密度 TSV を使用することである。この技術を使用することで、すべての配線長を削減でき、多様な機能を実現できる Si 以外での解決策をも合体できる。配線幅が狭く抵抗が高くなっていくグローバル配線の影響を最小にするため、もうひとつの近い将来での解決策は、設計と信号選択、パッケージ技術、の適切な組み合わせである。また、これらの問題を解決するための高周波や光技術の利用について、膨大な量の研究開発が行われている。より、急進的な解決策には、超伝導、カーボンナノチューブ等がある。3 次元 IC のすべての議論、高密度 TSV のロードマップ、そしてその他は、“TSV 関連”の節に記述される。

無線デバイスと通信分野の市場の増大は、配線層に作り込む受動素子のプロセスや材料への注力に拍車をかける。特に、歩留まりと信頼性を向上させるための、MIM キャパシタの電極形成方法および材料に注目が集まっている。Al も Cu も、標準的なスパイラルインダクタに使用されているが、様々な磁性体材料や、異なったインダクタのデザインがこれらのデバイスの面積を低減するために出現するかもしれない。

| First Year of IC Production                                           | 2011 | 2012 | 2013 | 2014 | 2015 | 2016 | 2017 | 2018 | 2019 | 2020 | 2021 | 2022 | 2023 | 2024 | 2025 | 2026 |
|-----------------------------------------------------------------------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|
| <b>Metal 0/Contact plug</b>                                           |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| CVD W                                                                 |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| ECD Cu, Rh, ...                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Barrier less conductor                                                |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| <b>Metal 1, Intermediate wiring</b>                                   |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| ECD Cu                                                                |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Alloy additions to Cu for reliability improvements (CuAl, CuMn, CuTi) |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| PVD Cu reflow                                                         |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Alternative materials with weaker size effect (W, Mo, Ru ...)         |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| CVD Cu                                                                |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| <b>Semi-Global/Global Conductor</b>                                   |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| ECD Cu                                                                |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| PVD(reflow ) or CVD Al                                                |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
|                                                                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |

*This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.*

Research Required

Development Underway

Qualification / Pre-Production

Continuous Improvement



Figure INTC16 Conductor Potential Solutions

## 4.5 エッチング/レジスト除去/洗浄 解決策候補

### 4.5.1 序論

20nm以降の世代では、Cu配線のRC遅延を低減するために $\kappa$ 値が 2.3 以下のポーラスLow- $\kappa$ 絶縁膜が必要となる。インテグレーション後の実効的な $\kappa$  ( $\kappa_{\text{eff}}$ ) 値として 2.5 以下が要求される先端技術世代では[1]、バルクLow- $\kappa$ 以外の絶縁膜についても $\kappa$ 値を下げていく必要がある。現在使われているSiOC系膜を薄膜化しても、くしても、バルクLow- $\kappa$ 材料の $\kappa$ 値を 2.3 以下にするだけでは要求を満たすことはできない。

最終的な $\kappa_{\text{eff}}$ 値はどのようにプロセスをインテグレーションするかによって左右される。特にエッチングとアッシングはLow- $\kappa$ 材料にダメージを与えやすい工程であり、欠陥だけでなく電氣的信頼性にも影響する。また、洗浄工程も絶縁膜にダメージを与え、電気特性を劣化させる。形状コントロールを実現するためにはどのようなインテグレーションでULK絶縁膜の加工をするか考慮する必要がある。テーパ形状、ラフネスを最適化しつつLow- $\kappa$ 材料へのダメージを最低限に抑えることが、実効的な $\kappa$  ( $\kappa_{\text{eff}}$ ) 値を可能とする。

プロファイルコントロール: CDコントロール、つまり線幅と深さのCD制御は、インテグレーション手法とエッチングプロセスに直結する問題である。垂直形状加工の要求があるが、次工程での微細パターンへのメタル埋め込み性能 (PVD、CVD) を鑑みて、テーパ形状、ボーイング形状への調整で二律相反な要求を満たすことになる。付け加えると、信頼性を考慮する場合にはインテグレーション方法も併せて考える必要がある。

プラズマ起因のダメージによる絶縁膜特性の変化: プラズマ起因のダメージにより $\kappa$ 値は上昇し、電気特性を劣化させる。Low- $\kappa$ 絶縁膜のポアのネットワークを介して活性種の拡散や吸湿が進むことに起因する。バリアメタルのプリカーサが拡散し材料特性が変化することも懸念される。

側壁と底面の表面ラフネス: プラズマによりダマシン構造の底面荒れや、フォトレジストと共に側壁荒れの原因になる。このためバリアメタルを 3nm以下の薄さで欠陥のない連続膜を形成することが困難になる。これは信頼性と電気特性バラツキに大きく影響する。

### 4.5.2 プラズマプロセス制御

エッチングのプラズマはエッチング対象の材料と構造ごとに最適化が必要である。テーパ形状のほうがボーイング形状よりもメタル埋め込みにとっては望ましい。テーパ形状はハードマスクのファセット加工とプロセス中の保護膜形成を上手くコントロールして実現する。底面の荒れを最小限に抑えるには、エッチングガスの C/F 比およびイオン照射のフラックスとエネルギーを最適化する。エッチングガスによっては側壁が変質する可能性もある。エッチング後のプラズマ処理によるフロロカーボン種の除去や Low- $\kappa$  の回復技術の開発が必要である。

先端の研究レベルでは、多くのプラズマで見られるUVにより活性化されたラジカル、またイオン衝撃がLow- $\kappa$ 材料にダメージを与えると示される。そして、 $\text{CF}_3\text{I}$ を含むヨウ素ベースのプロセスガスを導入することにより、UV放射を 250nm~350nmの間で低減でき、その結果ダメージを最小限に抑えることが出来ると示された[2]。

より良い形状制御には、インライン計測が重要であり、スカトロメトリ技術は従来の測長 SEM、断面 TEM に代わるものとして評価されている[3]。

Low- $\kappa$ 材料のダメージを減らすには、( $\text{H}_2$ ,  $\text{CH}_2\text{F}_2$ ,  $\text{CHF}_3$ ...) ガスによる加工の方が、( $\text{O}_2$ ,  $\text{CO}$ ,  $\text{CO}_2$ ...) ガスよりも低ダメージ加工できる。今後の積極的な微細化継続のためには、同様に積極的なダメージ緩和および回復技術の必要であるのは明らかである。

### 4.5.3 プラズマハードウェア制御

現在の容量結合型プラズマ (CCP) のプラズマ源技術を改善していくことで、一定のアスペクト比の下でのトレンチ・ビアの微細化と同様に材料に対するエッチング課題にも対応していけるだろうと思われる。Low- $\kappa$  膜のポーラス化、ULK 材料、部分エアギャップなどの進展に伴い、メタルハードマスクを導入してアッシ

ングダメージを軽減しようという傾向が強まってきた。エッチング処理の合間にチャンバクリーニング処理を行い、チャンバ内壁を初期状態に戻すクリーニング手法が求められている。これはフッ素種を除去することにより再解離・分散と欠陥の抑制を目的とする。プラズマによるチャンバクリーニングには、高品質な Si 上部電極と適切な酸化・還元ガスの適用が要求される。MTBC (平均クリーニング間隔) の改善には WAC (ウェハレスクリーニング) 手法の開発を念頭に入れておくべきである。研究レベルでは、プラズマ原子層エッチング: PALE (Plasma Atomic Layer Etching) は今後の候補技術となり得るが、更なるコンセプト検証、実証データを積み上げていく必要がある。現在では、二周波励起 CCP プラズマが量産技術として認知されている。

#### 4.5.4 インテグレーション手法

20nm 以下の技術では、CD の微細化やアスペクト比の制約から、フォトレジストは薄膜化する必要がある。マスクを 2 枚使用するインテグレーション手法が差別化技術として検討されているが、それらが今日では量産技術に適用されている。それらはハードマスク材料(メタル、有機膜など)も含めて構築される。更なる微細を安定的に進めるためには多層レジストプロセスによる CD 制御が求められる。

EUV 技術導入が遅れたため、32nm ハーフピッチの実現にはダブルパターニング技術が必要となる。昨今の状況をみると EUV は少なくとも 16nm ノード量産まで導入は遅れるとみられ、ダブルパターニングおよびマルチパターニング技術の継続が要求される。この手法は複雑且つコスト高な技術であるが、唯一の実現可能な方法である[4]。これらの代替技術として EB 直描技術(Mask Less Lithography)、ブロックコポリマーを用いた自己整合リソ(Directed Self-Assembly)[5]が研究レベルで検討されている。各々解決すべき課題はまだ残されている。EB 直描技術では、加速電圧が低いために 40nm 程度の薄膜レジストが前提となり、新たなハードマスク仕様(材料、積層)が必要になるなど[6]。その他、詳細はリソグラフィ一章にて説明する。

どのようなインテグレーション手法でもエッチング加工後のダメージ回復、ポアシーリング処理技術はポーラス Low- $\kappa$  導入時には必要な技術である[7,8]。これらの要求を満たすためにエッチング処理、レジスト除去装置はマルチステーション化していく。吸湿、ダメージ層との反応を防ぐためには、エッチング、ドライレジスト除去、ダメージ回復、デガス処理及びポアシーリングを同一装置で行うことを求められる。

ULK材料のダメージ修復には、シリレーションプロセスによるシラノール基の $\text{CH}_3$ 置換により可能になると報告されている。OH基を置換することにより、吸湿しにくい状態に出来る[9]。ポアシール技術は部分的か完全に封孔するかによらず、 $\text{NH}_3$ [10]などによるソフトプラズマ処理、もしくは $\text{CH}_4$ によるカーボン層の生成によりポアシールとなる。これらの技術確立のためには、スキヤトロメトリ技術を用いて、処理前後の側壁、底面の観察、ポアサイズ、ポロシメトリなど諸特性を考慮にいれて進めるべきである。

ハイブリッドアプローチとは、成膜時すなわちエッチング加工前にポア形成につかう有機ポロジェンを抜かず、そのままインテグレーションへ進め、エッチング後もしくはメタル成膜・CMP 処理後に、有機ポロジェンを脱離させる方法である[11,12]。脱離は熱処理、EB 処理もしくは UV 処理で行う。この手法は様々な技術緩和を可能とする。それは INTC17 に示されるエッチング、レジスト除去、洗浄、CMP プロセスは、疑似高密度特性を持ち Low- $\kappa$  であるためである。この手法により、ダメージを受けないインテグレーションが可能となるが、有機ポロジェンを脱離させた際の膜収縮、ポロジェン残渣などは信頼性特性への影響が懸念される。最近では、Low- $\kappa$  材料の再成膜処理を組み合わせ、膜厚変動を緩和させる手法が報告されている[13]。

#### 4.5.5 クリーニング工程

側壁ポリマーおよびメタル汚染物の除去にはウェット洗浄工程が必須となる。通常はデュアルダマシンのエッチング工程とメタル成膜工程の間に行われる。洗浄工程が必須な理由は、ポーラスな Low- $\kappa$  絶縁膜に捕獲されたフッ素系ガスや湿気、Cu の酸化、側壁ポリマー、これらが全体的な歩留に大きく影響するからである。また Cu 表面の状態管理は信頼性に重要と考えられている。エッチングとクリーニングの間の待ち時間も課題のひとつである。INTC18 に洗浄技術のロードマップを示す。

このような点を判断基準として考えると、洗浄薬液に望まれる要件は、Cu の自然酸化膜とエッチ残渣を効率よく除去できること、かつ、Cu 表面の腐食と再酸化を防げること(Cu を電気化学的に安定化すること)、となる。

従来は溶剤系薬液を使うのが通例だったが、今後は希薄有機酸[10-12]を液相や気相で用いて効率化とコストダウンを計る手法が従来手法に代わって使用される可能性がある。プロセス時間は短く、薬液は常に新鮮であるのが望ましい。有機酸は Cu に対してキレート剤として働き、極希薄なフッ酸は側壁ポリマー除去と CD 制御の両立という課題の解決策となりうる。

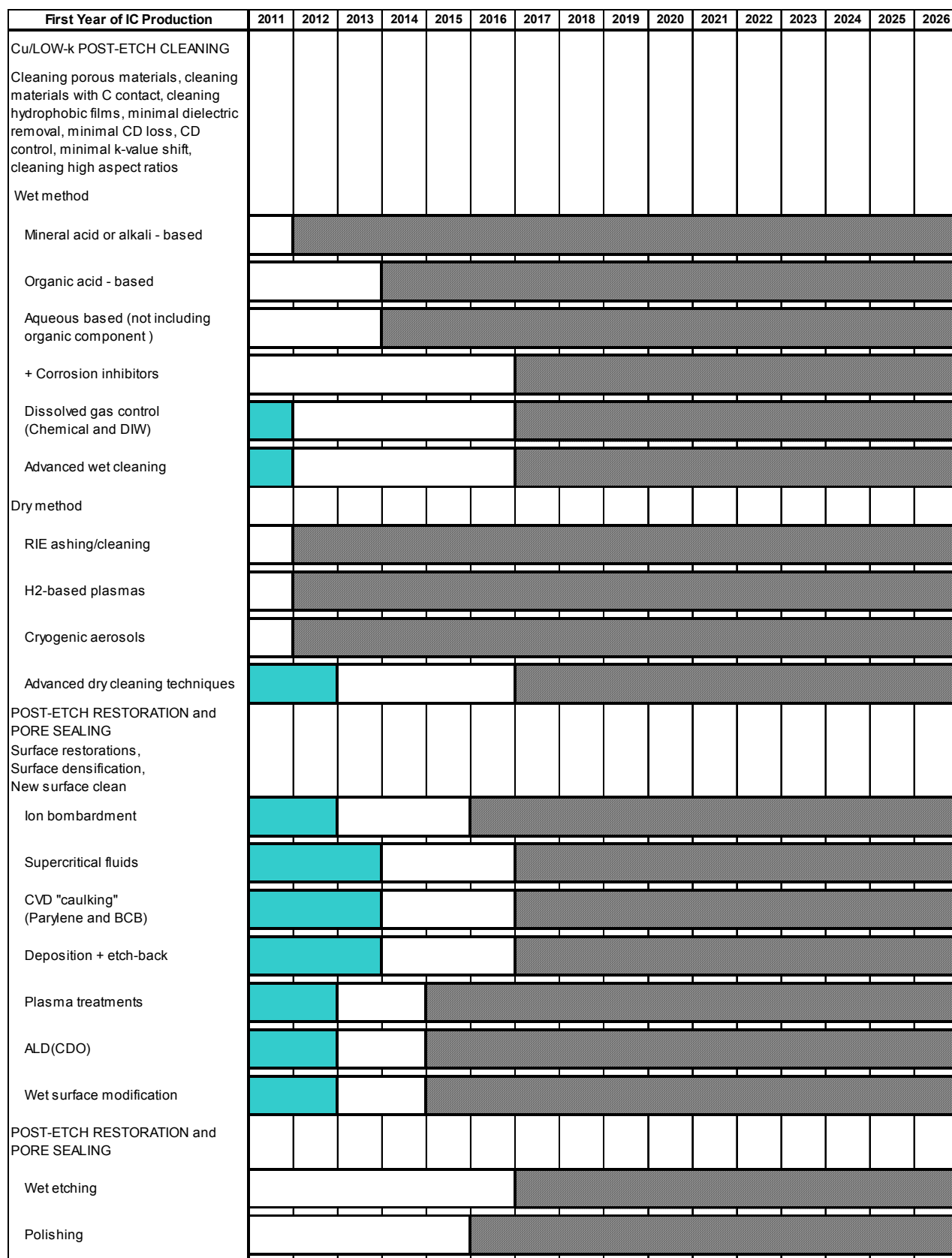
ULK 材料のインテグレーションでは、成膜、リソグラフィー、洗浄及びエッチング加工での緊密な連携が成功へと導く。RC 遅延の改善は、微細化継続しいては半導体産業より求められる。新規インテグレーション手法は、 $\kappa$  値 2.3 以下の材料を適用し、新しいエッチング技術、洗浄技術に支えられている。

| First Year of IC Production                                                                                                                                                               | 2011 | 2012 | 2013 | 2014 | 2015 | 2016 | 2017 | 2018 | 2019 | 2020 | 2021 | 2022 | 2023 | 2024 | 2025 | 2026 |
|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|
| Cu/LOW-k POST CMP                                                                                                                                                                         |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Control of Cu roughness control of Cu surface (CuOx or CuFx), control of Cu corrosion, control of Cu removal, slurry residue removal, particle removal, clean Cu in the presence of low-k |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Wet method                                                                                                                                                                                |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Organic acid - based                                                                                                                                                                      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Mineral acid or alkali - based                                                                                                                                                            |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Surfactants for acid<br>Cherate agents for alkali                                                                                                                                         |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| + Corrosion inhibitors                                                                                                                                                                    |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Improved scrubbing techniques                                                                                                                                                             |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Advanced wet cleaning                                                                                                                                                                     |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Dissolved gas control<br>(Chemical and DIW)                                                                                                                                               |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Pad cleaning for soft type                                                                                                                                                                |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| POST Low-k DEPOSITION<br>CLEANING                                                                                                                                                         |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Wet method                                                                                                                                                                                |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Surfactants for acid<br>Cherate agents for alkali                                                                                                                                         |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Non-damaging megasonics                                                                                                                                                                   |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Improved scrubbing techniques                                                                                                                                                             |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Advanced wet cleaning                                                                                                                                                                     |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Backside & Bevel cleaning                                                                                                                                                                 |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Wet method                                                                                                                                                                                |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| H2-based plasmas                                                                                                                                                                          |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Cryogenic aerosols                                                                                                                                                                        |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Advanced plasma cleaning                                                                                                                                                                  |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |

This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

|                                |  |
|--------------------------------|--|
| Research Required              |  |
| Development Underway           |  |
| Qualification / Pre-Production |  |
| Continuous Improvement         |  |

Figure INTC17 Post-CMP/Deposition Clean



This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required  
Development Underway  
Qualification / Pre-Production  
Continuous Improvement



Figure INTC18 Post Dielectric Etch Clean



Figure INTC20とINTC21に平坦化に関する課題と解決候補を三つの項に分けて示した。最初の項は、主なプロセスアプリケーションについての詳細を年代順に記載した。その他の二つの項、装置・消耗部材の解決候補についても、年代順に記載した。

#### 4.6.2 絶縁膜系 CMP

大部分の IC デバイスでは、プリメタル絶縁膜 (PMD) CMP が最初の絶縁膜平坦化プロセスである。PMD 膜は平坦化された後、ゲートスタックを覆う所定の目標膜厚まで研磨される。この CMP プロセスでは、欠陥の程度が重要である。DRAM では、高選択比 CMP によって絶縁膜 研磨をゲートスタック上で止めることが通常行われている。

今日、ILD CMP が最も良く用いられるのは、メモリデバイスのストレージノード部と配線部である。Figure INTC19 に ILD CMP において、ライン&スペース幅の初期段差を最小にする方策を示す。微細化が進むに連れて、CMP 前の初期プロファイルは劇的に変化する。ライン毎に分離した段差に代わり、絶縁膜のほとんどが繋がり幅の広い平坦化距離 (Planarization Length) になってしまう。平坦化距離増加はフロント・エンド・プロセスの章で議論されている、Shallow Trench Isolation (STI) CMP でも見られる。さらに STI-CMP では平坦化性能に影響する Starting Material Wafer のナノポグラフィやロールオフ[7]を最小にする必要が有る。微細化の進行により、CMP 後の残膜厚さの許容値もより厳しいものとなっている。

デバイス構造および、利用されている材料の変化は、新しい平坦化適用の創出に結び続ける。hp45nm 技術が始まり、メタルゲートが採用され始めた。メタルゲート形成のゲート・ラスト・プロセスにおいて、プリメタル絶縁膜の CMP はプリメタル絶縁膜上でストップしている間に、高選択にシリコン窒化膜、ダミーゲート上窒化膜研磨ができる。フラッシュメモリのフローティング・ゲートの主要な選択肢も、ポリシリコン上で絶縁膜を研磨・ストップすることが必要である。CMP 工程は、ダブル・パターンニング形成や、レジストのデュアルダマシニング施行時の平坦化においてリソグラフィを助けるように使用されている。不揮発性メモリと、最も低いエフェクティブ  $\kappa$  値のためのエアギャップによるロジックデバイスをつくる新しい方法は、ILD のようなステップで Low- $\kappa$  や ULK の絶縁膜を平坦化ドライブする必要がある。3DIC のためのオプションとして最後の裏面 Si 薄化ステップは、高エッチングレートが要求されている新しい絶縁膜ステップとも考えられる。3DIC には、さらにパッシベーション膜除去や金属露出の TSV を CMP でできることが望まれる。

#### 4.6.3 導電膜系 CMP

45nm ノードでのメタルゲートの適用は、新たな平坦化工程を生み出した。Al, TiN のようなバルク金属は、ダミーのポリゲートを除去した後ゲートとして機能する材料として埋め込みされる。この金属は、メタル前絶縁膜上まで研磨により除去される。平坦性とリセス制御が重要である。ポリシリコンは、DRAM 技術のコンタクトやランディング・パッドに未だ広く用いられている。コンタクト・プロセスは単に絶縁膜上で研磨を停止する方法から絶縁膜と窒化膜の組み合わせを研磨する方式へと移っている。絶縁膜上のポリシリコン・ストップの平坦化はフラッシュ・フローティングゲートでは一般的である。

タングステン (W) をコンタクト、ビアに最初に適用した際には、エッチバックプロセスが採用された。エッチバックから W と Ti ベースのライナーに対し CMP プロセスの適用へ変更することで生産性は向上した。今日、先端ロジックデバイスでは、コンタクトに W のみを使用している。DRAM の配線工程では、W と ILD-CMP から Cu とバリアメタル CMP へと変ってきている。ポリシリコンエッチバックへの移行やダブルコンタクト形成の出現により、W-CMP の工程数は減少していない。W-CMP では、パターンアレイの両端で Erosion が大きくなる EOE (Edge Over Erosion) が依然として課題となっている。これは、スラリーやパッドの開発により改善して来ている。絶縁膜での低選択性スラリー適用は、平坦性改善の手段となる。

メモリのビット・ラインとワード線のクリエーションでは、選択的な W-CMP の用途が上昇している。Cu と Barrier CMP は他のレイヤーより多くの平坦化工程がある。Cu 研磨から Ta ベースのバリア層研磨、ハードマスク材料研磨、最終リソグラフィと膜厚を最適化するまで、複数段の研磨が実施される。電解腐蝕や光腐蝕[8]等の腐蝕は、導電液中で導電体を研磨する限り、永遠の課題である。技術の進歩に連れ、絶縁膜の誘電率は低下して行く。より脆い材料で作られた、より小さいサイズのチップを研磨するには、

デバイスに損傷を与える最大応力を低減する必要がある。既存 CMP の低応力改善の探求と Electro Chemical Mechanical Polish (ECMP), Electro Chemical Polish (ECP) や Chemical Etching (CE) またはそれらの組み合わせである代替案が研究されている[9]。Cu 研磨時の機械的要素は減少してきたが、化学的要素は増加してきている。これは、腐蝕防止と平坦性の改善の必要を意味する。

将来のバリア CMP は、上記課題に加えて、以下の課題がある。パターンニングや金属埋め込みが益々困難になり、CMP は新バリア層の研磨や絶縁膜、金属膜ハードマスクの数の増加に対応する必要がある。実効誘電率を最小にするために、CMP はポーラス度が増加した絶縁膜を研磨する必要がでてきた。CMP の最適化、CMP 後洗浄、復興技術の組み合わせを通して、絶縁膜の変性を防ぐ方策が取られる。Cu とバリアの研磨ステップは先端プロセスでは増加するので、上記に述べたような課題解決に特別な注意を払いながら、スループット向上や全体的なコストダウンを進めて行く。

コンダクタへの新しい平坦化の適用に際し、いくつかの差し迫った要求がある。フロント・エンド・プロセスを考慮すると、ポリシリコンはゲートパターンニング以前のプロセスで、マルチゲートトランジスタでは特に、ますます平坦化が進んできている。メモリ用 W プロセスを複合絶縁膜の表面で止めることが今ではよくある。W バルクとバフ工程を絶縁体と金属が混在する面で止めなければならない場合には、金属ゲート併用の W コンタクト構造の再設計により代替方法が考案された。コンタクト用 W は将来、より優れたコンダクタに置き変える必要がある。Ru、Mn、Co のようなバリア用新素材が必要であり、平坦化プロセスも試みなければならないだろう。高ポーラス化は将来的にはおそらくエアギャップ構造に道を譲り、Cu とバリアの平坦化プロセスをトライすると予想される。DRAM キャパシタは貴金属の実用化をやっと始めるところであり、そこでは特殊な平坦化方法が必要となるだろう。フラッシュメモリを凌駕する様々な不揮発性メモリ技術が開発されつつある。これらの技術における記憶セルの形成方法は徐々にダマシン工程と CMP に移行していくと考えられ、今日の PRAM の GeSbTe 層用に配慮されている。3DIC 技術はより広く使われるようになってきているため、低コストで幅広い機能を作りだすには特別に高いレートバルク金属とバリア工程における改良が必要となる。

フラッシュメモリ以降の不揮発性メモリ技術が開発されている。これらの技術のストレージセルは、現在 PRAM の GeSbTe に見られる、熟成した CMP 技術を伴うダマシンプロセスへの移行が予想される。3DIC 技術がより広く適用されるに連れ、大きなサイズのデバイスに対し、バルク金属とバリアプロセスは超高速研磨プロセスや低コストの改善が求められている。

#### 4.6.4 装置課題

Dry-in, Dry-out コンセプトと呼ばれる、洗浄機一体型のロータリー型ポリッシャーが主流である。装置は、より熟成度は増してきたが、上記の新プロセス開発に合わせた改良・改善は今後も続くであろう。装置は、Overall Equipment Efficiency (OEE、使用効率)を向上させる努力も続けている。さらに、CMP 装置コスト削減のため、必要な Upgrade はするが、必要でなくなった機能は捨てるというトレードオフデザインと呼ばれる新たな考え方も必要になると思われる。現在、プロセスコントロールや面均性の向上を見据えた、エンドポイントと測定機能に重点が置かれているが、プロセス調整に時間を要するインライン測定に対してエンドポイントが好まれている。バリア CMP は現在、測定技術が使用されているが、真のエンドポイント機能が望まれるアプリケーションである。装置は低ストレス用に低面圧に設計されているが、更に進化させ消耗品も考慮した、低ストレス平坦化技術が望まれる。現在および将来技術を問わず、エッジエクスクルージョンを最小化し、平坦度を上げる技術革新が求められており、450mm への移行により更にこの開発は加速されるであろう。

#### 4.6.5 消耗材

消耗部材は平坦化性能を左右する最大の因子であり、それゆえ大幅な進歩が要求される。今日使用されている砥粒型スラリーは、特に欠陥の観点から安定性が重視される傾向にある。多種多様なスラリーの開発は、欠陥を下げ、平坦化を改善し、ますます複雑なアプリケーションをサポートしながらも、原価を減少させなければならない。スラリーは砥粒濃度を下げ、化学反応を強めると言う傾向は今後も継続し、

CMP 用に改質/調整される砥粒も増加傾向にある。研磨材は、許容できる純度と独特の界面・バルク特性で作られなければならない。種々の要求に対するマージンやサポートのし易さの実現に向け、調整可能な基本組成である砥粒と薬液の組み合わせが必要である。代替平坦化技術に対応するため、新たな薬液に対する柔軟な生産体制が必要となる。ポーラスな膜に特に必要となるが、コロージョン等の問題の無く、スラリーや残渣を最適に除去する洗浄薬液の開発が望まれる。洗浄ブラシは、新材料や新たな形成方式が必要となろう。

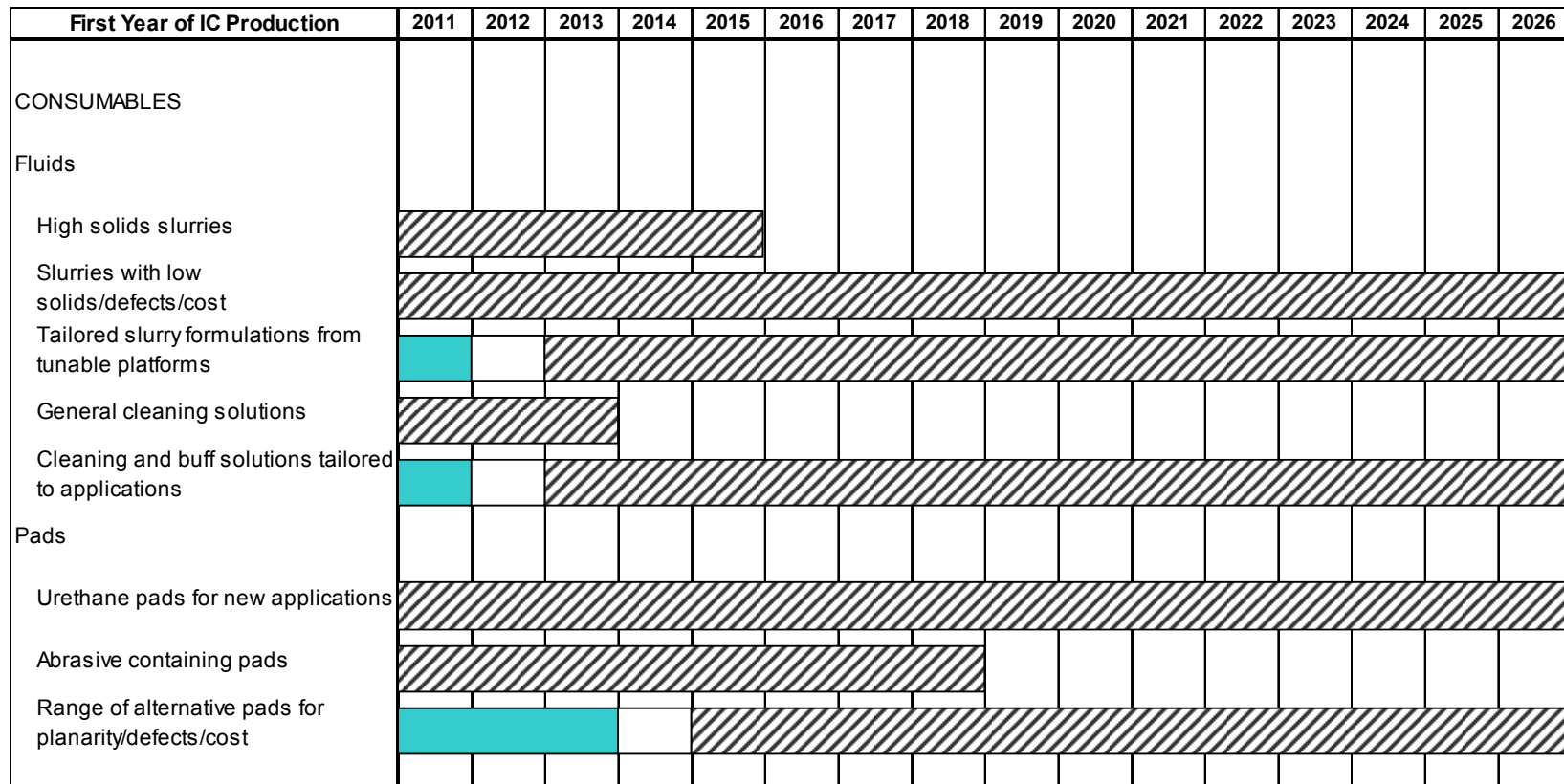
今日のウレタンパッドにおいても、幅広い硬度や種々アプリケーションに対応できる化学移送などの大幅な進歩が必要である。今日、固定砥粒パッドは主に STI で使われているが、用途ごとにスラリーとの組み合わせを考えることが出来る様々な種類のパッドの開発が強く望まれている。新しいタイプのパッドに対しては特に、パッドコンディショニング方法の改善も必要である。

| First Year of IC Production                                   | 2011 | 2012 | 2013 | 2014 | 2015 | 2016 | 2017 | 2018 | 2019 | 2020 | 2021 | 2022 | 2023 | 2024 | 2025 | 2026 |
|---------------------------------------------------------------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|------|
| MAJOR APPLICATIONS                                            |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Dielectrics                                                   |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Premetal dielectric (PMD)<br>[target & selective]             |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Dielectric on poly (POP)<br>[metal gate, flash]               |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Interlevel dielectric (ILD)<br>[memory]                       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| LK/ULK dielectric (PMD/ILD)<br>[NVRAM, air gap, PMD]          |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Backside Si<br>[thinning, 3DIC]                               |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Backside dielectric [3DIC]                                    |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Conductors                                                    |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Aluminum/WF metals<br>[metal gate]                            |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Polysilicon<br>[selective]                                    |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Tungsten/buff for contact/via<br>[selective & nonselective]   |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| New contact/local interconnect<br>[logic]                     |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Tungsten/buff for bit/word lines<br>[memory]                  |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Capacitor (Ru, Pt)<br>[DRAM]                                  |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Copper/barrier/diel<br>[4.0 > $\kappa$ eff > 2.5]             |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Cu/barrier/hardmask/diel<br>[2.7 > $\kappa$ eff > 2.0]        |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Cu/barrier (Ru, Co, Mn)/HM/diel<br>[2.2 > $\kappa$ eff > 1.4] |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| NVRAM cell (GST, PZT, Ni, Fe)<br>[PRAM, MRAM, FeRAM]          |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Metal/barrier/diel for 3DIC<br>[memory, logic]                |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| EQUIPMENT                                                     |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Integrated clean and endpoint detect                          |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Onboard metrology and process control                         |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Multi-step processing with higher thrupt & lower stress       |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| Very low stress and local force planarization methods         |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |
| continued                                                     |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |      |

This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

|                                |  |
|--------------------------------|--|
| Research Required              |  |
| Development Underway           |  |
| Qualification / Pre-Production |  |
| Continuous Improvement         |  |

Figure INTC20 Planarization Applications and Equipment Potential Solutions



**This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.**

Research Required  
 Development Underway  
 Qualification / Pre-Production  
 Continuous Improvement



Figure INTC21 Planarization Consumables Potential Solutions

## 4.7 Si 貫通ビア(TSV), 3D 積層化技術

### 4.7.1 序論

TSV 接続を用いた 3D 配線技術は、基本的に 3 種類の主要プロセスモジュールから成り立っている: (1) TSV モジュールそのもの、(2)ウェーハ薄化と裏面処理プロセス、および(3)ダイあるいはウェーハの積層化プロセス(永久接着およびあるいは仮接着)。これらのプロセスはそれぞれが、かなり特化した装置とプロセス技術を必要とし、マイクロエレクトロニクスサプライチェーンの中の異なった分野で行われている。プロセスモジュールに関する以下の議論は、それゆえ、これらの三つの基本要素で構成される。

### 4.7.2 Si 貫通ビア技術

集積回路(IC)の Si 基板を貫通したビア接続を実現するため、非常に多くの技術が提案されてきた。実際のプロセスは IC 製造プロセスの前、途中、あるいは後に行われる。この技術は、能動素子が搭載されていない シリコン・インターポーザ作成のためだけにも使われている。しかしながら、以下の多くの共通点を、明確に定義することが可能である: Si 基板にエッチングで孔を形成しなければならない、Si 基板中への金属の拡散を阻止するためバリア層が提供されなければならない、そして導電材料をビア内に埋め込まなければならない。TSV 技術でもっとも一般的なのは、ウェーハプロセス工程が完了する前に TSV 機能を作りこむ方法(3D-SIC 技術で一般的)か、ウェーハプロセス工程が完了したあとにビアを形成する方法(3D-WLP 技術で一般的)である。

### TSV エッチング技術

TSV 孔を形成する際、一般的に、ウェーハを完全に突き抜けるエッチングは行わない。Si 基板を貫通する孔のウェーハプロセスは、ウェーハやウェーハレベル・パッケージングの標準的なプロセス、およびその設備との整合性が良くない。よく使われるのは、“blind”ビア法である。Figure INTC22 に見られるように、ある一定の深さまでか、エッチストップ層に到達するまで TSV エッチが行われる。

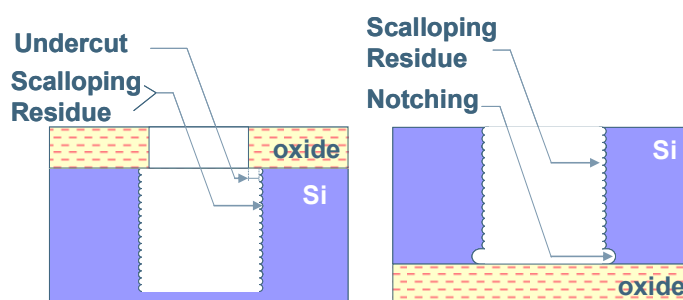


Figure INTC22 Schematic Representation of the Challenges for Si-TSV Plasma Etching

### マスク、酸化膜あるいは BEOL 層を介したエッチング

インテグレーション上の現実的な課題に強く依存するものの、Figure INTC22 に示すように、Si 基板へのビア孔形成には、レジスト、酸化膜、あるいは SiO<sub>2</sub>、SiN、SiON、SiO(C)、Low- $\kappa$  材料といった BEOL 層を介したエッチングが必要となる。Si の TSV エッチングを行う前には、マスク層がエッチングされなければならない。これは Si エッチの前に、Si エッチと同じ装置か、あるいは別の装置、チャンバで行われる。保護層あるいはマスク層に対する Si エッチの選択比にもよるが、厚い保護層/マスク層の条件でのエッチプロセスが開発課題となるであろう。また、パターニングされた保護層/マスク層の下に生じる Si のアンダーカットが懸念事項となる。

### 高アスペクトの Si 孔、溝エッチング

実際の Si 孔形成は、通常、プラズマエッチングによって行われている。TSV Si エッチングの特長は、エッチング孔が深く、アスペクト比が高い点である。よって、高価な装置を占有した、長時間プロセスとなるため、高速のエッチングプロセスが強く望まれている。

ビア孔エッチングの重大な課題として、側壁のテーパ角を(局所的にも全体的にも)うまくコントロールすること、側壁の荒れやスキヤロップを最小限にすること、最小限の残渣/欠陥、最小限のアンダーカットとノッチ、マスク層真下の bowing を最小にすること、相応のエッチレート、そして再現性とエッチング深さ・形状の面内均一性が優れていることがあげられる。

Si が等方的にエッチングされることを避けるため、側壁のパッシベーションとビア底の Si エッチング反応とを両立できるエッチングレシピが用いられる。よく使われている方法として“Bosch”レシピがあり、パッシベーションとエッチングステップの時間をそろえて交互に行う。パッシベーションのステップでは Si 表面にポリマーを付着させる。Si エッチのステップでは、ビア底表面のポリマーが容易に除去され、ビア側壁にはそれを残して Si 表面を保護する。Figure INTC22 の概略図に示すように、この方法の欠点は側壁 Si 上の“スキヤロップ: scalloping”である。ビア側壁表面に形成される、周期的な円形のリッジが、これ以降のステップを複雑にする。

限界寸法、アスペクト比、および TSV プロセスによる最終的なエッチング深さにも依存するが、non-Bosch レシピの RIE プロセスも使われるであろう。これらは通常、既存の CMOS プラズマエッチャー(酸化膜あるいはポリシリコン用)のハードウェアをアップグレードし[1]、さらに先端プロセスの開発を行って、TSV の形状・サイズならでは、主に三つの主要性能向上に取り組む: 1) 5-15 $\mu\text{m}/\text{min}$  くらいの高いエッチング速度、2) テーパ角を調節するための高い異方性性能/可能性、3) Si エッチに対する高い選択比。製造業の立場から言えば、non-Bosch RIE プロセスが Bosch プロセスより優れている主な点は、scalloping の無い滑らかな側壁; 側壁テーパ角の調節能力; 既存設備の再利用; 最小限のフッ素を含んだポリマー残渣; そして最小限のアンダーカットがあげられる。注目すべきは、限界寸法があまりにも小さくなって(通常 1 $\mu\text{m}$  以下)、アスペクト比が高くなりすぎると(通常 20:1 以上)、Bosch プロセスのほうが有利になる点である。

エッチングのあと、Si ビアホールクリーニングが重要なプロセスとなる。特に、Bosch エッチのパッシベーションサイクルの際に形成されるフッ素を含んだポリマーは、次のプロセスの前に完全に除去される必要がある。

深い Si エッチングプロセスに関する、もう一つの固有の特徴は、エッチング速度がアスペクト比に依存することである。Si ウェーハ内のビアをより深く掘り進んでいく時、あるいはビア径が小さくなる時、エッチング速度が低下する。平均のエッチング速度とビアのアスペクト比は、概ね逆比例の関係にある。結果として TSV パターニングの CD 制御は、ウェーハ間で均一なエッチング速度を得るのに極めて重要となる。

### TSV ライナープロセス - 絶縁層が TSV 容量を規定する

TSV 接続を Si 基板から電氣的に絶縁するため、絶縁層が必要である。絶縁層の重要要件は、低リーク電流、十分大きな耐圧と低容量を示すことである。

TSV ライナー層の成膜は、デバイスのプロセスフローと適合していなければならない。成膜温度なら、“via middle”であればフロントエンドのデバイスプロセスが許容できる温度、“via last”であればバックエンドの配線プロセスが許容できる温度、そして TSV プロセスがキャリア上で行われるのであれば仮接着材料が耐えられる温度であることを意味している。とりわけ、DRAM メモリデバイス形成後の TSV プロセスは、デバイスウェーハに損傷を与えないため、200 $^{\circ}\text{C}$ 以下が必要とされている。

理想的にはこのライナー層が Si 側壁の凹凸(Bosch エッチングによる scallop のこと)を平坦化しなくてはならない。側壁のスキヤロップの上にコンフォーマルな成膜が行われると、以下に続くプロセスステップによって、さらに難しい表面形状になる可能性がある。

PVD 法も検討されているものの、もっとも一般的なライナーは CVD 成膜した酸化膜か窒化膜である。低温のプロセス条件ではコンフォーマルな成膜がより難しくなる。窒化膜は容量の増加につながるものの、金属拡散を防ぐバリア膜として使える。

3D-WLPを via-last の TSV で形成する場合、ポリマーの絶縁膜も使用可能である。径の大きなビア構造でも非常に低い容量を実現でき、また TSV 構造において金属に生じる歪みの吸収層として有効である[2]。

### TSV バリア層

TSV メタルの Si 中への拡散を防ぐため、品質が高く、ピンホールの無いバリア層が必要とされている。よく使われているのは Ta と TiN で、TSV メタルとライナー膜との密着力も向上する。

バリア膜の成膜技術として一般的なのは PVD と CVD である。CVD は様式が異なるため、非常に難しい高アスペクト TSV ビア孔へのバリア成膜が可能となる。PVD 技術は、コンフォーマルな成膜やアスペクト比という点でより大きな制限があるが、優れた密着性、膜のバリア特性、および低い運用コストという点で好まれている。PVD 装置の改良で、PVD 法によるバリア成膜のプロセス条件範囲が広がられている。

### TSV メタル埋め込みプロセス

導電性の TSV 構造を実現する主な方法として、Cu の電解めっき (ECD) 法、タングステン (W) の CVD 法、Cu の CVD 法、あるいは "via first" でのポリ Si の埋め込みがある。Cu あるいは W 埋め込みについてはいくつかのオプションプロセスが存在し、詳細を以下に示す。Figure INTC23 は、3D-TSV ロードマップにおける、Cu と W-TSV の異なるオプションプロセスについて、TSV 径とアスペクト比の関係をマッピングしている。

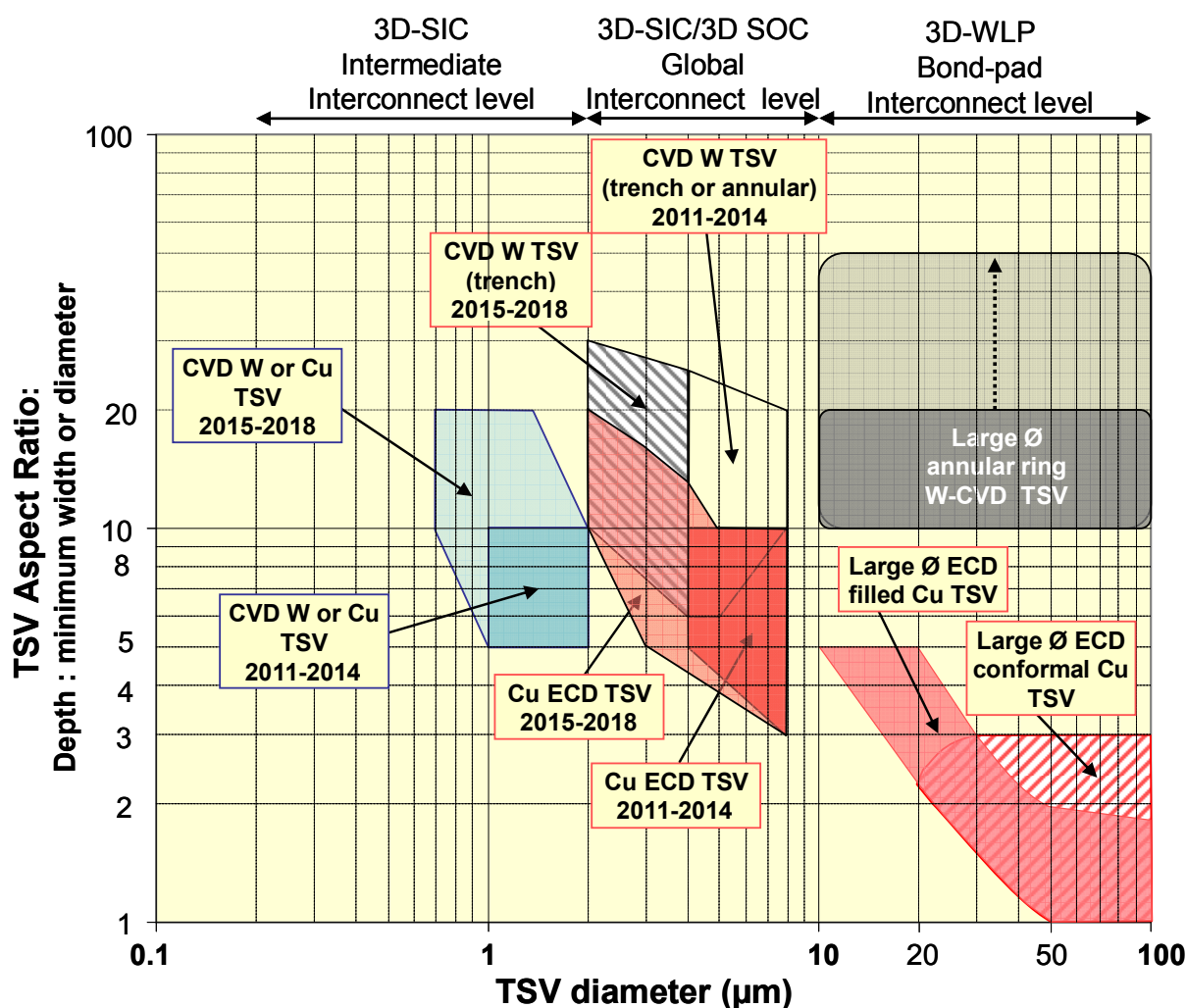


Figure INTC23 Cu and W-based TSV Options as a Function of TSV Diameter and Aspect Ratio, in accordance with the 3D Interconnect Hierarchy and Roadmap

(Trench and annular TSV refer to non-cylindrical TSV shapes which are narrow in one lateral dimension.)

## Cu TSV

Cu TSV のプロセスステップは、シード Cu の成膜、ECD による Cu ビア埋め込み、および余分な Cu 層の CMP による除去からなる。

一般的な手法は、BEOL プロセスのシングルダマシ Cu めっきとしてよく使われているものの応用である。大きな違いは、Cu TSV 形状が高アスペクトな点である[3]。

Cu シード成膜でよく用いられているのは PVD 法である。主要課題は、高アスペクトの TSV 構造で連続的なシード層を得ることである。Cu PVD 法で実現している最も高いアスペクト比は 5~10 である。高アスペクト TSV に対応可能な、それに代わる方法として、CVD Cu、Cu シード層のエレクトログラフィティ法、およびバリアメタル上へ Cu を直接めっきする方法がある。

ECD 法による Cu 埋め込みプロセスの主要課題は、ボイドフリーの埋め込みを実現することである。そのためにはエッチングされたビア構造への“superfilling”が必要である。これは、ビア底での成膜を加速し、ウェーハ最表面での成膜を抑制・平滑化するよう、めっき液中の添加剤を注意深く制御することで実現される。結果として得られるプロセスは成膜速度が遅く、1 台の装置で複数のウェーハを並行処理できる設備が必要となる。

ECD Cu 成膜のあと Cu アニールが行われる。典型的な via-middle プロセスではそのあと Cu-CMP を行う。さらに続く BEOL プロセスのため、Cu-CMP に加えて、バリアとライナー層も取り除く必要がある。

## W TSV — W CVD 埋め込み, CMP

CVD は、大きなアスペクト比の狭い TSV 構造を埋めるのに用いられる。直径が 3 $\mu$ m までの TSV について報告されている[4]。より大きな TSV 構造は、狭いスリット型、あるいは同心円状のリング型の TSV を複数個、並列接続することで実現できる。W の CVD プロセスは非常にコンフォーマルである。典型的な W 埋め込みの TSV は、中心部のシーム状ボイドが特徴である。

TSV を埋めるには相対的に厚い W 層が必要なため、ブランケット W を、膜厚 < 500 nm ぐらいまで、剥離しないよう部分的にエッチバックする。部分的エッチバックはウェーハの反りを適度なレベルまで減らすのにも役立つ。

CVD 法での W 埋め込みのあと、代表的なプロセスは、ウェーハのフィールド上の W を除去するための W-CMP である。そのあと、さらに続く BEOL プロセスのため、バリア膜、ライナー膜の CMP が必要となる。

W CMP ステップに代わる方法として、W-TSV 構造のパッド部を定めるためにエッチバックプロセスが用いられる[5]。

## ポリ Si の TSV: VIA-FIRST 技術

via-first 技術では、FEOL プロセスとの整合性の問題で、Cu や W の TSV が使われない。ポリ Si が TSV 埋め込みに用いられる。この場合、ライナー膜だけが必要で、バリア膜は必要ない。ポリ Si 成膜のあと、そのウェーハは研磨され、標準的な Si プロセス工程が行われる。デバイス製造工程での歩留り低下を避けるため、高品質のウェーハ前処理が必要となる。ポリ Si の抵抗率が高いため、この手法の使用範囲は、高インピーダンスの TSV 配線が許容される製品に限定される。

### 4.7.3 ウェーハ薄化と裏面プロセス

#### 3D ボンディングの前に TSV を形成

これは 3D 積層化するウェーハを別々に並行して処理する方法である。TSV プロセスとコンタクトパッドの形成を並行して行い、3D 積層化するウェーハを用意する。プロセスの最後に、異なるダイあるいはウェーハが接合されて、3D 積層が完成する。(Figure INTC24 を参照)

TSV 形成を 3D ボンディングの前に行うということは、薄化したウェーハでのプロセスを意味する。via-last プロセスでは、それが実際の TSV 接続形成工程となりえる。via-first と via-middle プロセスでは、通常は、ウェーハ裏面に TSV を露出させるプロセス、裏面への保護膜形成プロセス、そして再配線とバンプ構造をウェーハ裏面に形成するプロセスが含まれる。これらのプロセスは広範囲におよび比較的高温を必要とする可能性がある。

ボンディングの前にウェーハ薄化を行うプロセスフローでは、薄化ウェーハが壊れないように運搬するプロセスが必要である。3D 積層化に対する要件は、3D-SIP 応用で用いられている標準的な薄化や個片化プロセスと比べて著しく厳しいため、専用の手法が必要となる。

このプロセスの鍵となる要素技術を以下に示す：

### 仮接着した薄化ウェーハのキャリアシステム

薄化ウェーハのキャリアシステムは ウェーハ薄化後に標準的な半導体プロセス装置で行われる、幅広いプロセスを考慮すべきである。薄化したデバイスウェーハとキャリアとの間の仮接着層は、すべての(高温)TSV プロセスにおいて安定であり、かつ薄化した 3D ダイにダメージを与えたり、残渣を残したりせず、取り外せなければいけない。

二つの主要な方策は以下の通り：

a) 一つの方策はキャリアとしてガラス基板を用いる。この方法だと光学的な技術を用いて、硬化(例えば、UV 硬化)あるいは、薄化した TSV ウェーハからキャリアウェーハを剥離(例えば、レーザ アブレーション)することが可能になる。また裏面プロセスを行う際に、光学的に back-to-front の位置合わせが行える。ガラスキャリアの欠点は、熱膨張係数(CTE)が Si と整合した特別なガラスの必要性、キャリアウェーハのコスト、そして標準の半導体プロセス装置との互換性である。

b) それに代わるオプションは、仮のキャリア基板として Si ウェーハを用いることである。代表的なプロセスフローを Figure INTC24 に示した。薄化した Si ウェーハの端が非常に鋭くなる問題を防ぐため、ウェーハ端のトリミングを行っている。その結果、薄化したウェーハはキャリアウェーハより小さな径になる。これにより、標準的な半導体装置における、よりロバストなウェーハの取り扱いが可能となる。

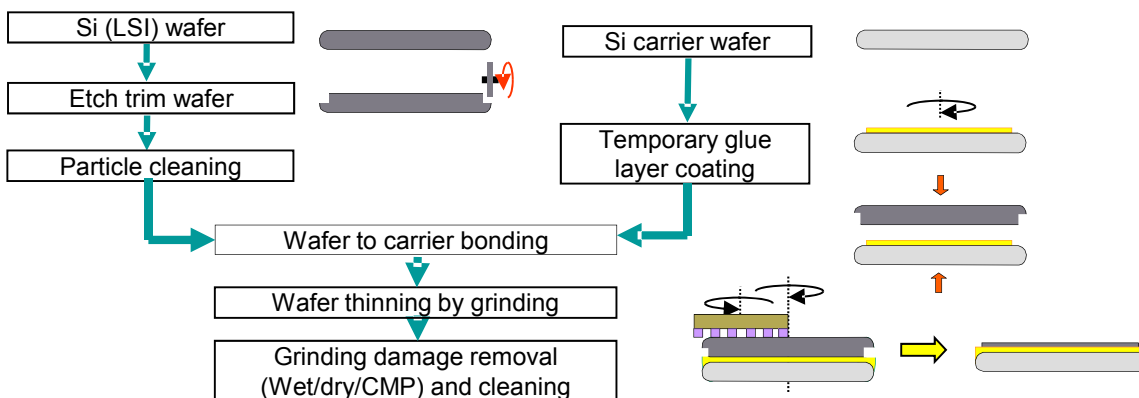


Figure INTC24 Temporary Carrier Strategy for Thin Wafer Post-processing

本プロセスに用いる仮接着層は課題が多く、3D 集積化スキームを成功させる重要な技術となる。物性を複雑に組み合わせることが必要とされている：容易に剥離できる機能を有しつつ、プロセスの最中では安定なこと。レーザを利用した方法(ガラス キャリア)、溶かしてスライドさせる方法(熱可塑性の接着剤)、溶媒による溶解、そして機械的な剥離(引き剥がし)などのように、様々な剥離機構が検討されているところである。

### ウェーハ薄化

研削によるウェーハ薄化は、半導体パッケージング分野で定評のあるプロセスである。TSV 技術で重要なのは Si の厚さの制御と表面の品質である。薄化したウェーハのトータルの厚さばらつきは、キャリアウェーハの厚さばらつき仮接着層の厚さばらつき、そして研削装置の精度の組み合わせで決まる。ウェーハの機械的な研削のあと、ウェーハ裏面には薄いダメージ層が残る。このダメージ層を取り除くために、CMP、ドライエッチ、そしてウェットエッチの技術が使われている。既に TSV が形成された Si ウェーハを研削する場合は、ウェーハ裏面で TSV 構造が露出することに、特別な注意を払う必要がある。それは、追加のプロセスを必要とするであろう。

### 薄化後のウェーハ洗浄

機械的な裏面研削はウェーハ裏面にパーティクルが残る可能性がある。裏面上のプロセスのため、このウェーハをプロセスラインに再投入することを受け入れるには、徹底したパーティクル洗浄が絶対に必要である。

### ウェーハ裏面プロセスの必要性

キャリア上の薄化ウェーハは、以下のプロセスを行えるよう、標準の半導体プロセス装置に対応しなければならない：

- Via-last TSV プロセス (3D-WLP で特に典型的)
- ウェーハ裏面の保護膜形成
- 任意の裏面再配線プロセス
- 裏面接続“バンプ形成”

### ゲッタリング特性

ウェーハを薄化した後、ゲッタリング特性には注意を払う必要がある。

#### 4.7.4 積層化後の TSV 形成オプション

これは、逐次プロセスで 3D 集積化を行う方法である。3D TSV プロセスの前に、ウェーハは貼り合わされる。何層も積み上げて積層化するため、このプロセスが繰り返される。結果として最下層ウェーハは、以下に示すすべての TSV プロセスにさらされる：

- 下側ウェーハ (積層化ウェーハ) との、Wafer-to-wafer 永久接着プロセス
- 全体の厚さ変動と Si 表面の品質がデバイスに影響を与える、ウェーハの薄化プロセス
- 以降のプロセスを行うため、ラインへの再投入に必要な、薄化後のウェーハクリーニングプロセス
- TSV あるいはパッド配線層形成に必要な、ウェーハ裏面プロセス

#### 4.7.5 積層化モジュール

- Wafer-to wafer ボンディング
  - ポリマーあるいは酸化膜による W2W ボンディング
  - メタル/メタルの W2W ボンディング
  - メタル/酸化膜あるいはメタル/ポリマーの W2W ボンディング
- Die-to-die あるいは die-to-wafer ボンディング
  - メタル/メタル 熱圧着ボンディング
  - Cu/Sn あるいは類似材料のマイクロバンプ接続技術
  - その他の方法：例えば、コーキング

## 5 新規配線の現実解

### 5.1 概論

微細化を進めることで、本質的にトランジスタ性能は向上するが配線性能は劣化する。このため、革命的な配線の現実解が現れなければ、新製品の性能やパワー効率も早晩、配線によって制限されることになる。このように将来を考えると、グローバル配線とローカル配線は共に膨大な課題が山積しているが、可能性のある現実解は極めて少ない。

グローバル配線では、マルチコア設計を採用することで最大配線長を短くし、この問題を和らげたが、過度の並列処理は応用分野を限定してしまう。3D 配線は可能性のある解であるが、インテグレーションや信頼性の課題を未だに抱えている。他の実現可能な解として光配線があるが、この章にて後に詳細に議論する。

ローカル配線では、Cu 細線の側壁や粒界での電子散乱により電気抵抗率や信号遅延が急速に増加する。このような細線における急激な抵抗率増加を防ぐには、電子散乱の影響の少ない新しい配線材料システムが必要である。例えば、シリサイド、ナノチューブ、ナノワイヤー、グラフェンナノリボン、あるいは位相を考慮した絶縁膜を用いた一次元のバリスティック輸送現象はこの解に成りうる。バリスティック輸送は微細寸法では有利な点が多いが、これらのオプションの多くは Cu や CNT らの輸送体に繋がることで、原理的に量子抵抗を有する。この量子抵抗の他に、技術的に考えると、界面、基板やインテグレーションのために付加的な電導体を用いる必要があるので、バリスティック輸送体を導入する障壁となる。

FET に代わる新たなトランジスタやスイッチを探索することで、ローカル配線に新輸送体が導入される可能性がある。例えば、グラフェンを用いたスイッチは、グラフェンを CMOS トランジスタの有望な代替技術と考えるならば、グラフェン自体をローカル配線に使うことは合理的である。これらの応用では、スイッチとローカル配線が一体化し、デバイスと配線機能を兼ねるネイティブデバイス配線が必要である。言い換えると、隣のスイッチと効率的に繋がっていないスイッチを開発しても、システムパフォーマンスは向上しないと思われる。この点に関しては、本章 Si CMOS Replacement の節で詳しく議論する。

新規配線には、Cu の置き換えを考えるものとネイティブデバイス配線の 2 種類に分類できる。Cu 代替オプションでは、カーボン系や光学材料等、未だ開発中にある材料を用いる。ネイティブデバイス配線は、新たなスイッチ機能に依存するので極めて探索段階にあるが、FET スwitchの置き換えを目指してロードマップを正しい解に向けるためには、それらの特徴を考慮することは本質的に重要である。Table INTC10 には、13 種類の新規配線に関する主な特長と課題を纏めた。

Table INTC10 Advantages and Concerns for Cu Extensions, Replacements and Native Device Interconnects

| Application             | Option                                | Potential Advantages                                                             | Primary Concerns                                                                                                            |
|-------------------------|---------------------------------------|----------------------------------------------------------------------------------|-----------------------------------------------------------------------------------------------------------------------------|
| <b>Cu Replacements:</b> | Other metals ( Ag, silicides, stacks) | Potential lower resistance in fine geometries                                    | Grain boundary scattering, integration issues, reliability                                                                  |
|                         | Nanowires                             | Ballistic conduction in narrow lines                                             | Quantum contact resistance, controlled placement, low density, substrate interactions                                       |
|                         | Carbon Nanotubes                      | Ballistic conduction in narrow lines, electromigration resistance                | Quantum contact resistance, controlled placement, low density, chirality control, substrate interactions, parametric spread |
|                         | Graphene Nanoribbons                  | Ballistic conduction in narrow films, planar growth, electromigration resistance | Quantum contact resistance, control of edges, deposition and stacking, substrate interactions                               |
|                         | Topological Insulators                | Suppression of elastic backscattering, spin polarized transport                  | No suppression of inelastic backscattering, inability to stack                                                              |
|                         | Optical (interchip)                   | High bandwidth, low power and latency, noise immunity                            | Connection and alignment between die and package, optical /electrical conversion efficiencies                               |

|                                     |                                  |                                                                                              |                                                                                                                         |
|-------------------------------------|----------------------------------|----------------------------------------------------------------------------------------------|-------------------------------------------------------------------------------------------------------------------------|
|                                     | Optical (intrachip)              | Latency and power reduction for long lines, high bandwidth with WDM                          | Benefits only for long lines, need compact components, integration issues, need WDM                                     |
|                                     | Wireless                         | Available with current technology, parallel transport medium, high fan out capability        | Very limited bandwidth, intra-die communication difficult, large area and power overhead                                |
|                                     | Superconductors                  | Zero resistance interconnect, high Q passives                                                | Cryogenic cooling, frequency dependent resistance, defects, low critical current density, inductive noise and crosstalk |
| <b>Native Device Interconnects:</b> | Nanowires                        | No contact resistance to device, ballistic transport over microns                            | Quantum contact resistance to Cu, substrate interactions, fan out/branching and placement control                       |
|                                     | Carbon Nanotubes                 | No contact resistance to device, ballistic transport over microns                            | Quantum contact resistance to Cu, fan out/branching and placement control                                               |
|                                     | Graphene Nanoribbons             | No contact resistance to device, ballistic transport over microns, support for multi-fanouts | Quantum contact resistance to Cu, deposition and patterning processes.                                                  |
|                                     | Spin Conductors-Si(Mn), Ga(Mn)As | Long diffusion length for spin excitons                                                      | Low T requirements, low speed, surface magnetic interactions                                                            |

## 5.2 銅(Cu)配線の置き換え

バルクの Cu の電気抵抗率は銀を除くすべての従来の金属より低いため、Cu の置き換えとして有望な金属の適性は、電気抵抗性に対するサイズ効果が少ないという条件で初期的には決定される。即ち、バルクの特長では Cu の電気抵抗率には劣るが、ロードマップ終焉時期に対応する微細線幅では Cu よりも優れている可能性がある代替材料が研究されてきている。また、Cu ではない金属の多層の超薄膜や多層ナノ配線構造において、新規の量子効果が従来の Cu/バリア膜系に比べて優れた性能を発揮するかもしれない。可能性のある選択肢を以下に記載する。

### 5.2.1 金属シリサイド

ニッケルモノシリサイド導電体 ( $\sim 10\mu\Omega\text{-cm}$ ) のバルクの電気抵抗は、単結晶ナノワイヤー (SCNWs) のワイヤーの横方向のサイズが微細化されて 50nm に近づいても影響されないことが幾人かの研究者達によって示されている[1-3]。これは、NiSi の小さい電子の平均自由行程 ( $\sim 5\text{nm}$ ) に依る。15nm という小さい直径のニッケルシリサイド SCNW においても、バルクの抵抗値が維持されることが現在までにひとつのグループによって報告されており[3]、このサイズでの多結晶 Cu 配線に期待される抵抗値より有利になると比較されている。本来的にシリコン系デバイスと集積化が容易であり、広く FEOL 工程でニッケルシリサイドコンタクトが普及しているため、今後も関心は高いと予想される。他のニッケルシリサイド相も、50nm を切る単結晶ナノワイヤーの領域において、バルク同様の電気抵抗を示す。直径 40nm 程度の NiSi<sub>2</sub> 単結晶ナノワイヤーは、バルクの NiSi<sub>2</sub> の抵抗値と一致する  $30\mu\Omega\text{-cm}$  の実効抵抗値を示す。同様に、34nm 程度の直径の Ni<sub>2</sub>Si 単結晶ナノワイヤーは、 $21\mu\Omega\text{-cm}$  の実効抵抗値を示す[5]。シリコンナノワイヤーへの ALD 法による NiSi<sub>2</sub> の超薄膜の環状製膜においても、バルクに近い抵抗値 ( $\sim 35\mu\Omega\text{-cm}$ ) が得られている[6]。これらの材料は単結晶であるので、化学両論的にモノシリサイド (NiSi) ナノワイヤーは最大電流密度が  $10^7\text{-}10^8\text{A/m}^2$  以上の値を示している。幾つかのグループによって、ニッケルシリサイドナノワイヤーのバルク同様の電気抵抗率の安定性が確認されているが、11nm ノードでの Cu 配線の実効抵抗値に近づくことが可能な、配線工程の Cu の代替として特に適正なものは、モノシリサイド相だけである。

トップダウンのニッケルモノシリサイドワイヤー形成の重要な実証例が最近報告され、実験的な関心が持続的に払われるだろう。パターン化されたシリコンのニッケルシリサイド化により、25nm 以下の幅の単結晶ニッケルシリサイドワイヤーを効率的に得ることが出来る。この手法で形成されたワイヤー幅  $> 50\text{nm}$  のワイヤーのバルク様の抵抗値 ( $\sim 15\mu\Omega\text{-cm}$ ) が、報告されている[4]。一方、ワイヤー幅  $\leq 30\text{nm}$  のニッケルシリコンワイヤーは、 $\sim 23\mu\Omega\text{-cm}$  を示す[7]。対照的に、断面が  $23\times 31\text{nm}^2$  と  $455\times 27\text{nm}^2$  の同様な方法で形成されたニッケルシリサイドナノワイヤーの測定された電気抵抗率は、 $19.5\mu\Omega\text{-cm}$  と  $19.7\mu\Omega\text{-cm}$  とほとんど変化がなかった[8]。できあがったニッケルシリサイド配線構造において、 $10\mu\Omega\text{-cm}$  程度以下の抵抗率が保持されるか

どうかは、まだ検証すべき課題であるか、この報告ならびに以前に報告された論文からは、ニッケルシリサイドの比較的低いサイズ依存性を明確に示している。

### 5.2.2 銀

文献に最近報告されたように、大きな平均自由工程(～58nm)を有するため、銀の薄膜やナノワイヤー構造での電気抵抗率は、サイズ効果により本質的に増加する[9-11]。さらに最近の報告では、平均のワイヤーの直径が 40-50nm の単結晶 FCC 銀ワイヤーの平均抵抗率が  $11.9\mu\Omega\text{-cm}$  であることが示されており、この傾向を追認した[12]。まだ、魅力的な抵抗値を示す、ナノスケールの銀ワイヤーの例がある。直径 100nm を切る単結晶銀ナノワイヤーでは、抵抗率～ $2.6\mu\Omega\text{-cm}$  を示した[13]。比較的ワイヤーの直径が大きい、この値の抵抗率はプロセスによる影響が大きいことを示しており、銀ナノラインの研究を続ける動機となるであろう。

### 5.2.3 金属フォノン工学

電子-フォノン散乱は、室温またはそれ以上の温度で、20-40%の範囲で電気抵抗に寄与する[14, 15]。32nm 以細線幅のワイヤーでは、表面散乱が主要因であると予想されるが、電子-フォノン散乱の低減も迫らなければならない。金属量子井戸は適切な構造と材料を選べば、電子-フォノン結合を低減できることが示されている。バナジウム基板上の銀超薄膜(3nm)ではバルクの銀に対して、38%の電子-フォノン結合の低減が認められる[16]。この結果は、室温での局在する状態密度と表面散乱への影響により、フォノン誘起電気抵抗率の約 30%の低減、あるいは全体の電気抵抗率の約 10%の低減に換算できる[17]。同様に、Cu(111)基板上の 13nm の銀薄膜では、同様な電気抵抗率の低減効果をもたらす、バルクに比較して、42%の電子-フォノン結合の低減が認められる[18]。不完全は金属-金属界面が、電子-フォノン結合による抵抗率への恩恵を覆い隠してしまうかも知れないけれど、そのような多層構造に対する、継続的な研究の必要性が強調されるべきである。

### 5.2.4 金属の幾何学的共鳴

量子拘束効果は一般的に電気抵抗率に関しては悪影響を及ぼす。そのような効果は、典型的には、状態密度の制限やサブバンド間散乱による電子散乱(表面かフォノンに起因する)を増大する[17, 19]。これらの効果は、電子の量子状態波ベクトルの有限サイズ制限に起因する[20]。明確なタイプの量子の拘束効果は電子表面散乱に基づいて予測されている[21-23]。ひとつの複雑さは、横断する波動関数(またはその誘導関数)の波節と偶然に一致した層界面における多層膜の幾何学的共鳴の存在である。幾つかの共鳴現象が、現在と将来のクラディング技術に沿って 1～3nm の範囲において、個々の層の厚みに対して存在する。終端効果は、擬似弾道輸送(フォノン誘起散乱が無視できる)を可能とするサブバンド間散乱の予期された低減を意味する。そのような効果の研究は、Cu やカーボンによる配線の代替技術と同様、従来の金属において研究されている、よりコアシェル型のナノライン構造が研究されるにつれて、発展するであろう。

### 5.2.5 カーボンナノチューブ

カーボンナノチューブ(CNT)は、大きな電子の平均自由工程、機械強度、高い熱伝導性や大電流を流す能力のため、将来の技術として、大規模集積回路の配線としての応用に主要な研究的興味を引き起こしている。CNT は単層(SWCNT)または、多層(MWCNT)がある。単層 CNT はただひとつのグラフェン殻からなっており、その直径は、0.4nm から 4nm で典型的には、1.4nm である[24,25]。多層 CNT は複数の同心円状のグラフェン円筒からなっており、その外径は数 nm から 100nm まで変化し[25,26]、層の間隔は、0.32nm であり、グラファイトのグラフェンシートの間隔と同じである[25]。単層 CNT のグラフェン円筒や多層 CNT を形成する殻は金属または、半導体的な伝導性いずれかを示し、これは、幾何学的な構造(対称性)に依存する。しかしながら大口径の半導体的な伝導性を示す殻( $D > 5\text{nm}$ )は電子の熱エネルギーと同等か小さいバンドギャップを有するため、室温では、導電体のように振舞う[25-27]。

## CNT の利点

CNT はそれらの一次元的な性質や特異なグラフェンのバンド構造や炭素間の強固な共有結合により、Cu/low- $\kappa$  と比べて幾つかの利点を提供する：

1. **高電導性**—それらの一次元的性質により、CNT における電子散乱の位相空間が限られており、バルクの Cu での 40nm と対照的に、高品質の CNT ではマイクロメートルの範囲の電子の平均自由行程を有している[28]。緻密に充填された CNT の電導率は、微細化された長配線の Cu 配線より高い。しかしながら、短い CNT の束の導電率は、量子抵抗により限られた値である。金属電導の単層 CNT は二つの電導チャネルを有しており、その量子抵抗は 6.5 k $\Omega$  である[25,29]。
2. **エレクトロマイグレーション耐性**—グラフェンにおける強固な  $sp^2$  炭素結合により、非常に強い機械強度を示し、Cu での  $10^6$  A/cm $^2$  とは対照的な  $10^9$  A/cm $^2$  という非常に大きな電流伝導能力を CNT 配線に付与している[30]。しかしながら、実用上は、CNT 配線における最大電流密度はコンタクトで制限されるだろう。
3. **熱伝導性**—長軸方向の独立した CNT の熱伝導性は、6000 W/mK のオーダーであると、理論的なモデルから[31]と多孔性の束の実測値の外挿から[32]示唆されるように、非常に高いと期待される。CNT における熱伝導は非常に異方性であり、横方向の伝導性は、長軸方向の伝導性に比べて数桁低い。

## CNT 集積化の選択肢

低抵抗で短い配線、すなわち、第一配線レベルでの電力、接地線などが必要とされるところ以外においてほとんどの層の配線階層において、Cu/low- $\kappa$  を置き換えることが可能である[33]。CNT は以下の形態のオンチップ配線の応用に集積化可能である：

1. **単層 CNT 束**—電極と高品位のコンタクトを有する Cu/low- $\kappa$  配線と同じ次元の高密度単層 CNT の束は配線抵抗の低抵抗化と Cu ワイヤのサイズ効果の問題を扱うために Cu/low- $\kappa$  配線を置き換える理想的な候補である。この集積化の選択肢は、RC 遅延が支配的な長配線において大幅な遅延改善をもたらす[24,33-35]。
2. **数層の単層 CNT 配線**—単層 CNT の数層の配列は、50%以上 CNT の容量を低減することが可能であるとともに、隣接する配線間の静電的結合を大幅に低減可能である。このことは、ローカル配線の遅延と電力消費を減らす助けとなる。この配列構造は遅延が、容量負荷が支配的であり、抵抗ではない短いローカル配線に対して特に興味を持たれる[36]。
3. **大直径多層 CNT**—適切な接続が形成されれば、多層 CNT 内のすべての殻は電導性を示すが、理論と実験から証明されている[26,27,37]。高品位な多層 CNT では平均自由行程が非常に大きく[26,38]、理論的モデルによれば、長い大直径の多層 CNT は Cu を凌駕する可能性がある。さらに、単層 CNT と同程度のレベルのチューブ内の欠陥であり、すべての殻に適切に金属コンタクトが形成されれば、単層 CNT さえ凌駕する可能性がある[39]。そのような多層 CNT はセミグローバル配線や、グローバル配線に適している。最近、ギガヘルツ帯で動作する多層 CNT 配線が実証された。これらの実験における多層 CNT の導電率は主に、欠陥密度の高さや、外殻と内殻の直径の比が小さいという理由のため、理論モデルよりかなり低かった[40]。

## CNT の課題

CNT を配線として利用することができるようになるには、取り組むべき技術的な課題が数多くある。CNT の集積化に対する重要な課題は以下の通りである：

1. **CNT の高密度集積化を達成する**—CNT 束は十分に密であれば、導電率で Cu ワイヤを凌駕できる。分散した単層 CNT はチューブ間の距離が一定の 0.34nm で規則的な高密度の配列を形成することが出来るが、これまでに報告されている[36]が、面内で成長した CNT はきわめて低密度である。Table INT C11 には導電率で最小サイズの Cu ワイヤを凌駕するのに必要となる金属電導の単層 CNT の最小密度を記載した。技術が進化して、Cu ワイヤに対してサイズ効果がより厳しくなるにつれて、最小密度はより小さくなる。触媒の材料と粒子サイズがナノチューブの径と密度を決める鍵となるパラメータである。

フォノン律速の電子平均自由行程が室温で  $1\mu\text{m}$  である、単層CNTの直径は  $1\text{nm}$  であると仮定される[41-43]。コンタクト抵抗は、単層CNTの真性抵抗の 10%以下と仮定され、このことは、束の長さが長いほど、大きなコンタクト抵抗が許容できることを意味する。密に充填された直径  $1\text{nm}$  の金属電導の単層CNTの理想的な密度は、 $0.66\text{ nm}^{-2}$  である。

2. 金属単層 CNT の選択成長—現在開発されている単層 CNT の成長プロセスでは対称性の制御ができない。統計的にランダムな対称性を有する単層 CNT の 1/3 だけが金属的である[25]。半導体的なチューブに対する金属的なチューブの割合を増加させることで、この割合に比例して、単層 CNT 束の導電性は増す。半導体的単層 CNT は配線応用にとっては致命的ではなく、トランジスタへの応用と対照的に、対称性に対する完全な制御の必要はない。
3. 方向を揃えた CNT の成長—現在、特に挑戦的な段階は、水平方向での制御された CNT の成長である。垂直な面への触媒の配置が水平方向への成長を垂直方向の成長よりさらに困難にしている。しかしながら、水平方向への成長に関して、幾許かの進捗がある[44]。
4. 低抵抗コンタクトの達成—金属電極の CNT へのコンタクトは、反射効果を引き起こし、コンタクト抵抗を生じる。これらの反射は電極から CNT への電子の波動関数の不十分な結合により生じる。有望な理想に近いコンタクトが実験的に実現されてきている[27,45]。しかし、大きなコンタクト抵抗を示す多数の報告が、良好なコンタクトを形成するためには、技術的な課題が多いことを示している。束における単層 CNT 間[36]とまた、多層 CNT 内の殻間の弱いチューブ間相互作用のため[25,37]、すべてのグラフェン殻間の直接的な結合と金属的なコンタクトが要求される。垂直な CNT 束の CMP がこの要求に対する解となるであろう[46,47,49,50]。
5. 無欠陥 CNT の達成—CNT は吸着分子に非常に敏感である。さらに、安定な特性を有する CNT を生成するための技術的な課題として CNT の表面に吸着した分子が CNT の電気抵抗に影響することが見出されている[38,48]。
6. 配線工程と整合性のある CNT 成長—報告されているもっとも高品位な CNT は  $600^\circ\text{C}$  以上の温度で成長されており、この成長温度は、シリコン技術には相容れない温度である。 $400^\circ\text{C}$  程度の温度での CNT 成長を含む有望な進捗が報告されている[27]。しかしながら、成長温度が低下するにつれて典型的には、欠陥密度が増加する。さらに、CNT 配線は、すべての Cu 配線を置き換えそうにはない。それゆえ、CNT 配線形成技術は Cu/low- $\kappa$  技術と整合性が必要とされる。

CNT 配線は個別には有望であることが示されているが、それらを実際の回路に成功裏に結びつける努力は少ない。CNT によるデバイスや配線が大規模集積回路の本流技術として導入される以前に、幾つかのプロセス的、信頼性的な課題に取り組むことが必要である。このことが CNT を研究のための興奮させる開かれた分野にしている。精製、CNT の分離、ナノチューブの長さ、対称性、望ましい配列の制御、高密度成長、低温成長や高品位なコンタクトなどの問題がまだ十分には解決されていない。

Table INTC11 Minimum Density of Metallic SWCNTs Needed to Exceed Minimum Cu Wire Conductivity

| Year of Production                                 | 2011  | 2012  | 2013  | 2014  | 2015  | 2016  | 2017  |
|----------------------------------------------------|-------|-------|-------|-------|-------|-------|-------|
| MPU/ASIC Metal 1 ½ Pitch (nm)(contacted)           | 38    | 32    | 27    | 24    | 21    | 18.9  | 16.9  |
| Cu Effective Resistivity ( $\mu\Omega\text{-cm}$ ) | 4.48  | 5.00  | 5.63  | 6.00  | 6.61  | 6.96  | 7.46  |
| CNT Minimum Density ( $\text{nm}^{-2}$ )           | 0.160 | 0.143 | 0.127 | 0.119 | 0.108 | 0.103 | 0.096 |

| Year of Production                                 | 2018  | 2019  | 2020  | 2021  | 2022  | 2023  | 2024  | 2025  | 2026  |
|----------------------------------------------------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
| MPU/ASIC Metal 1 ½ Pitch (nm)(contacted)           | 15    | 13.4  | 11.9  | 10.6  | 9.5   | 8.4   | 7.5   | 6.7   | 6     |
| Cu Effective Resistivity ( $\mu\Omega\text{-cm}$ ) | 8.09  | 8.81  | 9.74  | 10.86 | 11.71 | 12.75 | 14.06 | 15.02 | 16.00 |
| CNT Minimum Density ( $\text{nm}^{-2}$ )           | 0.088 | 0.081 | 0.073 | 0.066 | 0.061 | 0.056 | 0.051 | 0.048 | 0.045 |

### 5.2.6 グラフェンナノリボン

六方晶系で充填された炭素原子の単原子層であるグラフェンは厳密な二次元材料である[49]。グラフェンの研究は、2004 年に始めて分離されて以来、すでにカーボンナノチューブで以前に発展していた技術的

な知識のおかげで急速に進歩した。グラフェンナノリボン(GNR)は展開された CNT と考えられ、それらの性質は CNT のものと類似している。GNR はその幾何学的構造により金属から半導体までの状態を取る事が出来る[50-52]。高品位なグラフェンシートは CNT と同程度の平均自由行程を有しており[53]、単層 CNT で報告されていると同程度の大電流密度の電流を流すことができる[54]。GNR が CNT に勝る大きな利点は、単純な生産プロセスである。

GNR の電気特性は幅と幾何学構造により決定される[52]。強結合近似では、ジグザグ形状のエッジを有する GNR は金属電導(零バンドギャップ)であると予測される[52]。一方、アームチェアー型 GNR では、幅方向の炭素原子の数が  $3p+2$  ( $p$  は整数)で表される場合、金属的である。幅方向に  $3p$  または  $3p+1$  の炭素原子を有するアームチェアー型 GNR は半導体であり、バンドギャップは幅の逆数に比例する[52]。現在までに測定された、すべての GNR が幅の逆数に比例するバンドギャップを有する半導体であることが示されている[53,55,56]。すべての測定された GNR のバンド構造におけるギャップの存在は、ほとんど、エッジラフネスに帰属されている[58,59]。第一原理計算によっても、アームチェアー型 GNR のエッジに沿った炭素原子の間隔が 2D グラフェンの炭素原子の間隔よりも 3.5%小さいことが示されている[57]。この格子定数における変化により  $3p+2$  GNR のバンド構造に小さなギャップが形成される[57]。同様に、第一原理計算において、スピン自由度が考慮されると、ジグザグ型 GNR のバンド構造においてもギャップが現れる[57]。

金属的な GNR を得ることは出来ないかもしれないという事実が、GNR の配線としての可能性を除外するものではない[58]。ITRS の終末に予想されている 11nm の配線幅に対してさえ、半導体的な GNR のバンドギャップは、0.1eV より小さい[58]。グラフェン層におけるフェルミエネルギーはしばしば 0.1eV より高い。フェルミエネルギーがバンドギャップの半分より大きい、数 kBT である場合、第一伝導帯は十分な密度となる[58]。そのような GNR にとって、金属と半導体 GNR の理想的な電導度は無視できる差となるであろう。

## GNR の利点

GNR は Cu/low- $\kappa$  配線に比較して幾つかの利点を有する:

1. 高い電導性—カーボンナノチューブ同様、純粋な高品位のグラフェンの平均自由行程は極めて大きい。グラフェンでは、数百 nm の大きさの平均自由行程をもつものが報告されている[53]。基板起因の欠陥が電子散乱の支配的要因であると信じられており、宙吊りのグラフェンの場合に、数  $\mu\text{m}$  程度の大きさの平均自由行程に相当する高い移動度が報告されている[59]。相互作用のない平滑なエッジでフェルミエネルギーが 0.2eV の GNR の積層体の電導度は、とくに長配線かつ断面積の小さい Cu ワイヤーには勝ると予測されている[59]。
2. エレクトロマイグレーション耐性—グラフェンの強い  $\text{sp}^2$  炭素結合は非常に高い機械強度と Cu の  $10^6 \text{ A/cm}^2$  の電流密度[33]とは対照的に、GNR での  $10^9 \text{ A/cm}^2$  という非常に大きな許容電流値に結びついている。しかしながら、実用的には、コンタクトが GNR 配線の最大電流密度を制限するであろう。
3. 熱伝導率—一面内での宙吊りされた単層グラフェンシートの熱伝導率は  $5300 \text{ W/mK}$  と測定されている[60]。この値は、単層 CNT 束に報告されているもっとも高い値に匹敵する[60]。

## GNR 集積化の選択肢

GNR は以下の二つの形態で、チップ上の配線応用として集積化される可能性がある:

1. 多積層 GNR 配線—Cu ワイヤーの電導率がサイズ効果により重度に制限される微細な配線においてとくに、配線抵抗を低減するために使われる可能性がある。Bernal 積層の場合、グラフェン層は ABAB の規則的な配列を有する[61]。この場合、層同士は、電氣的に結合しており、グラファイトを形成する。グラファイトは独立したグラフェンシートの魅力的な電氣的性質を失う。それ故に、電子的な分離層を多層 GNR に設けることは重要である。積層欠陥は C 面 4H-SiC 基板[61]と CVD 成長した多層グラフェン膜[62]上のエピタキシャルのグラフェン成長に対して報告されている。フェルミエネルギーのシフトは予想どおり、グラフェン-基板界面での電荷トラップにより生じるが、スクリーニング効果によりグラフェン積層の底部の数層のグラフェン層に限られる[63]。エッジ官能化[64]のような方法が、GNR 積層のすべての層のフェルミエネルギーをシフトさせるためには適用されなければならない。

2. 数層 GNR 配線—GNR の数層の配列は 50%以上程度 CNT による配線の容量を低減するために使用でき、隣接する配線との静電的な結合をかなり低減できる。これは数層配列の単層 CNT と類似している。容量の低減は、ローカル配線の遅延と消費電力を低減する助けとなる。この配列は、特に、抵抗負荷ではなく容量負荷が支配的な短いローカル配線でとくに興味を持たれている。

## GNR の課題

GNR が配線として利用されるようになる前に取り組むべき技術的な課題が数多くある。GNR の集積化に直面する重要な課題は以下のとおりである：

1. グラフェン合成—任意の基板上への高品位のグラフェンシートのウェーハレベルでの合成は主要な課題として残っている。SiC基板上のエピタキシャルなグラフェンの成長はウェーハレベル成長の可能性を有しているが、絶縁材料上にグラフェンが必要とされる配線応用の適当な選択肢とはならない。最近、グラフェン膜が 2 層触媒膜 (CoとTiN) と 510°C 程度の温度での化学気相成長 (CVD) を用いて得られている[65]。この方法では、多層グラフェンが垂直に成長した多層CNTの頭頂部に成長している。得られたグラフェン膜は非常に平坦であり、厚みはCo膜の厚みで決定される[65]。グラフェンの連続膜はNi多結晶上の常圧CVDによっても形成できる[62]。ニッケル膜のウェットエッチ後、CVDにより形成された膜の種々の基板へ転写に成功している[62]。シート抵抗が  $280\Omega/\text{cm}^2$  程度と小さく、易動度が  $3,700\text{ cm}^2\text{V}^{-1}\text{S}^{-1}$  程度と高いグラフェン膜がニッケル上にCVD成長したグラフェン膜をシリコン基板に転写するという同様なアプローチで得られている[66]。グラフェン形成のウェーハレベルの方法は、依然として、グラフェンデバイスの大規模集積化に必要な均一性とグレインサイズが不十分である。
2. 平坦なエッジを有するパターン化された GNR—幅の狭い GNR はエッジの品質に極めて敏感である。なぜなら、パターン化されていない二次元のグラフェンの固有の平均自由行程が GNR の幅と同程度になった場合、電子は頻繁にエッジと相互作用するようになるからである。グラフェン固有の平均自由行程は、数百 nm 程度と大きくできるので、興味の対象であるほとんどの配線幅に対しては、エッジでの散乱により実効的な平均自由行程が決定されることになる。エッジ散乱を伴う平均自由行程は、エッジの品質 (粗さ)、GNR の幅と、縦方向と横方向の電子速度の比に依存する。エッジの粗さはエッジでの後方散乱確率により決まる。リソグラフィーによりパターン形成された GNR の後方散乱確率は 1 であるが[50]、化学的に得られた比較的平坦なエッジを有する GNR の後方散乱確率は 0.2 であることが報告されている[67]。GNR の幅と速度の縦横比の積はエッジと作用するまでの電子の平均移動長を決定する[50,67,68]。ディラックポイントから遠く離れたサブバンドは、より小さい縦横比を有しており、それ故、短い平均自由行程を有する。
3. エッジの官能化またはドーピング—基板に近接するグラフェン層のフェルミエネルギーはグラフェンと基板の界面に蓄積した電荷のために中性点からシフトする。しかしながら、この効果は、スクリーニング効果のために上方の層に対しては指数関数的に減少する[63]。多層 GNR のすべての層を利用するためには、エッジ官能化かドーピングにより上方の層のフェルミエネルギーをシフトさせなければならない。さもなければ、上方の層の電導度はそのバンドギャップのために、かなり小さくなるだろう。この電導度劣化はバンドギャップが大きくなる幅のより狭い GNR に対してより厳しくなる。エッジの官能化やドーピングは実効平均自由行程が逆方向に影響されない程度に成されなければならない。
4. 低抵抗コンタクトの達成—カーボンナノチューブと同様に、GNR への高信頼性低抵抗コンタクトを形成することは挑戦的である。多層の GNR に対して、グラフェン層はグラフェンの魅力的な性質を維持するために、電気的に分離されることが望ましい。そのため、コンタクト部において多層 GNR のすべての層への直接接合が必要である。

## 5.3 Si CMOS 互換光配線と I/O

### 5.3.1 序論

ダイ上の配線 (信号およびクロック分配) と入力/出力 (I/O) に対して光配線の現実解が提案されてきている。ダイ上の配線アプリケーションでは、ピッチ、遅延や電力の留意事項のため、光配線は配線スタックの下位レイヤーの Cu/low- $\kappa$  を置き換えるものとしては期待されていない。その代わりに、光アーキテクチャの独自の性質の利点を活用するコスト効率的な導入が焦点となっている。I/O 向けの用途としては、光ソリューション

ンは、パッケージ配線の高い損失によってもたらされる限界を克服し、高パワーイコライゼーションとプリエンファシスの必要性を避けるあるいは最小化することによってビット当たりの電力を削減する一方で、帯域幅集約、帯域幅密度(断面距離あたりの帯域幅、一般的には Gb/s/mm として測定される)、及び/もしくは通信距離を増加させることに焦点を当てている。歴史の観点では、光 I/O は、この技術のおそらく最初のアプリケーションとして通常認識されている。この技術の集積化を促進するには、既存の基幹設備を活用できる CMOS コンパチブルな光素子とプロセスの開発が最も重要である。重大な進歩が成されているが、この分野は、大量で低価格なソリューションにとって既存の配線ロードマップへのインターセプトを定義するほどにはまだ十分に熟成していない。

### 5.3.2 集積化オプション

#### ダイ上の光配線のための光アーキテクチャ:

ダイ上のオンチップ配線として提案されてきた数多くのアーキテクチャは、以下の二つのカテゴリーの一つに分類できる:

- **集積化光源アーキテクチャ**: この場合、直接変調光源と検出器が CPU の上に集積化されている。主な欠点は、大きなダイ上の消費電力/発熱、そして重大な集積化の課題である。
- **外部光源アーキテクチャ**: これらの実装は、パッケージもしくはボード上のダイ外部の光源、そしてダイ上の変調器と検出器を用いる。主な利点はレーザ電力がダイ外部にあることである。主な欠点は、製造上の複雑さと、光をチップに導く際の高い結合損失である。

上記の双方の場合において、波長特異性フィルター/変調器は、各導波路に複数の独立した信号伝送を可能にする多重化を実装するために使うことができる。

#### 期待される長所:

- **遅延**: 光配線が金属配線よりも高速になる臨界長を定義することは可能である。光素子の質に依存する臨界長はミリメートルのオーダーであると見積もられている[69,70]。
- **スキューとジッター**: 光配線の低いレイテンシーとクロストークの非存在は、低スキューで低ジッターなクロック分配に帰結する可能性がある。しかしながら、従来の金属配線で実装された最新のクロック分配設計はプロセッサの要求を満たすと期待されている。

#### 潜在的な欠点: 電力、コスト、集積化の複雑さ

配線階層の中で将来性のある用途: 上層金属レイヤーの長距離配線、コア-コア間コミュニケーション

#### I/O のための光アーキテクチャ:

提案されている実装のほとんどは二つの基本的なアーキテクチャに分類できる[71,72]:

- **CPU 上光 I/O**: この場合、ほとんどもしくは全ての光素子は CPU の中に集積化される。一部もしくは全ての CPU 内・外情報伝送は光信号を通じて行われる。光源はダイ上もしくはダイ外にあり、直接変調される、もしくはされないかもしれない。
- **ディスクリット光 I/O ダイ**: 光 I/O チップは(パッケージ配線を通じて)CPU から電気信号を受信し、それらを光信号に変換する。同様に、光 I/O チップは、パッケージ配線を使って CPU と情報伝送する電気信号に変換する光信号を受信する。光源は通常ダイ外にあり、直接変調される、もしくはされないかもしれない。

集積化光 I/O の主な利点は、電気 I/O に関連する電力ペナルティを回避することによって、電力を削減できる可能性を秘めていることである。一方で、パッケージの複雑さが増す代わりに、ディスクリットアーキテクチャは、プロセッサダイ上の光素子集積化に起因する多くのチャレンジングな設計・集積化の制限を排除する。このアプローチに期待される長所:

高い統合帯域幅、低いビット当たりの電力、長距離情報伝送、プリアンプ・イコライジングの除去あるいは最小化

## 課題

信号伝送、クロック分配そして IO 用の光配線の実装は、多数の光素子の開発を要求する。以下に、最も重大な素子について簡潔に説明する。

**光源** は直接変調されるあるいは連続波 (例えば非変調) である。前者の場合、光源は電気信号によってオン/オフされる。後者の場合、連続スペクトル光源は電気信号によって制御される光変調器とあわせて用いられる。配置の観点では、レーザはダイ外 (パッケージもしくはボード) にあり、フォトニクスダイに結合され、もしくはダイ上に集積化される (通常は CMOS プラットフォームに III-V 性能を加える)。鍵となるパラメータは、出力電力、電力効率、アレイ内のレーザ数、コスト、熱安定性、電気的可変性 (電源電圧を変えることで波長を変える)、冷却要求、そして、直接変調光源の場合の速度である。例えば、光源は、面発光レーザ (VCSELS)、量子ドットレーザ、そして、端面発光半導体ダイオードレーザである。最も広く用いられる波長は、850、1310、1550nm である。通常の要求は 20 Gb/s かより速いスイッチングレートである。全電力の要求はアプリケーションに依存するが、通常 1W 以下である。これまでのところ、主要な懸念事項は、波長の安定性、動作条件の信頼性、レーザアレイのコストである。

**光検出器** は、ダイ上に集積化される、CMOS ダイに結合される、あるいはパッケージ上に配置される。Ge ベースの金属-半導体-金属そして PIN ダイオード光検出器は、CMOS 互換性の可能性を有しているため、非常に注目されてきた [73-78]。主要な技術パラメータは感度、動作電圧、入力容量、光結合効率、寸法、暗電流に対する光電流の比、光結合効率を含む。光検出器に入る光との結合を強めるためのプラズモンを活用した検出器が近年提案されている [79]。光検出器の通常の要求は: 0.4 A/W を超える応答性、1V 以下あるいは等しい電圧での 20 Gb/s より高い帯域、そして 100°C 以上での安定動作である。

**変調器とフィルター** は連続スペクトル光源との組み合わせで用いられる。変調器の目的は電気信号を用いて光の流れを制御することである。波長依存のフィルターあるいは変調器は多重化の導入に用いられ、これは信号導波路/ファイバ内の異なる波長において多重信号の伝送を可能にする。リング共振器やマッハツェンダーを含む、多種類の CMOS 互換変調器が文献で提案されてきている。変調器は、例えば、Si の自由キャリア効果、III-V 族材料の電気光学吸収効果、ペロブスカイトとポリマーの電気光学効果のように、電気信号を用いて光出力を制御する電気光学効果を活用している。主要な性能パラメータは、挿入損失、動作電圧、動作周波数、スイッチング電力、変調深さ/吸光度の比、そして面積である。通常の要求は、1V あるいはそれ以下において 20 Gb/s より高い帯域、3 dB 以下の挿入損失、5 dB を超える吸光深さ、100°C 以上の動作である。共振器の場合、課題の一つは適切な波長で固定された光源と変調器を維持することであり、それは重大な電力ペナルティを伴わずに検出システムと制御/フィードバック回路とあわせてオンチップ局所ヒータの使用を要求するかもしれない。マッハツェンダーの場合、主要課題は、大きな使用面積、高いスイッチング電力、高い挿入損失、製造ばらつき、進行波電極ならびに電極と整合した正確な抵抗の必要性である。

**導波路** は最小の損失でチップ上の光伝搬の手段を提供する。それらは、検出器に入る光の効率的結合だけでなく、“曲げ”や“反転”を可能にする必要がある。導波路と周囲の材料との大きな屈折率のコントラストは、きつい回転半径と小さいピッチを可能にする。一般的な CMOS 互換の材料とプロセスを用いたダイ上導波路は広く報告されてきている。例として SiO<sub>2</sub> クラッド上の Si、Si<sub>3</sub>N<sub>4</sub>、Si<sub>3</sub>O<sub>x</sub>N<sub>y</sub> コアがある [78]。鍵となる技術パラメータは、単位長さあたりの損失、屈折率コントラスト、ピッチ、達成可能な曲げ半径である。

**導波路ファイバ連結器** は、ファイバからチップ上導波路に光を導くため等に使われる。それらの主な結合アプローチは、(i) 導波路とファイバが端から端まで整列されたファイバ-導波路突き合わせ結合、(ii) ファイバが平面導波路に集中する格子構造の角度で光を当てる格子結合器、(iii) 特別に改造されたファイバと導波路間のエバネッセント結合である。いくつかの場合において、鏡とレンズアレイも結合を可能にするために導入される。メリットのカギとなるものは、結合効率、コストとパッケージの位置合わせ許容値である。結合の挿入損失は光電力バジェットに本質的に支配的である。主な課題は、アセンブリコストを削減するために、厳しいパッケージング位置合わせを要求しない低い挿入損失を提供するソリューションの開発である。

レーザ導波路結合器はフォトニックダイと結合されているレーザもしくはレーザアレイからダイ上の導波路に光を導くために使われる。二つの主要な結合戦略があり、それはエバネッセント結合と突き合わせ結合である。結合器の開発は、特別なパッケージングソリューションを要求する恐れがあり、それは実行可能な結合オプションを把握する必要がある。

### 5.3.3 トポロジカル絶縁体

三次元トポロジカル絶縁体(3D-TIs)は、スピントロニクスや配線を含む広範囲な将来性のあるアプリケーションの新しい分類の材料である。配線の観点において、この材料の突出した特徴は、高い移動度と線形バンドを有するグラフェンライクな二次元表面輸送[80,81]、高いスピン軌道結合によるスピン分極キャリア運動[82]、後方散乱、表面欠陥、高レベルの合金不純物に対する耐性である[83,84]。10<sup>4</sup> cm<sup>2</sup>/Vsを超える実験的に測定された移動度と 1.4x10<sup>12</sup> cm<sup>-2</sup>のキャリア集中はグラフェンに匹敵する[85]。結果として、3D-TIsは消散の無い室温配線材料としての可能性を有していると推奨されている。しかしながら、理論的かつ実験的結果のより厳密な再考察は、表面状態存在の保護は、弾性的後方散乱だけであり、そして電子キャリア電力がバルクバンドギャップと 5nmより大きいバルク材料の厚さを超えない限りであることを示している[86]。非弾性的後方散乱やミディウムアングルの弾性散乱のいずれも 3D-TIsの表面で抑圧されない。電気配線の主要な損失メカニズムは非弾性散乱のため、トポロジカルな表面状態を有する電子輸送は従来配線、グラフェンやCNTsを超えた恩恵を提供するとは期待されない。しかしながら、TIs表面における電子運動のスピン分極特性は、スピントロニクスアプリケーションにおけるネイティブ配線としてのアプリケーションとして期待され続け、この背景において研究され続けるべきである。

### 5.3.4 超伝導体

抵抗ゼロの概念は明らかに即、配線システムのRC遅延を最小化する試みに訴える。このことは、配線システムへの超伝導体の可能性ある応用として幾らかの注目を集めてきている。不幸にして、超伝導体の応用にとって、配線としての魅力を削ぐ幾らかの不自由な現実が存在する。第一に、超伝導体は妥当な性質を発揮するためには、約 77Kに冷やされる必要があり、そのような冷却方法は非常に高価である。第二に、典型的には、高温超伝導体はエピタキシャル基板上で、高い成長温度が必要であり、CMOS集積化とは整合しない。第三に、高温超伝導体の臨界電流密度は 1E5 A/cm<sup>2</sup> のオーダーであり[87]、これは動作電流と近い。第四に、超伝導体は電導度に依存する固有周波数を有する。77Kでは、CuとYBCOは 150 GHzで等価な表面抵抗を有する。10 GHzにおいては、YBCOはCuに比べて約二桁低い表面抵抗を有している[88]。最後に、抵抗がゼロに近づいたとしても、信号伝送は伝送速度が  $1/\sqrt{LC}$  であるLC伝送線路と同様になるであろう。

### 5.3.5 ワイヤレス配線

集積回路において、ワイヤレス配線は基板または、信号伝達のための基板の下方に配置できる絶縁層と組み合わせられた基板を使用する。これは、従来の配線層に対して、並行するチャネルを提供する。しかしながら、電力消費を伴うとともに、回路やアンテナのための付加的な領域を必要とする。典型的なドーピングレベルの厚いシリコン基板は、高い損失とそれに伴う信号減衰を生じる。この減衰を低減するために、シリコン基板を 100μm 以下に薄化することが可能である。チップ外のアンテナからチップ上のアンテナへシリコン基板の裏側を通して、通信することも可能である。トランジスタのピーク遮断周波数の 25–50%程度高く出来る動作周波数に比例してアンテナのサイズは縮小する。吸収係数も動作周波数と透過率の積が、基板の電導度より十分に大きい限界での動作周波数とともに減少する。20 Ω-cm の基板に対して、遷移周波数は、10 GHz 前後である。やがては、プラズマ効果に関連する不純物は吸光係数を増加させる。

ワイヤレス配線の帯域は与えられたプロセス技術において実現される回路の帯域により制限される。帯域はトランジスタの f<sub>T</sub> の 25–50 %である。現在の CMOS 技術で、データ速度 100–200 Gbps が可能であるが、低い帯域から並の帯域の信号にワイヤレス配線をより適するようにすることもできる。携帯電話の通信に対して、回路面積の増大と、電力消費の犠牲のもとに、成されたと同様に、集約型の帯域幅は空間をセルに分割することにより、増加することが可能である。周波数分割多重アクセスとコード分割多重アクセス機構は I/O 線を増加する付加的な選択肢である。しかしながら、ハードウェアと消費電力のオーバーヘッドは一般

的にチップ内応用に対して、Cu 配線を使うのに比べて高すぎる。ワイヤレス配線は、グローバルクロック、リセット、スリープや複数の長い金属配線を必要とする中程度のバンド幅の信号のようなファンアウト 10 から 100 のグローバル信号により適している。与えられたクロック周波数とスキュー耐性で同期できる面積は、チップ外付けのアンテナから集積回路の裏面を通してクロックを放射することで増加させることが出来る。

PC ボード上での金属カバーとグランドプレーン間の空き領域を使用してのプリント基板内でのチップ間ワイヤレスデータ通信も可能である。媒体の損失は PC ボード上の伝送線路の損失よりも小さい。さらに、有線での配線も送信機と受信機が必要であるため、ワイヤレス配線の電力消費と面積オーバーヘッドの方が、より許容性がある。

#### 5.4 Si CMOS 代替技術と配線との関連事項

Si CMOS 素子の代替として様々な新規のスイッチ方法が追求されている。新規素子は異なる利点と制限を与えるために、それぞれに最適な配線技術が大きく異なる可能性は高い。新規素子は電界効果型と非電界効果型の 2 種類に大きく分類される。電界効果型においては、ゲートに印加された電圧によりポテンシャルバリアの高さと幅の両方もしくはどちらかが変調される。さまざまな新規素子が Si CMOS スイッチを増幅もしくは置き換えるために調査されている。これまで探求されてきたオプションは、Si ナノワイヤーやカーボンナノチューブ、グラフェンナノリボンといった新規材料からなる電界効果型トランジスタから、電子スピンのような新たな計算上の状態変数に基づいた全く異なる素子までさまざまである。これら新規の素子はそれら固有の性質に基づき評価されているが、接続の観点からも評価されるべきである。さもなくば、配線との相関で発生する遅延やエネルギー損失によりこれら新規素子の固有の特性が消失するおそれがある。このことは特に素子と配線部が同一の材料が形成されるような新規素子(ネイティブ素子配線)において重要である。カーボンナノチューブやグラフェンナノリボン、シリコンナノワイヤーがそれら材料の例である。また、非電荷型素子も局所的には状態変化を高速で低エネルギーにて伝える必要がある。さもなくば、信号変換に必要な回路や遅延、エネルギー損失が許容されなくなる。この節ではネイティブ素子配線に相関する配線での課題と機会を論ずる。

##### 新規電界効果型素子

**Thermionic FETs:** 電界効果型素子の大半はゲート電圧によりポテンシャルバリアが変調される熱電子放出により動作する。このカテゴリーに分類される新規素子は、高移動度の新チャネル材料とゲート、チャネル間の高い静電結合のどちらか、もしくはその両方を組み合わせたものを使用する。このようなトランジスタは高い Ion(低出力抵抗)と低い入力寄生容量を持つ。そのため、このような素子を用いる場合は配線抵抗と容量はより重要な要素となる。

**Steep Sub-Threshold FETs:** 新規 FET の主要分野ではキャリアの熱電子放出に頼らないため、60mV/dec の閾値変動には制限されない。例えばトンネル FET では電流制御のためにゲートからの電界によりポテンシャルバリアの幅を変調する。このような素子では大きな出力抵抗をもつ傾向があるために低い動作電圧では Si CMOS を凌ぐ特性が予想される。低電圧 CMOS での出力抵抗の大きさや急峻な閾値を持つ新規素子では配線抵抗の影響は非常に小さくなる。したがって、このような高抵抗素子では最小の配線間容量を持つ配線技術と形状が最適である。

**Nanoelectromechanical Switches:** 従来のリレーと同様の動作を行う。このようなスイッチの出力抵抗は小さく、またリーク電流が殆どもしくは全く無い傾向にある。しかしながら遅延は RC がチャージアップする時間では無く機械的動作に支配される。設計者は過去多数の素子が並列動作し機械的な運動スイッチが部分的に被覆されるような複雑なゲートを持つ新しい回路様式を提案してきた。速度の観点では配線抵抗と容量はこのような回路ではさほど重要では無い。しかしながらエネルギーの観点においては配線容量が電力損失に影響を及ぼす。さらに大きな論理出力数を持つ回路様式では配線長の増大を招き、配線密度が配線技術の最適化において主要なドライバーとなる。

**Atomic or Molecular Switches:** これは依然初期段階にある。一般的に分子スイッチでは非常に大きな出力抵抗と小さな寄生容量が予想される。そのため分子スイッチでは最小の容量を持つ配線技術候補が最適であり、配線抵抗は二の次である。

**Spin Devices:** Spin FETとspin MOSFETは電子スピンを内部のスイッチ動作メカニズムとして用いる。しかしながら、入力と出力の観点では、ゲート電圧がソースからドレインへの電流を制御する他のFETと類似している。このような素子では配線は出力抵抗と入力の容量と関わりを持つ。

#### 新規非電界効果型素子

すべての電界効果スイッチは最終的には熱雑音による電力損失制限に直面すると予想される[89]。電力の障壁を乗り越えるために、CMOS ナノエレクトロニクスを向上させるか置き換えることができる新規の素子を発明するために電子電荷以外の状態変数が探求されてきた[90-93]。新規の状態変数の例としては、励起子と呼ばれる電子とホールペアの存在を変数とする電子スピンや、グラフェンでの擬スピンがある[92, 94]。

**All Spin Logic:** 強磁性体やトンネル接合、双安定ナノ磁石を用いた全スピン論理素子が提案されている[95]。これら論理回路技術には情報処理のために五つの機能が必要であることが示されている。それらは連結可能性、非線形性、フィードバック消去と利得、およびブール演算の完全集合である[95]。この論理回路では、スピン偏極電流がナノ磁石の接触により非磁性のチャネルへ注入される。チャネルでのスピン密度の変化が他のナノ磁石の帯磁方向を切り替える。入力と出力共に電子もしくはホールのスピン自由度により表わされるこのような論理回路や技術においては、スピン情報はドリフトや拡散、バリスティックの方式により伝達される。このような配線の主な利点は情報伝達に伴う配線容量の充電や放電が行われないために電氣的配線と比較して電力の消費は少ない。しかしながら、特に配線長が長い場合において、ドリフトや拡散に基づいた配線は一般的に速度が遅い。更には、スピン緩和長は有限であり数 $\mu\text{m}$  オーダーである。もし配線がスピン緩和長より長い場合、信号長は指数関数的な遅延を生じる。

**Spin Wave Devices:** スピンを用いたロジック回路においてスピン波が情報伝達に使用できることが最近実証されてきた[96][97]。スピン波とは、磁化方向の周囲にある秩序立てられたスピン格子における集団振動である。磁性材料の隣接スピン間での交換相互作用が強磁性材料でのスピン波速度の上限を決定する。高いキュリー温度をもつFeやCoのような材料ではスピン波速度が  $10^5\text{m/s}$  を超過しないことが経験的に分かっている[97]。NiFeでのスピン波バスでは静磁波伝播モードでの最大集団速度はGHz周波数範囲では  $10^4\text{m/s}$  であり、更に高い周波数では連続的に減少する[97]。そのためスピン波においても電気配線と比較すると速度遅い。

#### 5.4.1 Si CMOS 代替技術における輸送メカニズム

さまざまな計算上の状態変数は潜在的に配線として使用される材料の性質や媒体により異なる伝送メカニズムを用いて伝達される可能性がある。Si CMOSに代表される全てのFETは電圧を情報伝達に使用し、従来のRC配線は拡散により電流を伝播している。拡散を用いた配線における遅延は  $L^2/D$  に比例する。ここで  $L$  は配線長、 $D$  は拡散定数である。分布RC回路の拡散定数は  $1/r_{in}c_{in}$  で表わされる。ここで  $r_{in}$  と  $c_{in}$  はそれぞれ単位長さ当たりの抵抗と容量の値である。電流信号はLC回路を通して電磁波としても伝達され、その遅延は  $L/c_0$  に比例する。ここで  $c_0$  は絶縁膜中の光速である。このような配線はパッケージや回路基板ではしばしば見られ、グローバル配線のようなオンチップでのメタル配線の最上層でまれに見受けられる。バリスティック伝導体も配線長に線形的に比例した遅延を持つ配線となり得る。バリスティック伝導体では電子はほとんど散乱せず、配線抵抗は量子抵抗  $R_Q$  に支配される。電流信号を伝導するバリスティック伝導体の遅延は  $R_Q c_{in} L$  に比例する。ここで  $R_Q$  は伝導チャネルの数に依存する(おおよそ  $12.9\text{K}\Omega/N_{chan}$ )。量子抵抗は量子伝導体と従来の三次元接続間の伝導チャネル数の不整合によって生じている。配線と素子間にそのような不整合の無い生来のバリスティック配線においては、量子抵抗の項が無くなり遅延は  $R_{on} c_{in} L$  に比例するようになる。ここで  $R_{on}$  は素子抵抗である。

非電流形式の情報伝達手法として様々な輸送メカニズムが存在する。電子スピンのようなキャリアが関係する方法では拡散ドリフトやバリスティック形式により伝達される[93]。これらの輸送メカニズムでは電荷自体の移動は起きる場合とそうでない場合がある。例えば、送信側において、あるスピン配向をもつ電子が注入され、反対のスピン配向を持つ同数の電子が取り除かれた場合、配線からの正味の電荷数の増減は無いため電流信号は生じない。しかしながら、配線の反対側に拡散するようなスピン密度の濃度勾配が生じる。非

局所スピバルブはこの原理に基づいて動作する。この種類の配線における拡散係数は電子の拡散係数となり電流を用いるRC配線の  $1/(r_{int}c_{int})$  よりもかなり小さいことがしばしばである。スピンのドライバー回路からレシーバー側の間に電圧が印加された場合、電子は平均的なドリフト速度にて移動し、そのようなドリフトベースの配線での遅延は  $L^2/(V\mu)$  に比例するようになる。ここで  $\mu$  は移動度で  $V$  は印加電圧である。代表的なケースは従来のスピバルブである。配線伝導体がバリスティックである場合、電子はほとんど拡散を経験せずにフェルミ速度,  $v_f$ , で移動する。そのような配線では遅延は  $L/v_f$  に比例する。

電流とスピンに基づいた拡散性の配線では、拡散係数が基本的異なるため何桁も異なる速度をもつ可能性があることは留意すべきである。電流を用いる配線では信号はキャリア自身よりも早く伝播する。同様に、電流とスピンによるバリスティック配線の伝播速度も非常に異なる可能性がある。

スピン情報は移動電子無しにスピン波により伝播される可能性がある。スピン波とは電磁波に関する電子磁気モーメントの歳差運動の集合体である。スピン導波路は、強磁性フィルムもしくは反強磁性フィルム、フェライトといったものからなるワイヤやそれらの組み合わせの磁気フィルムにて作成できる。スピン波の信号伝播速度は導波路の材料や構造、スピン波の周波数、外部磁気フィルムの大きさや配向に依存する。スピン波配線の遅延は  $L/v_{sw}$  で表わされる。ここで  $v_{sw}$  は材料中でのスピン波の伝播速度である。

電流を用いない配線の消費電力はドライバーとレシーバーに強く依存する。例えば、正味の電荷量が一定で保たれるようなバリスティックや拡散に基づいた配線においては、エネルギーは消費されない。したがって消費電力は、レシーバーや配線に沿ったスピン緩和率、ドライバー側のスピン注入効率、そして駆動回路の電気抵抗において必要とする最小スピン電流により決まる[93]。Figure INTC25 では異なる輸送メカニズムに対する遅延と配線長の相関の 14nm node における比較を示す。

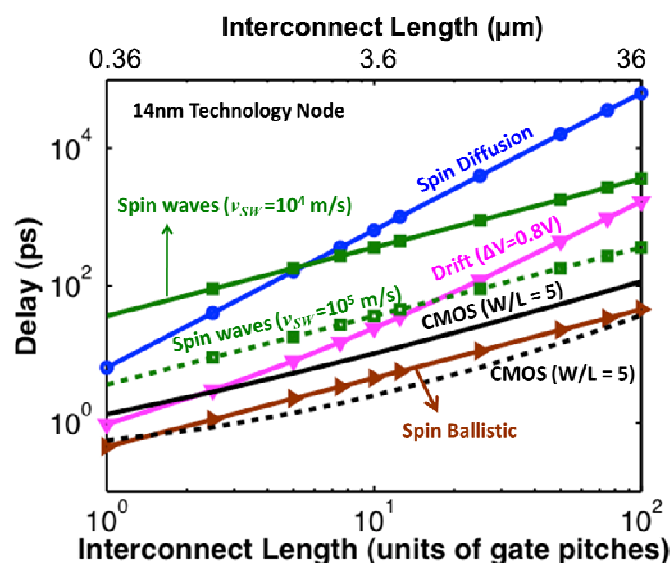


Figure INTC25 Delay versus length for different transport mechanisms.

#### 5.4.2 ナノワイヤー

シリコンや、ゲルマニウムのような半導体材料から形成される、化学的に構築されるナノワイヤーは局所的に不純物を導入するか、金属被覆することで金属-半導体ヘテロ構造を形成することができる。そのような構造は、ナノワイヤーの二組の直交する交差点に分子デバイス(例えば、ダイオード)が形成される、クロスバーアーキテクチャに特に有用である[98]。リソグラフィーによりパターン形成された配線はその際、固有の活性プロフィールを有する個々のナノワイヤーにアドレス指定するために使用される。クロスバーアーキテクチャーの主な利点は、高密度充填であるが、典型的には低速である。不純物導入された半導体ナノワイヤーは、まったくの抵抗体(ミクロン当たり数百kΩ)であり、短距離に対してのみ使用できる。そのかわり、単結晶ニッケルシリサイドのような金属ナノワイヤーは、抵抗値が  $9 \mu\Omega\text{-cm}$  あたり[99]でありかなり良好な導電体である。金属-半導体 ニッケルシリサイド-シリコンヘテロ構造はシリコンナノワイヤーをニッケルで選択的に被覆し、温度を上昇させながらアニールする( $\sim 550^\circ\text{C}$ )ことで形成される。残留するニッケルはあとでエッチ

ング除去され、純粋な単結晶ニッケルシリサイドナノワイヤーが得られる。単結晶ニッケルシリサイドナノワイヤー中での実効平均自由行程は、5nm程度である。このため、10nm程度の直径においてさえサイズ効果はあまり大きくない[99]。また、それらの単結晶性によって、ニッケルシリサイドナノワイヤーは  $3 \times 10^8$  A/cm<sup>2</sup> 以上の密度の電流を通すことができる。

#### 5.4.3 カーボンナノチューブ

単層カーボンナノチューブは擬似一次元材料である。単層CNTと三次元金属コンタクトにより界面が形成される如何なる場所でも余分の量子抵抗とコンタクト抵抗が発生する。コンタクト抵抗は良好な金属-ナノチューブ界面によって低下することが潜在的に可能であるけれども、量子抵抗(金属単層CNTに対しては、6.5k $\Omega$ )は基本的な避けられない限界である。同一のCNTに多重のスイッチを実装することは、余分な量子抵抗やコンタクト抵抗を排除するので、魅力的な選択肢である。理論的には、単一のナノチューブの対称性や直径を長さ方向に沿って変えることができれば、金属-半導体接合を形成することができる。しかしながら、対称性制御に関してはほとんど進捗がないので、このことが制御可能な方法でなされるということはほとんどありそうもない。より実践的なアプローチは、ある領域にそのような接合を形成するためと、継ぎ目のない方法で多重ナノチューブスイッチを結合するための、化学的または静電的不純物導入である。sp<sup>2</sup>結合をsp<sup>3</sup>結合に不純物に変化させるような化学不純物注入は平均自由行程を低下してしまう。sp<sup>2</sup>結合を保持できる不純物が大きな平均自由行程を維持できるのである。

CNT-CNT の接合は、電子がナノチューブ間をトンネルする必要があるため、非常に高抵抗(数 M $\Omega$  以上)となる傾向がある。このため、ファンアウトが必要とされる場合は、いつも金属接合を使用することが必要となる。ネイティブ CNT 配線は主に論理ゲートに有用で、特に、直列に多重スイッチが必要であるゲートに対して、有用である。例としては、多重入力 NAND と NOR ゲートである。可能性のあるいくつかのチューブの不整合を考慮した、そのようなゲートのパフォーマンスとしての可能性は、文献 100 にモデル化されている。

#### 5.4.4 グラフェンナリボン

GNR は巻いていない CNT と考えることが出来、CNT と共通の多くの電子的性質を有している。GNR のバンドギャップはその幅とエッジの構造とによって決定され、それ故、適切なパターンニングにより制御可能である。このことは、原則的に、対称性を制御することができない CNT を凌駕する大きな利点を GNR に与えている。一連の半導体-金属 GNR ではわずかに数個のグラフェン金属接合を使って、複雑なロジックゲートを形成することが、GNR に沿って幅を変化させてパターン形成することで可能である。GNR に沿った幅広い領域は、フェルミエネルギーの適切な選択により、導電性を付与できるより小さなバンドギャップを有している。おのおのの領域に対して幅と長さの選択は、幅広い領域における固有状態は、狭い領域に侵入可能であり、狭い領域の半導体性を破壊するため、適切に成されるべきである。GNR において十分に大きなバンドギャップを得るためには、5nm 以下の幅であることが必要である。このためナリボンのパターンニングは主要な課題となっている。カーボンナノチューブのように、化学的または、静電的な局所不純物導入の両者が、GNR における直列の半導体-金属接合を形成するために使用可能である。

GNR 回路には、曲げや反転を実装することが可能である。しかしながら、全体の長さが、短く、GNR がバリスティック電導領域で動作する場合、鋭い曲げや、GNR の長さに沿った電導チャネルの数のいかなる突然の変化によっても、電子が反射され、大きな抵抗が発生する[101]。このことは、バリスティックな GNR が電子波に対して、導波路の様に振舞うことによる。しかしながら、拡散領域においては、GNR の挙動は従来の導電体と類似している。

GNR 回路における、ファンアウトは、金属-グラフェン接合の必要なしに、形成できる。このことは、CNT 回路に勝るもうひとつの利点である。このことは、拡散領域で特に真実である。バリスティック領域においては、電子の波動性を考慮する必要がある、大きな電子の反射を避けるためには、特別なレイアウトが必要となるであろう。GNR はレイアウトの観点からより自由度の高さを提供するが、単層グラフェンシート内ではほとんど接続性がなく、ほとんどのロジックゲートを形成するために、他の配線階層が必要となる。これらの配線階層は、金属性でも炭素ベースでも可能である。しかしながら、これらの階層を接続するためには、金属性のビアが必要である。

電界効果グラフェントランジスタが、研究される唯一のデバイスの選択肢ではないことは、記すべきである。グラフェンの新奇な性質は新たなデバイスコンセプトに機会を提供する。例として、電子スピンの基づくデバイス(スピントロニクス)、電子擬似スピン(バレートロニクス)と電子波干渉などである。これらの新たなデバイスコンセプトは自身の配線課題と機会を提供する。

#### 5.4.5 スピンベースの配線

計算状態変数が電荷であるすべてのデバイスは、デバイスと配線に伴った、充放電容量のエネルギー消費によって強いられた限界に苦しんでいる[102]。スピンは超低消費電力回路を達成するために研究されている新奇な状態変数である[103-105]。スピントロニクスは、ひとつまたは群の電子または、エキシトンと呼ばれる電子-ホールペアのスピン自由度を制御または、操作することに言及する。スピントロニクスの潜在的な利点は、不揮発性、データ処理速度の向上、消費電力の減少と、集積密度の増大である[106]。これらの潜在的利点は、スピンがスピンベースの論理デバイスの、入力と出力の両方に使用された場合においてのみ具現化する[104]。他方、スピンが、電流の制御(スピントランジスタ)にのみ使われた場合には、電荷ベースのデバイスと同じスケール限界に直面するだろう[104]。高速かつ低消費のスピンベースの配線は、それ故、従来の配線を潜在的に凌駕するだろうスピンベース回路の開発の鍵となる。

スピン信号は、スピン情報を運ぶ電子やエキシトンの物理的置換によってか、スピン波を通して、通信できる。担体は、電界(ドリフト)使うか、濃度勾配(拡散)を利用して移動することができる。エキシトンは、ゼロの正味の電荷を有しており、電子とホールが分離した層(間接的エキシトン)すなわち、2層グラフェンにおける場合にのみ電界により動き廻れる[107]。担体を動かすために、電界を使うことは、エネルギーの不利益を伴い、待機電力の消費という結果になる。一方、拡散は、電荷を有する担体と電荷を持たない担体の両方に使うことができる。それは、受動的な現象であり、それ故、エネルギー消費の観点から好ましい。しかしながら、拡散は、低速過程であり、拡散ベースの配線の速度を限定する。この低速性は、電力消費の大幅な削減により補償されるべきである。スピン緩和も、スピンベース配線の配線長を制限する重要なパラメータである。スピン緩和長は材料により変化し、典型的には、ミクロン以下である。グラフェンにおいては、スピン緩和長は、室温において、 $2\mu\text{m}$  程度の大きさであることが報告されており[108]、グラフェン合成の進展により、さらに大きなスピン緩和長が得られることが期待されている[108]。

最近、スピン波がスピントロニクスにおいて情報を伝達するのに使うことができることが実証された[96-97]。スピン波は、磁化の方向の周りの規則的なスピン格子中のスピンの集合的振幅である。磁性材料中の近接スピン間の交換相互作用の強さは強磁性材料中のスピン波の速度の上限を決定する。スピン波の速度は、高いキュリー温度を有する鉄やコバルトのような実験的に研究された材料中では  $10^5\text{ m/s}$  を越えることはない[97]。NiFeに実装されたスピン波バスに対して、静磁波伝達モードの最大群速度は、GHzの周波数帯域において、 $10^4\text{ m/s}$  であり、より高い周波数において連続的に減少する[97]。従って、スピン波もまた、電気配線に比べて遅い。

## 6 分野をまたがる問題

### 6.1 環境・安全・健康(ESH)

人間や環境に対する化学物質リスクに重点を置いた評価の増加や、非常に有害とされる化学物質の販売や使用を制限する動きがあるように、化学物質規制は世界的に展開し続けている。2010年代半ばまでに、非金属導体(ナノカーボンのような)やエアギャップ技術も含めて、全く新しい配線材料の出現する可能性がある。したがって、新規の化学物質・材料やプロセスに伴う排出物と、ESHとの関係を調査する必要性が生じてくる(特に、ナノ材料のESH特性の不完全な現行の定義を与えられているもの)。すべての新しい材料を基礎研究から量産プロセス開発までESHの観点で評価すること、そして最も"グリーン"な解決策(もちろん技術要求も満たし)を選択することが重要である。世界的な化学物質に対する規制の増加は化学物質の使用制限あるいは禁止へ導いてしまう可能性がある為、研究・開発の早い段階で、ESHアセスメントを組み入れていくべきである。

このような配線材料の劇的変化に伴い、いよいよアディティブ法が使われる可能性が出てきた。これは数十年使われてきた露光プロセスを基本とするサブトラクティブ法からの革新的な転換であるが、プロセスの簡素化といった優位性ととも、得られるであろう ESH に対する利点は大きいと思われる。

平坦化は用途が増えており、平坦化特有の問題として消耗材(スラリー、パッド、洗浄ブラシなど)に加えて薬液や純水の大量使用という課題があげられる。純水の消費が少ない平坦化プロセスの開発が望まれる。平坦化や後洗浄に使用された純水をリサイクルや再生するのも一つの解決策であろう。先端 CMP で使われるスラリーは、規制され始めているナノ粒子を含み、未知の ESH の懸念が生じる可能性がある。これらナノ粒子の環境運命や環境影響、また如何に人々や環境への曝露を最小限にするかの最善策を理解することが重要である。

配線工程のプラズマエッチングおよびチャンバクリーニングでは地球温暖化係数(GWP)の高いFガス(fluorinated greenhouse gases)が多用されている。他にも高GWPガスとしてN<sub>2</sub>O(酸化窒素の成膜に使用)がある。産業界は、自主的な温室効果ガス(greenhouse gas: GHG)排出量の報告や削減の時代から、法令規定の時代へと移っている。温室効果ガス排出量予測の精度を上げるために、半導体業界は配線工程からの温室効果ガス排出量を明らかにする必要がある。450mm装置・プロセスの開発において、排出量の評価は欠くことができない。チャンバクリーニングでは、Fガスの排出量を最小限にするプロセスが実施されている。しかしながら、カーボン含有した低誘電率膜をフッ素系ガスで除去すると、副生成物として、たとえばCF<sub>4</sub>やC<sub>2</sub>F<sub>6</sub>といったFガスが排出されてしまう。現在、絶縁膜のプラズマエッチングでは、ほとんどすべてFガスがベースとなっているため、副生成物または未反応初期物質としてFガス排出量は、管理されなければならない。半導体業界の短期目標として、規格化されたFガス排出量を、2010年のベースラインから2020年までに30%削減することが設定された。この目標を達成するために、また、これらの化学物質を引き続き使用し続けられるために、半導体業界は、プロセスの最適化、代替ガスの使用、あるいは除害といった手段によって、温室効果ガスの排出量を削減し続ける必要がある。フッ素系冷媒もまた高い地球温暖化係数(global warming potentials: GWP)を有しており、これらの排出量も最小限にしなければならない。3D技術と呼ばれるチップ間配線技術が登場し、急速な成長が期待されているが、これが新たなPFCの大量使用工程を生むこととなった。SF<sub>6</sub>などのFガスを使うTSVエッチングプロセスである。この新しいアプリケーションは、半導体業界やFガス削減の新目標を達成しようとする業界の取り組みにとって、更なる大きな負担である。TSVのエッチングプロセスからの排出量を明らかにし、排出係数を確定することが急務である。加えて、技術要件を満たしつつFガスの使用量や排出量を最小限にするTSVエッチングプロセスの開発が必要である。省エネについては、PECVDやドライエッチャーやCMPなどの装置の省電力化が必要である。また補機類の省エネも求められる。プラズマプロセスはエネルギー消費が多い上、ガス使用効率も悪い。エッチングプロセスでは原理上10~30%しか解離しない場合も多い。将来の装置のために省エネプラズマシステムの研究開発が求められる。エッチャーやCVD装置にはPOU(Point-of-use)のチラーや熱交換器が使用されており真空中のウェーハやチャンバの温度管理を行っている。加熱・冷却制御システムの効率化、たとえば温度制御で加熱機構と冷却機構が同時作動するのをやめる工夫により、エネルギー消費の低減と制御性の向上の両方に貢献できる可能性もある。冷却水によって装置を冷やすほうがクリーンルームに熱を放出するより工場全体の省エネには有利である。

配線分野の解決策候補としては、低 ESH 負荷 CMP プロセス(たとえばスラリー・リサイクルやスラリーレス CMP)、ゼロ F ガス排気 TSV エッチング、低コスト高効率プラズマエッチ排気用除害、低温ウェーハ洗浄、低容積 CVD・ALD チャンバ、ALD プロセスのスループット向上(省資源化)、プロセス要求ベースの真空引きスピード制御、プロセス・非プロセスにかかわらず高温処理の削減、加熱機器・冷却機器の可変制御、などがあげられる。

## 6.2 チップ・パッケージ相互干渉(CPI)

従来の多層配線では、SiO<sub>2</sub>、SiN、SiC、SiCNといった一般的な絶縁膜の積層中にAlやCuが埋め込まれている。通常のプロセス工程でのこれら標準的な材料においてさえ、継続的なスケーリングにおけるCPI管理はますます困難になる。ワイヤーボンディング、フリップチップ・ボンディング、C4(controlled collapse chip connection)、アドバンスド・スケール、ウェーハレベルパッケージなどの手段によらず、チップと有機基板あるいはその他のパッケージ材料との間の熱膨張係数差によって応力が誘発され、ダイシングソーによるチップ化、ウェーハの薄化、ワイヤーボンディング、プロービング(探針測定)などの最中に、微小クラックや剥離

が発生する場合がある。誘発された応力を軽減するために、いくつかの対策が提案されている。たとえば、ポリイミドや厚膜金属層の導入は、パッケージとチップ間の応力を緩和する効果がある。また、特殊設計ルールやチップコーナー部におけるキープアウトゾーンも効果的な対策である。更に、チップ最外周部へのクラック防止リング導入やボンディングパッドの構造や配置の最適化、これらすべてがシステム内におけるクラックや剥離の可能性を最小限とするのに寄与している。

現在の最先端 Cu/low- $\kappa$  多層配線において、機械強度の低い Low- $\kappa$  膜やポーラス ULK 膜の導入は、チップ上の配線と、後に続く実装工程との相性を悪くさせる[1-3]。これは、Low- $\kappa$  膜や ULK 膜の持ついくつかの大きな欠点のためである。低ヤング率、低強度、低結合力、高熱膨張係数、低密着力、高吸水性、低熱伝導率、これらすべてが、CPI 劣化の原因である。

アセンブリとパッケージングの観点から、上記のLow- $\kappa$ 膜及びULK膜の特性は、従来のSiO<sub>2</sub>、SiN、SiC、SiCNのような層間絶縁膜が持つそれぞれの特性に比べて、大幅に劣っている。加えて、フリップチップ・ボンディング、新規Cuピラー構造、新ウェーハレベルパッケージやSiP構造、これらにおいて鉛フリーはんだ使用遵守の必要がある。したがって、以下を開発及び使用しなければならない。

- チップ上での、最終パッシベーション膜とポリイミド膜積層の最適化による応力緩衝[4]
- 新 Low- $\kappa$  膜・ULK 膜と機械的特性の互換性のある新パッケージング材料
- ソー起因のクラックを軽減するためのソーダISING前のレーザ・プレ・スクライビング
- チップ内のアクティブ領域への水分浸透やクラック伝播を防止するための、部分犠牲性シールリングの導入[5-7]
- パッド・エンフォースメントおよび/または機械的支持構造の導入[4]
- バンプ下地金属(UBM)の最適化
- 微小圧もしくは非接触プロービングのコンセプト
- Low- $\kappa$  膜/ULK 膜特殊設計ルールや配置制限の追加
- Low- $\kappa$  膜/ULK 膜起因の新規 CPI 課題に感度の高いテスト構造やテストチップ
- フル積層 BEOL 構造でのアセンブリやテストが可能になる前に、新規配線材料やインテグレーション案での早期 CPI スクリーニングを行うための時間短縮方法やモニタ
- CPI 信頼性試験方法の改善

上記すべての件の開発や最適化は、チップ-パッケージ-ボード相互干渉(CPBI)のやや複雑な熱力学的モデリングやシミュレーションにサポートされる必要がある。一般に、CPBI 応力を計算するための有限要素(FE)モデルは、細分化の異なるレベルで設定される[8,9]。

- 1) チップ-パッケージ、はんだボール接続と、プリント基板との間の応力の、パッケージ-ボードレベルでのアドレスシング(数 mm オーダー)
- 2) チップ、フリップチップ・バンプや Cu ピラーと、パッケージ基板、たとえば有機基板や Si インターポーザとの間のパッケージ応力の、チップ-パッケージレベルでの計算(数百  $\mu\text{m}$  オーダー)
- 3) クラックの発生元、高応力箇所、最も可能性のある不良箇所などを特定するための Cu/low- $\kappa$  配線積層内での、パッケージに関連する応力の、オンチップ配線レベルでのアドレスシング(数 $\mu\text{m}$  オーダーまたはそれ以下)

確かに、この CPBI モデリングやシミュレーションはかなり厳しい作業であり、多くの新規開発案件やソフトウェアベンダーからのサポートが必要であるのは明らかである。

総合的にみても、今日あるいは将来の最先端テクノロジーノードにおいて出来が良く革新的で高信頼性の製品を製造するためには、多くの異なる分野からの専門家間で、今まで以上の積極的な対話や協力が必要となる。継続的なスケールアップだけでなく新たな 3D アーキテクチャ導入において業界が直面するであろう課題をうまく成功に導くために、設計・FEOL・BEOL・実装・テストなどのエンジニアから成るチームは、材料や装置のサプライヤーと一致協力しなければならない。設計の早い段階で問題を解明するためには、業界に対して新規先端モデリングやシミュレーションの補佐が必要となってくる。更に、斬新な先端計測技術や不良解析技術は、開発の早い段階で効率的に懸念領域を特定するのに必要とされる。そして最後に、全体的なシステムコストに直結し最終的な成功の要因である歩留まりや信頼性においては、今まで同様、継続して注視されるべきである。

## 参考文献:

- [1] G. Wang, et al.; Microelectronics Reliability 45 (2005), p. 1079-1093
- [2] J. Beleran, et al.; ECTC 2010, p. 1604-1612
- [3] W. Landers, et al.; IITC 2004, p. 108-110
- [4] H.-P. Wei, et al.; IITC 2009, p. 143-145
- [5] T.C. Huang, et al.; IITC 2006, p. 92-94
- [6] A. Kearny, et al.; IITC 2007, p. 138-140
- [7] L. Fu, et al.; ECTC 2010, p. 1613-1617
- [8] J. Auersperg, et al.; 11th. Int. Conf. On Thermal, Mechanical & Multiphysics Simulation & Experiments in Micro-Electronics & Micro-Systems, EuroSimE 2010
- [9] X.H. Liu, et al.; IITC 2007, p. 13-15

## 7 付録

### 7.1 受動素子

今後の配線構造を構築する上で、高精度受動素子(高性能の容量、インダクタ、抵抗体等)を、配線形成プロセスを用いてオンチップで形成することは重要な課題である。これらの技術は主にミクスドシグナル、RF、SOC の先端デバイスで推進されるが、標準的な CMOS の設計基盤と、ファンダリが提供する製造技術でこの課題が実現できることが要求される[1-4, 42, 61-65, 81, 82]。従来、受動回路素子(例えば容量、抵抗)はフロントエンドの工程内で IC 上に形成していた。この場合、不純物をドーブした単結晶シリコン基板、ポリシリコン、及びシリコン酸化膜またはシリコン窒化膜が構成材料として用いられていた。これらフロントエンドで形成される受動素子は、シリコン基板面に近いため、特に高周波 RF では性能の劣化に苦戦している。このため、配線工程で形成される、低損失・低寄生素子の高品質な受動素子への期待は高い。モジュール化された低コストの手段で、配線全体の性能や信頼性を損なうことなくこの期待に応えることが配線インテグレーション技術の鍵となる。受動素子のインテグレーションには大きく 2 種類のアプローチがある。一つは最高の性能、最高の Q 値、最小のチップ占有面積で、必要な機能を達成するため、追加の配線層と新材料を導入するもの。もう一つは既存の配線層と材料で可能な範囲のデザインと固有特性で実現するものである(内在配線容量)。後者のアプローチは、ウェーハ工程の追加がないため、製造コストの面で大きなアドバンテージがある。ただし、性能の制約や低い Q 値、チップ占有面積の増加に難点がある。

どちらの場合でも、ミクスドシグナルや RF-CMOS 製品においては、優れたマッチング特性、対基板容量ノイズ他の寄生素子の低減と制御性を実現することが重要な課題である。最も広く使われている受動素子(容量、抵抗、インダクタなど)について、アナログ、ミクスドシグナル、RF 製品のテクノロジーノード毎の将来の展望は、*RF and Analog/Mixed-signal Technologies for Wireless Communications* の章に記載されている。

以下に、容量(MIM 容量、内在配線容量)、インダクタ、抵抗の代表的な応用例、要求、インテグレーションにおける課題について議論する。配線構造で実現される新規の革新的な受動素子へのアプローチに関して公開されている例についてもハイライトする。

#### 7.1.1 容量素子

##### CMOS、BiCMOS、Bipolar チップ上への適用例

- ・MPU で、CMOS 回路のスイッチングサイクル中にチップ上の電源/GND 配線間やチップ/パッケージ配線間で発生する、遷移電流の低減を目的としたデカップリング容量
- ・高周波発信器や共振回路、及びマッチングネットワークで用いられる RF カップリング/RF バイパス容量
- ・高性能ミクスドシグナル製品(例えば A/D、D/A コンバータ)で用いられるフィルター/アナログ容量
- ・DRAM、DRAM 混載ロジック製品で用いられる記憶容量

##### 容量への主な要求

- ・サイズが小さく、容量が大きいこと

- ・リークが小さく絶縁損失が少ないこと
- ・耐圧が高く TDDDB 信頼性が高いこと
- ・同一チップ内にある隣り合った容量間で、絶対容量と(または)相対容量の精度が高いこと
- ・広範囲の電圧で CV 特性のリニアリティが高いこと(係数の電圧依存が低いこと)
- ・熱依存性が低いこと(係数の温度依存が低いこと)
- ・寄生容量が小さいこと
- ・高い Q 値での高スイッチングスピードを可能にするため電極と配線の抵抗が低く、過度の過熱がないこと

## プロセス構築上の課題

### a) MIM 容量

- ・優れた膜厚均一性と制御性をもった高品質の超薄絶縁膜。
- ・容量のサイズを小さくするためできるだけ  $\kappa$  値の高い絶縁膜。適した材料については、“絶縁膜に関する解決策候補”の図を参照。
- ・絶縁膜、メタル双方の欠陥密度が低いこと(表面ラフネスが低いこと)。
- ・メタライゼーションプロセス全体と適合するよう成膜温度が低いこと( $<450^{\circ}\text{C}$ )。特に Low- $\kappa$  膜が使用されている場合。
- ・トータルコストの増加を抑えるため、既存の配線層を最大限に利用できる効率的にモジュール化されたインテグレーション構成。追加される工程数やオプションの露光層など。
- ・対基板間の寄生容量成分を減らし高 Q 値を維持するため、上層配線での MIM を実現すること。Low- $\kappa$  絶縁膜を下層配線で使うことも効果的であるが、より多くのインテグレーション上の課題が発生する可能性がある。

### b) 内在配線容量(‘ネイティブ’MOM、VPP、VNCAP)

- ・アグレッシブな配線デザインルール(細いライン/スペース幅、低いビア高さ)。
- ・容量積層時のメタル層ービア層間の厳しいアラインメント/重ね合わせ許容度。
- ・メタルのラインエッジラフネスを最小限に抑えた、厚さと寸法の厳しい制御性。
- ・メタル間絶縁膜(ポーラス Low- $\kappa$  など)とメタル膜の欠陥密度が低いこと。
- ・絶縁膜(特にポーラス Low- $\kappa$ )に対してエッチング、CMP 時のダメージが低いこと。

MIM容量では、Al配線ベース、Cu配線ベースとも、メタライゼーションプロセスで実現する方法が報告されている[1-5, 6-8, 18,19]。生産中のほとんどのMIMは、適切な材料特性、適度なRF性能を持ち、Al配線、Cu配線技術上での容易なインテグレーションが実現できる容量膜として、シリコン酸化膜、シリコン窒化膜、シリコン窒化膜を用いている[47]。これらとは異なる単層や積層のMIM構造は、130nm世代の多層Cu配線技術で実現され、特性が示された[48]。HfO<sub>2</sub>/Ta<sub>2</sub>O<sub>5</sub>/HfO<sub>2</sub> 3層絶縁膜とTa<sub>2</sub>N電極構造( $\sim 8\text{fF}/\mu\text{m}^2$ )による非常に興味深い大面積オンチップMIMデカップリング容量( $>250\text{nF}$ )へのアプローチは、90nmのSOIマイクロプロセッサ向けとして実証された[49, 66]。高 $\kappa$ 値の絶縁膜を用いたオンチップの電源ーGNDプレーン容量は、信号遅延やビット当たりのエネルギー消費だけでなく、IR-Drop、di/dtノイズ、クロック線での待機時間など、グローバル配線のスケールアップに伴う問題を大幅に改善することが期待されている[78]。

いくつかの論文では配線との適合性のある高 $\kappa$ 値MIM絶縁膜(例えば Al<sub>2</sub>O<sub>3</sub>、Ta<sub>2</sub>O<sub>5</sub>、HfO<sub>2</sub>、Nb<sub>2</sub>O<sub>5</sub>、TiTaO、TiSiO<sub>4</sub>、TaZrO、BST、STO、TiLaO、TiO<sub>2</sub>、Bi<sub>5</sub>Nb<sub>3</sub>O<sub>15</sub>)を用いたインテグレーションに関する有望なデータを報告している[3, 20-24, 37, 38, 50-55, 71-74]。高 $\kappa$ 値MIM絶縁膜はPVD+適切なアニールか、CVD、ALDプロセスで成膜され、全熱履歴を通常 400-450 $^{\circ}\text{C}$ 以下に抑えている。しかし、リーク電流、電圧/温度リニアリティ、またはTDDDB信頼性の点では、こういった記録を更新するような容量密度からのアプローチの全てが有用なわけではない。最近これらの問題を解決する、異なる高 $\kappa$ 値MIM絶縁膜から成る(多層)ラミネートフィルムが提案された[37, 39-41, 50]。電極材料の仕事関数を適切に調整することで(例えばTa<sub>2</sub>NをNiに置き換える)、STOのような高 $\kappa$ 値絶縁膜のMIMで、リーク電流の大幅な低減が観測されている[54]。

革新的な 3D ダマシン MIM 容量により、電極/絶縁膜/電極 = TiN/Ta<sub>2</sub>O<sub>5</sub>/TiN (PEALD 使用) 構造で容量密度 17fF/μm<sup>2</sup> が実現された。これは通常工程にマスク 1 層追加するだけで多層 Cu 配線に混載されている [67-69]。この三次元 MIM における研究は広がりを見せ、Ta<sub>2</sub>O<sub>5</sub> を他の PEALD で成膜された絶縁膜 (ZrO<sub>2</sub>、HfO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub>) と組み合わせることで、容量密度 30fF/μm<sup>2</sup> まで達成されている [69]。

下層にある Cu 配線を下部電極として活用し (総膜厚は約 100nm で、SiN 絶縁膜 10nm、容量密度 6.3fF/μm<sup>2</sup>)、縮小した 2 層の Cu 配線層間に適用した超薄 MIM 容量の積層構造によるまったく異なるアプローチで、有望な電圧/温度リニアリティや 10 年以上の TDDDB 寿命を満足することが実証された [70]。

MIM 容量の製造においては、高密度の容量、高品質 Q 値、良好な信頼性、追加コストの抑制が課題である。そのため多くのアプリケーションでは、面積容量密度はある程度抑制された状態で、単純に水平、垂直の並行平板、異なる配線層での櫛型構造などによる、寄生、またはネイティブ容量が使用されている [25, 26, 34, 81]。この方法では、プロセスの複雑さ回避、製造コスト低減とチップ占有率がトレードオフになっている。内在配線容量の最大の利点は、ウェーブプロセスを変更すること無く、設計とレイアウト手法のみで実現、最適化できることである。チップ面積当たりの容量密度の観点から、今後の CMOS 技術における持続的な配線のシュリンクと配線層の増加は、ネイティブ、またはナチュラル容量をより競争力のあるものにする。65nm と 45nm テクノロジーノードでは、良好なリニアリティ、TDDDB 耐性、>2fF/μm<sup>2</sup> の容量密度、1GHz で >20 の Q 値を持つネイティブ容量が報告されている [75-77]。一方 32nm ノードでは、容量密度は 4fF/μm<sup>2</sup> になると予測されている [63]。更に 32nm では、MOM メタルフィンガーパターンによる容量で、最大 10GHz で >100 の Q 値が報告されている [81]。今日のこれらの有望な結果から、65nm 以降のノードでは、標準の CMOS 設計基盤、ファンダリ製造技術で提供されるものでは内在配線容量が標準となるだろう。

### 7.1.2 インダクタ

#### オンチップインダクタ、特に RF 回路での適用例

- ・近年のマイクロ波 RF 回路中で個別に作成されたブロック間のインピーダンスマッチング。周波数の増加により、オンチップインダクタの重要性は将来更に増大する [9-11]。
- ・RF トランシーバー。
- ・フィルター。
- ・電位制御オシレータ (VCO)。
- ・パワーアンプ、低ノイズアンプ (LNA)

#### インダクタへの主な要求

- ・高インダクタンスでの高 Q 値の実現。インダクタンスの増加は通常 Q 値を減少させる。
- ・高い自己共鳴周波数 (fsr)
- ・インダクタコイルにおける低い抵抗損失 (低周波で支配的)
- ・基板による容量損失が低いこと (高周波で支配的)
- ・基板-インダクタ間相互作用によって発生する渦電流が低いこと。高周波では実行抵抗の増加になる。

#### プロセス構築上の課題

- ・コイルの抵抗を下げるため厚膜メタル配線を活用する。Cu 配線は従来の Al 配線と比較して優位である。Cu ダマシン法で形成されるスパイラルインダクタでは、Al で形成されたものに比べ Q 値で 2 の向上が報告されている [12]。ただし、異なる配線層に分岐した Al コイルにも実現性はある。
- ・基板とインダクタ間に十分な距離をあける、例えばコイルを配線層の最上部、またはパッシベーション膜の上、ポリイミド内に配置する方法 [13-16] は、寄生容量、寄生インダクタを減らし、Q 値を改善する。さらに Low-κ 材料は寄生容量と基板ノイズを減らす。
- ・高抵抗の Si 基板の活用により基板による寄生素子損失は改善する。ただしこの手段はどのような場合も実現可能とは限らない [10]。
- ・インダクタ下の最下層の配線層への金属シールド (メタルグランドプレーン) の導入により基板内の渦電流損失を低減することができる [9-11]。

現状では、Al か Cu 配線単層で形成されるスパイラルコイルが最も一般的なオンチップコンダクタである。しかし、分割された多層スパイラル型やソレノイド型のインダクタも、基板による損失が少ないことから、将来使われる可能性もある[12]。

スパイラルインダクタの Q 値に対する、厚膜配線層 (5 $\mu$ m-22.5 $\mu$ m) や最内周径の効果[60]も、Cu 配線ベースの積層インダクタの上に Al 層を追加する効果への疑いとともに報告されている[44]。

吊り下げAlスパイラルインダクタ[27]とAlソレノイドインダクタ[46]にエアギャップを採用することで対基板カップリングを低減し、Q値が大幅に改善された。表面マイクロ加工により、周波数 6GHz、Q値 70 で、1.38nH (@1GHz) の吊り下げスパイラルインダクタが実証された[28]。しかし吊り下げインダクタの断熱性による顕著な自己発熱のため、RF回路におけるQ値と動作点の変動が発生するという結果がある[56]。その他のQ値向上 (30%-70%) の方法として、デバイス形成後 (配線形成前[32]、後[33]) の陽子照射により、インダクタコイル下に局所的な半絶縁Si基板を形成する方法がある。ポーラスSi基板もQ値と共鳴振動数を改善する手段として報告されている[45]。スパイラルインダクタ下のSi基板中に部分的に導入されたLow- $\kappa$ 絶縁膜により、寄生容量の抑制とQ値の改善が示された[57]。SOI基板使用した例では、 $\sim 20$  に達するQ値がマスクや工程の追加なしに実現された[34]。90nmRF-CMOS基板技術で形成された多層Cu/SiO<sub>2</sub> 配線の上で、パッシベーション膜上 (IC上) の 5 $\mu$ m厚Cu配線とBCB絶縁膜 ( $\kappa$ 値 $\sim 2.7$ ) からなるインダクタで超高Q値 ( $\sim 40$ ) が報告された[35]。

磁性体材料を用いたマイクロインダクタのインテグレーションについての報告もある。CoZrTaからなる磁気グラッドプレーンの導入により、方形スパイラルインダクタのインダクタンスが 36 $\sim$ 50%増加した[17]。強磁性体CoNbZrの 2 層ではさんだスパイラルインダクタでは 19%のインダクタンス向上と 2GHzで 23%のQ値改善が実証された[29]。2 層の磁性層を磁性ビアで結び、CoZrTa合金の単軸磁気異方性を活用した適切なインダクタ形状により更なるインダクタンスとQ値の改善が実現された[58]。他の例では強磁性コア (Cr/Fe<sub>10</sub>Co<sub>90</sub>/Cr) をソレノイドインダクタと一体化させたものがある[30]。低周波数 (<0.2GHz) では、強磁性コアの利用により最大 8 倍のインダクタンス増加と最大 7 倍のQ値改善が達成された。ただし高周波数では、強磁性コア内の強磁気共鳴損失と渦電流により、これらの改善効果は大きく目減りしている。

4 層積層配線中に形成された隣接する 3D ソレノイド型チップ上インダクタ間のクロストークは磁気カップリングと基板ノイズに左右され、これがインダクタと Si 基板間にガードリングを設けることで低減できることがわかった[79]。

3D パッケージ IC でのアプローチでは、超薄 (1.7 $\mu$ m) 上部 Si チップ上のインダクタで、上下チップ間に磁気を遮蔽する Fe/Ni パーマロイ膜を適用することで基板ノイズが大幅に低減したという報告もある[36]。ウェーハトランスファー技術により、事前形成した RF インダクタを Si 基板からフレキシブルプラスチックパッケージ基板 (FR-4) に移動することで、Q 値と共鳴周波数において大きな性能改善がみられた[59]。スパイラルインダクタ上の可動メタルプレートを活用した、ウェーハレベルパッケージに搭載される可変オンチップインダクタが提案されている[60]。可変インダクタの基本的実現性調査はすでに実行されてきたが、メタルプレートをウェーハレベルパッケージ中で動かすための MEMS アクチュエータの実装は実現未了である。

高 Q 値のインダクタを形成するためのこれらの多くの選択肢は科学的見地からはとても興味深い。しかしこれらを量産環境で実現化するのは非常に困難で費用が掛かる。そのため、高 Q 値のインダクタが本当に必要な場合は、2-8 $\mu$ m 膜厚 Cu からなる最上部極太配線層を活用するというのが最も単純なアプローチである。最大 20 の Q 値が 32nm の SoC プラットフォーム技術で実現したことが報告されている[81,82]

### 7.1.3 抵抗体

オンチップ薄膜抵抗アプリケーション、特にアナログとミクスドシグナル回路の適用例

- ・クロック、バス終端
- ・高精度抵抗配列/ネットワーク
- ・電圧分配

抵抗体への主な要求

- ・優れたマッチング特性

- ・高精度な抵抗制御
- ・高い電圧リニアリティ(低い電圧係数)
- ・低い温度係数(TCR)
- ・低い  $1/f$  ノイズ
- ・高い Q 値(低い寄生成分)

## プロセス構築上の課題

- ・適度で調整可能な層抵抗
- ・優れた膜厚制御(成膜均一性)
- ・モジュール化されたインテグレーション手法
- ・絶縁膜に対して高いエッチング選択比
- ・標準的な配線金属の使用

配線ベースの薄膜抵抗のインテグレーションに関する論文は比較的少ない。興味深いアプローチとしては、異種膜の化学量論に基づき、PVD TaNベースのMIM容量基板として用いるプレートと、可変の高精度TaN薄膜抵抗として複数の用途に用いた例がある。低い電圧リニアリティと温度係数、優れたマッチング特性がこのTaNフィルムについて報告されている[8]。もう一つのアプローチでは、配線プロセスに基づいて形成した程良いTCR値をもつ抵抗体として、PVD  $\text{WSi}_x$ を用いた報告もある[31]。標準CMOSプロセス内でインテグレーションされた、TCR値ほぼ 0 のTi/Ni(80%)Cr(20%)薄膜抵抗の報告もある[80]。薄膜 $\text{TiN}_x\text{O}_y$ 抵抗も提案されており、0.5 $\mu\text{m}$ ノードCMOS技術のAl配線プロセスでインテグレーションされている[83]。

## 7.2 絶縁膜補足

### Recalculation of $k_{\text{eff}}$ based on Bulk $k$ Value Update for ITRS2011 (~2018, **Realistic Case**)

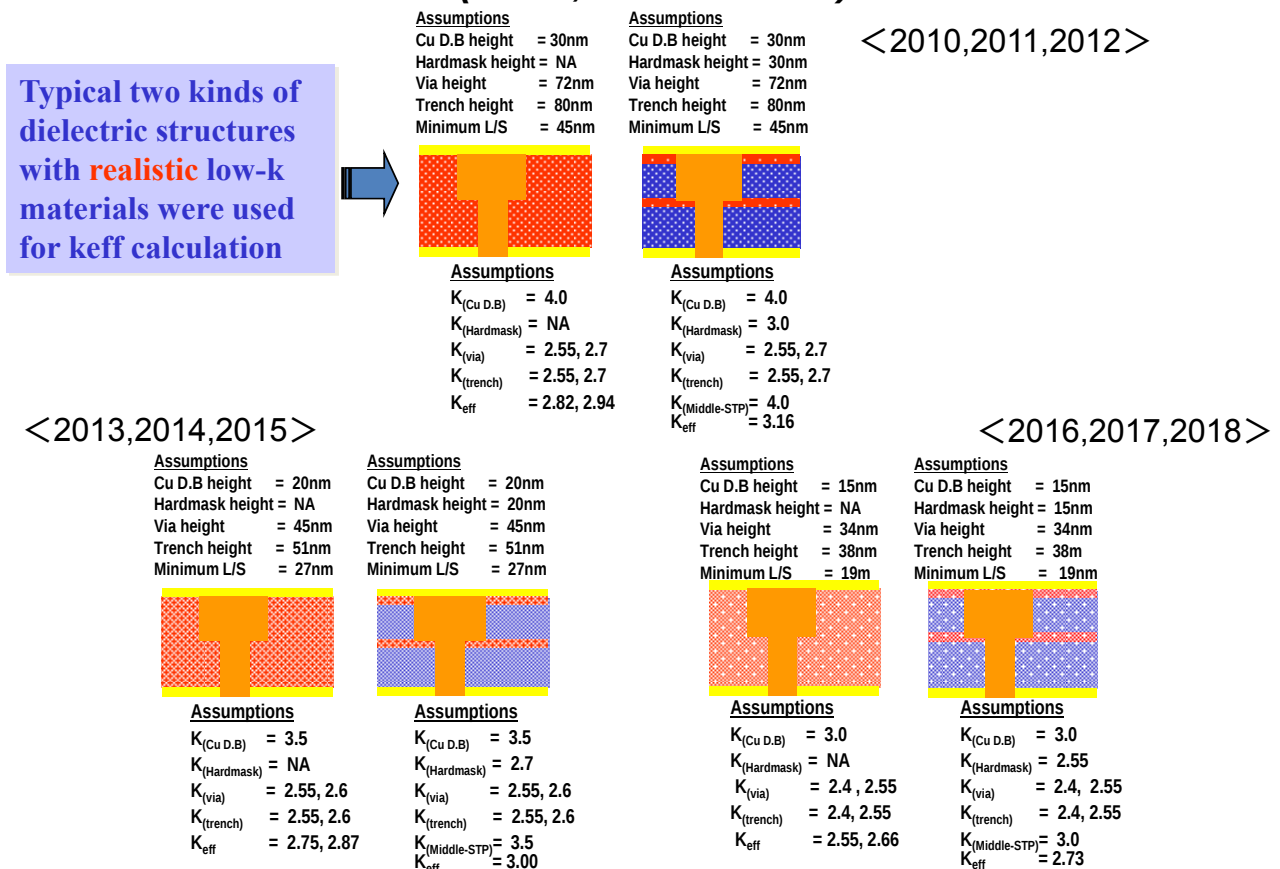


Figure A1

Dielectric Potential Solutions (2010~2018) Realistic Case

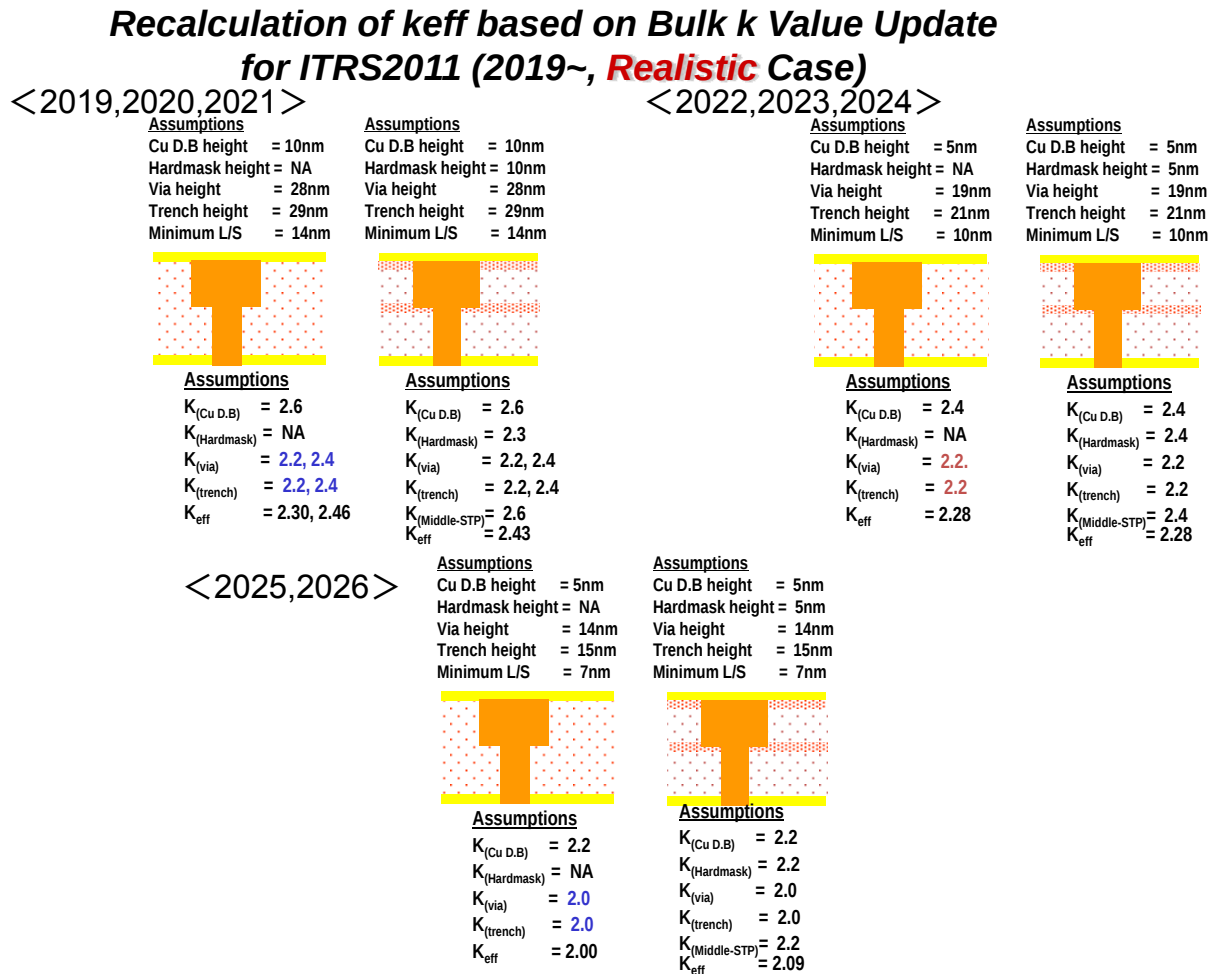


Figure A2 Dielectric Potential Solutions (2019~2027) Realistic Case

### 7.3 RC 遅延評価に適用された配線モデル補足

- RC 計算に用いたモデルは、図に示すように、上下二つの導電性の平行平板で挟まれ、同じサイズの配線で挟まれた中心の配線の 2D 断面に基づく。二つの平行平板は中心にある導電体の上下のメタル層を表す。すべての周囲の導電体は、容量計算において接地されているものとする。二つの側面にある導体の上部にも平行平板の導体が伸びてきていることで、中心の導電体の容量への影響は限定的になる。ここでは、鏡像効果は考慮されていない。
- $w$ ,  $s$ ,  $h$ ,  $h_v$ ,  $AR$ の寸法と  $\kappa_{eff}$ と  $\rho_{eff}$ の材料パラメータは、それぞれの技術ノードについてITRSロードマップから取った。
- 単位長さ当りの  $R$  は、単純に  $\frac{R}{l} = \frac{\rho_{eff}}{h \cdot w}$  として計算する。
- 単位長さ当りの  $C$  は、2Dモデルから静的シミュレーションソフトを用いて  $\frac{C}{l} = \frac{2C_l + 2C_p + C_{fringe}}{l}$ ; のように抽出した。そのシミュレーションへの入力寸法と  $\kappa_{eff}$ である。
- $t = w \cdot A/R$  (Cu);  $h_1 = w \cdot A/R$  (Via);  $h_1 = h_2$
- M1 配線については  $h_1 = t$ ,  $h_1$ 厚の中で  $\kappa_{eff} = 4.2$  とした。
- ロードマップ上  $\kappa_{eff}$ に幅があるため、シミュレーションに用いた  $\kappa_{eff}$ は最大と最小の平均値、 $\kappa_{eff} = (\kappa_{eff\ max} - \kappa_{eff\ min})/2$  とした。
- 配線幅は、ピッチの半分と考える:  $w = s = p/2$ 。

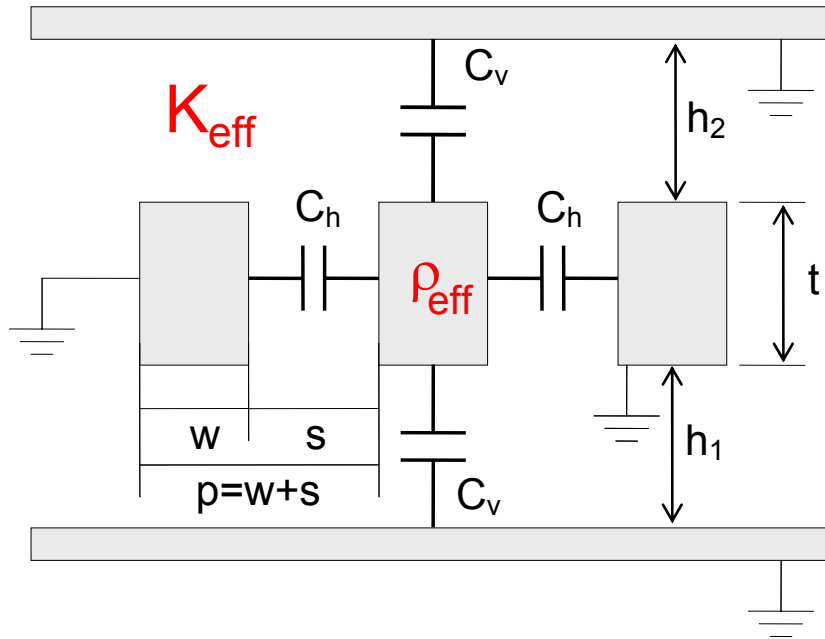


Figure A3 Interconnect Model

#### 7.4 3D と TSV 定義の用語集

**3D interconnect technology**—2D 配線製造工程で配線された基本電子回路を、縦に複数積層する技術

**3D Bonding**—ウェーハの表面をお互いに 2 枚あるいはそれ以上接合する工程

**3D Stacking**—デバイスレベル間の電氣的接合を実現する三次元ボンディング工程

**3D-System-In-Package (3D-SIP)**— プリント配線板上に wire bonding, Package-on-package stacking or embedding のような“traditional”なパッケージング技術を用いる集積化

**3D-Wafer-Level-Packaging (3D-WLP)**— flip-chip による再配線, チップ内部接続の再配線, fan-in chip-size packaging そして fan-out で再配置された wafer chip-scale packaging の様な、ウェーハ製造工程後の wafer level packaging 技術を用いた 3D 集積化パッケージ

**3D-System-on-chip (3D-SOC)**— system-on-chip (SOC) として設計された回路で、複数のダイを積層して実現している。3D 接続は異なるダイレベルの回路タイルと直接接続される。これらは、チップ上のグローバル配線のレベルで接続する。IP-ブロックの大規模な使用/再利用にも利用される。

**3D-Stacked-Integrated-Circuit (3D-SIC)**— 3D ダイ積層により、回路ブロック間を異なる配線層で直接接続する 3D。接続 (Interconnects) はグローバルあるいは中間 on-chip 配線レベル上にある。この 3D 積層は front-end (devices) と back-end (interconnect) 層を交互に組み合わせるのが特徴である。

**3D-Integrated-Circuit (3D-IC)**— 能動素子の積層を用いる 3D アプローチ。この 3D 積層は、共通のバックエンド積層配線同士を組み合わせせたフロントエンド素子の積層が特徴である。

**Through-Si-Via (TSV) connection**— Si サブストレートから、及び互いの他の TSV 接続から電氣的に絶縁された Si ウェーハ両面の電氣的な接続

**TSV liner**— TSV 導体の周りの絶縁層

**TSV barrier layer**— TSV から Si サブストレートへ金属拡散を防ぐための TSV 中の拡散防止層

*“Via-first” TSV process*—デバイス製造プロセスの Si フロントエンド (FEOL, Front-End-Of-Line) 前に TSV を形成すること

*“Via-middle” TSV process*—デバイス製造プロセスの Si フロントエンド (FEOL, Front-End-Of-Line) 後であり、しかも配線プロセスのバックエンド (BEOL, Back-End-Of-Line) 前に TSV を形成すること

*“Via-last” TSV process*—配線プロセスのバックエンド工程 (BEOL, Back-End-Of-Line) 後 (あるいは工程中) に TSV を形成すること

*Wafer-to-Wafer (W2W, WtW) bonding*—ウェーハアラインメントとウェーハボンディングによるウェーハ on ウェーハ技術を用いて 3D 積層する方法。積層されるダイは、同一サイズでウェーハステッピングパターンである。

*Die-to-Wafer (D2W, DtW) bonding*—ダイをウェーハ上にアラインメントそしてボンディングする 3D 積層方法で、積層されたダイは、異なるサイズでもそしてウェーハの一部の数チップでも可能である。

*Die-to-Die (D2D, DtD) bonding*—チップとチップをアラインメント、ボンディングして 3D 積層する方法。積層されたダイは異なるサイズでも可能である。

*Face-to-Face (F2F, FtF) bonding*—ボンディング後に、ダイもしくはウェーハの能動素子面 (=“Face”-side) どちらを 3D 積層する方法

*“Frontside” TSVs*—ウェーハのトップ表面 (ウェーハのデバイス/配線側) から TSV の形成を行うこと

*“Backside” TSVs*—薄化されたウェーハのバックサイドから TSV を形成する方法

*Back-to-Face (B2F, BtF) bonding*—ダイのバックサイド面とウェーハ表面同士を 3D 積層方法する方法

*Outer TSV-Aspect ratio*—Si サブストレートに形成されるエッチングされる穴の、最大径と TSV の深さの比

*Inner TSV-Aspect ratio*—TSV の導体の最大径と TSV の深さの比 (アスペクト比、liner (絶縁膜) 厚を除く)

## 8 参考文献

### 3D 配線アーキテクチャ 参考文献

[1] E.Beyne, IEEE ISSCC, 15-19 February 2004, San Francisco, pp.138-145 (2004).

### 信頼性 参考文献

- [1] J. Noguchi, IEEE TED, 52, 2005, pp. 1743-1750
- [2] G.S. Haase, J. Appl. Phys., 105(4), 2009, 044908
- [3] F. Chen, et al., IEEE T. El. Dev., 56(1), 2009, pp. 2-12
- [4] J.R. Black, Proceedings of the IEEE, 57, (1969), pp.1587-1589
- [5] C.K. Hu et al., Applied Physics Letters, 74, (1999), pp.2945-2947
- [6] C.K. Hu et al., IEEE IITC (2007) pp.93-95
- [7] C.K. Hu et al., Microelectronics Reliability 46 (2006), pp.213-231
- [8] E. Zschech et al., IEEE transaction on device and materials reliability, 9, (2009), p. 20
- [9] I.A. Blech, J. Appl. Phys. (1976), pp.1203-1208
- [10] A.S. Oates, IEEE IRPS (2009), pp. 452.
- [11] L. Doyen et al, J. Appl. Phys, vol 104 (2008) p. 12352
- [12] E.T. Ogawa, IEEE IRPS, (2002), P. 312
- [13] T. Oshima et al., IEEE- IEDM(2002)
- [14] H.Y. Lin et al, IEEE IRPS, (2008), pp. 687-688
- [15] N. Heylen et al., Proc. AMC, 2008, pp. 415-421
- [16] S-Y Jung et al., IEEE IRPS, 2009
- [17] M. Stucchi et al., IEEE IITC, 2008, pp. 174-176
- [18] J.R. Lloyd et al., J. Appl. Phys., 98(8), 2005, 084109
- [19] Zs. Tokei et al., IEEE IITC, 2009, pp. 228-230
- [20] A. Yamaguchi et al., IEEE IITC, 2009, pp. 225-227
- [21] J. Guo et al., IEEE TDMR, 8(4), 2008, pp. 652-663
- [22] S. Shamulia et al, Appl. Phys. Lett., 89(20), 2006, 202909

- [23] J.M. Atkin et al., J. Appl. Phys., 103, 2008, 094104
- [24] S. Yokogawa et al, IEEE Trans. Electron Devices, Vol. 55 (2008) pp.350-357
- [25] M.H. Lin, S.C. Lee, A.S. Oates, IEEE-IRPS, 2010, pp. 705-711
- [26] L. Zhang, et al, IEEE-IRPS, 2010, pp. 581-585
- [27] L. Arnaud et al, IEEE- IRPS, 2011, pp 297-305.
- [28] P. Lamontagne et al., IEEE- IRPS, 2010, pp 922-925.
- [29] T. Frank, et al, IEEE- IRPS, 2011, pp 347, 352.
- [30] H. L. Chao et al, IEEE- IRPS, 2006, pp 250-255.
- [31] C. Hau Riege et al, IEEE- IRPS, 2011, pp 588-591.
- [32] R. Labie et al, IEEE- IRPS, 2011, pp 592-596.

## 配線性能 参考文献

- [1] W.F.A. Besling et al, Proc. of IEDM, 2006, pp. 325-328
- [2] S.-P. Sim et al, IEEE Trans. on Electron Devices, 50 (6), 2003, pp. 1501-1510
- [3] M.R. Baklanov et al., Proc. of IITC, 2004, pp 187-189
- [4] A. Farcy et al, Proc. of AMC, 2007, pp. 285-291
- [5] M. Sellier et al, Proc. of ISQED, 2008, pp 492-497
- [6] R. Ho et al, Proc. of the IEEE, 2001, pp. 490-504
- [7] M. Nanua et al, Proc. of ISQED, 2007, pp. 639-646
- [8] M.A. El-Moursy et al, VLSI journal of Integration, 38, 2004, pp. 205-225
- [9] K.Jeong et al, Proc. of ISQED, 2010, pp. 122-130
- [10] N. Magen, Proc. of SLIP, 2004
- [11] L. David et al, IEEE Trans. on Adv. Packaging, 2007, pp. 295-300

## 絶縁膜解決策候補 参考文献

- [1] J. Jang, H.S. Kim, W. Cho, H. Cho, J. Kim, S.I. Shim, Y. Jang, J.H. Jeong" Vertical Cell Array using TCAT Technology for Ultra High Density NAND Flash Memory", VLSI Tech. Dig. Tech., pp.192-193, 2009.
- [2] T. Yaegashi, T. Okamura, W.Sakamoto, Y. Matsunaga, T. Toba, K. Sakuma, K.Gomikawa, K. Komiya, H. Nagashima, H. Akahori, K. Sekine, T. Kai, Y. Ozawa, M. Sugi, S. Watanabe, K. Narita, M. Umemura, H. Kutsukake, M. Sakuma, H. Maekawa, Y.Ishibashi, K. Sugimae, H. Koyama, T. Izumida, M. Kondo, N. Aoki and T. Watanabe, "20nm-node Planar MONOS Cell Technology for Multi-level NAND Flash Memory," Symp. on VLSI Technology, Tech. Dig., pp.190-191, 2009.
- [3] K. Yoneda, M. Kato, S. Nakao, N. Matsuki, K. Matsushita, N. Ohara, S. Kaneko, A. Fukazawa, Y. Kamigaki, N. Kobayashi, "Robust Low- $\kappa$  Diffusion Barrier ( $k=3.5$ ) for 45-nm Node Low- $\kappa$  ( $k=2.3$ )/Cu Integration", Proc. of IITC, pp.184-186 2006.
- [4] T. Usui, T. Oki, H. Miyajima, K. Tabuchi, K. Watanabe, T. Hasegawa, H. Shibata, "Identification of electromigration dominant diffusion path for Cu damascene interconnects and effect of plasma treatment and barrier dielectrics on electromigration performance", Proc. of IRPS, pp.246-250, 2004.
- [5] T. Usami, T. Ide, Y. Kakuhara, Y. Ajima, K. Ueno, T. Maruyama, Y. Yu, E. Apen, K. Chattopadhyay, B. van Schravendijk, N. Oda, M. Sekine, "Highly Reliable Interface of Self-aligned CuSiN process with Low- $\kappa$  Sic barrier dielectric ( $k3.5$ ) for 65nm node and beyond", Proc. of IITC, pp.125-127, 2006.
- [6] C.S. Liu, H.C. Chen, T.I. Bao, J. VanOlmen, K. Croes, E. VanBesien, E. Pantouvaki, M. Zhao, C. Sleenckx, E. Beyer, G. Yu, C. H., "Self Aligned CuGeN Process for 32/22nm Nodes and Beyond", Proc. of IITC, pp.199-201, 2008.
- [7] Y. Hayashi, N. Matsunaga, M. Wada, S. Nakao, K. Watanabe, A. Sakata, A.H. Shibata, "Low resistive and highly reliable copper interconnects in combination of silicide-cap with Ti-barrier for 32 nm-node and beyond", Proc. of IITC, pp.252-254, 2009.
- [8] C.C. Yang, F. Baumann, P. Wang, S. Lee, P. Ma, J. AuBuchon, D. Edelstein, "Characterization of Copper Electromigration Dependence on Selective Chemical Vapor Deposited Cobalt Capping Layer Thickness", IEEE Electron Device Letters, Vol 32, No 4, pp.560-562, 2011.
- [9] J. Noguchi, K. Sato, N. Konishi, S. Uno, T. Oshima, U. Tanaka, K. Ishikawa, H. Ashihara, T. Saito, M. Kubo, H. Aoki, F. Fujiwara, "Reliability of air-gap Cu interconnect and approach to selective W sealing using 90nm node technology", Proc. of IITC, p.81-83, 2004.
- [10] S.Nitta et al., Adv.Metal.Conf.,2007, pp.329-336.
- [11] L.G. Gosset, F. Gaillard, D. Bouchu, R. Gras, J. de Pontcharra, S. Orain, O. Cueto, P. Lyan, O. Louveau, G. Passemard, J. Torres, "Multi-Level Cu Interconnects Integration and Characterization with Air Gap as Ultra-Low- $\kappa$  Material Formed using a Hybrid Sacrificial Oxide / Polymer Stack", Proc. of IITC, pp.58-60, 2007.
- [12] R. Daamen, P.H. Bancken, D. Emur Badaroglu, J. Michelon, V.H. Nguyen, G.J.A.M. Verheijden, A. Humbert, J. Waeterloos, A. Yang, J.K. Cheng, L. Chen, T. Martens, R.J. Hoofman, "Multi-Level Air Gap Integration for 32/22nm nodes using a Spin-on Thermal Degradable Polymer and a SiOC CVD Hard Mask", Proc. of IITC, pp.61-63, 2007.

- [13] N. Nakamura, N. Matsunaga, T. Kaminatsui, K. Watanabe, H. Shibata, "Cost-effective air-gap interconnects by all-in-one post-removing process", Proc. of IITC, pp.193-195, 2008.

### 拡散防止(バリア)膜解決策候補 参考文献

- [1] Choe, H.S., et al., "MOCVD TiN Diffusion Barriers for Copper Interconnects," IITC, 1999, p. 62
- [2] Ashtiani, K., et al., "Pulsed Nucleation Layer of Tungsten Nitride Barrier Film and its Application to DRAM and Logic Manufacturing," Semi Tech. Symposium, Semicon Korea 2006.
- [3] Chen, Y.C., et al., "Optimizing ALD WN Process for 65 nm Node CMOS Contact Application," IITC, 2007, p. 105
- [4] Edelstein, D., et al., "A High Performance Liner for Copper Damascene Interconnects," IITC, 2001, p. 9
- [5] Sakata, A., et al., "Reliability Improvement by Adopting Ti-barrier Metal for Porous Low- $\kappa$  ILD Structure," IITC 2006, p. 101
- [6] Sakai, H., et al., "Novel PVD process of barrier metal for Cu interconnects extendable to 45 nm node and beyond," Proceedings of AMC, 2006, p. 185
- [7] Haukka, S., et al., "Deposition of Cu Barrier and Seed Layers with Atomic Layer Control," IITC, 2002, p. 279
- [8] Mori, K., et al., "A New Barrier Metal Structure with ALD-TaN for Highly Reliable Cu Dual Damascene Interconnects," Proceedings of AMC, 2004, p. 693
- [9] Rossnagel, S.M., et al., "From PVD to CVD to ALD for Interconnects and Related Applications," IITC, 2001, p. 3
- [10] van der Straten, O., et al., "Thermal and Electrical Barrier Performance Testing of Ultrathin Atomic Layer Deposition Tantalum-Based Materials for Nanoscale Copper Metallization," IITC, 2002, p. 188
- [11] Watanabe, T., et al. "Self-Formed Barrier Technology using CuMn Alloy Seed for Cu Dual-Damascene Interconnect with Porous-SiOC/ Porous-Par Hybrid Dielectric," IITC, 2007, p. 7
- [12] Saito, T., et al., "A Reliability Study of Barrier-Metal-Clad Copper Interconnects With Self-Aligned Metallic Caps," IEEE Trans. Electron Devices, 48, p. 1340
- [13] Hu, C.K., et al., "A Study of Electromigration Lifetime for Cu Interconnects Coated with CoWP, Ta/TaN, or SiC<sub>x</sub>NyHz," Proceedings of AMC, 2003, p. 253
- [14] Petrov, N., et al., "Material Properties and Thermal Stability of Electroless Co Alloys for Copper Interconnects," AMC 2004, p. 853
- [15] Nogami, T., et al., "CVD Co and its Application to Cu Damascene Interconnections," IITC, 2010, 3.1
- [16] Yang, C.-C., et al., "Integration and Reliability of CVD Ru Cap for Cu/Low- $\kappa$  Development," IITC, 2009, p. 255
- [17] Gosset, L., et al., "Self Aligned Barrier Approach: Overview on Process, Module Integration and Interconnect Performance Improvement Challenges," IITC, 2006, p. 84

### 膜成長核形成解決策候補 参考文献

- [1] Nakamura, N., et al., "Design Impact Study of Wiring Size and Barrier Metal on Device Performance toward 22 nm-node featuring EUV Lithography," IITC, 2009, p. 14.
- [2] Kumar, N., et al., "Advanced Metallization Needs Integrate Copper into Memory," Semiconductor International, Vol. 31(5), 2008, p. 26.
- [3] Ho, P., et al., "Extending PVD Copper Barrier Process Beyond 65 nm Technology," AMC, 2005, p. 421.
- [4] Gandikota, S., et al., "Characterization of Electroless Copper as a Seed Layer for sub 0.1  $\mu$ m Interconnects," IITC, 2001, p. 30
- [5] Haumesser, P.H., et al., "Electro-grafting: A New Approach for Cu Seeding or Direct Plating," Proceedings of AMC, 2003, p. 575
- [6] Malhotra, S.G., et al., "Integration of Direct Plating of Cu onto a CVD Ru Liner," Proceedings of AMC, 2004, p. 525.
- [7] Roule, A., et al., "Seed Layer Enhancement by Electrochemical Deposition: The Copper Seed Solution for beyond 45 nm," Microelectronics Eng., Vol. 84, 2007, p. 2610.

### 導電体膜解決策候補 参考文献

- [1] Shao, I. et al., "An Alternative Low Resistance MOL Technology with Electroplated Rhodium as Contact Plugs for 32 nm CMOS and Beyond," IITC, 2007, p. 102
- [2] Demuyne, S., et al., "Impact of Cu Contacts on Front End Performance: A Projection Towards 22 nm Node," IITC, 2006, p. 178
- [3] Edelstein, D., et al., "Full Copper Wiring in a Sub-0.25  $\mu$ m CMOS ULSI Technology," Tech. Digest IEEE IEDM Meeting, 1997, p. 773
- [4] Heidenreich, J., et al., "Copper Dual Damascene Wiring for Sub-0.25  $\mu$ m CMOS Technology," IITC, 1998, p. 151
- [5] Reid, J., et al., "Optimization of Damascene Feature Fill for Copper Electroplating Process," IITC, 1999, p. 284
- [6] Norman, J., et al., "New Precursor for CVD Copper Metallization," Microelectron. Eng., Vol. 85, 2008, p. 2159.
- [7] Tada, M. et al., "A Metallurgical Prescription for Electromigration (EM) Reliability Improvement in Scaled-down, Cu Dual Damascene Interconnects," IITC, 2006, p. 89

- [8] Tonegawa, T., et al., "Suppression of Bimodal Stress-Induced Voiding using High-diffusive Dopant from Cu-alloy Seed Layer," IITC, 2003. p. 216.
- [9] Kuan, T.S., et al., "Fabrication and Performance Limits of Sub-0.1 Micrometer Cu Interconnects," Mat. Res. Soc. Symp. Proc., 2000, Vol. 612, D7.1.1
- [10] Jiang, O-T., et al., "Line Width Dependency of Copper Resistivity," IITC, 2001, p. 227
- [11] Schindler, G., et al., "Assessment of Future Nanoscale Interconnects: Resistivity of Copper and Aluminum Lines," Proceedings of AMC, 2004, p. 305
- [12] Clevenger, L., et al., "A Novel Low Temperature CVD/PVD Al Filling Process for Producing Highly Reliable 0.175  $\mu\text{m}$  Wiring/0.35  $\mu\text{m}$  Pitch Dual Damascene Interconnections in Gigabit Scale DRAMS," IITC, 1998, p. 137

### エッチング/レジスト除去/洗浄 解決策候補 参考文献

- [1] ITRS Road Map 2007 Edition Interconnect chapter.
- [2] Y. Ichihashi, Y. Ishikawa, R. Shimizu, S. Samukawa, "Effect of iodotrifluoromethane plasma for reducing ultraviolet light irradiation damage in dielectric film etching processes", J. Vac. Sci. Tech., B 28 (3), 577 2010.
- [3] R. Bouyssou, M. El Kodadi, C. Licitra, T. Chevolleau, M. Besacier, N. Posseme, O. Joubert, P. Schiavone, "Scatterometric porosimetry: A new characterization technique for porous material patterned structures", J. Vac. Sci. Technol. B 28 (4), 809, 2010.
- [4] J. Versluijs; Y. K. Siew; E. Kunnen; D. Vangoidsenhoven; S. Demuynck; V. Wiaux; H. Dekkers; G. Beyer, "Spacer defined double patterning for (sub-)20nm half pitch single damascene structures", Proc of SPIE, Vol. 7973, 79731R-79731R-11 2011.
- [5] X. Chevalier, R. Tiron, T. Upreti, S. Gaugiran, C. Navarro, S. Magnet, T. Chevolleau, G. Cuges, G. Fleury, and G. Hadziioannou, "Study and optimization of the parameters governing the block copolymer self-assembly: toward a future integration in lithographic process", Proc. SPIE 7970, 79700Q (2011)
- [6] N. Posseme, R. Bouyssou, T. Chevolleau, T. David, V. Arnal, S. Chhun, C. Monget, E. Richard, D. Galpin, J. Guilan, L. Arnaud, D. Roy, M. Guillermet, J. Ramard, O. Joubert, and C. Verove" In Situ Post Etching Treatment as a Solution To Improve Defect Density For Porous Low- $\kappa$  Integration Using Metallic Hard Masks", Proc. Int. Interconnect Technology Conf., p. 240. 2009.
- [7] H. Chaabouni, L.L. Chapelon and M. Aïmeddine. "Sidewall restoration of porous ultra low- $\kappa$  dielectrics for sub-45 nm technology nodes", Microelectron. Eng., **84**, pp. 2595–2599 (2007).
- [8] L. Broussous, W. Puyrenier, D. Rebiscoul, V. Rouessac, and A. Ayral" Post-Etch Cleaning for Porous Low- $\kappa$  Integration: Impact of HF Wet Etch on Pore-Sealing and  $\kappa$  recovery", Proc. Int. Intercon. Tech. Conf., p 87, 2008.
- [9] J. Liu, W. Kim, J. Bao, W. Baek, P.S. Ho "Restoration and Pore Sealing of Plasma Damaged Porous Organosilicate Low- $\kappa$  Dielectrics with Phenyl Containing Agents", J. Vac Sci. and Tech., B 25(3), p906, 2007.
- [10] D.Tee S.M. Francis, N.V. Richardson, Chris Reid, Larry McGhee, "The Interaction of Sublimed Iminodiacetic Acid with a Cu{110} Surface", Solid State Phenomena, Vol. 145-146, p. 335, 2009.
- [11] V. Jousseume, M. Assous, A. Zenasni, S. Maitrejean, B. Rémiat, P. Leduc, H. Trouvé, Ch. Le Cornec, M. Fayolle, A. Roule, F. Ciaramella, D. Bouchu, T. David, A. Roman, D. Scevola, T. Morel, D. Rebiscoul, G. Prokopowicz, M. Jackman, C. Guedj, D. Louis, M. Gallagher, and G. Passemard Cu/ULK integration for 45 nm node and below using an improved hybrid material with conventional BEOL processing and a late porogen removal Proc.IEEE International Intercon. Tech. Conf. 60–62, 2005.
- [12] V. Jousseume, L. Favennec, A. Zenasni and G. Passemard, "Plasma-Enhanced-Chemical-Vapor-Deposited Ultra Low- $\kappa$  for a post-integration porogen removal approach", Appl. Phys. Lett., 88, 182908, 2006.
- [13] T. Frot, W. Volksen, T. Magbitang, D. Miller, S. Purushothaman, S. ; Lofaro, M. ; Bruce, R. ; Dubois, G., "Post Porosity Plasma Protection a new approach to integrate  $\kappa \leq 2.2$  porous ULK materials", Interconnect Technology Conference and 2011 Materials for Advanced Metallization" (IITC/MAM), p 1 – 3 2011.
- [14] H. Kudo, K. Ishikawa, M. Nakaishi, A. Tsukune, S. Ozaki, Y. Nakata, S. Akiyama, Y. Mizushima, M. Hayashi, A. A. Akbar, T. Kouno, H. Iwata, Y. Iba, T. Ohba, T. Futatsugi, T. Nakamura, and T. Sugii, "Enhancing Yield and Reliability by Applying Dry Organic Acid Vapor Cleaning to Copper Contact Via-Bottom for 32-nm Nodes and Beyond " Proc. Int. Intercon. Tech. Conf., p. 93, 2008.

### 平坦化 解決策候補 参考文献

- [1] G.C.Smith et al.: J.Electrochem.Soc.32,11,Nov., (1985), p.2721
- [2] H.Kotani et al.: Tech.Dia.IEDM,(1989), p.669
- [3] D.S.Balance et al.: Extg.Abst.VMIC Conf.,(1992),p180
- [4] S.suguro et al.: Extended Abstracts of SSDM, Makuhari, (1993),pp.171-173
- [5] C.W.Kaanta et al.: VLSI Multilevel Interconnection Conf., IEEE, (1991), p144
- [6] P. Feeney et al. : The Increasing Needs and New Solutions in CMP, ICPT 2009 Conf
- [7] M. Tsujimura, Wet Process Revolution, pp.132-139
- [8] US6,153,043, Elimination of photo-induced electrochemical dissolution in chemical mechanical polishing
- [9] M. Tsujimura et al. "General Principle of Planarization Governing CMP, ECP, ECMP & CE", Proceedings 2004 IMIC-030/00/0267, pp. 267-274

## SI 貫通ビア(TSV), 三次元(3D)積層化技術 参考文献

- [1] W.H. Teh, R. Caramto, S. Arkalgud, T. Saito, K. Maruyama, and K. Maekawa, Proc. IITC, pp. 53-55 (2009)
- [2] D. Sabuncuoglu Tezcan et al., Proc. 57th IEEE ECTC, 29 May - 1 June 2007, Reno, NV, USA (2007).
- [3] J. Van Olmen et al., IEEE IEDM, 15-17 December 2008, San Francisco, CA, USA, pp. 603-606 (2006).
- [4] A. Klumpp, R. Wieland, R. Ecke, and S.E. Schulz in "Handbook of 3D Integration", edited by P. Garrou, C. Bower and P. Ramm, Wiley-VCH, ISBN: 978-3-527-32034-9 (2008) 157-173
- [5] P. Ramm, D. Bonfert, R. Ecke, F. Iberl, A. Klumpp, S. Riedel, S. E. Schulz, R. Wieland, M. Zacher and T. Gessner, Proc. Advanced Metallization Conf. AMC 2001, Montreal, edited by A. J. McKerrow, Y. Shacham-Diamand, S. Zaima, T. Ohba, Materials Research Society, Warrendale, Pennsylvania (2002) 159-165

## 新規配線 参考文献

- [1] J. Kim and W. A. Anderson, "Direct Electrical Measurement of the Self-Assembled Nickel Silicide Nanowire," Nano Lett. 6, 1356-1359 (2006).
- [2] C. A. Decker, R. Solanki, J. L. Freeouf, J. R. Carruthers, and D. R. Evans, "Directed growth of nickel suicide nanowires," Appl. Phys. Lett. 84, 1389-1391, 2004.
- [3] Yue Wu, Jie Xiang, Chen Yang, Wei Lu, and C. M. Lieber, "Single Crystal Metallic Nanowires and metal/semiconductor nanowire heterostructures", Nature 430, 61-65, 2004.
- [4] C.-Y. Lee, M.-P. Lu, K.-F. Liao, W.-F. Lee, C.-T. Huang, S.-Y. Chen, L.J. Chen, "Free-standing single crystal NiSi<sub>2</sub> nanowires with excellent electrical transport and field emission properties," J. Phys. Chem. C 113, 2286-2289, 2009.
- [5] Y. Song, A.L. Schmitt, S. Jin, "Vertically well-aligned epitaxial Ni<sub>3</sub>Si<sub>2</sub> nanowire arrays with excellent field emission properties," Nano Lett. 7, 965-969 2007.
- [6] J. H. Lee, E. T. Eisenbraun, and R. E. Geer, University at Albany-SUNY, unpublished results (2009).
- [7] Q Wang, Q Luo and C Z Gu, "Nickel Silicide Nanowire formed in pre-patterened SiO<sub>2</sub> trenches and their electrical transport properties," Nanotechnology 18 195304, 1-5, 2007.
- [8] B. Li, Z. Luo, L. Shi, J. P. Zhou, L. Rabenberg, P. S Ho, R. A. Allen, M.W. Cresswell, "Controlled formation and resistivity scaling of nickel silicide nanolines," Nanotechnology 20, 085304, 1-7 (2009).
- [9] Hsueh-Chung Chen, Hsien-Wei Chen, Shin-Puu Jeng, C.-H.M. Wu, and J.Y.-C. Sun, Proceedings of the VLSI Technology, Systems, and Applications Symposium, p. 1-2, 2006.
- [10] Y. Sun, Y. Yin, B.T. Mayers, T. Herricks, Y. Xia, "Uniform Silver Nanowires Synthesis by Reducing AgNO<sub>3</sub> with Ethylene Glycol in the Presence of Seeds and Poly(vinyl pyrrolidone)," Chem. Mat. 14, 4736-4745 2002.
- [11] Zhi-Min Liao, Jia-Bin Xu, Xiao-Ming Sun, Ya-Dong Li, Jun Xu, Da-Peng Yu, "Quantum Interference Effects in Single Disorder Silver Nanocrystals," Physics Letters A 373 1181-1184, 2009.
- [12] X. Liu, J. Zhu, C. Jin, L.-M. Peng, D. Tang H. Cheng, "In situ Electrical Measurements of Polytropic Silver Nanowires," Nanotechnology 19, 085711, 1-6 2008.
- [13] Yi Cui, Stanford University, unpublished results 2008.
- [14] J. J. Plombon, Ebrahim Andideh, Valery M. Dubin, and Jose Maiz, Appl. Phys. Lett. 89, 113124-113126 (2006).
- [15] Werner Steinhogel, Gunther Schindler, Gernot Steinlesberger, and Manfred Engelhardt, "Size-dependent resistivity of metallic wires in the mesoscopic range", Phys. Rev. B 66, 075414-075417, 2002.
- [16] M. Kralj, A. Siber, P. Pervan, M. Milun, T. Valla, P. D. Johnson, D. P. Woodruff, "Temperature dependence of photoemission from quantum-well states in Ag/V(100): Moving surface-vacuum barrier effects," Phys. Rev. B 64, 085411, 2001
- [17] Ratan Lal, "Effect of electron-phonon interaction on the resistivity of metallic nanowires," Phys. Rev. B 68, 115417-115426, 2003.
- [18] S. Mathias, M. Wiesenmayer, M. Aeschlimann, M. Bauer, "Quantum-Well Wave-Function Localization and the Electron-Phonon Interaction in Thin Ag Nanofilms," Rev. Lett. 97, 236809-236812, 2006.
- [19] N. Trivedi and N. W. Ashcroft, "Quantum size effects in transport properties of metallic films," Phys. Rev. B. 38, 12298-12309, 1988.
- [20] Supriyo Datta, Quantum Transport: Atom to Transistor (Cambridge Press, NY, 2005).
- [21] A. E. Meyerovich and A. Stepaniants, "Quantized systems with randomly corrugated walls and interfaces," Phys. Rev. B. 60, 9129-9144, 1999.
- [22] A. E. Meyerovich and I. V. Ponomarev, "Quantum size effect in conductivity of multilayer metal films," Phys. Rev. B 67, 165411-165420, 2003.
- [23] Yiyang Cheng and A. E. Meyerovich, "Mode Coupling in Quantized high-quality films", Phys. Rev. B 73, 085404-085415, 2006.
- [24] A. Nieuwoudt and Y. Massoud, "Evaluating the impact of resistance in carbon nanotube bundles for VLSI interconnect using diameter-dependent modeling techniques," Electron Devices, IEEE Transactions on, vol. 53, pp. 2460-2466, 2006.
- [25] M. S. Dresselhaus, G. Dresselhaus, and P. Avouris, Carbon nanotubes: synthesis, structure, properties, and applications. Berlin; New York: Springer, 2001.

- [26] H. J. Li, W. G. Lu, J. J. Li, X. D. Bai, and C. Z. Gu, "Multichannel ballistic transport in multiwall carbon nanotubes," *Physical Review Letters*, vol. 95, pp. 086601-4, 2005.
- [27] M. Nihei, D. Kondo, A. Kawabata, S. Sato, H. Shioya, M. Sakaue, T. Iwai, M. Ohfuti, and Y. Awano, "Low-resistance multi-walled carbon nanotube vias with parallel channel conduction of inner shells," in *Proc. IEEE Int. Interconnect Tech. Conf.*, 2005, pp. 234-236.
- [28] P. L. McEuen, M. S. Fuhrer, and P. Hongkun, "Single-walled carbon nanotube electronics," *Nanotechnology*, *IEEE Transactions on*, vol. 1, pp. 78-85, 2002.
- [29] S. Reich, C. Thomasen, and J. Maultzsch, *Carbon Nanotubes: Basic Concepts and Physical Properties*: Wiley-VCH, 2004.
- [30] B. Q. Wei, R. Vajtai, and P. M. Ajayan, "Reliability and current carrying capacity of carbon nanotubes," *Applied Physics Letters*, vol. 79, pp. 1172-1174, 2001.
- [31] S. Berber, Y.-K. Kwon, and D. Tománek, "Unusually High Thermal Conductivity of Carbon Nanotubes," *Physical Review Letters*, vol. 84, p. 4613, 2000.
- [32] J. Hone, M. Whitney, C. Piskoti, and A. Zettl, "Thermal conductivity of single-walled carbon nanotubes," *Physical Review B*, vol. 59, p. R2514, 1999.
- [33] A. Naeemi and J. D. Meindl, "Design and Performance Modeling for Single-Walled Carbon Nanotubes as Local, Semiglobal, and Global Interconnects in Gigascale Integrated Systems," *Electron Devices, IEEE Transactions on*, vol. 54, pp. 26-37, 2007.
- [34] S. Salahuddin, M. Lundstrom, and S. Datta, "Transport effects on signal propagation in quantum wires," *Electron Devices, IEEE Transactions on*, vol. 52, pp. 1734-1742, 2005.
- [35] A.S. Verhulst, M. Bamal, and G. Groeseneken, "Carbon nanotube interconnects: will there be a significant improvement compared to copper?," poster at INC3, Brussels, Belgium, 17-19 April 2007.
- [36] K. Liu, P. Avouris, R. Martel, and W. K. Hsu, "Electrical transport in doped multiwalled carbon nanotubes," *Physical Review B*, vol. 63, p. 161404, 2001.
- [37] J. Y. Huang, S. Chen, S. H. Jo, Z. Wang, D. X. Han, G. Chen, M. S. Dresselhaus, and Z. F. Ren, "Atomic-Scale Imaging of Wall-by-Wall Breakdown and Concurrent Transport Measurements in Multiwall Carbon Nanotubes," *Physical Review Letters*, vol. 94, pp. 236802-4, 2005.
- [38] C. Berger, Y. Yi, Z. L. Wang, and W. A. de Heer, "Multiwalled carbon nanotubes are ballistic conductors at room temperature," *Applied Physics A: Materials Science & Processing*, vol. 74, pp. 363-365, 2002.
- [39] A. Naeemi and J. D. Meindl, "Compact Physical Models for Multiwall Carbon-Nanotube Interconnects," *Electron Device Letters, IEEE*, vol. 27, pp. 338-340, 2006.
- [40] G. F. Close, S. Yasuda, B. Paul, S. Fujita, and H. S. P. Wong, "A 1 GHz Integrated Circuit with Carbon Nanotube Interconnects and Silicon Transistors," *Nano Lett.*, vol. 8, pp. 706-709, 2008.
- [41] T. Hertel and G. Moos, "Electron-Phonon Interaction in Single-Wall Carbon Nanotubes: A Time-Domain Study," *Physical Review Letters*, vol. 84, p. 5002, 2000.
- [42] E. Pop, D. Mann, J. Reifenberg, K. Goodson, and H. Dai, "Electro-thermal transport in metallic single-wall carbon nanotubes for interconnect applications," in *IEEE IEDM Digst.*, 2005, pp. 253-256.
- [43] A. Naeemi and J. D. Meindl, "Physical Modeling of Temperature Coefficient of Resistance for Single- and Multi-Wall Carbon Nanotube Interconnects," *Electron Device Letters, IEEE*, vol. 28, pp. 135-138, 2007.
- [44] A. Cao, R. Baskaran, M. J. Frederick, K. Turner, P. M. Ajayan, and G. Ramanath, "Direction-Selective and Length-Tunable In-Plane Growth of Carbon Nanotubes," *Advanced Materials*, vol. 15, pp. 1105-1109, 2003.
- [45] D. Mann, A. Javey, J. Kong, Q. Wang, and H. Dai, "Ballistic Transport in Metallic Nanotubes with Reliable Pd Ohmic Contacts," *Nano Lett.*, vol. 3, pp. 1541-1544, November 12, 2003 2003.
- [46] M. Nihei, T. Hyakushima, S. Sato, T. Nozue, M. Norimatsu, M. Mishima, T. Murakami, D. Kondo, A. Kawabata, M. Ohfuti, and Y. Awano, "Electrical Properties of Carbon Nanotube Via Interconnects Fabricated by Novel Damascene Process," in *International Interconnect Technology Conference, IEEE 2007*, 2007, pp. 204-206.
- [47] M. Nihei, A. Kawabata, T. Hyakushima, S. Sato, T. Nozue, D. Kondo, H. Shioya, T. iwai, M. Ohfuti, and Y. Awano, "Carbon Nanotube Via Technologies for Advanced Interconnect Integration," in *Extended abstracts 2006 Int. Conf. on Solid State Devices and Materials*, 2006, pp. 140-141.
- [48] P. G. Collins, K. Bradley, M. Ishigami, and A. Zettl, "Extreme Oxygen Sensitivity of Electronic Properties of Carbon Nanotubes," *Science*, vol. 287, pp. 1801-1804, 2000.
- [49] A. K. Geim and K. S. Novoselov, "The rise of graphene," *Nature Materials*, vol. 6, pp. 183-191, 2007.
- [50] C. Berger, Z. Song, T. Li, X. Li, A. Y. Ogbazghi, R. Feng, Z. Dai, A. N. Marchenkov, E. H. Conrad, P. N. First, and W. A. deHeer, "Ultrathin Epitaxial Graphite: 2D Electron Gas Properties and a Route toward Graphene-based Nanoelectronics," *J. Phys. Chem. B*, vol. 108, pp. 19912-19916, 2004.
- [51] B. Obradovic, R. Kotlyar, F. Heinz, P. Matagne, T. Rakshit, M. D. Giles, M. A. Stettler, and D. E. Nikonov, "Analysis of graphene nanoribbons as a channel material for field-effect transistors," *Applied Physics Letters*, vol. 88, pp. 142102/1-142102/3, 2006.
- [52] K. Nakada, M. Fujita, G. Dresselhaus, and M. S. Dresselhaus, "Edge state in graphene ribbons: Nanometer size effect and edge shape dependence," *Physical Review B*, vol. 54, pp. 17954-17961, 1996.
- [53] C. Berger, Z. Song, X. Li, X. Wu, N. Brown, C. Naud, D. Mayou, T. Li, J. Hass, A. N. Marchenkov, E. H. Conrad, P. N. First, and W. A. de Heer, "Electronic Confinement and Coherence in Patterned Epitaxial Graphene," *Science*, vol. 312, pp. 1191-1196, 2006.

- [54] T. Ohta, A. Bostwick, T. Seyller, K. Horn, and E. Rotenberg, "Controlling the Electronic Structure of Bilayer Graphene," *Science*, vol. 313, pp. 951-954, 2006.
- [55] M. Y. Han, B. Ozyilmaz, Y. Zhang, and P. Kim, "Energy Band-Gap Engineering of Graphene Nanoribbons," *Physical Review Letters*, vol. 98, pp. 206805-4, 2007.
- [56] P. Avouris, Z. Chen, and V. Perebeinos, "Carbon-based electronics," *Nature Nanotechnology*, vol. 2, pp. 605-615, 2007.
- [57] Y.-W. Son, M. L. Cohen, and S. G. Louie, "Energy Gaps in Graphene Nanoribbons," *Physical Review Letters*, vol. 97, pp. 216803-4, 2006.
- [58] A. Naeemi and J. D. Meindl, "Performance Benchmarking for Graphene Nanoribbon, Carbon Nanotube, and Cu Interconnects," in *Int. Interconnect Technology Conference*, pp. 183-185, 2008.
- [59] K. I. Bolotin, K. J. Sikes, Z. Jiang, M. Klima, G. Fudenberg, J. Hone, P. Kim, and H. L. Stormer, "Ultrahigh electron mobility in suspended graphene," *Solid State Communications*, vol. 146, pp. 351-355, 2008.
- [60] A. A. Balandin, S. Ghosh, W. Bao, I. Calizo, D. Teweldebrhan, F. Miao, and C. N. Lau, "Superior Thermal Conductivity of Single-Layer Graphene," *Nano Letters*, vol. 8, pp. 902-907, 2008.
- [61] C. Faugeras, A. Nerriere, M. Potemski, A. Mahmood, E. Dujardin, C. Berger, and W. A. de Heer, "Few-layer graphene on SiC, pyrolytic graphite, and graphene: A Raman scattering study," *Applied Physics Letters*, vol. 92, pp. 011914-3, 2008.
- [62] A. Reina, X. Jia, J. Ho, D. Nezich, H. Son, V. Bulovic, M. S. Dresselhaus, and J. Kong, "Large Area, Few-Layer Graphene Films on Arbitrary Substrates by Chemical Vapor Deposition," *Nano Letters*, vol. 9, pp. 30-35, 2009.
- [63] H. M. Wang, Y. H. Wu, Z. H. Ni, and Z. X. Shen, "Electronic transport and layer engineering in multilayer graphene structures," *Applied Physics Letters*, vol. 92, pp. 053504-3, 2008.
- [64] F. Cervantes-Sodi, G. Csanyi, S. Piscanec, and A. C. Ferrari, "Edge-functionalized and substitutionally doped graphene nanoribbons: Electronic and spin properties," *Physical Review B (Condensed Matter and Materials Physics)*, vol. 77, pp. 165427-13, 2008.
- [65] D. Kondo, S. Sato, and Y. Awano, "Self-organization of Novel Carbon Composite Structure: Graphene Multi-Layers Combined Perpendicularly with Aligned Carbon Nanotubes," *Applied Physics Express*, vol. 1, p. 074003, 2008.
- [66] K. S. Kim, Y. Zhao, H. Jang, S. Y. Lee, J. M. Kim, K. S. Kim, J.-H. Ahn, P. Kim, J.-Y. Choi, and B. H. Hong, "Large-scale pattern growth of graphene films for stretchable transparent electrodes," *Nature*, vol. 457, pp. 706-710, 2009.
- [67] Y. Ouyang, X. Wang, H. Dai, and J. Guo, "Carrier scattering in graphene nanoribbon field-effect transistors," *Applied Physics Letters*, vol. 92, pp. 243124-3, 2008.
- [68] A. Naeemi and J. D. Meindl, "Conductance Modeling for Graphene Nanoribbon (GNR) Interconnects," *Electron Device Letters, IEEE*, vol. 28, pp. 428-431, 2007.
- [69] Siegert, M.; Loken, M.; Glingener, C.; Buchal, C.; "Efficient optical coupling between a polymeric waveguide and an ultrafast silicon MSM photodiode," *IEEE Journal on Selected Topics in Quantum Electronics*, Volume 4, Issue: 6, Nov.-Dec. 1998, pp. 970 -974.
- [70] Kyung-Hoae Koo, Pawan Kapur, and Krishna C. Saraswat, *IEEE Trans. Electron Dev*, Vol. 56, no. 9, September 2009.
- [71] F.R. Libsch, R. Budd, P. Chiniwalla, P.C.D. Hobbs, M. Mastro, J.L. Sanford, J. Xu, *Proc. of the Electronic Components and Technology Conference*, 2006.
- [72] Ian A. Young, Edris Mohammed, Jason T. S. Liao, Alexandra M. Kern, Samuel Palermo, Bruce A. Block, Miriam R. Reshotko, and Peter L.D. Chang, *IEEE J. Solid-State Circuits*, Vol. 45, no. 1, Jan. 2010.
- [73] Buca, D., Winnerl, S., Lenk, S., Mantl, S. And Buchal, Ch., "Metal-Germanium-Metal Ultrafast Infrared Detectors," *J. Appl. Phys.*, Vol. 92, no. 12, December 2002, pp. 7599-7605.
- [74] Oh, J., Banerjee, S.K. and Campbell, J.C., "Metal-Germanium-Metal Photodetectors on Heteroepitaxial Ge-on-Si with Amorphous Enhancement Layers," *IEEE Phot. Tech. Lett.*, vol. 16, no. 2, February 2004, pp. 581-583.
- [75] Yang, B., Schaub, J.D., Csutak, S.M., Rogers, D.L., and Campbell, J.C., "10 Gb/s All-Silicon Optical Receiver," *IEEE Phot. Tech. Lett.*, vol. 15, no. 5, May 2003, pp. 745-747.
- [76] Colace, L., Masini, G. and Assanto, G., "Ge on Si Approaches to the Detection of Near-Infrared Light," *IEEE J. of Quantum Electronics*, vol. 35, no. 12, pp. 1843-1852.
- [77] Matsuura, T., Yamada, A., Murota, J., Tamechika, E., Wada, K., and Kimerling, L.C., "Optoelectronic Conversion Through 850 nm Band Single mode Si3N4 Photonic Waveguides for Si-On-Chip Integration," *Device Research Conference, 2002, 60th DRC. Conference Digest*, June 24-26. 2002, pp. 93-94.
- [78] K. Cadien, M. Reshotko, B. Block, A. Bowen, D. Kencke, and P. Davids, "Challenges for On-Chip Optical Interconnects," *Proceedings of SPIE 2005*, Vol. 5730, pp. 133-143.
- [79] Junichi Fujikata, Tsutomu Ishi, Daisuke Okamoto, Kenichi Nishi, and Keishi Ohashi, "Highly Efficient Surface-Plasmon Antenna and its Application to Si Nano-Photodiode", *IEEE Lasers & Electro-Optics Society*, 2006, pp. 476-477.
- [80] L. Fu, C. L. Kane, and E. J. Mele, "Topological Insulators in Three Dimensions", *Phys. Rev. Lett.* 98, 106803, 2007.
- [81] L. Fu and C. L. Kane, "Topological insulators with inversion symmetry", *Phys. Rev. B* 76, 045302, 2007.

- [82] D. Hsieh, D. Qian, L. Wray, Y. Xia, Y. Hor, R. J. Cava, and M. Z. Hasan, "A topological Dirac insulator in a quantum spin Hall Phase" *Nature* 452, 970, 2008.
- [83] P. Roushan, J. Seo, C. V. Parker, Y. S. Hor, D. Hsieh, D. Qian, A. Richardella, M. Z. Hasan, R. J. Cava, A. Yazdani, "Topological surface states protected from backscattering by chiral spin texture" *Nature* 460, 1106, 2009.
- [84] J. Seo, P. Roushan, H. Beidenkopf, Y. S. Hor, R. J. Cava, A. Yazdani, "Transmission of topological surface states through surface barriers", *Nature*, 466, 343, 2010.
- [85] D. Qu, Y.S. Hor, J. Xiong, R.J. Cava, N.P. Ong, "Quantum Oscillations and Hall Anomaly of Surface States in the Topological Insulator Bi<sub>2</sub>Te<sub>3</sub>", *Science* 329, 821, 2010,
- [86] P. Ghaemi, R.S.K. Mong, and J.E. Moore, "In-Plane Transport and Enhanced Thermoelectric Performance in Thin Films of the Topological Insulators Bi<sub>2</sub>Te<sub>3</sub> and Bi<sub>2</sub>Se<sub>3</sub>", *Phys. Rev. Lett.* 105, 166603, 2010.
- [87] *Superconductivity Fundamentals and Applications*, Werner Buckel and Reinhold Kleiner, Wiley-VCH Verlag, 2004, p. 360.
- [88] *Superconductivity Fundamentals and Applications*, Werner Buckel and Reinhold Kleiner, Wiley-VCH Verlag, 2004, p. 389.
- [89] R. K. Cavin, V. V. Zhirnov, J. A. Hutchby, and G. I. Bourianoff, "Energy barriers, demons, and minimum energy operation of electronic devices," *Fluctuation Noise Lett.*, vol. 5, no. 4, pp. 29–38, 2005.
- [90] A. E. Kaloyeros, M. Stan, B. Arkles, R. Geer, E. Eisenbraun, J. Raynolds, A. Gadre, Y. Xue, and J. Ryan, "Conformational molecular switches for post-CMOS nanoelectronics," *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 54, no. 11, pp. 2345–2352, 2007.
- [91] R. K. Cavin, V. V. Zhirnov, D. J. C. Herr, A. Alba, and J. A. Hutchby, "Research directions and challenges in nanoelectronics," *J. Nanoparticle Res.*, vol. 8, no. 6, pp. 841–858, 2006.
- [92] S. Rakheja, A. Naeemi, "Interconnects for Novel State Variables: Performance Modeling and Device and Circuit Implications", *IEEE Trans. Electron Dev.*, VOL. 57, 10, 2010.
- [93] S. Rakheja and A. Naeemi, "Modeling Interconnects for Post-CMOS Devices and Comparison With Copper Interconnects," *IEEE Trans. Electron Devices*, vol. 58, pp. 1319-1328, 2011
- [94] P. S. Jose, E. Prada, E. McCann, H. Schomerus, "Pseudospin valve in bilayer graphene: Towards graphene-based pseudospintronics," *Phys. Rev. Lett.* 102, 247204, 2009.
- [95] B. Behin-Aein, D. Datta, S. Salahuddin, S. Datta, "Proposal for an all-spin logic device with built-in memory," *Nature Nanotechnology*, 5, 266 – 270, 2010.
- [96] A. Khitun and K. L. Wang, "Nano scale computational architectures with Spin Wave Bus," *Superlattices and Microstructures*, vol. 38, pp. 184-200, 2005.
- [97] A. Khitun, D. E. Nikonov, M. Bao, K. Galatsis, and K. L. Wang, "Efficiency of Spin-Wave Bus for Information Transmission," *Electron Devices, IEEE Transactions on*, vol. 54, pp. 3418-3421, 2007.
- [98] Andr and Dehon, "Nanowire-based programmable architectures," *J. Emerg. Technol. Comput. Syst.*, vol. 1, pp. 109-162, 2005.
- [99] Y. Wu, J. Xiang, C. Yang, W. Lu, and C. M. Lieber, "Single-crystal metallic nanowires and metal/semiconductor nanowire heterostructures," *Nature*, vol. 430, pp. 61-65, 2004.
- [100] N. Patil, D. Jie, S. Mitra, and H. S. P. Wong, "Circuit-Level Performance Benchmarking and Scalability Analysis of Carbon Nanotube Transistor Circuits," *Nanotechnology, IEEE Transactions on*, vol. 8, pp. 37-45, 2009.
- [101] A. Naeemi and J. D. Meindl, "Electron Transport Modeling for Junctions of Zigzag and Armchair Graphene Nanoribbons (GNRs)," *Electron Device Letters, IEEE*, vol. 29, pp. 497-499, 2008.
- [102] V. V. Zhirnov, R. K. Cavin, III, J. A. Hutchby, and G. I. Bourianoff, "Limits to binary logic switch scaling - a gedanken model," *Proceedings of the IEEE*, vol. 91, pp. 1934-1939, 2003.
- [103] R. Cavin, V. Zhirnov, D. Herr, A. Avila, and J. Hutchby, "Research directions and challenges in nanoelectronics," *Journal of Nanoparticle Research*, vol. 8, pp. 841-858, 2006.
- [104] D. Nikonov and G. Bourianoff, "Operation and Modeling of Semiconductor Spintronics Computing Devices," *Journal of Superconductivity and Novel Magnetism*, vol. 21, pp. 479-493, 2008.
- [105] D. D. Awschalom and M. E. Flatte, "Challenges for semiconductor spintronics," *Nature Physics*, vol. 3, pp. 153-159, 2007.
- [106] G. Bourianoff, "The future of nanocomputing," *Computer*, vol. 36, pp. 44-53, 2003.
- [107] J.-J. Su and A. H. MacDonald, "How to make a bilayer exciton condensate flow," *Nat Phys*, vol. 4, pp. 799-802, 2008.
- [108] N. Tombros, C. Jozsa, M. Popinciuc, H. T. Jonkman, and B. J. van Wees, "Electronic spin transport and spin precession in single graphene layers at room temperature," *Nature*, vol. 448, pp. 571-574, 2007.

## 受動素子(付録) 参考文献

- [1] R. Mahnkopf et al., Digest 1999 IEDM, p. 849
- [2] T. Schiml et al., Digest 2001 VLSI Technology Symposium, p. 101
- [3] K. Miyashita et al., Digest 2001 VLSI Technology Symposium, p. 11
- [4] C.C. Lin et al., Proc. 2001 IITC, p. 113

- [5] A. Kar-Roy et al., Proc. 1999 IITC, p. 245
- [6] R. Liu et al., Proc. 2000 IITC, p. 111
- [7] M. Armacost et al., Digest 2000 IEDM, p. 157
- [8] P. Zurcher et al., Digest 2000 IEDM, p.153
- [9] J.N. Burghartz, Proc. 1997 ESSDERC, p. 143
- [10] J.N. Burghartz, Digest 1998 IEDM, p. 523
- [11] J.N. Burghartz, Proc. 1999 ESSDERC, p. 56
- [12] D.C. Edelstein, J.N. Burghartz, Proc. 1998 IITC, p. 18
- [13] J. Rogers et al., Proc. 1999 IITC, p.239
- [14] K. Saito et al., Proc. 2000 IITC, p. 123
- [15] Y. Nakahara et al., Digest 1999 IEDM, p.861
- [16] S. Jenei et al., Proc. 2001 IITC, p. 107
- [17] D. Gardner et al., Proc. 2001 IITC, p. 101
- [18] S. Van Huylenbroeck, et al., IEEE Electron Dev. Lett., Vol.23, 2002, p.191
- [19] C.H. Ng, et al., Digest 2002 IEDM, p.241
- [20] T. Ishikawa, et al., Digest 2002 IEDM, p. 940
- [21] P. Mazoyer, et al., Proc. 2003 IITC, p.117
- [22] Y.L. Tu, et al., Digest 2003 VLSI Technology Symposium, p. 79
- [23] S.J. Kim, et al., Digest 2003 VLSI Technology Symposium, p. 77
- [24] X. Yu, et al., IEEE Electron Dev. Lett., Vol. 24, p. 63, 2003
- [25] R. Aparicio, et al., IEEE J. Solid-State Circuits, Vol. 37, 2002, p. 384
- [26] J. Kim, et al., Digest 2003 VLSI Circuits Symposium, p. 29
- [27] C.-H. Chen, et al., IEEE Electron Dev. Lett., Vol. 22, 2001, p. 522
- [28] J.-B. Yoon, et al., IEEE Electron Dev. Lett., Vol. 23, 2002, p. 591
- [29] M. Yamaguchi, et al., IEEE Trans. Microw. Theory Techn., Vol. 49, 2001, p.2331
- [30] Y. Zhuang, et al., IEEE Electron Dev. Lett., Vol. 24, 2003, p. 224
- [31] C.S. Pai, et al.; Proc. 2001 IITC, p. 216
- [32] A. Chin, et al.; Digest 2003 IEDM, p. 375
- [33] D.D. Tang, et al.; Digest 2003 IEDM, p. 673
- [34] N. Zamdmer, et al.; Digest 2004 VLSI Technology Symposium, p. 98
- [35] W. Jeamsaksiri, et al.; Digest 2005 VLSI Technology Symposium, p. 60
- [36] T. Ohguro, et al.; Digest 2004 VLSI Technology Symposium, p. 220
- [37] S.J. Kim, et al.; Digest 2005 VLSI Technology Symposium, p. 56
- [38] K.C. Chiang, et al.; Digest 2005 VLSI Technology Symposium, p. 62
- [39] H. Hu, et al.; Digest 2003 IEDM, p. 379
- [40] Y. Jeong, et al.; Digest 2004 VLSI Technology Symposium, p. 222
- [41] K. Takeda, et al.; Proc. 2005 IITC, p. 91
- [42] K. Kuhn, et al.; Digest 2002 IEDM, p. 73
- [43] Y.S. Choi, et al.; IEEE Electron Dev. Lett., Vol. 25, 2004, p. 76
- [44] L.F. Tiemeijer, et al.; IEEE Electron Dev. Lett., Vol. 25, 2004, p. 722
- [45] K. Chong, et al.; IEEE Electron Dev. Lett., Vol. 26, 2005, p. 93
- [46] C.S. Lin, et al.; IEEE Electron Dev. Lett., Vol. 26, 2005, p. 160
- [47] C.H. Ng, et al.; IEEE Electron Dev. Lett., Vol. 24, 2003, p. 506
- [48] C.H. Ng, et al.; IEEE Electron Dev. Lett., Vol. 25, 2004, p. 489
- [49] D. Roberts, et al.; Digest 2005 IEDM, p. 77
- [50] S.-J. Kim, et al.; IEEE Electron Dev. Lett., Vol. 26, 2005, p. 625
- [51] D. Brassard, et al.; IEEE Electron Dev. Lett., Vol. 28, 2007, p. 261
- [52] Y. H. Jeong, et al.; IEEE Electron Dev. Lett., Vol. 28, 2007, p. 17
- [53] K.C. Chiang, et al.; Digest 2006 VLSI Technology Symposium, p. 126
- [54] K.C. Chiang, et al.; IEEE Electron Dev. Lett., Vol. 28, 2007, p. 235
- [55] N. Inoue, et al.; Proc. 2006 IITC, p. 63
- [56] H. Sagkol, et al.; IEEE Electron Dev. Lett., Vol. 26, 2005, p. 541
- [57] K. Hijioka, et al.; Proc. 2006 IITC, p. 60; Y. Hayashi; Digest 2006 IEDM, p. 363
- [58] D.S. Gardner; et al.; Digest 2006 IEDM, p. 221
- [59] L. H. Guo, et al.; IEEE Electron Dev. Lett., Vol. 26, 2005, p. 619
- [60] K. Okada, et al.; IEEE Transactions on Electron Devices, Vol. 53, 2006, p. 2401
- [61] S. Lee, et al.; Digest 2007 VLSI Technology Symposium, p. 54
- [62] P. Gilbert, et al.; Digest 2007 IEDM, p. 259
- [63] S.-Y. Wu, et al.; Digest 2007 IEDM, p. 263
- [64] S. Ekbote, et al.; Digest 2008 VLSI Technology Symposium, p. 160
- [65] C.-H. Jan, et al.; Digest 2008 IEDM, p. 637
- [66] H. Sanchez, et al.; Proc. 2007 IITC, p. 84
- [67] M. Thomas, et al.; Proc. 2007 IITC, p. 158

- [68] M. Thomas, et al.; Digest 2007 VLSI Technology Symposium, p. 58
- [69] S. Jeannot, et al.; Digest 2007 IEDM, p. 997
- [70] N. Inoue, et al.; Digest 2007 IEDM, p. 989
- [71] C.H. Cheng, et al.; IEEE Electron Dev. Lett., Vol. 28, 2007, p. 1095
- [72] C.H. Cheng, et al.; IEEE Electron Dev. Lett., Vol. 29, 2008, p. 845
- [73] K.-H. Cho, et al.; IEEE Electron Dev. Lett., Vol. 30, 2009, p. 614
- [74] I. Kume, et al.; Proc. 2008 IITC, p. 225
- [75] D. Kim, et al.; IEEE Electron Dev. Lett., Vol. 28, 2007, p. 616
- [76] A.H. Fischer, et al.; Proc. 2008 IRPS, p. 126
- [77] I.M. Kang, et al.; IEEE Electron Dev. Lett., Vol. 30, 2009, p. 538
- [78] D. C. Sekar, et al.; Proc. 2006 IITC, p. 48
- [79] K. Hijioaka, et al.; Proc. 2008 IITC, p.186
- [80] D. Nachrodt, et al.; IEEE Electron Dev. Lett., Vol. 29, 2008, p. 212
- [81] C.-H. Jan, et al.; Digest 2009 IEDM, p. 647
- [82] C.-H. Jan, et al.; Digest 2010 IEDM, p. 604
- [83] S. Salimy, et al.; Proc. 2010 ESSDERC, p. 118