



INTERNATIONAL
TECHNOLOGY ROADMAP
FOR
SEMICONDUCTORS

2011年版

メトロロジ

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2011 Edition(国際半導体技術ロードマップ 2011 年版)本文の日本語訳である。

国際半導体技術ロードマップ(以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 15 のワーキンググループ(WG: Working Group)が組織され、半導体集積回路メーカー、半導体製造装置メーカー、材料メーカー、大学、独立行政法人、コンソーシアムなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2011 年版は英文で 1000 ページを越えるの文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、ITRS 2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要に限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。ITRS 2009 年版以降、電子媒体で ITRS を公開することを前提に編集を進め、ITRS の表は原則として、Microsoft Excel のファイルとして作成し、そのまま公開することにした。

ITRS は英語で書かれている。日本語訳の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くの専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字、脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただけますよう、お願い申し上げます。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部の英文は訳さないでそのまま掲載することとした。Executive Summary の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、こども訳出していない。

原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors、以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。Executive Summary の用語集(Glossary)も参照されたい。原文の括弧()があつてそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また□内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様にはご不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳全体の編集は全体のページ数が膨大であるため、大変な作業となってしまいました。編集作業を担当いただいた、JEITA 内 SRTJ 事務局の進藤淳二さん、関口美奈さんに大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2012年 5月
訳者一同を代表して
電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長
石内 秀美 (株式会社 東芝)

版權について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2011 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS •SEMATECH, Inc., 257 Fuller Road, Albany, NY 12203 • <http://www.itrs.net>

Japanese translation by the JEITA, Japan Electronics and Information Technology Industries Association under the license of
the Semiconductor Industry Association

—引用する場合の注意—

原文(英語版)から引用する場合: ITRS 2011 Edition page XX, Figure(Table) YY
この日本語訳から引用する場合: ITRS 2011 Edition (JEITA 訳) XX 頁, 図(表) YY
と明記してください。

問合せ先:

一般社団法人 電子情報技術産業協会
半導体技術ロードマップ専門委員会 事務局
電話: 03-5218-1068 電子メール: roadmap@jeita.or.jp

TABLE OF CONTENT

1 計測(Metrology)	1
1. 諸言と概要	1
1.1. 諸言.....	1
1.2. 概要.....	2
1.3 産業基盤の必要性(INFRASTRUCTURE NEEDS).....	3
2. 困難な技術課題	3
2.1. 困難な技術課題.....	4
3. 顕微鏡観察(MICROSCOPY)	5
4. リソグラフィにおける計測(LITHOGRAPHY METROLOGY)	7
4.1. ラインラフネス(LINE ROUGHNESS).....	11
4.2. 計測の不確かさ(Measurement Uncertainty).....	11
4.3 TABLE MET3、MET4 における‘不確かさ’の説明.....	13
5. FEP における計測(FRONT END PROCESSES METROLOGY)	16
5.1. シリコンウェーハ(Starting Materials).....	16
5.2. 洗浄(Surface Preparation).....	17
5.3. 熱酸化/薄膜形成技術(Thermal/Thin Films).....	17
5.4. 歪Siプロセス(Strained Si processes).....	18
5.5 FERAM.....	19
5.6. ドーピング技術.....	20
6. 3次元配線における計測(3D Interconnect Metrology)	21
6.1 ボンディングオーバーレイ.....	22
6.2. ボンディング界面のボイド検出(Bonded Interface Void Detection).....	23
6.3. ボンディング界面の欠陥検査(BONDED INTERFACE DEFECT IDENTIFICATION).....	23
6.4. ボンディング界面の欠陥観察(BONDED INTERFACE DEFECT REVIEW).....	23
6.5. エッジベベル欠陥(Edge Bevel Defects).....	23
6.6. 接着強度均一性.....	24
6.7 BONDED WAFER PAIR THICKNESS(接合ウェーハの総厚み).....	24
6.8. TSV エッチ深さ.....	24
6.9. TSV エッチ形状.....	25
6.10. TSV におけるリニア・バリア・シート膜厚.....	25
6.11. 形状と応力.....	25
6.12. CU ネイル、ピラーの3次元計測.....	25
7. 配線における計測 (INTERCONNECT METROLOGY)	26
7.1 CU-LOW-k 膜のメッキ配線の課題と計測要求.....	26
7.2. 低誘電率(LOW-K)膜の課題と計測要求.....	28
8. 材料と汚染の評価・解析	29
8.1. 歪デバイスの材料と汚染.....	31
9. 新探求材料とデバイスの為の計測	33
9.1. グラフェンの計測における進展に関する更新.....	34
9.2. メモリスタ(記憶抵抗デバイス)の計測における進展に関する更新.....	34

93. ナノスケール寸法の計測へのインパクトに関するコメント.....	34
94. 3次元原子イメージングと分光法.....	34
95. 走査プローブ顕微鏡を含む他の顕微鏡の必要性.....	35
96. ナノ物質の光学特性.....	37
97. 新探求材料とデバイスの為の電気的特性評価.....	37
10. 標準計測システム.....	38
11. 標準計測システム.....	39

LIST OF FIGURES

FigureMET 1	Lithography Metrology Potential Solutions	15
FigureMET 2	Review of Stress/Strain Measurement Methods	19
FigureMET 3	3D Metrology Requirements	20
FigureMET 4	FEP Metrology Potential Solutions	21
FigureMET 5	Interconnect Metrology Potential Solutions	29

LIST OF TABLES

Table MET1	Metrology Difficult Challenges	4
TableMET 2	Metrology Technology Requirements	5
Table MET3	Lithography Metrology (Wafer) Technology Requirements	14
Table MET4	Lithography Metrology (Mask) Technology Requirements: Optical	14
Table MET5	Lithography Metrology (Mask) Technology Requirements: EUV	14
TableMET 6	Front End Processes Metrology Technology Requirements	16
TableMET 7	ITRS 3D Interconnect TSV Roadmap	21
TableMET 8	Interconnect Metrology Technology Requirements	28

1 計測 (METROLOGY)

1. 諸言と概要

1.1. 諸言

計測は測定の科学と定義される。ITRS の計測ロードマップは、計測が直面する困難な課題や CMOS を拡張させ (extended CMOS)、あるいは CMOS を超えるデバイス (beyond CMOS) を加速させることを目標として計測の研究開発のための道筋を示している。計測は同時に、コスト効果の高い製造に必要な計測技術 (能力) を提供している。例えば、ITRS の計測の章では、困難な計測要求、計測技術開発、および標準試料についてもフォーカスしている。

パターン寸法縮小のロードマップが、新しい材料、プロセスおよび構造に係わる計測の解決予定表を引き延ばしている。計測方法は、ナノスケールの材料特性やその計測に係る物理を徹底的に理解するために定常的に原子スケール近傍あるいは原子スケールで計測できるものでなければならない。3D ゲートや歪シリコンチャネルのような新規材料、新規構造は、測定をより複雑にする。計測は、これらのことを踏まえて開発されなければならない。計測は、装置開発、試作ラインや新しい生産ラインの垂直立上げ、および生産ラインでの歩留り向上を可能にする。計測は、プロセス装置やプロセスをより正確に評価できることから、「製造コストの削減」や「新製品を市場に投入するまでの時間の短縮」を可能にしてくれる。チップ種類の多様化が進むことは、課題の範囲をさらに広げることになり、すでに限界にある計測研究・開発のリソースを分散させることになろう。装置メーカ、半導体メーカ、コンソーシアムおよび研究機関の計測に携わっている人達は、ITRS で示された要求期限に間に合わせるために、協力して研究・開発および装置試作を行わなければならない。

将来の技術世代で用いられる構造や材料が不明確な場合には、今まで以上に対応する将来の計測要求を正確に捉えることが出来なくなる。しかしながら、3次元デバイス構造は、少なくとも複数の半導体メーカーが 22 nm ノードと同時期に導入することは明らかな状況である。そのような 3次元デバイス構造は、物理モデルの初期条件の多くを活用することができないし、あるいは通常の計測による分析ができない状況であり、3次元計測技術を加速させるために、真の 3次元の情報を提供できる計測技術に対する要求の高まりを必要とすることについての正当性が無いように思われる。フロントエンドや配線工程のデバイスや構造の 3次元の性質は最少寸法の計測を含めあらゆる計測の領域にとつての課題である。収差補正電子顕微鏡の例に見られるように、材料特性の計測手法の進歩によって、単層のグラフェンを含む2次元の材料の評価・解析手法は原子レベルの空間分解能を達成できるようになったが、特に 3次元構造に対しては、ナノメートルの精密さで最少寸法を計測することは困難である。将来広範囲に行われる 2次元の評価・解析は 3次元に進展する必要がある。ITRS2011 では、緊急の必要性に対応して、3D Interconnect の章を追加した。この章では、ウェーハのアライメント、ボンディング、TSVも含めて対応している。

さらに、或る技術世代についてみると、「半導体メーカに依っては異なった材料が使われる」ということも十分考えられ、異なった計測が必要とされることも有り得る。high-k と low-k 誘電体膜の電気計測および物理計測を今までと同じように短期間で進歩させなければならない。EUV リソグラフィーに対する強い関心によって新たにマスク計測要求項目が加わった。技術 FEP ロードマップで議論されている最も確からしい情報に拠ると、極薄かつ恐らくは絶縁膜上歪シリコンの上に形成されたデバイスの測定技術が必要になる。新しい計測ニーズとして、スクライブライン上のテスト構造の代わりにアクティブエリア上の構造を測定したいとの要求が増えている。ストレスや歪を、ナノサイズで、小さなゲートのチャネルのような埋め込み領域について計測するといった複合的な要件の計測は非常に難しい課題である。膜や構造についての特性の計測を表面で行い、埋め込み領域の残留特性を決定するために、物理モデルを用いなければならない場合もしばしばある。16nm 以下の技術世代を対象とする長期的な課題は、デバイス設計や配線技術の動向が明確でないことから、今述べることは難しい。Cu 配線に代る技術の選択は、研究課題のまま残されている。材料評価・解析や現行インライン計測の幾つかは新しいデバイスや配線の構造に使えるけれども、生産に適用可能な計測を開発するためには「材料、デバイスおよび配線構造についての或る程度以上の知識」が必要である。2011 ITRS は新たに MEMS

の章が追加されている。

計測装置の開発を成功させるためには、「新材料や新構造の計測に使えるようにすること」が必要である。実用化するためには、「必要とされる標準試料の製作」および「生産に先立つ計測方法の開発」に最新の技術・設備を活用できるようにしなければならない。微細化の速度や新材料・新規構造の導入は既存の計測能力にとっての課題である。幾つかの例では、複数世代に渡って既存の計測手法を適用することが可能である。他方、必要とされる計測について、計測能力の不十分な装置で行わなければならない場合もありうるだろう。長期間に渡るナノデバイスの研究によって新たな計測手法や計測のために応用できる可能性のある実験機が提供されるかもしれない。

活用するためには、計測技術開発とプロセス開発との関係をより緊密にするための注意が要る。計測がプロセス装置およびプロセスに上手く適合していれば、試作ラインや生産ラインの立上げ期間が短縮される。妥当な CoO(Cost Of Ownership)を維持しながら最大の生産性を得るためには、上手く設計・製作された装置と適切な計測を適当に組み合わせることが必要になる。

製造ラインにおける計測にとっての今後の基本的な課題は、利益が出せる高い生産性を維持しながら、原子レベルの計測や制御をしなければならないということである。製造現場では、計測は、データベースや知的情報を有する工場の自動化システムと接続されている。オフラインの材料評価・解析情報も、工場の自動化システムと接続できる方向で進展している。あらゆる領域における計測技術(特に YE 章で扱っている)は、CIM(Computer Integrated Manufacturing)やデータ情報システム、あるいは情報データベースに基づくプロセス制御システムとの接続が進んでいる。

しかしながら、Integrated Metrology(情報集約計測)には普遍的な定義が必要である。この言葉はオフライン計測からインライン計測及びその場計測への緩やかな移行と関連した言葉となってきた。オフライン計測、インライン計測、その場計測が適切に連携することによって APC(Advanced Process Control: 先端プロセス制御)や急速な歩留まり習熟が可能となる。

今後のトレンドには、ウェーハ表面の形状の計測と合わせて物理モデルを使用することも期待されている。計測のロードマップでは、何年にも渡り繰り返し事前の研究、開発及び製造元による主体性を求めてきた。計測とプロセス技術開発との関係は、根本的な構造改革が必要である。過去においては、目標とされるプロセス技術に先立って計測技術を開発することが課題であった。今日、我々は、全く新しい材料や全く異なったデバイス設計の選択を決定できない状況からくる不確実さに直面している。計測データ、情報、最適フィードバック、フィードフォワード、リアルタイムプロセス制御の相互関係を理解することが計測とプロセス技術の関係を再構築するための鍵である。計測ロードマップに新探究技術の枠組みに対応した計測要求の章が追加された。

12. 概要

2011年の計測ロードマップに記載されている項目は、顕微鏡観察; パターン寸法(CD; Critical Dimension)と重ね合わせ; 膜厚とプロファイル; 材料と汚染解析; 3次元計測、新探究材料、新探究デバイス; 標準試料/標準物質である。これらの話題はこの章の以下の節で述べられる: 顕微鏡観察法; リソグラフィ計測; FEP 計測; 3次元配線計測(3D Interconnect Metrology); 従来の配線計測(Interconnect Metrology); 統計限界に直面しているプロセスおよび原子サイズに近づきつつある物理構造の計測; 配線における計測; 材料および汚染の評価・解析; および新材料・デバイスの評価・解析と計測; 標準試料/標準物質及びその計測システム。

新しい計測技術および標準(訳者注: 国家的あるいは国際的な規格および標準試料/物質)の開発には、国際的な協力が必要になるであろう。計測およびプロセスの研究・開発機関は、装置メーカーおよびICメーカーなどの産業界と共同して動かなければならない。ICメーカーと計測装置メーカーが早い時期から協力することで、「測定装置を最も効果的に使用できるような技術ロードマップ」が作られるであろう。計測・プロセスおよび標準の研究機関、標準の推進組織、計測装置メーカー、および大学で計測に携わる人々は、計測方法の標準化・改善および標準試料/標準物質の製作に

関し、引き続き協力して行かねばならない。尺度に関する標準化された定義と手順があるにも拘らず、測定の精密さ対プロセス許容度比(P/T比; Measurement Precision to Tolerance Ratio)のように、尺度を個々に用いることが普通である¹。P/T比は、統計的プロセス制御(SPC; Statistical Process Control)に不可欠な自動測定能力を評価するためのものであり、測定ばらつきすなわち測定の精密さを製造ばらつきと関連付けるものである。測定装置の測定ばらつきは、当該製品あるいは当該プロセスとは無関係の標準試料/標準物質を用いて求められることが多い。したがって、公称測定精度は製品ウェーハを測定する際の装置起因測定ばらつきを反映していないかも知れない。装置感度が不十分なため、“小さいけれども許容することができないプロセス変動”を見逃すこともあり得る。計測装置の分解能を統計的プロセス制御に使用するためには、分解能を正確に表わす尺度が必要である。“測定の精密さ対プロセスの変動し易さの比”の逆数は、信号対雑音比(S/N比)あるいは弁別比と云われることもある。しかしながら、何の分解能かは対象プロセスに依存し、特別な計測技術が必要となるかもしれない(厚さや幅の測定には空間分解能、表面汚染金属のレベル測定には原子パーセントの違いを弁別するための分解能が要ることなど)、分解能の尺度を測定項目毎に定めることが必要になるかも知れない。新しいニーズとして、“計測装置が連続的なデータではなく離散的なデータを出力する場合の測定精度の決め方”を標準化することが挙げられる。このようなことは、例えば、有意差が装置分解能よりも小さい時に起こる。

組込み計測の考え方は、スタンドアロン計測および“センサに基づいた計測(Sensor Based Metrology)”自体にも適用される。雰囲気温度や湿度の僅かな変動のように装置校正および測定精度に影響を与える要因は、監視され、計測装置の性能については統計的なプロセス制御を改善するために用いられる。

ウェーハメーカー、プロセス装置メーカー、試作ライン、および新しく立ち上げる生産ラインの夫々で、測定への要求内容および必要時期が異なる。試作ラインでは、より短い期間で立ち上げることが必要であり、試作開始前にプロセス装置やプロセスを十分に評価・把握できるようにしなければならない。しかし、プロセスの完成度が高くなるにつれて、計測の必要性は減小するはずである。デバイス寸法が縮小して行くにつれて、物理計測の課題は重要な電気特性データを与えてくれるインラインでの電気テストと歩調を合わせて行くことになろう。

13 産業基盤の必要性(INFRASTRUCTURE NEEDS)

メーカーが計測装置、センサ、制御装置、および標準試料/標準物質を合理的な価格で提供しようとするならば、健全な産業基盤が必要となる。MEMS(Micro-Electro-Mechanical Systems)を用いた計測やナノテクノロジーのような芽をR&Dから製品にまで育て上げようとするならば、新規の研究や開発が必要となるであろう。多くの計測装置メーカーは、小さな企業であり、先端的な用途向けに新しい装置を開発するための費用を負担できない。計測装置が当初に売れるのは、装置開発用やプロセス開発用だけである。開発した計測装置が半導体メーカーに数多く継続して売れるようになるまで、数年間を待たねばならない。装置メーカーが新しい技術を設計概念の証明から装置試作・製品化を経て数多く売れるようにするまでの投資金額に見合う資金助成が必要である。

2. 困難な技術課題

先端リソグラフィープロセス、新材料および、Beyond CMOS材料・構造・デバイスから継続して計測要求がなされている。EUVリソグラフィーに対する要求によって、マスク計測のために新たな装置開発をする必要性が出てきた。最少寸法計測は限界に近づいており、微細化のトレンドを維持するためには大きな進展が必要である。他方、最少寸法に対する課題としては計測機器間のマッチング精度が挙げられる。ここ数年における短期的な計測精度の精密さ(計測の不確かさ)の要求に対しては、計測装置を一つに固定した使用によって解決することができる。重ね合わせ検査装置の計測能力は、高精度な重ね合わせ制御の要求に対して遅れている。フロントエンドプロセスからは、III-V族積層膜、高誘電率材料、2重仕事関数金属ゲート及び新規極薄接合ドーピングプロセスを含む新しいチャンネルの計測要求が継続しており、それに対応してゆく必要がある。FinFETのような3次元デバイス構造では、より厳しい形状計測およびドーピング計測が要求されている。低誘電率膜の空隙率を制御する必要性から空隙率の計測に新たに関心が高まった。3次元の配線技術に対する計測要求には、TSVの研究開発の活動が大きく反映されている。次世代の3次元実装におけるウェーハ間の張り合わせに必要な重ね合わせ制御技術は、“解決策が分かっている状況”である。Beyond CMOSの研究開発に関しては、グラフェンの計測技術が様々分野で大きく前進したが、量産にはまだ課題があ

り、引き続き研究開発が必要である。大きな領域で均一なグラフェンを形成するためには、物理的及び電氣的な計測技術が不可欠である。さらに、計測の研究開発機関は他の Beyond CMOS 材料についても扱っている。

2.1. 困難な技術課題

以下に挙げられている“計測に関する短期的課題”の多くは、16nm 技術世代以降も課題として残るであろう。2019 年以降の計測ニーズは、これから明らかとなるであろう新材料および新プロセスの在り方に応じて変わるであろう。従って、将来の計測ニーズの全てを明らかにすることは難しい。パターン寸法を縮小すること、しきい値電圧やリーク電流のようなデバイスパラメータをより厳しく制御すること、そして 3 次元配線のような新しい配線技術は、物理計測技術に大きな挑戦的課題を与えることになるであろう。所望のデバイス・スケールを成し遂げるために、計測装置は原子スケールでの特性測定ができなければならぬ。Table MET1 に、計測の 10 大課題を示す。Table MET2 に計測の技術要求を示す。

Table MET1 Metrology Difficult Challenges

困難な技術課題 ≥ 16nm ノード	問題の内容
実時間その場計測装置、組み込み計測装置、およびインライン計測装置の計測データを工場および会社規模で統合すること;頑丈なセンサ (robust sensors、訳者注:測定精度に余裕があり、環境の変動などに強いセンサ) およびプロセスコントローラの開発;センサの追加が可能なデータ管理	プロセスコントローラおよびデータ管理の標準規格が必要である。大量な生データを半導体製造の歩留り向上に役立つ情報に転換することが必要である。トレンチエッチング時の終点、およびイオン注入時のイオン種/エネルギー/ドーズ量(電流)を検出するために、より良いセンサの開発が必要である。
SOI のような新しい基板が導入されると、シリコンウェーハの計測や製造での計測が影響を受ける。必要とされる感度でのシリコンウェーハの不純物検出(特に微粒子)およびウェーハ周辺部の検査不能領域の削減、薄い SOI の光学的性質および電子ビームやイオンビームによる帯電は、CD、膜厚、および欠陥検出に影響を及ぼす。	現在の計測能力では、ロードマップの目標レベルを達成することができない。極微小粒子を検出してサイズ分類しなければならない。SOI ウェーハの計測性能を向上しなければならない。課題は、SOI 構造からの余分な光散乱と表面の品質に因るものである。
自己整合リソグラフィのような新しい技術、FinFET や MuGFET トランジスタ、メモリ素子の容量やコンタクト穴のように複雑な 3 次元構造、および 3 次元配線の制御は、素早く立ち上げるための準備ができていない。	FinFET 構造のオフラインの評価・解析技術において顕著な進歩があったが、“FinFET トランジスタはハーピッチ 16 nm の世代に量産される予定である”という最近の報告では、インラインの形状、組成、ドープメント計測に関する短期的な要求に重きが変わっている。3 次元配線には多くの実現方法がある。新しいプロセスを制御するために必要とされることが明確になっていない。たとえば、容量・デバイス・コンタクトを含めてトレンチ構造には 3 次元(CD と深さ)測定が必要であろう。
複雑な積層材料の測定、および界面における物理的性質や電氣的性質の計測	制御された薄膜と界面層を含む新 high-k ゲート/容量誘電膜、配線/ツリアのような薄膜と low-k 誘電膜、およびその他のプロセスニーズに対応する標準試料/標準物質と標準測定方法。ゲートや容量誘電膜の光学的測定結果は広い領域の平均であり、界面層の評価・解析が別々に必要になる。歪 Si や SOI 基板あるいはツリア層の測定で積層構造に対するキャリア移動度評価が必要になるだろう。メタルゲートの仕事関数の評価は、もう一つの大きなニーズである。
測定用のテスト構造と標準試料/物質。	特にスクライブラインでテスト構造に割当てられる面積が縮小している。スクライブライン上に置かれたテスト構造ではチップ内の特性変化と相関が取れないという懸念がある。重ね合わせその他のテスト構造はプロセス変化に敏感であり、テスト構造はスクライブライン上とチップ内の対応が取れるように設計を改善する必要がある。標準化機関は最先端の開発・製造ラインを使って標準物質を作ることができるように早急に働きかける必要がある。
困難な技術課題 <16nm	問題の内容

ウェーハおよびマスクに関する3次元構造の寸法測定/重ね合わせ精度測定/欠陥検出/解析に使用する非破壊の生産用顕微鏡観察技術。	表面帯電およびコンタミネーションはSEM像形成時の障害となる。寸法測定ではパターン側壁の形状を考慮しなければならぬ。ダマシプロセスにおけるトレンチ構造の寸法測定が必要である。ステップの焦点と露光量、エッチバイアス(エッチ後寸法とレジスト寸法の差)などのプロセス制御は高精度化と3次元対応が必要である。
チップ内特性を測ることでチップ間やウェーハ間ばらつきを反映できるような新しい計測法を考える必要がある。	デバイス縮小に伴って、テスト構造を変えた場合の特性とチップ内の特性との相関を取るのが難しくなっている。測定試料の扱ひ方を最適化することが、これ等の問題を解く鍵である。
統計変動が顕在化する16nmノード以降でのプロセス制御。	自然現象としてのゆらぎが計測を制限する領域では、プロセスを制御することが困難となろう。たとえば、低ドーズのイオン注入、薄いゲート絶縁膜、および極微細構造でのエッジラフネスである。
デバイススケールでの構造や組成の解析、およびCMOS以降のデバイスの測定。	界面層制御、ドーナツ位置、欠陥、元素濃度に関して、デバイススケールとの対応が取れるような材料評価や計測方法が必要。一例は、3次元のドーナツプロファイル測定。自己組織化プロセスの測定も必要である。
デバイス構造と配線技術が明確にならない段階で製造における計測を決める必要がある。	現在のトランジスタに代る新デバイス構造やCu配線に代る材料が検討されている。

TableMET2 Metrology Technology Requirements

3. 顕微鏡観察(MICROSCOPY)

顕微鏡観察は、“2次元分布”すなわち“集積回路(IC)パターンの形状や外観を示すデジタル画像”が重要な情報を与えてくれるので、核となるプロセス技術の多くに用いられている。通常、“先ず画像形成ありき”ではあるが、画像形成は多くの場合“それを観察し、測り、そして制御することができる”という一連の過程の第1段階に過ぎない。顕微鏡は、一般的には光、電子ビーム、あるいは走査プローブを用いる。“画像形成した後に測り制御する”というオンラインの応用には、欠陥や微粒子の検出・レビュー・自動分類に加えて、パターン寸法(CD)や重ね合わせ精度の測定がある。ウェーハが高価かつ多量に要することから、高速、非破壊、インラインでの画像形成・測定の要求が増えつつある。ICパターンのアスペクト比が大きくなりつつあることから、これまでの横方向のパターン寸法(例えば線幅)の測定に加えて、3次元形状を詳細測定することの重要性が増しており、インラインで使えるようにすべきである。“先進的なデジタル画像処理・解析技術、遠隔存在(Telepresence; 訳者注:ここに居るのに、其処に居るよう感じさせること)およびネットワークで結んだ測定装置”を活用する新しい計測方法は、近い将来のIC技術ニーズに合わせて開発することが必要であろう。これらの技術を用いた顕微鏡観察の技術や測定は、技術者がプロセスをより自動的なやり方で管理できるように、詳細かつ十分なプロセス情報を逸早く提供するように機能しなければならない。

あらゆる種類の顕微鏡観察法およびそれらに基づく計測では、装置の性能を監視するために、信頼できて操作が容易な方法を開発・提供することが益々重要になってきている。集積回路の構造が小さいためこれらの装置は最高性能で動作しなければならない、それを達成・維持することは容易でない。現在、十分な性能を保証するためには原始的な方法に頼らざるを得ない。像や測定の分解能以上に、装置に依存するパラメータも定期的に監視・最適化されることが必要である。これらの重要パラメータは結果に重大な影響を与え、測定不確かさの要因に含めなければならない。

電子顕微鏡観察 — “電子ビームを試料に照射し画像を形成する原理の顕微鏡観察”には、様々な方式がある。走査電子顕微鏡観察、透過電子顕微鏡観察、走査型透過電子顕微鏡観察、電子線ホログラフィ、および低エネルギー電子顕微鏡観察などである。走査電子顕微鏡観察および電子線ホログラフィについては以下に述べる。透過電子顕微鏡観察、走査型透過電子顕微鏡観察、および低エネルギー電子顕微鏡観察については、“材料および汚染の

評価・解析”の節で議論する。

走査電子顕微鏡観察 (SEM; Scanning Electron Microscopy) — 断面加工試料の評価・解析、微粒子および欠陥の解析、欠陥像のインライン観察(欠陥レビュー)および CD 測定のために、オフライン(at-line; 訳者注:米国では工場内でのオフライン計測を at-line と云い、ウェーハを工場外に持ち出して行うオフライン計測を offline と云うが、この場合は前者の意味で使用されている)およびインラインの像形成法として使用され続ける。32 nm 世代以降も CD 測定および欠陥レビュー(および試作ラインでの欠陥検出)を効果的に行って行くためには、改良が必要である。十分な分解能と被写界深度を保ちながら“試料表面の帯電、コンタミネーション、および照射損傷に起因した像質の劣化”を防ぐためには、超低エネルギー電子ビーム(<250 eV)や高エネルギーSEM(10keV~200keV)を用いるなどの新しいインライン SEM 技術が、必要となるかも知れない。球面収差を低減して分解能を上げようとする、実用にならないほど焦点深度が浅くなってしまつたので、“幾つかの焦点位置で取られた信号を重畳して像形成すること”およびあるいは“ビーム形状を考慮したアルゴリズムを使用することが必要になるかも知れない。SEM の分解能を大幅に上げるために、透過電子顕微鏡で用いられていた収差補正レンズ技術が、SEM に転用されるようになった。ナノチップの使用や電子線ホログラフィのような非従来型の像形成技術を量産計測技術として使えるようにさらに開発を進める必要がある。圧力下すなわち雰囲気制御下での顕微鏡観察は、“高加速電圧での高分解能な像形成および計測”への可能性を開いてくれるもので、新しい代替手法の一つとなり得る。バイナリマスクおよび位相シフトマスクが、この方式の高分解能走査電子顕微鏡で上手く観測された。試料をガス雰囲気中に置くことは、表面帯電やコンタミネーションを低減することが分つた。この方法は、ウェーハの検査、像形成、および計測に役立つと期待できる。

測定の物理に従いかつ 収集された全ての情報を用いるようなデータ解析法は、独自の方法に比べて優れていることが実証された⁵。“測定された像とモデル化された像”および“速くて正確な比較技術”は、SEMの寸法計測において、重要性を増しつつあるように見える。

CD 測定精度を向上するために、“試料物質と得られたラインプロファイルとの関係について理解を深めること”が望まれる。試料物質の直接電離とゲート構造の帯電に起因した試料損傷が、荷電粒子ビームを用いる全ての顕微鏡の根本的使用限界を決めることとなるかも知れない。

フォトレジスト等のポリマー膜が電子ビームによって縮んだり、形状的な損傷を受けることは今では良く理解されており、多くの場合、予めその量を予測することも可能であり、CD計測値に補正を掛けること可能である。¹

90nm 以下のコンタクト/ビアホール、トランジスタのゲート、配線ラインあるいはダマシンの溝と言った構造の実際の 3 次元形状を測るためには、現行の顕微鏡観察および試料作成法を引継いで進歩させることが必要であろう。完全に自動化された FIB(Focused Ion Beam: 収束イオンビーム)による断面加工 および TEM(Transmission Electron Microscope: 透過電子顕微鏡)あるいは STEM(Scanning Transmission Electron Microscope: 走査型透過電子顕微鏡)で像観察するための半自動化されたリフトアウト(訳者注: FIB を用いてウェーハから切り出した試料を顕微鏡の試料台に装填すること)は、効果的であることが実証された。

He イオン顕微鏡観察 (HIM) — “細く絞られた電子ビームと試料の相互作用によって実効的なプローブサイズが広がること”に係る問題を克服するための手段として提案された。この技術は CD 測定、欠陥レビュー、およびナノテクノロジーに応用できる可能性を持っている。HIM で 1nm 以下の分解能が達成された、しかし試料との相互作用については未だ疑問のままである。

IC 製造におけるインラインのウェーハ計測機として使用できるためには、HIM は高アスペクトのエッチング後のコンタクトホールやトレンチパターンを、電子線損傷を抑制して計測できるようにする必要がある。

走査プローブ顕微鏡観察 (SPM; Scanning Probe Microscopy) — CD - SEM(Critical Dimension Measurement Scanning

Electron Microscope)の測定結果の校正に使用されるかも知れない。原子間力顕微鏡(AFM)のように尖鋭なプローブを用いた SPM は、“被測定試料の材質に影響され難い 3 次元測定”を可能にする。プローブが細過ぎると、プローブ先端のチップ先端部が曲げられて測定精度が悪くなる。したがって、プローブ材質と走査時に受ける力を考慮して、チップ先端部の形状とアスペクト比を妥当な値に設定しなければならない。短いカーボンナノチューブ(訳者注:炭素原子で構成された径が nm 程度の筒)のような非常に硬いプローブ材料が、この問題を多少とも解消してくれるかも知れない。

他の走査型プローブ顕微鏡についての議論は、新探究材料及び新探究デバイスの章に記載している。

遠視野顕微鏡観察(Far-field Optical Microscopy) — 訳者注:回折光を利用した通常の顕微鏡での観察) — 分解能は光の波長に依って決められる。波長による限界を打破するため、遠紫外光源を用いた顕微鏡および近接場光学顕微鏡(Near-field Microscopy; 訳者注:光が波としての性質を發揮できない極微小な領域の光、すなわち近接場光あるいはエバネッセント光を利用する顕微鏡での観察)の開発が進んでいる。自動欠陥分類ソフトの改良が必要である。光学顕微鏡は、今後も引続いて、マルチチップモジュールのハンダパンプのような大きなパターンの検査に使われて行くであろう。

また、他の実験的に行われている新たな光学的応用事例として、従来の画像から直接計測する手法とは全く異なり、従来の計測に代わって、あるいは、プロセスの突発的な変動を察知するために、より微細な形状を計測できる可能性を有している。しかしながら、インライン計測としての地位を確立するには、さらに研究・開発が必要である²³。

欠陥検出技術 — 各技術が極限的問題を抱えている。欠陥は“歩留りを低下させる恐れがある全ての物理的、電気的あるいはパラメータ的な異常”として定義される。現行の SEM や SPM の欠陥検出速度は、光学顕微鏡に取って代わるには余りにも遅すぎる。アレー型 SPM(訳者注:複数の SPM を配列した SPM)を用いることで高速走査の可能なことが実証されてきた(SEM より速いかも知れない)、しかしプローブチップ先端部の寿命、均一性、特性、および摩滅に係わる問題が処理されねばならない。アレー型 SPM の技術は、並べる SPM の数を増やすことと多様な操作モードを開発することに力を注ぐべきである。アレー型マイクロカラム SEM(訳者注:複数の超小型鏡筒を配列した SEM)が SEM のスループットを上げるための手法として提案され、単鏡筒のマイクロカラム SEM ではその動作が実証された。静電レンズおよび磁界レンズの設計限界に挑む研究が必要である。

4. リソグラフィにおける計測(LITHOGRAPHY METROLOGY)

パターン加工技術の急速な進歩は、リソグラフィ用計測に対して、相変わらず困難な課題を課し続けている。トランジスタのゲート長における変動を正確に制御する取り組みは、マスク計測から始まることになる。マスク上の全ての図形は、露光装置の投影倍率の関係上、ウェーハ上に投影されたレジスト図形の 4 倍の大きさであるが、位相シフトや光近接効果補正のための補助パターンの大きさは、投影されたレジストパターンサイズの半分程度の大きさである。マスクエラーファクター(MEF)が大きければ、マスクプロセスでもタイトなプロセス制御をしなければならないだろう。したがってより正確な計測技術が開発されなければならない。マスク計測には、光の位相が正確に転写したかどうか観察できる計測が含まれる。ウェーハ上に形成されたパターンの CD と重ね合わせ精度の測定もまた、次第に困難な領域に入ってきている。トランジスタのゲート長の CD 制御は、クロックスピードが早くなっている IC 製造においては、依然として重要な要素になっている。プロセス制御と製品の処置判定のための計測技術の必要性が、“計測の不確かさ”(measurement uncertainty)の改善の原動力になり続けてゆく。将来の技術世代のために使用可能な計測技術を提供しようとするならば、CD と重ね合わせずレ計測に対する研究・開発活動を加速することが不可欠である。これら全ての課題に対して、“測定能力の評価方法”を発展させる必要がある。(リソグラフィの章を参照)

従来の顕微鏡ベースのCD計測システムをプロセス制御に応用し、製品上のモニターから、実効的な露光量、フォーカスを計測するに至っている。同様のシステムによって、リソグラフィプロセスのモニター同様にCDや重ね合わせ計

測情報を出力することができる。そういった計測のプロセス制御能力と効率は進歩している。そういった新しい応用を支援する社会基盤も概ね出来上がっている(装置や機能が市販化されている、あるいは機能の改良が可能な状況にある)。例えば、重ね合わせ計測で使用されている従来の光計測システムでも計測できるように、リソグラフィプロセス制御のための実効露光量、フォーカスマニターもまた開発されてきている。同様の能力を有する計測手法としてCD計測に加えて、サイドウォール、高さ計測がスキヤトロメリーで行われようとしている。全てのケースにおいて、プロセス制御のためにCD計測を行うというより、あらゆるパターン(図形)のCDは露光とフォーカスの複雑な関数であり、これらのシステムは、露光量誤差が1%(3 σ)、フォーカス誤差が10 nm(3 σ)程度の計測誤差を持つプロセスパラメータそのものを出力することができる。今日のプロセスモニターの能力は、15%の露光量、200nmのフォーカスのプロセス裕度に対して、P/T (precision to tolerance) = 0.1といった高いレベルにあり、これが大量生産における k_1 ファクタの更なる縮小を可能にし、光リソグラフィを延命している。計測システムの安定化とマッチング精度に対する要求が増大する傾向がある⁶。一方、この領域における活動として、より厳密な制御とマッチング精度を高める開発を目的とした取り組みが始まっている。これらの活動は正確なCD計測の前提であり、単なるプロセス制御の応用や、専用のプロセスモニターに特化したものではない。

計測能力が高く、効率的な直接プロセスモニター方式のリソグラフィプロセス制御においては、従来のCD計測の技術限界を克服する能力を持っている。現在リソグラフィプロセス制御の手法は変化しているが、この変化を加速するためには、企業間の協力によって、直接プロセス制御の要求項目を明確にし、その制御効果を実証し、新しい計測技術の応用と応用環境の標準化をすることが重要である。こういった変化の結果、優れたCD計測メーカーによって高性能で効率的なプロセス制御の手法が提供され、差別化が行われ、リソグラフィの計測に恩恵をもたらすだろう。しかしながら、特に、校正や先端マスクデザインルール(例:様々な露光条件において、OPC(光近接効果補正)やRET(超解像)を適用し、1、2、3次元のスルーピッチ計測あるいは各種レイアウト計測を通して検証される)が遵守されているかどうかを検証するためのCD計測の領域において、次世代技術の計測要求を満たすには、「絶対的な正確さ」(absolute accuracy)の新たな基準が必要である。

現状必要とされる全ての情報を提供できる単一の計測技術は存在しない。それゆえに様々な次元の計測装置や計測方法に対して、意味のある比較が出来るようにするためには、「繰り返し精度」(repeatability)や「精密さ」(precision)を超えた変数が求められる。それぞれの計測を適用するにあたって、相対精度(CD変動に対する感度と2次的な特徴の変化に対する非感受度)、絶対精度(絶対基準長を辿ることができること)、LERやサンプリング、計測における破壊の性質を考慮することが必要である。

全ての計測装置に対して、計測の不確かさを、その主要な要因の発生を含めて、正確に特徴付けることができれば理想的であろう。計測の不確かさを記述するにあたっては、国際的に認可されている手法の使用が推奨される。こういった知識は、全ての計測機を最大限に活用するのに役立つ。また、計測した結果が必要とされる情報を含んでいないといった状況を回避できる。最後に、一旦計測誤差の主要因が判明すれば、より良い計測装置がすばやく開発される状況が生まれる。そこで、様々な次元の計測機について、計測の不確かさを国際的に認可された方法に従って記述し、その主要因を特定あるいは定量化することを強く推奨したい⁴。

他の可能性としては、複数の計測装置からの情報を組み合わせて総合的に判断する手法“hybrid metrology”がある。ハイブリッド計測では、それぞれの異なった計測機器が校正されるばかりか、互いに情報を共有し、他の計測機の不確かさを改善し、計測に関する変数間の相関関係を修正ないし補完することが可能となる⁹。

しばしば、製造工程において、特殊なテスト構造を用いたCD計測が行われている。このような場合においては、実素子の寸法は計測されない。CD-SEMIは、今後もウェーハあるいはマスク上のラインパターンやビア/コンタクトパターンを計測するのに用いられる。193 nmの露光⁸に用いられるフォトレジストの電子ビーム照射ダメージを克服するために、かなりの努力が注がれてきた。そして、EUVLといった代替リソグラフィ技術が導入される際も同様のことが行われるだろう。本件については前述の顕微鏡の章でも議論したように、実際に結果を出すための努力が始まっている。

積層構造材、表面状態、ラインパターン形状、あるいはラインパターン近傍のレイアウトでさえ CD-SEM の 2 次電子信号波形や、ひいてはその信号波形から抽出されるラインパターンの CD に影響を及ぼす。これらの効果が、正確にモデル化され補正されなければ、CD-SEM の“計測変動”(measurement variation)やトータルの不確かさが増加してしまう。分解能と“精密さ”(precision)を向上させる電子ビーム光源の開発試験が続けられている。CD-SEM は、SEM を基本原理とした CD 計測において、新たな手法が見出せない限り、浅い焦点深度の問題に直面することになるだろう。高加速電圧の CD-SEM や低損失検出器が CD-SEM の延命として提案されている。

統計的に確かな SEM 計測を実現するためには、適切な種類と量の情報を集めることが不可欠である。必要以上の情報を集めることはスループットの低下につながる。一方、情報が不十分であったり、間違った情報を収集した場合にはプロセス制御を損なってしまう。計測の妥当性を示すと共に、必要な情報を明らかにし、それを表現する計測手法を開発することが大切である。SEM 分解能レベルのピクセルを用い、かつ、より広い視野 (FOV: Field Of View) を用いることにより、多点計測 (MFM: multiple feature measurement) の活用領域を大幅に広げることが出来、単位時間当たりの情報量を増やすことが出来る。これにより、スループット低下を招くことなくサンプリング量が増え、計測結果の有効性が高まる⁴。

CD-SEM と DBM (Design Based Metrology) アプリケーションでは、設計情報を利用した自動レシピ作成を行うことができる。このアプリケーションでは、2 次元輪郭線情報の取得と GDS ファイルとの比較を通して大規模な設計Intentの検証に SEM を用いることを可能とした。技術世代の進展と共に、リソグラフィでの OPC 開発に必要な計測点数は指数関数的に増大すると考えられ、OPC の開発並びに検証のためには DBM アプリケーションが非常に重要となってきた。また、ダブルパターニングのための DFM アプリケーションも検討されている。これは DFM (Design For Manufacturing) の領域とのインターフェースとして中心的な役割を担っている。また、レティクル上の CD 情報を集めウェハ上の CD 情報と比較することはいくつかの場合において重要なアプリケーションであり、輪郭線情報と共に用いることにより大きな効果を出すものと予測される。

しかしながら、まだ多くの解決すべき課題が残っている。それらは輪郭線の誤差要因のテスト方法、輪郭線のレファレンス計測、SEM 輪郭線のモデリングなどである。^{11, 12, 13} 輪郭線の信用度は共通の技術課題であり、最新の改善によりこの産業に価値をもたらされる領域である。輪郭線の欠落部あるいは消失部は、試料あるいは計測装置のいずれにも関係する理由により発生し得る。これらは、エッジに平行な方向へ電子線 (高速) 走査を行った際の微弱な信号 (訳者注: 二次電子信号)、あるいはその切れ目、また、輪郭線に沿った信号コントラスト変動を主な要因として発生する。それらは下層構造の変動 (例えば、側壁角度の変化、再進入 (reentrance)) や走査型電子顕微鏡 (SEM) におけるエッジ近接効果のような装置特有の事由により発生する。

例えば、アクティブエリア上のポリシリコンゲート配線の場合のようないくつかのケースでは、輪郭線の切れ目が自然に発生してしまう。完全な輪郭線を得るといふこの課題は、輪郭線の抽出精度と強い関係がある。輪郭線抽出アルゴリズムは 2 次元画像処理技術を用いるため、従来のラインスキャン方式による 1 次元の CD 値抽出アルゴリズムとはその機能が異なる。特に、エッジ検出と信号平均化の程度に大きな違いがあることが知られている。また、サンプリングも大きな影響を及ぼす。わずから本の輪郭線を平均化した場合であっても、パターンの局所ラフネスの影響は平均化効果により除去されるため輪郭線抽出精度が向上する。これにより SEM 画像より抽出された輪郭線とシミュレーション ((訳者注: リソグラフィシミュレーション) による輪郭線との一致度も改善される。

効果的な OPC のためには、SEM 輪郭線と設計データの位置合わせに関する要求事項にも注意を払っていく必要がある。SEM 輪郭線と設計データ間の回転ずれ、位置ずれオフセットを補正する機能、視野歪みを補正する機能がモデルに必要である。これは製造誤差に及ぼす計測精度といった問題に多少なりとも影響する。SEM 輪郭線と設計データをマッチングさせる際の計測誤差の許容範囲についてはまだ合意に至っていない。例えば、輪郭線を引き伸ばすことにより除去される一定の倍率誤差は SEM 視野内の非線形性ほど問題とはなっていない。

輪郭線計測精度の改善に有効な他の手段として、輪郭線抽出法とモデリングソフトウェアの高度化がある。例えば、輪郭線抽出精度を明らかにするため 95%信頼区間を設定する方法がある。最終的な輪郭線計測の指標は、このロードマップ中にもある従来の線幅計測の指標と矛盾しないものとすべきであることを明記しておきたい。

スカトロメリーは製造現場に導入され、ラインパターンの形状計測に用いられるようになった。スカトロメリーには、単一波長一多入射角光散乱測定と、多波長一単一入射角光散乱測定の 2 方式がある。最近の進歩としては、シミュレーションにより生成したライブラリーを使用しなくとも、CD やラインパターン形状を特定できる精度に到達している。スカトロメリーは APC における計測機として用いられることで、トランジスタの主要な電気的特性の分布を、非常にタイトに制御できることが示されている。次の段階は、コンタクトやビア構造に適用できるスカトロメリーの開発である。スカトロメリーの計測モデルは、ラインパターンや下地の材質の光学的な性質が均一であることを仮定している。表面異常や不均一なドーナツ分布はスカトロメリーの計測結果に影響を及ぼす可能性がある。それゆえに、スカトロメリーのモデルでは、校正や定期的な検証が不可欠である。リソグラフィとエッチングのマイクロローディング効果はラインパターンの CD に顕著な影響を及ぼすだろう。スカトロメリーは特殊なテスト構造を用いて計測を行うため、SEM、AFM、あるいは TEM などの他の CD 計測技術を用いて、スカトロメリー計測用テスト構造の CD と回路中のパターンの CD との相関を取る必要がある。スカトロメリーは、計測の“精密さ”(precision)を高めると同時に、小さなテスト構造でも計測できるようにする必要がある。ダブルパターンニングの使用量が増えると、加工されたパターンの計測において様々な技術課題が発生する。2回に分けて露光されたパターンについて、CD、側壁角、ラフネス、ピッチ(合わせずれ)など、それぞれの分布を別個に計測し制御するが必要となる。いくつかの手法では、反射防止膜(ARC)を用いることにより UV 光が下層に侵入するのを防ぐことが出来るかもしれない。

CD 計測に関して新たな計測方法の提案がなされており、その計測手法が製造ラインへ最初に導入される機会は 16nm DRAM ハーフピッチの世代となる模様である。22nm ハーフピッチについては既にデバイス開発段階に入っており、β 版の計測装置は、あらゆるプロセス領域で使用できる状況にある。新たに有効な計測の解決策としては、He イオン顕微鏡(顕微鏡の章で議論されている)や小角 X 線散乱(CD-SAXS; Small Angle X-ray Scattering)が含まれている。CD-SAXS はグレーティング構造の試料に X 線を照射し、その透過 X 線情報を解析することで、測定試料の平均 CD、サイドウォールの平均角度およびラフネス、さらには、グレーティング構造内の各線幅のバラツキも計測する能力を有することが示されている。そして多層構造内のもっと複雑なパターンについても同様の計測が可能であることが示されている。

製品の性能を向上させるために、リソグラフィ計測におけるフィードフォワード制御の概念を広げ、少なくともレジストパターンやマスクパターンの測定データを用い、エッチング等の次工程のプロセス制御を行う仕組みが必要である。フィードバック制御の仕組みも、過去に取得した大量のデータから適切なプロセス制御パラメータを設定するために同様に必要である。CD 制御に重ね合わせ精度測定装置を用いることも既に報告されている。この方法は、ラインパターンの幅の変化がフォトレジストラインパターンのラインパターンの長さにも影響を及ぼすといった事実に基づいており、このラインパターン長は、光学式の重ね合わせ精度測定装置を用いて測定することができる。この場合、ラインパターン配列とスペースパターン配列を含む特殊なテスト構造が必要である。

CD-AFM 計測はラインパターン形状や CD 計測、あるいは輪郭線計測の校正に用いることができる。もし、CD-AFM を 50 nm 以下の密ラインパターン計測に適用するのであれば、新規なプローブチップ技術と 3 次元傾斜可能なカンチレバーが必要である。フォーカス露光量との相関の調査(特にコンタクトビアホールに対して)に関しては、ラインパターン形状との相関が直接観察できるデュアルカラムの FIB(SEM+FIB)は勿論のこと、前述した全ての方法で行うことが出来る。電子線ホログラフィーも長期的な CD 計測技術として提案されている。

今後のテクノロジー世代において、例えば 16 nm ノードでは、ロジック製造のバルクは単純なプレーナ型デバイスから FinFET のような非プレーナ型構造に移行するといわれている。そして、同様の移行は、メモリ構造において

も、まさに始まろうとしている。この移行は、計測に多くの新しい課題を突き付けることになる。そこでは、プロセスを制御する主要なパラメータは、もはや試料形状のボトム寸法ではなくなってくるだろう。

4.1. ラインラフネス(LINE ROUGHNESS)

ラインエッジラフネス(LER)はリソグラフィプロセスで制御すべき重要な項目であり、ライン幅ラフネス(LWR)はエッチングプロセスにおける重要な制御課題である。リソグラフィの技術ロードマップでは、LERとLWRの測定基準を示している。LWRはトランジスタの駆動電流との相関は無かったが、リーク電流の増加と相関があった。LER、LWR計測方法については、SEMIスタンダードとして定義されている⁵。以下に示すように、LERとLWRの計測精度“精密さ”の要求値は、CDのその数年先に行く値であることに留意しなければならない。CD-SEMやリソグラフィプロセスシミュレーションシステムは、LERとLWRを計算するソフトウェアを搭載しているが、まだ、すべてのシステムが、LERとLWR計測を規定したSEMI標準を遵守しているわけではない。

LER/LWRは2つの方法によって評価される。スペクトル分析とLER/LWRの振幅/程度(一般的に、平均位置あるいは平均CDに対する残存成分の3 σ として定義)である。LER/LWRのフーリエスペクトルはR&Dでは一般的になりつつある。しかしながら、実際のインラインパターン計測において、3 σ は依然非常に使い勝手の良い指標である。LER/LWRを評価する際に、検査エッジの長さ(L)とエッジ検出のサンプリング間隔(\square_y)は最も重要な計測パラメータである。というのは、3 σ はLと \square_y に強く依存するからである。

推奨されているLER/LWRの測定基準は、現在2- μm のラインパターンに沿って、残存成分の3 σ として定義されている。しかしながらトランジスタの性能は、将来的にゲート内のラフネスに非常に敏感になることも有り得る。そのような場合、ゲート内のラフネスに対して新しい指標(例えば、高周波成分のLWR)が追加定義されるべきであろう。LWR起因のゲートCD変動を分離して評価するためには、低周波数成分のLWRの指標も同様に定義する必要がある。

画像処理を基にしたLWR/LERの計測におけるもう一つの重要な誤差要因は、エッジの検出におけるノイズである。このノイズは、ラフネス計測において+のバイアス(偏差)を発生させる影響をもたらす。これは、 $LWR_{\text{meas}}^2 = LWR_{\text{actual}}^2 + \square_{\square}^2$ の式で表現される。LWR_{meas}は計測値であり、LWR_{actual}は、被測定パターンの実際のラフネスである。 \square_{\square} はノイズ項であり、所定の計測サンプル点に沿ってエッジ位置を特定するための計測再現性(reproducibility)として定義される。 \square_{\square} の大きさ2nm程度と計測されており、この値は、将来のテクノロジーノ世代において、実際のラフネスの計測値を覆い隠してしまう懸念がある。このノイズ項を除去するための方法論が示されており、これによってラフネスの普遍推定量が求められる。これを用いることは将来のラフネスの計測の“正確さ”(accuracy)を保証するために非常に重要であり、同時にリソグラフィ計測のコミュニティー内でデータの比較を許容するための重要な要素になるべきだと考えている。留意しなければならないこととして、計測装置の分解能がLWR計測要求値に近づくにつれLWR計測自体の課題が大きくなることである。22nmノードでのLWR計測には13nmの分解能を必要とする。この値は、現在のCD-SEMの分解能と同程度である。

4.2. 計測の不確かさ(MEASUREMENT UNCERTAINTY)

CD計測の性能は、個々の計測装置の計測再現精度(reproducibility)、計測装置間のマッチング精度、計測サンプル間の計測バイアスの変動から生じる計測変動をすべて含んだ“不確かさ”(uncertainty)要求を満たしていない。SEMIでは“精密さ”(precision)を計測再現精度(reproducibility)の倍数として定義している。序論で紹介したように、計測再現精度(reproducibility)は、繰り返し精度(repeatability)、ウェーハの再ロードによる変動、長期のドリフトを含んでいる。実際問題、計測再現精度(reproducibility)は、同一サンプル、測定箇所を長期にわたって繰り返し計測することによって決定される。ITRSにおけるCD計測の精度“精密さ”要求には、いつもラインパターン形状と材質の違いの影響が含まれていたが、同一サンプルの繰り返し計測では、サンプル間のバイアスの違いに関連した計測の不確かさは判らない。それゆえに、現状の方法論では、ラインパターン形状や材質、レイアウト、あるいは他の要因の違いに関連した計測の不確

かさは“精密さ”(precision)には含まれないことになる。通常 CD プロセス制御に用いる標準試料は、それぞれのプロセスレベルで特別に選別された最適なウェーハ、あるいは“golden”ウェーハである。そのようにして、企業での慣例においては、計測の“精密さ”がそれぞれのプロセスレベルの計測再現精度(reproducibility)と決められる。計測のバイアスを検知することはできない。このやり方では、計測の不確かさの成分である計測のバイアスの変動成分を欠くことになる。これに照らして、総合計測不確かさ(TMU)といった新しい計測基準を用いることが出来よう。総合計測不確かさは、テクノロジーを代表する一組の試料を用いて決定される。そして、それらの試料はそれぞれの工程に関連した計測バイアスのバラツキを説明できる必要がある。この考え方は、FMP(Fleet Matching Precision)というもう一つの計測基準を用いて、製造ラインで複数の計測装置を使用する場合にも拡張できる。これらの計測基準は、全ての計測装置の“正確さ”(accuracy)を網羅している。つまり、計測装置群が単一の計測装置に要求されると同様に振舞うことを想定している。また“正確さ”(accuracy)やマッチングに関して他の計測手法も有効であることも留意しておく必要がある。

インライン CD 計測機の校正は、注意深く校正用計測機を取り扱うことが必要である。例えば、研究レベルで用いている TEM や CD-AFM は、インラインの CD 計測機に相当するか、それ以上の“精密さ”(precision)が無くてはならず、頻繁に校正もしなければならぬ。製造中に用いられる標準試料は、実際のプロセス工程と構造を代表するものでなくてはならない。また、テスト時に計測装置で評価される値は、プロセス変動を適切に反映したものでなくてはならない。この手法に関する報告は既に行われている。

CD 計測は、ラインパターンの形状制御まで応用されるに至った。傾斜ビーム機構の CD-SEM、ゴールデンウェーハのラインスキャン 2 次電子波形との比較、スカトロメリー、CD-AFM やデュアルビームの FIB/SEM(電子ビームとガリウムイオンビームの併用システム)、そしてトリプルビームの FIB/SEM(電子ビーム、ガリウムイオンビーム、及びアルゴンイオンビームの併用システム)が、ラインパターン形状計測に応用されてきた。サイドウォールの角度は、重要なプロセス変動要因として提起された。既にフォトレジストのラインパターンは、一枚の平面図形ではサイドウォールを上手く表現できない形状を有している。ラインパターンに沿った LER と LWR、垂直方向の LER、そして丸みを帯びたトップ形状は、プロセス制御において考慮すべき重要なポイントである。前述したように、“精密さ”(precision)の値は各々のプロセス工程毎に変化する。これによってエッチングバイアス(エッチング前後の CD 差)を求めるのが困難になっている。電気的な CD 計測によって、ゲートや配線のラインパターン線幅を観測することが出来るが、これはウェーハの再生処理が不可能な時点に限られ、リアルタイムのプロセスパラメータ補正用途には適用できない。電気的 CD 計測は、その適用性が導電性材料に限定される。

マスク計測は、現在の光技術では測れない領域に入っている。圧力/雰囲気制御走査電子顕微鏡観察法を用いてバイナリマスクおよび基板掘り込み型位相シフトマスクを調べることが行われ、良い結果が得られた。高分解能、高信号、大きな試料室および試料交換機能と組み合わせての電界放出技術を装備した雰囲気制御走査電子顕微鏡は、マスク CD 計測を行う半導体産業の分野で既に使われるに至っている。圧力制御 SEM の手法は、試料をガス雰囲気中に置くことで、電子ビーム照射に起因した帯電を軽減しようとするものである。この方法は、電荷を中和することに関しては非常に期待が持てるけれども、今まではホトマスク計測あるいはウェーハ計測に本格的に用いられることがなかった。これは、この分野へのこの技術の新しい応用であり、“ホトマスクの検査、像形成、および計測を帯電無く行うこと”への大きな期待を抱かせる。この手法は、“ウェーハ計測にも同じ様に適用できる可能性”を持っている。圧力制御 SEM の手法は、正確な計測を行うために帯電をモデル化することの必要性を、全く無くすることはできないにしても、最小にする道を示してくれる。

リソグラフィ計測は、位置ズレや CD 計測のみならず、プロセス制御や、リソグラフィプロセスに必要な材料、例えば、フォトレジスト、位相シフター、反射防止膜等の性質の評価・解析も含まれる。こういったリソグラフィ材料は複雑になって来ており、こういった材料の性質の評価・解析は困難を増している。更に、ウェーハ製造プロセスで使用されるリソグラフィ以外の材料(ゲート酸化膜、金属、Low-k 絶縁膜、SOI 基盤)は間接的にリソグラフィ工程に影響を及ぼしている。というのは、これらの光学的特性は露光波長の光の反射率に影響を及ぼすからである。SOI ウェーハの埋め込み酸化膜のように、通常リソグラフィプロセスに重大な影響を及ぼすとは考えられない層であっても、そのプロセス条件の僅かな変動が、その層の光学的性質に影響を与える場合は、レジスト像の寸法や形状が変化することがありえる。

最低限のこととして、全ての層の露光波長における複素屈折率(屈折率 n と消衰係数 k)を知ることが必要である。このような特性の文献データは、通常、利用できない。すなわち、時代遅れで信頼できないもの(Kramers-Kronig 変換を用いて、材質が確かでない材料を時代遅れな反射率測定法で測定した結果から求められたもの)である。理想的な場合には、露光波長での分光エリプソメトリを用い、インラインで n と k を測定することができる。特に、193nm 以下の場合には測定が非常に難しく、通常は技術要員が工場外で測定する。EUV の光学的性質は、特別な光源(シンクロトロンのような光源や EUV 露光装置のための EUV 光源)を用いてのみ求められることができる。したがって、実際には光学的性質を直接測ることができない場合に、材料組成を指標として用いることがある。しかし、同じ組成の物質でも、異なる光学特性を示すことが有り得る(例として、非晶質 Si と結晶 Si の場合が挙げられる)。

表面粗さ、界面層、複屈折すなわち光学的異方性(フォトレジストあるいは他の有機層が応力を受けた時にしばしば観られる)、あるいは“組成が深さに依存して変わること”に起因して、光学的性質を求めることが複雑になる。ウェーハプロセスラインで使われる幾つかの材料では、楕円偏向角から光学定数を求めるという逆問題を完全には解けないので、材料の光学的性質を求められない。それゆえに、物理的な性質、材料の特性および光学定数が全て相互に関係していることから、光学的性質を求めるには材料の物理的評価・解析をしなければならぬ。

重ね合わせ精度の測定では、位相シフトマスク(PSM)および光学的近接効果補正マスクが課題であり、異なった層で、異なった露光装置あるいは、露光技術を用いることが困難さを増大させている。画像コントラストが低いことに起因した問題に加えて、今後 重ね合わせ精度測定の要求が厳しくなると、走査プローブ顕微鏡(SPM)と共に、新しい光学的な方法あるいは SEM を用いた方法の開発が必要になるであろう。“従来のターゲット構造では検出できない位相シフトマスクや光学的近接効果補正マスクのアライメント誤差に係わる問題”を解決するための手段として、新しいターゲット構造の必要性が示唆された。オンチップ配線の重ね合わせは、引続いての課題である。平坦化のために化学的機械研磨法(CMP; chemical mechanical polishing)を用いることが、ターゲット構造を劣化させている。したがって、重ね合わせをより厳しく制御しようとする要求に応えるため、配線のアライメントターゲットはラインエッジをでこぼこにしている。絶縁体として使用される Low- k 材料は、特に多孔質の Low- k 材が製造に使われるようになると、重ね合わせを更に難しくする。

DRAM や NVM の先端デバイス適用においては、デバイスのハーフピッチの 20 % あるいは 25 % という劇的に厳しい重ね合わせ基準の制御が必要であり、高加速 SEM やスカトロメリー技術のような代替計測技術による解決が早期に求められている。しかしながら、これらの技術は、現在成熟とは程遠い状況であり、計測技術の集約の中で解決が必要かもしれない。

EUV リソグラフィに導入には、EUV マスク計測と EUV 空間像計測システム(EUV AIMS: EUV Aerial Image Measurement System)の領域でのさらなる開発進展が必要である。

リソグラフィ計測の要求テーブルは、ウェーハ計測要求(MET3)とマスク計測要求(MET4a, 4b)とに分けられている。マスク計測技術に関する要求テーブル(MET4a, 4b)は、更に、光露光、EUV 露光、そして電子線投影露光といった露光技術毎に分けられている。

4.3 TABLE MET3、MET4 における“不確かさ”の説明

に述べた不確かさの概念については、パターンニングの計測の“精密さ”(precision)を考慮して以下に要約されている。“精密さ”(precision)の定義は、その用途に強く依存する。用途と計測機器が与えられた場合、サンプリング方法を定義する必要がある。“精密さ”(precision)の規格は、その用途、計測機器、サンプリング方法に照らして解釈がなされる。用途によって、“正確さ”(accuracy)、単一計測装置の“精密さ”(precision)、マッチングの要求値が定義されることになる。

幾つかの用途においては、相対的な“正確さ”(accuracy)や、単一計測装置の“精密さ”(precision)が最優先される。また、ある用途においては、計測装置間のマッチングや単一計測装置の“精密さ”(precision)が最優先される。また他の用途においては、単一の計測結果だけでは必要とされる計測情報を提供するには不十分である。むしろ、複数の計測結果の平均は、計測として重要な意味を持つ。この場合、“精密さ”(precision)は、平均値の不確かさの要求値として解釈されるべきである。表中の“精密さ”(precision)の値は、不確かさの値として変更した。“精密さ”(precision)と“不確かさ”(uncertainty (σ))の関係は式(1)に与えられている。

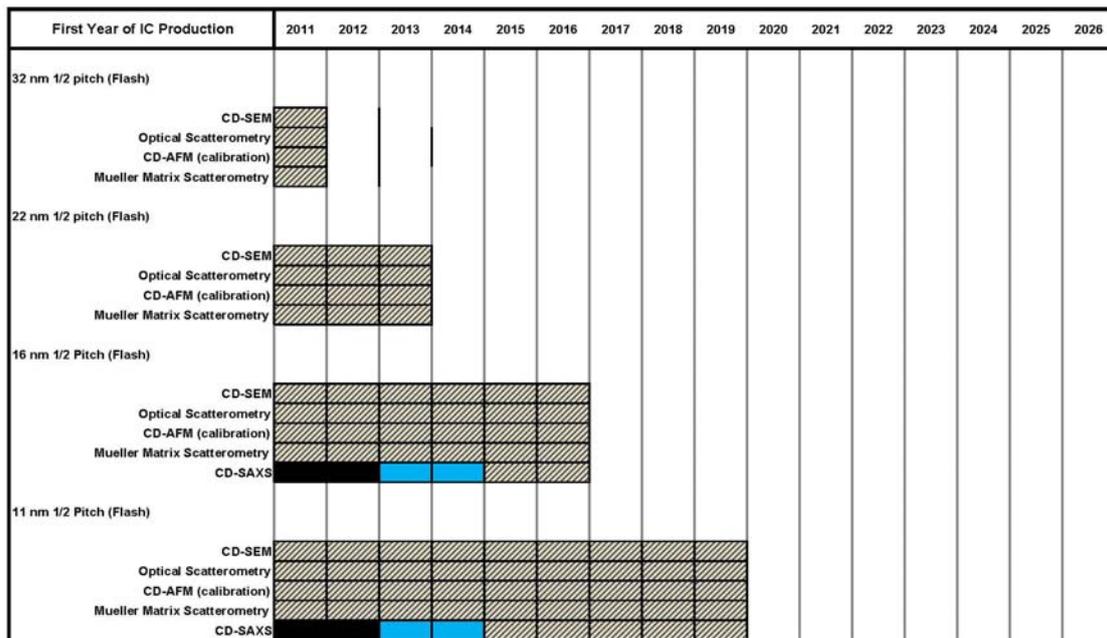
$$\sigma^2 = \sigma_p^2 + \sigma_M^2 + \sigma_S^2 + \sigma_{other}^2 \quad 1)$$

不確かさ(σ)は次の成分を含んでいる： σ_p (Precision), σ_M (Matching), σ_S (Sample variation) と σ_{other} (inaccuracy and other effects)。それぞれの成分は、独立な正規分布であると仮定する⁵。

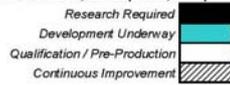
Table MET3 ***Lithography Metrology (Wafer) Technology Requirements***

Table MET4 ***Lithography Metrology (Mask) Technology Requirements: Optical***

Table MET5 ***Lithography Metrology (Mask) Technology Requirements: EUV***



This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.



FigureMET1 *Lithography Metrology Potential Solutions*

5. FEPにおける計測(FRONT END PROCESSES METROLOGY)

産業界は「CMOSを延命化するための手段をやつとのことで手に入れる」ということを続けている。Fin FETがハーフピッチ 22nm 製品に導入されるとい最近の発表は、「今後 平面形 CMOS と非平面形 CMOS のどちらもが使われる」ということを示している。極薄膜ボディの SOI は、平面形 CMOS を延命化してくれるものと期待されており、ボディ膜厚を薄くすることで寿命を 10 年以上延ばせるかもしれない。第一世代の high-k-メタルゲートは製造の段階に入っている。研究・開発は k を大きくすることに向けられている。局所的な応力を生じさせて移動度を上げる手段は、これまでと同じようにトランジスタを小さくするために欠かせない。新しいチャネル材料を使うことで、移動度をさらに上げることができであろう。Fin FET では、high-k とメタルゲートを使うことが予想されると同時に、平面形 CMOS とは違った技術で高移動度が達成されるであろう。計測に携わる人や組織は、これらの計測要求に応えるために研究・開発を続けている。心に留めるべき重要なことは、「特性把握(訳者注:分析力や専門知識を駆使して対象が何者かを明らかにすること)および計測の手法は、トランジスタを製造するために用いられるプロセスに合わせて調整されなければならない」ということである。IC メーカーが様々に異なった設計をするということが繰り返されており、トランジスタの設計が IC メーカーを差別化しているものになっている。これら差別化の例は、古い技術世代の PMOS プロセスや設計に数多く見られる。デュアルストレスライナ膜を用いる手法は非常に優れており多用されているが、ソース・ドレインに SiGe を用いる手法も IC 製品に使用されている。トランジスタ断面を見ると、様々な寸法やプロセスで作られたスペーサ酸化膜の使われていることも分かる。本節では、シリコンウェーハ、洗浄、熱酸化および薄膜形成技術、ドーピング(訳者注:ドーパントの導入あるいは注入)技術、FEP 用プラズマエッチングに特有の計測ニーズについて述べる。変動し易さ・リーク電流制御の必要性・しきい値電圧やゲート遅延と・それらの許容度の減少のようなプロセスインテグレーションの問題は、ゲート絶縁膜の厚さ・ドーパントの分布・接合深さ・ドーズ量に対する真のプロセス管理範囲と互いに影響しあって計測ニーズを駆り立てることになる。製造許容度のモデルを作ることは、これからもトランジスタ計測を考えるために欠かせない手段である。FEP 計測への技術要求を表 MET5、解決策の候補技術を図 MET4 に示す。

Table MET 6 Front End Processes Metrology Technology Requirements

表 MET5 FEP 計測 技術要求

[A] SOI ウェーハを使えるようにするには、計測技術の開発が必要である。

[B] 精密さは $P/T=0.1=6\sigma$ (精密さ/プロセス管理範囲) から求められる。計測要求値は SiO₂ 換算膜厚である。HF 系酸化膜のような高誘電率膜が期待される。

[C] MIS 構造の場合、物理膜厚 $t_{(k)}^{(k)}$ は式 $t_{(k)}^{(k)} = (t_{eqk} - 1nm)_{k1} \times \epsilon_{highk} / 3.9$ から求められ、熱処理時にポリシリコンと高誘電率膜の界面に形成される酸化膜が考慮される。

[D] 系統誤差が少ない状態で精密に測定する必要がある。

パターン寸法の縮小が FEP 計測に及ぼす影響は、研究中のデバイスや材料において既に現れており、ナノサイエンスに係わる物性を示している。たとえば Fin FET の Fin のようなナノワイヤに似た形状をしたものは、2次元領域に閉じ込められた量子の性質を示す。

5.1. シリコンウェーハ(STARTING MATERIALS)

シリコンウェーハに関連する計測課題の多くは、SOI や SOI 上の歪 Si のような「存在感を増しつつある層状物質」に関係している。界面が多様であることに加えて、より薄層化される傾向にあることが、多くの材料計測技術に難題を課している。

関連する領域は次のようなものである:

- p+ウェーハ、SOI ウェーハ、歪 Si (SSi) ウェーハ、それに絶縁膜上歪 Si (SSOI) ウェーハの中の N や Cu の測定
- 薄い SOI ウェーハの表面 Si 中の $10^9 \sim 10^{10} \text{ cm}^{-3}$ の Fe (およびその他の金属) の測定
- 非常に薄い SOI 層 (<20nm) の膜厚と均一性

- 薄層の不完全さ(例えば、貫通転位やHF欠陥)
- 層状物質の表面にあるパーティクルの検出(<100nm)

微小パーティクルの検出は、将来も課題であり続ける。注意すべきことは、「パーティクルサイズ 65nm 以下で規定されたシリコンウェーハ上パーティクル数の要求値は、65nm 以下のパーティクルを検出できる計測技術がないために、65nm のパーティクルの検出値を基にして数学的なモデルから求められることになるだろう」と云うことである。詳細については、FEP 章のシリコンウェーハ(Starting Materials)の節を参照されたい。

SOI (Silicon-On-Insulator) は IC デバイス用ウェーハの主流になりつつあり、ロードマップに則って さらに使用量の伸びることが予測される。最近のデバイス研究によると、「22nm ハーフピッチにおける SOI の Si 厚さは 7nm から 10nm に厚くなる」という予測が出された。この結果、数ハーフピッチノードにわたって厚さの薄くなることが予測される。この予測は FEP ロードマップの SOI のタイミングに従わないかも知れない。まだ検討されていない課題の一つは、SOI のチップ内均一性の測定である。ウェーハ全域での均一性も評価しなければならない。鏡面シリコンウェーハの仕様がそのまま SOI ウェーハの仕様になるものと予測されてきた。しかし、鏡面シリコンウェーハに使われている計測の多くは、SOI の BOX 膜が影響するために計測能力を低下させる。従って、SOI の材料特性を所要の水準で計測・制御することにはかなりの困難がともなう。計測に携わる人達は これに対応してきたが、問題は残っている。これら計測課題の詳細については、FEP の章のシリコンウェーハ(Starting Materials)の部分参照されたい。

5.2. 洗浄(SURFACE PREPARATION)

パーティクル、化学組成、そして おそらく微量金属の in-situ(その場計測)センサがウエット洗浄装置に組み込まれつつある。パーティクル検出は"歩留り向上の章"で取り扱われている。パーティクル/欠陥および金属/有機汚染の解析は、本章の"材料評価"の節で述べられる。High-k ゲート絶縁膜中の不純物の役割を知りたいという要求、ひいては そのために不純物を測りたいという要求は今後の研究項目である。現在のところ要求不純物レベルは SiON ゲート絶縁膜への要求不純物レベルと同じにされているが、明確になっていない。

5.3. 熱酸化/薄膜形成技術(THERMAL/THIN FILMS)

次世代の high-k/メタルゲート技術には、Hf ナノ結晶を基にした酸化膜が使われるかも知れない。これらの代替酸化物が開発されているので、新しい計測の課題が明らかになりつつある。high-k ゲート積層膜を実現するには、さらに研究・開発を必要とする重要な課題がある。計測ロードマップでは、以前 high-k 絶縁膜中の窒素濃度測定に係わる課題について論じた。もしもナノ結晶の薄膜が使われるようになれば、薄膜結晶の構造特性を把握し相と組織を測定しなければならない。仕事関数調整用の膜の組成も評価しなければならない。ゲートの仕事関数を調整するために使われる膜は非常に薄くナノスケールの表面粗さと膜厚が同じ大きさになるかも知れない、そうすると従来の計測手法の幾つかは役に立たなくなってしまう。熱処理したゲート積層膜の材料特性を把握することは、超高分解能 TEM を含めたあらゆる計測手法にとっての課題である。さらに、混合 high-k 膜や一層極薄の high-k 膜を使った新しい DRAM 構造が計測の開発課題になるであろう。

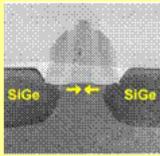
計測の研究開発は、Ge や III-V 族など新しいチャネル材料の開発を促進するために必要である。Si 基板との格子不整合に起因する欠陥を減らして無欠陥結晶を作るといった課題が、測定への要求を駆り立てている。バンドギャップ中の欠陥準位や転移の密度を観察・定量化することも計測の課題である。多くの計測では、ブランケット膜を必要とする。ただし、ブランケット膜での測定結果とトランジスタ・チャネル層での測定結果との相関を取るにはトランジスタ断面を見なければならない。しかし、これらのトランジスタ断面がトランジスタ構造全体を代表している訳ではない。

5.4. 歪Siプロセス (STRAINED SI PROCESSES)

プロセス起因あるいは構造起因の局所応力を利用してキャリア移動度を高くすることは、駆動電流ひいてはトランジスタ性能を向上させるための重要な手段である。一般的に、NMOSトランジスタではゲート電極上に Si_3N_4 ストレスライナー膜を被せることで引張応力を生じさせる。PMOSトランジスタには幾つかのプロセスの一つが用いられる。ソース・ドレイン置換プロセスでは、ソース・ドレイン領域のシリコンを選択的に成長させたSiGeに置き換えることで、チャンネルに圧縮応力を生じさせる。第2の方法では、 Si_3N_4 ストレスライナー膜を被せることで圧縮応力を生じさせる。第3の方法では、STI (shallow trench isolation) でチャンネルに圧縮応力を生じさせる。この方法では、トランジスタ領域、ゲート電極およびコンタクトホールのパターンレイアウトを注意深く設計し、プロセスを厳しく制御しなければならない。チャンネルSiの結晶方向の選択と組み合わせた技術も提案されている。新しいプロセスが開発段階にある時は、応力の特性を把握し計測することが必要になる。これには、NMOSで検討されているSi:C (Cを高濃度に添加したSi) をソース・ドレインに用いる技術も含まれている。Si:CはNMOSのチャンネル領域に引張応力を生じさせる。ゲート電極材を変えることやいわゆるGate-Last-Processを用いることで、応力の発生源が増えた。このように、局所応力を計測する技術の必要性が脚光を浴びている。よく知られているように、シリコン貫通ビア (TSV) がもう一つの応力の発生源である。TSV近くのトランジスタが悪い影響を受けるので、デバイス禁止領域KOZ (keep out zone) の指標が出されている。応力測定については、3D配線計測の節で更に述べられる。

パターンレイアウトやプロセス条件の設計を速めるために、ナノ領域の応力を非破壊で直接に計測することが望まれる。応力とそれを考慮した電気特性を有限要素法によってシミュレーションすることは、既に示してきたように重要であり、プロセス開発および計測の重要項目の一つである。正確に応力を計測できれば、これらのシミュレーション結果を校正することに役立つ。新しいプロセスが次の技術世代に導入されると、その技術課題が一新される。さらに、代替チャンネルへの移行可能時期やFin FET・三重ゲート構造の導入時期の見通しの悪さが技術課題を複雑にしている。オフラインおよびインラインでの局所的な応力/歪計測に対する要求が表MET5に示されている。インラインの応力/歪測定はテストパッドを用いて行われ、そのサイズはほぼ $100\mu\text{m}$ 角と推定される。このテストパッドの大きさは、膜厚測定やOCD測定のような他の計測のためのテストパッドと同じように小さくしなければならない。

応力測定手法の概観図がMET2に示されている。オフラインは破壊計測でありインラインは非破壊計測であるという視点に立つと、ナノビーム回折 (NBD) のようなオフライン手法とインラインにのみそのような手法における空間的位置確認能力の違いが明確に分かる。ラマン分光法の場合は、測定領域が顕微鏡の空間分解能だけでなく照射光の波長にも依存する。これは光の侵入深さにも依存することによる。

Area of Interest	Measurement Method	Sensitivity		Measurement Area	Sample Thickness
		Stress	Strain		
Transistor Level 	- EBSD (SEM)	?	?	<10nm?	Non-Destructive
	- CBED (TEM)	20 MPa	0.02%	10-20nm	<100nm Destructive
	- NBD (TEM)	100 MPa	0.1%	~10nm	<300nm Destructive
	- TERS (Raman)	50 MPa	0.05%	<50nm	Destructive Non-Destructive
Micro-Area Level 	- Confocal Raman	20 MPa	0.02%	~150nm	Non-Destructive
	- XRD	10 MPa	0.01%	100um	
	- Photo reflectance Spectroscopy	<20MPa	<0.02%	1um	
Die 	- Die level flatness - Laser Interferometry - Coherent Gradient Sensing				Non-Destructive
Wafer 	- Laser Interferometry - Coherent Gradient Sensing				Non-Destructive

TERS (Tip Enhanced Raman Scattering)
 CBED (Convergent Beam Electron Diffraction)
 NBD (Nano Beam Electron Diffraction)
 XRD (X-ray Diffraction)

* Stress – Strain relation : need to be clarified

Figure MET2 Review of Stress/Strain Measurement Methods

5.5 FERAM

誘電体膜の厚さが 100 から 200nm であっても、材料の組合せが新規の場合には、金属酸化物の膜厚をインライン測定するための光学モデルを開発しなければならない。主な計測ニーズは、容量構造を 10^{16} 回以上の読み・書き込みサイクルで疲労試験することである。

メモリデバイスの断面構造を見れば、複雑な 3D メモリ構造(最低でも二層のパターンを重ねるという一連のパターン加工を経て作られる構造)を製造したりプロセス制御したりするさいの技術課題が分かる。単純化したテスト構造では多くの計測要求に応え切れない。合わせずれの深刻さを図 MET3 に示す。断面計測において寸法を精密に測定することなどは、メモリやその他の 3D 構造にとって重要な課題である。

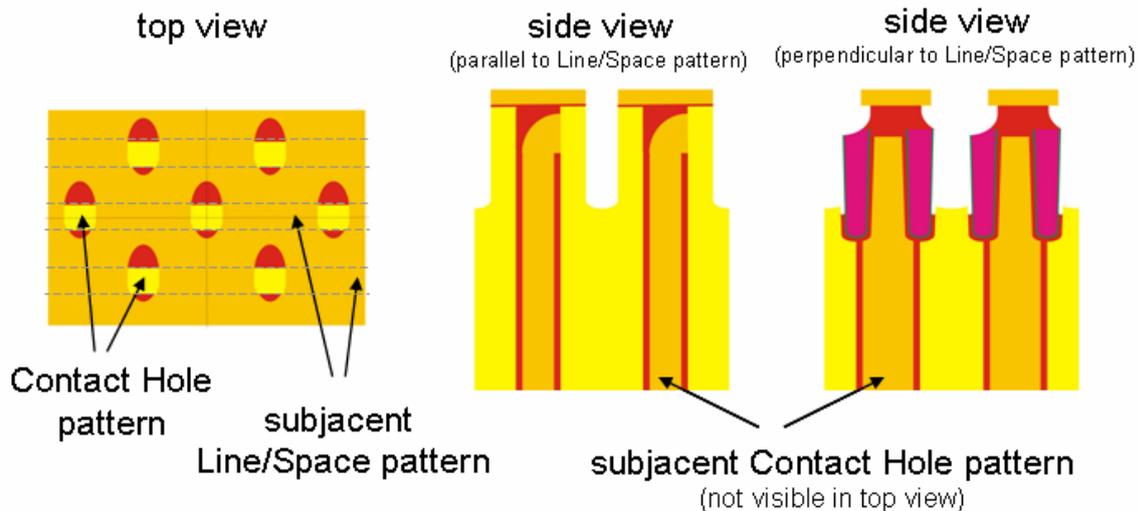


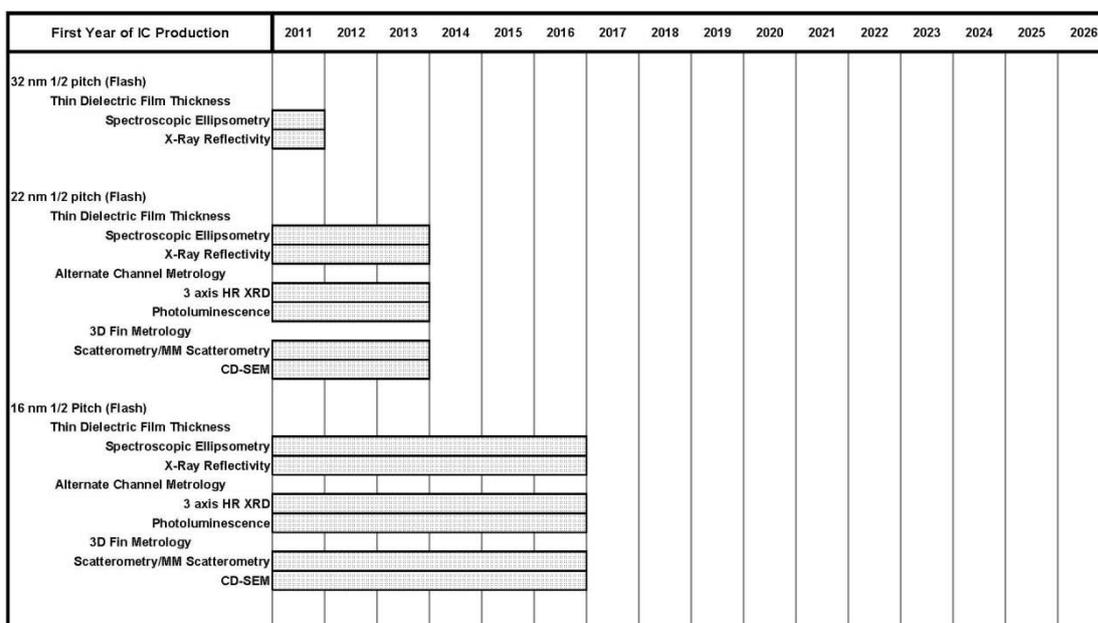
Figure MET3 3D Metrology Requirements

5.6. ドーピング技術

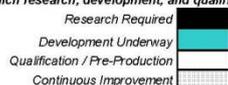
32nm技術ノード以降に向けては、活性ドーパントの注入を制御するためにインラインのプロセス測定技術を改良することが必要になる。現在、高ドーズ注入プロセスの制御には4探針法が用いられ、低ドーズ注入プロセスの制御にはPMOR (photomodulated optical reflectance) が用いられている。PMORを用いれば、活性なドーパントのプロファイルを測ることができそうである。PMORの適用範囲を薄膜SOIにまで広げるためにはPMOR技術を進歩させることが求められる。注入量、注入プロファイル、および注入量の均一性を直接その場計測できる新しい技術があれば、実時間制御が可能になるであろう。B、PおよびAsの注入を制御する新しい方法も必要であり、最近 幾つかのインラインシステムが出された。これらはX線/電子相互作用に基づくものであり、B、PおよびAsの注入量を測定するように最適化されている。オフラインであるが、SIMS (Secondary Ion Mass Spectroscopy) を用いれば、極浅接合の測定精度を含め、現在の技術世代で必要とされる測定精度を得ることができる。キャリアイルミネーション法 (光学技術の一つ) などの新しい非破壊測定法について、どの程度の可能性と能力を有するものであるかが、現在評価中である。2次元、可能ならば3次元の活性ドーパントのプロファイルを観測することが、次世代技術の開発には不可欠である。次のドーピング技術を開発するためには、活性ドーパントのプロファイルとそのTCAD (technology computer-aided design) のモデル、および欠陥の分布を知ることが必要である。高真空中でのSSRM (Nanoscale Scanning Spreading Resistance) 測定を用いると、不純物勾配 (分布) を観測するために必要な空間分解能を得られそうなことが分かった。最近の結果では、HV-SSRM (訳者注: 高真空中でのSSRM) を用いて1~1.5 nm/decadeのキャリア濃度を3~5%の精密さで測れることが示されている。

Fin FETのような2D/3D構造のドーパントプロファイルを測定することが技術課題である。テスト構造を用いてFinの抵抗率を測るといような間接的な方法は、プロセス条件の変動を検出できるかもしれないが、ドーパントプロファイルやその適合性を直接的に決めることが難しい。

(訳者注: キャリアイルミネーション (Carrier Illumination) 法とは、光照射によって発生させたキャリアを利用し、照射光より長波長のプローブ光を用いてpn接合の位置などを検出する方法である。)



This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.



FigureMET 4 FEP Metrology Potential Solutions

6. 3次元配線における計測(3D Interconnect Metrology)

3次元配線形成技術は、配線技術ロードマップの中だけでなく、組立やパッケージング技術の中でも議論されている。高アスペクト比のSi貫通ビア(TSV)や、光学顕微鏡技術を使いにくいSi、Cuなどの不透明材料を計測対象とする事が、3次元計測における主な課題である。この課題は、インライン計測と、破壊検査を伴うオフライン検査の2種類の計測手法に分けて考えることができる。製造可能な3次元プロセスの開発は、既存の半導体計測技術、例えば、薄膜計測、パッケージング計測、電氣的試験などにも、幅広く依存している。しかしながら、これらの計測技術に関しては ITRS の本セクションにおいて言及しない。

TableMET 7 ITRS 3D Interconnect TSV Roadmap

GLOBAL LEVEL, WTW, DTW, or DTD 3D stacking	2009-2012	2012-2015
Minimum TSV diameter	4-8 μm	2-4 μm
Minimum TSV pitch	8-16 μm	4-8 μm
Minimum TSV depth	20-50 μm	20-50 μm
Maximum TSV aspect ratio	5:1-10:1	10:1-20:1
Bonding overlay accuracy	1.0-1.5 μm	0.5-1.0 μm
Minimum contact pitch (thermocompression)	10 μm	5 μm
Minimum contact pitch (solder or SLID)	20 μm	10 μm
Number of tiers	2-3	2-4
INTERMEDIATE LEVEL, WTW 3D stacking	2009-2012	2012-2015
Minimum TSV diameter	1-2 μm	0.8-1.5 μm
Minimum TSV pitch	2-4 μm	1.6-3 μm
Minimum TSV depth	6-10 μm	6-10 μm
Maximum TSV aspect ratio	5:1-10:1	10:1-20:1
Bonding overlay accuracy	1.0-1.5 μm	0.5-1.0 μm
Minimum contact pitch	2-3 μm	2-3 μm
Number of tiers	2-3	8-16 (DRAM)

6.1 ボンディングオーバーレイ

3次元配線のためのウェハ接合プロセス装置性能を検証するには、接着したウェハペア (Bonded Wafer Pairs) の界面にあるアライメント基準を、赤外線(IR)顕微鏡検査によって測定し、重ね合わせ精度規格に対する誤差量を確認する必要がある。それによって、重ね合わせ精度が、電気的に問題のない配線形成に十分であるかどうかを判断する。赤外線はシリコンウェハ(300mm ウェハの厚みは 775 μm)を透過する事ができるため、シリコンは赤外線に対して透明だと言える。この特性により、赤外線によって重ね合わせ精度を計測することが可能となっている。

現在、接合ウェハの重ね合わせ精度を、大量生産フェーズでインライン計測可能な IR 顕微鏡装置が多数存在する。これらの装置はブロードバンド IR (通常、ハロゲンランプが光源)、もしくは特定波長の IR レーザー (通常、波長 1310nm) を利用している。これらの IR 測定器は、接合ウェハの重ね合わせ測定において、 1σ で 0.1 ミクロンの計測再現性を有する。また、空間分解能としては、レイリー基準で 0.5 μm 程度である。キャリア基板が可視光を透過する材質である場合、表面顕微鏡と裏面顕微鏡を備えた測定装置も IR 顕微鏡の代替装置として有効である。この場合も、 1σ で 0.1 ミクロン以下の測定再現性を有する。

インラインの重ね合わせ精度測定は、電気的配線に問題のある接合ウェハのアライメント不良を検出するために必要である。これにより、不良ウェハを次工程で処理する無駄な費用と時間の発生を避けることができる。また、ウェハ接合プロセスをクローズドフィードバックループで制御することができる。IR 顕微鏡の解像力 0.5 μm は、2009-2012 における、配線ロードマップの重ね合わせ精度要求を満たしている。ロードマップによれば、2012 年以降、重ね合わせ精度計測の解像力改善が求められている。

重ね合わせ特性は本質的に 2D パラメータである。接合ウェハペアの全面に分布するパターンにおいて、円形ビアが円形パッドに接続されている。重ね合わせ特性に関するほとんどの議論は一軸方向においてのみなされている。実際の要求であるところの多次元性を加味した重ね合わせの定義と、ウェハ全面での重ね合わせ精度を試験可能な手法を、ITRS2011 に定義するべきである。

6.2. ボンディング界面のボイド検出(BONDED INTERFACE VOID DETECTION)

ウェハのボンディング処理では、次工程のウェハ薄膜化加工やウェハ外周のトリム加工の処理中に、BWP の剥離が起きないことを保証できるような良好なボンディング界面を得ることが重要である。走査型音波顕微鏡(SAM)は、BWP のボンディング界面のボイド検出や特定に有効であることが知られている。振動子(通常は 110 MHz)で発生させた超音波を、接触媒質(通常はイオン交換水)を介して BWP の表面に伝搬させることにより、SAM はボンディング界面を検査し、ボイドを反射波のエネルギーとして検知することが可能である。SAM の分解能は、使用する超音波の周波数を上げたり、ウェハを薄膜化して超音波の減衰を抑制することにより改善されるが、ウェハを薄膜化することは、大量生産に適した計測手法ではない。また、大量生産用途とするためには、スループットの改善も必要である。

現在では、大量生産現場で BWP のインラインボイド計測に要求される仕様を満足できる SAM が多く存在している。BWP の外側表面の接触媒質を窒素噴射によって除去することにより、ドライ・イン、ドライ・アウトを可能とした SAM も存在する。接触媒質が用いられることにより、パーティクル付着や金属汚染による欠陥増加の懸念があるが、続いて行われる薄膜化処理や洗浄工程を経ることで、そのような SAM 起因の欠陥は十分に除去されるものと予想される。ボンディング界面の密閉が不足していると、毛管作用によって接触媒質がボンディング界面に浸透することが、もう一つの懸念である。完全な液浸の代わりに、液体噴霧を用いることが良い代替措置となるであろう。

薄膜化加工やベベルトリミング加工の処理中に、ボンディング界面の剥がれが発生する恐れのある BWP を検出するために、インラインのボイド計測が不可欠である。BWP のボイド検査に用いられる SAM の分解能は 60 μm である(110MHz の振動子を用いた場合)。このボイドに関する仕様は現在の ITRS には記されていないが、2011 改訂版で追加されることが望まれる。

6.3. ボンディング界面の欠陥検査(BONDED INTERFACE DEFECT IDENTIFICATION)

現在、BWP の欠陥の位置を直行座標上でマッピングして観察できる機能を備えたインライン計測装置は存在しない。BWP の欠陥検出スペックに関する仕様は現在の ITRS には記されていないが、2011 改訂版で追加されることが望まれる。

6.4. ボンディング界面の欠陥観察(BONDED INTERFACE DEFECT REVIEW)

3次元配線用 BWP のボンディング界面の欠陥の位置を特定し、観察するために、赤外線顕微鏡が必要となるであろう。これらの欠陥はボンディング前から個々のウェハに存在しているか(パーティクル、CMP ダメージ)、若しくはボンディングプロセス中に生じる(ボイド、接着異常、樹木状構造)。BWP の欠陥観察装置には、個々のウェハ欠陥マップを一つに統合させる機能や、欠陥観察中にランダムに観測された新しい欠陥を追加できる機能が必要となるであろう。

現在、大量生産現場で BWP のインライン欠陥観察に要求される仕様を満足する、赤外顕微鏡を用いた欠陥観察装置が存在する。赤外顕微鏡は、23 節で概説したような欠陥検出装置としては有用でない。顕微鏡の観察視野は比較的狭く、ウェハ全面を検査することはできない。しかし、ボンディング界面の欠陥を手動で検出し、欠陥マップに追加することは可能である。BWP の欠陥観察に関する要求仕様は現在の ITRS には記されていないが、2011 改訂版で追加されることが望まれる。

6.5. エッジベベル欠陥(Edge Bevel Defects)

ウェハ破砕を招くような BWP 中の欠陥を検出するために、ベベル検査が必用である。ベベルの欠陥はボンディングで問題となる可能性がある。ボンディング加工や薄膜化加工の際にウェハに加わる力により、ウェハ破壊を引き起こすような裂け目がベベル部のチップに生じる可能性がある。BWP のノッチアライメントには 50 μm 以下の精度が要求される。BWP の薄膜化加工の前に行われるベベルのトリム処理は、ベベル欠陥のもう一つの発生原因である。

現在、大量生産現場で BWP のインライン検査に要求される仕様を満足できるベベル検査装置が数多く存在している。ベベル欠陥に関する要求仕様は現在の ITRS には記されていないが、2011 改訂版で追加されることが望まれる。

6.6. 接着強度均一性

現在、接着された一組のウエハ(BWP)間の密着強度均一性を評価するインライン装置は存在しない。BWPの密着強度均一性を測定することができるマイクロシェブロンテストは、エッチングされたパターン(マイクロシェブロン;V字形)を有するウエハを使用する。マイクロシェブロンを有するウエハを全面膜形成されたウエハと接着させた後、個々のダイに分割し、引っ張り力試験器を使用して密着強度の試験を行う。BWP上の複数のダイに対する密着強度をマッピングすれば、BWP内の不均一性計算が可能になり、強度均一性が管理限界外であれば、ウエハ接着設備の調整が必要であることを示すことになる。マイクロシェブロンテストは4点曲げ方式のような他の接着強度テストより感度・再現が良い。

ITRSで明示されたBWP強度均一性要求条件は無いが、SEMI標準MS-5で定めるマイクロシェブロンテストを明示することによって、2011年の改訂に含まれるよう推奨する。

6.7 BONDED WAFER PAIR THICKNESS (接合ウエハの総厚み)

BWPの総厚みとウエハ内部全面における厚みのばらつき(TTV)は、接着と研磨処理に対して重要である。現在、インライン測定を支援することが可能な幾つかの計測ツールが存在する。従来の容量方法技術には、非導電基板の場合制限がある。干渉分光法と同様な白色光またはIRの色彩技法は、最上下部の2モード形態で実施されるとき、総厚み測定に対し非常に良い代替測定方法である。

BWPを構成する各層の測定は、一般にシリコンを透過するIR光源の使用を必要とする。IR干渉計技術の欠点は、薄い層に対する解像度の劣化である。検出処置アルゴリズムの改善で、接着材層自体のような薄い層は、測られることができるようになった。

6.8. TSV エッチ深さ

シリコン貫通ビアは、ビア深さ対ビア径が10:1~20:1に近づく高アスペクト比(HAR)でエッチングされている。これらのHARの外観は、より小さな直径のTSVを測定することに対する光学的計測技術の使用に疑問を呈する。

現在では、量産の場にインライン計測の要求をサポートすることが出来る幾つかのTSVエッチング深さ計測ツールがある。関連する技術の原理とそのスポットサイズによって、計測は個々のTSVや、平均的なTSVの数で行うことができ、または多数の特定周期的のTSVを必要とする場合もある。

10:1未満のアスペクト比で5 μ mとより大きな直径のTSVの個々のエッチング深さを計測するために、白色光干渉計と裏面赤外線干渉計を使うことができる。白色光干渉計とより小さな直径のため、TSVの底まで届く平行なコリメート光を得るために、センサー構成の改善は必要である。裏面赤外線干渉計は、サブミクロン形状のTSVエッチング深さ計測に対して有能であることが証明されており、アスペクト比によって制限されない。

TSV配列でのモデルベース赤外線干渉計は、ビア密度が回折信号を得るのに十分高い状態では、5 μ m以下直径の深さ測定の代替測定方法により得る。ただ、この技術は直接的では無く、調整するには断面解析が必要である。

ITRSにはTSVエッチ深さ測定への要求が明示されていないが、2011年の改訂に含まれるよう推奨する。

6.9. TSV エッチ形状

現在、量産の場での使用に適した TSV エッチング形状測定器は存在しない。断面 SEM 解析はプロセス開発においては利用することが出来るが、破壊的な技術である。IIRS には TSV エッチング形状測定への要求が明示されていないが、2011 年の改訂に含まれるよう推奨する。

6.10. TSV におけるリニア・バリア・シード膜厚

リニア・バリア・シード膜の製膜は、貫通ビア (TSV) の高アスペクト比と指向性製膜プロセスという苦難が待ち受けている。続く Cu めっきプロセスにおいて絶縁、Cu 拡散防止、良好な Cu 埋め込みの促進のためには、TSV への連続かつピンホールフリー膜が求められる。

現状では TSV におけるリニア・バリア・シード膜厚の計測に適した大量生産向けインラインツールは存在しない。プロセス開発には断面 SEM や TEM が使えるが、破壊検査となる。電氣的計測は、リークやエレクトロマイグレーションの計測には使えるが、その計測が提供する情報が得られるのは、リニア・バリア・シード膜形成の後になってからである。

TSV におけるリニア・バリア・シード膜の膜厚計測への要求は IIRS に規定されていないものの、2011 改訂版へは含めるべきである。

TSV や配線領域でのマイクロボイドの発生は、電氣的なあるいは信頼性の上での不良となる。標準的な切断法や FIB/SEM 技術により、ある特定の接着済みビアの状態を破壊的に評価することは可能である。これらの欠陥を非破壊的手法によって特定することは、プロセス開発および故障解析の双方にとって大きな利益をもたらすだろう。

TSV の計測において、Cu の不透過性という困難があるため、ボイド検出のための光学的計測技術は存在しない。Cu 配線の全体積の変化を利用した超音波計測法についても研究されている。マイクロボイド検出の感度のみならず、TSV 深さ全体にわたって検査できる能力が証明されなければならない。Cu めっきは TSV の高いアスペクト比という課題があり、最下部からの埋め込みを確実にするためにはめっき槽添加物を注意深く制御しなければならない。

X 線計測や X 線トモグラフィー技術は、TSV 中 Cu の欠陥を見つけるのに使えることが証明されているが、計測は遅く、試料の作成には破壊が伴う。X 線ツールは大量生産のためのインライン TSV ボイド計測技術とはみなすことは出来ないが、TSV めっきプロセスの開発には有用である。

TSV ボイド計測への要求は IIRS には全く規定されていないが、2011 改訂版に含めることが望ましい。

6.11. 形状と応力

貼り合わせウェーハ (BWP) の形状は通常、全プロセスフローの中でたわみ・歪み測定によって制御されている。このことはプロセスモニタリングに対してのみならず、製造という状況での薄いウェーハのハンドリングに関連するすべての側面に対して決定的に重要である。現在はこれらのインライン計測をサポートできる多くの計測ツールがある。レーザー偏向、容量、色、干渉計、コヒーレント勾配検出といった様々な手法が BWP の形状を測定できる。現状では、計測結果はウェーハの保持方法に強く依存し、また重力効果にも大きく影響される可能性がある。半導体計測ツールメーカー同士が、SEMI スタンドの提言を通じて統一性を向上していく必要があり、このことは手法間での結果の比較を可能にする。

CMOS 環境で大規模な TSV 導入は、TSV 自体が誘発する応力という問題を提起している。ラマン分光法は微小スポットを使えば TSV 近傍の Si における応力分布を観測できるが、Si 深部からの情報を得るためにはより長波長側への技術の進展が必要である。

6.12. CU ネイル、ピラーの3次元計測

積層回路ブロックや 3 次元集積回路といった将来の 3 次元配線技術のために、積層したダイの上部と下部を接続する Cu ピラーの高さ、直径、面均一性を制御する、というニーズがある。この要求は、後工程製造プラントにおけるバンプ計測と全く同等のものであり、今や IC 製造上ウエーハレベルで非常に重要な意味を持ってきている。

これらのパラメータを生産規模で計測できる数多くのツールが存在する。レーザー三角測量や共焦点干渉計といった技術は非常にうまく適合している。それにもかかわらず、3 次元計測の不備に取り組むための計測標準が不足していることは明らかである。

7. 配線における計測 (INTERCONNECT METROLOGY)

配線技術における新規プロセス、構造及び加速した微細化が外ロロジーの研究と開発を引き続き牽引している。さらにポーラスな low-k 誘電体材料は量産適応に移行しつつあり、3 次元配線は多様な用途に応用され始めている。Cu コンタクト技術は幾つかのシンポジウムにて既に報告されている。材料定性、インライン計測、先端設備とそれらのプロセス制御を含む全ての外ロロジーが、配線の研究開発及び量産に使われている。Cu コンタクトのような新たなプロセス信頼性についてはほとんど知見がない。今までと同じく、新規プロセス評価において信頼性テストは非常に重要である。

Cu/low k の配線が依然として寸法の微細化と空孔率の増大に向かうに従って、外ロロジーに対する課題はより困難なものとなる。特に膜厚 2nm のバリアメタルの均一性、Cu 配線内の 3nm サイズのボイドの存在、nm サイズの Cu 粒界のサイズと結晶方位、誘電体膜中の nm サイズの空孔のサイズと結合性と残渣の分析、エッチングダメージとポーラス low k 膜中へのバリアメタルの貫通、などの全てがより困難なチャレンジとなりつつある。寸法が数 nm サイズになると、相互効果が誘電率、粒界面での散乱、熱伝導率、そしてバリア効果に対する大きな揺らぎを引き起こす。より低い機械的かつ化学的安定性をもつ Low k 膜の多層構造のインテグレーションは、これらのアモルファス材料の応力と化学的状態を分析できる技術を必要とする。微細化した Cu / low k 配線に加えて、光、カーボン、スピンベースの配線のような新しい配線解決策は、それ固有の外ロロジーに対する課題がある。パターンの形成されていない誘電体膜の光学特性の解析は半導体製造において一般的なものとなっているが、側壁面のラフネスによる光学特性の劣化の解析と光学変調材料の光電気効果の計測は一般的ではなく、複雑に集積されたテスト構造を必要とする。プロセスはカーボンナノチューブの対掌性によって決定されるが、ナローグラフェンリボンバンドギャップや、配線の技術候補としてあるスピン偏極輸送における散乱長の計測といったアイテムが課題となる。

配線における計測の要求は、上述のとおり、既存の計測技術に対しては継続的發展を、また同様に、次世代の配線構造のために、革新的な計測技術開発への要求が高まっている。次の章では、Cu / low k 配線のための、現状の計測技術の状況とニーズについて述べる。概要を記述する。続く章では 3 次元配線における外ロロジーについて、今後のあるべき方向性および将来動向について議論する。‘配線’章を参照のこと。

7.1 CU-LOW-k 膜のメッキ配線の課題と計測要求

7.1.1. CUメッキ配線の課題

Cu 配線は 6 世代にも渡って量産ラインにて使われてきた。寸法シュリンクをする度に、トレンチとビアの埋め込みの課題に直面することになる。中でも一番重要なのは、バリアメタル膜の均一性、nm サイズのボイドの検出、Cu 粒界のサイズと方位の同定、そして電気メッキ炉の厳密な制御である。メタル配線とビアの内部のボイドが甚大な歩留まり低下を引き起こす元凶であることが突き止められている。問題を起こすボイドは、成膜/CMP/アニール後に、微小ボイドが凝集して発生し、エレクトロマイグレーションもしくはストレスマイグレーションの発生で顕在化した。もうひとつの、ボイドに関係する重要な問題として、広いパターン領域を形成する Cu 配線のなかに単独で存在するボイドがあり、これが低信頼性の原因であることを確認できるようにする必要がある。この極薄いバリア層によって超薄膜層の接合特性、欠陥および非常に細長いチャンネルの側壁の材料構造などの計測が必要になった。これらは、2nm 以下の薄膜層の物理特性や構造を同定だけでなく、膜中の欠陥の検出およびその分析に性能を要求するものである。さらに問題とする分野は、Cu 電極層、Cu シード層、バリアメタル層および誘電体膜の層間の解析である。Cu 抵抗値が小さくなればなるほど、粒界面と側壁のインターフェースで電子散乱が細線抵抗を激増させる。

7.1.2. CU メッキ配線の計測

Cu の電気メッキシステムは、電気メッキされた Cu 膜に必要な特性を維持するために、メッキ槽での添加物、副産物および無機の内容物の中身の定量評価を必要とする。プロセス監視は、メッキ槽の経時劣化から生じる添加物、副産物、および無機物をメッキ中 (in-situ) で計測する必要がある。そのため、メッキ液槽のリアルタイム標本抽出による質量分析法が、新たな問題解決候補 (Potential Solution) となった。交流電圧ストリップ法 (CVS) が、メッキ品質上に必要な添加物と副産物の合体効果を測定するのに広く採用されている。液浸クロマトグラフィーによる質量分析法は、無機物をモニターすることで、分離不能な内容物や電氣的には非導通で量のある内容物を、個々独立して測定できるので、Cu 計測に使うような大量の分析には役立つ。

バリア層の計測には膜厚、空間的均一性、欠陥および吸着の測定が必要である。3D 構造のインライン測定は、大きなギャップとして存在し続ける。Low-κ のトレンチの側壁の材料の測定は、側壁に沿った方向のラフネスによってさらに困難にさせている。非常に薄いバリア層へ統計的な工程管理を適用するには、すこし不安が残る。配線の技術的な将来要求は、バリア層 2nm 以下を示唆している。現在、膜が水平に形成されたシード Cu 下のバリア層では、いくつかの計測手法が適用できる。この計測法としては、超音波計測法、X線反射法、蛍光 X 線法などが挙げられる。これらの方法のいくつかは、パターンウェーハで適用できる。EXAFS 計測もまた集積構造での自己整合型バリアメタルの特性を同定できる。X線回折法や電子線後方散乱回折法をベースにした手法で Cu/バリアメタル膜の結晶構造の位相および結晶構成 (粒界の方位) をインラインで計測ができています。

Cu 内部のボイドを検出するには、CMP とアニール処理直後がもっとも適する。Cu ボイド密度の計測のメトリックは、配線ロードマップにて提案されており、インラインでの Cu ボイド計測には多くの開発課題があることが指摘されている。しかしながら、多くがボイドの検出にのみ注力されており、プロセス制御のために必要な統計的なサンプリングにのっとったものではない。ボイド計測手法の多くは、Cu 配線総質量の変化を検出することにもとづいている。Cu 配線のチップにまたがる横方向の膜厚ばらつきの方が大きくて、前述の方法で確認できるほとんどのボイドはマスクされてしまう。配線を構成する多種の成膜材料が、広範囲な膜厚変化の発生に影響を与えているため、高速でかつ、空間的な分解能を有する多層膜の膜厚計測に挑戦しなくてはならない。

いくつかの計測項目についてはまだ良い方法が見つかっていない。例えば、側壁上のバリア膜、Cu シード膜の膜厚は未だに計測することが出来ない。最近、側壁の組織構造を計測する方法について報告されている。接着強度については、未だに破壊検査により計測されている。多孔質 Low-κ 膜用の新しいエッチングストップ材料に対応したエッチング終点検出技術が開発されなければならない。新材料、新材料に対するメトロロジーとしての懸念は、膜中の水分濃度の計測、膜のストイキオメリー、機械的強度/硬度、局所ストレス (対ウエーハストレス)、そして配線抵抗 (対バルク抵抗) が挙げられる。さらに加えて、メトロロジー技術の開発と並行して校正技術と標準化が必要である。

配線用の装置、プロセス開発及びパイロットライン生産のどの段階に於いても、パターン付きおよびパターン無しサンプルでの詳細な評価が求められている。現在、配線構造に係わるインライン計測の多くは、簡略化された構造を計測するか、もしくはモニタウェーハを計測するものであり、その多くは破壊検査である。超薄バリア層を含む微細構造においては、引き続き現状の計測性能を改善させていく必要がある。電氣的特性、歩留まりや信頼性と相関が得られる物理量計測を提供することが求められ、そのためには計測技術の継続な開発が必要である。製造段階でより効率的かつ経済的な計測を行うためには、パターン付きウェーハを計測できるようにしなければならない。配線における計測の目標到達レベルを表 MET7 に、解決策の候補技術を図 MET5 に示す。Cu 配線中のボイド計測と Low-κ 膜中のキラーポア計測に関する新しい要求は実現困難もしくは不可能であるように見える。要求されているのは、素早く、インラインで非常に少ない数のボイドと比較的大きいサイズのポアを観察できる技術である。主たる技術課題は表 MET7 で示したような割合のボイド、ポアについて統計的に意味のある情報をもつ計測方法を得ることである。

7.2. 低誘電率 (LOW-K) 膜の課題と計測要求

7.2.1. 低誘電率 (LOW-K) 膜の課題

配線構造においてSiO₂から多孔質low-k誘電体へ移行することは、半導体産業にとってはアルミからCuへの移行以上に難題である。Low-k材料の採用が前途多難とされる理由は、前任者のSiO₂に比べて物理特性も機械特性もまったく異なっていることにある。材料内部に孔が存在するために機械的特性および化学的特性が大きく異なってしまう。機械的強度が低いために、新しい材料やプロセスを後工程(バックエンド)で使った結果、実装・組み立てやパッケージングにおいてまで、新しい系統の問題を誘発してしまった。実現可能な実装とパッケージングのための、後工程の最終処理での材料を最適化するための、便利で有能な計測ツールと計測方法が無いことである。第2の問題は多孔質材料特性の同定である。現状では、飛びぬけて大きい孔や繋がってしまっている孔(致命ポアと呼ぶ)もしくは逆に材料内部でポアが小さすぎてしまったりするのを特定する、計測技術も計測方法論も無い。勿論、Low-kパターンのサイドウォールでの材料特性を評価するための、物理特性、化学構造、電特性を計測する有効な技術も無い。エッチングのプラズマと孔の密閉などのプロセスによって発生するダメージを、側壁の極薄膜の物理的な層の特性で定量化できるようにする必要がある。これら特性は、サイドウォール表面とそこに繋がっているポーラス材料との両方において、プロセス途中で定量評価できる必要がある。上記2つの課題については、誘電膜の標準的測定法の確立を促進し、それは今現在の誘電膜のためだけではなく、さほど遠い未来ではない数ナノメートル世代にも使われであろうことを記述しておく。

7.2.2. 低誘電率 (Low-k) 膜の計測

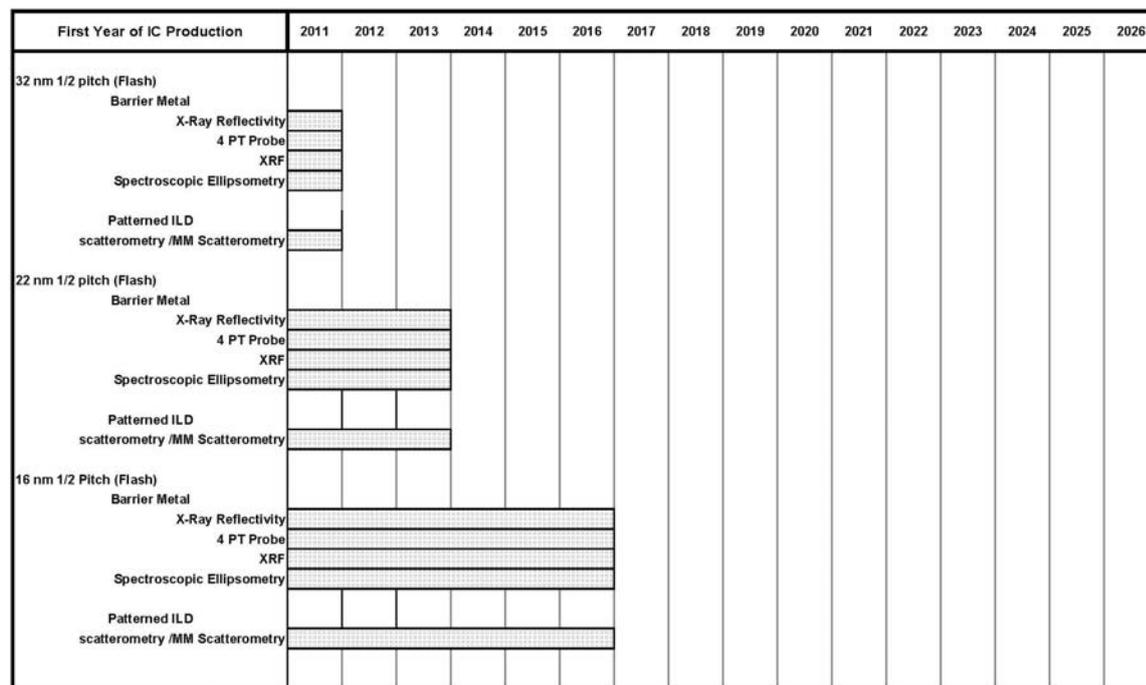
非多孔質 Low-k 材を使ったプロセスでは、膜厚と CMP 後の平坦度がインラインで計測されている。また、CMP の制御に in-situ センサが広く用いられている。多孔質 Low-k 材の研究開発においては、計測はクリティカルな部分であり続ける。研究開発段階で使われた計測項目の中からいくつかのものを量産段階へ移行する必要があるが、どのようなものを移行するかは議論を要する。例えば、ポアサイズ分布の計測がこの中に含まれる。ポアサイズ分布はこれまで低角中性子散乱法や陽電子消滅法、エリプソメトリとガス吸着法を組み合わせ合わせた方法(エリプソメトリック・ポロシメトリ)、そしてX線小角散乱法(SAXS)によりオフラインで評価されてきた。SAXS とエリプソメトリック・ポロシメトリについては、量産でもライン内で使われ得るものである。これらの計測技術を量産ラインにも展開するという要求に対しては、現在可能性を評価中である。配線ロードマップにおいて、パターン加工された Low-k 膜中の大きな致命ポアを検出することが、量産段階での計測で欠かすことの出来ない項目として強調されている。

Low-k 材料とテスト構造の高周波計測については、40GHz までの誘電率の周波数特性を計測する技術が開発された。これは、約 5GHz までのクロック周波数に解析要求を満足する。Low-k 材料は、関心の対象となる周波数範囲(1 GHz から 10 GHz)では一定の誘電率を持っているようである。

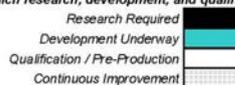
化学的機械研磨(CMP)時の多孔質 Low-k 膜薄膜化を制御することが必要であり、パターン加工された多孔質 Low-k ウェーハの平坦度を測定する技術が必要である。触針式プロファイラと走査型プローブ(原子間力)顕微鏡を用いることにより、局所的な平坦度とグローバルな平坦度を計測することが出来るが、スループットが低く改善を要する。リソグラフィプロセスの統計的プロセス制御に必要な情報を得るため、平坦度試験方法が標準機関により開発されている(開発継続中)。

エッチングプロセス制御のため配線特有の CD 計測手法をさらに開発する必要がある。エッチング後の清浄度、側壁のダメージ層とその特性を評価できる能力が大きなギャップとなっている。角度分解光電子分光法は nm 厚さの残渣と側壁上の化学状態の変化の同定に成功している。トレンチとコンタクトビア構造のサイドウォール角度やボトム寸法を知るため、高速な三次元形状観察技術が必要とされている。これは現状のインライン CD-SEM の能力を超えるものである。レジストパターンの CD 計測精度が十分でないため、エッチバイアス量の決定は困難なものとなっている。一つの解決策として、スキヤトロメトリがある。この方法では M1 (第一メタル配線)層などのレベルでは配線 CD 寸法平均

値を高い精度で計測できる。しかし、上層のメタル配線層では精度が低下する可能性がある。加えて、スカタロメリではコンタクトやビアへも適用範囲の拡張が必要である。その他の手法として、三次元 AFM と He イオン顕微鏡が可能性を電気的テスト構造については、パターン加工された Low- κ 膜の R-C 特性を評価する重要な手段であることには変わりはない。



This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.



FigureMET5 Interconnect Metrology Potential Solutions

8. 材料と汚染の評価・解析

急速な新材料の導入、微細化、新デバイス構造や低温プロセスの導入などにより、プロセス開発や品質管理に必要となる材料解析や汚染の評価・解析が引き続き挑戦課題となっている。オフラインの評価・解析手法間での相関評価と、オフラインとインラインとの物理的・電気的評価・解析手法の相関評価は、最終製品であるデバイスの特性と信頼性にとって極めて重要となる高精度な測定指標を実現する上で、しばしば重要となる。評価・解析の精度は、薄膜の厚さや元素濃度などの測定において、今後益々高精度な物が要求されてくる。評価・解析手法は、ウェーハ全面にわたって計測でき、かつクリーンルーム内で使用できるような技術を求めて開発が続けられるべきである。

現在用いられている膜はサブナノメートルレンジまで薄膜化が進みつつあり、現在入手可能な光学技術や光音響技術に更なる困難を与えている。インラインでの膜厚計測や組成元素検出についての技術課題を克服するべく、光の短波長化は、現在 X 線レンジまでに進んでいる。プロセス制御を完全に理解するため、多くの場合、相補的技術が必要となる。例えば、UV エリプソメトリが膜厚、光学定数及びバンドギャップを測定できる一方で、X 線反射計測は薄膜の厚さと密度を計測することができる。

オフラインの評価・解析によって、しばしば、インライン計測では取れない情報が得られる。たとえば、透過電子顕微鏡法 (TEM; Transmission Electron Microscopy) や走査型透過電子顕微鏡法 (STEM; Scanning

Transmission Electron Microscopy)は、極薄膜や界面層の断面を超高分解能で観察・分析することができる。STEMにX線分析や電子エネルギー損失分光法(EELS; Electron Energy Loss Spectroscopy)の検出機能を備えれば、界面の化学結合状態を知ることができる。高性能の二次イオン質量分析(SIMS)やその派生の飛行時間(TOF; Time Of Flight)SIMSを用いて、表面汚染や積層薄膜の分析ができる。微小角入射X線反射率測定法(XRR; X-Ray Reflectivity)を用いて薄膜の厚さや密度を測定することができ、微小角入射X線回折法を用いることにより薄膜の結晶構造に関する情報を得ることができる。XRRの測定においては、他の方法(TEM/STEM、SIMSやイオン後方散乱法)と比較することも含め、拡散散乱や特異散乱を利用することが界面モデルを組み立てる上で非常に重要であると考えられる。電界放射型電子銃を備えたオージェ電子分光(FE-AES; Field Emission Auger Electron Spectroscopy)によって20nm以下の大きさの粒子の元素分析が可能となっている。また、新しい材料を評価するためには、多孔質のLow-k絶縁体のポイド含有量、ポア(孔)サイズ、膜の接着性、機械的性質などの物理特性をオフラインで評価・解析できることが必要である。現在では300mmウェーハの全面までを解析できるこれらのオフライン装置が入手可能となっている。

TEMとSTEMについては画像取得法のさらなる改善・開発が望まれる。TEMやSTEMは、観察試料の加工が必要であるが、注意を払わなければ、これは画像ノイズの原因にもなりうる。STEMは環状検出器の検出角度によって、質量分布に感度の高いインコヒーレント像と、結晶方位や歪に感度の高いコヒーレント像とを選択することができる。いくつかの技術がHigh-kやLow-k材料とそのプロセス開発で利用されつつある。Electron Energy Loss Spectroscopy (EELS)は配向結晶の原子配列を観察する空間分解能を有する。この改良された空間分解能により、EELSをHigh-k膜とシリコン基板との界面領域等の評価・解析に使うことができる。ADF(Annular Dark Field)とEELSを装備したSTEMは半導体デバイス量産の評価装置としてより日常的に使われるようになってきている。しかし、日常の実デバイスの分析においては、結晶配列に沿ったチャネリングの発生する完全結晶とは異なり、アモルファス層や不規則な界面による走査相互作用の増大により、多くの場合空間分解能が制限される。より日常的な、FIB(Focused Ion Beam)による局所的サンプル加工は、一般的に100nm程度の厚みを持つが、フォトレジストの断面観察やゲートサイドウォール角度の計測などの特定用途に対して、これらの手法は十分である。より高度な使用法において、画像と分析に最適な空間分解能を得る為に、50nmより薄いサンプルが必要となるが、Arビームによるin situでのサンプル薄膜化技術は大きな進歩である。画像の再構成ソフトウェアの発達により画像分解能が向上し、界面画像の分解能も高くなった。レンズ収差補正や電子ビーム単色化といったTEMとSTEMにおける技術改善のうちのいくつかは、現在市販され入手可能となった。近年の収差補正scanning TEM (STEM)の飛躍的進歩はとて有望と思われ、接合領域で正しく配置されていない原子についての詳細を明らかにした。さらに、高輝度電子源との組み合わせによって、カーボンナノチューブやグラファイトなど、壊れやすいサンプルの高解像分析の障害となるダメージ限界エネルギー以下の入射ビーム加速電圧にて解像力を改善することができる。これらの全てのTEM/STEM装置の改善には、より薄いサンプルや表面のダメージ低減など、サンプル作製の改善が前提となる。

現時点では一般的に時間が掛かりすぎるとされているが、電子線トモグラフィーによるデバイス構造の3Dモデルは、計測技術の分野で重要な手法になりつつある。電子線トモグラフィーは再構築画像からサンプル表面のダメージ層を取り除けることや、一般的に厚いサンプルが望ましいことなどから、サンプル作製は比較的容易である。

従来のエネルギー分散型X線分光器(EDS; Energy-Dispersive Spectroscopy)といくつかの波長分散型X線分光器(WDS; Wav-Dispersive Spectroscopy)はクリーンルーム内に設置されたSEMでのパーティクルや欠陥の分析が可能である。新しいX線検出器は、局所的な化学結合状態を示すX線ピーク波形のわずかな化学シフト。プロトタイプのマイクロカロリーメータ型EDSと超電導トンネル接合技術により、非常に高いエネルギー分解能が得られ、従来のリチウムドリフト型シリコンEDS検出器では不可能であったオーバーラップピークの分離が出来ている。これらの技術は、ベータサイトシステムがテスト中ではあるが、残念ながら、広く使

われる状況には至っていない。これらの検出器はさらに、励起源として電子ビームや微小焦点 X 線のいずれかを使用してマイクロ XRF(蛍光X線)システム内に実装することもできる。また現在、XPS(X 線光電子分光法)が 50nm までの薄膜の厚さと組成を見る方法として広く使用されている。

他の解析機器も含めこれらのオフライン装置を利用することによって、ロードマップを進める上で重要な情報を得ることができるが、まだ挑戦課題は多く残っている。High-k 材料を用いたゲートスタックの解析は、電気的特性を決めるための長さスケールが影響し、困難である。例えば、金属間化合物や合金を生成する反応による化学的な相互混合は、物理的な界面ラフネスと容易に混同されてしまう恐れがある。EELS や X 線吸収端近傍微細構造(XANES:X-ray Absorption Near Edge Structure)のスペクトル解析などの、局所的原子間相互作用を観察する様な解析技術が多くの場合必要となる。さらにデバイスの微細化が今後進行し続け、新しい非プレーナ型の MOS デバイスが開発されると、プレーナ構造デバイスを想定した解析方法が適用可能か疑わしくなってくる。さらに、スケーリングの進行により高アスペクト比化が進んだ構造中の汚染分析などはもともと難しいものとなる。

新材料の導入は汚染分析にも新しい技術課題をもたらす。たとえば、Cuメタライゼーションで起こる可能性が高いと考えられる相互汚染の分析には、 10^{10} 個/cm²のCuのバルク汚染の検出感度が必要となる。さらに表面汚染についても、ウェーハのエッジエクスクルーージョン部やベベルといった領域まで分析する必要がある。これらはすべてCuの拡散係数が大きいためである。微細化の進行はまた、プロセスにおいて許されたサーマルバジェット(熱的許容度)を低下させる傾向にある。そうすると、金属汚染の挙動やその悪影響を低減するための方策を得るために汚染の評価・解析技術への要求も変化してくる。たとえば低温プロセスにおいては、どの汚染元素に注目しどの程度に制御や分析をしなければいけないのかということが現状とは違ったものとなる。重要な具体例として、カルシウムが非常に薄いゲート酸化膜の完全性に対して与える影響が上げられる。そしてこの元素を 10^8 atoms/cm² レベルで分析することは困難な技術課題となる。気相分解 ICP-MS法などの従来技術ではこのレベル分析を行うにはブランク試料の日間変動による限界がある。さらに付け加えれば、低温プロセスは金属汚染のゲッタリングについても変化をもたらす。この変化によって、適切なゲッタリングを得るためには、金属汚染の評価・解析技術の確立が必要になる。

金属汚染は、ゲート酸化膜の耐圧やCharge Coupled Device (CCD)のバックグラウンドノイズのような電気的なパラメータの劣化を引き起こすデバイス歩留の最たる決定因子であると知られてきていた。歴史的には、モニターウェーハと全反射蛍光X線(TXRF)とポストアニールSurface Photo Voltage (SPV)の組み合わせによって、インラインでのモニタは行われた。不幸にも、金属汚染をトレースする新たな技術の感度が向上し、あるアプリケーションによって決まった特性の基準がより厳密になるに従って、この種の管理手順はしばしば感度と検出能力の限界に直面する。究極の検出限界が数 10^6 atoms/cm²まで到達できるとしたら、Automatic Vapor Decomposition / Ion Coupled Plasma Mass Spectrometry (VPD/ICP-MS)のような技術は極めて有効なツールになりえる。量産ラインでのモニター装置として、ウェーハ内全面もしくは一部分の自動計測が可能となる。さらに加えて、DTLS (Deep level transient spectroscopy) との組み合わせによってフルレンジでの同定および定量能力が実現できる化学反応を利用することで、バルク解析も可能となる。

8.1. 歪デバイスの材料と汚染

SOI (Silicon On Insulator)なしの歪みSiの使用が予想以上に加速したことは、新しい計測技術と分析方法への要求を早める結果となった。これらの技術は、現在評価中、もしくは開発中である。もし、歪みSiをチャンネル構造に持つ基板がバルクSiやSOIウェーハの代わりに使われるようになれば、ゲート酸化膜の計測は一段と複雑になるであろう。歪みSiは、バルクSi上の厚く緩和されたSiGeバッファ層の上でも、またはSOI上の多層の薄いSiGe層からなる非緩和基板の上でも成長させられる。いずれにしても、基板の計測技術は以下のような多くのパラメータを管理する上で不可欠である。1) SiGeバッファの厚さとGeの濃度プロファイル、2) 歪みSiチャンネルの厚さ、3) Si/SiGeの界面とSiの表面の粗さ、4) Siチャ

ンネル内のストレスの大きさや局所的なばらつき、5) Siチャンネル内の貫通転位の密度(望ましい転位密度は、 10^3 から 10^4cm^{-2} 以下と極めて低い)ため、高感度な測定が必要とされる)、6) 双晶や、転位のパイルアップ、または特にSiGe/Siチャンネル界面におけるミスフィット転位等その他の欠陥密度、7) チャンネルやバッファ内でのドーパントの分布(特に熱処理後)。

TEMは、マイクロスケールでの歪み Si の厚さや界面/表面の粗さを決定するのにまもなく使用されるであろう。歪みチャンネルデバイスの、歪み分布の測定やマッピングに、TEM/STEM を活用したいくつかの手法が開発されている。TEM サンプルの薄膜化は、歪みを多少開放してしまう可能性があり、薄膜サンプル加工中に歪みが開放される過程の理解には、有限要素サンプリングが有用であるとも言われているが、TEM/STEM による歪み測定は多くの成果を上げている。貫通転位とミスフィット転位の両方が TEM により観測することができる。しかし、視野が限られているため、転位密度の統計的分析が困難な場合が多々ある。原子間力顕微鏡(AFM)を用いれば、Si チャンネルの表面粗さを決定出来る。光学顕微鏡法は、エッチピット密度(EPD; Etch Pit Density)測定や、表面付近にある貫通転位の密度を決定するのに有効である。エッチの深さを選択するためには、EPD 画像の明確な解釈が必要である。EPD の光学画像における線や点の意味が説明される必要がある。X 線トポグラフィーは、欠陥検出を行える、将来性のある新技術である。Ge やドーパント濃度のプロファイルは SIMS によって簡単に測定することができる。厚い SiGe バッファには高いスパッタレートが必要である一方、高い深さ方向分解能(できる限り低エネルギーのフローティングイオン銃を使って)は薄い Si チャンネルや、チャンネル/バッファ界面の分析を可能にする。スパッタリングで出来たクレータに照射する赤色ホトダイオードを使用した光学的キャリア励起法は SIMS でのチャージアップの問題を回避出来る。これは、SOI 上の歪み Si やドーパされていぬ層の分析にとって特に重要である。

歪み Si に付随する特異的性質は、様々な計測方法をもって分析されてきた。ストレスは格子を歪め、これによって電子帯構造を変化させ、電子や正孔の移動度を高める。ラマン分光分析はストレスを、TEM と XRD は歪みを測ることができる。ラマン分光分析は Si チャンネル内での Si-Si 結合振動エネルギーを測定可能だが、これはこの結合振動エネルギーがストレスに依存するからである。しかしながら、フォノンの歪み電位法(Si-Si 結合のフォノンエネルギーの変動がストレスによるものであるとする)は薄い Si チャンネルには適用出来ない。薄い Si チャンネルに適用する場合、ラマン分光では、Si 基板までレーザー光が侵入するのを防ぐため、紫外レーザーを使った測定を行わなければならない。325nm の波長では光の侵入長が小さく、全てのラマン信号は薄い Si チャンネルから発生し、データ解析が行いやすくなる。波長が長いと、SiGe バッファ内の Si-Si 結合の振動まで現れ信号を複雑にする。SiGe 内の Si-Si 結合の振動のエネルギーは SiGe の組成比とストレスによるものであり、それが問題を複雑にしている。ラマン分光によるマッピングは、約 $0.5 \mu\text{m}$ の最高分解能でウェーハ全域のストレス分布を与える。このようにして、移動度向上度についてトランジスタ間でのばらつきを予測することができる。マッピングの空間分解能は、固体または液体浸漬技術を用いて更に改善されることが望ましい。マイクロ XRD は小さな構造内のストレスの測定にも適用される。しかし現在測定スポットは 5 から $10 \mu\text{m}$ レンジのため、デバイス測定としてはまだ実現可能ではない。

Si の誘電率はストレスの関数となっているため、歪み Si チャンネルのエリプソメータデータの解析は複雑である。この関係(圧光学または弾性光学テンソルを使って記述される)は、定性的には理解されているが、歪み Si チャンネルのエリプソメータにフィッティングを施すのに必要な、充分正確な定量データが欠けている。エリプソスペクトルの紫外部分だけを考慮に入れると、少なくとも十分に滑らかな表面なら、ゲート酸化膜の厚さを決定できる可能性が多少ある。粗い表面だと、表面の粗さのファクタが通常自然酸化膜や、ゲート酸化膜解析時と同様の形で導入されてしまうので、新たな誤差要因となってしまう。正確なゲート酸化膜計測のためには、Si 表面の粗さはゲート酸化膜の厚さより 1 桁程度小さい値が必要である。これが通常のバルクシリコンウェーハの場合だと条件を満たすが、歪み Si の場合、この条件を満たしていないので測定自身に問題がある。エリプソスペクトル中の可視部や紫外部を使う場合には、薄い Si チャンネル中での制限効果はまだ問題とはなっていない。原理的に見れば、エリプソメータは Si チャンネルの厚さだけでなく、その下にある SiGe バッファ層の Ge 含有量も決定できるべきである。しかしながら実際には、エリプソメータのデータから決定された Ge 含有量は少なすぎるが、それはおそらく Si 誘電率計算に歪みの影響を無視していることが原因であろう。エリプソメータでは、擬似多層の Si/SiGe のヘテロ構造の解析の方がずっとうまくいっている。

X線反射率法は、歪み Si の厚さを決定できる、分光エリプソメリとは代替可能な魅力的方法である。それというも、X線の屈折率は殆んど 1 で、ストレスの影響を受けないからである。10-20nm 程度の厚さの Si チャンネルだと、明確な干渉縞(時として、高角度側に、原因不明のピークが現れることがある)を得ることができる。しかしながら、市販のフィッティングルーチンを有したソフトウェアパッケージを使った Si チャンネルの厚さの解析では、常に正しい値が得られるわけではない(TEM との比較において)。おそらく、これは表面の粗さが関係しており、分光エリプソメリより波長の短い光(X線)を扱う X線反射装置の方が表面粗さの影響を受けやすいことによる。X線装置の信頼性やアライメント調整など実験に関することは、既に述べた High-k ゲート絶縁膜での測定時の注意と同様である。研究施設やシンクロトン X線源を使い、高分解能の 3 軸 X線回折法が Si チャンネル中の縦方向(成長方向)の Si 格子定数の決定及びストレス測定に成功している。

数々の顕微鏡観察法が研究、そして開発中である。これらには、ポイント投影顕微鏡(電子線ホログラフィー)や低エネルギー電子顕微鏡があげられる。低エネルギー電子顕微鏡は表面科学の研究に数年間使われてきた。この方法での材料分析や、インライン計測への適用可能性について検討することが必要である。これらの方法の議論は、本章の「顕微鏡観察(Microscopy)」の節で取り上げている。

計測において長期課題とされている 5 つの項目のうちの 1 つは、デバイススケールでの構造や組成の解析である。このニーズに応えるには、原子レベルでの組成や化学的分布の 3D マップを提供する材料分析法を発展させる必要がある。3D アトムプローブやそれに類似した方法は、小さい針状サンプル(直径 50-150nm)の原子間マップを提供できる可能性があり、このサンプルは FIB リフトアウト技術により作製できると思われる。LEAP(Local Electrode Atom Probe)技術はさらなる手法とデータ解析技術の開発が必要であり、非伝導性構造や伝導性と非伝導性を合わせ持つ不均一な伝導性構造の測定については、現状困難である。1 つの課題は、データ取得の際に個々の元素について 100%に近い検出を得なければならないということであろう。電子線トモグラフィはひとつの興味深い成長領域であり、STEM と TEM 両方でチルトシリーズと焦点シリーズ法により推し進められている。収差補正された TEM は、より細く強度の高いプローブを得ることによって、トモグラフィ解析に必要な高い分解能と SN 比を実現でき、今後期待されている。

9. 新探求材料とデバイスの為の計測

本節では、材料とデバイスの評価法とともに、新探求材料とデバイスの為のインライン測定の必要性に関して述べる(新探求デバイスの章を参照のこと)。前回の ITRS の改定以後重要な発展があった。ITRS コミュニティがグラフェンに対して非常に興味を持った結果、その原子構造の観察や新規デバイスとして多様な電気的性質などに関して大きな進展があった。以下にこれについて要約する。新探求材料とデバイスのロードマップから、以下のような横断的な計測ニーズが挙げられる。

- ・ナノスケールの構造組成の評価とイメージング
- ・界面と埋め込まれたナノ構造の計測ニーズ
- ・ナノ構造中の空孔と欠陥の評価
- ・ナノスケール新探求材料物性のウェーハレベルでのマッピング
- ・スピンと電気的特性の同時測定のための計測ニーズ
- ・複合金属酸化物系のための計測ニーズ
- ・分子デバイスのための計測ニーズ
- ・高分子材料のための計測ニーズ
- ・誘導自己組織化のための計測ニーズ
- ・プローブと試料間の相互作用のモデリングと解析
- ・ウルトラスケールデバイスのための計測ニーズ
- ・新探求材料の環境への安全性と健康のための計測

計測ロードマップの本節では、多数のキーとなる測定法の状況と研究ニーズを述べることによって、新探求材料ロードマップにおいて述べた横断的な計測ニーズを補足する。本節は、3次元原子イメージングと分光、走査プローブ顕微鏡を含むその他の顕微鏡のニーズ、ナノ材料の光物性および、新探求材料とデバイスの電氣的評価、の小節から構成されている。

9.1. グラフェンの計測における進展に関する更新

グラフェンの材料、デバイスと計測法の開発分野において多数の研究がなされつつあり、グラフェンの性質を知る上で、計測がキーとなっている。RFトランジスタに基づくデバイスや他のBeyond CMOSデバイスが、クリーンルームプロセスを用いて作製されつつある。大面積のグラフェンがCVDプロセスにより簡便に作製されている。層数、ボイドの存在(グレーン欠損の可能性)やキャリアの移動度を含む多数の主要物性が、日常的に測定できるようになっている。その後の研究により、窒化ボロン基板とグラフェンの近接効果により、キャリアの移動度がSiO₂/Si基板上のそれより増大することが明らかとなっている⁶。単層グラフェン(SLG)と複数層グラフェン(FLG)の特性は、グラフェンが置かれている基板の清浄度やFLGの積層配列に依存することは、現在広く認識されている。2層グラフェンの特性は、これらの2層間の積層配列や相互の回転方位に大きく依存する。グラフェンの特性を知る上で最も重要なものの一つは層数を決定することである。低エネルギー電子顕微鏡、ラマン分光法や光学顕微鏡(低倍率観察が必要な場合)が、層数を決定する上で有効に使用されている。2層グラフェン間の回転方位のミスマッチは、高分解能TEMやSTEMにより決定できる。単層グラフェン(SLG)内の電子-正孔パドル(鞍型バンドギャップ構造)は、1電子が観測可能な顕微鏡(単電子トランジスタをチップとして用いた顕微鏡)によって観察されており、基板のSiO₂膜中の電荷の不均一性に起因することが明らかとなっている⁷。暗視野TEMを用いればCVDで作製したグラフェンのグレーンサイズを所定の手順で測定できる⁸。この例から、デバイス全般の特性を決める上で基板の特性が重要であることが分る。

9.2. メモリスタ(記憶抵抗デバイス)の計測における進展に関する更新

メモリスタのようなレドックス(酸化還元)デバイスには、多数の挑戦的な計測課題がある。例えば、デバイス動作の物理的機構は良く理解されていない。TiO₂を用いたデバイスの動作においては、金属電極間のTiO₂内部で導電性のナノファイラメントが形成されているように思われる。最近、透過電子顕微鏡^{9,10}、放射光を用いた吸収端近傍X線吸収微細構造解析(NEXAFS)による化学状態分析機能を持つ走査透過X線顕微鏡(STXM)¹¹や光電子顕微鏡(PEEM)¹²の観察によって、TiO₂誘電体中に安定なTi₄O₇マグネリ相が形成されることが明らかとなった。このような計測は挑戦的であり、所定の手順で測定できる計測とは大きく異なる。さらに、このようなファイラメントの計測は、新奇材料を理解する上で遭遇する難しさを示している。

9.3. ナノスケール寸法の計測へのインパクトに関するコメント

計測における最も注目すべき挑戦的課題の一つとして、ナノスケール材料の物性に対するニーズが挙げられる。プロセス変動を測定するために用いる材料の特性は、ナノスケールにおいて変化するだけでなく、周りの材料によっても変化する。光学特性(複素屈折率)、キャリア移動度や他の多くの特性が変化する。例えば、SOIの最上層の光学特性は厚さが10nm以下では厚さに依存する。さらに、最近のデータから光学特性はSOIの最上層に堆積したレイヤーに依存することも分かった。このような寸法や材料の積層依存性は、重要な材料の積層構造の特性に関するデータベースを構築する必要性を示している。いくつかの例では、キャリアとフォノン両方の閉じ込め効果が、誘電関数(複素屈折率)、キャリアの移動度や熱輸送などの多くの特性に影響を与えているように思われる。

9.4. 3次元原子イメージングと分光法

9.4.1. 収差補正TEMとELS付きSTEM

収差補正レンズ技術は透過(TEM)及び走査透過電子顕微鏡(STEM)に大きな変革をもたらした。市販のTEM、STEM装置は0.1nm以下の解像度が実証され、電子のエネルギー損失スペクトルでは原子列中の原子の位置が特定さ

れている。収差補正STEM装置は結像の共焦点の性質を利用して、ビーム開き角が大きくなると焦点深度が浅くなることで、3次元での原子レベル解像度に近づきつつある。この技術は既にナノテクノロジーへ応用されている。最近、多層グラフェンの積層構造内での欠陥に沿った単層グラフェンの画像が得られた^{13,14}。ナノテクノロジーにおける収差補正電子顕微鏡の成果には以下のものがある：

- 単層グラフェン、レイヤーの波形状 (corrugation) と欠陥のイメージング
- チタン酸カルシウム (CaTiO₃) 原子列中の単一ストロンチウム原子のエネルギー損失スペクトル (ELS)
- カーボンナノチューブ内にあるヨウ化カリウム (KI) 結晶のカリウムとヨウ素原子両方のイメージング
- ナドット内の原子移動の観察
- 金ナドット触媒中の金原子とシリコン細線間の関係の観察

画像とスペクトルのモデリングの進展により、収差補正の可能性を最大限に引き出すことや、電子源のエネルギーフィルタ及びより高いエネルギー分解能を持つELSといった関連する進歩が可能になると思われる。マルチスライスシミュレーションは、既にナノサイズの材料や他のデバイス用に改良されている。これらのシミュレーションから、ナノワイヤ中のツイイン欠陥の観察には複数角度での観察が必要であることが分かる。ナノサイズが電子線回折パターンに与える影響も興味深い。炭素を含む試料の顕微鏡観察においては、カーボンナノチューブを超えて単層グラフェンの観察が中心となっている。上述した全ての進歩にも拘わらず、軟らかい物質の顕微鏡観察は極めて困難な状況にある。電流密度が増えるにつれ、分子状の試料では結合がより簡単に切れてしまう。高いエネルギー分解能を持つELSは、分子状試料を理解する上で必要不可欠である。

9.4.2 三次元(3D)アトムプローブ

3Dアトムプローブは、小さな針状試料の原子毎の三次構造を再構築ができる質量分析器を搭載した改良型の電界イオン顕微鏡である。TEMの試料作成に通常的に用いられている集束ビームリフトオフ法や、化学/プラズマエッチング法によって、デバイスのある一部から試料を準備することができる。3Dアトムプローブにおいては、針状の試料は、試料の先端からの原子をイオン化するための強い引き出し電界を発生させるための電極に近接して配置される。その電界によって、原子は試料から引き剥がされ、位置に敏感な質量分析器を通して加速される。試料の中の原子の元の位置は幾何学な解析から決定され、また原子の質量は飛行時間から決められる。非金属サンプルの測定は困難であるが、最近ではレーザーパルスを印加する手法により進歩を遂げている。3Dアトムプローブは、三次元的に原子マッピングを可能とする夢に我々を近づけてくれている。現在の検出効率はイオン化した原子の約60%であるが、構築された3Dモデルに影響を及ぼす局所電界効果を解明することに対して、大きな進展があった。

9.4.3 三次元(3D)トモグラフィ

デバイスの構造が複雑になるにつれ、トモグラフィの三次元分解能を1nm以下にする要求が増している。電子線とX線トモグラフィではともに、サブナノメートルの性能を実現できる可能性がある。どのようなトモグラフィ技術でも、画像化するためには多くの異なる角度方向から複数の画像を取得する必要がある。電子線トモグラフィでは、収差補正STEMを用いて原子分解能を実現している¹⁵。さらに、多層ラウエレンズを用いたX線光学系の進展により、簡単な試料に対するサブナノメートル分解能を持つX線トモグラフィの可能性が増している¹⁶。

9.5. 走査プローブ顕微鏡を含む他の顕微鏡の必要性

仮定—微細化が進む既存のCMOSデバイスの構造及び局所的な特性を評価するのと同様に、ポストCMOSデバイスの技術に対する計測上のニーズを予想する必要がある。

9.5.1. 高空間分解能な局所的特性用プローブ：可能性 (Opportunities)

走査型プローブ顕微鏡 (SPM; Scanning Probe Microscopy) は様々な局所的構造及び特性を計測するツールの基盤技術として開発されてきており、その分解能は50nmから0.1nmに及ぶ。走査型容量顕微鏡 (Scanning Capacitance Microscopy)、拡がり抵抗顕微鏡 (Spreading Resistance Microscopy)、導電性探針原子間力顕微鏡は、不純物濃度のプロフ

ァイル計測の為に最適化されてきており、不純物濃度に依存した空間分解能を有している。試料や探針に対する周波数依存信号、及び同時に2つ以上の周波数及び又はプローブによる同時摂動を含めたSPMにおける最近の進歩により、計測の範囲と分解能は拡張されている。

電荷と輸送に関連する局所的計測— デバイス動作中、特に周波数に依存する測定の実行中のその場計測は、重要性を増しつつある。走査型インピーダンス顕微鏡とナノインピーダンス分光法は、電荷のトラップを含めた界面や欠陥の特性を定量化するために8桁の周波数レンジを測定する。局所的な規模での接触電位だけでなく、分子ナノワイヤ中の個々の欠陥もこれらの装置を用いて検出される。走査型表面電位顕微鏡(SSPM; Scanning Surface Potential Microscopy、ケルビン力顕微鏡とも呼ばれる)、数10nmのスケールで材料の仕事関数変動を容易にマッピングでき、電界効果型トランジスタ及び配線構造の評価に利用出来る。この手法の空間分解能が原子スケールにまで拡張できるという証拠が最近出てきている。High-k絶縁膜における表面電位変動の評価が可能であり、これにより高いエネルギーと空間分解能でメタル成膜前後の界面特性に見通しを与えてくれる。最近のSPMによる量子ドット中の単一電子検出から、ある特殊な環境下では更に高いエネルギー分解能化が可能であることが分かった。

スピンの関連する局所的計測— 走査型プローブに関連するツールである磁気共鳴力顕微鏡(Magnetic Resonance Force Microscopy)によって、磁気プローブを使って単一スピンの検出が可能であることが示されている。更に開発が進めば、空間分解能に関する限界と、スピン分極研究の可能性が明らかになり、スピンに基づくデバイスの特性評価がなされるであろう。低感度の磁気力顕微鏡はデバイス内の電流の流れをマッピングするのに利用出来る。磁気検出に制限があるのを一般的に使えるようにするには、標準的な商品として供給できる磁気探針の開発が必要である。

複雑な特性— 恐らく将来世代のデバイスでは、有機物や生体分子成分を含む広範囲な材料群が使用され、さらに、付加的な特性の計測が必要とされる。様々な検出の構成において高い周波数を使うことにより、局所的な誘電定数、電歪、圧電係数、スイッチング動作等が発生する。これらの計測は誘電体の特性評価だけでなく、キャパシタに基づくメモリの開発と複合デバイス構造に対しても重要である。

多重変調(Multiple Modulation)と複合化プローブ— 複数の計測を組み合わせることは、特性を分離する上で必要であり、時には情報を最大にするのに役立つことがある。たとえば磁気力の測定時に発生し、測定を無効にする静電相互作用の例がある。表面電位を高い周波数で計測することにより相互作用を無くし、磁気力は低い周波数で計測することにより、相互作用は分離され定量化される。このアプローチは普遍化された計測ツールを作り出すのに応用できる。

9.5.2. 高空間分解能の局所的特性用プローブ:課題(Challenges)

課題は、製品化の環境と時間スケールの中で益々微細化されるデバイスと複雑な材料群に、これらの手段を提供することである。

全般的なアクセスのしやすさ(General Accessibility)— 研究室に於ける開発から商品化までに要する時間は、性能とアクセスのしやすさとの間の大きな隔たりに帰着する。設計に6年程度の時間を費やす企業もある。このことは、デバイスの研究がHigh-k絶縁膜の為に新しい材料を包含し、異なる構造の探求及びCMOS後の技術に向かうことになるので、現時点で特に重要である。ロードマップの要求に合うように、アクセスしやすくするための新しい仕組みが必要である。

高分解能化— 微細化エレクトロニクス時代においては、より高い空間分解能に向かう傾向は望ましい。SPMの中には、基本原理によって最終的な分解能が制限されるものもあるであろう。その他の最新的手段では、限界が未だ調べられていないものもある。走査ケルビンプローブ顕微鏡に於ける最近の成果は、いくつかの複雑な特性のプローブに対して原子スケールの分解能が可能であることを示唆している。そうであれば、新しい物理が出現し、出てきた結果を解釈するための理論が要求されるであろう。非弾性トンネリングや単一電子検出によって実証されているように、たいいていの計測のエネルギー分解能が向上する可能性がある。最高のエネルギー分解能は低温下で達成されるであろうが、スループットと利便性には相反する。

探針とカンチレバー技術— 製造業者は多くの特殊なSPM用カンチレバー及び探針を開発してきた。製造の再現性にはしばしば問題があり、良品チップの歩留が30%台の場合もある。もっと重大なのは、市販のカンチレバー探針とツール開発に要求されるものとの間の隔たりである。ツール開発用の探針は、埋め込まれた電気回路や複雑な探針の形状を伴っているので、より難しくなっている。

校正標準— ナノメートルサイズの構造物に対する校正標準の欠如は重大な問題である。高い空間分解能域と特殊な環境下では、原子構造を利用出来る。カーボンナノチューブは一般的な選択肢として提案され、静電特性の校正に対しても使用できる。標準校正のための手順はナノメータ寸法領域において引き続き開発されるべきである。

9.6 ナノ物質の光学特性

ナノスケールの結晶材料、特に半導体の光学特性は、量子的閉じ込めと表面状態によって変調を受ける。物質の光学応答の基本的な表現は誘電関数である。誘電関数の虚数部は光の吸収に直接関係している。直接あるいは間接遷移型のバンドギャップを持つ物質において光学応答は、価電子帯の頂上から伝導帯へ電子が励起される臨界点 (Critical Point) によって特徴づけられる。ある遷移は強い励起子 (exciton) 的な性質をもつ。バルクから薄膜、ナノワイヤとナノドットに変化するにつれて、これらの遷移は変化する。

バルク試料の対称性はバンド構造と結合状態密度の両方に強く影響する。1次元、2次元または3次元における量子的閉じ込めは、臨界点のエネルギーと結合状態密度を変化させる。このようにナノサイズ物質に於ける誘電関数の虚数部の形は、結合状態密度の変化と閉じ込めによる新しい臨界点の出現によって変わる。直径2.2nm以下のシリコンナノワイヤにおける強い異方性の出現、及び細線の軸に沿った偏光に対する新しい吸収ピークの理論的予測は興味深い例である¹⁷。強い励起子 (電子とホール) の結合状態からなる準粒子) の特徴をもつ光学的遷移の特性は、良く理解できていない。ナノスケールの物質における励起子の役割の解明のためには、さらに理論的かつ実験的な取り組みが必要とされる。

9.7. 新探求材料とデバイスの為の電気的特性評価

多くの新探求ナノ電子デバイスは、負の微分抵抗や履歴を持ったスイッチングといった従来にはない振る舞いを示す^{18, 19, 20}。新しい電気的測定方法と解析が、これらの新探求材料とデバイスの振る舞いを特性評価するのに要求されるであろう。移動度といった従来からある変数をナノスケールで抽出することは今よりもっと難しい課題である²¹。新探求デバイス技術に対して最終的な性能を決定する変数が何であるかを定めることが重要である。更に、新探求デバイスのある種類の振る舞いは、既存のCMOSとは全く異なったメカニズムに基づいている。例えば、本質的に量子力学的な振る舞いをするデバイスもあれば、計算の状態を変えるのに電荷の輸送ではなく磁束の変化といった別のメカニズムによるデバイスもある。標準的なMOSFET構造とは異なる物理原理によって動く新しいデバイスの為には、主要なデバイス変数とその抽出方法を定義することが必要であろう。新しいデバイス構造及び回路構成の安定性と信頼性を特徴付ける為の方法論を打ち立てることも必要であろう。

電気的なテストの方法論に於ける進歩に加えて、ナノメートルサイズの界面要素 (個々の分子やナノメートルサイズの半導体量子ドットといったもの) と、探針やワイヤーボンドによって電気的に接続される大きな電極や導線とを、信頼性と再現性のある方法でつなぐ為の実行可能なテストストラクチャーが特に必要である。新探求ナノ電子デバイスにおいて、リソグラフィの限界を超える大きさである構成部分への接触方法は、新探求材料とデバイスの電気的評価にとって恐らく最も大きな技術課題である。更に、特に有機材料で作られたナノスケールデバイスでは、金属配線と活性領域との間の界面を調べる為の評価用テストストラクチャーを開発することが必要である。従来に無い材料で作られたデバイスに対して、仕事関数、障壁の高さ、輸送過程といったパラメータを研究し明確にする必要がある。

10. 標準計測システム

標準試料/標準物質は、一つあるいは複数のよく確定された特性値を有する形を持った物であり、計測機器を校正するために用いられる。標準試料/標準物質は、計測において非常に重要な役割を担う。その理由は、異なった計測方法で得られたデータ同士、あるいは設置場所の違い(内部のあるいは外部の)同種の装置によって得られたデータ同士を相互比較したり、モデルと実験結果との照合を行う際、その「物差し」となるからである。また、標準試料/標準物質は、装置の試験運転やベンチマーキングに非常に有用である。

標準試料/標準物質には2つの種類の基本的なものがある。

- 1) 一つ目は、良く校正された物体であり、試験の対象となる計測手法の基準を与えることのできる標準試料/標準物質である。
- 2) もう一つは、上記と同様に重要なものであるが、試験の対象となる機器の正確さを判定することのできる標準試料/標準物質である。最も適切と考えられる標準試料/標準物質は生産プロセスから出てくる製品それ自体である。試験対象の計測機器(TuT: Tool under Test)は、与えられた製品の特徴、例えばライン幅を正確に測定できるように設計されている。製品には、計測の正確さに影響を与えかねない微妙だが重要なプロセス変化が含まれている。計測担当者は、TuTでの計測が困難である重要なプロセスばらつきが存在するかもしれないことを理解し、それらのばらつきを検出できるように適切な評価対象物を選んだり組み込んだりする必要があることを理解しておく責任がある。その上で、これらの評価対象物は適切に検定され文書化された標準計測システムを用いて正確に計測されなければならない。

一次標準試料/標準物質は複数の作製元から種々な形態や等級の物が入手可能である。このような標準試料は重要かつ便利であるが、適用範囲が限られていることが多い。というのは、使用者側の生産プロセスと異なる部分が多く、適切なプロセスばらつきが含まれていないからである。呼称は作製元によって色々であり、認証標準試料/標準物質(certified reference material, CRM)、コンセンサス標準試料/標準物質(consensus reference material)、NISTトレーサブル標準試料/標準物質(NTRM®)、あるいはスタンダード標準試料/標準物質(standard reference material, SRM¹)等がある。米国標準技術研究所(NIST)は、半導体産業における計測科学の国家的な権威のある機関の一つとして、これまで国際的に認められてきた。民間の標準試料/標準物質の供給業者は、校正用に役に立つと思われる物質をNISTにおけるNTRMを開発するための認証システムに提出することができる。標準試料/標準物質の生産者は、NISTの認証システムの下で生産することによって、NISTによって確認された一連の物質に対してNTRMのトレードマークを付けることができる²。

(訳者注:ISOのVIM(国際計量計測用語集)には、標準物質(RM)と認証標準物質(CRM)が定義されている。RMの定義は、"機器の校正、測定法の評価、または物質の値付けに用いるために、単一または複数の特性値が十分に均一で良く確定された物質または材料"、CRMの定義は、"特性値の表現に用いられている単位の正確な提示へのトレーサビリティが確立され、かつ表記された信頼の水準での不確かさが各認証値に付されるといふ手続きによって、その一つまたは複数の特性値が認証された認証書付きの標準物質"とされている。;本ロードマップでは、NIST(米国標準技術研究所、米国の国家計量機関)の用法が記載されている。NISTのRMに適合しており、CRMに適合している場合も有る。NISTのSRMは、ISOのCRMに適合している。)

もう一つの取組みは、ASTMインターナショナルのような権威ある標準推進組織の管理下で、複数の分析機関の試験結果を用いて、標準試料/標準物質の計測認証を行うことである。複数の国の国家計量機関(NMI)が、協議に値する標準を開発し維持している。また、NISTを含む多くの先進的NMIでは、それぞれの国の計量標準を互いに相互承認できるように、また近い将来の重複開発を避けるために綿密な比較を通して同等性を保つための努力をしている³。

(訳者注:グローバル化した社会において、多国間に存在する通商における技術的課題を包括的に解決する仕組みとして、国際度量衡委員会の下に「計量標準の国際相互承認(Mutual Recognition)」という制度が提案された。これは基

¹ NTRM® and SRM® acronyms are registered trademarks of NIST.

² Use of the NTRM mark on a subsequent series of artifacts, even of the same type, requires additional verification testing by NIST.

³ Refer to The International Bureau of Weights and Measures' website <http://www.bipm.org/en/convention.html>.

幹比較(Key Comparison)に基づいて各国の国家計量機関(NMI)の計量の技術能力を審査し、これに基づいて他国の計量のトレーサビリティを承認するというものである。一部であるが、半導体関連の計測技術においても基幹比較がすでに実施され、内容はウェブで公開されている。この制度は2004年より運用されている。))

一次標準試料/標準物質やその計測認証に際し、以下のような技術的要件がある:

- 標準試料/標準物質は、使用しても変化・変質せず、安定した特性値を保持できること;場所的/時間的な特性値の変動は、所望の校正の不確かさより十分に小さくなければならない。
- 標準試料/標準物質を検定し認証するためには、規格化されたか、あるいは、詳細に文書化された手順に基づいて実施されなければならない。現在、満足な測定方法・手順が決まられていない計測分野もある。基本的な測定方法・手順が確立されていないければ、標準試料/標準物質を作ることはできない。
- 標準試料/標準物質を用いた現場での最終的な測定の不確かさは、標準試料/標準物質自身の認証値の不確かさと標準試料/標準物質を未知試料と比較した際の不確かさを含めたものである。このため、標準試料/標準物質の不確かさは最終的に必要な不確かさよりも小さくなくてはならない。目安として、半導体製造プロセスの評価・制御に用いられる装置を校正する場合、校正用標準試料/標準物質の認証値の不確かさは、生産プロセスばらつきの1/4より小さくなければならない。
- モデリングの入力データとして用いられるドーナットプロファイルのように、正確な測定が要求される場合には、標準試料/標準物質の認証値の正確さ(バイアスとばらつきの双方を含めた)は、要求されている最終的な正確さの1/4より良くなければならない。

測定に携わるプロセスエンジニアには、標準試料/標準物質の取扱や取得結果の判断に間違いが生じないように、十分な教育・訓練を積み重ねなければならない。

11. 標準計測システム

標準計測システム(RMS; Reference Measurement System) は一つの機器であるか、いろいろなアスペクトの寸法測定においていくつかの機器がそれぞれの性能によって互いに補完し合う一組の機器である。RMS は、応用物理学、音響統計学、関連標準、利用可能な最適な計測プロトコルに基づく測定誤差の適切な取り扱い方法など、寸法計測のための最良の科学技術に基づいて十分に評価されたものである。十分に評価されているために、RMS は生産工場に置かれている他の装置よりも恐らく桁違いに正確であり、精度が高いであろう。RMS はその他の測定システムがうまく折り合えるように十分に安定してなければならない。RMS は工場の計測装置間での測定の違いを追跡し、生産用計測器のパフォーマンスやマッチングを昼夜に渡り制御するために利用できる。

この機器に要求されたパフォーマンスや信頼性のために、RMS は工場の他の機器よりも著しく高度の注意、精査、テストを必要とする。最良と思われるこの“golden” 機器を用いた測定を行うことは、生産とコスト低減の一助となる。しかしながら、測定されたウェーハをプロセスストリームに戻すことができるように、この計測機器は生産ラインのクリーンな環境の中に設置されなければならない。このことは半導体プロセスの性質による。RMS は一企業内、あるいは複数企業にまたがる in-house 標準ともなるため、被測定ウェーハは他の生産ラインからも届き、測定後返却することがある。

参照文献

- ¹ Bunday, B., Cordes, A., Allgair, J., Aguilar, D., Tileli, V., Thiel, B., Avitan, Y., Peltinov, R., Bar-Zvi, M., Adan, O., & Chirko, K. "Electron-beam induced photoresist shrinkage influence on 2D profiles". Metrology, Inspection, and Process Control for Microlithography XXIV. J. Proceedings of the SPIE, Volume 7638, pp. 76381L-76381L-21 (2010).
- ¹ R. Attota, R. G. Dixon, J. A. Kramar, J. E. Potzick, A. E. Vladár, B. Bunday, E. Novak, and A. Rudack, TSOM Method for Semiconductor Metrology, Proc. of SPIE Vol. 7971 79710T-1.
- ³ S. Bernard, R. A. Miller, V. Pepper, J. Braggin and F. F. C. Duval, "Impact of using filtration on global and local uniformity of spin on glue materials", Proc. SPIE 7926, 79260F (2011); doi:10.1117/12.878757
- ⁴ A. Vaid, B. Yan, Y. Jiang, M. Kelling, C. Hartig, J. Allgair, P. Ebersbach, M. Sendelbach, N. Rana, A. Katnani, E. Mdellan, C. Archie, C. Bozdog, H. Kim, M. Sender, S. Ng, B. Sherman, B. Brill, I. Turovets, R. Urensky, A holistic metrology approach: hybrid metrology utilizing scatterometry, CD-AFM, and CD-SEM, Proc. of SPIE Vol. 7971, 797103.
- ⁵ Bunday, B., Rijpers, B., Banke, W., Archie, C., Peterson, I., Ukraintsev, V., Hingst, T., and Asano, M. "Impact of Sampling on Uncertainty: Semiconductor Dimensional Metrology Applications," Proc. SPIE 6922, 6922-0X, pp 0X-1 to 0X-22, March, 2008.
- ⁶ C.R. Dean, A.F. Young, I. Meric, C. Lee, L. Wang, S. Sorgenfrei, K. Watanabe, T. Taniguchi, P. Kim, K.L. Shepard, J. Hone, Boron nitride substrates for high quality graphene electronics, *Nature Nanotechnology* 5, 722–726, (2010).
- ⁷ J. Martin, N. Akerman, G. Ulbricht, T. Lohmann, J. H. Smet, K. von Klitzing & A. Yacoby, *Nature Physics* 4, 144 - 148 (2008).
- ⁸ P. Y. Huang, C. S. Ruiz-Vargas¹, A. M. van der Zande, W. S. Whitney, S. Garg³, J. S. Alden, C. J. Hustedt, Ye Zhu, J. Park, P. L. McEuen, D. A. Muller, Grains and grain boundaries in single-layer graphene atomic patchwork quilts, *Nature* 469, (2011), 389–392.
- ⁹ William M.Tong, J.JoshuaYang, PhilipJ.Kuekes, Duncan R. Stewart, R.StanleyWilliams, Erica Delonno, Everett E. King, Steven C. Witzcak, Mark D. Cooper, and Jon V. Osborn, Radiation Hardness of TiO₂ Memristive Junctions, *IEEE Transactions On Nuclear Science*, Vol.57, No.3, June 2010
- ¹⁰ Deok-Hwang Kwon,¹ Kyung Min Kim,^{1,2} Jae Hyuck Jang¹, Jong Myeong Jeon¹, Min Hwan Lee, ^{1,2} Gun Hwan Kim,^{1,2} Xiang-Shu Li,³ Gyeong-Su Park,³ Bora Lee⁴, Seungwu Han,¹ Miyoung Kim,^{#1} and Cheol Seong Hwang, Atomic structure of conducting nano-filaments in TiO₂ resistive switching memory, Supplementary Information, *Nature Nanotechnology*, doi: 10.1038/NNano.2009.456.
- ¹¹ John Paul Strachan, Dmitri B Strukov, Julien Borghetti, J Joshua Yang, Gilberto Medeiros-Ribeiro, and R Stanley Williams, The switching location of a bipolar memristor: chemical, thermal and structural mapping, *Nanotechnology* 22 (2011) 254015 (6pp).
- ¹² John Paul Strachan, J Joshua Yang, Ruth Munstermann, Andreas Scholl, Gilberto Medeiros-Ribeiro, Duncan R Stewart and R Stanley Williams, Structural and chemical characterization of TiO₂ memristive devices by spatially-resolved NEXAFS, *Nanotechnology* 20 (2009) 485701 (6pp).
- ¹³ J.C. Meyer, C. Kisielowski, R. Erni, M.D. Rossell, M. F. Crommie, and A. Zettl, Direct Imaging of Lattice Atoms and Topological Defects in Graphene Membranes, *Nano Lett.* 8, (2008), 3582–3586.
- ¹⁴ J.H. Warner, M.H. Rummeli, Thomas Gemming, B. Buchner, and G.A. D. Briggs, Direct Imaging of Rotational Stacking Faults in Few Layer Graphene, *Nano Letters* 9 (2009), 102 – 106.
- ¹⁵ H. L. Xin and D. A. Muller, Aberration-corrected ADF-STEM depth sectioning and prospects for reliable 3D imaging in S/TEM, *Journal of Electron Microscopy* 58(3): 157–165 (2009).
- ¹⁶ Hanfei Yan, X-ray dynamical diffraction from multilayer Laue lenses with rough interfaces, *Phys. Rev. B* 79, 165410 (2009).
- ¹⁷ Li Yang, C. D. Spataru, S.G. Louie, and M. Y. Chou, Enhanced electron-hole interaction and optical absorption in a silicon nanowire, *Phys. Rev. B* 75, 201304_R, (2007).
- ¹⁸ J. Chen, M.A. Reed, A.M. Rawlett, and J.M. Tour, *Science*, 286, 1550–1552 (1999).
- ¹⁹ C.P. Collier, G. Mattersteig, E.W. Wong, et al., *Science* 289, 1172–1175 (2000).
- ²¹ Richter, C.A., D.R. Stewart, D.A.A. Ohlberg, R.S. Williams, *Appl. Phys. A*, 80, 1355–1362 (2005).
- ²² S.-M. Koo, A.-F. Fujiwara, J.-P. Han, E. Vogel, C. Richter, and J. Bonevich, *Nano Lett.*, Vol. 4, 2107–2111 (2004).

