



INTERNATIONAL
TECHNOLOGY ROADMAP
FOR
SEMICONDUCTORS

2013 EDITION

EMERGING RESEARCH MATERIALS

THE ITRS IS DEvised AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

The ITRS is Jointly Sponsored
by

European Semiconductor Industry Association

Japan Electronics and Information Technology
Industries Association

Korea Semiconductor Industry Association

Taiwan Semiconductor Industry Association

Semiconductor Industry Association

ESIA
JEITA



ITRS の共同スポンサーは ESIA, JEITA, KSIA, TSIA, SIA です。

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2013 Edition(国際半導体技術ロードマップ 2013 年版)本文の日本語訳である。

国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors, 以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 15 のワーキンググループ(WG: Working Group)が組織され、半導体集積回路メーカー、半導体製造装置メーカー、材料メーカー、大学、独立行政法人、コンソーシアムなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2013 年版は英文で 1000 ページを超える文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、ITRS 2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要が限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。ITRS 2009 年版以降、電子媒体で ITRS を公開することを前提に編集を進め、ITRS の表は原則として、Microsoft Excel のファイルとして作成し、そのまま公開することにした。

ITRS は英語で書かれている。日本語訳の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くは専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字、脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただけますよう、お願い申し上げます。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部は英文のまま掲載することとした。Overview の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出していない。また、ITRS 2013 年版では、各章の要約(Summary)を別のファイルとして作成し公開しているが、今回はこれを訳出していない。要約(Summary)は原則として、本文の抜粋となっていて、本文の日本語訳があれば、日本の読者にとっては十分と考えたためである。

原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors, 以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。Executive Summary の用語集(Glossary)も参照されたい。原文の括弧()があってそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれ

ているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳作成にあたり、編集作業を担当いただいた、JEITA 内 SRTJ 事務局の幾見 宣之さん、関口美奈さんには大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2014 年 7 月

訳者一同を代表して

電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長
石内 秀美 (株式会社 東芝)

版權について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2014 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • SEMATECH, Inc. , 257 Fuller Road, Albany, NY 12203 • <http://www.itrs.net>

Japanese translation by the JEITA, Japan Electronics and Information Technology Industries
Association under the license of the Semiconductor Industry Association

ー引用する場合の注意ー

原文(英語版)から引用する場合: ITRS 2013 Edition, Chapter XX, page YY, Figure(Table) ZZ

この日本語訳から引用する場合: ITRS 2013 Edition (JEITA 訳) XX 章、YY 頁、図(表) ZZ
のように明記してください。

問合せ先:

一般社団法人 電子情報技術産業協会

半導体技術ロードマップ専門委員会 事務局

電話: 03-5218-1061 電子メール: roadmap@jeita.or.jp

Table of Contents

新探究材料 Emerging Research Materials	1
1. スコープ (Scope)	1
2. 困難な課題 (Difficult Challenges).....	1
3. イントロダクション(Introduction)	4
4. 新探究デバイス材料(Emerging Research Device Materials).....	4
4.1. 新探求メモリ用材料 (Emerging Memory Materials).....	5
4.2. 新探究ロジックデバイス向け材料 (Emerging Logic Materials).....	9
4.3. スピン材料 (Spin Materials).....	20
4.4. コンタクト抵抗 (Contact Resistance).....	24
4.5. 複合金属酸化物材料、それらの界面と超格子 (Complex Metal Oxide Materials, Interfaces, and Superlattices).....	25
4.6. 将来の新探求デバイスのための新機能 (Emerging Capabilities for Future ERD).....	27
5. リソグラフィ材料 (Lithography Materials).....	30
5.1. レジスト材料 (Resist Materials)	30
5.2. リソグラフィ技術延命の為の誘導自己組織化 (Directed Self Assembly for Lithography Extension).....	35
6. 探求的フロントエンドプロセス、プロセスインテグレーション、デバイスおよび構造に対する材料の挑戦と選択(Emerging Front End Processes' and Process Integration, Devices, and Structures' Material Challenges and Options).....	41
6.1. 困難な挑戦 (Difficult Challenges).....	41
6.3. 超高誘電率ゲート絶縁膜 (Ultra High k Dielectric)	44
6.4. 選択エッチングと洗浄／表面前処理 (Selective Etch and Clean/Surface Preparation)	44
6.5. コンタクト(Contacts)	45
6.6. InGaAs 代替チャネル材料 (InGaAs Alternate Channel Materials).....	46
7. 配線 (Interconnects)	46
7.1. 新奇超薄膜バリア (Novel Ultrathin Barriers)	47
7.2. 新奇配線 (Novel Interconnects)	48
7.3. Low-k 層間絶縁膜 (Low κ Interlevel Dielectric)	50
8. 実装とパッケージ (Assembly and Packaging).....	51
8.1. パッケージ基板製造材料 (Materials for Package Substrate Fabrication)	51
8.2. パッケージ実装材料 (Package Assembly Materials).....	52
8.3. 将来のパッケージングのためのポリマー材料 (Polymer Materials For Future Packaging).....	55
8.4. 将来のパッケージのための低次元材料 (Low Dimensional Materials For Future Packaging)	57
9. 環境・安全・健康 (Environment, Safety, and Health)	58
10. 評価技術 (Metrology).....	58
10.1. ナノメータースケール構造／組成の評価とイメージング(Characterization and Imaging of Nano-scale Structures and Composition).....	59
10.2. 界面と埋め込まれたナノ構造に対する計測のニーズ (Metrology Needs for Interfaces and Embedded Nano-structures).....	59

10.3.	ナノスケールの構造における欠損および欠陥の評価 (Characterization of Vacancies and Defects in Nano-scale Structures).....	60
10.4.	原子一層厚さに均一に分布しているドーピングの計測 (Metrology for Monolayer Conformal and deterministic doping) ⁷⁻¹¹	60
10.5.	新規材料のナノスケール特性のウェハーマッピング (Wafer Level Mapping of Properties of Nanoscale Emerging Research Materials (ERM)).....	61
10.6.	スピンおよび電気特性の同時測定のための計測のニーズ (Metrology Needs for Simultaneous Spin and Electrical Measurements).....	61
10.7.	配線材料の計測技術 (Interconnect Material Metrology)	62
10.8.	複合金属酸化物系のための計測ニーズ (Metrology Needs for Complex Metal Oxide Systems) .	63
10.9.	分子デバイスのための計測 (Metrology for Molecular Devices).....	64
10.10.	機能性分子材料のための計測のニーズ (Metrology Needs for Macromolecular Materials)	64
10.11.	誘導自己組織化技術のための計測のニーズ (Metrology Needs for Directed Self-Assembly).....	64
10.12.	プローブとサンプル間の相互作用のモデリングと分析 (Modeling and Analysis of Probe-Sample Interactions).....	65
10.13.	ウルTRASケールデバイスのための計測のニーズ (Metrology Needs for Ultra-scaled Devices)	65
10.14.	ERM 素子材料に対する計測技術の進歩 (Progress of Metrology for ERM Device Materials)	66
11.	モデリング/シミュレーション (Modeling and Simulation)	67
11.1.	デバイスのモデリングとシミュレーションにおける機能のニーズ (Device Modeling and Simulation Capability Needs).....	67
11.2.	リソグラフィーのモデリングとシミュレーションのニーズ (Lithography Modeling and Simulation Needs).....	67
11.3.	配線のモデリングとシミュレーションのニーズ (Interconnect Modeling and Simulation Needs)	68
11.4.	モデリングとシミュレーションの可能性 (Modeling and Simulation Capabilities)	68
12.	新探究材料のトランジション・テーブル(ERM Transition Table).....	75
13.	References.....	76

List of Figures

Figure ERM1	Self Assembled Polymers Directed by Guide Patterns	39
Figure ERM2	Directed Self Assembly of Small Contacts in Guide Patterns	40
Figure ERM3	Directed Self Assembly of Multiple Contacts in a Single Guide Pattern	40
Figure ERM4	Complex Coupling of Polymer Properties	56
Figure ERM5	Modeling of Synthesis to Properties	68
Figure ERM6	Modeling from Molecules to Circuits	70
Figure ERM7	Multiscale Modeling	74

List of Tables

Table ERM1	Emerging Research Materials Difficult Challenges	2
Table ERM2	Applications of Emerging Research Materials	4
Table ERM3	ERM Memory Material Challenges	5
Table ERM4	Challenges for ERM in Alternate Channel Applications	10
Table ERM5	Alternate Channel Materials Critical Assessment	16
Table ERM6	Spin Devices versus Materials	18
Table ERM7	Spin Material Properties	20
Table ERM8	Challenges for Lithography Materials	30
Table ERM9	Select Block Co-polymer Properties	37
Table ERM10	Directed Self Assembly Critical Assessment (2013)	41
Table ERM11	FEP/PIDS Challenges for Deterministic Processing	42
Table ERM12	Interconnect Material Challenges	46
Table ERM13	Nanomaterials Interconnect Material Challenges	48
Table ERM14	Assembly and Packaging ERM Challenges	51
Table ERM15	ITWG Earliest Potential ERM Insertion Opportunity Matrix	58
Table ERM16	Metrology Challenges and Needs Table	59
Table ERM17	Device Material Modeling and Simulation Challenges and Needs	67
Table ERM18	Lithography Material Modeling and Simulation Challenges and Needs	68
Table ERM19	Interconnect Material Modeling and Simulation Challenges and Needs	68
Table ERM20	ERM Transition Table	75

新探究材料 EMERGING RESEARCH MATERIALS

1. スコープ (SCOPE)

新探究材料(Emerging Research Materials, 以下 ERM)章では、材料研究のコミュニティに対して、将来 ITRS のソリューションになる可能性のある新材料技術を、今から研究所で取り組んでもらうため、挑戦的な研究課題のガイドラインを示している。ITRS の各技術ワーキンググループ(ITWG)から、将来における技術的要求を満たす特性を示す新材料を必要とするニーズを明確化してもらう。それらは、集積化を進めるもの、計算機能を向上させるためにエネルギーの効率的利用を進めるもの、信頼性を向上するものなどである。ERM では、これら集積化、省エネルギー、信頼性を向上させるといったニーズを満たす可能性がある特性を示す新材料を提示していく。本章では、新メモリやロジックデバイス、リソグラフィ、フロントエンドプロセス、配線、アッセンブリとパッケージの開発を支える材料を取り扱う。本章では、これらの新材料に対して、材料自身、プロセス、界面の制御に対する要求、そして、それらを支える計測技術、モデリング、シミュレーション技術への要求も記載している。さらに、新材料の導入にあたってその評価が必要となる、環境、安全、そして健康に関する課題も提示した。また、2013 年度版では、CMOS エクステンション(「CMOS 延命」)のためのチャネル代替材料と、リソ延命のための誘導自己組織化(directed self-assembly) に関するクリティカルアセスメント(「批判的査定」)を行った。

ERM のスコープには、新探究デバイス(ERD)のほかにも、リソグラフィ、フロントエンドプロセス(FEP)、配線、アッセンブリとパッケージ(A&P)ほかの各技術の将来を支えるために必要な材料物性、合成法、計測とモデリングなどが含まれる。例えば、新デバイス用材料としてのスコープには、メモリやロジックデバイス関連材料、プレーナー型の p 型 III-V 族化合物半導体や n 型 Ge、ナノワイヤ、カーボンナノチューブやグラフェン、2 次元材料、スピン材料や複合金属酸化物が含まれる。幾つかの漸進的、革新的な ERD の中には、ITRS で以前から議論されている既存の材料とプロセスで実現可能なものもあるが、それらはここでは取り扱わない。リソグラフィのための ERM には、リソ延命として注目を集めている、新しい分子や巨大分子、レジストによる究極のパターニング、自己組織化技術などが含まれる。FEP の ERM には、低い漏れ電流で Ultra-high-k となる材料、ドーピングを低ダメージで、かつあらかじめ定めた場所に行く「決定論的ドーピング技術」や、超低コンタクト抵抗を実現するプロセス、さらには、選択エッチング、デポジションやクリーニングのための新材料技術などが含まれる。配線の ERM には、Cu 配線を延命させるための新極薄バリアや 10nm 以下の低抵抗コンタクト、配線、ビア、Ultra-low-k 層間絶縁膜(ILD)のための新奇材料などが含まれる。実装とパッケージングの ERM には、高信頼な電気配線や熱接触を可能とする材料や、ユニークな電氣的、熱的、機械的特性をあわせ持つポリマー、超高出力密度高速キャパシタなどが含まれる。

将来の集積化回路の持続的な発展に、これらの新材料が貢献するためには、乗り越えなければならない数多くの挑戦的課題がある。そして、ERM の評価や性能向上を加速するためには、高度化された計測とモデリングが必要となるであろう。さらに、研究開発や製造現場で ERM を安全に取り扱うと共に、製造から消費、また廃棄に至る製品のライフサイクルにおいても ERM が環境に対して穏やかであり続けるためにも、ERM に関する環境と安全、健康(ESH)問題の研究が必要となっている。

2. 困難な課題 (DIFFICULT CHALLENGES)

ERM の困難な技術課題は、Table ERM1 にまとめられている。おそらく ERM にとっての最も困難な課題は、複数の要求特性にかなう材料オプション(選択候補)を、導入判断に影響を与える時期に作れるかどうかであろう。それらの材料オプションは、高集積度 ERD やリソグラフィ技術、ナノスケール配線形成やその動作、パッケージングの選択肢などを実現するための潜在能力を持っていないと見なければならぬ。ナノメートルスケールでの応用には、複数の要求特性を同時に満たす材料を見極める必要があり、そのためには

研究コミュニティ内での共同研究や共同作業が必要と言える。加速された合成、計測、モデリングのイニシアティブは、合目的な材料設計能力を高め、発展的な ERM 技術実現にむけて不可欠である。改善された計測やモデリングツールは、これらエマージングなナノ材料のロバストな合成法の発展にも不可欠である。多くの ERM 材料が成功するかどうかは、求められる組成やモフォロジー、そして要求されている集積化された機能とを合わせ持った役立つナノ構造を作り出せて、かつ量産技術とも互換性のあるロバストな合成法にかかっている。

Table ERM1 Emerging Research Materials Difficult Challenges

<i>Difficult Challenges 2013-2020</i>	<i>Summary of Issues</i>
<i>Achieving desired properties in integrated structures</i>	Identify integrated high k dielectrics with EOT <0.5nm and low leakage Identify integrated contact structures that have ultralow contact resistivity Achieving high hole mobility in III-V materials in FET structures Achieving high electron mobility in Ge with low contact resistivity in FET structures Achieving a bandgap in graphene in FET structures Multiferroic with Curie temperature >400K and high remnant magnetization to >400K Ferromagnetic semiconductor with Curie temperature >400K Synthesis of CNTs with tight distribution of bandgap and mobility Electrical control of the electron correlation, ex. Mott transition, Spin dynamics Simultaneously achieve package polymer CTE, modulus, electrical, thermal properties, with moisture and ion diffusion barriers Thermal interface materials with low interface thermal resistance and high thermal conductivity with desired electrical and mechanical properties. Nanosolders compatible with <200C assembly, multiple reflows, high strength, and high electromigration resistance NanoInks that can be printed as die attach adhesives with required electrical, mechanical, thermal, and reliability properties. NanoInks that can be printed as conductors, via hole fillers, solders, or die attach adhesives with required electrical, mechanical, thermal, and reliability properties.
<i>Characterize and control coupled properties of embedded materials and their interfaces</i>	High mobility transition metal dichalcogenides TMD with unpinned Fermi level and low resistance ohmic contacts High electron mobility in Ge with unpinned Fermi level and low resistance ohmic contacts High mobility in nanowires with unpinned Fermi level Graphene with a bandgap, high mobility, and unpinned Fermi level at dielectric interfaces Complex metal oxides with unpinned Fermi levels Nanoscale observation of the magnetic domain structure, for example, the domain in STT-RAM under the magnetic field, i.e., the dynamic operation Characterization of electrical properties of molecule / metal contact interfaces (i.e. Pentacene/Au) Characterization of electrical properties of embedded nano contact interfaces (i.e. CNT/Metal) CNTs with low resistance contacts on both ends Characterization for density of dislocations and anti-phase boundary generating interface between Ge/III-V channel materials and Si
<i>Identifying manufacturable methodologies to enable deterministic fabrication with required property control</i>	Dopant placement and activation i.e. deterministic doping with desired number at precise location for Vth control and S/D formation in Si as well as alternate materials HVM compatible methods to place dopants in predetermined positions with minimal damage to the semiconductor Manufacturing and purification methodologies of CNT to achieve required purity levels (pure semiconductor with bandgap) Identify DSA process simplification methodologies that can achieve required overlay requirements Wafer scale growth of high quality graphene with desired process conditions (ex. Low temperature growth on metal or insulator) Controlling edge-termination / molecular absorption to graphene to achieve required bandgap Synthesis or assembly of CNTs in predefined locations and directions with controlled diameters, chirality and site-density III-V: Correlation between antiphase domains and electrical properties
<i>Ability to control defects in material processing</i>	Methods to reduce directed self assembly based defects to <0.01cm⁻² for litho extension Control defects in carbon nanotubes Control defects in growth and processing of graphene Control concentration and locations of cation and anion defects in complex metal oxides Control precipitation in ferromagnetic semiconductors Characterization for density of dislocations and anti-phase boundary generating interface between Ge/III-V channel materials and Si
<i>Control of Self-assembly processes to achieve desired properties reproducibly</i>	DSA for Litho Extension: Simultaneously achieve required feature sizes in predetermined arrays with low anneal time, low defect density DSA for Litho Extension: Efficient CAD models to enable translating design features to guide structures on photomasks.

<i>Table ERM1 Emerging Research Materials Difficult Challenges</i>	
	DSA for Litho Extension: Registration of self-assembled patterning materials in desired locations with control of geometry, conformation, interface roughness, and defects DSA for Litho Extension: Achieve realistic device pattern with reduced pattern roughness and defects Demonstrate self assembly's ability to deterministically control locations of dopants conformally on 3D structures
<i>Difficult Challenges 2021-2028</i>	Summary of Issues
<i>Electric field control of the electrochemical reaction in a nanoscaled device and at an interface</i>	Complex Oxides: Control of oxygen vacancy formation at metal interfaces and interactions of electrodes with oxygen and vacancies Switching mechanism of atomic switch: Improvements in switching speed, cyclic endurance, uniformity of the switching bias voltage and resistances both for the on-state and the off-state. Nano-Carbon / metal functional junction, such as new switch, by using electrochemical reactions Molecular device fabrication with precise control using electrochemical reactions
<i>Metrology to characterize structure and properties of materials at the nanometer scale</i>	Development of the method to evaluate the validity of the measurement result for each ERM Electrical and thermal properties of each carbon nanotube Nanowire characterization of mobility, carrier density, interface states, and dielectric fixed charge effects Graphene and TMD mobility and carrier concentration Complex metal oxide characterization of carrier density, dielectric and magnetic properties Spin materials: characterization of spin, magnetic and electrical properties and correlation to nanostructure Characterization of electrical properties of embedded nano contact interfaces (ex. CNT/Metal) Evaluating material properties in realistic device structures Nanoscale observation of the magnetic domain structure, for example, the domain in STT-RAM under the magnetic field, i.e., the dynamic operation
<i>Metrology to characterize defects at the nanometer scale with atomic resolution</i>	CNT vacancy and interstitial ordering around dopants Nanowires: Characterization of vacancies, interstitials and dopants within the NW and at interfaces to dielectrics Graphene: Characterization of edge defects, vacancies and interstitials within the material and at interfaces Metal nanoparticles: Native oxide interface and crystal defects in the nanoparticle Complex Oxides: Location of oxygen vacancies and the valence state of the metal ions Spin materials: characterization of vacancies in spin tunnel barriers, and defects within magnetic materials and at their interfaces Evaluating material properties IN realistic nm scale devices Characterization of edge structure and termination with atomic resolution (ex. Graphene nano ribbon, TMD, etc.)
<i>Accurate multiscale simulation for predictions of unit processes the resulting structure, properties and device performance.</i>	Linkage between different scales in time, space, and energy bridging non-equilibrium phenomena to equilibrium phenomena Transferable simulation tools for many kinds of materials Development of platform for different simulation tools, such as TCAD and ab-initio calculations Nanowires: Simulation of growth and defect formation within and at interfaces CNTs: Simulation of growth and correlation to bandgap Graphene: Simulation of synthesis, edge defects, vacancies, interstitials, interfacial bonding, and substrate interactions. Atomistic simulation of interfaces for determining Fermi level location and resulting contact resistivity Nanoparticles: Simulation of growth and correlation to structure and defects Complex Oxides: Multiscale simulation of vacancy formation, effect on metal ion valence state and effect of the space charge layer Spin: Improved models for multiscale simulation of spin properties within materials and at their interfaces.
<i>Fundamental thermodynamic stability and fluctuations of materials and structures</i>	Geometry, conformation, and interface roughness in molecular and self-assembled structures Device structure-related properties, such as ferromagnetic spin and defects Dopant location and device variability

ERM がエマージングなデバイス、配線、パッケージ技術の向上に資するためには、埋め込まれた界面特性を評価し、制御できなければならない。形状がナノメートルのスケールに近づくにつれ、基本的な熱力学的安定性や揺らぎの問題が、わずかな寸法ばらつきや制御した有用な特性をもつナノ材料の加工に制限を与えるかもしれない。

Table ERM1 にリストアップされた困難な技術課題は、本章で取上げている ERM の進化を律速するものとなる。異なるデバイス構造や応用環境のもとで、材料最適化や予測される性能解析を行うためには、計測法の進展が必要である。それゆえ材料合成とキャラクタリゼーション、モデリングのコミュニティ間連携が重要であることは、何度言っても言い過ぎではないだろう。材料の進歩には、合成条件と組成や構造、そしてそれらが材料の持つ機能特性へ与えるインパクトとの間にある相互関係を理解することが求め

られる。そこで評価方法は、組成と構造、機能特性間の定量的相関を確立するのに十分でなければならない。さらに言えば、それはモデルの実証を可能にし、要求される材料特性の設計や最適化を加速するための助けにならなければならない。ERM モデルや応用技術開発を加速するための知識基盤が確立されるにあたって、モデルの検証には実験研究者と理論研究者間の密接な連携が必要である。

3. イントロダクション(INTRODUCTION)

ERM 章には、【まだその実現に向けた】解決策が見出されていない応用技術領域で省エネルギー効率化を図りつつ回路の高集積化を持続させることのできる材料群が記載されている。新物性を示す多くの ERM が複数の領域の応用に適用可能であり、このことは TABLE ERM2 に強調されている。

Table ERM2 Applications of Emerging Research Materials

ERD ロジック素子を支援するために、ERM では、より微細化が可能でキャリアの散乱が少ない、即ち省エネルギー効率の高い数多くの代替チャネル材料を査定してきた。2008 年に、ERD は、情報処理能力を高め、beyond CMOS 素子応用にも適用できる候補として、カーボンベース素子が高い可能性を持つと査定した。ゆえに、ERM ではこれらの材料に係わる研究開発を推進する研究ニーズを調査した。Beyond CMOS 素子としては、スピンのような電荷以外の状態変数による情報処理を可能とする材料を探索した。これらは、省エネルギー効率を劇的に高め、何世代にもわたってそれを延命させられるものとなるかもしれない。ERD メモリ素子に関しては、ERM では、メモリの書き込みと読み出しに必要なエネルギー効率を改善し、より高い集積度を実現する材料の評価を行ってきた。2010 年に、ERD では、高集積度メモリ技術を実現し、そしてその加速のために更なる研究を必要とする候補として STT-RAM と Redox RAM を査定するに至った。ゆえに、ERM では、これらの関連技術の進展を支援するために重要となる研究を査定した。

リソグラフィに関して、ERM では、数多くの 193nm リソの延命を実現するフォトレジストと EUV 用レジストの実用可能性を調査及び検討した。ERM では、パターンの密度増倍を介してリソ延命を可能とする自己組織化(DSA)のクリティカルアセスメントも行っている。FEP に関して、ERM では DSA を評価するとともに、デバイスの特性を向上し省エネルギー効率を改善するかもしれない技術としてのドーパント位置制御とイオン注入による損傷の低減を可能とする新コンセプトも評価している。配線 TWG を支援するために、ERM では、エネルギー損失と配線遅延を低減し、銅配線技術を延命する新奇材料を評価している。そして、電気抵抗を劇的に低減し、演算処理のエネルギー効率を改善する可能性を備えたカーボン材料(カーボンナノチューブとグラフェン)からなる配線技術を探索している。実装とパッケージングについては、製品信頼性を高めるポリマー特性を改善する材料と、製品信頼性と実装温度を下げることのできる新奇な電氣的接合材料を探索している。

研究段階は首尾よく行って実用化の準備まで進められたとしても、ERM の環境、安全、健康への特性が十分理解されかつ利用できるようになれば意味がない。計測やモデリングも、応用に向けた ERM を改善し、評価するものとして必要である。計測法は、ナノメートルスケールでの構造や組成を評価し、その構造がむき出しになっているか埋め込まれているかに係わらず、重要な物理的特性を評価するために必要である。モデリングは、材料合成で所望の構造ができているかどうかを決定するのに必要であり、モデル化された構造の特性が応用において機能しているかどうかを決めるためにも欠くことができない。そうした必要性についても関連するセクションで詳細に説明する。

4. 新探究デバイス材料(EMERGING RESEARCH DEVICE MATERIALS)

ここでは、ほぼ新探究デバイス(ERD)章で紹介されている順に ERD 材料が記載されている。なお、優先順位を示しているものではないことに注意して欲しい。

4.1. 新探求メモリ用材料 (EMERGING MEMORY MATERIALS)

新探求メモリデバイスには、容量変化型メモリ(FeFET)、Fe 抵抗をはじめとする抵抗変化型メモリ、ナノ電気機械式メモリ(nanoelectromechanical)、レドックスメモリ、モット電子メモリ、高分子メモリ、分子メモリが挙げられる。これらのデバイスに使われる ERM には、カーボンナノチューブ、ナノワイヤー、複合金属酸化物、遷移金属酸化物、磁性材料があり、これらの材料からなる工学的設計界面も挙げることができる。更に、カーボンナノチューブ、グラフェン、2 次元遷移金属カルコゲナイド等のナノ材料も、新しいメモリデバイスとして有望な特性を示している。メモリデバイス用新探求材料における可能性と挑戦的課題を表 ERM3 にまとめた。その中の多くが複合金属酸化物と遷移金属酸化物を用いていることから、酸化物材料に関しては別の節を設けている。

Table ERM3 ERM Memory Material Challenges

4.1.1. 強誘電体メモリ材料 (FERROELECTRIC MEMORY MATERIALS)

新探求強誘電体メモリには、FeFET や強誘電体分極抵抗変化型 RAM が含まれる。FeFET は、ゲート酸化物として用いた強誘電体薄膜の分極が安定に 2 値をとることを利用するメモリである。不揮発メモリとしての FeFET の主要な問題は、保持時間の短さ、シリコン-強誘電体界面でのチャージトラップである¹。シリコンと強誘電体間に HfO_2 や Hf-Al-O の様な誘電層を挿入すると保持時間が格段に改善することが報告されている。より低い P_r を有する強誘電体が最適であり、それゆえ YMnO_3 ($P_r \sim 5.5 \mu\text{C}/\text{cm}^2$) が検討されてきた。しかしながら、最近、 $\text{Pt}/\text{SrBi}_2\text{Ta}_2\text{O}_9/\text{Hf-Al-O}/\text{Si}$ 構造を用いて有望な結果が得られている²。これらの強誘電体材料と誘電層の集積は非常に困難であるため、カーボンナノチューブ³ やグラフェン⁴ とポリマー強誘電体を集積することによって、1 ヶ月未満の保持時間が実証されている。

4.1.1.1. 強誘電体トンネル接合材料 (FERROELECTRIC TUNNEL JUNCTION MATERIALS)

強誘電体トンネル接合の概念は 1971 年に江崎玲於奈氏によって提案された³。その後、酸化物ヘテロ構造の堆積技術や数ユニットセルという極薄膜における強誘電性を制御する技術に大きな進展が見られたため、過去 10 年の間に再度関心が高まっている。 BaTiO_3 、 PbTiO_3 や BiFeO_3 などの複合酸化物強誘電体において、トンネル電気抵抗効果(TER)が確認されている⁵⁻¹¹。この強誘電体トンネル接合は不揮発メモリ応用に向けて、有望視されている¹²。強誘電性は膜厚数 nm まで保持されるので、メモリ接合をナノメートルスケールで作製することが可能となり、メモリの高集積化を実現する可能性を秘めている。

強誘電体において分極は外部電界印加によって反転するが、 BaTiO_3 極薄膜における分極反転¹³ やトンネル電気抵抗効果¹⁴ を誘起させるために、原子間力顕微鏡(AFM)の探針を用いた機械的な書き込みを利用することができる。局所的に配置した探針からの圧力の寄与により、プログラミングに要する消費エネルギーを大幅に低減できるだけでなく、デバイスの集積密度を向上させることにもつながる。

これらのデバイスは、メモリスト等の多重抵抗記憶デバイスとしても有望である^{15,16}。更に、金属電極を使用した場合に最大で 100 と報告されているトンネル電気抵抗の比率も¹⁵、電極の一方に半導体材料を用いることにより、2 桁の増大が可能であることが示された¹⁷。

4.1.1.2. 強誘電体 FET メモリ材料 (FEFET MEMORY MATERIALS)

強誘電体 FET メモリ(FeFET)は、探求デバイス(ERD)のメモリの節で議論されているように、ゲート絶縁膜として強誘電体膜を利用した MOS トランジスタであり、その記憶状態は強誘電体膜の分極によって決められる。この素子における第一の課題は、半導体チャネル上に強誘電体膜を作製することである。なぜなら、シリコンと強誘電体膜の間では、界面状態や界面相互作用などの問題が生じるからである。しかし、シリコンと強誘電体材料である $\text{SrBi}_2\text{Ta}_2\text{O}_9$ との間に膜厚 13nm の HfAlOx を中間層として設けることで、これらの問題が解決できる事が示されている¹⁸。ゲート部に用いる絶縁膜が半導体表面を被覆/保護し、半導体と強誘電体間の相互作用を抑える働きをしている。最近の成果として、ドーピングされた HfO_2 が強誘電性を示すことが見出され¹⁹、シリコンと適合性のよい HfO_2 を用いることで、将来、FeFET の性能が更に向上することが期待される。また、いずれのデバイスにしても、不揮発性メモリとして使用するためには、記憶保持時間をより一層長くする必要がある。

4.1.2. レドックスメモリ材料 (REDOX MEMORY MATERIALS)

“レドックス RAM”分類には、高抵抗から低抵抗、もしくは反転させる物理メカニズムが酸化／還元(レドックス)電気化学に由来する多様な金属-絶縁体-金属(MIM)構造と材料が含まれる²⁰⁻²²。このメカニズムは、電極材料と酸化物材料の双方に依存するものである。新探究デバイス(Emerging Research Device)章では、これらのレドックス RAM を 4 つに分類した。1) 電気化学的金属析出ブリッジ(Electrochemical Metallization Bridge)、2) 金属酸化物: バイポーラ伝導フィラメント、3) 金属酸化物: ユニポーラ伝導フィラメント、4) 金属酸化物: バイポーラ界面効果。電気化学的金属析出ブリッジに関しては、Cu や Ag などが電極に用いられ、これらの金属電極が金属イオンを提供する。金属イオンは酸化物を拡散し、金属フィラメントを形成する。フィラメントの先端における金属イオンの動きによって、電気伝導のオンとオフがなされる。金属酸化物におけるバイポーラ、ユニポーラ伝導フィラメントにおいては、不活性(inert)な金属、例えば、Pt、Ti、TiN が電極として使われ、これらの金属は酸化物内に拡散しない。バイポーラになるのかユニポーラになるのか、その動作モードの違いはどのような酸化物を選ぶのかに依存して決まる。これらのメモリ素子において、伝導フィラメントはフォーミング(Forming)と呼ばれる高電圧印加時に形成され、抵抗スイッチはそのフィラメントの先端で起きる。バイポーラ動作を示す材料においては、負側の電圧が印加されたことによってイオンが動くことで電極から伝導フィラメントが離れ、その結果、抵抗の高い絶縁体領域が形成される。ユニポーラ動作を示す材料においては、正側の高電圧印加による電流により発熱が起これ、フィラメント先端部で、伝導フィラメントを構成しているイオンが酸化物に取り込まれることで、高抵抗絶縁体領域が形成される。金属酸化物のバイポーラ界面効果においては、薄い金属酸化膜が不活性電極と酸化物の間に形成される。この金属酸化膜は、伝導フィラメントにてバイポーラ動作を示す酸化物と同様のものであり、膜内の酸素欠損の増減が、酸化物薄膜の抵抗の増減、即ち抵抗スイッチの起源となっている。抵抗スイッチの繰り返し再現性(安定性)や信頼性を向上するために、様々な試みがなされている。例えば、酸素過多と酸素欠損を含む絶縁層の積層化、酸化物の荷電状態を制御するための金属イオンドーピング、あるいは、フォーミングプロセスの電圧制御等である。最近になって、10nm を切る小さな素子サイズの遷移金属酸化物からなるメモリ素子にて、抵抗スイッチ特性と信頼性が向上したという報告がなされている²³。

レドックスメモリの研究開発における挑戦的課題は、集積化された数多くのメモリ素子で再現性の高い抵抗変化を実現すること、また、3次元積層用の高いオン-オフ比を持つ選択素子を実現することである。フィラメント形成時には、デバイス面積と抵抗には相関が無い。しかしながら、界面効果による抵抗変化を示すメモリ素子においては、それらの間に強い相関がある。レドックスメモリが実装されていくためには、フォーミングや抵抗スイッチを伴う材料、プロセス、界面の相関を精密に記述する原子レベルでのメモリ動作モデルが必要となっている。

4.1.2.1. 電気化学的金属析出ブリッジ (ELECTROCHEMICAL METALLIZATION BRIDGE)

電気化学的金属析出ブリッジ構造において、電極の片方は Ag あるいは Cu、もう片方は”不活性な”金属からなる。フォーミング電界が素子に印加されると、Cu や Ag のイオンが絶縁体層を拡散して対抗する電極に向かい、還元されることで金属フィラメントが形成される^{24,25}。多くのカルコゲナイド化合物がこれらのメモリ素子に活用されていて、例えば、酸化物、硫化物、セレン化合物が挙げられる。抵抗スイッチのメカニズムは、伝導フィラメントの先端でイオンの移動と還元により伝導ブリッジが接続・切断されることによるものである²⁵。拡散するイオンの元となる電極が Cu や Ag であった場合、RRAM 素子の動作モードは無極性、あるいはユニポーラとなる。ユニポーラ動作は、それが電極界面付近であるか絶縁体層内部であるかに係わらず、フィラメントの熱的切断に起因することばしばしばである。一方、Cu と Ni を電極とした HfO₂ からなる無極性動作の素子においては²⁶、フィラメントと電極間での酸素欠損と金属イオン双方の相互作用により起因して抵抗スイッチが発現している可能性がある。

4.1.2.2. 金属酸化物: バイポーラ伝導フィラメント (METAL OXIDE: BIPOLAR FILAMENT)

金属酸化物: バイポーラ伝導フィラメントにおいては、フォーミング時の電界印加によって、酸素イオンあるいは欠損が拡散し、絶縁体層(I-layer)内に伝導フィラメントが形成される。TiO₂ の場合、Ti₄O₇ (マグネリ

相)からなる伝導フィラメントの形成が報告されている²⁷。しかしながら、この場合においても、様々な条件で成膜された材料において同様なメカニズムが働いているかを定めるには更なる研究が必要である。異なる酸化物内で形成されるフィラメントの組成は、いまだ決定されていないが、酸素欠損に拠るものであるということとはほぼ確かであろうと信じられている。様々な遷移金属酸化物がメモリ素子として用いられてきているが、最も代表的な例は、 HfO_x 、 TaO_x 、 TiO_x である。(x は、これらの材料が定比ではない可能性があることを示している。)

4.1.2.3. 金属酸化物: ユニポーラ伝導フィラメント (METAL OXIDE: UNIPOLAR FILAMENT)

金属酸化物: ユニポーラ伝導フィラメントにおいて、典型的な絶縁性材料は NiO である。最近、 Ni 電極を持つ HfO_x 薄膜においても、この効果が観察されている²⁸。 TiO_2 ²⁹ や HfO_2 ³⁰ をはじめ数多くの金属酸化物において、バイポーラ、ユニポーラ動作の双方が報告されているが、高抵抗状態へ遷移するリセット動作は、欠損の消滅によるものであると考えられている。ユニポーラ動作においては、フィラメントと電極間の電気伝導を変化させる発熱によってリセットが起きる。よって、素子構造において熱伝導を制御することが、再現性のある抵抗スイッチを実現するために必要となっている³¹。

4.1.2.4. 金属酸化物素子における欠損とフィラメントの制御 (CONTROL OF VACANCIES AND FILAMENTS IN METAL OXIDE DEVICES)

再現性の高い抵抗スイッチ、即ちメモリ寿命内における高信頼性動作を実現する材料やプロセスの研究開発が、この 2 年間に盛んに行われた。それらの例として、以下のような研究が挙げられる。低いパルス電圧でのフォーミング、異種材料の酸化物へのドーピング、貴金属電極の採用、界面制御を施した電極材料の採用、金属酸化物の多層化、誘電率の最適化などである。

不活性な金属電極を持つ遷移金属酸化物においては、フォーミング過程で、酸素欠損が高い濃度で存在する伝導フィラメントが形成されることから、この伝導フィラメント形成の再現性を高める試みがなされてきた。ブレークダウン現象を軽減するために低電圧パルスを印加することによって、メモリ動作の再現性と信頼性が向上することが見出されている³²。 HfO_2 のフィラメントにおいて高濃度の酸素欠損が確認されており³³、他の研究により、酸素欠損が電界誘起の拡散によってフィラメントから電極に向かって吐き出されることで抵抗スイッチ現象が起きていることが示唆されている。また、フィラメント形成が、電界と熱励起プロセスに対して指数関数的な関係を持つことが示されている²⁶。このように酸素欠損からなるフィラメント形成において、熱散逸を防ぐことが重要となっている。ある境界より小さなメモリ素子においては、フィラメント生成効率が、デバイス面積に逆比例して小さくなることが示されている³⁴。(訳者注:「即ち」以降の内容との整合性を考えると、当該英文の内容は執筆者の間違いではないかと考えられる。参考文献 34 には、「フォーミング時間が長くなり始める Critical Area が、フォーミング電圧に逆比例して小さくなる」ことが報告されていて、そうであるならば「即ち」以降の内容に矛盾なくつながる。) 即ち、フィラメント形成時間は、微小メモリ素子では長くなってしまふかもしれない。また、上部電極に Ag ナノ粒子を成長させると電界集中が起き、 ZnO における酸素欠損からなるフィラメントがナノ粒子近辺に収束することが確認されている³⁵。

このメモリデバイスのスケーラビリティを理解するためには、フィラメントの空間拡がり調べ、その空間拡がりかメモリ動作の繰り返しによって変化するか否かを明らかにしなければならない。さらに、1 つのフィラメントが電極間に形成され、メモリ動作に継続的に機能するのか、あるいは、複数のサブ・フィラメントが形成されて、誘電体ギャップ(訳者注:絶縁体層を指していると考えられる)において何がしかの影響を与え合うことになるのかを理解することが重要である。このどちらの描像が正しいかによって、抵抗スイッチのメカニズムは大きく変わることが予想される。

4.1.2.5. 金属酸化物: バイポーラ界面効果 (METAL OXIDE: BIPOLAR INTERFACE EFFECTS)

金属酸化物: バイポーラ界面効果においては、絶縁体トンネルバリア酸化物層が電極と伝導性酸化物間に形成され、これらの層間での酸素欠損の授受によって抵抗スイッチ現象が起きると考えられている。

TiN/Ti/TiO₂/TiN 積層構造にて、酸素欠損の濃度を制御するために Ti 層が導入され、オン・オフ抵抗値の制御がなされている³²。同様に、TiN/HfO₂/Hf/TiN 構造において、Hf/HfO₂ 層間に HfO_x 中間層が形成されていて、伝導フィラメントを形成する酸素欠損源となっていることが報告されている²³。また、TiN / HfO₂ / Hf / TiN 積層構造からなるデバイスにおいて、PEALD によって TiN 上部電極を成膜した場合の方が、反応性 PVD でそれを成膜した場合に比べ、より再現性の高い抵抗スイッチ効果を示すことが報告されている³⁷。TiN / Ti / HfO_x / TiN 積層構造においてアニールの効果を調べた結果からは、電極材料における酸素欠損の蓄積が、そのメモリ素子の抵抗スイッチに重要であることが示されている³⁸。このように、界面特性は、絶縁体における酸素欠損濃度の制御に重要な役割を果たしている。

絶縁体層へのドーピングも酸素欠損濃度を制御する方法として提案されている。TiO₂ では、モデル計算によって、荷電状態制御を伴う金属のドーピングで酸素欠損濃度が増加する³⁹、即ち、価電子配置に基づくドーピング金属選択による酸素欠損濃度制御の可能性が示されている。

4.1.2.6. レドックスメモリにおける計測とモデリングの必要性 (REDOX MEMORY METROLOGY AND MODELING NEEDS)

抵抗スイッチを評価し、その現象の起源を明らかにするためには、多結晶あるいは非晶質の材料の特性評価を可能とする計測技術が必要である。なぜならば、現実の材料は典型的には多結晶あるいは非晶質であり、その粒界や転位が伝導フィラメント形成の核となる可能性があるからである。フィラメント形成や抵抗スイッチのメカニズムを実際に動作しているメモリ素子にて明らかにする計測技術が必要となっている。

計測技術が抵抗スイッチの機構を明らかにできなかったとしても、フィラメント形成、酸素欠損やイオンの電界誘起拡散を正確に記述するモデリングは、その物理現象を理解するうえで欠かせないものである。様々なモデルが提唱されているが、レドックスメモリ関連技術を産業界が採用する過程において、フィラメント形成や抵抗スイッチのメカニズムを正確に記述できるモデルが必要不可欠である。

4.1.3. モットメモリ材料 (MOTT MEMORY MATERIALS)

新探求メモリデバイス節において触れた通り、数多くの遷移金属酸化物あるいは複合金属酸化物において、モット転移が報告されている。ここで、モット転移とは、絶縁体にキャリアが注入されることによって引き起こされる金属－絶縁体転移を意味している。NiO における不揮発性の抵抗スイッチが、酸素欠損濃度に依存することが報告されている⁴⁰。この現象は不揮発性モット転移に起因するものであるが、ドーピングされた ZrO₂ や Cu ドープの NiO³⁹ の振る舞いに類似している。Pr_{0.7}Ca_{0.3}MnO₃ では、その高抵抗状態において酸素欠損濃度が表面近くで高くなっており、キャリア濃度の変化が金属－絶縁体転移を駆動している⁴¹。このように、それが揮発性か不揮発性かに依らず、電界誘起の酸素欠損濃度変化、あるいは欠損によるキャリア捕獲によって金属－絶縁体転移が起きている。最近、複合金属酸化物ヘテロ界面において 2 次元電子ガスが見つかり⁴²、強誘電体を 2 次元電子ガスと結合することで⁴³、温度敏感とまらないメモリ効果の可能性が新たに広がっている。

4.1.4. 高分子メモリ材料 (MACROMOLECULAR MEMORY MATERIALS)

新探求デバイス(ERD)のメモリの節で議論されているように、有機高分子膜メモリ素子(macromolecular memory device)は、高分子膜が二つの電極で挟まれた形を基本としており、その基本構造の中に別の材料が埋め込まれている場合もある。(例えば、一方の電極表面に酸化物の層が存在する例、有機高分子膜中に金属や酸化物から成るナノ微粒子が含まれている例、などが挙げられる。)それぞれの素子構造におけるメモリ動作機構には違いがあるが、一方の電極表面に酸化物の層が存在する有機高分子膜メモリについては、その動作機構の理解が進んでいる。この素子構造では、抵抗スイッチングは酸化物内で生じており、高分子膜は電流制限要素として働いている⁴⁴。

4.1.5. 分子メモリ材料 (MOLECULAR MEMORY MATERIALS)

分子デバイスについては、新探求デバイス(ERD)の章で述べられている。電位障壁の低い電極コンタクトの形成、高信頼性動作、オン状態における高い電気抵抗、分子の特性を変化させないトップコンタクト

電極形成など、分子デバイス応用に向けて、数々の課題を克服しなければならない。分子状態の変化を用いるデバイスは、非線形電流－電圧特性や双安定性などの有用な特性を示すが、現在研究されている多くの分子を基本とするデバイスの特性は各々の分子と電極間のコンタクトにある高いポテンシャル障壁や、欠陥のような過程に支配されているように見える。たとえば、電氣的スイッチングの原因は、分子とコンタクトの構造変化、コンタクト電極の拡散、最近接原子との相互作用などによると示唆される^{45,46}。技術的にも理論的にもまだ不明な点が多いが、こういったシステムは分子デバイスの特性ばらつきを減らし、超高密度回路を実現するであろう。

信頼性の高い分子スケールのデバイスを作製するには、高品質な電氣的コンタクトを実現する、分子と基板のコンタクトならびにトップコンタクト材料と手段を明確にする必要がある。結合双極子から分子配向までの様々なパラメータにより、電荷輸送パラメータやスイッチング電圧が影響される。分子と基板ならびにトップコンタクトの構造と電子的な特性を明らかにする研究が必要であり、それにより信頼性の高いコンタクトを実現できる。一方、金属の仕事関数が新しい分子コンタクトに及ぼす影響を調べるために、分子モデル、合成、実験が必要である。

4.1.6. メモリ応用が期待される新探究ナノ材料 (EMERGING NANOMATERIALS WITH POTENTIAL FOR MEMORY DEVICES)

カーボンナノチューブ、グラフェン、2次元遷移金属カルコゲナイド化合物(例、 MoS_2 , WSe_2 等)に代表されるナノ材料がメモリデバイス中に組み込まれるようになり、電界印加による抵抗変化が実証されている。グラフェンナノリボンでは、フォーミング処理後に、電圧印加によって低抵抗及び高抵抗状態間を変化させるようになる。グラフェンにおける抵抗変化は、炭素の sp^2 軌道から sp^3 軌道への軌道混成が原因であると考えられている⁴⁷。 MoS_2 チャンネル、 HfO_2 ゲート絶縁膜、グラフェンの浮遊ゲートから成る浮遊ゲートメモリも作製されている⁴⁸。BN- MoS_2 -グラフェンのヘテロ構造では、積層の程度や層の厚さに応じて、電荷を効率よくトラップすることが報告されている⁴⁹。

4.2. 新探究ロジックデバイス向け材料 (EMERGING LOGIC MATERIALS)

新探究ロジック材料には、CMOS 拡張向け代替チャンネル材料、電荷ベースの Beyond CMOS 向け材料、非電荷ベースの Beyond CMOS 材料、多様な Beyond CMOS 応用向けスピン状態・スピン輸送材料が含まれる。

4.2.1. 代替チャンネル材料 (ALTERNATE CHANNEL MATERIALS)

新規ロジックデバイス向け材料は、ロードマップの終わりまで CMOS を延命させるための代替チャンネル材料、電荷ベースの非従来型 FET を実現させるための材料、あるいは非 FET や非電荷ベースの Beyond CMOS デバイスを実現させるための材料を包含している。材料およびプロセスは、複数のデバイスにとって有用である場合があるため、あるひとつの応用例について詳細な議論を行い、その他の応用例については、特筆すべき違いについて議論することにする。

微細化された Si CMOS による集積回路の性能の向上やエネルギー効率の向上(消費電力の低下)は歪 Si チャンネルを用いたデバイスですらより困難なものとなりつつあるため、Si MOSFET のチャンネルへの代替材料が集中的に検討されている。パフォーマンスを向上させることができる主な特性は、チャンネル移動度である。潜在的にさらに高い移動度を持つ代替チャンネル材料が、高性能とエネルギー効率改善と共に CMOS スケーリングを延命させるために検討されている。III-V 化合物半導体、Ge、グラフェン、カーボンナノチューブ、半導体ナノワイヤなどが例として挙げられる。これらのキャリア輸送特性が強化されたチャンネルによって、より高いオン電流(I_{on})や一定の I_{on} でのより低いゲート容量(デバイス面積低減のため)が実現可能になる。この組み合わせは、低消費電力の高性能 MOSFET を実現する可能性がある。高性能 CMOS を達成するために、シリコン上に異なる材料の混載(例えば III-V 族と Ge)が必要になる場合がある。このような CMOS 性能改善のためには、欠陥の低減、界面の化学の理解、金属との接触抵抗、およびプロセスインテグレーションといった重要な材料上の課題について対処する必要がある。

これらのナノ構造半導体の潜在的な利点と課題を表 ERM4 で詳しく説明している。

Table ERM4 Challenges for ERM in Alternate Channel Applications

炭素ベースの(CNTとグラフェン)デバイスは、代替チャネル材料としての活用の可能性、および Beyond CMOS アプリケーションでの活用を促進するため、より注目が必要なものとして認識されている。ERM と ERD の章ではまた、これらの材料に対する課題の克服が表 ERM4 で強調表示されているような要求された時間枠内で実現可能なものとするための解決方法がいつ必要となるのかを示している。

4.2.1.1. カーボンナノチューブ FET 材料 (CARBON NANOTUBE FET MATERIALS)

カーボンナノチューブ(CNT)の主要な潜在的優位性はその高いキャリア移動度⁵⁰と非常に細い構造にあるが、それらの見込みを実現するためには非常に困難な課題を克服する必要がある。CNT が高性能 FET において有望となるための鍵となる挑戦は、次の要素を提供するプロセスである。つまり、高純度の半導体 CNT、各 CNT の所望の位置への配置、ゲート絶縁膜に対する高い密着性、低抵抗な p 型および n 型コンタクト、CMOS プロセスに適合する CNT 成長を提供するプロセスである。優位性と課題については、Table ERM4 においてより詳細に強調されている。これらデバイスの詳細に関しては、2013 ITRS ERD (新探求デバイス)の章を参照していただきたい。

4.2.1.1.1. ナノチューブの純度の制御 (NANOTUBE PURITY CONTROL)

単層 CNT が将来の CMOS 応用に対して有望となるためには、(金属 CNT に対する)高い半導体の純度を得る可能性が実証されなければならない。最近の実験は半導体 CNT から金属 CNT を分離することが可能となり、マルチカラムゲルクロマトグラフィにより 99.9%の純度が達成されている⁵¹。この純度は集積回路製造には適さないが、この技術を繰り返し用いることにより、より高い純度が達成できるかもしれない。最近、SDS により修飾された CNT とアルカリデキストランを基材としたゲルとの相互作用を温度により制御し、特定のカイラリティの CNT が仕分けられている⁵²。さらに、ポリエチレングリコール(PEG)とデキストランを加えることにより形成される不混和相において、大直径の金属 CNT と小直径の半導体 CNT を連続的に分離することも実証されている⁵³。石英上に成長され配向した CNT に対する高純度化のアプローチは電氣的破壊⁵⁴や熱対流/エッチング⁵⁵を含む。電氣的破壊では金属 CNT を除去でき、ナノスケール熱対流/エッチングでは 99.997%の純度が達成できている⁵⁶。特定のカイラリティについて CNT が高純度化されると、気相エピタキシーにより、より長く成長することができる。しかしながら、長さの増加は CNT のカイラリティに依存する⁵⁷。石英上での CNT の成長は発展を続け、ふたつの高純度化のアプローチは金属 CNT の破壊と熱対流/エッチングである。

4.2.1.1.2. 位置と方向の制御 (CONTROL OF POSITION AND DIRECTION)

CNT がデバイスに利用されるためには、CNT が正確な場所で、要求される方向に、高い密度で配置されなければならない。500 CNTs/ μm を配置することが可能なことが、ラングミュア・シェーファー法により実証されている。石英上の CNT の成長は発展を続けており、ふたつの高純度化のアプローチは金属 CNT の電氣的破壊である。

4.2.1.1.3. キャリア濃度の制御 (CONTROL OF CARRIER CONCENTRATION (NANOTUBE DOPING))

決め手となるデバイスの課題は、p 型および n 型の材料のキャリア濃度の制御である。典型的には、半導体 CNT は大気中で p 型になる傾向がある。キャリア濃度を制御するためのドーピング技術については過去 2 年ではほとんど進んでいない。キャリア濃度制御のためにゲートの仕事関数を用いることは最も前向きな経路に見える。ゲート絶縁膜中の電荷を用いて、キャリアの極性を制御するための CMOS プロセスに適合した技術が報告されているが^{59,60}、その制御性や信頼性を評価する必要がある。

4.2.1.1.4. ゲート絶縁膜界面 (GATE DIELECTRIC INTERFACE)

CNT の側壁は比較的不活性であるため、均一な極薄膜を堆積することは難しい。しかし、表面を化学的に修飾することにより誘電膜の密着性が改善することもある。化学修飾の促進や界面の不活性化、絶縁

膜堆積のための研究や指針となる材料設計の原理が必要である。ほかの方法として、Y や Ti のような金属は CNT によく馴染み、高誘電率膜を形成するために酸化することができる。厚さ 5 nm の Y_2O_3 が均一に CNT 上に実現されている⁶¹。しかし、界面の品質や信頼性を査定する必要がある。 LaO_x のバックゲート絶縁体上に CNT を分散し、高い誘電率と低いサブスレッショルドスロープ(~ 69 mV/dec.)が実証されている。しかしながら、これは CNT の上に堆積されていない。

4.2.1.1.5. コンタクト形成 (CONTACT FORMATION)

Pd は最もよく使われるコンタクト材料であり、その接触抵抗は量子化抵抗に近い⁶³。また最近では、Sc-CNT コンタクト⁶⁴が n-FET を作製するために採用されている。その一方、小さい直径のナノチューブに対しては、接触抵抗が大きく変化することも報告されている。コンタクト界面近傍のポテンシャルを変化させることによりショットキバリアを低減する方法が提案されている⁶⁵。さらに、溶液プロセスによる CNT に対するコンタクト抵抗は、酸素に暴露した後、減少することが見出された⁶⁶。また、酸素は CNT と金属コンタクトの間のバンドアライメントを改善することや、グラファイト化炭素を導入することにより、コンタクト抵抗が低減することが提案された。最近の重要な知見はコンタクト抵抗のコンタクト長依存性である⁶⁸。コンタクト抵抗に対するこれらの影響の起源を理解するため、さらに調査が必要である。CMOS に適用可能で再現性の高いコンタクト形成技術は 2016 年以前に明らかになる必要がある。

4.2.1.2. グラフェン、及び新二次元 FET 材料 (GRAPHENE AND NEW 2D FET MATERIALS)

ここで取り扱う材料は、グラフェン、シリセン、ゲルマネン、 MoS_2 、 $MoSe_2$ 、 WS_2 、 WSe_2 や他の二次元の平面的なダイカルコゲナイドである。これら材料の一番の優位性は、潜在的に移動度が高いことと、平面形態でプロセスが可能なことである。グラフェンにはバンドギャップは無いが、ゲルマネンや遷移金属ダイカルコゲナイドにはバンドギャップが存在する。これら材料における重要な課題は以下のようにまとめられる：

1. グラフェンについては、バンドギャップを形成、制御すること
2. 全ての二次元材料について、シリコンプロセス対応の基板上で高い移動度を達成すること
3. 電荷の輸送への表面、あるいはインターフェースの影響を減らす、あるいは制御すること。
4. シリコンプロセスに親和性のある誘電体上に、制御されたグレインサイズ、厚み、及び方位を持つ二次元材料を大面積で堆積すること
5. 高品質で安定な界面を持つ高誘電率膜を堆積すること
6. 再現性の高い低抵抗コンタクトをグラフェンに対し形成すること(単層膜をエッチングすること無しに)。
7. 集積化、ドーピング、CMOS との互換性。

4.2.1.2.1. グラフェンの堆積 (DEPOSITION OF GRAPHENE)

二次元材料の堆積において好ましいアプローチは、シリコンウェハ上での CVD 的なプロセス、あるいはエピタキシャルプロセスである。しかし他の技術も使われうる。銅箔上には大きなグレインサイズのグラフェンを成長する技術に進展はあるが⁶⁸、合成されたグラフェンは依然としてシリコンウェハ上に機械的に転写される必要がある。

4.2.1.2.2. 高い結晶性を持つ二次元材料の形成 (FORMATION OF HIGH QUALITY 2D CRYSTALLINE MATERIALS)

グラフェンの機械的剥離は、シリコン上に高品質の膜を用意することができるが⁶⁹、位置や厚みの制御性に関しては、集積回路技術の開発には不向きかもしれない。 SiC の分解⁷⁰による方法は、シリコン的な基板にグラフェンを形成できるという点で優位性があるが、 $1200^\circ C$ 、あるいはそれを越えるプロセス温度が必要である。 SiC 上のエピタキシャルグラフェンは、室温で $15,000\text{ cm}^2/V\cdot s$ ⁷¹、液体ヘリウム温度で $250,000\text{ cm}^2/V\cdot s$ ⁷² という移動度が得られている。

Cu フォイル上に CVD によって大面積のグラフェンが形成され⁷³、その移動度は室温で $25,000 \text{ cm}^2/\text{Vs}$ に達した⁷⁴。これらグラフェン膜は金属上に合成されるが、 SiO_2/Si 上への転写が行われ、そこでデバイス構造が作られ特性が評価された^{73,75-77}。これら CVD を利用する方法は、シリコン互換の基板上に直接グラフェンを形成するものではないが、多結晶の基板を使って転写を行うという手法は、より低コストと言えるかもしれない。一方、最近転写プロセスを用いないグラフェンチャネルトランジスタ作製法が報告された^{78,79}。さらに最近では、ウェハスケールでの新たな転写の試みが提案された⁸⁰。この分野は非常に速く進展しているので、ここで紹介したものより優れた結果がすぐにも出る可能性がある。

4.2.1.2.3. 二次元材料の移動度 (2D MATERIAL MOBILITY)

フリースタンディンググラフェンの温度 240K における最高移動度は $120,000 \text{ cm}^2/\text{Vs}$ であり⁸¹、これは吸着分子をグラフェン表面から脱離させることにより得られた。フリースタンディンググラフェンの室温での移動度に関しては、たわみフォノンがそれを制限する、というモデルが提案されている⁸²。液体ヘリウム温度では、架橋グラフェンの移動度は $1,000,000 \text{ cm}^2/\text{V-s}$ ⁸² 程度になることが示された。比誘電率 47 を持つ誘電体溶媒の遮蔽により、室温で $70,000 \text{ cm}^2/\text{Vs}$ の移動度が達成された⁸³。h-BN 結晶によって挟まれたグラフェンは、室温で約 $100,000 \text{ cm}^2/\text{Vs}$ の移動度を示した⁸⁴。高誘電率材料を用いたトップゲートトランジスタにおいては、 $8,000 \text{ cm}^2/\text{Vs}$ 程度の移動度が報告されている⁸⁵。最近の研究によれば、CVD で合成されたグラフェンに関しては、グレインバウンダリーにおける散乱が移動度低下の原因である⁸⁶。しかしながら、CVD グラフェンにおいても、 $25,000 \text{ cm}^2/\text{V-s}$ 程度の移動度が室温で得られており、この値は剥離グラフェンの移動度に非常に近い。

遷移金属ダイカルゴゲナイドについては、抽出された移動度はコンタクト材料やゲート絶縁膜に依存する。単層膜の場合、FET 構造で得られた最大の移動度としては、 $200\text{-}380 \text{ cm}^2/\text{V-s}$ の範囲のものが報告されている。

Material	Thickness	Contact	Gate Dielectric	Mobility ($\text{cm}^2/\text{V-s}$) (298°C)
MoS_2	10nm	Sc	15 nm Al_2O_3	700 ⁸⁷
MoS_2	monolayer	Cr/Au	Top 20nm HfO_2 Back SiO_2	380 ⁸⁸
WSe_2	0.7nm (ml)	Pd/Au	ZrO_2	Hole 250 ⁸⁹
MoSe_2	3-80nm	Ni	SiO_2	Electron 50 ⁹⁰

4.2.1.2.4. バンドギャップ (BANDGAP)

グラフェンにはバンドギャップが存在しないが、ITRS2011 の ERM の章に示すように、バンドギャップを形成するためのいくつかの方法が報告されている。これまでのところ、実用化可能なグラフェンへのバンドギャップ形成の手法はいまだ報告されていない。さらに、グラフェンへのバンドギャップ形成は一般に移動度の劣化を伴う。マイクロ波 FET などのいくつかの応用はバンドギャップを必要としない。グラフェンのデバイス応用はこのようなバンドギャップが不要なものから始まるかもしれない。このような状況から、遷移金属ダイカルゴゲナイドへの興味が増しつつある一方、グラフェンへの FET 材料としての興味は徐々になくなりつつある。しかし、最近の研究で報告されたように^{91,92}、もしスムーズなエッジと制御されたバンドギャップを持つグラフェンナリボンが形成されれば、その移動度は CNT の移動度と同等となることが期待され、グラフェンナリボンは FET の理想的なチャネル材料になり得る。したがって、そのようなナリボンの大量生産法の開発が本当に待たれている。

実際のところ、単層の遷移金属ダイカルゴゲナイドのバンドギャップは MoS_2 の場合 1.9 eV ⁹³、 MoSe_2 の場合 1.49 eV ⁹³、 WS_2 では 1.93 eV である。しかし、移動度としてはこれまで最高でも $200\text{-}400 \text{ cm}^2/\text{Vs}$ の範囲でしか得られていない。

4.2.1.2.5. 高誘電率膜の堆積 (HIGH K GATE DIELECTRIC DEPOSITION)

グラフェンの表面は化学的に不活性であるため、高誘電率膜の堆積は、通常エッジやグラフェンの欠陥から起こる。このことは、グラフェン上への HfO_2 や Al_2O_3 の堆積において実証された⁹⁴。高誘電率膜の堆積は遷移金属ダイカルコゲナイドに関しても原子層堆積法により行われ、 MoS_2 上の HfO_2 膜⁸⁸、 WSe_2 、 MoS_2 上の ZrO_2 膜⁸⁹などが報告されている。

4.2.1.2.6. ドーパントの導入と活性化 (DOPANT INCORPORATION AND ACTIVATION)

もしグラフェンが極限 CMOS 応用に使われるとするならば、チャネル領域に p 型、n 型用の材料をドーピングし、S/D 領域に金属的、n 型、p 型のどれかになるような材料をドーピングできる必要がある。これまでのところ、チャネル領域にドーピングする方法として提案されているものとしては、ITRS2011 の ERM の章に示すように、1) グラフェンを、キャリアをグラフェン層に注入できる表面に堆積する、及び 2) グラフェンナノリボンのエッジにドーパントを化学的に結合させる、などがある。遷移金属ダイカルコゲナイドへのドーピングについては、 WSe_2 がソース/ドレイン領域における NO_2 の化学吸着により強く p 型にドーピングされること⁹⁵、同じくソース/ドレイン領域へのカリウムの堆積により、 WSe_2 と MoS_2 が縮退的に n 型にドーピングされること⁹⁶、などが報告されている。このようなドーピング技術の課題は、配線と統合された構造において、キャリアドーピングを維持すること、になるであろう。その理由は、以下のコンタクト形成のセクションでも説明されるように、S/D ドーピングはコンタクトの金属物性により影響を受けると予想されるためである。ドーピング、およびグラフェン中のキャリア濃度を制御可能な実用的技術が、2014 年以前に現れる必要がある。

4.2.1.2.7. コンタクトの形成 (CONTACT FORMATION)

ソース・ドレインコンタクトは、グラフェンに対し低抵抗の電気コンタクトを与えるものである一方、n チャネル、あるいは p チャネルデバイスの伝導タイプを維持できるものでなくてはならない。オーミックコンタクトの形成は、小さな直径のカーボンナノチューブよりは簡単かもしれないが、さらなる研究が必要である。電極とグラフェンチャネルの間のコンタクト抵抗に関するいくつかの研究がこれまで報告されている⁹⁷⁻⁹⁹。しかしながら、これまで得られたコンタクト抵抗は CMOS 応用にとってはまだ高い。それに加え、金属/グラフェン界面における電荷移動長(charge transfer length)が測定の結果数百 nm であることがわかり、これも大きく減じられる必要がある。明らかに、この点につきさらなる研究が必要である。遷移金属ダイカルコゲナイドのコンタクトについては、 WSe_2 の Pd/Au コンタクトにおいて、ソース/ドレイン領域への NO_2 の化学吸着により、 WSe_2 が大きく p 型にドーピングされることがわかった⁹⁵。また、 WSe_2 と MoS_2 への Au コンタクトにおいては、ソース/ドレイン領域へのカリウムの堆積により、縮退的に n 型にドーピングされることがわかった⁹⁶。 MoS_2 において、ゲート絶縁膜として LiClO_4 ドープされた PEO (poly(ethylene oxide)) 薄膜を用いることにより、移動度の増加とコンタクト抵抗の低下がもたらされることがわかった¹⁰⁰。

4.2.1.3. ナノワイヤ FET 材料 (NANOWIRE FET MATERIALS)

金属触媒ナノワイヤ (NW)、パターニングあるいはエッチング (トップダウン形成) ナノワイヤが MOSFET のチャネルとして提案されている。

トップダウンによるナノワイヤの形成は、その位置や方向の正確な制御に利点を有する金属触媒によるナノワイヤの成長よりも、より正確な制御を可能にします。

ナノワイヤの潜在的な利点は、1) 静電的制御を改善させるゲート・オール・アラウンド構造との互換性、2) 微小構造における非古典的物理現象の利用などにある。さらに、ナノワイヤを用いることで、結晶の成長方向での格子不整合があっても、欠陥のないヘテロ接合が実現可能なことや¹⁰¹、平面方向での陥密度のヘテロ接合を実現することが可能となり¹⁰²、この結果、デバイスの設計に柔軟性が生まれる。一方で、触媒形成ナノワイヤを用いて、これらの利点を実現するにあたっては、触媒材料の CMOS プロセスとの互換性を含めて、触媒粒子の位置、大きさ、形状、方向、およびドーピングといった重要な課題がある。これらは、表 ERM4 で詳しく説明されている。

非古典力学的な量子効果の発現は、主にボーア半径に依存しており、これは材料間で大きく異なる。Si のボーア半径は非常に短く、 V_t の変化を増加させることになるバンドギャップの変化は、ボーア半径が 6nm 以下で生じることが観測されている¹⁰³。矩形の断面を有するトップダウン形成ナノワイヤは、熱処理によってその角が丸まったモノよりも、低電界でより高いモビリティを有する¹⁰⁴。角が丸まったことによるモビリティ低下の原因は、デバイスに対する D_{it} (トラップ準位密度) の増加である¹⁰⁵。表面から加工したサラウンドゲートデバイスは、Fin-FET あるいはマルチゲート FET というアプローチからの進化形であるといえる。5nm 以下にパターン形成された、あるいはエッチングされた Si ナノワイヤは、バックゲート電圧印加時に $\sim 900 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ に迫る移動度のピークを持つ室温における量子発振現象を示すことが報告されている¹⁰⁶。成長させた Si および Ge ナノワイヤにとって鍵となる課題は、表面から加工したナノワイヤデバイスに対してより優れた特性を示すこと、およびそれらを意図した位置に意図した方向に成長されることである。例えば Au のような触媒の併用が気になるとしても、良好な電気特性を示すエサキダイオードの作製¹⁰⁷は、Au 触媒はデバイス特性に影響しないことを示している。これまでに、成長させたナノワイヤがエッチングによって作製した構造よりも、よい移動度を有するという報告例は全くない。さらに、ナノワイヤを意図した位置に意図した方向(特にウェハの方位に対して)作成することですら、現在も課題として残っている。他方で、矩形断面を有する Si ナノワイヤは、立方体の $\alpha\text{-NiSi}_2$ 触媒を用いて Si(111)基板上に作成できることが示された¹⁰⁸。従って、成長によって形成する Si ナノワイヤの形状を制御することに進展はあったものの、パターンニングとエッチングによって形成したナノワイヤを上回る特性を示すこと、成長の位置と方向(面内での)の制御においては、ほとんど進展が無かった。

III-V 化合物半導体ナノワイヤは、モビリティ、on/off 電流比、弱反転伝導率(サブスレッショルド・スイング)などについて、従来の Si 回路で達成した特性よりも良い性能を実現する可能性がある。バンド構造の設計が容易であることで、ホモ接合を用いて達成した移動度よりも高い移動度を実現しうる 2 次元電子ガス伝導を用いたトランジスタや、ワイドギャップ半導体を用いたエピタキシャルバリア層のトンネリング現象に基づいたデバイスなどに対しても、多くの可能性をもたらすと言える。Au 触媒と CVD 法を併用して成長させた InAs ナノワイヤが $\sim 6000 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ 程度の移動度を示すことが報告された。これらナノワイヤは、CVD 温度では、ウェハ表面に対して垂直に成長する。しかしながら、それらの光学的性質によれば、高速光通信用のシリコン回路上へのレーザーと検出器の混載を可能にすることができるともかもしれない。

水平方向に形成させるナノワイヤは、成長方向の制御に劇的な進歩はないが、垂直方向ナノワイヤについては、位置および方向の制御に進歩があった。さらに、Si ナノワイヤにおける n 型ドーピングについては $1.5 \times 10^{20} \text{ cm}^{-3}$ まで¹⁰⁹、p 型ドーピングについては、 $2 \times 10^{18} \text{ cm}^{-3}$ まで、いずれも 500 度以下の成長温度で増加した。更に、成長させたナノワイヤ上に、MOSFET¹¹⁰、ショットキーバリア FET¹¹¹、IMOS¹¹²、およびトンネル FET¹¹³ などが作製されている。

ナノワイヤは、電解効果トランジスタのチャネル材料として潜在的な優位性を持つが、高密度に集積される際には、非常に大きな課題を克服しなければならない。サラウンドゲート構造を持つナノワイヤを水平方向に高密度に並べることや、低抵抗コンタクトの実現が困難であると予想される。

4.2.1.4. P-III-V チャネル材料(P-III-V CHANNEL MATERIALS)

n チャネルとして、Si 基板上に約 $1 \sim 2 \mu\text{m}$ のバッファ層を用いて形成された InGaAs の量子井戸 FET は、 $10,000 \sim 3000 \text{ cm}^2/\text{V}\cdot\text{s}$ の移動度を示し¹¹⁴、また歪 Ge 量子井戸 p チャネルは、 $770 \text{ cm}^2/\text{V}\cdot\text{s}$ at $5 \times 10^{12} \text{ cm}^{-2}$ の移動度を示す¹¹⁵ことが報告されている。

これらの移動度については、n チャネルで Si チャネルの 30 倍、p チャネルで 2 倍の改善があったことになる。こうした Si を超える移動度の向上は非常に重要であり、移動度を低下させることなく CMOS FET プロセスに適合させることができれば、消費電力を下げ、駆動電流を高めることになる。p チャネルを歪 Ge で P チャネルを Ge で作製することができれば、プロセスの複雑さとコストは大きく改善されるであろう。同様に、III-V 化合物基板上に n および p チャネル双方を作成できれば、複雑さとコストを減らすことができる。そのため、相補性のチャネル材料およびプロセスの選択は、同じプロセスで n,p 双方に同一材料を用いるというよりも、Ge と III-V 族をそれぞれ用いるという考えに基づいて行われる。この章では、Si MOSFET 内への Ge-n チャネル、InGaSb-p チャネルの作製について実施された進捗について述べる。

InGaAs-n チャネル、Ge-p チャネルの状況については、おそらくこの ITRS の PIDS の章で触れられるはずである。

P チャネル III-V 量子井戸構造: InGaSb 量子井戸で報告された最高ホール移動度は、引き続き HEPT で報告された $1500 \text{ cm}^2/\text{V}\cdot\text{s}$ である¹¹⁶。さらに、1~3%程度の2軸ひずみを有する GaSb 量子井戸構造では、 $1,200\sim 1,500 \text{ cm}^2/\text{V}\cdot\text{s}$ の移動度が計測されている¹¹⁷。最近、In_{0.2}Ga_{0.8}Sb 量子井戸構造において、 $4,000 \text{ cm}^2/\text{V}\cdot\text{s}$ の電子異動度移動度、 $900 \text{ cm}^2/\text{V}\cdot\text{s}$ のホール移動度が報告され¹¹⁸、相補的 III-V ロジックデバイスを実現させる手段が見えつつある。

4.2.1.5. N-GE チャネル材料 (N-GE CHANNEL MATERIALS)

バルクの Ge のホール移動度 ($3900 \text{ cm}^2/\text{V}\cdot\text{s}$) は、バルクの Si のそれ ($1600 \text{ cm}^2/\text{V}\cdot\text{s}$) よりも非常に高いが、MOSFET の n チャネルでの移動度は、Si では $250 \text{ cm}^2/\text{V}\cdot\text{s}$ ($N_{\text{inv}}=1.2\text{e}13 \text{ cm}^{-2}$ における) であるのに対し、同条件下で $150 \text{ cm}^2/\text{V}\cdot\text{s}$ ($N_{\text{inv}}=1.2\text{e}13 \text{ cm}^{-2}$ における) まで大きく低下する。この Ge-n チャネルにおけるホール移動度の大きな劣化の主な原因は、ゲルマニウム酸化物の不安定性に起因する伝導帯近傍における高密度のトラップ準位の存在である。

ゲルマニウム酸化物は、広い温度範囲に渡って2つの価数(価電子状態)をとりうる。酸化にオゾンを用いることで、主に酸化物に強制的に4価の価数を持たせることで多数の界面トラップ準位を減らすことが出来る^{119, 120}。最近の報告によれば、RTP により作成した GeO_2 を用いた場合と Y_2O_3 をゲート絶縁膜に用いた場合の双方について、それぞれ $1050 \text{ cm}^2/\text{V}\cdot\text{s}$ ¹²¹ および $1500 \text{ cm}^2/\text{V}\cdot\text{s}$ ¹²² という高い電子移動度が、低トラップ順位密度の元で実現されている。また、GeSn 合金ではより高いホール移動度を示すことが明らかにされ、さらにモデル計算によってより高い電子移動度を有することも予言されている。

II-V 化合物半導体のチャネルについては、移動度の上昇を実現するために、成長時およびその後のプロセスによる転位密度を低減することが重要である。GeSn チャネルと High-k 膜界面のトラップ準位を低減させる努力もなされているが、いまだ移動度は計測されていない¹²³。最近の低トラップ準位密度で high-k 膜を成長される技術の進化により、Ge、というより GeSn は CMOS デバイスを実現するために候補材料にあがってきた。

4.2.1.5.1. III-V 化合物半導体と Ge の共形成 (CO-INTEGRATION OF III-V AND GE)

CMOS デバイスに III-V 化合物半導体もしくは Ge を組み込むことも難しいが、両者を同時に CMOS に組み込まなければならない場合、さらに課題は複雑になる。高いホールおよび電子移動度の InGaSb と n-Ge を用いた最新の進歩によって、Ge や III-V 族との組み合わせでの CMOS 素子の実現を可能にする。一方で、欠陥制御、界面科学の制御、ドーパントの取り込みおよび活性化、ソース/ドレイン電極の低抵抗での形成など課題は残されている。Si 基板上への III-V 族の成長の際、深いトレンチ内の選択成長は、アスペクト比トラッピングと呼ばれるトラップ転位が生じる。InGaSb を用いた別のアプローチは、ホール移動度を向上された圧縮ひずみを有する InGaSb 層を作成することである。それによって、n および p 双方のデバイスにとって InGaAs のみが必要となる。

4.2.1.5.2. ドーパントの結合、活性化について (DOPANT INTEGRATION AND ACTIVATION)

III-V 化合物半導体のドーパントの導入および活性化は低温で実施されるが、Ge 中のドーパントの活性化は n 型ドーパントに対して、高いプロセス温度が必要となる¹²⁴。Ge 中の金属誘起ドーパント活性化に関する最近の発表によれば、活性化が 380°C という低温で達成されたことが示された¹²⁵。したがって、もし III-V 化合物半導体と Ge の素子が同一基板上に形成されるとすると、プロセスの複雑性を挙げることになるものの、この競合する要求項目によって、III-V 化合物半導体の形成の前に、Ge 素子が形成されることが要求される。

4.2.1.6. トンネル FET 材料 (TUNNEL FET MATERIALS)

トンネル FET は、より急峻なターンオン特性を得るために、バンド間トンネリング現象を利用したデバイスである。これらは、前述の代替チャネル材料を、従来のプロセスを用いて作製可能であり、さらに新しい

材料は必要ない。トンネル FET についてのより詳細な議論は、ERD のロジックデバイスの章で扱われている。

ナノ構造: デバイスの微細化とマルチゲート化は、ナノスケールデバイスのサブスレッショルド領域の特性に影響を及ぼす可能性がある。シリコンナノワイヤ TFET は、20 nm 径のナノワイヤに対し 30 mV/dec.程度の低いサブスレッショルドスロープを持つことが報告されたが、直径が 50 nm に増えると値は約 100 mV/dec.まで増加した¹²⁶。そのため、サラウンドゲート構造を有する極小径のチャネルおよび TFET はデバイスのサブスレッショルドスロープを改善させるであろう。

4.2.1.7. 代替チャネル材料の批判的査定 (ALTERNATE CHANNEL CRITICAL ASSESSMENT)

ERM と ERD では、いくつかの同じデバイスのクリティカルアセスメントを実施した。

ERD の評価においては、集積と製造についてのすべての課題が解決されると仮定したが、ERM では材料、プロセス、および集積における課題の解決の難度を評価した。この ERM の精査は、代替材料が CMOS より良い(3 点)、CMOS 並み(2 点)、CMOS 以下(1 点)であるかどうかを投票によって決めている。ERM のクリティカルアセスメントでは、Table ERM5 に示すように、遷移金属アルコゲナイドおよびナノワイヤを除く、全ての代替チャネル材料が潜在的に Si CMOS よりも同等か良い移動度を持つという見通しになっている。集積の観点からは、CNT やグラフェンは平均点が 1.5 点となった一方で、Ge および III-V 化合物は平均点がそれぞれ 2.0 点および 1.8 点となり Si と同等の見通しであり、一方他の材料では平均点が 1.6 点となり、これらは Si に劣るという結果となった。表に示すように、いくつかのカテゴリーにわたって平均得票が 2.0 を超えるものは、CMOS 上に集積することが「容易」という見通しになっている(いずれのオプションもこの基準を満たしていない)。また、平均得票が 1.7 点を超えるものは、多大な労力が必要だが、それが伴えば CMOS 上に集積することが可能であるとの見通しであり、Ge、III-V 族がこの基準を満たす。

Ge、III-V 族、およびナノワイヤは比較的好意的な見通しになってはいるものの、それぞれ克服しなければならない課題が存在する。p-III-V 化合物については、最大の懸案事項として、Si 上に欠陥のない結晶を成長しうるかどうかと High-k 絶縁膜である。その他の材料に対しては、最大の懸案事項のひとつが、製造可能なプロセスで所望する位置に作成する機能であり、CNT については、この部分で低いスコアとなっている。これらの材料すべてについての技術的な課題は、代替チャネルの章でより詳細に述べられる。

なお、このクリティカルアセスメントは、ERM, ERD, FEP, PIDS の各技術ワーキンググループからの 10 人の ITRS の参加者による投票に基づいており、将来の ERM 改訂版では、更新していくことになる。

Table ERM5 Alternate Channel Materials Critical Assessment

4.2.2. 電荷ベースの BEYOND CMOS 材料 (CHARGE BASED BEYOND CMOS MATERIALS)

4.2.2.1. スピン FET 及びスピン MOSFET 材料 (SPIN FET AND SPIN MOSFET MATERIALS)

スピン・トランジスタは“スピン FET”と“スピン MOSFET”の両方を含む。どちらのデバイスも磁性体ソース/ドレイン、MOS ゲートを持ち、用いられる材料は Table ERM6 に記載されている。スピン FET のチャネルは、スピン-軌道結合の強い材料、例えばガリウム砒素や他の III-V 族化合物半導体であり、一方でスピン MOSFET のチャネルはスピン-軌道結合の弱い材料である。どちらのデバイスにおいても、スピンは強磁性ソースから注入され、チャネルを伝導しドレインに到達する。ドレイン電極のスピン方向と揃ったスピン方向を持つ電子が通過することで電流に寄与する。スピン FET の場合には、ソース電極とドレイン電極は同じスピン配列を持ち、ゲート電圧はスピン-軌道結合を介しスピンと結合し、スピンの歳差角度を変える。ドレイン電極は同じ方向のスピンを持つ電子を受け入れるので、電流が変調される。スピン MOSFET の場合には、ドレイン電極の磁化方向は固定されているが、ソースの磁化方向は変えることが

出来る。そのため、ゲート変調無しでもソースからドレインへ電流を流すことができる。これらのデバイスでは、スピン注入が重要であり、ショットキー障壁もしくはトンネル障壁を介して実現される(スピン材料の節)。チャンネル材料とゲート誘電体は ERM の代替チャンネルの節とスピン輸送材料の節に記述され、ソース/ドレインの材料オプションについては強磁性材料の節に記述される。これらのデバイスのより詳しい記述は EDR の章にある。スピン・トランジスタの最近の解説はこれらのデバイスの概念と課題を強調している¹²⁷。最近の研究においては、強磁性金属/SiO₂ トンネル障壁電極を用いて Si 中への電氣的スピン注入、検出、操作が 500 K 迄の温度で実証され、実用温度でのスピン MOSFET 動作実現の一步となる結果が得られている¹²⁸。

4.2.2.2. 原子スイッチ材料 (ATOMIC SWITCH MATERIALS)

原子スイッチは、2 つの電極間にブリッジを形成するために金属原子が移動する酸化/還元プロセスで動作する。この材料には、銅や硫黄の様な金属が含まれる¹²⁹。最近、STM により RbAg 固体薄膜電解質中の Ag フィラメントの成長が調べられ、Ag 臨界核の形成が律速ステップであることを明らかにした¹³⁰。これらメカニズムを原子レベルで明らかにするため、またその潜在的な信頼性を明らかにするため、さらなる研究が必要であるが、メカニズムについては、レドックスメモリに類似している様に見える。

4.2.2.3. モット FET 材料 (MOTT FET MATERIALS)

モット FET (Field Effect Transistor) は、ERD Logic セクションで紹介されているように、ゲート電圧の印加によりモット絶縁体内部に生成される電荷によって誘起される金属絶縁体転移を基本としている。ゲート電圧印加による金属絶縁体転移を示す VO₂を用いた MOSFET 構造が作製されているが¹³¹、(電子的、構造的な) スイッチングメカニズムについての詳細は、まだ明らかになっていない。ゲートに電解質溶液を用いることにより、モット絶縁体中に、低電圧でも非常に高濃度のキャリアを生成できるようになっている¹³²。NdNiO₃ では、ホールドーピングにより絶縁体から金属的伝導を示す状態への相転移が起きるが、NdNiO₃ をチャンネルに用いた FET において、2.5 V のゲート電圧印加により、この相転移温度が、40 K も低下する^{133,134}。これらの実験結果は、相転移温度の低下がチャンネル厚さに逆比例する、すなわち、電界により、キャリアがチャンネルの厚さ方向に均一に誘起されることを示している。この点は、電界誘起されたキャリアが、チャンネル層表面のゲート電極側に局在する、通常の半導体を用いた FET とは異なっている。このモット FET における特性は、半導体デバイスの微小化における問題を解決する方法の一つになる可能性がある。同様の現象は、VO₂を用いたトランジスタにおいても報告されている¹³⁵。また、CaMnO₃¹³⁶、SmCoO₃¹³⁷ をチャンネル層に用いた薄膜でも、電子ドーブにより絶縁体金属転移が誘起され、室温において、低いゲート電圧印加により大きな抵抗変化が生じている。ある材料については、このスイッチングが、電荷が蓄えられている領域から、薄膜の厚さ方向に向かって伝搬していくことによると考えられている¹³⁸。ゲートに電解質溶液を用いる手法は、キャリアドーブによる絶縁体金属転移の誘起を明瞭に示しているが、一方で、同様のレベルのキャリア量を誘起できる固体ゲート電極、および室温における絶縁体金属転移についての研究が必要とされる。

4.2.2.4. 強誘電性ゲート容量材料 (FERROELECTRIC NEGATIVE CG MATERIALS)

強誘電性酸化物は、電界効果トランジスタの電流電圧特性における急峻なサブスレッショルドスロープ (subthreshold slope, SS) をもたらすゲート酸化物として期待される^{139,140}。従来の FET において、SS の本質的な限界は、室温において、60 mV/dec. とされ、これが、動作電圧および電力損失の基本的な下限を決めている。次世代のスイッチには、低電圧動作が極めて重要になってくると考えられる^{141,142}。原案では¹³⁹、絶縁体を適当な厚さの強誘電体で置き換えることにより、強誘電体からの負の静電容量 (理想的には、強誘電体の負の静電容量が、積層の正の静電容量をちょうど打ち消す) により、静電容量が大きく増大することが示されている。結果的に、ドレイン電流が、低電圧でも急峻に増大する。強誘電体ゲート電極として、SrBi₂Ta₂O₉¹⁴³ を用いるモデルでは、動作電圧が約 150 mV 低下すると予想されている。

60 mV/dec. を下回る SS は、強誘電性ポリマー (P(VDF-TrFE)) を用いた、金属-強誘電体-金属-ゲート酸化物 からなる積層構造において、初めて実験的に見いだされた¹⁴⁴。最小の SS として、46 – 58 mV/dec. という値が報告されている。複合強誘電性酸化物を用いた負性容量は、PbTiO₃/SrTiO₃ の二層

を用いた、金属-絶縁体-強誘電体-金属 から成るキャパシタにおいて報告されている¹⁴⁵。強誘電体酸化物を用いた MOS 構造では、今のところ、負性容量や急峻な SS についての報告例はない。このようなデバイスにとっての強誘電体酸化物のスイッチングスピードの妥当性や、トランジスタ動作に与える強誘電ドメインの影響等、多くの問題が残されている。加えて、複合酸化物をシリコン上に直接形成させることは、未だ大きな挑戦的課題で¹⁴⁶、また、シリコンと複合酸化物の界面に低誘電率の酸化物が存在すると、適当な厚さの強誘電体層を用いて得られる負性容量効果にとって好ましくない。

もともとシリコン上に形成されてきたデバイスにも、いくつかの欠点があるが、その中の一つは、電気的な不整合である。強誘電体キャパシタは、興味のある電圧領域では、それほど変化しないが、シリコンのキャパシタは、空乏領域から反転領域に達するとき大きく変化する。浮遊ゲートを付加することで¹⁴⁷、この問題を解決できる可能性があり、さらには、デバイスの構造設計の改良により¹⁴⁸、これらの問題を克服できることも提案されている。チャネルは、伝導体または十分にドーピングされたシリコン上の、薄い半導体膜である。デバイスの上部は、高誘電率酸化物-金属-強誘電体の積層から構成される。ヒステリシスのない負性容量キャパシタを有し SS がおよそ 30 mV/dec. となる FET が、 10^6 倍の電流範囲にわたって動作することがシミュレーションされている¹⁴⁸。しかしながら、浮遊ゲートは、論理デバイスには適当でないことを注記しておく。

4.2.3. 電荷を用いない BEYOND CMOS 材料 (NON-CHARGED BASED DEVICE MATERIALS)

4.2.3.1. スピン波デバイス材料 (SPIN WAVE DEVICE MATERIALS)

スピン波ロジック回路を形成するための主要な技術課題は、高効率のスピン注入、検出、導波路中でのスピン波の変調である。これを実現可能なものとするためには、効率の良いスピン波発生器、スピン波変調器がスピン導波路上に集積されなければならない、材料間の界面の最適化が必要となる。現時点で、磁気変調器に関する研究はスピン・バルブ/磁気トンネル接合もしくはマルチフェロイック材料を用いて行われている^{149, 150}。本節ではマルチフェロイック材料を用いた効率の良いスピン波導波路とスピン波変調器の作製に必要とされる材料特性について議論する。スピン波デバイスに用いられる材料は Table ERM6 に記載される。

Table ERM6 Spin Devices versus Materials

最適化されたスピン導波路の作製に必要とされる基本的性質は、高い飽和磁化(~ 10 kG)、低保磁力(数十エルステッド)、低減衰時間(少なくとも 0.5 ns)である。スピン波バスに対して用いられる現在最も知られた材料はスパッタ製膜による NiFe、CoFe、CoTaZr といったソフトな強磁性金属伝導膜である。これらの強磁性金属は高い飽和磁化(約 10 kG)と室温より十分高いキュリー温度(Ni 627 K、Fe 1043 K、Co 1388 K)を持つ。これらの材料を用いるもう一つの利点は、シリコン・プラットフォームとの整合性である。スピン波素子のプロトタイプはイットリウム・鉄・ガーネット(YIG)のようなフェライト材料を用いて作製されている。シリコン基板上にナノメータ厚の均一に密集したフェライト材料を実現することが技術課題である。

スピン導波路上にマルチフェロイック構造を如何に集積するかを示した理論モデルは存在するものの¹⁵⁰、実験的実証は為されていない。マルチフェロイック材料に対する主要な二つの要求がある: (i) 顕著な電気-磁気結合(単位: V/cm Oe)、(ii) 速いスイッチング速度である。導電材料と絶縁材料の両方がスピン波ベースの論理デバイスに用いられる。それらは単相マルチフェロイック(例: BiFeO₃ 7 mV cm⁻¹ Oe⁻¹)でも、piezo材料と強磁性材料から成る複合(二相)マルチフェロイック(例: PZT/NiFe₂O₄ (1,400 mV cm⁻¹ Oe⁻¹), CoFe₂O₄/BaTiO₃ (50 mV cm⁻¹ Oe⁻¹), PZT/Terfenol-D (4,800 mV cm⁻¹ Oe⁻¹))でも良い。二相複合構造は単相系よりも約 3 桁大きい磁気-電気結合係数を示すが、単相マルチフェロイック系の方が本質的に速いスイッチング速度を持つ。実験的に単相マルチフェロイックは 100 ps (10 GHz)のスイッチング時間を持つことが示されているが、複合マルチフェロイックにおいては 1 ns (1 GHz)程度である。

材料選択への以上のアプローチは効率の良いスピン波バスもしくは干渉系ベースのスピン波多数決ロジック・デバイスを作製するために要求される¹⁵⁰。

4.2.3.2. ナノマグネティック・ロジック材料 (NANOMAGNETIC LOGIC MATERIALS)

磁気セルラ・オートマタ(MCA)はセルラ配列に配置された強磁性アイランドを用いるもので、隣接する磁気ドット間の磁界相互作用によって局所的通信を行う¹⁵¹。以前の研究において、30-50 nm 厚のアイランドからなる直径 100 nm のドットがパーマロイ及びスーパーマロイから作られている¹⁵²。一つの MCA の状態は他の MCA から生成される磁界によって変えられるので、技術課題は多数の MCA 間での信頼性ある配列の伝達である。二軸の結晶磁気異方性を伴う磁性材料を用いることが一つの選択肢である。矩形のナノ磁石が困難軸方向に沿って磁化している時、二軸異方性はメタステーブルな状態を与え¹⁵³、スイッチングの信頼性を向上する。そのような二軸異方性を持つ材料として、単結晶 Cu 基板上のエピタキシャル Co¹⁵⁴、GaAs 上のエピタキシャル Fe¹⁵⁵、Si 上のエピタキシャル Co/Cu が知られている¹⁵⁵。ナノマグネティック・ロジックに用いられる材料は Table ERM6 に記載される。

MCA の磁束密度を向上するための一つの手法は透磁率を増やすために異なる材料で磁石を包むことである。この効果は MRAM で実証され、電流の増加なしに word/bit 線の磁界強度を増加することを目的に磁性ナノ粒子が誘電体に埋め込まれた¹⁵⁶。提案された材料系により透磁率は 2 から 30 倍程度増加する。更に、磁性粒子のサイズが超常磁性極限以下であるので、セルの磁気状態に大きな影響を与えないことも保証される。

これらのアプローチは面内磁化を持つ磁気アイランドを用いるものであるが、垂直磁化を持つコバルト-白金多層膜のような積層構造を用いることも可能である。最近の研究において、集束イオン・ビームで加工された Co-Pt 多層膜に対して、磁気結合した垂直磁化を持つ単磁区アイランドが実証された¹⁵⁷。

4.2.3.3. エキシトニック FET 材料 (EXCITONIC FET MATERIALS)

エキシトニック FET は代替チャネル材料から作られるが、異なるデザインを持つ。平行チャネル・デバイスであるため電子と正孔を分離し、ゲート電極で制御されるエキシトンを形成する。エキシトニック FET は代替チャネル材料で作製されるので、EMR ではこれ以上の議論はしない。詳細は EDR のロジックの節に記述される。

4.2.3.4. BISFET 材料 (BISFET MATERIALS)

二層擬スピン FET (BISFET)は薄い絶縁誘電体で分離された二層のグラフェンから構成できることが提案されている。目標となるのは、室温で一方のグラフェン層に他方のグラフェン中の正孔の集団超流体と結合したエキシトニックな電子の集団超流体を形成することである。室温でこのような結合が生じるかどうかについては多くの議論がある。詳細は EDR のロジックの節に記述されている。BISFET デバイスに用いられる材料は Table ERM6 に記載される。

4.2.3.5. スピン・トルク多数決ゲート材料 (SPIN TORQUE MAJORITY GATE MATERIALS)

スピン・トルク多数決ゲートは共通の“自由”スピン層に連結された複数のスピン・デバイスから構成される。このロジックに対して二つの異なるスピン・デバイス、スピン・トルク・ナノ発振器(STNO)あるいは磁気トンネル接合が提案されている。これらの二つのデバイスはその動作において異なる効果を利用しており、詳細は EDR のロジックの節に記述される。スピン・トルク多数決ゲートに用いられる材料は Table ERM6 に記載される。

STNO 多数決ゲートは“自由”層を介してスピン波を送ることによって動作し、自由層の波の周波数は多くの発振器の多数のものと同じである。これらのデバイスは強磁性材料と薄い非磁性膜から構成される。これらのデバイスのサイズが小さくなるにつれて、自由層中で低いダンピングを持つことが重要となる。ダンピングは材料に固有のものにも成り得るが、自由層の表面ラフネスや表面のダメージによっても生じる。故に、表面もしくは側壁のダメージやラフネスを最小にするプロセスの開発が重要となる。低いダンピングを持つことが重要である一方で、なにがしかのダンピングはスイッチング・エネルギーの散逸と高速スイッチングに必要とされる。

磁気トンネル接合デバイスにおいて、各インプットの磁氣的配列はトンネル障壁を抜けて自由層にトルクを与えるスピン偏極電子により輸送される。これらのデバイスのエネルギー効率を良くするためには、少量のトンネル電流が自由層中の磁化に大きな変化を与える必要がある。故に、トンネル障壁はごく少量のスピン散乱しか示さず、“自由”層のダンピングは低い必要がある。また、STNO デバイスと同様に、自由層は低ダンピング材料である必要があり、外因性のダンピングも低くなるように作製されなければならない。更に、非常に小さなフィーチャー・サイズ迄スケール可能にするためには、現在の面内磁化構造ではなく面直磁化構造で動作する MTJ の開発が重要となる。これらのデバイスに対しては新しい材料の組み合わせが必要となろう。MnGa と MnAl が候補となる材料で、低いダンピングを持つ上に、微細化した際も高い熱安定性を保つために必要とされる大きな垂直磁気異方性を持つ¹⁵⁸。

STT 素子の自由層の磁化をスイッチするために必要とされる閾電流は通常 10^6 - 10^7 A/cm² 程度である。この増加は消費電力の増大、発熱と散逸、エレクトロマイグレーションにつながるため、閾電流を桁違いに減少させることが望まれている。最近の研究において、CoFeB/MgO の界面磁気異方性を電界で制御し、磁化反転のエネルギー障壁を下げることで、スピントルク磁化反転に必要とされる電流を二桁も下げられることが示された¹⁵⁹。Wang らは、300 K において 55 Oe の垂直方向の定常磁界中で 0.9-1.5 V の単極性の電圧パルスで CoFeB/MgO/CoFeB MTJs に印加し、閾電流 $\sim 10^4$ A/cm² の可逆的な STT スwitchングを実証した¹⁵⁹。Fe/MgO/Fe MTJ 構造においては全く別の手法がとられた¹⁶⁰。 ~ 700 Oe の垂直方向の定常磁界の印加を必要としたものの、調整された幅を持つ電圧パルスを用いることで、STT 電流が無い場合でもコヒーレントな歳差運動を介した磁化反転が可能であることが示された。同様のことは、230 Oe の小さな定常印加磁界中で CoFeB/MgO/CoFeB MTJs に対しても可能であることが Kanai らによって示された¹⁶¹。これらは、通常の MTJ 構造の磁化状態の電圧制御スイッチングの著しい進展の結果である。

4.2.3.6. 全スピン・ロジック材料 (ALL SPIN LOGIC MATERIALS)

全スピン・ロジックは磁氣的配線を介したスピン波伝送により状態を他のデバイスに伝達する磁気デバイスもしくはスピン・デバイスからなる。小さな構造迄スケラブルであるためには、磁気材料は低内因性ダンピングを持ち、表面と界面で低ラフネスかつ低ダンピングの配線が形成されるように加工されなければならない。全スピン・ロジックの詳細は ERD のロジックの節に記述される。全スピン・ロジック・デバイスに用いられる材料は Table ERM6 に記載される。

4.3. スピン材料 (SPIN MATERIALS)

多くのスピンをベースとした素子は新探求素子 ERD の章でメモリとロジックへの応用に対して評価されている。これらの素子において、単一スピンもしくは磁石中のスピンの集団の電子スピンの方向が情報を担う。これらの素子の動作はナノメータ・スケールの材料の特性に依存し、様々な材料がこれらの素子の実現に必要とされる。多くの素子に必要とされるいくつかの基本的機能として、1) 電気信号のスピンへの変換、2) スピン状態の保持、3) スピン輸送、4) 電界もしくは磁界によるスピン変調、5) スピン状態から電気信号への変換、が挙げられる。これらの機能を満たす材料は 400K 程度の高温での素子動作に耐えうる必要がある。これらの機能は単一の材料、単一界面、もしくは複数の材料の組み合わせにより発現することが期待され、ナノメートル・スケール構造での動作も必要となるであろう。スピン・ベース材料とそれらの重要な特性、技術課題は Table ERM7 にまとめられる。

Table ERM7 Spin Material Properties

4.3.1. スピン材料の技術課題 (SPIN MATERIAL CHALLENGES)

素子実現に向けて材料に対して重要となる技術課題は、(1) 高キュリー温度 $T_C > 400$ K と高残留磁化を持つ磁性半導体の再現性の良い作製、(2) 電氣的ポテンシャルと磁氣的配列もしくはスピン配列との間に強い結合を持つ材料もしくは構造、(3) CMOS 製造工程との材料の適合性、(4) スピンと磁区物理の評価手法、である。スピン計測の詳細なリストは ERM の計測の節に含まれる。

4.3.2. スピン材料の特性 (SPIN MATERIAL PROPERTIES)

Table ERM7 に与えられる異なるスピントロニクス材料に対する重要な特性は、ERD の章で議論されるように、どのようなデバイスに応用されるかに依存する。半導体材料ベースの素子もしくはすべて金属からなる素子の作製技術が(ERD に記述されているように)めざましく進展しつつあるという状況を鑑み、本節では以下の物理現象を呈示する材料に焦点を置く: (1) バスとロジックに対するスピン波伝搬と変調、(2) ナノマグネティック・ロジック、(3) メモリとロジックに利用できるスピン偏極電子と正孔に対する電界効果、である。従って、本節では以下の材料とそれらの特性の焦点を置くことになる。

希薄磁性半導体

強磁性転移温度 (T_C)

T_C のサイズ依存性— ナノ材料

広禁制帯磁性ドーパ酸化物及び窒化物

III-V 族及び IV 族半導体

スピン注入/検出材料

スピン・トンネル障壁

半導体及びナノ構造

スピン波スピントロニクス素子に対する材料

ナノマグネティック・ロジックに対する材料

4.3.3. 希薄磁性半導体 (DILUTE MAGNETIC SEMICONDUCTORS)

強磁性半導体としても知られる希薄磁性半導体の潜在能力は、材料中のキャリア濃度を変えることによって磁性をスイッチできることである。(Ga,Mn)As のキャリア媒介相互作用による強磁性転移温度の最高値は 2011 年の報告の 200 K に止まっており¹⁶²、実応用に対して大きな壁がある。半導体技術に適合し、400K 以上のキュリー温度、高残留磁化、キャリア媒介相互作用を持つ材料を発掘するための研究が必要とされている。これに対する詳細な議論は 2009 ITRS の ERM の章にある。

4.3.4. スピン注入材料 (SPIN INJECTION MATERIALS)

スピン注入材料の目的とする所は、半導体もしくは他の材料への高スピン偏極電流の注入である。これは、元々高いスピン偏極率を持つ材料を用いることで、もしくは“スピン・トンネル障壁”において議論されるように隣接する半導体もしくはトンネル障壁と整合するバンド対称性を用いることで達成される。

スピン注入コンタクトに対して用いられる材料はいくつかの基本特性を備えてなければならない。

(a) 強磁性であり、400K 以上のキュリー温度を持つこと。

(b) 容易軸方向に大きな残留磁化を持つこと、すなわちゼロ磁界で飽和磁化の少なくとも 50%の残留磁化を持つこと。

(c) 注入電流に高スピン偏極を与え、半導体中に高スピン偏極を生成できること。

(d) 隣接層との界面が熱的に安定であり、素子製造工程において FM 特性が損なわれないこと。

(a)と(b)はフィールド・プログラマブル・ゲート・アレイ、ロジック・エレメント、メモリのような応用に要求される不揮発なリプログラマブル特性を与える。一般的に、スピン注入コンタクト材料は、半導体もしくは障壁材料にあわせて選択される必要がある。大きく分けて三つの材料系が偏極スピン注入に用いられる。強磁性金属、ハーフ・メタル、強磁性半導体であり、それぞれが異なる技術課題を持つ。最近になって、四つ目の材料区分として大きなスピン・ホール効果を示す材料が挙げられるようになった。

強磁性金属 (FMM)—Fe、Co、Ni とそれらの合金のような従来の FMM は磁気記録産業に対して良く知られているもので、上の要求(a)と(b)を満たすことは自明である。FMM と半導体間の大きな伝導率不整合のため、効率の良いスピン注入を実現するためにはトンネル障壁の挿入を必要とする。これは逆バイアスのショットキ・コンタクトもしくは金属酸化物層(Al_2O_3 、 MgO 等)の挿入で形成できる。いくつかの FMM は

選択された半導体及びトンネル障壁に対して要求(c)を満たすことが示されている。これらの材料の詳細は 2009 ITRS の ERM の章にある。

ハーフ・メタル—ハーフ・メタルはフェルミ・エネルギーにおいて片側のスピン・チャンネルに占有状態がなく 100%スピン偏極した材料であるため、スピン注入コンタクトとして魅力的である。一般的にハーフ・メタルは要求(a)と(b)を満足する。原理的に、100%スピン偏極した金属は、半導体との電気的不整合の問題を回避するためのトンネル障壁コンタクトを必要としない。しかしながら、ハーフ・メタルのスピン偏極率は欠陥に敏感なので(比較的低濃度の格子欠陥がスピン偏極を急激に減少させる)、ハーフ・メタルと呼ばれる材料も室温から 400K の温度範囲では他の FM 金属と同様のスピン偏極率~50%しか示さない。また、半導体との界面における欠陥もスピン偏極率を理想的なものから大きく低減させる原因となっている。半導体(GaAs)への期待される程ではない電気的スピン注入が報告されているのみで^{163,164}、ハーフ・メタルは未だ要求(c)を満足していない。要求(d)は大きな技術課題となるであろうが、二、三の注意深く作製された系はスピン注入材料として適したものになるかも知れない。

強磁性半導体 (FMS)—FMS は半導体と磁石の性質を同時に持つ材料である。半導体であるので、伝導率不整合の問題は無く、デバイス設計も半導体禁制帯エンジニアリングの標準原理に従う。多くの金属とは異なり、FMS は他の半導体上に容易くエピタキシャル成長可能であり、複雑なヘテロ構造に組み入れることができる。“強磁性半導体”の節に記したように、FMS は一般的に室温より低いキュリー温度~200 K を持つ。故に、FMS は要求(a)を満たさない。先に議論されたように、現在研究中であるものいくつかの例外がある。

最近になって注目された四つ目の区分となるスピン注入材料は、スピン-軌道相互作用により非偏極電流がそれと直交する方向に純スピン流を生成する効果であるスピン・ホール効果(SHE)を示す材料である。そのような材料の定量的定義にはスピン流 J_s と電流 J_e の比であるスピン・ホール角 $\theta_{SH} = J_s/J_e$ が用いられる。SHE は以前から知られていたが¹⁶⁵、その効果は小さく技術的に重要になるとの認識はされていなかった。最近になって発見された Ta と W 薄膜における巨大スピン・ホール効果は^{166,167}、300 K において隣接する CoFeB 層でのスピン移行スイッチング、スピン-トルク誘起の磁氣的振動を誘起するのに十分な大きさを持つ¹⁶⁸。W の $\theta_{SH} = 0.33$ は Fe (~40%) のような多くの FM 金属の電流のスピン偏極率に近い。Ta と W のようなスピン・ホール材料は、上の(a)と(b)の要求を満たすものには該当しないが、それらはスピン偏極電流ではなく純スピン流を生成するものであり、何らかのスピン트로ニクス回路応用において有用であろう。比較的大きなスピン・ホール角 $\theta_{SH} > 0.2$ は不純物ドーピングされた Cu においても観測されており^{169,170}、隣接する CoFeB 層の SHE-STT スwitching も報告されている¹⁷¹。

4.3.5. スピン・トンネル障壁 (SPIN TUNNEL BARRIERS)

強磁性(FM)金属と半導体の間の伝導率の大きな差が効率の良いスピン注入の障害となる。半導体は上向きと下向きスピンを持つキャリアを等量受け入れることができ、両方のチャンネルが等しく低い伝導率を持つためである。結果として、FM 金属のスピン偏極の高低に関わらず、半導体中のスピン偏極率は実質ゼロとなる。この“伝導率不整合”の問題を解決するために、電流を支配する直列抵抗の中で界面抵抗が最大になる必要があり、更に界面でのスピン選択性を必要とする。トンネル障壁は両方の要求を満たす^{172,173}。

欠陥の無い超薄膜トンネル障壁の作製は継続中の課題である。SiO₂ のような十分に発達して広く活用されている酸化物でさえ、欠陥と捕獲電荷もしくは可動電荷を持ち、電気とスピンの両方に関わる動作特性に制限を与えている。理想的なスピン・トンネル障壁は次の特性、高いスピン・フィルタ効率もしくは高いスピン注入効率、制御された膜厚での面内均一性、低い欠陥/捕獲電荷密度、省電力のための低い抵抗-面積積値、素子製造工程での温度において他の材料との相互拡散を少なくできるような強磁性金属と半導体との整合性、を示すべきである。

結晶性 MgO は CoFeB/MgO/CoFeB ヘテロ構造のトンネル障壁として用いられ、400°C の熱処理で TMR 比(300 K) 350%、600°C の熱処理で TMR 比(300 K) 600%が得られている¹⁷⁴。単結晶 MgO (001) の Δ_1 伝搬状態の対称性は Fe のような FM 金属の多数スピン・バンドのものと整合する。従って、多数スピ

ンは Fe/MgO コンタクトを容易く通過し、少数スピンはブロックされる。原理的に、これは Fe コンタクトのみよりも注入電流の高スピン偏極率を結果する。このようなバンド対称性が助長するスピン注入は、ホイスラー合金を用いたアプローチと同様に、高スピン偏極コンタクトへの有望な手法である。MgO はハード・ディスクの読み取りヘッドやスピン移行トルク MRAM を含む MRAM に用いられる工業的にも標準的なスピン・トンネル障壁材料となった。大量生産されている応用において、典型的な TMR 比は 100% であり、(熱収支による)部分的な結晶性の変化や界面での酸素の相互拡散によっておそらく制限されている¹⁷⁵。

グラフェンはスピン・トンネル障壁として有効であることが予言されており¹⁷⁶、Fe/MgO/Fe で実現された以上の TMR 比が Co/Gr/Co と Ni/Gr/Ni で得られる。これは、FM 金属で一つのスピン・バンドのみがヘテロ構造のフェルミ・エネルギーを横切っており、それが透過に寄与するため、もう片方のスピン・バンドは透過できず、数(3-5)層のグラフェンに対してほぼ完全なスピン・フィルタ効果が実現される。計算は、通常の磁気トンネル接合もしくは遷移金属と半導体の界面のスピン・フィルタ特性に大きな影響を与える界面荒さとディソルダにスピン・フィルタ効果は殆ど依存しないことを示す。最近の実験は、単層のグラフェンでさせ Co/G/NiFe MTJ 構造でスピン・トンネル障壁として機能することを確認した¹⁷⁷。その TMR (300 K) は小さく、グラフェンは単層では十分なスピン・フィルタ効果を発揮できないためである。他の実験においては、単層グラフェンが FM 金属と半導体の間の伝導率不整合を解消する障壁として機能することが示された。300 K において高効率の Si へのスピン注入を可能にするのと同時に SiO₂ トンネル障壁に比してコンタクト抵抗を三桁減少する¹⁷⁸。

グラフェンの平面的特性は障壁のモフォロジの優れた制御性を与え、h-BN のような自然層状化合物と共に、トンネル障壁技術の新しいパラダイムを導くだろう。グラフェンの科学的に不活性な性質は界面での反応と拡散を最小限のものとし、明確な界面、熱処理耐久性、ピンホールを介した結合の抑制を保証する。現在の課題は最適なスピン・フィルタに必要とされる 3-5 層の良質のグラフェンを作製することである。これは、初期段階の研究により、Ni、Fe、もしくは Co 上に直接 CVD で成長することによって達成できるであろうことが示唆されている。

4.3.6. 半導体及び半導体ナノ構造中スピン輸送 (SPIN TRANSPORT IN SEMICONDUCTORS AND THEIR NANOSTRUCTURES)

いくつかの素子に対して、半導体中にスピンが注入された後で、スピン輸送、操作、検出される前にスピンがコヒーレンスを失わないことが重要である。多くの半導体中のスピン輸送に関する研究は、GaAs のような III-V 族の直接遷移半導体で行われた。スピン偏極に依存する光学吸収/発光の分光計測は容易い上に、キャリアのスピン偏極とダイナミクスに対する直接かつ定量的な知見を与えるからである¹⁷⁹。low-Z (弱いスピン-軌道相互作用)を持つ IV 族半導体に対して予期されるスピンの長寿命は、スピン角運動量を用いることを魅力的なものとしている。FM 金属コンタクト(例えば Fe, CoFe)から Si へのスピン偏極キャリアの電氣的注入と検出によるスピン輸送が実証され^{180, 181, 182}、30%もしくはそれ以上の電子スピン偏極率が報告されている。純スピン流とスピン偏極電流の磁界誘起コヒーレント歳差運動が各々横輸送と縦輸送配置で実証された^{175, 182}。これらの結果は総じて可変状態として電荷よりスピンを用いて情報が供給、処理、読出しされることを示す。しかしながら、これらの結果は、コンタクト抵抗によって生成される熱雑音のためこれ迄は低温に制限されてきた。Si の空乏層幅を制御することによってこのコンタクト抵抗を減ずる手法が確認されている¹⁸³。最近の研究は強磁性金属/SiO₂ トンネル障壁を用いることで、商業的応用に必要とされる動作温度を超える 500 K 迄の温度範囲での Si へのスピン注入、スピン蓄積の検出と操作を実証した¹⁸⁴。

グラフェンは室温で大きな磁気抵抗(MR)を呈示し、これ迄に研究されてきた他の半導体のものを凌ぐスピン輸送特性を示す¹⁸⁵。そのような大きな MR は InAs から GaAs そして Si を含む他の半導体もしくはナノ構造において観測されていない。最近の研究は室温でのスピン寿命は 2.7 ns、スピン拡散長は 7 μm であるおとを報告し、それら最高値は SiO₂ 上の単層のグラフェンに対して得られた¹⁸⁶。しかしながら、グラフェンには実用上の他の課題があり、それらは主に技術的妥当とされる禁制帯を持たないことドーピングの制御性が制限されていることによる。

低次元材料である CNT はスピン輸送材料として魅力的である。低次元性は高温(> 70 K)においてある種のスピン-軌道散乱機構を抑制し、結果としてスピン寿命を長くする。低温ではあるが、磁性金属コンタクトから CNT へのスピン注入が報告されている。信頼性のあるコンタクトと再現性のある結果を得ることが引き続き技術課題である。いくつかの実験グループがこの分野での研究を進めているが、現時点では半導体のナノワイヤに対するスピン注入と輸送に対する結果は多くない¹⁸⁷。

4.3.7. 磁気-電気結合 (マルチフェロイック) (MAGNETOELECTRIC COUPLING (MULTIFERROICS))

この内容は複合金属酸化物で記述される (以下を参照)。

4.3.8. 界面とヘテロ界面 (INTERFACES AND HETEROINTERFACES)

これらの材料を用いて作製されたすべてのデバイスの特性は高品質な界面を持っているかどうか依存し、重要な特性は何に應用されるかに依存する。スピン・トンネル障壁に対しては、界面は多数スピン・キャリアを散乱してはならない。スピン輸送に対しては、位相緩和を生じないように、界面はスピンを鏡面反射する必要がある。

4.4. コンタクト抵抗 (CONTACT RESISTANCE)

デバイスの寸法がより小さくなるに従い、コンタクト抵抗はデバイスの特性に相対的により大きな影響をもたらすようになる。コンタクト抵抗は、部分的には金属のフェルミ準位と半導体のバンドギャップのエネルギーアライメントにより、コンタクトがショットキータイプかオーミックタイプかにより決まる。金属/半導体界面では、フェルミ準位ピンングにより通常ショットキー障壁が形成される。過去においては、半導体を大きくドーピングすることにより、金属・半導体界面のポテンシャル障壁を薄くし、コンタクト抵抗を低下することが可能であった。しかし、多くのナノスケールのデバイスにおいてはこのような手法は使えない。これに加え、金属コンタクトはしばしば半導体と合金を形成し、フィン FET のようなマルチゲート FET の半導体部分の多くを消費してしまう、という問題もある。さらに、カーボンナノチューブ、グラフェン、あるいは他の二次元材料のようなナノ材料によるデバイスでは、材料が非常に薄いため、唯一の選択肢は障壁高さを下げることである。コンタクト抵抗を下げるための新奇手法としては、界面に薄いトンネル障壁を置くことや、界面にダイポールや電荷を誘起すること、などがある。超低抵抗コンタクトのためには、金属のフェルミ準位と半導体のフェルミ準位が一致することが理想である。しかし、フェルミ準位ピンングのため界面にしばしばショットキー障壁が形成される。それゆえ、高いショットキー障壁を形成し、コンタクト抵抗を増加させるフェルミ準位ピンングを取り除くことが重要となる。フェルミ準位をピンングしない界面材料は、金属と半導体の間に輸送障壁を形成する可能性がある。したがって、そのような材料は可能な限り薄くしなければならない。さらに、障壁層に双極子や固定電荷を誘起することにより、金属と半導体のフェルミ準位の差を調整することができる可能性がある。

4.4.1. コンタクトにおけるショットキー障壁を減じるためのトンネル障壁 (TUNNEL BARRIER TO REDUCE CONTACT SCHOTTKY BARRIER)

半導体へのメタルコンタクトの堆積は、金属が半導体表面で凝集する際に表面原子にエネルギーを与え、半導体の結合を切る可能性がある。この結合の破壊は、界面に欠陥準位を導入し、それによってフェルミ準位がピンングされる可能性がある。同様なことは表面への酸化物の堆積や形成によっても起こる可能性があるため、フェルミ準位をピンングしない界面層を堆積することが非常に重要となる。半導体界面で致命的なピンングをもたらさない材料やプロセスは実験的に見出さなければならない。シリコンについては、SiO₂ がピンングを起こさない界面をもたらす。ゲルマニウムやいくつかの III-V 材料については、堆積手法によっては、Al₂O₃ や AlO_x がフェルミ準位ピンングを起こさない界面を提供する。

4.4.2. ショットキー障壁高さ低下のための誘電体双極子 (DIELECTRIC DIPOLE TO REDUCE SCHOTTKY BARRIER HEIGHT)

いったんピンングを起こさない界面材料がみつければ、キャリア輸送に対し障壁が低い薄い誘電体を堆積して得たバリア材料に双極子を導入することができる。仕事関数が異なる2つの材料を接触させると、

界面に双極子が誘起される。Si 接触部に 1nm の厚みの薄い $\text{AlO}_x/\text{SiO}_x$ 層を導入することにより、フィン FET においてショットキー障壁高さを 100meV 低下でき、寄生 S/D 抵抗を 25% 下げることができた¹⁸⁸。低いコンタクト抵抗を達成するためには、キャリアに対する障壁はできるだけ低く、かつ薄くなくてはならない。

4.4.3. 界面層への固定電荷の導入 (INTRODUCING FIXED CHARGE IN THE INTERFACIAL LAYER)

界面層に正の固定電荷を導入することにより、半導体界面に負電荷を誘起でき、その結果半導体と金属のバンドのアライメントを変化させることができる。この手法は、金属と半導体の間の障壁高さを厳密に制御するために使うことができる。

4.5. 複合金属酸化物材料、それらの界面と超格子 (COMPLEX METAL OXIDE MATERIALS, INTERFACES, AND SUPERLATTICES)

複合金属酸化物は、超伝導、 piezoelectric 電気、強誘電性、焦電性、強磁性、マルチフェロイック、を包括した、きわめて広汎な、電氣的、磁氣的、光学的性質を示す。ほとんどの複合金属酸化物は、強相関電子系^{189,190}と呼ばれる物質群に属し、その性質は、スピン、電荷、軌道および結晶格子の強い結合に由来している。多くの複合金属酸化物は、ペロブスカイト構造を有し、また、複数の競合する状態が、複雑な現象や豊富な電子相を生み出す。典型的な例は、銅酸化物における高温超伝導^{191,192}、および、マンガン酸化物における超巨大磁気抵抗¹⁹³⁻¹⁹⁵である。これらの材料では、強い電子相関効果と前述した強い結合のため、外部からの小さな摂動が、非常に大きな電氣的、磁氣的、機械的応答に変わる。さらに、これら複合金属酸化物で構成される界面およびヘテロ界面では、電荷の移動や軌道の再構成が起きるため、新しい性質が発現する¹⁹²⁻¹⁹⁴。この酸化物ヘテロ界面は、人工的に作製できる材料であるとも言え、その界面における性質を精密に制御でき、また、全く新しい性質を引き出すことも可能である¹⁹⁶⁻²⁰³。最近の例では、どちらも絶縁体である SrTiO_3 と LaAlO_3 の界面における超伝導の発現、絶縁体と正規強誘電体の積層構造における強誘電性の発現などがある。これらの性質は、新しいメモリーデバイスやロジックデバイスの開発、および、シリコンエレクトロニクスに付加する新機能としての可能性を持っている²⁰⁴⁻²⁰⁷。

一つの大きな課題は、外場によるこれらの性質の制御、例えば、電場による磁性、電気伝導性の制御である。FET (Field Effect Transistor) 構造のチャネルとして、金属絶縁体転移を示す複合金属酸化物を用いると、ゲート電圧の印加によって、この転移を制御することが可能である。実際、 NdNiO_3 をチャネルとした、電気二重層を用いた FET では、-2.5 V のゲート電圧印加により、転移温度が 40 K 低下し²⁰⁸、さらに、負のゲート電圧を印加してホール濃度を増加させると、最終的には伝導度が一桁変化する。重要な問題は、高電圧印加時に酸素欠陥の拡散も伴われ、チャネル材料の性質そのものに変化が起きているのかどうかである。これら複合金属酸化物を用いた FET に関する研究は、強相関電子系材料における絶縁体金属転移の基礎的な解明にも関係する点で、非常に重要である^{208,209}。

4.5.1. スピントロニクスにおける複合金属酸化物材料 (COMPLEX OXIDES FOR SPINTRONICS)

スピントロニクスは、複合金属酸化物材料に見られる磁氣的電氣的性質の結合を利用して、磁氣的な読み取りによる記憶媒体に対し電氣的な書き込みを行える等の可能性と関連して、非常に興味を持たれる領域である。

4.5.1.1. 磁性及び磁気抵抗酸化物 (MAGNETIC AND MAGNETORESISTIVE OXIDES)

デバイスとしての興味を持たれる磁性酸化物の中でも、ペロブスカイト型マンガン酸化物 $\text{La}_{0.7}\text{Sr}_{0.3}\text{MnO}_3$ のように、(伝導キャリアのスピンが 100 % 偏極している) ハーフメタルとなる化合物はとくに注目される。エピタキシャル成長させた場合、スピンフィルターや、磁気トンネル接合といったスピントロニクスデバイスにとって、魅力的な強磁性電極となる。この酸化物についての結晶成長技術および界面制御技術の進歩により、表面における、臨界温度やスピン偏極度が低下している、いわゆる dead layer の厚さを、約 2 単位胞にまで低減できるようになっている。しかしながら、Curie 温度が室温に近い場合、ハーフメタルとしての特性は、そもそも室温では、かなり弱められてしまう。磁氣的な性質以外としては、その上に、他の

機能的な酸化物のエピタキシャル成長を可能にする導電性の電極としても用いられる。例えば、室温で動作する、ペロブスカイト型酸化物から構成される接合型トランジスターのベース電極として²¹⁰、また、強誘電体トンネル接合における導電性の電極として用いられている²¹¹。

二重整列ペロブスカイト酸化物、 $\text{Sr}_2\text{FeMoO}_6$ も、室温以上の高いフェリ磁性転移温度 (約 400 K) を有するハーフメタルである。しかし、その磁気特性は、Fe と Mo の整列度合い、に強く依存し、これを制御することは簡単ではない。最近では、 $\text{La}_2\text{CrFeO}_6$, SrLaVMoO_6 , $\text{Ba}_2\text{FeMoO}_6$, La_2VMnO_6 ²¹²⁻²¹⁷ などの二重整列ペロブスカイト酸化物が研究されてきている。これら酸化物の結晶成長の制御、及び、高い Curie 温度かつハーフメタル性を有する新しい磁性酸化物材料の探索に努力を注ぎ込む必要がある。

磁場による書き込みの場合、局所的に大きな磁場または電流が必要となるため、電力損失の低減やスケールダウンにとって問題がある。したがって、理想的には、電圧による書き込みが要求される。電気磁気結合およびマルチフェロイックは、磁気的な記録媒体やロジックデバイスの電氣的な制御に向けての可能性を持っている。

4.5.1.2. マルチフェロイックによる電気磁気結合 (MAGNETOELECTRIC COUPLING USING MULTIFERROICS)

マルチフェロイック材料は、強誘電性と強磁性 (または反強磁性) の両性質を持っている点で興味を持たれている²¹⁸⁻²²¹。電気分極と磁気秩序が結合 (電気磁気効果) すると、磁場による電気分極の制御、電場による磁化の制御など、両性質を相互に媒介する形の制御が可能になる。

マルチフェロイック材料は、少なくとも二つの強制的秩序を示す^{220,222-224}。この中でも、強誘電性を有しながら、磁気的性質 (強磁性または反強磁性) をも示す材料が、電気磁気結合、および、スピントロニクスにとってとくに重要になる。すなわち、電気磁気結合を通じて、磁場による電気分極の制御、電場による磁化の制御、という両性質を相互に媒介する形の制御が可能になる。このような観点から、マルチフェロイックまたは電気磁気効果を示す新しい材料の探索が盛んに行われている²²⁵。ごく最近、室温において強誘電性、強磁性を示す単一相の化合物が見いだされている²²⁶。最も精力的に研究されている BiFeO_3 は、室温で強誘電性 – 反強磁性を示す²²⁷。電場による反強磁性の制御は、 BiFeO_3 を用いた薄膜において行われた²²⁸。界面における反強磁性と強誘電性を結びつける交換バイアスを利用して、強磁性体薄膜における磁化の電場による制御が実現した。すなわち、 BiFeO_3 を用いた交換バイアス結合を通じて、 $\text{Co}_{0.9}\text{Fe}_{0.1}$ やパーマロイからなる強磁性層の磁化を、室温で電氣的かつ局所的に制御するというものである^{229,230}。この構造では、強磁性体薄膜の磁化方向が、強誘電性と結合している BiFeO_3 の反強磁性磁化方向と結合している。結果的に、電場による BiFeO_3 の強誘電分極の変化が、強磁性体薄膜の強磁性磁化を変化させることになる。

スピントロニクスにおいて、マルチフェロイック薄膜、強磁性絶縁体である BiMnO_3 は、スピンフィルターとして研究開発されている²³¹。

強誘電体トンネル接合、強磁性体トンネル接合は、それぞれ、どちらも不揮発メモリとして、大きなポテンシャルを持っているが、トンネル接合に強誘電性と強磁性を有する絶縁層を用いると、トンネル電流を磁氣的にも電氣的にも制御できるため、4 個の異なる状態を形成できるから、4 状態メモリーデバイスとなる^{232,233}。強誘電体からなるトンネル障壁を通過するトンネル電流は、静電的な効果、界面および歪みによる効果のために、トンネル障壁を形成している強誘電体の分極の方向に依存して変化する。 BaTiO_3 をトンネル障壁として、Fe および $\text{La}_{0.7}\text{Sr}_{0.3}\text{MnO}_3$ を電極として用いたトンネル接合では、 BaTiO_3 の分極をスイッチングすることにより、低温ではあるが、伝導キャリアのスピン偏極度を局所的に大きく変化させることができる²³⁴。

スピントロニクスへの応用に加えて、 BiFeO_3 は、ピエゾ電気効果、光伝導性または光起電力効果、スピン波の形成、変換、制御などにも注目すべき性質を示すので、様々な機能 (磁氣的、電氣的、光学的、機械的) を包括した将来のデバイス構築に向けて期待されるべき材料であると言える^{235,236}。

4.5.2. 複合酸化物界面と超格子 (METAL OXIDE HETEROINTERFACES AND SUPERLATTICES)

複合金属酸化物で構成されるヘテロ構造およびヘテロ界面では、それぞれの材料単独では発現することのない新しい性質が現れる²³⁷⁻²³⁹。半導体のヘテロ接合同様に、これらの酸化物のヘテロ接合における界面は、重要な役割を果たし、また、それだけで、デバイスとなる^{240,241}。一例として、バンド絶縁体である LaAlO_3 (LAO) と SrTiO_3 (STO) を組み合わせると、高い伝導性を示す n 型界面 (LaO/TiO_2) と絶縁性の p 型界面 (AlO_2/SrO) が形成される²⁴²。異なる絶縁性酸化物間から生成する金属的な界面は、他にも、 $\text{LaTiO}_3/\text{SrTiO}_3$, $\text{KTaO}_3/\text{SrTiO}_3$, $\text{LaVO}_3/\text{SrTiO}_3$, $\text{La}_{0.5}\text{Ca}_{0.5}\text{MnO}_3/\text{CaMnO}_3$ で見いだされている。 SrTiO_3 (STO) と LaAlO_3 (LAO) の界面については、数年にわたって研究が続けられている。 TiO_2 層を末端とした $\text{SrTiO}_3/\text{LaAlO}_3$ 界面に形成される二次元シート中の伝導電子の性質は、従来の半導体材料からなる界面 ($\text{GaAs}/\text{Al}_x\text{Ga}_{1-x}\text{As}$) に形成される二次元電子ガスとは異なり、二次元電子液体 (2DEL) として理解されている²⁴³。この 2 次元電子液体の起源については、未だ議論されている (分極崩壊、または、酸素欠損や陽イオンの相互拡散による界面へのドーピングなど)。静電容量測定においてデバイスが高い静電容量を持つこと²⁴⁴、および、ケルビンプローブ顕微鏡による測定から、デバイスが大きな負の圧縮率を示すことが明らかになっている²⁴⁵。伝導性の n 型界面をドレインソースチャネル、絶縁性の LaAlO_3 層をゲート酸化物とした、電界効果デバイスは、1V 以下のゲート電圧で、100 °C まで動作する²⁴⁶。ほとんどのヘテロ接合は、酸化物基板上に形成されるが、シリコン上の酸化物界面において二次元電子ガスが形成されることも示され²⁴⁷、技術的に大きなインパクトを示している²⁴⁸。

この他、反強磁性絶縁体間の界面に強磁性状態が生成されたり、銅酸化物の金属と絶縁体間の界面に高温超伝導が生成される場合も知られている。界面における軌道状態の再構成は、界面における結合の制御や、界面の性質の変化を可能にする。超格子における界面においても、相競合の性質が変化したり、強誘電性の超格子に見られるように、バルクの場合と異なる新しい性質が創成される^{249,250}。

酸化物のヘテロ界面において、新規な性質を見いだすためには、その界面が急峻なものでなければならない。このようなヘテロ界面における効果をさらに研究することにより、現れてくる性質に、どのような影響があり、また、限界を及ぼすのかを、明らかにしていく必要がある。界面の電子構造は、例えば、表面の境界条件に強く依存する。化合物の組成の影響や表面における吸着が、界面における伝導に大きく影響する可能性がある^{251,252}。

このようなヘテロ界面や超格子に関する研究は、界面の性質や結合を制御するためのモデルとシミュレーションおよび実験の融合によって進展していく。機能性酸化物における界面は、応用の見地からは、将来にむけて、多大な可能性をもたらす。これらの界面や構造の形成は、MOSFET における、高い誘電率かつ低い漏れ電流の実現、または、低電圧で室温動作する金属絶縁体転移を利用するモット絶縁体における、大きなキャリア濃度変化を誘起する構造、などにつながる可能性をもっている。

4.6. 将来の新探求デバイスのための新機能 (EMERGING CAPABILITIES FOR FUTURE ERD)

4.6.1. 希土類カルコゲナイド (ピエゾ抵抗材料) (RARE EARTH CHALCOGENIDES (PIEZORESISTIVE MATERIALS))

ピエゾ電子トランジスタ (PET) と呼ばれる新規のロジック用 3 端子スイッチが最近提案された²⁵³。チャネルはピエゾ抵抗材料からなり、連続的で可逆な絶縁体－金属遷移を示す。ゲート電圧が圧電材料に印加されると、圧電材料は膨張し、ピエゾ抵抗材料を圧縮してそれを導電性にする。リラクサー PMN-PT などの適切に高い圧電特性を持つ材料を用いることにより、低電圧動作が可能になる。圧力による金属－絶縁体遷移を示す適切なチャネル材料は、希土類カルコゲナイドの中から探すことができる。このようなデバイス実現のためには、材料が大きなオン・オフ比を持つこと、すなわち圧力により大きな抵抗変化 (ピエゾ抵抗ゲージ) が得られる必要がある^{254,255}。

ピエゾ抵抗ゲージ: $\pi_p = (d \ln p / dp)^{254,255}$

SmSe は-3.98 の π_p と 1100 のオン・オフ比が、また $(\text{Sm}_{1-x}\text{Eu}_x)\text{S}^{256}$ は-4.6 の π_p と 10^5 のオン・オフ比が得られることが報告されている。シミュレーションにより、高いピエゾ抵抗ゲージ²⁵⁷と高いオン・オフ比を持つ希土類ダイカルゴゲナイドを同定することができるかもしれない。このような特性に加え、ピエゾ抵抗材料は繰り返しによる疲労が起らないような特性を持たなければならない。

4.6.2. 原子的制御のための決定論的ドーピング (DETERMINISTIC DOPING FOR ATOMIC CONTROL)

ドーパントプロファイルを制御する 1 つの方法は、決定論的ドーピングである。原子レベルでの配置と濃度制御性を有するドーピングプロセスは、デバイス特性の微妙な調整やデバイス間ばらつき削減を可能にする。こうしたデバイスノイズが除去されれば、設計自由度は格段に改善され、回路レベルでの均一性を保証し、システム全体の性能拡張が図られる。究極とも言えるドーブチャネルトランジスタの進展の 1 つに、ドーパントの集合体の制御ではなく、個々のドーパントを制御することによって電気的特性制御が可能となっている²⁵⁸。決定論的製造は、ドーピング領域界面における組成や構造を十分制御し、数桁のオーダーでデバイス性能ばらつきを改善する 3 次元ナノパターニングや集積法と捉えることが出来る。これに応えるドーピング技術群は、次の課題に取り組まなければならない: 1) ドーパントの原子スケール制御と大量で同時平行的なドーパント導入; 2) チャネル領域におけるランダムドーパントゆらぎ制御、ソース/ドレイン領域の極浅接合形成、チャネル-ソース/ドレイン間のドーピングプロファイル急峻な変化; 3) 現在の製造プラットフォームでの互換性と集積化; 4) 研究開発や製造設備のコスト、歩留まりそれにスループットに依存する経済性の 4 点である。

決定論的ドーピングを次の様に定義する: 1) チャネル領域およびソース/ドレイン領域に 10nm 以下の精度で単一もしくは少数ドーパントを導入すること; 2) 決定論的に導入された少数ドーパントを適切に活性化すること; 3) 単一/少数ドーパントを正確に測定し、イメージングすること; 4) より優れたデバイス特性を実現するために原子レベルで制御された材料、デバイス、そしてプロセスの応用を探索すること。新しい計測技術は、原子スケールデバイスのキャラクタリゼーションと実現性評価に強力なツールとなる。正確なドーパントの位置制御能力は、エマージング材料、デバイス、プロセスをはじめ、単一原子デバイス²⁵⁹⁻²⁶¹の様な新しいデバイスコンセプトの他、シリコン^{262,263}もしくはダイヤモンド中における単一ドーパント準位のコヒーレント操作に基づく量子コンピュータデバイスといった全く新しいアーキテクチャを刺激するかも知れない。

4.6.2.1. 単一イオン注入(SII) (SINGLE ION IMPLANTATION (SII))²⁶⁴⁻²⁷⁰

単一イオン注入法の可能性は実証されており、単一原子デバイスの系統的な研究を可能とする益々重要なツールとなっている。この技術は、デバイスの活性領域内の必要とされる場所に必要とされる数のドーパントをいかに精密に配置させるかを追求する技術と言える。100%の単一ドーパントの検出はもちろん、高い空間分解能とドーパント種の自由度を持つ単一イオン注入技術を実現することが鍵である。単一イオン注入は、2 次電子、フォトン、電子-正孔対、トランジスタチャネル電流の変化、表面形状のイメージ変化を検出することによって確認することができる。ドーパント配置でエラーの原因となる主な要因には、注入スポットの大きさ、ストラグリング、それにアニール中の拡散や分散があり、極限ドーブデバイスやドーパントゆらぎ効果の系統的調査、またシリコンもしくはダイヤモンド基板を用いた量子コンピュータアーキテクチャの検証(量子ビット読み出し、制御、カップリング)には、これらのエラーに対応しなければならない。

4.6.2.2. STM 原子配置 (STM ATOM POSITIONING)²⁷¹⁻²⁷⁵

走査型トンネル顕微鏡 (STM) リソグラフィを用いたドーパント配置によって、最近、原子スケール製造プラットフォームが確立されている。Si、および Ge 基板上に決定論的な精度で、最も細く、最も低抵抗な Si 細線、ならびに原子的に急峻なデルタドーピングによる急峻な S/D コンタクトを有する単一ドナートランジ

スタが初めて作製された。走査プローブ顕微鏡、続く低温活性化と分子線エピタキシーを用いて、全て平面上に高濃度にドーパされたエピタキシャルゲートを有し、原子レベルで精密に設計された機能トランジスタの作製が、初めてシリコン上に実証された。この手法では、高密度の *n* 型系ではあるが、低温プロセスながら高い安定性とドーパントの完全アクティベーションを実現している。単一ドーパントが導入されるメカニズムも解明されている。STM によるアプローチの利点は次の通りである：三次元での原子レベルの正確さを持ったパターン形成能力；極めて高い密度、原子レベルでの平坦性、それに急峻なドーピングプロファイル；新規デバイスアーキテクチャーの調査；それに他のドーパントソース／金属／有機物への適用可能性である。残念ながら、この技術は先端デバイス製造プロセスが抱える問題に解決策として検討されることにはなりそうにないが、パターンニングの正確さは量子コンピューティングや 3 次元デバイスアーキテクチャをはじめ、デバイス限界や新機能の探索を可能にするだろう。

4.6.2.3. 単一原子ベースデバイス (SINGLE ATOM BASED DEVICES)

4.6.2.3.1. 単一原子を介する量子輸送 (QUANTUM TRANSPORT THROUGH A SINGLE ATOM)²⁷⁶⁻²⁸⁵

最近の研究では、100K で単一ドナーもしくはアクセプターを介する量子輸送、1 組のドナー系でメモリ効果、マルチドナー系で単一電子輸送、ドナーバンドの形成、ドナー配列において非局在から局在状態への金属絶縁体転移、さらにターンスタイル、メモリ、フォトニックデバイス、ナノ pn 接合といったドーパントベースの応用が実証されている。決定論的ドーピング法は単一原子ベースデバイスの理解やデバイス開発を促進するだろう。これらの発見は、単原子トランジスタの極限に近づく、将来の CMOS デバイスの設計を可能にする、より基礎的で定量的な知見の創造に寄与するだろう。

4.6.2.3.2. 単原子デバイスのためのモデリング (MODELING FOR SINGLE ATOM DEVICES)²⁸⁶⁻²⁸⁸

ドリフト拡散(drift diffusion: DD)、モンテカルロ(Monte Carlo: MC)、量子輸送シミュレーション(quantum transport: QT)ツールにおいて、離散的ドーパントのモデリングに確かな進展が見られる。DD では、電子やホールに対する密度勾配量子補正の導入によって、イオン化不純物の引力クーロンポテンシャル井戸への不自然なキャリアトラップの問題が解決されたことが大きい。MC では、*ab-initio* 不純物散乱の導入によって、個々のドーパント位置が反映された輸送ばらつきのキャラクタリゼーションが可能となっている。QT については、有効質量や束縛結合ハミルトニアンを用いることで、完全 3 次元量子輸送シミュレーションが現在利用可能となっている。これらの輸送シミュレーションツールは、とりわけ決定論的ドーピングによって真価を発揮するナノデバイスのコンセプトを検証する際に重要である。

4.6.2.3.3. シリコン²⁸⁹⁻²⁹² およびダイヤモンド²⁹³⁻²⁹⁵ 量子コンピューティングのための単原子 (SINGLE ATOM FOR QUANTUM COMPUTING IN SI AND DIAMOND)

シリコン中の単一ドーパントの電子スピン、もしくは核スピンは、量子情報を符号化し、操作する上で、優れた系として認められている。³¹P の核スピンキュービットの電気的な検出とコヒーレント操作が、オンチップの電子スピン共鳴を用いた電子スピンのシングルショット読み出しによって、99.8%以上の正確性でついに実証された。核スピンのコヒーレント時間は 60 ミリ秒であり、キュービットゲートは 98%を超える正確性である。過去 2 年間でダイヤモンド中の単一カラーセンターの進展も目覚ましい。室温で光学的に直接単一電子スピンを制御できることが量子状態の制御性の点から大きな優位性となっている 2 つの単一固体スピン量子ビット(すなわちキュービット)間のエンタングルメントが、大気中で実演されており、電子スピンエンタングルメントのライフタイムはミリ秒に及ぶ。これは、小数のキュービットを用いて、電子からフォトンの量子情報を移動させる、基本的な量子ロジックを実証したことを意味する。これらの孤立したスピンは、共焦点顕微鏡を用いて位置が決められ、光学的なポンピングを通じて初期化され、スピンに依存するフォトルミネッセンス測定を通じて読み出される。しかしながら、単一発光センターを容易に見付けられる一方、歩留まりは 1%から 60%に止まっているのが現状である。

4.6.3. トポロジカル絶縁体 (TOPOLOGICAL INSULATORS)

トポロジカル絶縁体は、高い移動度と新しい物理をもたらす可能性があると期待されている。二次元のトポロジカル絶縁状態は、量子スピンホール状態を持つ HgTe/HgCdTe 井戸²⁹⁶のエッジに存在すると報告された。Bi₂Te₃ ナリボンにおけるこれら状態を操作することにより、これらの表面状態において 5800 cm²/V-s の移動度と 3.7×10^5 m/s のフェルミ速度を持つことがわかった。また、角度分解光電子分光法により、三次元のトポロジカル絶縁体がバルク Bi_{0.9}Sb_{0.1} に存在することが報告された²⁹⁸。最近、二次元と三次元のトポロジカル絶縁状態の結合が、Bi₂Te₃ 表面の Bi(111) 層上に存在することがわかった²⁹⁹。これらの 2D-3D トポロジカル絶縁体は、量子演算を可能にすると提案されている^{298,300}。ERM ではこれら材料における研究や出現し得る新たなデバイスをモニターしてゆく。

5. リソグラフィ材料 (LITHOGRAPHY MATERIALS)

微細化技術の将来はリソグラフィの可能性を拡張できる革新的なパターンニング材料(レジストまたは自己組織化)に依存している。新しいレジスト材料は高解像、高感度、低 LER、安定的にパターン転写可能な十分なエッチング耐性を同時に満たす必要がある。LWR 改善、パターンシュリンク材料、アウトオブバンドフレアーやアウトガスを抑制できる 193 nm/EUV 拡張材料などが開発されている。ポジ型・ネガ型化学増幅レジストの性能を向上させる革新的な方法が種々評価されている。先進的な手法はピッチ分割を含むマルチパターンニングやスパーサパターンニングなどが 193 nm 液浸リソグラフィ拡張の候補となっている。誘導自己組織化のためのガイドパターンを作成するための化学的修飾ガイドや物理的修飾ガイド、直接パターンを形成する修飾材料や SAM 材料などは、パターンニングを形成する代替え技術となっている。ブロック共重合体や高分子ブレンドを用いた誘導自己組織化は、コンタクト修復、Fin パターンニング、パターン密度向上プロセスにおける欠陥要因の減少に対して著しい進歩が確認されている。これらパターンニング材料における利点や課題については表 ERM8 にまとめられている。

Table ERM8 Challenges for Lithography Materials

5.1. レジスト材料 (RESIST MATERIALS)

レジストにおける重大な課題は、先端リソグラフィプロセスでの高解像性能と低ラインエッジラフネス、高感度をレジスト膜厚 60 nm 以下で同時に実現する事。更に、これらのレジストは密着性、エッチング耐性、量産工場でのその他の化学薬品とのマッチング、EUV でのアウトガスやアウトオブバンド、193 nm 液浸での溶出などの要求事項も同時に満足する必要がある。エッチング耐性は膜厚が薄膜されるに従いその重要性が増している。

現時点での拡張が可能な露光技術は以下が挙げられる、1) プロセスの複雑さが大きく増大する ArF 液浸プロセス、スパーサ技術を使用したマルチパターンニングなどが挙げられる。これに対しては TMAH 現像を使用する特別に最適化されたポジ型レジストや、有機溶剤現像を使用する特別に最適化されたネガ型レジストが必要となる。2) EUV リソグラフィ¹⁻³、3) マスクレスリソグラフィ。最先端のレジストは RLS の要求性能を満たす必要があり、更に ArF Dry、ArF 液浸での PTD や NTD、EUV、マスクレスリソグラフィなどのそれぞれ特有な要求も満足する必要がある。ArF や EUV 向け化学増幅レジストは、スルーホットを損なうことなく拡散コントロールを行う事は難しい課題である。特別にデザインされた高分子や拡散ボケを抑制しつつ、光により発生する酸による高収率な脱保護反応を維持できるような光酸発生剤などが新しい材料として挙げられる。高分子に PAG を結合するシステムは EUV レジストへの適用が広く報告されている。このシステムは、拡散スピードの低下による高解像化が可能な事や、均一な PAG 分散による良好な LWR などが報告されている。高分子量 PAG は ArF レジストへの展開も可能である。新たな保護基が NTD プロセス向けに最適化されている⁴。スパーサダブルパターンニング向けに特別に最適化された 193 液浸レジストは、LWR 改善や形状コントロール、耐熱性などが改善されているが、ドライエッチング耐性の低下などが報告されている。⁵⁻⁷

22 nm node 向けの要求性能を満たすために、ArF 液浸リソグラフィ向け NTD レジストの研究が盛んに行われている。開発における課題は、未開口ホール欠陥や膜厚ロス¹¹、エッチング耐性、パターン倒れ、

基板とのマッチングなどが挙げられる。¹² トップコートやその他の CD 縮小化の代替技術としては、例えば RELACS や DSA によるホールシュリンクなどが挙げられる¹³。NTD レジストを使用した欠陥や CD 均一性の初期の結果として、現像プロセスを最適化する事により大きな改善効果が見られ^{11, 14, 15}、エッチング耐性の弱さについてはハードマスクを使用する事により補う事が出来る¹²。PTD レジストの場合は、孤立ラインやドットを直接露光するプロセスは光学コントラストが不足するため特にフォーカスがずれている状況では、プロセスマージンを確保する事が密集パターンに比較して非常に難しくなっている。これらの問題を解決するため、現像後に適用する CD を縮小化できる薬品などが開発されている。その結果、孤立ラインのプロセスマージンは劇的に増加した。更に、代替手段としてドライエッチングによる CD 縮小化プロセスなども適用されている¹³。現像後に CD を縮小化できる薬品の課題は縮小後の形状維持となっている¹⁶。

ArF Dry レジストは今までの KrF レジストに代わって、先端のインプラントプロセスに使われることがある¹⁷。特に深い well やソースドレインタイプのインプラントレイヤにおいては、段差基板上での解像性能や反射コントロールを行うために新たな材料が開発される必要がある。TMAH 現像や有機溶剤現像のネガレジストはスソ引き形状改善や残渣抑制のためには有効である。¹⁸ 現像可能な反射防止膜(DBARC)もこれらの問題点を改善するための候補の一つでもある。¹⁹⁻²¹ 微細パターンが要求されるインプラントレイヤにおいては、パターンニングが非常に困難であることから、反射防止膜(BARC)を使用する事も検討されている²²。

EUV リソグラフィは光源のパワー不足から実用化の遅れが続いている¹⁹。このような状況の中でも、レジストや関連材料の改善は継続して行われている。ある程度高感度な EUV ポジレジストにおいてはラインでは 16 nm HP、ホールでは 20 nm HP の解像例が報告されている。²⁰ 低感度な EUV ポジレジストの場合は、ラインでは 13 nm HP、ホールでは 18 nm HP の解像例が報告されている。これらの結果は 1 回露光により達成されている²¹。スパーサダブルパターンニングプロセスを適用した場合には、ポジレジストにおいて 9 nm HP のライン形成が可能である¹³。EUV ネガ型レジストにおいても開発が加速されており、20 nm HP のラインや 20 nm HP のホール形成が確認されている²²。分子レジスト継続して研究されており、材料としてはカリックスアレン、ノリア、フラーレンなどがその代表である²³⁻²⁵。しかしながら、分子レジストはその低分子量から期待されている高解像性が高分子型レジストと比較して優位性が示されていない。最近、Impria や DOW Coning が超高解像無機レジストを実証しているが、実運用するためには感度が遅すぎる状況である²²。Ober 等は高感度な HfO₂ ベースの無機レジストを報告しているが、解像性能が他の無機レジストに比較すると悪い。²⁶ Ober はリガンド交換のメカニズムを無機レジストとして報告している²⁶。解像性能向上のための一つの候補として、短波長化(13.4 nm→6.7 nm)がある^{27, 28}。ほとんどの有機物はこの波長領域では透明性が増加してしまうため、100 nm 膜厚のレジストの場合は吸収を大幅に増加されるためには、基本構造の変更が必要となる。レジスト膜厚は、CD が微細化するに従いパターン倒れを防止するために、薄膜化する傾向にある^{29, 30}。ある膜厚以下になると、物理的や熱的な特性が変化してしまう³¹⁻³³。例えば、ArF や EUV レジストの極薄膜での膜のガラス転移温度(Tg)は、レジスト中の酸発生剤や高分子の混合比率によって異なる結果となる³⁴。更に、LWR は薄膜化とともに劣化する傾向となっている^{35, 36}。将来的な半導体プロセスにおいては、微細ピッチにおける深刻なパターン倒れや LWR 低減のために様々な後処理プロセスが必要になる可能性がある^{37, 38}。いくつかの付属化学薬品が EUV レジストプロセスの安定性向上のため開発されている。例えば、アウトガスやアウトオブバンドを抑制できるトップコート、感度向上やレジストプロファイル改善のための下地膜、レジスト膨潤を抑制するための活性剤リンスや TBAH(テトラブチルアンモニウムヒドロキシド)現像液などが挙げられる³⁹⁻⁴¹。

5.1.1. ArF レジストの改善と拡張 (ARF RESIST IMPROVEMENTS AND EXTENSION OPTIONS)

ポジ型化学増幅レジストの革新的な構造の開発が優先度高く継続されている。しかしながら、解像性向上、低 LWR の実現、高感度化を同時に実現する事は依然として難題である。当然、感光材料の組み合わせに焦点があてられており、酸発生剤と今は塩基性感光性クエンチャの双方が注目されている。エッチング耐性の向上は AtF レジストと塗布型メタル含有ハードマスクの組み合わせが試されている。その他の焦点としては、有機溶剤現像使用するネガ型レジストの開発となっている。

5.1.2. ARF 感光材料組み合わせの設計 (ARF PHOTO PACKAGE DESIGN)

リソグラフィでの CD が継続して縮小化するとともに、暗いエリアの光学コントラストは極端に不足している状況となっている。業界全体の努力は既存の感光性材料の解像性能向上と ArF 液浸リソグラフィの延命化に向けられている。更に新しい材料として、光塩基発生剤や光分解型塩基などが導入されている。Wang 等は熱酸発生剤と光塩基発生剤の組み合わせにより、新規のネガティブトーンイメージの開発を行った⁸。露光エリアでは、光塩基発生剤から発生した塩基が熱酸発生剤より発生した塩基を中和する。この新しいレジストは、今までのネガ型レジストよりも解像性能が向上したことが確認されたが、ポジ型レジストやネガ型現像に対してはまだ解像性能が劣っている。この新しいレジストの自己保護基脱離という課題は、熱酸発生剤の含有量増加と低拡散により改善された。Chen は MEEF、LWR、CDU、上空から観察した End-to-End の形状は、光酸発生剤と光塩基発生剤の拡散長をコントロールする事により改善する事を見出した⁹。Hallett-Tapley はイオン型カルバミン酸系光酸発生剤と光塩基発生剤を発表した。活性化された光塩基発生剤により一回のレーザー照射エリアに 2 本のラインが形成されている。アミンクエンチヤを使用して感度をコントロールする事により Dual tone の現象を実証した。そのメカニズムには 4-ニトロベンジルラジカルが使用されている。この方法では薄膜でのパターニング結果を実証する必要がある¹⁰。

5.1.3. 塗布型メタルハードマスク, SOMHM (SPIN-ON-METAL-HARDMASK, SOMHM)

電気回路形成のための特定のレイヤにおいてハードマスクを使用する事は一般的になっている、レジスト薄膜化にともないエッチング耐性に優れるハードマスクが使用されている⁴²。近年の様々なハードマスクを使用する手法において、化学的気相成長(CVD)プロセスを使用してプロセスウェハ上に TiN のようなメタルハードマスクが形成されている。CVD プロセスや塗布により形成された非結晶カーボンやシリコンハードマスク(または反射防止機能も有する Si 含有反射防止膜 SiARC)を使用する事は電気回路形成のためのプロセスでは一般的になっている。塗布型ハードマスク(SOMHM)は、既存の CVD 型ハードマスクに対してコスト削減やプロセス複雑さの低減などの目的で使用される機会が増加している。SOMHM はトーン反転プロセスにおいても使用されている⁴²。SOMHM は良好な保存安定性、良好な塗布性能、レジストとの相性の良さなどが示されている。チタニウム、ジルコニウム、¹⁰ ハフニウム、タングステン⁴³などの様々な金属種が SOMHM に使用されている。更に既存の下地についても SOMHM の使用を前提として検討が進められている。

5.1.4. ネガ型レジスト (NEGATIVE TONE RESIST)

架橋や極性変化を利用したネガ型レジストが開発されている^{44, 45}。ネガ型レジストはポジ型レジストに比較して Binary マスクでは良好な特性を示すが、6 %ハーフトーンマスクにおいては性能は劣る結果になっている。光学イメージが極端に劣化した時や、感光部が少ない暗いエリアにおいてはパターンブリッジを発生しやすくなるという問題がある。これらの問題を解決するためには更なる検証が必要である。ネガ型レジストは EUV においても継続して検討が行われる⁴⁶。

リアベースの光触媒架橋型低分子レジストにおいて、20 nm HP の解像性と 3.2 nm LER が実証されている。イメージコントラストと膨潤がトレードオフの関係として観察されている。ネガ型現像プロセスはパターン密度が低いエリアに光開口部の多いマスクを使用する事が出来る。NTD レジストの有利な点として、密度の高いまたはやや高いホール形成やトレンチ形成の際のプロセスウィンドウの拡大が確認されている⁴⁷。更に、ライン系パターンとホール系パターンが混在するパターンにおいても一つのレジストでパターニングが可能である。新しい NTD レジストは良好な“g-パラメーター”を示しており、DOF、CDU、真円度、オーバードーズ余裕度、感度、解像性においても改善が確認されている。更に脱保護反応を増幅する添加剤はパターン倒れ改善に効果が確認されている⁴⁸。

5.1.5. EUV の課題 (EUV CHALLENGES)

5.1.5.1. ショットノイズ (SHOT NOISE)⁴⁹

EUV での高スループットが得られる非常に高感度なレジストにおいては、パターニングにおいて確率論的なバラつきが大きな問題となる。この課題を克服するためには、いくつかの重要な要因に対する検証が必要である、例えば、高分子における EUV 光の吸収を増加させる事や二次電子収率を向上させたり、

酸発生剤においては二次電子補足効率の増加などが挙げられる⁴⁹。ショットノイズは CDU や LWR に悪影響がある事が報告されている^{50, 51}。

5.1.5.2. EUV 光の吸収 (EUV LIGHT ABSORPTION)^{52, 53}

フッ素は周期律表の 2 段目の元素としては 13.5 nm の吸収が最も大きい元素である。フッ素系高分子を使用する事により、計算上では最大で 7 倍程度吸収が増加する。最大級係数は 18.5(実用的ではない PTFE を使用)となる、この時でも 40 nm レジスト膜厚において 50 % の透過率がある。Zr(ジルコニウム)はフッ素や酸素と比較して大きな EUV 光吸収がある。しかしながら、Zr 元素を有効な EUV レジスト化合物として使用するのには化学的に大きな課題である。(参照:無機 EUV レジストの章)。膜密度の向上は単位体積あたりにおける一元素の光吸収を向上させる手段としては非常に有効である。最近では、EUV レジスト中のフッ素含有量を向上させる研究などが報告されている^{53, 54}。

5.1.5.3. 酸と電子のボケ (ACID AND ELECTRON BLUR)

ショットノイズと光酸の拡散は解像性、感度、LWR に対して密接に関連している⁵⁵。数々の文献において、RLS の要素は一つだけ改善する事は出来ないという事が実証されている⁵⁶。これらの要素の相互依存性は ArF や EUV リソグラフィにおいて繰り返し示されている。化学増幅レジストシステムにおいて、拡散ボケに起因する固有の問題は解決する事は不可能と推測される⁵⁷。化学増幅反応を起こすための最低限必要な酸拡散があるために解像性、感度、LWR において化学増幅システムには根本的な限界がある。

確率論的レジストモデルは、高分子バウンド PAG レジストにおいて酸拡散長を見積もる手段として適用されている⁵⁸。メタクリレート系高分子バウンド PAG における酸拡散長は 9.7 nm と見積もられている。しかしながら、20 nm 以下のリソグラフィにおいては、おそらく 6 nm 以下の拡散長が必要になる。確率論的モデルを用いた手法において、EUV レジストを露光した際の酸拡散のボケに起因する電子のボケは 2.5 nm と報告されており、この数字はその他の論文と比較して非常に小さい数値になっている⁵⁹。最近の結果では、EUV ポジ型レジストにおいて酸拡散のボケは 4.9 nm との報告例がある²⁰。

5.1.5.4. アウトオブバンド照射 (OUT OF BAND RADIATION)

アウトオブバンド(OOB)は EUV ソースより 140~300 nm 波長において放射されている⁵⁹。ほとんどのレジストはこの OOB に対して非常に感光しやすい。これはレジストの長波長側の吸収に関連している⁵⁹。例えば、酸発生剤として使用されているトリフェニルスルフォニウムカチオン (TPS)は 180~370 nm の波長の UV 領域において非常に強い吸収があり、これが OOB 光に対して非常に感光しやすくなっている。Deep-UV 領域において吸収の少ない酸発生剤は、OOB 光に対しても感光しにくくなっている⁵²。OOB 感度は様々な波長の光に対する感度として計測される。最近の研究として、OOB 対策トップコートを使用する事が非常に有効である事が示されている。しかしながら、トップコートを使用する事は、プロセス数とコストの増加、感度の劣化などが懸念される³⁹。

5.1.5.5. レジストアウトガス (RESIST OUTGASSING)

いくつかの酸発生剤は真空中の EUV 照射によりアウトガスが発生する。例えば、TPS カチオンを含有する酸発生剤は多量のジフェニルスルフィドを発生する⁶⁰。光分解物とくに非飽和グループのガス状の炭素成分は、EUV の光学系やマスクに容易に堆積する。その結果、EUV 用新規の酸発生剤は、光学系への付着を防ぐため、ジフェニルスルフィドやその他のガス性の分解物の抑制を抑えるデザインとなっている^{52, 60}。アウトガス測定法がアウトガス捕捉プレートを使用し標準化され、世界で 4 か所のサイトが準備されたためアウトガスの検証が加速されている。その結果、アウトガス捕捉プレート上の炭素成分の付着がレジスト成分の検証により理解されるようになっている⁶¹。

5.1.5.6. 低拡散ポジ型レジストの継続的な改善 (CONTINUED IMPROVEMENT OF LOW DIFFUSION PTD RESIST SYSTEM)

酸の低拡散を実現するための高分子バウンド PAG のようなシステムは継続して検討され、以下のような改良が行われている⁶²、1) EUV 光の吸収や膜密度を増加させることによりフォトン捕捉効率を増加させる、2) OOB に対する影響を低減させる、3) 二次電子効率を増加させることにより高分子マトリックス中の電子親和性を最適化する、4) PAG の電子補足能力を向上させることにより酸発生効率を増加させる、5) PAG の拡散の均一性を向上させる、6) 露光中の有機成分のアウトガスを低減する。最近の結果は、これ

らのシステムを最適化する事により、15~30 mJ の露光領域において 5 nm 以下の酸の拡散が報告されている。10 mJ の露光においては解像性能と LWR の目標を達成するのは非常に難しい。

5.1.6. 非化学増幅レジスト、及び、無機レジスト (NON-CA RESIST AND INORGANIC RESIST)

いくつかのグループが非化学増幅レジストを用いて、優れた解像特性を得ている⁶³⁻⁷⁴。高分子量の PMMA を用いて、主鎖切断機構により、12 nm の解像性能が得られている。但し、最適感度が、40 mJ/cm² と EUV の量産に用いるには、低すぎる感度である⁶⁷。その他の主鎖切断型の非化学増幅レジストにおいては、化学増幅レジストにおいて通常適用される、露光後ベーク時の酸拡散による化学的なパターンぼけが低減されることが示されている。ポリカーボネートベースの非化学増幅レジストにて、高エッチング耐性、及び、高いガラス転移温度を有する基と、EUV 照射により分解する基を有する系について、検討がなされている^{75,76}。この非化学増幅レジストにて、50 nm のライン & スペースのマスクを用いて、28.6 nm 幅のラインパターンが 104 mJ/cm² の感度にて形成された。この時の LER は、約 5.2 nm であった。Sematech-Berkley の小フィールドの EUV 露光機を使用した場合には、形成されたパターンにおいて、3.5 nm の LER はマスク起因であるという報告⁷⁷があることから、観察された LER は、マスク起因の値から、1.7 nm 大きいに過ぎない。ポリオレフィンスルホン骨格は EUV 照射に対して、高感度となるように設計されたものである⁷⁸。この骨格の材料は、EUV 照射に対して、非常な高感度を示している(E_0 が、4~6 mJ/cm²)。更に、EUV 干渉露光にて、30 nm ライン & スペースの解像性能を示した。レジストからの脱ガスの実験結果より、試験用の sample に堆積する付着不純物の膜厚、及び、残存ガスの炭化レートは、官能基を有するオレフィンユニットの分子量の増加により、増加する事が確認された^{79,80}。現状のネガ型の非化学増幅レジストは、EUV 光に対する反応効率が低く、量産での要求感度を満たすためには、12 倍以上の高感度化が必要である。EUV 光源の光源輝度の飛躍的な増加無く、感度の要求性能を満たすためには、非化学増幅レジストにおける、分解または架橋の反応効率を改善するような研究が必要である。

非化学増幅レジストにおける無機化合物の取り組みからは、感度やその他の要求性能を実現しうる、大きな可能性があることが示されている。例えば、ジルコニウムやハフニウムを用いた電子線レジスト⁶⁸にて、8 $\mu\text{C}/\text{cm}^2$ という高感度を有することが示されている。解像性能は、これよりも高い dose での値ではあるが、36 nm ピッチで 15 nm ラインパターンが形成されており、この時の LWR は、約 2nm であった。加えて、これらのレジストでは、高いエッチング耐性(熱酸化膜に対して 7 倍以上)も示されている。重原子があることで、EUV 領域で高吸収断面積を有し、感度が改善されることも期待できる。非常に高いプラズマエッチング耐性故に、レジストの膜厚を薄膜にすることが可能であり、また、高い膜密度 (4.7g/cm³、ポリヒドロキシスチレンは 1.2g/cm³)は、電子起因のパターンぼけを大きく改善すると考えられる。無機物である為、炭化水素系の脱ガスはゼロである。レジスト感度、保存安定性、レジストインテグレーションに関する改善は今後も継続されていく。

5.1.7. EUV におけるハイブリッド手法 (HYBRID EUV APPROACHES)

EUV リソグラフィにおいては、既存の ArF リソグラフィに関する知見の蓄積を活用することができる。EUV リソグラフィにおいても、ダブルパターンニングとスペーサを用いたマルチパターンニングの組み合わせにより、様々なピッチ分割の手法を用いることが可能である^{81,82}。EUV レジストを使用したネガ型現像は、コンタクトホールやその他のパターン形成において、光学コントラスト(NILS)上の優位性があることから、検討が進んでいる。極性変換、及び、有機溶剤による現像手法は、コンタクトホールの寸法均一性やパターン倒れ防止の観点から、有用である。EUV と自己組織材料の組み合わせは、EUV パターンの LWR を修正する手法となりうる。これとは逆に、EUV は DSA のグラフオエピタキシンパターン形成やケミカルエピタキシンでのプレパターン形成に適用する事ができる⁸³。Trefonas らは、ネガ型レジストとしてパターンニングできる、事前に自己組織化された円筒状の高分子ブラシ構造からなる膜を用いた、トップダウンとボトムアップを組合せた手法について、報告している⁸⁴。初期段階ではあるものの、これらの手法により、EUV を 11 nm 世代以降へ適用出来るようになる可能性がある。

5.1.8. レジスト関連のまとめ (RESIST SUMMARY)

現在の 193 nm 液浸技術を延命し、更に、その適用先を広げる、いくつかの創造的なリソグラフィ技術が現れつつある。加えて、スケーリングの進展により、適用予定時期における必要解像サイズが微細化しつつある状況にある、EUV 及び EBL 技術の成功の為に異なる要求事項を、最もよく達成するような、新規材料、新規手法の開発が継続している。マルチパターニング、特に、スペーサを用いたマルチパターニングは、ピッチを微細化する為の主たるプロセスとなりつつある。しかしながら、マルチパターニングにおいては、回路として有用な形状を形成する為に、形成されたパターンを切断する、‘cut masking’ステップという、追加のリソグラフィ工程が必要となる。この‘cut masking’ステップ向けに、特に、4 倍、若しくは、それ以上のマルチパターニングを行う場合には、193 nm 液浸技術では、非常に多くの工程を追加する必要があることから、工程をより簡単なものとする為に、EUV、EBL、及び、DSA には、新たな適用の機会が与えられることになる。こういった技術に対して、様々な roadmap 上の要求事項を満たす為の、新しいレジスト材料が、必要とされている。それぞれのリソグラフィ技術において、レジスト材料における飛躍的改善技術が、要求される解像性、感度、LWR を同時に満たすために必要とされている。加えて、スケーリングの進展により、レジスト膜厚の薄膜化が続く為、材料のエッチング耐性は、これまで以上に重要な因子となりつつある。シリコンやシリコン以上に高いエッチング耐性を有する金属原子が含まれた、塗布型ハードマスク用の新規材料が、ますます、レジスト材料に取り込まれつつある。

現在、各種リソグラフィ技術実現の為に実行可能な材料検討が、複数の組織にて行われている。193 nm 液浸技術が、密なパターン形成の為に残された技術選択肢であり、更に、ブレイクスルーとなるような新規技術によって、‘cut masking’ステップや、複雑な回路パターン形成の為にリソグラフィ技術が加速されることに期待する。

5.2. リソグラフィ技術延命の為に誘導自己組織化 (DIRECTED SELF ASSEMBLY FOR LITHOGRAPHY EXTENSION)

5.2.1. 誘導自己組織化の進展 (DSA PROGRESS)

ブロック共重合体(BCP)を用いた誘導自己組織化(DSA)における欠陥低減の進捗に伴い、リソグラフィ技術延命の為に、DSA の潜在的な可能性を評価してこの動向が劇的に盛上がった。但し、この手法が採用されるようになるには、多くの課題が克服される必要がある。DSA は、従来型のリソグラフィである、193 nm 液浸、若しくは、EUV における、パターンサイズの制御性の向上の為に、若しくは、パターン密度の向上の為に、用いられる必要があるであろう。DSA においては、リソグラフィは、ガイドとなるような形態を形成する為に用いられ、このガイドとなるような形態があることにより、ブロック共重合体が、その自然な相分離形態からは異なった形態に相分離し、ガイドとなるような形態に従った形態となる。膜の下面と上面の濡れ性が、どちらのドメインに対しても異ならない(上下界面に、どちらかの高分子ドメインが、より惹きつけられやすいということがない)という条件下で、前もって設計された BCP のドメインの共重合比によって、形成される相分離構造は、線状やコンタクト状となる。ガイドとなるような形態は、ウェハ上に形成された溝状の形態であるか(グラフォエピタキシ)、BCP 中のどちらかの高分子をより惹きつけやすい化学的なパターンであるか(ケミカルエピタキシ)のいずれかである。コンタクトパターンの形状補正⁸⁵、複数ゲート構造の FIN のパターニング⁸⁶、コンタクトパターン、及び、ラインパターンの密度向上⁸⁷に適用できる可能性がある。

5.2.2. DSA の重要な課題 (DSA CRITICAL CHALLENGES)

DSA が採用されるようになる為には、多くの重要な課題が克服され、必要な性能が達成されるべく開発がなされなくてはならない。まず、第一に、欠陥密度が、ITRS の達成目標である、 0.01 cm^{-2} 以下となるまで、改善がなされ続ける必要がある。更に、各用途毎の合わせ精度の達成目標を満たさなくてはならない。10 nm 以下のパターンを再現性よく自己組織的に形成し、かつ、大きなエッチングレート差を有する、ブロック共重合体が見出されなければならない。加工の為にハードマスク材料や、自己組織化の為に、濡れ性が、どちらのドメインに対しても異ならない、中性な表面といった、実プロセスを行うに必要な、新たな項目の開発も必要である。更に、設計パターンを、基板上に形成されるガイドパターンに変換する

CAD 機能の開発も必要である。微細化の進展に伴い、DSA においては、より χ パラメータの大きい材料を用いる必要性が出てくるが、必要なサイズのパターンを、短いアニール時間で、低欠陥密度で形成する為には、多くの課題を克服する必要があるだろう。更に、大きな χ パラメータを有する高分子は、これまでは大きく異なる特性を有するものを思われ、中性な表面を形成するような材料を見出すことが、困難であるかもしれない。

5.2.3. 欠陥密度 (DEFECT DENSITY)

欠陥の生成は、絶対零度以上での自己組織化において、固有の事象ではあるが、ガイド構造を高分子の自然なピッチと一致させることにより、欠陥の形成を、エネルギー的に望ましくない状態とすることができる。未解決の問題は、ガイド構造がどの程度、変動すると、欠陥が増大し、許容レベルを超えてしまうかである。パターンニング時におけるマスク層の全欠陥密度が 0.01 cm^{-2} 以下となることが、要求事項であることから、ハードマスクにおける欠陥密度、中性な表面層によるガイドパターンの欠陥密度、及び、DSA そのものの欠陥密度の和が、上記要求事項を満たす必要があるということになる。予備実験においては、粒子状欠陥を無視すれば、DSA の欠陥密度は、 26 cm^{-2} 以下まで低減可能であることが示されている。⁸⁸ DSA とプロセスの相互作用に関する詳細な検討から、ケミカルエピタキシにおけるピッチ分割においては、プロセス時の前の層で発生した欠陥が、そのまま、残り得ることが示された。中性な表面層が、自己組織化膜の欠陥形成において、重要であることが見出されている。⁸⁹ 一方、DSA によって、いくつかの欠陥は、修正されうることも判明している。CD が、ガイド構造と高分子の自然なピッチとの最適な一致値から大きく変動することも、欠陥を生成させ得ることが見出されており、この点について、今後も検討が必要である。材料の純度の向上、及び、プロセス条件の最適化によっても、DSA パターンにおける多くの欠陥を低減することが可能であることが判明している。また、有効なプロセステスト用ウェハの使用により、欠陥低減の検討が加速された。⁹⁰ グラフォエピタキシを用いた円筒形状パターンの密度増倍においては、検出可能な欠陥数をゼロとする為には、ガイド構造、ガイド間距離、ガイド膜厚の最適化が必要であることが見出された。⁹¹

グラフォエピタキシによるラメラパターン(ライン & スペースパターン)の形成における欠陥形成のエネルギー論に関するモデリングから、ガイド構造と高分子の自然なピッチが一致しているときは、欠陥形成はエネルギー的には不利であるが、しかしながら、ガイド構造中のラインのピッチの数、若しくは、ガイド構造のピッチ(L_g)と BCP のピッチ(L_0)の不一致度合い(一致している時は、 $L_g = nL_0$, $n = 1, 2, 3, \dots$ となる)の増加により、欠陥形成の確率が増すことが示された。⁹² 与えられたピッチサイズ、及び、ガイド構造のサイズにおいては、高分子の分子量(χN)が増すことで、欠陥形成ポテンシャルを増加させ得る、過剰な自由エネルギーが、顕著に増大した。似通った結果は、表面に平行な円筒パターンによる、グラフォエピタキシでのライン & スペースパターンの形成に関する実験、及び、モデリング検討の結果からも得られている。⁹³ ケミカルエピタキシによるラメラ構造形成時の欠陥形成のエネルギー論に関するモデリングから、表面と高分子の相互作用を増すことで、欠陥形成をエネルギー的に不利とできること、及び、ガイド構造と高分子の自然なピッチの一致性から高分子を延伸する構造の方が、高分子を圧縮する構造よりも、欠陥が形成しづらいことが示されている。⁹⁴ こういった結果は、欠陥をゼロとする為に、プロセスで制御する必要のある範囲に関するガイドラインとなるものである。しかしながら、あくまでも、検討を行った特定のブロック共重合体によるものであり、高分子のもつれ等の他の熱力学的因子も欠陥形成に影響を与える可能性があることから、実験的な検証は必要である。上記に記載したいずれのモデリング検討においても、ガイド構造、高分子の分子量、及び、その分散により、高分子を圧縮する方が、高分子を延伸するより、欠陥形成の可能性が上がることを示している。よって、高分子が多少延伸するような置かれ方となる設計により、プロセス揺らぎ、若しくは、高分子の分子量やその分散の揺らぎにより、欠陥が形成される確率を減らせるかもしれない。

自己組織化した構造は、その表面の下部で、表面とは異なった構造をとる可能性があることから、DSA 構造については、その欠陥を、3 次元にて検出できるような計測技術が必要である。ERM の計測に関する章にて、計測技術に対する要求事項については、詳細を述べる。

5.2.4. あわせ精度 (OVERLAY CAPABILITY)

DSA の合わせ精度は、アライメントを取る先(前のレイヤのパターン)とガイド構造の相対配置、ガイドパターンの形状の揺らぎ(LER 等)、及び、ガイドパターン内での DSA の自己組織化能(完璧なガイド構造が形成するという前提で)に依存する。最初の 2 項目については、リソグラフィの装置、及び、プロセスにて、制御可能である。しかしながら、DSA を用いて、要求特性達成の為に、通常のリソグラフィで得られるサイズよりも小さなサイズを得ようとする場合、その技術世代での合わせ精度よりも厳しい精度を実現することが、通常のリソグラフィの装置には要求される。同様に、ガイド構造の形状のバラつきについても、その技術世代での要求よりも小さくなる必要がある。

本質的な問題として、完璧に配列した完璧なガイド構造に対する、DSA 構造の合わせ精度のバラつきがどの程度かという事柄がある。グラフォエピタキシによる、40 nm ピッチのブロック共重合体を用いたコンタクトホール形状での自己組織化においては、生成したホール径のサイズバラつきは、1 nm 程度 ($1\sigma_x$, $1\sigma_y$)と計測されている⁹⁵。グラフォエピタキシによる矩形のトレンチでのコンタクトホール形状の形成検討より、狭いトレンチサイズ(29 nmピッチで 4 列のコンタクトホール)では、コンタクトホールの位置ずれは、トレンチの端では、約 4.4 nm(3σ)、トレンチの中央では、約 3 nm(3σ)となった⁹⁶。トレンチの端の方での位置ずれが大きいことは、トレンチ形状の LER の影響と考えられる。ターゲット位置からのコンタクトホールの位置ずれについては、アニール条件の最適化やケミカルエピタキシの適用によって、改善できるものと提案されているが、まだ、実証はされていない。全合わせ精度が、装置の合わせ精度、LER、DSA での合わせ精度の 3 つの因子の幾何学的な平均であると仮定し、かつ、リソグラフィ装置の合わせ精度と LER がそれぞれ、ハーフピッチの 10 %とすると、DSA での位置ずれ精度(3σ)は、ピッチの約 7 %以下とする必要がある。もし、リソグラフィ装置の合わせ精度をよりよくすることができれば、DSA の合わせ精度への要求は多少ながらも緩和することができるが、劇的な緩和には至らないであろう。その他の方法として、例えば、DSA を補助するような、化学的、若しくは、物理的なマーキングにより、前工程のパターンとの合わせ精度を改善する等、新規な創造的な手法を見出すことなども考えられる。

5.2.5. 10 nm 以下のパターンニングの為の高分子材料 (POLYMERS FOR SUB 10NM PATTERNING)

PS-*b*-PMMA では、20 nm の最小ピッチ性能が示されているが、この系は、こういった小さなサイズの領域では、 χN が小さいことから、相分離しづらい系となっている。この為、ハーフピッチが 10 nm 以下とする技術領域では、より χ の大きいブロック共重合体が必要となる。表 ERM9 には、いくつかの候補となるブロック共重合体の χ とその最小ピッチを示した。自己組織化可能な最小のラメラピッチの観点からは、表に集められたデータは網羅的ではないものの、PS-PDMS (7.5 nm, χ : 約 0.26)、及び、PS-PLA (8 nm, χ : 約 0.21)⁹⁷が、有望な候補であるように見える。一方で、より大きな χ を有する系として、PS-*b*-PHOST (1.46)、PS-*b*-PAA (0.18)、及び、PS-P4VP (0.3-0.37)が報告されているが、これらの系の最小ラメラピッチについては、報告例がない。候補となる高分子のペア(共重合体であれ、高分子ブレンドであれ)が実際に使用されるにたりうるものとなる為には、適当な加熱時間内で、垂直な形状へと自己組織化されうること、及び、どちらかのドメインを選択的に除去できることが必要である。温度上昇に伴い、 χ は減少すること、及び、相分離は加熱してなされることから、 χ の温度依存性についても、データあるものについては、表 ERM9 に記載した。

Table ERM9 Select Block Co-polymer Properties

垂直な形状へと自己組織化するブロック共重合体に対して、その上面、及び、下面は、ブロック共重合体の高分子のペアのいずれに対しても、中性である必要があり、その為の新規材料が必要である。もし、ブロック共重合体が、空気、若しくは、窒素に対して中性ではない場合で、特に、膜厚が厚い場合は、ブロック共重合体の上に中性な表面を形成する必要がある。⁹⁸ そういった表面については、ブロック共重合体として、PS-*b*-P2VP⁹⁹、PS-*b*-PLA¹⁰⁰、及び、and poly(4-bromostyrene)-*b*-PMMA¹⁰¹を用いた場合について、報告がなされている。

5.2.6. 現像とエッチング耐性 (DEVELOPMENT & ETCH RESISTANCE)

高分子対は、アニール後に酸素プラズマ、溶剤や薬品に対して、エッチング率の妥当な差を有する必要がある。表 ERM9 に示すように、大西パラメータに基づいて、ポリスチレン(PS)換算で最も高いエッチング速度を有する「B」ブロック共重合体のエッチング比、は、PAA(4.5)、PLA(4.0)、および、PEO(3.5)である。一方、無機分、PFS および PDMS を有する高分子は、PS よりも低いエッチング速度が予想される。有機高分子に対して、PS は、マスク材料となり、その一方で、無機物を含む高分子は、PS と対にされたときにマスク材になるであろう。

5.2.7. 中性表面材料 (NEUTRAL SURFACE MATERIALS)

ウェハ上のコーティングに接着性を付加するために官能化された高分子ブラシが、広範囲に DSA の研究に使用されてきた。しかし、現在、市販材料が、DSA の産業的評価をサポートするために導入されている。より高い χ を持つ高分子が評価されるにつれて、ウェハ上の様々な膜を被覆するために、新たな中性表面材料が必要になることがあり、場合によっては、中性の上部表面コーティングを提供するために材料が必要とされている。中性材料のプロセス処理は、ウェハコーティングと互換性を持つ必要がある。高分子ブラシはうまく中性表面を提供してきたが、プロセス処理に時間がかかる場合がある。異なる組成のランダム共重合体を使用すると、PS-*b*-PDLA の DSA に対して、中性表面を提供し¹⁰²、新しい高 χ ブロック共重合体のための中性表面を同定する戦略を提供することができる。最近、任意の中性層への改変がない表面上で、PS-*b*-PEO の DSA が成功裏に実証されている¹⁰³。この技術は、連続的な、熱と溶媒と水のアニールプロセスに基づいたものである。アニール温度において、新しい高 χ 材料の表面濡れ性の特性を明らかにするためにメトロロジが必要とされ得る。

5.2.8. 工程簡略化のための材料 (MATERIALS FOR PROCESS SIMPLIFICATION)

DSA 処理は、現在のところ、ガイド構造パターンの形成、中性層の生成、熱や溶剤アニリングによって自己組織化を推進、パターンブロックを形成してから、その下の層を処理するという、複数のステップを必要とする。DSA プロセスを簡略化する材料が必要とされ、たとえば、ハードマスクと中性層の集積化¹⁰⁴、グラフォエピタキシガイド構造としてフォトレジストを使用^{105,106}、フォトレジストと DSA 機能の統合¹⁰⁷などが試みられている。

5.2.9. ガイド構造 (GUIDE STRUCTURES)

使用する特定のガイド構造は、技術(グラフォエピタキシ、ケミカルエピタキシ)とアプリケーション(ライン、コンタクトおよびパターン微細化補正、パターン密度増倍)に依存する。ガイドパターン形状の詳細は、パターン形状のプロキシミティに依存し、また、グラフォエピタキシの場合には、トレンチの側壁は、中性であるか、高分子の一方を引き付けるかに依存する。多くのパターン形状が可能であるが、記述する形状およびアプリケーションは、「コンタクト」(表面に垂直なシリンダ)と「ライン」(ラメラまたは表面に平行なシリンダ)に限定される。

5.2.9.1. ラインの形成 (LINE PATTERNING)

パターン密度増倍の場合、ガイド形状ピッチが DSA のピッチの整数倍となる必要があり、リソグラフィ技術は直接パターンを形成するために使用される。グラフォエピタキシでは、それぞれ図 1a および 1b に示すように、ラインがラメラで形成されるか、埋め込まれたシリンダで形成される。アレイ構造については、ガイドラインの幅が DSA ドメイン「B」に一致しなければならない。このことは、アレイ構造のいくつかのプロセスウィンドウの制約となる。しかしながら、これは、2 つあるいはそれ以上のライン幅が、同じパターンから必要とされている場合に、グラフォエピタキシの強みとなる。ケミカルエピタキシの場合、ラインは、表面上の化学的ガイド構造形状に整合したラメラにより形成される。ケミカルエピタキシガイド形状の幅は、比較的広いプロセスウィンドウを有しており、アレイのためには有利となるが、同じパターンで 2 つあるいはそれ以上のライン幅を定義する場合に容易ではない。

5.2.9.1.1. ラインのグラフォエピタキシ (GRAPHOEPI TAXY OF LINES)

ラメラ形成高分子によりラインを DSA で形成する場合、トレンチ側壁が高分子の一方を引き付ける必要があり、トレンチ底部は両方の高分子に中性の必要がある。トレンチ側壁と最初のエッジ特徴($y \times L_0$)との

間の距離は、プロセス技術によって決定される。次いで、トレンチの幅は、近似的に図 1a で表される、 $N \times L_0 + 1/2 L_0 + 2y \times L_0$ となるであろう。埋め込まれたシリンダラインの場合、すべての表面は、組み立てのために、ブロック「A」を引き付け、ブロック「B」は図 1b に示すようにラインを定義する。この利点は、すべての表面がブロック「A」を引き付ける必要があり、中性層を必要としないことである。

5.2.9.1.2. ラインのケミカルエピタキシ (CHEMOEPITAXY OF LINES)

ラインのケミカルエピタキシの場合、表面は図 1c, 1d に示すように、ブロック A を引き付けるためにパターン化されたガイドラインを除いて、ブロック B に対して中性またはわずかに引き付ける必要がある。忠実性を損なわずに増やすことができるラインの数は、プロセス開発の中で決定しなければならない。ガイドパターンは $0.5L_0$ または $1.5L_0$ ¹⁰⁸ のいずれかになる。しかし、モデリングは、表面下の欠陥が $1.5L_0$ で発生する可能性があることを示す¹⁰⁹。DSA を、パターン密度増倍に使用する場合、従来リソグラフィの解像よりも小さいパターンが目標となるので、 $1.5L_0$ は、ガイド構造を提供するためにより少ないプロセス処理ですむであろう。

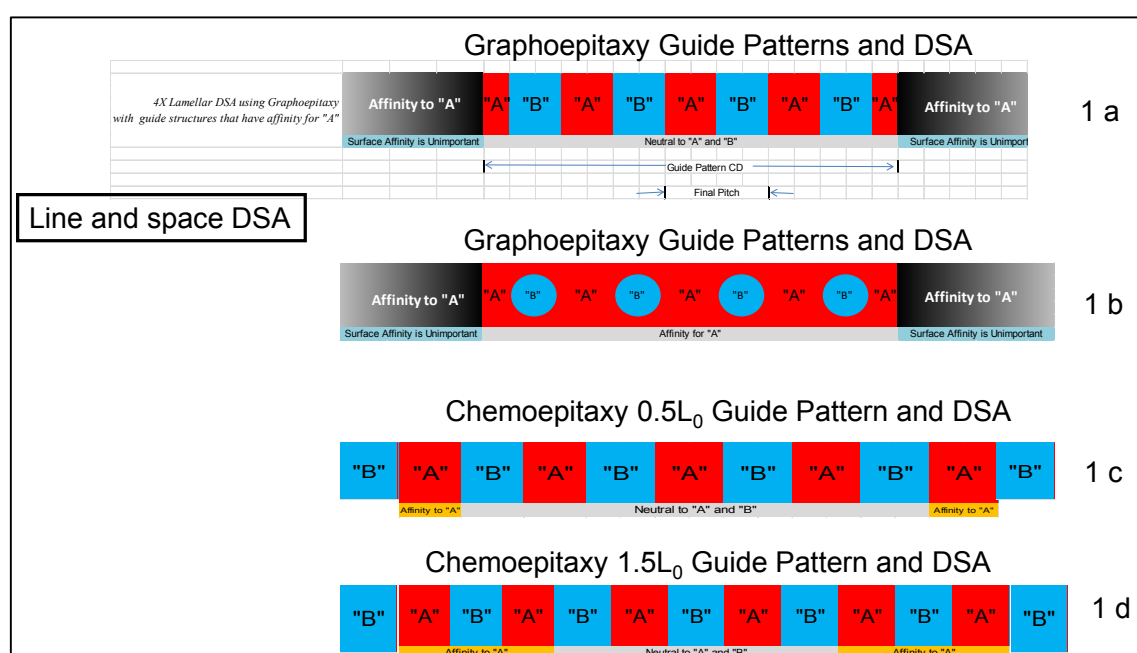


Figure ERM1

Self Assembled Polymers Directed by Guide Patterns

5.2.9.2. コンタクト形成 (CONTACT PATTERNING)

5.2.9.2.1. コンタクトのグラフォエピタキシ (GRAPHOEPITAXY OF CONTACTS)

コンタクトのグラフォエピタキシでは、表面がすべての領域で中性であるか、あるいはトレンチのサイドウォールがブロックの一方(図 2a のブロック「A」)を引きよせる能力を有する。トレンチのサイドウォールがブロック「A」を引きよせる(図 2a)ときより、表面が中立である(図 2b)ときのほうが、コンタクトは大きくなる。ガイド構造はコンタクトより明らかに大きいので、この構造はリソグラフィにより形成可能である。さらに、グラフォエピタキシでは、ガイド構造の中に複数のコンタクトアセンブリを形成でき、アレー(図 3)のコンタクトをアセンブルするのに使用でき、ロジックに適合する⁸⁵。一方、複雑なアレイにコンタクトを配置するためには、DSA アライメントターゲットと必要とされる重ね合わせを達成するために、より複雑なガイド形状が必要となる。

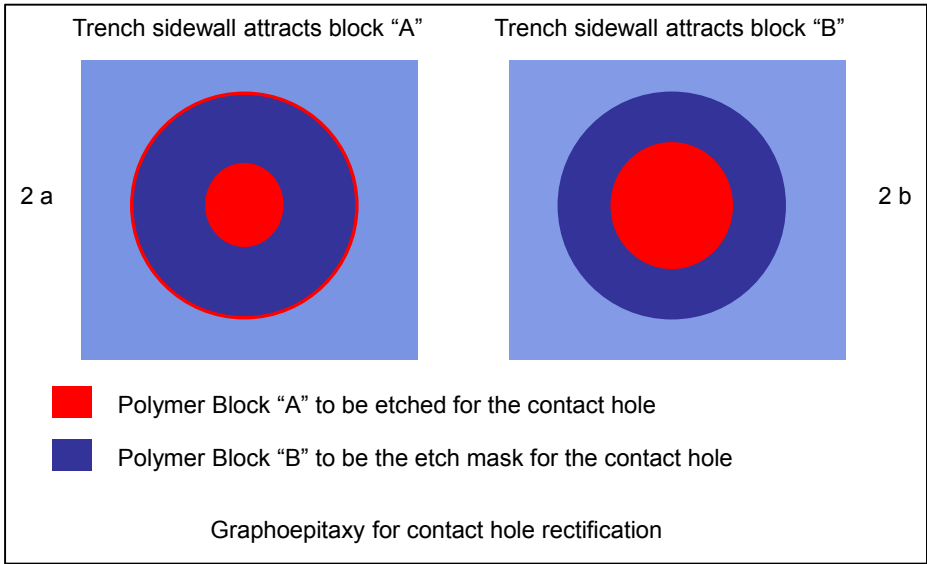


Figure ERM2 Directed Self Assembly of Small Contacts in Guide Patterns

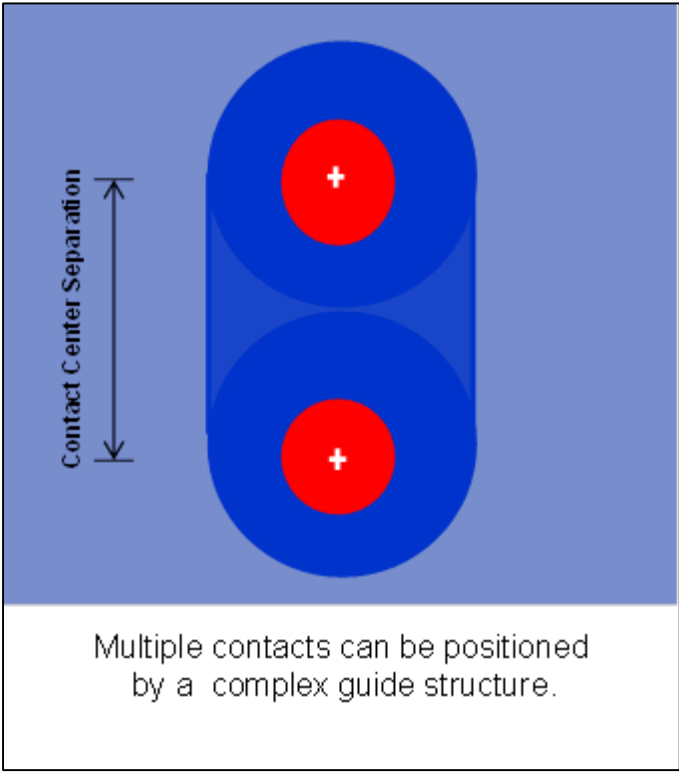


Figure ERM3 Directed Self Assembly of Multiple Contacts in a Single Guide Pattern

5.2.9.2.2. コンタクトのケミカルエピタキシ (CHEMOEPITAXY OF CONTACTS)

ケミカルエピタキシは、パターン密度増倍をガイド可能である。しかし、コンタクトは、自己組織化により生じる自然的秩序の六方最密構造に形成される傾向となる。それ故に、集積回路の製造に望ましいアレイ状に組み立てるには適しているとは言えない。十分に低欠陥密度を実行できるテンプレートガイドを提供する DRAM キャパシタアレイを形成するのには使用できる可能性を持っている。適切なテンプレートガイドの形成に EUV が必要となるのであれば、当初は法外な費用がかかる。

5.2.10. デザインツール (DESIGN TOOLS)

所望のレイアウトから、必要な位置に必要な形状のパターンを組立て、ウェハ上にパターン化するガイド構造へ変換する設計ツールが必要とされている。必要とされる能力はアプリケーションツールとプロセス能力に依存するであろう。設計ツールは、DSA プロセス要素、リソツール、およびプロセス能力からなる要素を含む必要がある。多くの基本コンセプトは、ガイド構造の章で述べられている。ウェハ上 DSA パターンの位置精度、CD 精度の達成について、特定のマスク設計の効果を評価する、効果的なモデルを開発する必要があり、最近の文献にも同様の記述がある¹¹⁰。

5.2.11. DSA クリティカルアセスメント (DSA CRITICAL ASSESSMENT)

リソグラフィを延命する誘導自己組織化の実現可能性について、ERM は投票にもとづく調査を実施した。DSA の応用可能性は、1) ラインエッジラフネス(LER)の改善、2) コンタクトやビアの CD の改善、3) メモリアレイパターンニングの密度増倍、4) ロジックの密度増倍、であった。ラインとコンタクトの補正に関する平均得点は、2.1 であった。一方、パターン密度増倍は、平均得点 2.0 となり、技術が有望であることを示した。DSA クリティカルアセスメントの結果を表 ERM10 に示す。すべてのアプリケーションに対して、高分子パターンのエッチング耐性について少なからずのアンケートが懸念している。また、コンタクトの補正とパターン密度増倍は、レイアウトからマスク上のガイド構造へ変換する EDA の入手可能性について少なからずのアンケートが懸念している。パターン密度増倍については、欠陥密度と線幅粗さ(LWR)に関して、少なからずのアンケートが懸念している。欠陥検出のメトロロジとパターン密度増倍の汚染限界についても少なからずのアンケートが懸念している。アンケートは、DSA がパターン密度増倍を達成可能なこと、短いアニーリング時間で微細パターンを形成できることを確信している。したがって、この DSA クリティカルアセスメントは特定の領域で目覚ましい進歩がなされつつあることを示すが、欠陥密度と集積化への課題が残っていることを示す。

このクリティカルアセスメントは、ERM とリソグラフィからの 7 人の参加者と DSA ワークグループの参加者の投票に基づく。

Table ERM10 Directed Self Assembly Critical Assessment (2013)

6. 探求的フロントエンドプロセス、プロセスインテグレーション、デバイスおよび構造に対する材料の挑戦と選択(EMERGING FRONT END PROCESSES' AND PROCESS INTEGRATION, DEVICES, AND STRUCTURES' MATERIAL CHALLENGES AND OPTIONS)

将来のフロントエンドプロセス(Front End Process: FEP)やプロセスインテグレーション・デバイスおよび構造(Process Integration, Devices, and Structures: PIDS)の材料やプロセスに対する重要な技術課題は、デバイス性能の変動を抑えると共に、パワー、パフォーマンス、信頼性を達成しつつ、更に微細な領域へ CMOS の拡張(Extending CMOS)を支えることである。これには、デバイス活性領域により正確にドーパントを配置し、リークが極めて低く、電氣的酸化膜厚(EOT)<0.5nm を有する誘電率ゲート酸化膜の堆積、極めて低いコンタクト抵抗が要求される。有益なナノ材料や新規材料を誘導自己組織化したり、自己整合的に構造を形成するために、選択成長やエッチング、クリーニングが期待されるソリューションである。FEP や PIDS に ERM を展開するための要件や重要課題が表 ERM11 にまとめられている。

6.1. 困難な挑戦 (DIFFICULT CHALLENGES)

マルチゲート FET デバイスでは、“フィン”構造のチャネルおよびソース/ドレイン(S/D)においてキャリア濃度の正確な制御が求められる。チャネル濃度がゲート金属の仕事関数によって制御される一方、S/D 領域へのイオン注入は、フィンの高さを通じてチャネル長の不均一性を生じる結果となり、それ故、10nm“厚”以下のフィンの S/D 領域に均一にドーピングする手法が求められる。より高い誘電率を有するゲート絶縁膜が求められる一方、バンドギャップが低く、電子トンネリング障壁が低いことが要求される。ま

た、より低いコンタクト抵抗が求められる一方、しばしば抵抗率を増加させる原因となるショットキー障壁が生じる金属半導体界面におけるフェルミ準位のピンニングを低減する新しい手法が求められる。

Table ERM11 FEP/PIDS Challenges for Deterministic Processing

6.2. ドーピングと堆積 (DOPING AND DEPOSITION)

半導体デバイスの 10nm 以下のスケーリングへ向けたドーピングに関する重要課題は、チャネル領域のドーパント位置のみならず、ソース/ドレイン領域とチャネル領域の境界において、ばらつきが小さく、かつ急峻なドーパント勾配をもった高濃度のソース/ドレイン領域を実現することにある。マルチゲート構造では、細いフィンの深さを通して、均一な S/D ドーパント配置が求められる。均一な S/D ドーパントプロファイルを実現するために可能性のある方法には、液相、気相、ガスソースを用いた単分子層ドーピングや全く新しいイオン注入技術が含まれる。しきい値電圧のばらつきを制御するためには、ゲートスタック、空乏層中のドーパントばらつきを制御しなければならない¹⁻⁵。閾値電圧ばらつきは、バルクプレーナー型 CMOS デバイス技術の延伸に対して大きな障害となっている。一方、ドーパントの集合体の制御ではなく、個々のドーパントを制御することによって電気的特性制御が可能となっている⁶。いまドーピングされた材料やその勾配の組成や構造を決定論的に制御できるような新探求材料やその作製方法を発展させるための研究が必要とされている。その 1 つの方法が、決定論的プロセスと決定論的ドーピングである⁷⁻¹⁰。

6.2.1. 単分子層とコンフォーマルドーピング (MONOLAYER AND CONFORMAL DOPING)

マルチゲート構造には、フィン構造上に均一な S/D ドーピングが必要なため、表面に均一なドーピングを可能にする方法には、液体¹¹⁻¹³、蒸気、気体¹⁴からドーパントのラングミュア単分子層を用いた堆積法が考えられる。この化学ベースの方法は、調整可能なブランクと活性プリカーサー成分を混合させた単分子層の形成によって、正確にドーズを調整できることが実証されている。加えて、ドーパントがロードされた自己組織化単分子膜と続くスパイクアニール^{15,16}によって、サブ 5nm の極浅接合の形成が実証されており、しばしばイオン注入法で問題となる増速拡散のないナノスケールで制御されたドーピングが可能となっている。鍵となる目標は、マルチゲートとプレーナーデバイス応用のため自己整合的に高濃度に半導体材料にドーピングすることである。

6.2.2. 決定論的ドーピング (DETERMINISTIC DOPING)

ドーパントプロファイルを制御する 1 つの方法は、決定論的ドーピングである。原子レベルでの配置と濃度制御性を有するドーピングプロセスによって、デバイス特性の微妙な調整やデバイス間ばらつき削減が可能となる。デバイスノイズが減少すれば、設計自由度、回路レベルでの均一性、システム性能が改善される。1 つのポジティブな成果としては、ドーパントの集合体の制御ではなく、個々のドーパントを制御することによって電氣的に特性が制御され、究極とも言えるドーピングチャネルトランジスタが実証されていることである⁶。決定論的ドーピングは、ドーピング領域界面における組成や構造を十分制御し、数桁のオーダーでデバイス性能ばらつきを改善する 3 次元ナノパターニング及び集積法とも言えるだろう。これに応えるドーピング技術群は、次の課題に取り組まなければならない: 1) ドーパントの原子スケール制御と大量で同時平行的なドーパント導入; 2) チャネル領域におけるランダムドーパントゆらぎ制御、ソース/ドレイン領域の極浅接合形成、チャネルソース/ドレイン間のドーピングプロファイル急峻な変化; 3) 現在の製造プラットフォームでの互換性と集積化; 4) 研究開発や製造設備のコスト、歩留まりそれにスループットに依存する経済性の 4 点である。

決定論的ドーピングを次の様に定義する: 1) チャネル領域およびソース/ドレイン領域に 10nm 以下の精度で単一もしくは少数ドーパントを導入すること; 2) 導入された少数ドーパントを適切にアクティベートすること; 3) 単一/少数ドーパントを正確に測定し、イメージングすること; 4) より優れたデバイス特性を実現するために原子レベルで制御された材料、デバイス、そしてプロセスの応用を探索すること。新しい計測技術は、原子スケールデバイスのキャラクタリゼーションと実現性評価に強力なツールとなる。

6.2.2.1. 最先端技術 (STATE OF THE ART)

決定論的な 3 次元のドーパント配置と構造制御技術には、原子レベルで急峻、かつ再現性良くソース・チャンネル・ドレインのそれぞれの界面が形成できることが求められる。今年の改訂では、サブ 16nm 応用を視野に、当該分野の進展をレビューし、ドープチャンネル CMOS の拡張性に貢献する可能性の高い方法を検討すると共に、関連するエマージング材料、デバイス、プロセス、ならびにシリコンおよびダイヤモンド量子コンピューティングデバイスをはじめとする新しいデバイスコンセプトを強化する方法も検討している。原子的な制度でドーパントを配置する能力は、ERM 章のデバイス材料セクションでより詳細に記述されている。

6.2.2.2. 決定論的ドーピングのための誘導自己組織化 (DIRECTED SELF ASSEMBLY FOR DETERMINISTIC DOPING)³⁴⁻³⁶

SII や STM による決定論的ドーピングは、大量生産には有効とは言えないため、ブロックコポリマーやラングミュア表面集合を用いた誘導自己組織化によって、大量かつ精密にドーパントの配置が試みられている。ドーパントをロードさせた誘導自己組織化単分子膜を形成し、スパイクアニールによって、イオン注入でしばしば問題となる増速拡散現象なしで、サブ 5nm の深さの極浅接合の形成が実証されている。ブロックコポリマーを用いた誘導自己組織化は、3D マルチゲート構造やプレナーデバイス構造の表面上に精密にドーパントを集積させる方法を提供する。ウェハスケールでナノ製造可能な誘導自己組織化 (DSA) のためのインフラストラクチャが開発され、利用可能となっている。DSA によって、12nm のスルー膜を用いたスポットパターンからラインや円柱の垂直ラメラ構造が作製されている。サブ 1nm の位置制御性を有するサブ 10nm 構造、できればサブ 10nm ピッチ構造を実現するための指針が必要である。イオン注入やドーパント拡散の犠牲テンプレートとして DSA の利用が単分子膜法をベースに検討されている。

6.2.3. 低サーマルバジェット活性化 (LOW THERMAL BUDGET ACTIVATION)³⁷⁻⁴⁰

フラッシュランプやレーザーによるミリ秒エネルギーパルスその他、マイクロ波照射による極めて低温の熱プロセスは、ドーパント拡散を最小限に抑えることが期待できる。マイクロ波アニールは、材料内部に分子回転もしくは分極エネルギーに作用して選択的に直接熱を発生させる。この局所的な熱は材料中にエルゴード的に伝播し、ドーパント拡散を抑制、アクティベーションを可能にする。500 °C 以下のマイクロ波アニールの効果が Si, Ge, poly-Si 中の B, P, As について実証されている。加えて、従来の n+/p+ poly-Si ゲート材料を代替し、CMOSFET の性能を維持するために、シリコンの伝導帯と価電子帯のエッジ付近に仕事関数を有する金属の適切な組み合わせを利用する必要がある。マイクロ波アニールは、低温プロセスによってメタルゲートのゲートファーストプロセスを実現する上で有効性を示している。Ge CMOS に対して、極薄ニッケルゲルマニウムを用いて、抵抗率が低く、Ge 中で拡散のない接合、ドーパント拡散のない Ge がマイクロ波アニールによって達成されている。背景にある物理メカニズムの十分な理解が必要である。STM によって作製されるデバイスでは、低温で組み込むアニールによって、拡散が最小限に抑制されたドーパントが活性化されることが確認されている³¹。

6.2.4. 決定論的ドーピングのためのメトロロジ (METROLOGY FOR DETERMINISTIC DOPING)

メトロロジからの要求の詳細は、本章の ERM メトロロジセクションで挙げられている。

6.2.5. キーメッセージ (KEY MESSAGES)

単分子層ドーピングはスパイクアニールを用いてサブ 5nm の極浅接合を達成することができる。この単分子層ドーピングは、半導体表面上においてウェットケミカル、もしくはガス分子のラングミュア堆積を通じて実現することが可能である。チャンネルドーピング、S/D ドーピング、コンタクト抵抗のエンジニアリングが可能性のある応用である。極浅 S/D プロセスのため、マイクロ波アニールは拡散を抑制しつつ、かなり低い温度でドーパントを活性化する可能性を与えるだろうチャンネルのキャリア濃度は、ゲートの仕事関数、もしくは決定論的ドーピングによって制御することが可能になる。単分子層ドーピングは、極浅 S/D やより急峻なドーパントプロファイルに有望と考えられる。コンタクト抵抗を低減するために、全く新しいドーパントプロファイルが必要となるかも知れない。Si や Ge CMOS には完全低温マイクロ波プロセスがドーパント分布の原子的な制御を役立つ。

DSA を用いた決定論的ドーピングについて、ドーパント原子間の平均距離はキャリア分子の選択によって多少調整可能だが、要求通りにドーパントが制御されたドーパントパターン形成にはまだ課題がある。しかし、有望な道筋と言える。DSA をナノパターニングや犠牲となるテンプレートとして利用する成熟したインフラストラクチャーが確立されている。エネルギーを持ったイオン注入やドメイン当たりの単一ドーパントに対する体制が課題である。欠陥や汚染についても理解し、制御しなければならない。10nm レベルの中間の位置制御性を持ったドーピング方法(すなわち、単イオン注入法)は、デバイス発展の応用に対するポテンシャルを示している。より高い精度で、より高いスループットでドーピングを可能にする研究が求められる。精密に制御してドーパントを導入するために、誘導自己組織化や足場として単分子膜を利用する様な新たな候補となるドーピング技術が期待される。

STM や決定論的イオン注入法によって、原子スケールのドーパント配置が実証され、基本デバイスの限界や新機能の探索が可能となっており、10~15 年のタイムフレームで実現されるかも知れない。しかしながら、次の 10~15 年以内に大量生産技術に結びつけるには、より高温(すなわち 400°K)での動作や、実用的な原子レベルでの制御やコストに見合った技術が必要とされる。

3 次元アトムプローブといった新しい評価法は、決定論的ドーピング技術群の発展を助ける。決定論的、コンフォーマル、そして単分子層ドーピングは、半導体デバイスを単一ドーパントの極限までスケールアップし、CMOS プラットフォームの拡張に貢献するだろう。

6.3. 超高誘電率ゲート絶縁膜 (ULTRA HIGH K DIELECTRIC)

CMOS デバイスのスケールアップを継続するためには、SiO₂ 換算膜厚(EOT) 0.5nm 以下で低リーク、高耐圧を実現できる超高誘電率ゲート絶縁膜の導入が必要となる。半導体表面上に安定した酸化膜として形成でき、形成界面が安定であり、界面準位やトラップが少なく(フェルミ準位がピンニングされない)、低リーク電流や他の要求される特性を満たす材料やプロセスの選定が重要となる。それに加えて、高誘電率絶縁膜(high-k 膜)は、一般的なプラズマガスによりエッチング可能であることが必要となる。

現在適用されている high-k 膜である HfO₂ は比誘電率が 24 程度であり、EOT 0.5nm 以下の達成が困難である。より高い比誘電率を有する遷移金属酸化物には、TiO₂(k~80)や SrTiO₃(k~300)が挙げられるが、これらの材料は、Si に対して伝導帯オフセットがほぼ 0eV であり、顕著なリーク電流が発生すると考えられる。さらに、これらの材料は、Si、Ge や III-V 属半導体上に形成した際に、半導体材料との反応や界面準位の形成なども懸念される。

安定した界面とフェルミ準位のピンニング抑制が達成できる非常に薄い中誘電率絶縁膜層上に、厚い超高誘電率絶縁膜を形成することは、課題解決への1つのアプローチと言える。低リーク電流を達成するために、high-k 膜はキャリアのトンネリングに対するポテンシャル障壁を形成しなくてはならない。電子のトンネリングを防止するためには、high-k 膜と半導体の伝導帯オフセットが確保されていなくてはならない。同様に、ホールトンネリングを抑制するためには、high-k 膜と半導体の価電子帯オフセットが十分に確保されていることが必須である。

Ge 上で低 EOT を達成するために、低い界面準位密度を達成できる膜上により高い誘電率を有する絶縁膜を積層する 2 層構造ゲート絶縁膜が、いくつか検討されている。ALD-TiO₂ を適用した TiO₂-AlO_x-Ge 構造では、低い界面準位密度で、EOT 0.65nm を達成できることが報告されている。超高誘電率絶縁膜を適用した多層ゲート絶縁膜が、0.5nm 以下の EOT 及び超低リーク電流を達成できるかどうか、このアプローチを更に探求することが要求されている。

6.4. 選択エッチングと洗浄／表面前処理 (SELECTIVE ETCH AND CLEAN/SURFACE PREPARATION)

将来技術において集積化されることが期待される幅広い領域に亘る新材料においては、選択的且つかスタマイズされたエッチング、クリーニング、堆積技術が必要とされる。機能性(巨大)分子もしくは自己組織化プロセスによる特定物質のコーティング技術を用いることにより、エッチングもしくは化学的機械的な研磨(CMP)のような化学プロセスのみで行う場合に比べ、選択性や歩留まりの改善が期待される。同様に、(デバイスの)形状寸法が小さくなるに伴い、クリーニングプロセスには、所望とされる構造を壊すこと

なくパーティクルを除去する為、より高い選択性が必要とされることになる。このように、機能性(巨大)分子や自己組織化物質には、将来の製造プロセスにおいて選択性を拡大させる可能性がある。

エッチングは従来のトップダウンによるパターン転写プロセスにおける重要なステップである。リソグラフィやエッチングプロセスは、最終寸法、寸法ばらつき、形成された形状の機能に対して大きく影響する。従って、パターン転写の回数を減らし、それに付随するプロセス起因のばらつきを低減する、シンプルな製造シナリオを考案することが有用である。電氣的機能物質の誘導自己組織化は、プロセスの単純化やパターンニングに起因したバラツキの低減に対して効果が期待される、エマージング技術選択の一つである。誘導自己組織化の初期のアプローチであるレジスト応用は、現在のあるいは予想されるリソグラフィおよびエッチング技術の補完や活用を行うものである。自己形成システムの次の世代においては、電氣的に有益な材料を組み込むように設計され、エッチング工程の削減に貢献できるであろう。

6.5. コンタクト(CONTACTS)

デバイスが微細化されるに従い、コンタクト抵抗は、デバイス特性により大きな影響を及ぼすようになってきている。コンタクト抵抗は、金属のフェルミ準位と半導体のバンドギャップ間のエネルギーアライメントによって部分的に決定され、ショットキーかオーミック接続かが決定さえる。金属と半導体の界面では、フェルミ準位のピンニングにより、通常ショットキーバリアが形成される。過去のデバイスでは、高濃度注入によって金属と半導体界面でのポテンシャル障壁幅を抑制することにより、コンタクト抵抗を低減することが可能であったが、多くのナノスケールデバイスではそれが困難となっている。これに加えて、金属コンタクトでは、しばしば半導体との合金が形成され、FinFET のようなマルチゲート FET の特性を劣化させる。コンタクト抵抗を低減する新規技術として、金属コンタクト/半導体界面へのトンネルバリア膜の挿入や、界面にダイポールやチャージを導入することが挙げられる。超低抵抗コンタクト実現のためには、金属のフェルミ準位と半導体のフェルミ準位を同一にすることが理想的である。しかし、フェルミレベルピンニングにより、しばしばショットキー障壁が形成されてしまう。よって、ショットキー障壁を形成し、コンタクト抵抗を増加させてしまうフェルミレベルピンニングを抑制することが重要となる。フェルミ準位をピンニングしないトンネルバリア膜は、金属/半導体間にキャリア輸送障壁を形成してしまう可能性があるため、可能な限り薄膜形成をしない。さらにトンネルバリア膜にダイポールやチャージを導入することにより、金属/半導体間のフェルミ準位オフセットを調整することが可能になると考えられる。

6.5.1. コンタクトフェルミレベルピンニングを抑制するトンネルバリア膜(TUNNEL BARRIER TO ELIMINATE CONTACT FERMI LEVEL PINNING)

フェルミレベルピンニングは、ほとんどの金属/半導体界面で発生しショットキー障壁を形成するため、界面を不動態化し、ショットキー障壁形成を防止する材料が要求される⁵³。半導体界面に欠陥準位を形成しない、材料及びプロセスは、実験により選定されなくてはならない。Si では SiO₂ がフェルミレベルピンニング防止に適用され、Ge⁵⁴やいくつかの III-V 属材料⁵⁵では、成膜方法にもよるが Al₂O₃もしくは AlO_xにより、半導体界面で金属エネルギー準位に近いフェルミ準位が達成される。薄膜 ZrO₂⁵⁵では、Ge と Ti のフェルミ準位がアライメントされることにより、低抵抗 Ge-Ti コンタクトが実証されている。

6.5.2. ショットキー障壁高さを低減する絶縁膜中ダイポール (DIELECTRIC DIPOLE TO REDUCE SCHOTTKY BARRIER HEIGHT)

ピンニングが発生しない界面材料が選定できた後、キャリア輸送に対して低い障壁を有する薄い絶縁膜を形成することにより、トンネルバリア膜にダイポールを導入することが可能となる。異なる仕事関数の2つの材料が、コンタクト底に形成された場合、ダイポールはコンタクト界面に形成できる。FinFET 構造での Si コンタクトでは、1nm の AlO_x/SiO_x を挿入することにより、100meV 程度ショットキー障壁高さを削減でき、寄生 S/D 抵抗を 25%程度削減できる。⁵³ 低抵抗コンタクトを達成するためには、キャリア輸送の障壁は可能な限り低く、かつ薄くすることが要求される。

6.5.3. 界面層への固定チャージ導入 (INTRODUCING FIXED CHARGE IN THE INTERFACIAL LAYER)

界面層に正の固定チャージを導入することにより、負のキャリアが半導体界面に誘導され、メタルに対する半導体バンドのアライメントを変えることが出来る。これにより、メタル/半導体間の障壁高さを微調整することが可能となる。

6.6. InGaAs 代替チャネル材料 (InGaAs ALTERNATE CHANNEL MATERIALS)

n チャネルにおいて、Si 上に 1.2 μm の緩衝層を介して形成された InGaAs 量子井戸 FET は、10,000~3000 cm^2/Vs の電子移動度が達成できることが報告されている⁵⁷。これが CMOS 特性を向上するための実現可能な技術となるためには、Si 上での、選択成長、多層 III-V 属薄膜形成、0.5nm 以下の EOT を実現できる high-k 膜及びコンタクト抵抗率の更なる低減などが必要となる。

6.6.1. Si 上 III-V 属選択エピ成長 (SELECTIVE III-V EPITAXY ON SILICON)

マルチゲート構造を有する高性能な InGaAs デバイス構造⁵⁸において、選択エピ成長が InGaAs の最もシンプルな形成方法である。高品質な III-V 属材料を Si 上に形成するには、III-V 属緩衝層を Si 表面に成長させる必要があり、段差が形成されてしまう。Si トレンチ中に Ge/III-V 属緩衝層を形成することにより、逆位相領域の形成防止が達成できる^{59,60}。この技術により低格子欠陥が実現でき、アスペクトレシオトラッピングと呼ばれている。厚い緩衝層を形成した後、高キャリア移動度を有する埋め込みチャネルを可能とするために多層 III-V 属薄膜の形成が必要となる⁶¹。MOVPE(metal organic vapor phase epitaxy) が Si 上に高品質な多層 III-V 属薄膜を形成できる技術として検討されており⁶²、量産機に近い装置を使用した評価も進められている。

6.6.2. HIGH-K ゲート絶縁膜 (HIGH K GATE DIELECTRICS)

Al_2O_3 ⁶³ や TaSiO_x ⁶⁴ などの high-k 絶縁膜は InGaAs 上に形成されている。しかし、将来的には更なる高誘電率を有するゲート絶縁膜が要求されると考えられる。マルチゲート III-V 属 FET 構造で 0.5nm 以下の EOT を達成できるゲート絶縁膜を形成することが要求されており、ERM6.3 項に記した技術が、実現可能性のある解決策であると考えられる。

6.6.3. コンタクト抵抗率 (CONTACT RESISTIVITY)

UV オゾン/HCl/H クリーンプロセスを適用した n 型 InGaAs 上 Mo コンタクトでは、コンタクト抵抗率が $1.1 \times 10^{-8} \Omega\text{-cm}^2$ 程度まで低抵抗化出来ることが、また最近、スパッタ Pd コンタクトを用いて、 $4 \times 10^{-9} \Omega\text{-cm}^2$ 程度の低コンタクト抵抗率が達成できることが報告されている。 $1 \times 10^{19} \text{ cm}^{-3}$ でドーピングされた InGaAs 上に形成した Pd シリサイドコンタクトでは、 $1 \times 10^{-8} \Omega\text{-cm}^2$ のコンタクト抵抗率となることも報告されている⁶⁷。これらから、低コンタクト抵抗率は、種々のメタライゼーション技術によって実現可能であるが、膜厚やコンタクト面積の縮小に伴い、更なるコンタクト抵抗率低減が必要となる。更なるコンタクト抵抗率低減に向けて、ERM6.5 項で議論した界面のパッシベーション技術評価が要求されると考えられる。

7. 配線 (INTERCONNECTS)

性能向上を続ける将来の集積回路配線に向けた重要課題は、信号伝搬のための RC 時定数低減と高信頼性の出力にある。Cu 配線を 2024 年まで延長するためには、側壁の Cu バリア厚さは 2 nm 以下に減らす必要があるが、これは Table ERM11 にまとめられているように、チャレンジングである。Cu 配線の後には、Table ERM12 にまとめられているように、カーボンナノチューブのような新奇配線が低抵抗とエレクトロマイグレーション耐性から探索されている。加えてより低い誘電率(κ 層内および層間両方で)が求められている。しかし、これら画期的な材料群は実用化のために様々な重要課題を克服しなければならない。エアギャップは別の実効的な誘電率低減方法だが、適用するとなれば、バリア層や新奇配線に付加的な要求が生じるであろう。

Table ERM12 Interconnect Material Challenges

7.1. 新奇超薄膜バリア (NOVEL ULTRATHIN BARRIERS)

Cu バリア層の 2nm 以下までのスケーリングは、プロセスやパッケージングさらに動作中の Cu 拡散阻止、低誘電率(low-k)の層間絶縁層(ILD)と Cu の良好な接着、Cu への H₂O/O₂ 拡散の阻止、そして CMP や ILD エッチング、フォトレジストアッシングなどの Cu 配線プロセスとの整合性などを含む様々なチャレンジに直面している。配線章で議論されている Ru や CuMn などの新規バリア材料が開発中であり、数世代にわたってバリア膜の厚みのスケーリングが維持できると期待されている。しかしながら、予測では、2015 年で 2 nm 以下、2021 年には 1 nm 以下の銅バリア層の厚みが見込まれている。このような膜厚では、開発中のすべてのバリア材料は機能しなくなり、新奇材料や、多層膜が必要となるであろう。そして、もし、業界がエアークギャップの採用に動いた場合、このバリア構造に対する要求はさらに困難なものになるであろう。

現行のトレンチとビアにおけるバリア材料として、遷移金属窒化物やバリア性能を高めた金属プレートが将来における要求性能を満たすものとして考えられている。現在のところ、遷移金属窒化物のホスト金属、あるいは金属プレート材料の研究が進められているが、その機能実証がなされているものの厚みは 5 nm に留まっている。一方で、2.5 nm 厚みの MnN バリアが近年報告されており¹、5 nm 以下、究極的には 1 ~ 2 nm 厚みの新しい材料に関する研究が求められている。さらに、これらの金属(あるいは金属窒化物)薄膜が工業的に用いられる製法によって形成された際に、その厚み形状を維持するかどうかにかかわる研究が必要である。特に、ラインエッジラフネスや low-k ILD の細孔と同様に 2 nm 程度の表面平坦化度を実現できるかどうかを調べる必要がある。

新しい“ハード”な金属バリア材料に対する代替策として、“ソフト Cu バリア材料と呼ばれる、たとえば自己組織単層膜(Self assembled monolayers: SAMs)や他の有機膜の研究も必要である。SAMs は 2009 ITRS に加えられ、その Cu 拡散を抑制し Cu と誘電体材料との間の接着を向上させる可能性が示された²。しかし、SAM バリアは標準的な TaN³ と同等のバリア性能をまだ示せていない。そのため、1-3 nm 厚 SAM バリアの特性を示し、同様の膜厚のハードバリア材料の間でベンチマークする研究が求められている。より下流プロセスにおける SAMs の耐久性、ポーラス low-k ILD と組み合わせたときのバリア性能、2 nm の表面粗さ、表面形態、欠陥なども取り扱われる必要がある。Cu バリア材料としての有機膜はその比較的低い誘電率から大変魅力的であるが、関心の持たれている 1-2 nm 厚み⁴や重要な表面形状または表面欠陥の存在するケースでの Cu バリアとして性能を示す必要がある。

最後に、Cu バリア材料としてのグラフェンも検討と研究の価値がある。<1 nm 厚のグラフェンは 2020 年を超える技術において理想的である可能性があり、最近の結果は単層グラフェンが Cu と Cu/Ni 合金が酸化するのを守ることをマクロスケールで示している⁵。しかしながら付加的な研究は、ミクロスケールでは Cu の表面酸化がグラフェン表面エッジと粒界、欠陥を通じた急速な湿気の拡散によって生じることを示している^{6,7}。よって、Cu バリア応用向けのグラフェン成長と転写の研究に加えて、グラフェン終端エッジと欠陥の封止法に関する研究が必要である。

絶縁性の Cu キャップバリア層はまた 2020 年までに < 2 nm の厚みに近づくことが予測されている。この寸法では、現在の SiN/SiCN/SiOC 材料は成立しなくなることが予想されており、新しい材料を示すことが求められるであろう。Cu キャップ層に対するキー技術チャレンジはビア/トレンチのバリア層に対するものと類似しているが、2020 年までには許容されなくなるであろう>4 という現状の誘電率のスケーリングも必要である。Cu キャップ層を除くことを狙う代替手段もフォローすべきであるが、新しい Cu キャップ材料たとえば SAMs、有機膜、他のたとえば a-C:H, a-CN_x, and a-BCN_x などの材料の研究も並行して必要である。グラフェンと類似した構造の六方晶 BN(h-BN)も、6eV の大きなバンドギャップと~4.0 の k をもっており、これら応用に向けて注意を払っておくべきであろう⁸。

まとめとして <2nm 厚のバリア材料候補のすべてが強みと弱みを持っている。それぞれの材料のなにかの弱点に取りつく方法として、“ハード”と“ソフト”バリア材料を組み合わせることを研究することも考えるべきで、将来技術の要求に応える方法の一つとして高く推奨される。

7.2. 新奇配線 (NOVEL INTERCONNECTS)

Table ERM13 Nanomaterials Interconnect Challenges

7.2.1. ナノチューブ配線 (NANOTUBE INTERCONNECTS)

画期的な単層カーボンナノチューブ (SWCNT) または多層カーボンナノチューブ (MWCNT) による配線またはビアは、高密度で高導電性、かつ所望の場所に制御された方向のナノチューブと低接触抵抗を示さなければならない。加えて、ILD や一般的な半導体プロセスと整合した触媒をもちいなければならない。CNT は長距離にわたってのバリスティックな電気伝導を示す^{9,10}、しかし SWCNT は金属的と半導体的チューブの混合物からなっており、このことが実用性を制約している。MWCNT は、しかしながら、明らかに金属的であり、このことが MWCNT を配線の候補として魅力的なものにしている。CNT ビアの潜在的な優位性はエレクトロマイグレーションを生じずに高電流密度の電流を流せる能力にある、しかし、金属界面でのエレクトロマイグレーションは一つの要件に過ぎない¹¹。さらに、バリスティック伝導を実現する能力を含む CNT の低抵抗も配線応用に潜在的な優位性を与えるかもしれない。CNT はまた量子化された接触抵抗下限を示すことから、彼らの長さは ITRS 配線チャプターで記述されている望まれる実効的な抵抗を生み出すのに十分な長さでなければならない。加えて、CNT の電導性は動作中も高く安定でなければならない。研究と材料設計原理の案内が CNT の機能化、成長位置制御の向上のために必要である。

7.2.1.1. 制御された位置での配向性をもった成長 (GROWTH IN CONTROLLED LOCATIONS WITH ALIGNMENT)

CNT をデバイスや配線に使うためには、正確な位置と所望の方向に配向した成長が必要である。所定の位置でのナノチューブ成長は進歩しているものの¹²、方向制御は依然課題である。最近の結果は、電界の中で成長した CNT は一般的な方向制御が可能であることを示唆している¹³。加えて、触媒をパターン形成したサファイヤや水晶のステップでの成長は配向した CNT を育てるが¹⁴⁻¹⁶、場所に置くのは以前チャレンジである。この基板上での成長は求められている密度より低い、この配向は他の方法に比べて顕著に優れている。他のチャレンジは CNT の制御された成長である。ゼオライトは CNT の成長直径¹⁷、位置と方向を制御した成長に使うことができる。しかし、このようなテンプレート材料が CNT の電導性に何のインパクトも与えないのかどうか実際に示す必要がある。様々な CNT 製造方式が示されているが、生産に向けた実際のプロセスへの組み込みは依然としてまだ見えていない。成長後のアセンブリのオプションも探索されつつある。

配線の距離は比較的長いため、高速成長方法が強く求められる¹⁸⁻²⁰。CNT の品質はチューブの中の電荷輸送のバリスティック長に影響する。よって、高品質 CNT の成長とその品質評価が重要である。その長さは配線章で求められている実効的な抵抗率を得るのに十分である必要がある。

7.2.1.2. ナノチューブビア (NANOTUBE VIAS)

縦方向配線(ビア)は将来 CNT の集積化によって利益を受けるかもしれない。特に、最近の三次元デバイス構造は極度に高いアスペクト比のビアを必要とする。このような応用では、CNT は極めて高いアスペクト比のビアホールを埋める好適な解決策である。現状の CMOS 技術への CNT 集積化の試みはすでに示されているものの²²⁻²⁵、いくつかの解決すべき課題が残っている。そのため、実際の CMOS 技術に適合し、熱許容性 (LSI への熱損傷を低減するため 600°C 以下) をもつ新しい複合集積化の枠組み (トップダウンとボトムアップのやり方を組み合わせる) が必要である。加えて、CNT をギガスケールの集積化チップに CNT ビアを適用するうえで重要な指針と予想を与え、電気特性を引き出すために理論的な研究が重要である²⁶⁻³⁰。CNT は中間とグローバルレベル配線で RC 遅延と熱伝導率を顕著に改善する。CNT ビアが実用になるためには、ILD と半導体デバイスと整合した触媒で作製され、その電気的および熱的な信頼性が示されなければならない。CNT の潜在能力を具現化するために確立すべき制御のためのキープロセスのいくつかを次の項に示す。

7.2.1.2.1. カイラリティと金属/半導生成割合の制御 (CONTROL OF CHIRALITY AND OF METALLIC VS. SEMICONDUCTING FRACTION:)

Cu ベース配線で予測されていると同等の抵抗を達成するためには、高密度($\sim 1\text{E}14$ tubes/cm²) で細い直径 (~ 1.2 nm)の金属的な SWCNT と DWCNT が求められる。CNT ビア抵抗の変化幅はカイラリティの分布の関数であり、それは見込まれている要求を超える。ゆえに、カイラリティ制御を実現するための付加的な研究が必要である。MWCNT の場合は、直径とウォール数のトレードオフを最適化する必要がある。しかしながら、カイラリティ制御は全体の性質が金属的であることから課題の重要性は低い。

7.2.1.2.2. 接触抵抗と電気伝導度の制御 (CONTROL OF CONTACT RESISTANCE AND ELECTRICAL CONDUCTIVITY:)

金属的 SWCNT(または MWCNT の 1 つの金属的な殻)の抵抗の下限は $6.5\text{ k}\Omega$ (チューブの外形に依存しない)³¹、そしてトータルの抵抗上昇は CNT-金属接触界面およびフォノン散乱が影響する³²⁻³⁵。そのため、信頼でき再現性のある低抵抗のオーミック接触が必要である。半導体ナノチューブのショットキー接触や金属チューブのトンネル障壁の存在から、直径 $< 1.5\text{ nm}$ までの SWCNT でのオーミック接触はナノエレクトロニクスデバイスの高性能を実現するうえでカギとなるチャレンジである。CNT ビアの上端と下端の接触抵抗は局所加熱とエレクトロマイグレーションのリスクを増大させることから、すべてのチューブの殻との直接の金属的な接続も技術的な課題である²⁵。MWCNT を充填したビアでは $0.6\text{ }\Omega$ までの抵抗が直径 $2\text{ }\mu\text{m}$ ビアで報告されており^{36, 25}、 $34\text{ }\Omega$ が直径 160 nm ビアで報告されている³⁷。ビア底部のコンタクト抵抗を下げるために、CNT が TiN ^{25,27,38}、 RuO_2 ³⁹、 Ti/Cu ⁴⁰ などの導電性の下地上での成長が行われている。上部コンタクトに関しては、CMP プロセス^{41,42}、電極形成前の表面処理⁴³、コンタクト金属の選択⁴⁴、電極形成後のアニール⁴³ などがいっそうの研究を必要とする課題である。個々の CNT の抵抗を評価することもコンタクト抵抗とチューブの抵抗を見分けるために重要である^{43,45}。CNT の抵抗を下げるためにはドーピングも必要な可能性がある。例えばヨウ素⁴⁶、金属⁴⁷などの多くの表面ドーピングが CNT の電導性を上げると報告されているが、配線プロセス環境中で安定である必要があるだろう。

7.2.1.2.3. 微細ビア中の高密度 CNT アレイ (HIGH DENSITY CNT ARRAYS IN SMALL VIAS:)

理想的な SWCNT アレイと接触は Cu 配線に対して中距離とグローバル配線の RC 遅延を向上させるポテンシャルを示す。局所的には短く低抵抗の CNT ビアが Cu に対してトータルの容量を減らすために求められている。さらに、実際の基板上への CNT 成長と集積化は作製可能というところから現状ではほど遠い。求められている $\sim 1\text{E}14\text{cm}^{-2}$ という密度での金属 SWCNT 成長を完全に起こさせるための触媒プロセスが必要である。さらに、適切で信頼性があり再現性のある分析ツールと統計手法の開発がこの潜在的なビア技術のポテンシャルを見積もり集積化を助けるためには必要である^{27,28,48,49}。

MWCNT の場合、上下のバリア層を含めた直径 4 nm で 6 層の MWCNT を細密充填した直径 70 nm ビアの抵抗が Cu ビアの抵抗と同程度に低くなると見積もることができる。この見積もりから、MWCNT の目標密度は $5\times 10^{12}\text{ cm}^{-2}$ である。さらに、このような高密度成長は例えば 400°C などの低温で実現される必要がある。低温成長に関しては、 400°C あるいはそれ以下の温度での MWNT の成長が報告されている³⁷。高密度成長については、 $1\text{--}2.5\times 10^{12}\text{ cm}^{-2}$ の垂直配向し直径制御された MWCNT の成長が報告されている^{38,50}。独立に、パルス励起リモートプラズマ CVD により成長された MWCNT による直径 70 nm ビアの作製が報告されている^{18,51}。 40 nm 直径のビアホールからの CNT 成長が Co ナノ粒子を触媒にして示されている³⁶。また、極めて高いアスペクト比 (AR)、例えば $\text{AR}=19$ のホール底からの CNT 成長が超高 AR コンタクトビア応用に向けて開発されつつある^{21,52}。ウェハスケールでの CNT ビアプロセスインテグレーションが BEOL プロセススペースで開発されつつある。 200 mm と 300 mm 径ウェハ上の CNT 成長、CMP プロセス、そしてビア作製が報告されている^{21,53,54,55,56}。

7.2.2. グラフェンおよびグラフィティックカーボン配線 (GRAPHENE AND GRAPHITIC CARBON INTERCONNECTS)

グラフェンも Cu を置き換える可能性を持つ配線材料候補である。グラフェンは基本的に二次元材料であり、そのため水平方向の配線として理想的である。グラフェンはカーボンナノチューブのように高電流密

度に耐える。事実、グラファイトから剥離した数層グラフェンは 10^8 A/cm² の電流密度に耐えることが示されている⁵⁷。数値計算はグラフェンナリボンは 8 nm 幅以下でアスペクト比1の配線を仮定したとき、Cu よりも低抵抗を持ちうることを予想している。加えて、相互作用を持たないナリボンの積層は Cu 配線に比べ著しく低い抵抗を持つことを示している⁵⁸。グラフェン配線を実現するためには、適切な基板上の低温でのグラフェン合成方法を実現させる必要がある。最近、CVD によるグラフェン合成が報告されている⁵⁹⁻⁶¹。しかし、合成温度は典型的には約 1000°Cでこれは配線応用には高すぎる。最近、650°C⁶²と 580°C⁶³での多層グラフェン成長が報告され、CVD 成長グラフェン配線の信頼性が調べられた^{62,64}。100 nm 以下の幅の多層グラフェン配線がプラズマ CVD により 600°Cで成長した膜により報告された。CVD グラフェン配線の抵抗率は結晶品質が向上すると低減する。グラファイト結晶から剥離した高品質グラフェンより約 1 桁高い $600 \mu\Omega\cdot\text{cm}$ が得られている。抵抗率は報告されていないが、300 mm ウェハ上で Ni ダマシン配線を用いてグラフェンが 500°Cの低温で選択成長されている⁶⁶。グラフェン配線を実現するには、低温形成により一層の研究が必要である。さらに、CVD による合成では通常触媒層を必要とするが、これは合成後に除去する必要がある場合がある。この問題を解決するため、光放出支援プラズマ CVD を用いて、Si と SiO₂ 基板上での触媒フリーのネットワークナノグラファイト(NNG)の成長が開発された⁶⁷。加えて、Co 触媒層を被せたスパッタ非晶質炭素膜をアニールすることで多層グラフェンが得られた。

高温で成長したグラフェンを目標ウェハ上に転写することはグラフェンの配線応用に向けた別の選択肢である。例えば、高い信頼性を有する 5 層の転写グラフェン配線が報告されている⁶⁹。しかし、その抵抗は Cu よりもずっと高い。さらに最近、高品質の多層グラフェン(MLG)がエピタキシャル Co 膜上で成長され、配線作成のために別の基板上に転写された^{70,71}。この MLG 配線の抵抗率は $50 \mu\Omega\cdot\text{cm}$ で、Cu よりも良い高電流信頼性を示した。この MLG 配線は、さらに FeCl₃をインターカレーションすることで、Cu に近い $4.1 \mu\Omega\cdot\text{cm}$ の抵抗率を示した^{70,71}。次のステップは 10 nm あるいはそれより細かい MLG ナリボンの抵抗率を検証することである。

7.2.3. Cu とシリサイドのナノワイヤー配線とビア (Cu AND SILICIDE NANOWIRE INTERCONNECTS AND VIAS)

もし、平滑な表面をもった単結晶ナノワイヤ金属が成長できれば、それらは配線章の配線 Cu 抵抗チャート図に示されている粒界棋院の抵抗上昇や側壁ラフネス散乱によって引き起こされる問題の多くを改善することができる⁷²⁻⁷⁴。より平滑な表面と少ない表面散乱を有する自己制御成長ナノワイヤ、抵抗の直径依存性を減少させ表面散乱や多結晶ナノワイヤ中の粒界散乱を拡散させる水素パッシベーションなどの可能性を示す研究が求められる。

Cu 代替材料は Cu に比べて低い抵抗と高いエレクトロマイグレーション耐性を同時に提供する必要がある。ビアや配線用のカーボンナノチューブや配線用の単結晶 Cu 金属ナノワイヤのような潜在的配線代替材料は Table ERM12 に示された追加の考慮事項を実現するために重要課題を克服しなければならない。

7.3. Low-k 層間絶縁膜 (Low k INTERLEVEL DIELECTRIC)

新しい低 κ 絶縁材料は配線間の容量結合を減らし電力消費を減らすために低減することが必要とされ続けている。しかし、新材料にとって集積化への挑戦は ERM12 テーブルに詳述したように非常に困難である。低 κ 絶縁体のプロセス、エッチング、洗浄、メタルデポ、そして平坦化はしばしばその性能を低下させる。依って、プロセスの異なる段階や集積化後に材料の特性を評価する評価手法が求められている。Low-k/Cu 配線用に特徴的な計測ニーズは一般的なエリアでの low-k ガラス構造の評価とナノメータスケールの機械物性測定の中で、ITRS2011 版で依然詳しく述べた。配線分析エリアにおける 3 つの新しい配線評価分野は、(1)配線構造の熱伝導率と熱境界抵抗(TBR)評価、(2)ゼロ電荷イメーシング技術、(3)low-k/Cu 配線のナノメータスケールの構造特性評価である。これら新分析技術の詳細な記述は ERM 分析賞(10.7)に含まれている。

8. 実装とパッケージ (ASSEMBLY AND PACKAGING)

将来の実装とパッケージ技術のためのキーチャレンジは、制御されたストレス信頼性パッケージを提供することである。それらは電気的あるいは熱的要求のみならず、Z 方向高さ、マザーボードの適合を満たすものでなければならない。将来の技術は、ボードや他の部品を電気的に接続する複雑かつ薄いパッケージであり、またそれらを歪(ストレス)や湿気、他の環境ストレスなどから守らなければならない、かつコスト的にも有効でなければならない。ERM に含まれるナノ材料や巨大分子、複合金属酸化物などは、こうした将来の要求を満たすソリューションを提供できるかもしれないが、そのためには Table ERM14 に示す多くの課題を乗り越えなければならない。(3 次元パッケージとシステム・イン・パッケージは配線とオーバーラップしている)

Table ERM14 Assembly and Packaging ERM Challenges

8.1. パッケージ基板製造材料 (MATERIALS FOR PACKAGE SUBSTRATE FABRICATION)

8.1.1. 光パターニング可能な Low-k 層間誘電体 (PHOTOPATTERNABLE LOW K INTERLEVEL DIELECTRICS)

パッケージ基板製造のためには、Low-k 層間絶縁膜 (ILD) の必要性がある。Table ERM14 に示されるとおり、誘電正接、吸湿とイオン抵抗、低熱膨張係数、その他特性を含む性能要求の複雑な組み合わせに応じなければならない。

8.1.2. 印刷可能な電気的接合材料 (PRINTABLE ELECTRICAL INTERCONNECT MATERIALS)

200°C 以下の温度で信頼性を持ち、伝導性があり、製造できる印刷可能な導体が複数のアプリケーションで出始めている。アプリケーションは、パッケージ基板のための印刷可能な Cu 導体、印刷可能なビア埋め導体、印刷可能なダイ接着材料が含まれる。それぞれのアプリケーションは、Table ERM14 に示されるとおり、異なる要求を持つ。いくつかのナノ材料インクは印刷可能な導体として将来性がある。しかしながら、アプリケーションに適用できるようにするためには、いくつかの重要な課題を克服しなくてはならない。いくつかの商品化されたナノ Ag インクは、200°C の範囲で融点を持ち、 $2.5\mu\Omega\text{-cm}$ までの抵抗率を持つ。しかし、いくつかのアプリケーションに対しては、コストが問題である。いくつかの商品化されたナノ Cu インクは、3.4 から $7\mu\Omega\text{-cm}$ の抵抗率であると報告されてきた。しかし、Cu ナノ粒子を腐食から防ぐためには、ナノ Cu 粒子を溶かすため、ナノ Cu 粒子は高温で破れる薄い保護膜で覆われなくてはならない。研究では、100nm 径の $\text{Cu}(\text{OH})_2$ 粒子¹は、250°C/60 分のアニール後、 $5\mu\Omega\text{-cm}$ 抵抗率が減る。ナノ Cu は、不活性な環境で処理できなくてはならないという重要な課題があり、200°C 以上で処理されると、抵抗値が要求よりも高くなることもある。

8.1.3. デカップリング キャパシタ材料 (DECOUPLING CAPACITOR MATERIALS)

高速・ハイパワー高密度キャパシタは、高機能ロジックでは電源分離が必要である。将来の電源分離キャパシタは、GHz 周波数で機能する必要がある、高容量の電流を高速に送る必要がある。これをサポートする必要のある材料は、電気的リークの低く接続抵抗が低い、高誘電率の材料である。また、端子間の狭スペースに形成される。最も誘電率の高い材料は、デバイス材料の章で論じられた複合金属酸化物であり、陽イオンと酸素空乏が信頼性を低下させる課題がある。可能性のあるオプションは、電極材料の誘導自己アセンブリと、高誘電率キャパシタを使うことであるが、これは、集積されたときに不良率が低い材料であることが要求される。

デカップリングキャパシタを基板上あるいはマルチチップパッケージの内臓層に形成するには 200°C 以下で処理できる高誘電率の材料 ($k \geq 40$) が必要である。それらのキャパシタ材料は、ERM Table 14 に詳しく説明されているとおり、低リーク、高耐圧フィールド、感光性でなくてはならない。重要な課題は、低リークで高 k な絶縁性を見極めることである。なぜなら、高誘電率材料は、かなりバンドギャップ² (e.g. TiO_2 $E_g \sim 3.5\text{eV}$) が小さいからである。低リークを達成するためのひとつのアプローチは、薄い高バンドギャップ

ブの絶縁材料を、電極と High-k 材料³の間に入れることである。しかしながら、パッケージの製造工程に、複雑な工程を加えることになる。

8.2. パッケージ実装材料 (PACKAGE ASSEMBLY MATERIALS)

8.2.1. 3次元配線とモアザンムーアアプリケーションのための材料 (MATERIALS FOR 3D INTERCONNECTS AND MORE THAN MOORE APPLICATIONS)

三次元配線は、チップやマザーボード実装における温度序列をサポートする半田と高分子材料を必要とする。マザーボード実装とは良好な信頼性で、小さなフォームファクターや Z 方向高さの中で 3 次元積層パッケージを可能にする信頼性要求などのことである。ナノ複合体ベースの半田や伝導性接着剤については、この章で詳しく述べる。

モアザンムーアベースの製品は、非常に異なる特性と要求をもつ材料と部品による実装が要求される。つまり、材料は部品間のインターフェースが適合できる実装ができなくてはならない。また、熱応力のマネジメントもできなくてはならない。熱応力は、部品間の熱の発生、電氣的インターコネクション、電氣的アイソレーション、潜在 EMI インターフェースにより発生するものである。

8.2.1.1. 低温、階層的アセンブリ材料 (MATERIALS FOR LOW TEMPERATURE AND HIERARCHICAL ASSEMBLY)

“システム・オン・パッケージ”や高性能フリップ・チップ・パッケージ実装をサポートするために、パッケージ中の熱・機械的応力を最小化する、より低温で組み立て可能な半田の序列が必要である。システム・オン・パッケージでは、最初のマウント部品に他の部品をつなげたり、全ての半田接続を最終硬化プロセスで合金化し、信頼性の高い接続に仕上げる時、それらが機械的に動かないようにするには、より低融点の半田が必要になる。最初の低温半田接続は、それ以降に続く高温のリフロースタンププロセス中でも機械的強度を保たねばならない。高性能フリップ・チップパッケージでは、低温実装が熱膨張ストレスを下げるため必要である。鉛フリーの電子パッケージへの移行は、より高融点(>30℃高い)の Sn-Ag-Cu (SAC)のような鉛フリー半田の使用という結果になり、それらは機械的弾性率が高く、通常仕上の表面に対する濡れ性が低いという特徴を持つ。それらの高融点と高機械的弾性率のために、パッケージでの熱機械応力が増加する。ERM のキーチャレンジは、SAC 合金にまつわるこれらの課題解決のための新規配線材料の発見と低温、低ストレスの電子パッケージプロセスを提供することである。鉛フリー合金ベースのナノ半田や導電性接着剤を含む 2, 3 の新規材料が発見されている、研究と業界のコンソーシアの取り組みは、計画的なパッケージングの要請に応えるために、これらの材料のフィージビリティ(実行可能性)を立証することが要求されている。

フリップチップの組み立て低温化のオプションには次のようなものがある: Sn-Bi や Sn-In の合金類を用いる従来の低温半田、半田付銅配線を全て銅配線に置換えたフリップチップパッケージング 1、カーボンナノチューブを用いた一層配線などである。こうした可能性のあるオプションには、ただし重大なチャレンジが直面している。研究と業界のコンソーシアの取り組みは、計画的なパッケージングの要請に応えるために、これらの材料のフィージビリティ(実行可能性)を立証することが要求されている。

8.2.1.2. ナノ微粒子系半田 (NANOPARTICLE BASED SOLDER)

過去 2 年の間に、200℃以下の温度で強力に接合する Cu ナノ半田を形成するプロセスが構築された⁵。Cu ナノ粒子は、少なくとも24時間、空気中で安定した表面活性剤パッシベーションをもつ 1-2nm の粒子サイズである。Cu ナノ粒子は、1μm 径オーダーのかたまりであり、5μm の粒子で Cu フィルムに成長する。これはナノ粒子が Cu 粒子構造よりフリット状に溶ける過去の研究からは顕著な改良である。Cu 半田接合部の機械的特性と、それらの特性を制御することを理解するためにさらに研究が必要である。実用的な技術にするためにはさらなる研究が必要であり、有望ではあるが、材料研究から移行するかもしれない。

8.2.1.3. 導電性接着剤 (ELECTRICALLY CONDUCTIVE ADHESIVES)

導電性接着剤 (ECAs) は低温実装のための、一方の新探究材料ファミリーを形成している。ECAs は、エポキシまたはシリコンの母材内に典型的には Ag や Ni のフレークなどの金属ナノフィラーが埋め込ま

れている⁵。それらの埋め込まれた材料は、半田のリフロー温度よりもずっと低い 175°C 程度で相互接続が必要な二つの表面間で硬化可能である。等方的あるいは異方的 ECAs をインプリメンテーションするためのキーチャレンジは以下のものが挙げられる: 鉛フリー半田に比べエージングの間にナノフレック表面上に金属ハイドロオキシドや金属酸化物が形成され、ナノフィラーの急激な酸化により接合抵抗が不安定化すること、低いインパクト特性、低い電気伝導度、低い熱伝導率、低い電流密度耐性、そして金属マイグレーションなどである。それに加えて、drop strength、(ポリマー密着性)、エレクトロマイグレーション耐性、スクレーパビリティ、信頼性の高いパッケージレベル配線技術といった材料イノベーションが必要である。

8.2.1.4. 磁性ナノ複合半田使用した局所加熱 (LOCALIZED HEATING USING MAGNETIC NANOCOMPOSITE SOLDER)

電子パッケージの 1st レベル(シリコンとパッケージ FLI の間)と 2nd レベル(パッケージとマザーボードの間)の接合をする従来技術は、半田 (FLI または、SLI 接合) を溶融し接合するためマルチゾーン対流、または赤外線オーブンの使用を必要としていた。このシナリオでは、全ての積層部 (FLI のためのシリコン + パッケージ; SLI のためのシリコン + パッケージ + マザーボード (その他のディスクリート部品とともに)) が半田溶融のために要求される時間以上に高温にさらされる。これは高ボリュームの量産で高スループットのメリットを持つが、積層部が高熱応力にさらされ、信頼性の問題に繋がる反りが発生するというデメリットがある。この問題は、SAC305 のような Pb フリー半田の採用により顕著になってきた。SAC305 は、高溶融点 (230°C ~ 240°C) で、長いリフローウィンドウを持つ典型的なものである。

局所加熱による接合は、加熱する必要のある部分のみ加熱するため、応力を緩和することができる。局所加熱は、うず電流を導入した Joule 加熱により、コンダクターを AC 磁性フィールドにさらすことが可能になる。しかし、半導体のパッケージに使われるマイクロサイズの半田は、うず電流が無視されるため損失し、AC 磁性フィールドでの加熱に貢献することはできない。また、うず電流は、加熱する必要のないパッケージの金属配線を加熱してしまう可能性がある。磁性材料は、AC 磁性フィールドにさらされた時、履歴 (不可逆磁性化による) を経由してエネルギーを放出でき、緩和 (磁性力による熱緩和) できる。うず電流の損失のような、これらの磁性損失は、粒子サイズを、サブミクロン、ナノサイズにしても、磁性材料内でのパワー損失となる。磁性ナノ粒子複合半田などの複合半田の新しいクラス⁷は、RF フィールドで損失を緩和することを使って、局所溶融の可能性を示した。前へ進むキーテクノロジーの一つは、複合半田⁸の磁性加熱に要求される磁性加熱を供給するため、AC フィールドを十分に維持しながらパッケージうず電流の影響を最小限にすることである。

8.2.1.5. アンダーフィル材料 (UNDERFILL MATERIALS)

将来のアンダーフィルは、TSV 積層ができるようにピッチがより狭い 1st レベル接合のチップとパッケージの狭い隙間に入らなければならない。キャピラリーアンダーフィルは、低粘度で、複数の表面への濡れ性が良く、キュア中の収縮が小さく、低 CTE (10-14ppm) ポストキュアなポリマーが要求される。最近の低 CTE を達成するアプローチは、粘度を増している。しかし、ナノ材料は、少量のフィラーを加えられる可能性があり、粘度を増やさず、CTE を合わせることができる。研究では、ナノ材料をエポキシ系に効果的に融合し、アプリケーションと接着材の CTE の粘度を劣化させずに合わせる技術が必要となってきた。他方のアプローチは、ウエハレベルの接着剤で、低 CTE で、半田、ポリマー、その他の材料への良好な接着性、かつキュアで収縮しないことが必要となってきた。再度、研究では、低 CTE 化、熱硬化性ポリマーの低収縮化、半田接合部の妨げにならない、ナノ材料の融合が必要となってきた。キーフォーカスエリアは、3 次元積層構造で、狭いピッチを可能にするためのフィラーを入れることなく収縮と CTE を最小化する急速キュア UF システムである。

8.2.1.6. 接着材料 (ADHESIVES)

ウエハまたはダイレベルと積層チップパッケージにとって、接着材は、シリコンと他のダイ材料の間の応力吸収接着で、低収縮を示すことが必要になる。また、接着材は、低 CTE、低応力、低誘電率、いくつかの場合では、高熱伝導率でなければならない。再度、研究では、機械的、熱的、吸湿性を個々に調整するため、ナノ材料を熱硬化性ポリマーに融合する必要がある。

8.2.1.7. 熱インターフェース材料 (THERMAL INTERFACE MATERIALS)

ロジック部品から熱を拡散するため、システムインパッケージのようなマルチチップパッケージのチップ間の熱を拡散するために、熱インターフェース材料の必要性は大変重要である。超高機能なマイクロプロセッサアプリケーションのためには、銅ヒートシンクに集積回路を半田付けすることができる。しかしながら、その他のアプリケーションのためには、熱伝導絶縁フィラーの入ったフレキシブルポリマー系材料が、より最適である。多くの熱インターフェース材料は、最近、高熱伝導率で、電気的絶縁性があり、最もコスト的に効果のあるボロン窒化フィラーを用いている。どのように効果的な熱伝導率を将来改善していくのか？というのが、質問である。ポリマー熱インターフェース材料の熱伝導率を、効果的に改善する2つのオプションがある。1) インターフェース熱抵抗を下げること、2) 高熱伝導率のポリマーを使うことである。

8.2.1.8. 熱インターフェース導電率の増加 (INCREASING THERMAL INTERFACE CONDUCTIVITY)

インターフェースの熱伝導率は、材料間の結合力、インターフェース粗さ、インターマテリアル接触面積に依存する。Van der Waals 結合(CH₃)による Au は、36MW/m²K のインターフェース熱伝導率を示してきたが、共有結合か、チャージトランスファーが起きた時(Au-SH)、インターフェース伝導率は、65MW/m²K に増えた⁹。結合力とインターフェース熱伝導率が、“共有結合”と Van der Waals 結合の比率とともに、直線的に増えることもわかった⁹。更に、SiO₂あるいは Al₂O₃ 上のスパッタ蒸着 Au の熱伝導率は、インターフェース熱伝導率がトランスファー結合 Au よりも 2 倍以上である¹⁰。粗いリジッド表面では、インターフェース熱伝導率は、結合力と材料間の接触面積効率の両方によって決まる¹¹。それゆえ、粗い材料は、滑らかなインターフェースに比べて、非常に低いインターフェース伝導率となるであろう。結合力の強い有機モノレイヤーを Cu と SiO₂ の間に挿入することにより、インターフェース熱伝導率が 100 MW/m²K から 400 MW/m²K 以上に増えたことが実証されている¹²。この研究には、他の材料とのコンビネーションで、どのようにインターフェース熱伝導率を改善するのかというモデルも含まれている。これは、ポリマーとフィラーの間のマクロインターフェース熱伝導率と、マイクロインターフェース熱伝導率の両方を改善する可能性を示している。

8.2.1.9. ポリマー熱導電率 (POLYMER THERMAL CONDUCTIVITY)

多くの商用化された熱インターフェース材料は、電気的絶縁性のある高熱伝導率のフィラーを使用しているので、高熱伝導率で、フィラーとの接合力が強く、機械的特性と熱的特性に優れたポリマーは調査されなければならない。87.5wt%の窒化ボロンの粉が入ったポリベンゾオキサジンフィラーが、32.5 W/m-K の熱伝導率を示すことが明らかにされている¹³。ポリマーの熱特性は、合成経路を変えることにより、改善される。それゆえ、低フィラー含有量で、高熱伝導率を達成することができる。さらに、熱伝導率は、フィラーに、フィラーとポリマーの結合力を強くする有機分子により官能性を持たせることにより、改善される。

8.2.1.10. モールドコンパウンド (MOLD COMPOUND)

モールドコンパウンドは、高機能積層チップから、スマートカードのようなフレキシブル電子機器のまで、広い範囲でのアプリケーションをサポートしなければならない。フリップチップのモールドコンパウンドの使用の増加は、チップと基板の隙間にチップを封止するアンダーフィルが必要となる。それで、粘度と全ての表面に対する密着性が重要となる。薄いシリコン(TSV)、シリコンとフレキシブル基板の間の CTE を合わせる、IC 材料との強い密着性を持たせるとともに、曲げ応力からクラックを防ぐための柔軟性を含め、特性が設計された材料のためにイノベーションが必要である。モールドコンパウンドへの移動イオンと、水の拡散を防ぐ材料、工法を開発することが、非常に重要である。水と移動イオンは、パッケージと製品の信頼性に大きな悪影響があり、モールドコンパウンドにより、水分を除去することは重要である。グラフェンオキシドと、ポリマー中のグラフェンナノフィラー(0.003%[wt])を熱的に減らしたものが、吸湿の浸透を 6 倍から 20 倍減らすことが示されている¹⁴。エポキシマトリックス中の尿素により官能性を持ったナノクレイは、3.5% NaCl 溶液中で、腐食耐性を向上することが知られている¹⁵。それらは、パッケージポリマーを使用していないが、ポリマー中の異なる官能化されたナノ材料は、水とイオンに対するポリマー耐性を向上することが示されている。

8.2.1.11. EMI シールド材料 (EMI SHIELDING MATERIALS)

パッケージ中の多くのコンパウンドは、電磁干渉(EMI)からシールドされる必要がある。それゆえ、薄い導電性フィルムは、パッケージに集積される必要があり、低温工程が要求される(<200°C)。可能性のあるオプションは、ナノインク、多層グラフェン¹⁶、カーボンナノチューブコンポジット¹⁷が、含まれる。グラフェンの3つのモノレイヤーは、7dBのEMIシールド効果¹⁶があることがわかっている。一方、Fe₃O₄ PEDOT ナノコンポジットグラフェンは、22dBの効果があり¹⁸、PVDF 骨格¹⁹の官能化グラフェンは、18-20dBのシールド効果を持つ。反応性エチレン三量体に蒸着された単層カーボンナノチューブ(SWCNT)は、SWCNTの4.5 ボリュームパーセントで、30dBのEMIシールド効果を持つ¹⁷。これらの材料は有望であるので、EMI効果を向上し、その他の特性要求が提供される研究が必要である。

8.2.1.12. ゼロ残渣接着剤 (ZERO RESIDUE ADHESIVES)

ウエハ薄化、ダイシングテープ、キャリアウエハなど、複数のアプリケーションで、犠牲的接着材が使われる。しかしながら、次工程に進める前に、接着材残りを除去するため、相当な努力が費やされる。アプリケーションにより、接着材は、ドライフィルムあるいは、ウエハまたはキャリア上のスピコートにより適用される。熱、UV照射、または自己溶解による剥離工程では残渣がゼロであることが望まれる。しかし、次工程で除去されるのであれば、薄い残渣は許容されるであろう。接着ポリマーで可能性のある剥離メカニズムは、光酸生成、”クリック”化学結合中の光活性フューズ、熱分解ポリマーである。

8.2.1.12.1. 接着剤の熱分解 (THERMAL DECOMPOSITION OF ADHESIVES)

ポリマーを熱で剥離する2つのアプローチが試みられた。熱分解と、ポリマーへの光酸生成の添加である。ポリプロピレンカーボネート(PPC)のようなポリマーは、210°CでCO₂とアセトンに分解する。ポリエチレンカーボネート(PEC)は、180°Cで、溶解材料に分解する²⁰。PECやPPCは、分解温度以上に加熱後、剥離することが知られている。しかし、PCCまたは、PCC/PPCの加熱後は、剥離するために、かなりの力が必要となり、表面に残渣が残る²⁰。光酸生成(PAG)の添加は、分解温度を下げられ、また、分解温度を光活性の分解温度にすることができる²¹。少量のCu(I)の不純物が、ヨードニウム系PAGと反応し、分解温度を上げることが知られている。一方、Cuイオンは、スルホニウム系PAGとの反応に影響しない²¹。よって、ポリマーとPAGは、接触する材料で評価されなければならない。

8.2.1.12.2. 感光性剥離接着剤とポリマー (PHOTORELEASEABLE ADHESIVES AND POLYMERS)

感光性剥離特性は、光活性リンクをポリマーに統合し、光酸(PAG)をポリマーに添加することにより、ポリマー接着材に、統合されてきた。光酸シクロブタンジイミドを含む、ポリ(シロキサンイミド)と、PDMSは、250nmのUV照射により、表面から剥離することをブロックする²²。しかしながら、残渣は表面に確認されなかった。ポリマーに感光性PAGを充填した試験では、PAGは、シリコンウエハ表面の残渣に貢献していることがわかった。しかし、もしポリマー層の表層のPAGが制限されたら、残渣は顕著に減るであろう²³。残渣を減らし、ウエハの綺麗な剥離をするための開発が必要である。

8.3. 将来のパッケージングのためのポリマー材料 (POLYMER MATERIALS FOR FUTURE PACKAGING)

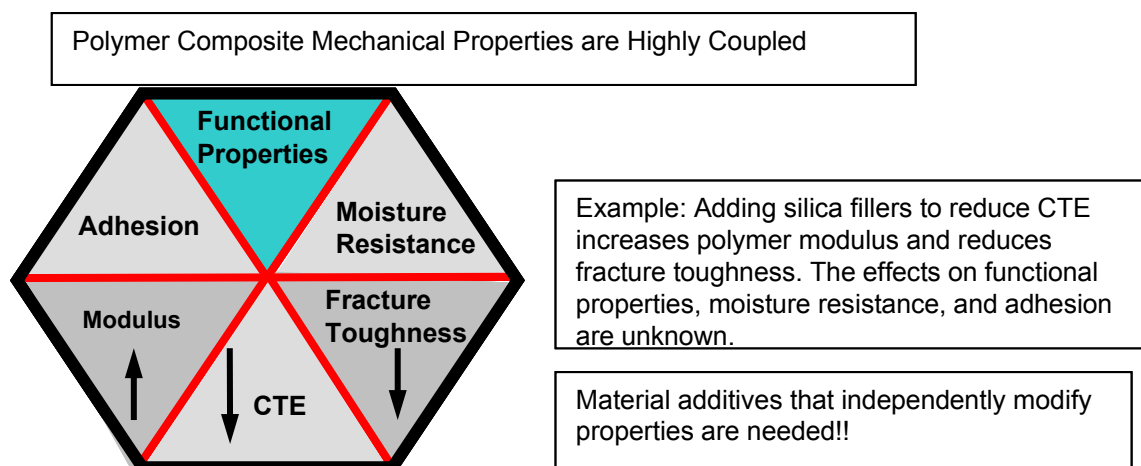
ポリマーは、幅広い用途に使える接着剤、アンダーフィル材、モールドディングコンパウンド、サーマルインターフェース材など、多くの実装・パッケージ応用可能である。それらのポリマーは集積回路や配線を機械的、熱的、環境ストレスから守らなければならない。そして製品寿命までの間、ずっと要求性能を提供し続けなければならない。水分がパッケージの中に拡散することを防ぎ、可動イオンの影響をうけないような材料を開発することが非常に重要である。さらにこれらの材料への要求として、塗布中は、ある一連の特性を持ち、プロセス中は、また別の特性、そして最終製品としての性能を持つ必要がある。残念なことに、これらの多くの特性は現在の材料に付加していかなければならないが、一つの特性を変えるためにある材料を加えると、しばしば他の特性が劣化することが多い。クリティカルチャレンジは、ポリマーの特性を独立に変更させることができる添加材の発見にある。

8.3.1. パッケージポリマー特性 (PACKAGE POLYMER PROPERTIES)

新しいパッケージング用ポリマーは、将来技術の要求を満たさなければならない。多くの応用にとって、第一に湿度保護、熱膨張係数 (CTE) や弾性係数、破壊靱性を含む機械的特性、製造し易くするための圧縮性、他の材料との接着性などを提供する粘着層として働く。さらに、それはまた応用毎に特別の性質を提供できなければならない、例えば、high-k や low-k 応用のための比誘電率や電気抵抗、熱/電気伝導率などである。もし低熱抵抗がコンポジットポリマーで必要ならば、熱伝導材料とポリマーと界面を接する他の材料との間の界面熱抵抗は、非常に低くなければならない。

基板レベルあるいは小さいダイレベルあるいはチップ積層パッケージングのために、接着剤には、シリコンと他のダイの材料間のストレスを吸収し、小さな収縮率と低 CTE、低弾性係数、低誘電率を示し、時に高い横方向熱伝導率を持つことが要求される。ここでもまた、モジュールの機械的、熱的特性や耐湿性とは独立に、サーモセット・ポリマーへのナノ材料の取り込みについての研究が必要である。

ナノテクノロジーは、多機能なナノ複合材料などにより、同時にかつステップファンクショナルに特性を改善し、あるいは新規な特性変更をもたらすことで²⁴ 利益を提供できる。そのような複合材は、将来、モールド複合材、アンダーフィル、あるいはダイアタッチ材などに用いられる潜在的な可能性がある。粒子サイズ減少は複合材の CTE を下げるのに貢献するだろう²⁵。また別のナノ複合材料からは、切断強度 (decoupling stiffness) や靱性 (toughness) についての可能性が期待できる。しかしながら、従来からのプロセス、分散 (インターカレーションと層間剥離、相分離、粘度の増加) に関するチャレンジが、ナノ複合材料をフル活用するには障害として残されている。フィラーの表面化学、すなわちシリカ系フィラー上のエポキシ、酸、アミン、シロキサンなどは、母材フィラーのインターカレーションや層間剥離の実現のため、極めて重要な役割を果たす。ひとたびフィラーがうまく分散でき、母材に良く差し込まれる (intercalated) (ボンド結合) になると、それらは変形中に一時的な架橋として働き、靱性 (toughness) 改善やクラック防止あるいは回避に役立つ。もし、よくボンド結合されたフィラーは、変形中にポリマーチェーンを用いて移動することが可能である。フィラー表面の化学作用の斬新なアイデアは、多くの企業/大学により提案されている。結果としてのナノ複合材料は、一方でわずかな弾性率の増加が見られるが、低い CTE と顕著な靱性の増加を示している。酸化フィラーの追加は複合材の表面エネルギーの増加をもたらす、それにより接着性が改善する。しかしながら、接着性の改善がもたらされる基礎的要因を理解する研究は必要である²⁷。2011 年の ITRS ERM 章で示されたグランドチャレンジは、低 CTE、低弾性率、高破壊靱性、高粘着、低



湿度吸収など、同時に実現すべき要請でもある。

Figure ERM4

Complex Coupling of Polymer Properties

パッケージポリマーは、機械的抵抗と耐湿性の両方の要請と、抵抗や比誘電率、熱伝導率のような機能的性質を同時に満たさなければならない。現在のアプローチでは複数の特性は密接に関係し合い、

CTE 低減のためのフィラー追加は、しばしばそのほかの特性を決めてしまう。他の性質を変えることなく独立にナノ材料をポリマーに加えることができるかどうかは必要な研究である。

8.4. 将来のパッケージのための低次元材料 (LOW DIMENSIONAL MATERIALS FOR FUTURE PACKAGING)

8.4.1. ナノチューブ実装配線 (NANOTUBE INTERCONNECTS)

2007 年版 ITRS ERM 章では、カーボンナノチューブなどの低次元材料をチップ配線のエレクトロマイグレーション対策の候補技術として取りあげた。しかし、それらの材料には幾つものキーチャレンジが明らかされた。例えば 1) 実装プロセスと互換性のあるパッケージング、2) 必要な電氣的抵抗と界面のエレクトロマイグレーションを含む信頼性、3) 低実装コストなどである。

チャレンジは厄介そうではあるが、パッケージングと互換性のある 2 種類のナノチューブ実装法の探索的研究が進行中である。それらは 1) *in situ* で低温でナノチューブを成長する方法 (<300°C)、2) ナノチューブアレイを別途合成し、その後、基板から移す方法である²⁸。第 1 のアプローチでは 350 - 500°C の成長温度が報告されている²⁹。第 2 のアプローチでは、理論的限界の 50% まで多層ナノチューブの密度を高め、カーボンナノチューブバンプのパッケージへの転写に成功したことが報告された³⁰。

重要なチャレンジはナノチューブに起因する高いコンタクト抵抗である。仕事関数のマッチングによってナノチューブに対する低コンタクト抵抗が得られる金属として、Pd や Rh などが知られている³¹。モデリングの報告によれば、高密度化したナノチューブではコンタクト抵抗の目標値を達成できることが予測されている³²。従って、低金属抵抗コンタクトとナノチューブアレイの高密度成長に関係する今後の努力が必要である。

グラフェン系のインターコネクトは、シリコンのインターコネクトとしてリサーチされてきた興味深い技術である³³。しかしながら、2、3 年先、パッケージレベルのインターコネクトとして、グラフェンインターコネクトの必要性はないようである。

8.4.2. パッケージ熱マネジメントのためのナノチューブ (NANOTUBES FOR PACKAGE THERMAL MANAGEMENT)

2007 年版 ITRS ERM 章では、将来のパッケージ応用のための可能性のある熱マネジメント候補として、ナノチューブや他の低次元材料が紹介されている。ナノチューブの真性の高熱伝導度は熱インターフェース材料の有力な候補としての妥当性を示している。この材料が実用化されるには乗り越えるべきキーチャレンジとしては: 1) コンタクト界面低熱抵抗、2) 熱源とヒートシンクの間の直接の熱伝導パスとなる高密度ナノチューブが含まれる。ナノチューブ密度とシリコンあるいはシリコン酸化膜との密着性が、金属的界面を通しての熱特性を最適化するために必要である。

三次元パッケージでは、熱を拡散し、隣接した集積回路やメモリアレイの局所的加熱を最小限にするため、チップ間に熱伝導性ポリマーを使用する必要もある。それゆえこの応用では、ポリマー中に横方向に高密度のナノチューブを入れ込むことが重要となる。またポリマーは部品に対する良好な密着性と、低い熱膨張係数を持たなければならない。

8.5. パッケージ熱マネジメントのための先進熱電ナノ材料 (ADVANCED THERMOELECTRIC NANOMATERIALS FOR PACKAGE THERMAL MANAGEMENT)

熱電冷却は先進の半導体パッケージの熱マネジメントの要求を満たすための候補となる。熱電冷却能力は無次元の性能指数 ZT で概算でき、 ZT は最近の半導体ナノ構造で急激な進展 (スパイク) が見られるまで、長らく 1 以下の値に停滞していた³⁴。1.3~1.6 の値が PbSeTe/PbTe の量子ドット超格子によって報告された³⁵。 ZT の最高値 (約 2.4) は、今まで Bi₂Te₃ と Sb₂Te のナノ構造薄膜超格子において得られていて³⁶、これらの材料システムによるデバイスが最近報告された³⁷。これらの新奇ナノ材料は、今後さらに半導体パッケージの熱マネジメントの発展への貢献が見込まれるものの、困難なチャレンジも残されている。それらにはコンタクトの寄生部分が含まれるが、それはデバイスがいつ作られたとしても現れるもので、かつナノ材料固有の冷却能力を著しく劣化させるものである。

9. 環境・安全・健康 (ENVIRONMENT, SAFETY, AND HEALTH)

過去 10 年の間、新規材料の導入が半導体産業に、“等価的スケールリング”によるトランジスタの高密度化、情報処理能力の向上、そしてエネルギー効率の向上を可能にしてきた。このような例には、配線速度を上げ、エネルギー損失を抑えるための Cu/Low κ 配線の導入や、トランジスタ性能とエネルギー効率を向上させるための新しいゲート電極への高誘電率ゲート絶縁素材の導入が挙げられる。集積回路への新規材料の導入は、製造時に複数の新規材料を使用することでもある。半導体産業は、将来にわたって高密度、高エネルギー効率、高機能を実現する技術を提供するための数々の重要な課題に直面しているにもかかわらず、解決策となるような材料の候補は少ない。新規材料の技術への導入のハードルは高いので、新規材料には斬新的アプローチに優る明確な性能やエネルギー効率上の優位性がなくてはならない。しかし、場合によってはすべての選択肢で既知の有害性あるいは未知の毒性反応が示される可能性がある。新規材料に説得力のある社会的ベネフィットがある一方で毒性的挙動は未知である場合、潜在的な急性毒性と長期的な影響を明らかにするための研究が重要となる。新規材料が技術的な選択肢に数えられるようになってきており、半導体産業界は(リスクの)低減および管理戦略を練るために技術、ESH 特性、挙動への理解を深めなくてはならない。材料の研究開発と並行して進められるべき新規材料の毒性作用の研究は進んでいる。技術的な要請によって新規材料の開発と従来の材料の新たな利用法を見つけだすペースが加速される。新規材料の潜在的な環境、健康、安全性に関する情報は、半導体産業、マテリアル供給産業、その他の多くの産業に必要とされるだろう。新規素材の潜在的な毒性についてのデータは、共通のデータベースを通じて多数の産業とセクターにおけるすべての利害関係者と共有されるべきである。この情報は、それらのライフサイクルを通じて適切に製造と製品を管理するために必要だろう。包括的で持続可能なアプローチに、研究者のキャパシティビルディング、リスク管理策、ESH の課題に取り組むための新規材料のライフサイクルアセスメントを組み込むべきである。このようなアプローチはコスト、性能およびESH影響の間での相互依存とトレードオフのより基本的な理解とモデリングから利益を得るだろう。そしてそれらの理解とモデリングは、出現しつつある高性能なグリーンで持続可能な素材と大量製造への過程の、時期にかなった開発、能力、統合を向上させるだろう。他方では関連する環境と健康のリスクを低減させながら。

新規材料による課題解決の実現可能性の時期を明確にするために、他の技術ワーキンググループとの連携により導入時期予定表(ERM 15)の作成を行う。本表は、新規材料および構造の潜在的な有害性を特定するための研究がいつ必要とされるのかを明らかにすることを目指すものである。表 ERM15 のように、実現可能性の時期は、3～5 年以内に実現の可能性があるカーボンや金属ナノチューブ、酸化物ナノ粒子、機能性分子、自己組織化材料等、応用によって大きく異なる。カーボン及び金属ナノチューブを埋め込む実装とパッケージングも、近日中に実用化されるであろう。酸化物ナノ粒子は、実装とパッケージングでのパッケージポリマーの添加剤としての応用が考えられる。金属ナノ粒子は、チップをパッケージや他のチップに付ける際に用いる低融点のナノはんだとしての応用が期待される。ただし、実装後はこれらの材料は「バルク」材料になる。新規機能性分子は、化学処理とリソグラフィにおけるフォトレジストへの応用が考えられる。自己組織化材料は、高エネルギー密度の埋め込みパッケージへの応用が可能である。上記は(応用への)導入時期が早いと考えられる新探究材料である。長期的な応用については本章の適切な節で説明する。本表は将来の新探究材料ロードマップで更新される。

新探究材料の潜在的な有害性が不明な場合、ITRS は労働者と環境への曝露を抑えるために慎重な取扱方法を採用することを推奨する。

Table ERM15 ITWG Earliest Potential ERM Insertion Opportunity Matrix

10. 評価技術 (METROLOGY)

新規探索材料(ERM(Emerging Research Materials))のための計測には、ナノメートル以下の組成、物性と 3 次元構造についての評価技術が必要である。さらに、埋め込まれた材料、界面や欠陥を評価するための非破壊的な手法と、複合的なナノスケールの特性を同時測定できる基盤技術(プラットフォーム)も

必要とされている。多くの高度な課題の中には、ナノスケールでの局所的な変化をモニターすると同時に、450mm ウェハのような大面積でも同じ情報を提供する必要性がある。材料の大きさがフォノンの平均自由工程程度に小さくなってきたため、熱的な特性はバルク材料や薄膜とは異なった特性を示すようになってきた。計測のロードマップでは、計測とモデリング／シミュレーションとの連携必要性を強調し続けることになる。これは、その連携によってナノスケールでの特性評価と大面積にわたる特性をモニターできる計測との間のギャップを橋渡しできるようになるからである。その橋渡しを行うためには、計測のモデルとして使える、有効なナノ材料の物性値が必要になる。これは、些細な課題ではない。キャリアやフォノンがナノスケールで閉じ込められることが、誘電関数(複素屈折率)、キャリアモビリティ、熱伝導率など多くの物性に影響を与えていると考えられるからである。実例として、物性値に対する必要性が挙げられる。例えば、SOI のトップ層の光学物性は、10nm 以下ではその膜厚に依存する。さらに、最近のデータでは、そのような膜で測定された物性は、トップ SOI 膜上に堆積された層の物性にも依存することが明らかになった。このスケールでの材料積層構造による依存性は、積層極薄膜のナノスケールの物性に有効なデータベースの開発の必要性を示している。

Table ERM16 Metrology Challenges and Needs Table

10.1. ナノメータスケール構造／組成の評価とイメージング (CHARACTERIZATION AND IMAGING OF NANO-SCALE STRUCTURES AND COMPOSITION)

ナノスケール構造に集積される新材料の基礎的理解と開発を可能にするには、広範な複合材料の原子レベルでの構造と組成を評価できる計測が必要とされている。これらの材料には、III-V 半導体、カーボンナノチューブのような軽元素系材料、グラフェン、窒化ホウ素、二硫化モリブデンなどのような二次元材料が含まれる。加えて、複合的な化合物からなるナノワイヤ、誘電体、金属配線、希釈磁性半導体を含むスピン材料、複合金属酸化物やドーピングされた遷移金属酸化物などのナノ構造材料でも、それらを評価できる計測技術が必要とされている。材料のナノ構造、組成や配向のリアルタイムモニターができ、同時に、巨視的な物性との相関関係も調べることができる、“その場”測定可能な非破壊評価法が必要とされている。例としては、数個のドーパント原子の位置ずれが、ナノスケール回路やシステムのデバイス特性における重大な変動を誘起するため、正確に不純物ドーピングを制御にする必要がある。さらに、様々な研究報告データが、電気的特性評価手法の標準化によって直接比較が可能になり、新規探索材料に関する研究に役立たせることができる。こうした試みがいくつか始められているが、今後さらなる研究が必要である¹。

10.2. 界面と埋め込まれたナノ構造に対する計測のニーズ (METROLOGY NEEDS FOR INTERFACES AND EMBEDDED NANO-STRUCTURES)

新規探索材料では、他の材料を組み合わせ、界面を形成する。その結果、得られたナノ構造は、主にナノポーラス(多孔質)材料や極薄バリア層などの界面が大部分になる。そのため、その界面における原子構造、組成、結合、欠陥、応力および、これらがナノスケール物性へ及ぼす影響を、理解し制御することは重要である。埋め込まれた界面、接合部や他のヘテロ構造に対して、非破壊で構造や電気特性を計測する方法の開発がなされてきた。例えば、近紫外のフォトエミッションは、バンドのオフセットを測定し、バンドのアライメントを決定するために利用されており、トンネル電界効果型トランジスタの分野で注目されている²。走査型マイクロ波プローブ法(原文: Scanning microwave probe)では、表面だけでなく、埋め込まれた層についても、抵抗率の変化を検出することができる。^{3,4} 現在の、表面直下、および、埋め込まれた界面でのイメージングは、破壊検査であること、難易度が高く、複雑であるので、界面の現象を理解するためには、現状でも必須の技術ではあるが、不十分である。周囲の状況に敏感な、表面や、埋め込まれた界面の特性を、さらに理解するためには非破壊の3次元計測方法と装置が必要である。界面の偏極や、電子の準位の測定と同様に、三次元の計測は、デバイスの性能に界面準位が与える影響とその度合いについて理解を広げてくれる。交互に変化する状態変数【訳者注: 例えば磁気メモリにおけるスピンの向きなど】が次世代新規デバイス(beyond CMOS)に応用するために探索される時には、ナノスケールの物体と界面から得られる情報を最大化するために、相関／マルチモード顕微鏡(原文: correlated, multimodal

microscopies)が必要となる。さらに、プローブと試料の相互作用を分離し、小さな変化を受けていない界面構造や物性を決定するためのモデリングも必要である。

10.3. ナノスケールの構造における欠損および欠陥の評価 (CHARACTERIZATION OF VACANCIES AND DEFECTS IN NANO-SCALE STRUCTURES)

多くのナノ構造材料の物性は、材料中に含まれる低濃度の空孔や欠陥によって大きな影響を受ける。空孔、欠陥、ドーパント原子と界面構造の位置を3次元で正確に把握するために、いくつかの開発がなされてきた。しかし、将来の新規デバイスを選択するためにはさらなる検討が必要である。材料間に界面が形成されると、結合が切断され欠陥が生成し、それが構造中へ拡散するようになる。例えば、グラフェンやカーボンナノチューブの場合には、部分的な C-H 結合の生成やカーボン原子の欠損が、これらの材料の電子的、熱的な物性を大きく変化させる。あるいは、ある官能基を修飾すること(原文: functionalization)によっても、バンドギャップ内に別の(不純物)準位を導入するカーボン原子の欠損生成や変性(原文: rehybridization)を促すことになりうる。こうした材料の僅かな変性(原文: perturbations)が、これらの材料の特性を劇的に変えることがある。III-V 族デバイスの選択成長において、欠陥(原文: dislocation)や、逆位相領域(原文: anti-phase domain)の分析は、SEM, TEM, XRD, フォトルミネッセンスを必要とする。⁵ 複合金属酸化物の電気的、強誘電性や強磁性の特性も、酸素欠陥の存在とその位置によって強く影響を受ける。というのも、それらが結晶構造内に局所的な乱れを生成させることで、結晶の対称性が破れたり、制御できない新たな電子状態を生成するからである。複合酸化物のヘテロ界面では、界面のキャリア濃度が、酸素空孔の存在によって変化しうる。近年、偏極中性子反射率測定法(原文: polarized neutron reflectometry)、磁化率測定、結晶性測定、モデリングを合わせて、薄膜 EuO 中の O-V(酸素空孔欠陥)の詳細濃度の測定が行われた。この結果は、電子注入が強磁性相互作用秩序温度で増強されることを示唆する。⁶ プロセス中で個々のナノ磁性トンネル接合に導入された欠陥や微細構造は、その輸送特性と相関性を持っている。欠陥と微細構造の固有の組み合わせが、個々のナノ磁性トンネル接合素子からのエネルギー障壁を含む輸送特性と関係付けることができる。⁴ ナノメートルスケール構造における低濃度の空孔と欠陥を検出できないかが検討されている。顕微鏡に対する性能向上への明確なニーズに加え、他の物理測定手法についても欠陥と物性間の関係を測定、定量、理解できるように、性能の改善が図られるべきである。

10.4. 原子一層厚さに均一に分布しているドーピングの計測 (METROLOGY FOR MONOLAYER CONFORMAL AND DETERMINISTIC DOPING)⁷⁻¹¹

決定論的ドーピングに対する計測には、個々のドーパントの存在位置、電子状態を確かめることが要求される。コンフォーマルドーピングに対する計測ニーズは、(計測対象の)連続領域と原子スケールの局所領域を繋ぐことである。例えば、4 探針型走査プローブ法、2 次イオン質量分析(SIMS)、拡がり抵抗測定(SRP)などの確立されている計測手法は、コンフォーマルドーピングによって形成された極浅接合を評価するのに依然として有効である。また、走査型静電容量顕微鏡(SCM)や走査型拡がり抵抗顕微鏡(SSRM)などの極浅接合のイメージング技術も利用できる。

特性がチャネルにおけるドーパントの位置に依存するデバイスに対しては、デバイスの電気的特性そのものが有益な計測ツールとなる。単一ドーパントに対して敏感ないくつかの計測手法が発展してきている。単一ドーパントは走査型トンネル顕微鏡(STM)や低温周波数変調ケルビンプローブフォース顕微鏡(FM-KFM)でイメージング可能である。個々のドーパントにおける電子注入の直接観察は、低温と室温における KFM によって行われている。低温はキャリアの熱活性化を抑えるのに必要であり、超高真空は表面のクオリティを保つのに不可欠である。STM では感度は表面 2~3 原子層に限定される。アトムプローブは、デバイスを構成する原子の3次元原子元素マッピングをほぼ原子スケールで行うことができる。現在の検出効率は約 50%であり、ドーパントの検出下限濃度は約 $5 \times 10^{18} \text{ cm}^{-3}$ 程度である(訳者注: Si 中の P は原子番号で隣合う元素であるため、質量スペクトルにおいて Si ピークの裾引きが P のピーク位置にまで及ぶためにこの程度であるが、B や As の場合にはもっと低く約 $1 \times 10^{18} \text{ cm}^{-3}$ 程度である)。現在発展中の AFM とマイクロ波計測を組み合わせた走査型マイクロ波顕微鏡や電子スピン共鳴型走査プローブ顕微鏡などの装置が将来有望である。これらの技術で表面近傍における単一ドーパントや欠陥のイメージングが可能になるかもしれない。

APT は高い3次元空間分解能(針試料の長手方向に対して垂直な方向 X, Y: ~ 0.5 nm, 長手方向 Z: ~ 0.2 nm)で、検出効率が元素の種類にほとんど依存しないという特徴を有する。そのため、半導体材料の基礎的な物性だけではなくデバイスにおける元素分析に対しても非常に有効である。APT から得られる情報はこれからもデバイスプロセスにおける研究開発に大きく貢献していくだろう。将来のデバイスにおける電気的特性とドーパント分布との相関を明らかにすることは、単一原子レベルまでの感度が要求されたため、APT 装置において、ほぼ検出効率 100%でノイズフリーな検出システムへの改良が必要不可欠である(訳者注:検出効率が 80%の装置はすでに実現されている)。また少数ドーパントの位置情報は重要であるので、3次元再構成の精度向上も必要不可欠である。

10.5. 新規材料のナノスケール特性のウェハーマッピング (WAFFER LEVEL MAPPING OF PROPERTIES OF NANOSCALE EMERGING RESEARCH MATERIALS (ERM))

新規材料の導入では、金属カルコゲナイド(例えば、 MoSe_2 、二硫化モリブデン、 WS_2 など)¹²、h-BN、グラフェンナノシートなどの材料と、その製造方法、非破壊計測が必要になる。そのような合成技術上の発展は、高品質な材料の再現性の良い製造技術と、そのサンプルの構造、純度と物性を迅速に評価できる手法の存在に懸かっている。ラマン分光法、蛍光や他の分光手法のような幾つかの評価技術は、局所的な化学(結合)状態に敏感である一方で、これらの材料の局所的な電子的な特性評価を支援できるような別の手法も必要とされている。さらに、ロバストな製造は、好ましくはインラインで、バンドギャップのような局所的(intensive)な特性のみではなく、そのような下にある基板との相互作用のような広範囲に渡る性質の両方の分布をマッピングする機能が必要とされる。具体的には、そこに、熱機械的構造(原子レベルの粗さ、結晶粒界、歪 等)、化学構造(接合、3次元原子レベルのバンド構造、ダングリングボンド、ドーパントおよび空孔の分布)、および電気的特性(モビリティ、電気的に活性な欠陥、局所的な特性など)などの多様な材料特性を特徴づける必要がある。

例えば、グラフェンを成長させるためのいくつかの方法は、層数の異なるグラフェン層と様々な欠陥を有するグラフェン層を生成する傾向がある。分光技術は、グラフェンの単層、二層、バルク黒鉛を識別できているが、2次元層の数や欠陥の存在の迅速な予測が今後必要である。最近では、低加速電圧動作に最適化された、収差補正走査型透過電子顕微鏡(原文:an aberration-corrected scanning transmission electron microscope)の環状暗視野イメージング(原文:annular dark-field imaging)では、置換位置にある欠陥を含有する、単層六方晶窒化ホウ素(h-BN)の一個一個の原子の化学的性質を決定し、同定するために使用されている。¹³ 厚いバルク状の 3C-SiC の(111)層上に成長させたエピタキシャルグラフェンの厚さと電気特性(例えば、移動度)を、大面積の μ 焦点の分光エリプソメトリー(μ -SE)の最初のマッピング事例が報告されている。大面積のマッピングは、界面構造が 3C-SiC の(111)の Si-と、C-との極性によって異なり、エピタキシャルグラフェンの厚さ及び電子的特性均一性のために決定的な役割を果たしていることを示した¹⁴。

全体として、新規評価手法については、更なる性能の向上が要求されており、特に、測定スピード、確度と精度の間のバランスを改善する必要がある。新規材料を特徴付けるために使用される技術のいくつかは、ウェハ丸ごとでの評価に対応していないが、機器の開発者は、300 ミリメートルと 450 ミリメートルウェハのような大規模なサンプルで動作する解決策を考えることが重要である。これは特性評価技術を生産で使えることと、ウェハごととの違いや、他の生産性の問題に影響されない技術となることに繋がる。

10.6. スピンおよび電気特性の同時測定のための計測のニーズ (METROLOGY NEEDS FOR SIMULTANEOUS SPIN AND ELECTRICAL MEASUREMENTS)

多くの Beyond CMOS デバイスでは、交互に変わる状態変数としてスピン状態の制御を基礎にしており、それらには、スピン注入トルク磁気ランダムアクセスメモリー(MRAM)に限らず、ナノスケールスピントランジスタ、スピン波デバイス、強誘電性/磁性ハイブリット構造と他のスピンベースの論理デバイス概念も含まれている。これらのスピンベースデバイスは、独特の計測の課題を有している。STT-RAM デバイスの信頼性とスピードは、潜在的に複雑にデバイスのナノ構造に依存する磁化のダイナミクスに依存しています。そのため、計測技術の開発は非線形デバイスのダイナミクス、結合(構造と特性の)、ノイズを理解できるかにかかっているといえる。この計測技術は、異種材料からなる多層膜の系のスピン電流および輸送特性の計測のために必要とされている。そのような計測においては、スピンの向きが保存されていないこと、

そしてスピンのソースおよびシンクが多くあり、その結果スピンの輸送(流れ)が3次元的であることを理解する必要がある。スピンホール効果(非磁性体に起源を持つスピン電流)およびスピンゼーベック効果(熱勾配によって生じるスピン電流)に起源を有する特有のスピン電流の計測に進歩が認められる。スピン材料における高度な特性評価が必要されている固有な課題としては、磁区の原子スケールイメージ、磁壁移動のダイナミクス、磁性体から半導体への効率的で高速なスピン注入に必要とされる界面状態と、スピンの輸送と寿命の測定がある。

差分位相イメージング法(DPC)は、スピントロニクス応用のための微細加工された磁性材料のように nm サイズに加工された磁性体の本質的な磁場および電場を測定する有望な方法である。DPC イメージングは、光学顕微鏡や X 線顕微鏡においては、弱吸収である軽元素のコントラストを強調することができます。球面収差補正装置付 STEM を用いると、電磁場の原子レベルでのイメージングが可能になります。急誘電体である BaTiO₃ において、それぞれの強誘電分域内におけるメゾスコピックレベルでの電場の分布と、各結晶単位胞内でのそれぞれの電気双極子によって誘起される原子レベルでの電界の分布を原子レベルで検出した報告例がある。

10.7. 配線材料の計測技術 (INTERCONNECT MATERIAL METROLOGY)

低誘電体のガラス構造の評価における低誘電率/Cu 配線に特化した評価手法や、ナノスケールでの機械特性測定についての必要性について、これまでに詳述されてきている¹⁷。そのニーズへの3種類の新たな配線評価の分野として、熱伝導と配線構造の熱境界抵抗を評価するための手法、ゼロ電荷プローブでのイメージング技術や、ナノスケールの低誘電率/Cu 配線の構造的性質の評価が含まれる。配線サイズが減少し続けると、Cu 拡散バリア膜の厚さは、配線抵抗におけるバリア膜の影響を最小化させるために減少されなければなりません。2 nm 以下の新材料については、層間絶縁膜や素子領域における Cu の拡散の阻止能力を決定するための能力が計測と評価には必要とされる。バリア膜が機能しない時(すなわち、ピンホールと拡散など、それから、拡散係数など)のバリア膜を通した Cu の拡散機構や、低誘電率-金属の界面の構造と結合に関する因子を決定することが重要である。例えば、無添加の Ru 膜では、575 °Cの低温の熱処理で機能を失うのに対して、なぜ、Mo を添加された Ru の薄膜が、725 °Cまで熱安定なのかなどがある¹⁸。

トランジスタの面密度が増加しダイ・スタック 3D 集積配置がトランジスタの集積度を高めると考えられるので、金属配線を介した放熱が益々重要になるものと考えられてきている。3 オメガ、時間領域サーモフレクタンス法や他の関連した技術は、薄膜形態でのほとんどの配線材料の熱伝導について、大いに必要とされる技術データを提供してきているにもかかわらず¹⁹、このことは、低誘電率/Cu 配線に存在する多くの界面の熱境界抵抗に関しては、それほど知られていない。それらの界面の熱抵抗は、10 nm 以下の配線技術において母材に対する界面の比率が 1 に近づくで見込まれるため、益々重要になると考えられている。最近の理論的や実験的な検証では、界面の化学結合や詳細な構造が、熱境界抵抗へ大きく影響することが分かっている²⁰。それ故に、低誘電率/Cu 配線に存在する多くの界面の熱境界抵抗を効果的に評価するためと、また、界面形成や化学結合に影響するプロセスがどのように熱境界抵抗に影響するかをよく理解するための研究のためにも、新手法が必要とされている。

長さのスケールに関する多くの興味深い現象が、半導体産業において興味のある材料の熱特性において観察されていることも重要なことである²¹。具体的には、材料のサイズが、その格子振動(または、他の特性値)の平均自由工程サイズに近づく、熱特性は、それらのバルクや薄膜形態のものから異なり始めることがある。このような理由から、静的や負荷下の両状態でのナノスケールの薄膜の熱伝導性を評価するための方法を開発することに、一層注目を払う必要がある。

プラズマや反応性イオンエッチングによる低誘電率誘電体のエッチングは、酸化物の側壁にダメージを発生させ、その材料の誘電特性を変化させる²²。その形状が小さくなるにつれてダメージ領域は層間絶縁膜のより大きな割合を占めることになる。側壁のダメージの程度を評価し、電氣的な配線間の狭い分離層の誘電定数の効果を決定するための計測方法が必要である。低誘電率/Cu 配線の計測分野としては、通常の走査電子顕微鏡と同等の分解能を持ち、ゼロ電荷プローブを利用した観察技術が必要とされている。低誘電率材は、極端に脆いことは別にして、通常の電子ビームを用いた技術を用いた観察手

法に鋭い感受性を示す。この感受性は、通常は、観察中の膜の収縮や融解として現れ、それは試料加熱や材料への電子電荷注入による化学結合の開裂により、高密度反応を開始された結果である。典型的な電子ビームプローブを用いた観察技術では、電子ビームのための真空系における表面とバックグラウンド汚染間の触媒的な反応で照射面に付着した膜のために、表面の観察を、特に元の状態の金属表面の腐食層の観察が妨げられる。低誘電率膜の収縮や汚染膜の付着は、低ビーム電流・電圧の利用により最小化できるが、低誘電率材の測長や不良解析における誤差や不明瞭の原因として完全に排除されることは出来ない。このような理由から、高分解能のゼロ電荷プローブによる観察技術が強く望まれている。この観点から、ヘリウム中性原子顕微鏡は、非常に魅力的な代替手段である。現在は、まだ 350nm の空間分解能が実証されている段階ではあるものの²³、最近の解析では、比較的容易に達成可能な He 検出効率と、更なる技術の最適化により、10nm の空間分解能が実現可能となるかもしれない²⁴。このような理由から、NAM は低誘電率/Cu 配線の潜在的な評価手法として大いに援助され調査される価値がある。

低誘電率/Cu 配線の継続的な発展では、実際に完全集積化された配線構造におけるナノスケールの配線材料や界面の局所的な構造特性測定を実行する能力から大きな恩恵を受けるだろう。そのような能力は、複雑な化学構造をもちパターンニングやメタライゼーションのプロセスへ極端に脆く感受性を示す低誘電率材料の不良解析に対して最も有効である。原子間力顕微鏡法における最近の進歩は、ナノスケールでの熱的²⁵・機械的な評価を実行する能力を提供している²⁶。フーリエ変換赤外分光法のようなガラス構造の評価手法は、光の回折現象により、3 μm ほどから 10 μm までの空間分解能に限定されているけれども、この観点において、新 AFM-IR ベースの技術が、最近、高分子材料において 50 nm のオーダーで、回折限界を越える空間分解能(サブ回折限界の空間分解能)を達成している²⁷。そのような技術は、低誘電率/Cu 配線と他のナノ電子材料の両方を調査するために十分に考慮すべき価値がある。

ダイ・スタック 3D 集積配置技術が、トランジスタ密度を更に高めるために使われる中で、基板貫通ビア(TSV)は、3D 集積スキームのための先導的技術として出現してきた。そのような中で、金属配線を経由した放熱は、益々、重視すべき事柄となっている。例えば、熱的な原因で発生した欠陥とその成長や、埋め込み材料の劣化は、TSV の信頼性に影響する。TSV を研究するための手法では、他の電氣的に隣接する構造における欠陥や材料変形のための不連続性を検出できなければならない。広帯域ラジオ周波数域の測定は、TSV の物理的変化を研究し検出するのに使われている²⁸。TSV に関する手法に関する他の問題は、構造中の欠陥の物理的同定である。収束イオンビーム(FIB)、操作電子顕微鏡(SEM)などのような現有の手法は、破壊的にある。それ故に、TSV の欠陥の非破壊的な検出法が必要であり、この点に関して、X 線顕微鏡/断層撮影法が効果的な手法となるように思われる²⁹。最後に、Cu の TSV と周囲の Si の間の熱膨張係数の大きな差が、応力を増大させ信頼性間が引き起こすことが知られている。それ故に、TSV と周囲の Si の全応力テンソルを定量化できる測定技術が必要とされている。放射光を利用した微小ビーム X 線回折技術は、深さの関数として構造中の全応力テンソルを非破壊で決定するのに使われている³⁰。

10.8. 複合金属酸化物系のための計測ニーズ (METROLOGY NEEDS FOR COMPLEX METAL OXIDE SYSTEMS)

マルチフェロイクス(原文: multiferroics)のような相関酸化物系は、競合電荷と結合電荷、スピン、軌道と格子の自由度を持っており、それらが新たな電氣的かつ磁氣的な相を形成させている³¹。これらの材料は、新デバイス概念を可能ならしめる潜在能力を持っており、スピン・ロジック新規メモリでは、電子配置と磁気スピン配置をカップリングさせることができる。磁壁は、導電性のような(ただし、磁壁が存在する母材(matrix)の多機能性材料の特性にはない)固有な機能を持つことが分っている。これらの電氣的に導電性を有する界面が、有用に利用できるようになるためには、それらの核生成と位置決めが理解されるときともに、再現性良く制御されなければならない。コピエゾフォース顕微鏡はナノメートルスケールで強誘電性材料と圧電性材料の静的、動的な特性を評価するのに有用である。両者が共存する相(原文: coupled phases)は、陽イオンの乱れと空孔に対して敏感であることが分っており、そのため計測法では、これらを実評価するとともに、それらの電子的、磁氣的、そして軌道についての秩序との相関関係を調査する必要がある。

10.9. 分子デバイスのための計測 (METROLOGY FOR MOLECULAR DEVICES)

新計測技術の性能は、個々の分子や分子界面での輸送現象を理解できるようになってきており、それらの計測技術には、分子振動状態の研究のための非弾性電子トンネル分光法^{31A}や裏面反射測定 FTIR³²、転移電圧スペクトル(原文: transition voltage spectra)、STM、導電性 AFM とケルビンプローブ AFM が含まれている。しかしながら、分子との接触相互作用や、埋め込まれた界面と分子の電気的な特性も評価するための非破壊で”その場”測定可能な 3 次元手法のような、新規な計測を開発するためには、さらに研究を進める必要がある。

10.10. 機能性分子材料のための計測のニーズ (METROLOGY NEEDS FOR MACROMOLECULAR MATERIALS)

設計された高分子(原文: macromolecules)やその関連材料に対応した新たな評価手法群が、将来にも長期的に利用されると見込まれているパターンニング技術の要求を満たすために必要とされている。例えば、ナノインプリントによるパターン転写技術(NIL)は、22 nm 以降のパターンニング技術として期待されるものとして見做されているが、この技術では、鋳型、リリース層、レジストとインプリント機能材料に関係した幾つかの性能面での課題に直面している。このため新たな評価手法は、パターン忠実度(設計値に対する再現精度)、乱れと欠陥、せん断応力とパターン倒れ、接着強度と剥離挙動のような将来予想される重要な材料の特性要件を評価できる必要がある。

10.11. 誘導自己組織化技術のための計測のニーズ (METROLOGY NEEDS FOR DIRECTED SELF-ASSEMBLY)

リソグラフィ技術の延命策となる、あるいは決められた位置や配列にナノ構造材料を組み込んだ誘導自己組織化技術(DSA: Directed Self Assembly)では、重要な材料物性、その構造物のサイズや位置と、既存のパターン形成された構造物に対する組み合わせを評価できる計測技術が必要とされる。しかしながら、これらのサブ 100 nm 厚の有機膜を、通常の評価手法でイメージングすることは困難である。制御した自己組織化材料をベースにしたブロック共重合ポリマーが、リソグラフィ技術への有望な解決案となるためには、ロバストで非破壊なナノスケール測定方法が必要であり、それにより、相分離した膜の重要な特性因子について 3 次元評価を可能になる。それらの特性因子としては、形状、ライン幅ラフネス、既存構造に対する位置合わせ、設定された表面エネルギー、アニール機構と欠陥などが含まれている。

化学的な表面と高分子間の中立面と界面エネルギーを評価できる評価手法が必要である。この界面エネルギーは、ブロック共重合高分子が会合するかを決定するが、接触角測定のような現在の技術は、表面がブロック共重合高分子の両方のブロックへ中立であるか否かを決定するためには無力である。さらに、これらの技術には、ナノスケールの形態(特に、側壁のような垂直な表面で)や化学パターンの界面エネルギーを測定する能力はない。

化学力顕微鏡(CFM)は、この点に関して有用である可能性があるが、更に、グラフォエピタクシーのための高アスペクト比の狭いトレンチを検出し評価できる必要もある。CFM は、特定のターゲットに合わせて化学修飾された AFM チップを使い、高分解能でポリマー表面の形状と化学的な違いを測定可能であるが、その分解能は、基板とチップ間の相互作用を検出するプローブチップのサイズと形状によって制限される。更に、現在の CFM は、妥当な時間範囲でグラフォエピタクシーのトレンチを効率的にプローブすることができないかもしれない^{33,34,35}。研究段階では、小さい形状用³⁶の CFM のために化学的に官能基を修飾したカーボンナノチューブの利用が探索されている。化学的に官能基修飾された単層カーボンナノチューブ(SWCNT)は、化学的な表面のナノスケールでのマッピングを提供できる可能性を持っているが、これはまだ開発できておらず、この応用に対する正当性も立証されていない。このような技術が必要とされているものの、現段階では CFM は基本的には、専門家による相当の解釈を必要とする研究段階にある手法である。それ故に、その最も価値のある能力は、表面が BCP に中立なのかを決めることであり、それから、これはテストサンプルの自己集積化を通して実施される。更なる研究が、CFM をより簡単に利用し解釈するためには必要である。

DSA が実行可能なリソグラフィーの延命技術となるためには、 0.01cm^{-2} 以下の欠陥密度を達成できなければならないが、DSA 膜の大面积における欠陥の検出は、膜が薄く欠陥が 3D で発生するために、難し

い。フォトレジストと違い、DSA に使われているブロック共重合高分子は、膜と空気の界面からは観察できない表面下に欠陥が形成されうる。現像後の凝集した膜中の潜在的な 3D の欠陥とは、熱力学的に形成される空洞やライン間の架橋構造や、プロセス起因の欠陥(例を挙げると、部分的にオープン構造や高分子の残渣)も含んでいる。更に、ブロック共重合高分子膜は、その形状サイズとほぼ同レベルで薄いため、光学的に欠陥を検出することは難しいと考えられる。そのため、大面積のパターンエリアで DSA 構造の欠陥を検出し、また、構造の置換、欠落や付加のようなプロセスに関連した欠陥を捉えることができる計測法が必要とされている。そのために、回折と散乱の偏光や波長依存性の分析を含む新規な光学技術が探索されている。3D の欠陥や正しく配列されていないパターンを検出することが高度な分析技術には必要である。

要求される空間分解能を持つ代替の計測技術は、高スループットで大面積を検査できないが、小面積なら欠陥の詳細な検査には有効でありえる。硬 X 線は、炭素の低電子密度や、また同様な BCP の高分子ブロックの低電子密度に起因する弱い X 線の散乱をも利用可能にする³⁷。重元素で染色した試料の TEM や不活性ガスイオンをプローブとした顕微鏡(例えば、He や Xe イオン)は、ポリマー膜を変形させるかもしれない。モデル支援を利用した微小角入射 X 線回折の最小線幅計測(CD-SAXS)は、共鳴軟 X 線による散乱が増強されることから有望であると期待されている。最初の測定では、4x のラメラサンプルが、深さと面内で組成が均一ではないことと、共鳴 CD-SAXS は 5nm の化学的な型に敏感であることを立証している³⁸。ただ、残念なことに、透過モードの共鳴 CD-SAXS 測定は、TEM と同じサンプル処理が必要であり、また、特定の放射光ビームラインだけでしか利用できない。X 線は本質的に有機薄膜を変性させるので、CS-SAXS は非破壊技術としては限定的であることに留意しなければいけない。更に、CD-SAXS は、現段階では、非反復的な欠陥を検出することはできない。ウェハ製造設備で使用に適している大面積計測法が存在しないことが、DSA の展開を制限することになるだろう。それ故に、光学散乱分光法のような非破壊で高スループットな技術が必要とされている。

最後に、より小さな構造を作製するためには、より高 χ パラメータを持つ材料に注目していく必要があり、これらは中立な最表面の形成が必要である可能性がある。

10.12. プローブとサンプル間の相互作用のモデリングと分析 (MODELING AND ANALYSIS OF PROBE-SAMPLE INTERACTIONS)

電子顕微鏡や走査型プローブ、および光学プローブのようなナノメータスケールの測定ツールでは、プローブとサンプル状態の間に大きな相互作用(原文:coupling)が見られることから、これらの相互作用を分離(原文:decoupling)するための方法を開発し、ナノスケールの構造と特性を正確に分離し決定するために、重要な研究が必要とされている。ナノスケール構造における変化、欠陥位置、組成、電氣的、磁氣的そして光学的な物性を評価するためには、試料—プローブ間の相互作用のモデルも必要である。加えて、両者の相互作用を含む信号から真の構造と物性の情報を抽出できるように、アルゴリズムが開発される必要がある。例えば、スキヤトロメトリでは、プローブされた構造におけるすべての材料の光学的特性についての情報があるかどうかで適用できるかどうかが決まる。また、新規材料については、それらの光学的性質がよく知られていないので、問題となる。さらに、閉じ込め構造内に存在する材料で、それらのバルク挙動から光学的性質を変化することがある。³⁹ 従って、閉じ込め構造に用いられる新規材料の光学的性質を特徴づけるために更なる研究が必要とされている。

10.13. ウルtrasケールデバイスのための計測のニーズ (METROLOGY NEEDS FOR ULTRA-SCALED DEVICES)

デバイスの特性と、信頼性はトレードオフの関係にあるため、新規のナノスケールでの特性は、新たな故障の原因を導入してしまう。そのため、新規のナノスケールデバイスの性能と信頼性を評価するためには、新計測法とモデルが必要である。新規なナノスケールの特性は、デバイスの性能を向上させられるものの、その代わりに信頼性を犠牲にする新たな機構を導入することになるだろう。例えば、パーセントオーダーまで増大している寸法変動は、ロバストなデバイス特性を実現する上で、また、デバイスが動作可能な下限値を低下させる上で、大きな課題となっている。特にアナログ回路は S/N 比の低下に対して敏感である。変動源とデバイスノイズについての影響を完全に理解することは、ナノエレクトロニクスに新規材料を上手くデバイ

スに組み込み集積化できるためには、絶対に必要である³⁷。この基本的な要求が、ナノスケールシステムにおける重要かつ新規の変動およびノイズのナノスケール発生源を特定、評価するためのツールを開発するための原動力となっている。ナノ材料やナノ構造素子の経時変化や、素子特性への経時変化の影響を評価し理解する必要がある。それは、既存のデータの大部分が、バルク材料の物性をベースにしているからである。

トライゲート構造などの 3D デバイス構造の導入は、正確に測定する必要がある物理的コーナーと側壁の向きなどの新たな測定課題を生みます。さらに、メタルゲートとのスタックと組み合わせである High-k 絶縁膜のように、新たに導入された材料は、優れた信頼性を生乱すために慎重な最適化が必要である。これは界面および化学組成に対して原子分解能を持つ複雑な 3 次元構造の画像化を必要とします。この点に関していくつかの進歩が認められる。例えば、球面収差補正電子エネルギー損失分光法、この方法では、原子分解能で二次元での元素種および価数に敏感なイメージングであり、La_{0.7}Sr_{0.3}MnO₃/SrTiO₃ の多層膜の実証されている。そのデータによれば、チタン酸マンガんとストロンチウム酸ランタンの副格子間で形成される界面において、元素拡散に非対称性が確認されている。3次元配線にとっては、X 線の透過を利用して、非破壊で 3D 画像を得ることができる。例えば、X 線顕微鏡は、3D 配線 (TSV) を研究するために使用されている。解像度が現在の光学系の制限されているので、最終的には、一桁 nm の分解能を持つ 3D X 線イメージングに到達する必要があります。戦略的に、3D データのセグメント化によって、複雑な構造の定性的および定量的な把握が可能になる。さらなる研究活動の目的は、プローブと使用される非常に薄いフィルムの間の相互作用に起因する歪みを回避するための更なる研究が必要である。

10.14. ERM 素子材料に対する計測技術の進歩 (PROGRESS OF METROLOGY FOR ERM DEVICE MATERIALS)

未知の三次元構造を持つ材料中のすべての原子種の同定と直視化は ERM の理解を向上させるために大きな役割を持つ。

10.14.1. 磁気トンネル接合の計測技術 (MAGNETIC TUNNEL JUNCTION (MTJ) METROLOGY)

MTJ 技術においては、そのための評価技術および関連した現象の理解を改善するために多くの努力がなされている。特に、MTJ 界面構造(トンネル絶縁膜 MgO とその上下にある磁性膜の界面)は、原子レベルで評価されるべきである。

MTJ は、多層の超薄膜から成るため、原子スケールでそれらを分析することは非常に困難である。その点で、Cs 補正機能付の STEM は、研究に寄与できる。高分解能の HAADF-STEM と EELS/EDX による原子列レベルでの元素マッピングにより、上記の課題が解決される。実際に、宮島らは、高分解能 HAADF-STEM の観察により、CoMnSi 磁性膜において、無秩序相 (B2 型) と秩序相 (L2₁ 型) の違いを識別している⁴³。ローレンツ顕微鏡は、Cs 補正機能付の STEM で作動させることができるようになった、電子線ホログラフィーと、このローレンツ顕微鏡とを合体させた電子線干渉法は、磁性構造の動的な観察のために改良されるべきである⁴⁴。3DAP 分析は、MTJ 積層構造における原子レベルでの元素分布をの把握を可能にする。さらに、磁性膜と MgO との界面における化学結合を評価することも重要である。池田らは、TMR 特性が超薄膜 CoFe 膜の界面に存在する原子種に依存することを報告した⁴⁵。ナノヘテロ界面の化学状態を評価するためには、STEM-EELS は有望な方法である。川崎らは、CoFe 中の Fe 原子のみが酸化され、さらに特異な格子配置が同時に存在することを報告している⁴⁶。

10.14.2. レドックス RAM の計測技術 (REDOX RAM METROLOGY)

Redox-RAM 動作の重要な役割となる酸化還元反応が生じる界面を、直接観察することは不可欠である。酸素空孔の分布と金属酸化物に含まれる金属元素の原子価状態の変化の評価は、絶対不可欠である。それらを調査できる候補が、Cs 補正付の STEM-EELS である。しかしながら、電極材料と複合酸化物の金属元素は、通常は重金属が使われるため、EELS では、それらの材料に対して十分な感度を持っていない。加えて、金属酸化物の候補である HfO₂ は、電子顕微鏡に先立ちイオンビーム加工により薄片化や電子ビーム照射によって、化学状態が変化させられることが知られている。その変化を防止するための

改善策を見出すことが、定量的な研究をするためには最も重要である。電子ビームの露光下で材料からの軟 X 線を検出することによって、材料の電子状態(価電子帯の電子状態密度)を高感度で研究することができる(X 線発光分光:XES)⁴⁷。この技術は、Redox-RAM 動作を研究するには強力なツールとなるだろう。抵抗スイッチングを理解するためいくつかの進歩があった。例えば、硬 X 線光電子分光法(HAXPES)は、ReRAM 積層構造での抵抗スイッチングの際に生じている化学的、電気的な変化によって誘導された電界の n-situ 非破壊評価に使用されている。

10.14.3. 新規探索材料に係わる環境、安全と健康のための計測(METROLOGY FOR ERM ENVIRONMENTAL SAFETY AND HEALTH)

作業場や環境中に存在するナノ粒子を検出できる計測法が必要されている。作業場や環境中でのナノ材料の挙動を理解することは、より良いリスク評価と材料管理上の実務(すなわち、適切な保護具、排気設備などの選択)を確立するために必要である。さらに、信頼性の高い計測技術が、実デバイスへの ERM の応用を評価するために必要です。産業衛生(工場での IH、有効化、再利用、リサイクル)は、ERM のためのより広範であることが必要である。

11. モデリング/シミュレーション (MODELING AND SIMULATION)

デバイスの次元が 14 nm かそれ以下になると、材料のモデリング或いは計算科学が技術開発にとって重大な部分となり、技術開発のいくつかの要素¹を提起するのに必要となる。これら要素とは

- 1) 構造や組成の合成、とりわけ複合材料の界面や材料の複数界面構造における場合、
 - 2) これらの構造の物性、界面物性や相転移、欠陥などの構造を含む。更にこれら構造における伝導特性や移動度などの非平衡物性、
 - 3) 試料とプローブとの相互作用の取り込みによる、構造、組成、物性の定量化の向上、
- である。

11.1. デバイスのモデリングとシミュレーションにおける機能のニーズ (DEVICE MODELING AND SIMULATION CAPABILITY NEEDS)

デバイスの次元が 14 nm 以下に縮小されるに従い、どのようなデバイス技術であっても、その動作機構の評価、デバイス構造の最適化を行う上でのモデリング機能の向上が必要となる。Table ERM17 に、様々な新機能デバイスのための材料モデリングのニーズを提示している。そのニーズは、材料合成からデバイス特性予測までを含む。ERM のモデリングとシミュレーションのニーズ(列 C-H)は、デバイス材料の実用性向上のために求められるものである。産業的な評価に近い位置づけにあるデバイスに対しては、デバイス構造の最適化に向けたモデリングのニーズを明確化している(J-R 列)。

Table ERM17 Device Material Modeling and Simulation Challenges and Needs

11.2. リソグラフィーのモデリングとシミュレーションのニーズ (LITHOGRAPHY MODELING AND SIMULATION NEEDS)

リソグラフィー材料のモデリングにおいては、ERM はブロック共重合体を用いた誘導自己組織化(DSA)に焦点を当てており、Table ERM18 にそのモデリングのニーズを提示している。10nm を下回るリソグラフィーの拡張技術として産業界が DSA 技術の評価を行うに従い、そのための材料の評価を支援するようなモデリングのニーズが増していくと考えられる。例えば、欠陥の無いパターン形成を可能にする新しい high- χ 材料の可能性の評価や、それを用いてリソグラフィーパターンを得るためのガイド構造の揺らぎの許容範囲を知る上でモデリングが必要とされることは明らかである。また、求められるデザインパターンを実際にウェハー上にパターン描画するマスク上のガイド構造に変換するための EDA ツールにおいては、その変換のための効率的な計算モデルにも重要なニーズがある。DSA を複数回起こさせる応用が現在考えられているが、この場合、自己組織化をガイドするパターン構造を設定する際には、パターン構造密度により発生する自己組織化同士の相互作用なども考慮して、欠陥の発生を最小にするように努めなくてはならない。ERM のモデリングとシミュレーションのニーズ(C-G 列)は、研究段階において DSA 材料の

実用性を向上させる上で必要とされるものである。産業的な評価に近い位置づけにある DSA 材料に対しては、ERM では、パターン構造の最適化のためのモデリングのニーズを明確化している(I-M 列)。

Table ERM18 Lithography Material Modeling and Simulation Challenges and Needs

11.3. 配線のモデリングとシミュレーションのニーズ (INTERCONNECT MODELING AND SIMULATION NEEDS)

配線は、低 κ 誘電体、極薄 Cu 拡散障壁層、そして理想的な配線材料の必要性という重要な課題に直面している。これら各技術における重要な課題を評価する上で必要となるモデリングとシミュレーションの機能を Table ERM19 で明確化している。その中で、現在研究段階にある配線材料や配線技術の実現可能性を評価する上で要求されるモデリングとシミュレーションの重要な機能を列 C-E に提示している。一方、ERM の観点から見て産業的なプロセス評価と開発を加速させるために必要とされるモデルを列 G-K に示している。これらのモデリングの精度の向上に向けては、評価の全ての局面において実験との密接な相互比較を行う事が必要である。

Table ERM19 Interconnect Material Modeling and Simulation Challenges and Needs

11.4. モデリングとシミュレーションの可能性 (MODELING AND SIMULATION CAPABILITIES)

デバイスの次元が 10nm スケールに下がると、原子スケールの材料モデリング・材料計算が技術開発に欠かせないものとなり、以下の節に述べるいくつかの要素技術にとって必要となる；モデリングが無ければデバイスの評価や開発は経験的・実験的に行うしかなく、コストも時間もかかる。更に重要なことは、実験だけで決定された動作領域は真の最適条件でない可能性があることである。以下の 3 つの知見を速く習得しようとするれば材料モデリングがどうしても必要となる。その理由は、縮小された次元では、デバイスの性能は構成する材料の性能に非常に強く依存するからである：

- 1) 構造や組成を正確に作成すること、特に界面や多層の材料の構造
- 2) これらの構造の相変化や欠陥の界面物理などの特性。更に、これらの構造の伝導度やキャリアー移動度などの非平衡下での特性。
- 3) 構造・組成・特性測定データの定量性を強化するための、測定により発生する試料との相互作用の理解。

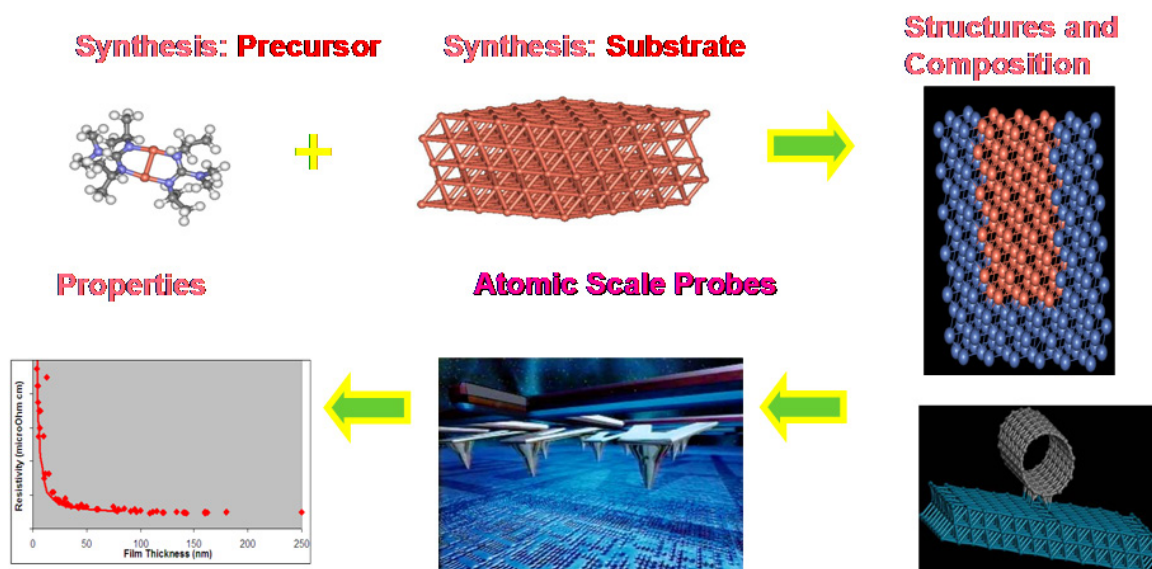


Figure ERM5

Modeling of Synthesis to Properties

精度や応用の最終的な要求レベルに応じて、種々のレベルの材料モデリングが適用される。材料の工業的応用はすべからず材料の持つ様々な特性、例えば電氣的、機械的、熱的特性や表面の化学活性などを同時に最適化することを要求する。もし材料全体のサイズがナノスケールなら、それは材料の粒界などのドメインとほぼ同じサイズである。このことによりナノスケール材料は革新的な性質をもち、それがナノスケール材料を、従来材料より優れた性能を持つものの候補、あるいは従来材料にとって代わるものの候補にするのである。しかしながら、複数の材料性能を一度に最適化するためには、ナノスケールの構造と材料特性を関係づけるモデルが必要である。材料モデリングが技術開発に有意な価値を提供できるためにはいくつかの段階がある。材料開発の初期における**最初の段階**では、目標とされる材料の性能と、材料の構造および材料の化学的性質とを関連付けることが要求される。これは、分光学的手法で材料の構造と性質を計測する技術と結びつけることで達成できる。それに加えて、膜生成を含む材料合成や材料の搬送工程を最適化するモデルが必要である。**第2の段階**では、モデリングは材料の性能向上に用いられる。具体的にはモデリングは構造・組成や純度、或いは複数材料の界面構造を最適化するのに用いられる。この時点で、先に述べたように、モデルにより材料の構造・組成が材料の性能と結び付けられる。**第3段階**では、モデルは材料の特性とその材料により構成されるデバイスの機能を関連付けるために用いられる。電子・フォノンの輸送から原子拡散までを理解する為に(デバイス加工により得られた)最終的な構造における材料性能も知られなくてはならない。この段階でモデリングは実験的観測と同時に材料作成と集積化を最適化する為に用いられる。

デバイス並びにそれを構成する材料の振る舞いは、材料の電子的構造や格子の物理現象と密接に関係する。これは電荷ベースのデバイスであれそうでないデバイスであれ共通のことであり、その理由はこの空間スケール(ナノスケール)での物理・化学現象が直接電子構造と結びついているからである。物理モデリングと数値シミュレーションは以下の理由により必須である；

1. 観測された現象を説明すること、
2. 新しい現象を予測すること、
3. 目標とする性能を引き出すために直接実験による研究を行うこと、
4. 測定結果を解釈すること。

それに加えて物理モデリングと数値シミュレーションは材料の生成機構と、生成プロセスと材料特性の相関に関する原理的な理解を提供してくれる。

ERM(Emerging Material Research)のために材料をある目的に使用しようと努力することは、結果として材料合成・構造・性質の原理的な理解と評価技術をもたらす。このことは、スイッチングデバイスであれ、配線であれ、またはパッケージングであれ、これらの技術の進歩のために新規材料を設計したり集積したりするのに必要な自然な論理の流れと言える。材料の合成方法や条件は、合成された工業材料の構造や組成を決定づけ、結果として得られた構造は材料の性質やデバイスとしての性能を決定づける。以下に示す図にあるように、モデルは異なる階層のスケールにまたがり、階層ごとに適切な仮定の元にシミュレーションされなくてはならない。材料シミュレーションを行う意図とは、集積化されたデバイスの振る舞いを変調する、原子スケール、ナノスケール、そして薄膜レベルでの化学量論的な要素を特定し定量化することである。

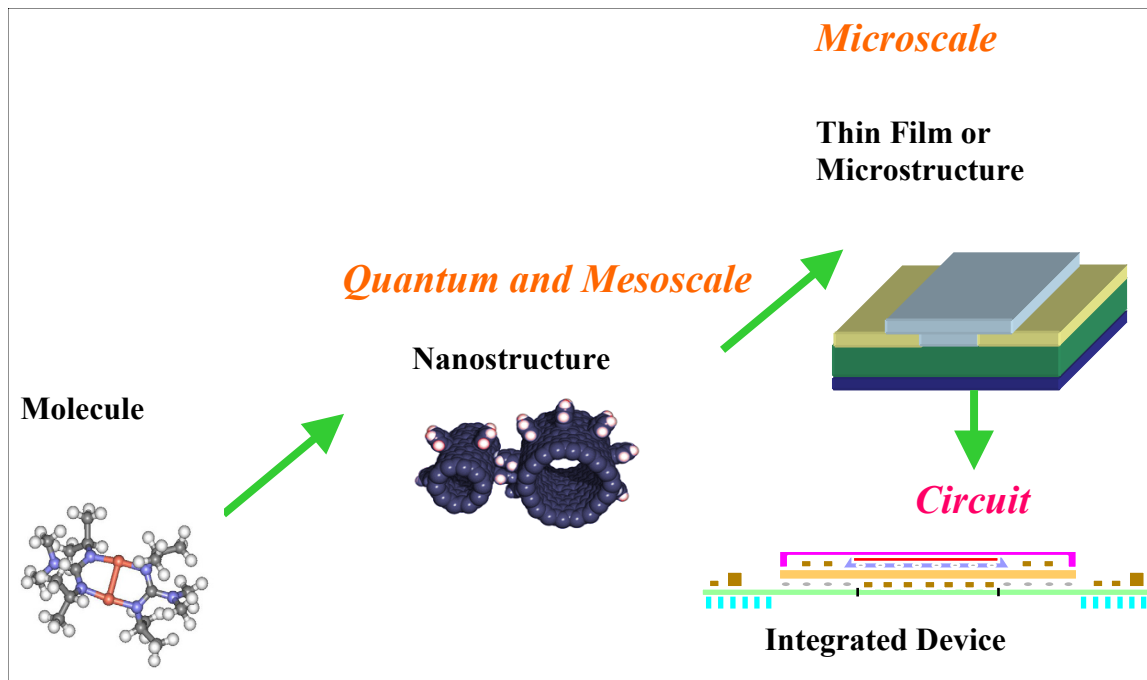


Figure ERM6

Modeling from Molecules to Circuits

以下に述べる複数個の要因の複雑性が増しているため、ナノスケールでの材料モデリングの複雑性もどんどん増している。

1. コンビナトリアル(組み合わせ論的)な特徴: high-k/メタルゲート、ポーラスな(low-k?)誘電体、銅配線、パッケージのためのポリマー材料など幾つかの新物質からなるシステムが開発されているのをうけて、研究対象となる材料の数は増え続けている。(この 20 年周期で構成元素は 3 倍以上増大している)この事実から、過去と比較して、単位開発期間において、使用されるべき材料の組み合わせの数は 10 倍以上も増大しているとも議論されている。
2. ナノスケールの次元: 殆どのデバイスの次元(サイズ)は材料のドメインサイズ(粒界のサイズ、薄膜の膜厚)に迫っている。その結果、デバイスに特徴的なサイズでの材料特性がそのデバイスの性能を決定づけている。例えば、どんな金属による配線でも、その特徴的なサイズが縮小されていくにつれ、表面での散乱行程が配線抵抗を支配していると推測されている。特に、バルクの性質が支配していた前世代の材料とは異なり、バルクに対する表面積の比率がどんどん大きくなる状況下ではデバイスの全体の性能は界面の性質で決定される。更に、小さくなる次元に含まれる原子数がどんどん減るにつれ統計的なばらつきが大きくなってきている。
3. トポグラフィー(立体構造): 非平面的なデバイスでは、単一種の結晶性材料でもデバイスを構成する界面に依存してあらゆる結晶方位を向いているので、材料の立体構造はデバイスの振る舞いを変調させている。この傾向は、多結晶やアモルファスのような粒界を持っている材料ではもっと複雑で、これらの構造的な要素が性能のばらつきを生み出す。
4. ナノ構造や分子のトポロジー: 電子やフォノンの状態密度は化学結合や電子のバンド構造で決定される。この効果を測定やモデリングで解析することは重要で、それはデバイスの機能的性質がトポロジーにて決定されているからである。例えばカーボンナノチューブやグラフェンシートは高い電気伝導性と機械的強度を示すが、それらの特徴はカーボンナノチューブやグラフェンの配向とトポロジーにて決定されている。(元文のままの翻訳: 著者のいうトポロジーの定義は立体構造か?)
5. 強い電子相関: 電子相関の強い物質においては、バンド理論により強い相関相互作用を容易に予測できない。これは、伝統的な密度汎関数理論がこれらの強相関材料では成り立つ

ていないからである。この強い相関に関連するもう一つの性質が金属-絶縁体転移で、この転移には複数もの物理的な機構が働いていて複雑な物理現象となっている²。

11.4.1. 合成 (SYNTHESIS)

合成(の過程)は薄膜の構造と組成を決定づける。材料の性能を予測するには、性能に関連する構造に対処した評価技術と物理モデリングが必要である。材料自体は結晶だったり、多結晶だったり、半結晶(準結晶の言い間違い?)だったり、アモルファスだったり、粘性流体だったりする。バルク材料においてさえも構造が材料の振る舞いを決定づける³。例えば、ある(100)結晶方向を持った薄膜と(111)方向の薄膜では電気抵抗が異なる。実際の構造は決して理想的な単結晶薄膜ではないので、粒界のモフォロジーやサイズの評価を含んだ薄膜の完璧な構造評価が必要である。

材料合成行程は、材料のモフォロジーやエンドユーザーの欲しがる応用を決定づける。例えば、ナノチューブの成長や化学修飾は、反応容器の化学的電氣的条件と成長基板との相互作用に左右される。合成方法に依存して、成長中の工程にかかわる(in-situ)要求と成長後の工程に関わる(ex-situ)要求は異なる。例えば、低圧成長工程で作成される材料の評価において、成長後の(ex-situ)測定は酸化による結果を見ており、薄膜の本来の性質を変えてしまっている。モデリングの視点に立っていえば、重要なモデリングへの要求はプロセスの果たす役割や機構、その合成行程に特徴的な構造を理解することである。例えば原子層デポジションにおいて、物理モデルは、材料やエネルギーの輸送に加え、材料のガス相から表面化学反応までを包括しないと行けない。薄膜の核形成はその後の成長における薄膜のモフォロジーやナノ構造を決定づけるが、それらの現象の理解と予測も、モデリングを必要としている。また、成長行程中に一時的に現れる新規構造の記述に加えて、量子ドットやナノワイヤ構造に見られるような多くの系にて、空間的な(自発的な)配向現象を記述することも要求されている^{4,5}。古典的な核形成と成長モデルは、いくつかのナノスケールサイズの相変態メモリ材料を適切に表現していることも記載しておく⁶。

ナノスケール材料のモフォロジーを制御するには相の安定性や原子スケール行程におけるダイナミクスの理解が欠かせない。原子間距離と比較してそんなに大きくないナノスケールのシステムにおいては、熱力学的な示量性、示強性の性質というものはもはや正当な考え方ではないかもしれない。これらのようなケースでは、無限に大きな系で有効な熱力学的極限下でのギブスの法則による相転移という古典的概念はもはや成り立たないかもしれない^{7,8}。相転移のダイナミクスを理解できる理論が、このような有限サイズの系における相転移むけに発達することが、ある種のナノスケール材料の核形成と成長を制御するのにおそらく必要になるだろう。ナノスケールの相転移が起きるのが観測されるきっかけとなる断片化の現象を記述し予測することは、統計物理学における大きな挑戦課題である。古典的な核形成や原子スケールの形成に基づく理論ではなく物質の密度揺らぎに立脚した密度汎関数理論(注:ここでは電子系の密度汎関数理論とは異なる)^{9,10}が小さな系での相転移や断片化の記述にふさわしい道具となるかどうかとも検証されないといけな。合成手法ごとに特徴づけられる構造は物理モデルの入力データとして役に立つ。解くことが可能な問題サイズの制限がある中で、異なる範囲にある長さや時間のスケールの手法を組み合わせた手法は、材料の構造を効果的にモデリングするのに必要である。

11.4.2. 構造と性質 (STRUCTURE AND PROPERTIES)

凝集系において材料の性質そのものは電子のバンド構造に基づいている。ある構造が与えられたもとで、シュレディンガー方程式は、材料の化学的、電子的、機械的、そして熱的性質を決定する。ひるがえると、その構造に含まれる電子の数に対応した超次元空間でのシュレディンガー方程式の性質が決定される。凝集系に含まれる電子の数がとても多く(材料の1立方センチメートル当たり 10^{22} 個から 10^{23} 個ぐらい)になると、実際のマクロな系における方程式の解は一般的に一通りか二通りの近似的な手法で求めることができる; 1) 一体近似 そして/あるいは 2) 異なるスケールで全く異なる方式を集めた多階層のスケール(マルチスケール)の手法がそれである。モデルそのものはある特定な物理現象に基づいて異なるスケールを有している。原子や分子のスケールのモデルは、上に述べたシュレディンガー方程式のセルフコンシステントな解に基づいている。デバイスや、バリア層を使った配線などのナノ構造のモデルでは、古典力学、量子論扱いに基づくマルチスケールの手法を用いる。ゲート酸化膜やバリア層などの薄膜のスケールはメソスケールの特徴を有し、マクロスケールレベルでは古典力学と結びつきミクロスケールレベル

では原子スケールモデルとつながっている。ダイやパッケージなどのマクロなスケールの局面では、異なる刺激に対する材料の応答を記述するモデルを構築する為に、材料のバルクの性質或いは実効的な性質がモデルに取り込まれる。ERM の領域では研究の主眼は最初の 3 段階のレベルで、それは原子、分子そしてナノ構造のスケールが強調される。現状では材料の寸法は 32nm かそれ以下になっているので、集積された材料の、このサイズでの振る舞いはバルクの時よりも異なるであろう。それに加え、このナノ次元におけるデバイスの、実際の大気下での使用条件における性能や信頼性を、過酷な条件下にて最適にする(つまり加速試験の条件下で最適にする)には、フォノン相互作用やその他の長時間スケールの行程を含んだモデリングが必要になる。その他のスケールのモデリングの詳細はこのロードマップのモデリングとシミュレーションの章で述べられている。

3N 次元系(3 次元空間の N この量子論的な粒子があるという意味)で最も広く使用されている密度汎関数理論(DFT)は、3 次元的な問題を殆ど基底状態の問題に限定している^{11,12}。この近似は一般的に 2 種類の要素で記載できる。一つは波動関数の非局所的性質をどんな系でも汎用的にとらえられるように密度汎関数を改良すること、もう一つは交換相関項の汎関数を解析的な関数と近似する(例えばメタ汎関数?)ということである。(原文の表現の精度は議論の余地あり)

最も広く使用されているのは局所密度汎関数近似(LDA)¹³で、N 個の電子に対し N-1 個の電子を相互作用ポテンシャルと扱い一個の電子の 3 次元問題に帰着させている(著者の記載は間違いで、LDA は全電子の密度で汎関数を作成し、それを個々の電子への有効ポテンシャルとしている。従って、自己相互作用の項を補正する余地を残した近似となっている)より高精度の近似は一般勾配近似(GGA)^{14,15}で、DFT の適用範囲を広げている。しかし、広範囲の材料に適用できる交換相関相互作用の汎関数形があるか否かは現在も議論の余地がある。

全電子をフルに量子論的に扱うシミュレーション、或いは *ab initio* なシミュレーションは原子数にして 1000 から 5000 個まで、つまり体積にしておおよそ 30 立方ナノメートルのスケールを扱うことができる。これらの領域を扱うモデルは、量子力学に基づいて 3N 次元のシュレディンガー方程式を解くものである。ここで N は扱う系に含まれる電子の数である。前にも述べたようにほとんどのデバイスは凝集系なので、N は 1 立方センチメートル当たり 10^{22} 個である; 近似において異なる手法がありそれぞれが扱う電子数、あるいは使用する基底関数の数によって計算時間がスケールする; 密度汎関数理論では N^3 にスケールする、すなわち $O(N^3)$, N を基底関数の数とするとハートリーフォック近似では $O(N^4)$, 幾つかの結合クラスター近似では $O(N^7)$ になる。このことが、材料合成化学や材料の解析などといった実用的な応用の目的で方程式の数値解を得ることができる範囲を限定している。並列計算の技術を御応用した巨大スケール量子力学計算のための高効率アルゴリズムが現在も進歩しつつある¹⁶。

それに加え、モット転移やスピン・軌道相互作用といった複雑な性質のせいで、物質の多体理論も応用目的のシミュレーションの主な部分を占めるようになってき¹⁷⁻²⁰。多体問題の高次の近似のいくつかの例として、グリーン関数を用いた GW 近似、量子モンテカルロ計算や経路積分の手法などがある。これらの手法は物質の平衡、非平衡の性質を先に述べた平均場の近似を用いないでモデリングするものである。最初の手法はセルフコンシステントに多体の効果を摂動論的に含める手法である(訳注:GW 計算の事を言っているのならこの記述は正確ではない)そのほかの量子現象を扱うモデルは幾通りかある。1)統計的数値計算の手法で(多体の)シュレディンガー方程式を解く方法と、2)直接解を得るためにファイマンの経路積分の方法を適用する方法。これらの方法は全て計算負荷が高く適用できる物理問題のサイズを限定している。

上記の方法の限界のため、一億個の原子を含むより大きな問題に適用される半経験的な手法も価値のある選択肢となっている。これらの半経験的手法は相互作用を記述するポテンシャルの種類の違いにより特徴づけられる。より簡便化されたモデル(簡便な力場モデルなど)を用いれば一億原子を越えたサイズの問題も扱えるようになる。このような半経験的な方法は以下のとおりである:

1. 量子論的なシミュレーション結果をもとに作られた相互作用ポテンシャルによる古典分子動力学の手法。この手法は物質の成長/合成の手法開発に応用されている。例えば物理気相蒸着法などがある²¹。
2. ボルン・オッペンハイマー近似のような(第一原理的な)ハイブリッド手法。ここでは電子は量子論的に、イオンは古典的に扱う。これの拡張した手法がカー・パリネロ法によるセルフコンシステントな計算で、電子系と格子系ともに平衡状態に達するまで動的に解く。
3. 第一原理(*ab initio*) 計算や或いは古典モデルにより得られた断熱ポテンシャル上の動的モンテカルロ計算により統計学的に系の時間発展問題を扱う。分子動力学法と異なりこの手法では直接系の実時間のダイナミクスは追わない代わりに長時間のシミュレーションを可能とする。この手法は核形成²²,や超低压雰囲気下の化学気相蒸着²³の問題に応用されている。

上記に示した手法はいくつかの応用分野でその有用性が示されているが、実際に必要な系のサイズ(およそ 100 ナノメートル)や物理的時間スケール(およそマイクロ秒から秒)に合うようにスケールアップされる必要がある。

近年の理論的手法の進歩にもかかわらず、それを実用上の興味を持たれている系に定量的に適用するにはまだ多くの制約がある。近年の(実用的に要望されている)応用として、平衡状態におけるエネルギー(自由エネルギーの事か?), 状態密度、反応速度、1000 個に 1 個の割合で欠陥が存在した場合の影響、界面におけるナノスケールの電気伝導が含まれる。量子力学的なスケールでは、現状で有用なモデルには制約がある。現状のモデリング技術で問題となる課題は以下のように列挙できる:

- 1) 扱う系をより大きく(数十ナノメートルぐらい)にして、平衡状態の計算や性質やプロセスの温度依存性を扱えるようにすること (これは、リニアスケールの DFT($O(N)$)法の事か?) 或いはマルチスケールの方法(古典・量子ハイブリッドの扱いの事か?)により達成されるだろう。)
- 2) 遷移金属やランタノイド・アクチノイド系の金属による系。これらは(DFT の)汎関数形の特異的なものを必要とし、より精度の高い手法で(計算精度が)検証されなくてはならない。
- 3) バンドギャップの(精度に関する)より一般的な(手法の)拡張。現在開発されている(DFT や)ハイブリッドやメタ(原文では *meta* を *metal* と誤記)汎関数形は、それらを応用した計算における有意性を受け入れる前に、(物理的性質、或いは汎関数の数学的性質を)徹底的に検証しなくてはならない。今までによく検証されているモンテカルロ法や時間依存密度汎関数理論も、現在もおナノスケール系に適用する理論として提示しておかなくてはならない。これらの理論には新しい可能性があり大きな系への応用への拡張も可能である。(記者注: 時間依存密度汎関数理論に関しては、密度汎関数理論に比べて大きな系への応用に特段のメリットがあるわけではない。)
- 4) 電子構造の予測と電気伝導のような非平衡プロセスの予測を結合させ、応用領域を広げることが必要となる。それは殆どのデバイスが非平衡な状況で動作させられているからである。しかし、現状の理論を多数の界面を有する実用的な系に拡張するには制限がある。今後より一層の研究が必要になるのはまさにこの計算手法の分野で、金属(電気伝導)、半導体(移動度)、絶縁体(誘電応答の周波数依存性)等様々な系への応用の可能性が示されなくてはならない。さらに、酸化物複合系やモット絶縁体など強相関係を理解できるほどに拡張されることも必要である。
- 5) 原子やイオンの外場への応答を含んだ格子物理、これは摂動理論の上に立脚する。この理論はバルク材料に適用されてきた。外場下で界面を有するナノスケールの系にこの理論を拡張することが実際のデバイスの問題を提示するのに必要になる。
- 6) フェムト秒スケールの量子モデルをマイクロ秒、或いはもっと長い時間スケールに拡張し、実際の成長や輸送の問題にあたること。特に分子動力学法やモンテカルロ法はともに量子力学的手法と古典的手法の両方の上に成り立っており、長時間スケールへの拡張はとりわけ難しいが必要である。結果として物理的にマルチスケールな手法を選択することが系の性質や

ある特殊な物性に対処する為に適切な手法となっている。これらのマスチスケールな手法の関連を示したのが以下の図になる²⁴。

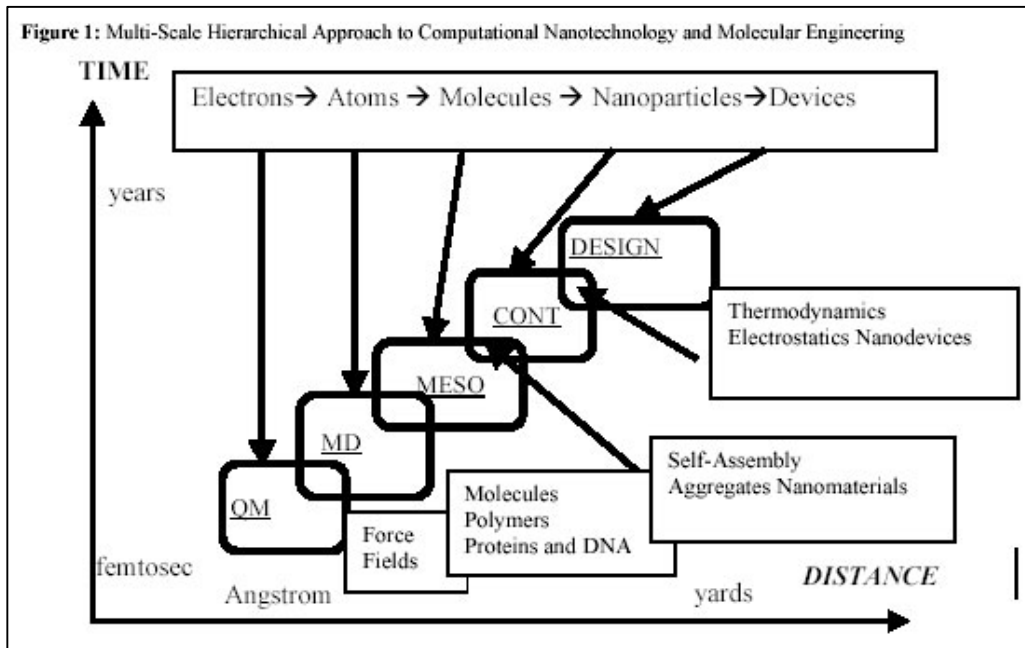


Figure ERM7

Multiscale Modeling

11.4.3. 計測や評価のモデリング (MODELING FOR METROLOGY AND CHARACTERIZATION)

以前にも述べたが、新規材料の性質が解明されれば、より新しい構造や、別の材料との複雑な相互作用を考慮した材料生成を先導するモデルが発展するに違いない。よりよく解析された構造を提供することにより構築された実験データベースが確立すれば、フルに第一原理的でセルフコンシステントな簡便なモデルの開発が加速するであろう。ナノスケールの精度でより定量的な材料の性質のマッピングをなすにはナノスケール構造同士の相互作用を探るモデルの開発が必要となる。TEM、AFM、電気伝導 AFM、ケルビンフォースの AFM、磁気力顕微鏡やその他の新規技術により、物質の構造や特性のマッピングの精度が向上すれば、ナノスケールの材料モデルも発展する。一方で計測を解釈するシミュレーションも計測技術を向上させる。

まとめると、モデリングと計測双方から課題として提示される物質の性質は以下になる;

- 1) 電子物性 (金属、炭素系、半導体、そして絶縁体)
 - a. サイズや構造の依存性
 - b. バンドギャップを含む電子準位
 - c. スピン軌道結合
 - d. 状態密度
- 2) 光物性 (光学特性)
 - a. 以下の物質における光学係数行列の実部と虚部
 - i. 個々のナノ構造を持つ材料
 - ii. ナノ材料の複合体
 - iii. 極薄コーティングされたナノ材料
 - b. 光化学反応 (紫外線耐性, 劣化機構)

- 3) 機械的性質
 - a. 界面接着と関連する界面物性
 - b. 短距離・長距離力、ファンデアワールス力などを含む
- 4) 熱特性
 - a. 熱容量
- 5) 伝導特性
 - a. 電子の伝導度と移動度 (電子キャリアー寿命)
 - b. 熱伝導 (フォノン寿命)
- 6) 界面特性
 - a. 界面準位
 - b. 仕事関数
 - c. 界面での伝導や散乱
 - d. 界面での化学結合の破壊や反応性
 - e. 表面エネルギーと欠陥準位

12. 新探究材料のトランジション・テーブル(ERM TRANSITION TABLE)

2013 年度版においては、表 ERM20 に示すように、ERM の章に含まれる材料のスコープに大きな変化があった。遷移金属ダイカルコゲナイド(MoS_2 , MoSe_2 , WS_2 , etc.)が代替チャネル材料の候補として加えられた。これは、これら二次元材料がバンドギャップを持ち、高い移動度を持つ可能性があるためである。希土類カルコゲナイドがデバイスセクションに加えられたが、これは新探求デバイスを可能にする、あるいは助ける可能性があるピエゾ抵抗特性を有するためである。トポロジカル絶縁体もデバイスセクションに加えられたが、将来の新奇デバイス、配線の素子として、これら新探求材料、表面の研究の進展をモニターするためである。FEP を支援するために、ERM は超高誘電率材料($\text{EOT} < 0.5\text{nm}$)や超低抵抗コンタクトにも注目した。Assembly and Packagingを支援するために、NanoInkが複数の応用のために加えられたほか、実装コストの低減と適度な遮蔽特性をもたらす、新奇 EMI 遮蔽材料が加えられた。

Table ERM20 ERM Transition Table

13. REFERENCES

Emerging Research Device Materials

- [1] N. Setter, D. Damjanovic, L. Eng, G. Fox, S. Gevorgian, S. Hong, A. Kingon, H. Kohlstedt, N.Y. Park, G.B. Stephenson, I. Stolitchnov, A.K. TagansteV, D.V. Taylor, T. Yamada, and S. Streiffer, "Ferroelectric Thin Films: Review of Materials, Properties, and Applications," *J. Appl. Phys.*, vol. 100, pp. 051606, 2006.
- [2] Q. Li, M. Takahashi, T. Horiuchi, S. Wang, and S. Sakai, "Threshold-Voltage Distribution of Pt/SrBi₂Ta₂O₉/Hf–Al–O/Si MFIS FETs," *Semicond. Sci. Technol.*, vol. 23, pp. 045011, 2008.
- [3] L. L. Chang, L. Esaki, "Nonvolatile Schottky Diode with Barrier Height Controlled by Ferroelectric Polarization," *IBM Tech. Discl. Bull.*, vol. 14, 1250, 1971.
- [4] E.Y. Tsymbal, H. Kohlstedt, "Tunneling Across a Ferroelectric," *Science*, vol. 313, pp. 181, 2006.
- [5] M. Gajek, M. Bibes, S. Fusil, K. Bouzehouane, J. Fontcuberta, A. Barthélémy, and A. Fert, "Tunnel junctions with multiferroic barriers," *Nature Materials*, vol. 6, pp. 296, 2007.
- [6] V. Garcia, S. Fusil, K. Bouzehouane, S. Enouz-Vedrenne, N.D. Mathur, A. Barthélémy, M. Bibes, "Giant tunnel electroresistance for non-destructive readout of ferroelectric states," *Nature*, vol. 460, pp. 81, 2009.
- [7] A. Gruverman, D. Wu, H. Lu, Y. Wang, H.W. Jang, C.M. Folkman, M. Ye Zhuravlev, D. Felker, M. Rzchowski, C.-B. Eom, and E. Y. Tsymbal, "Tunneling Electroresistance Effect in Ferroelectric Tunnel Junction at the Nanoscale," *Nano Letters*, vol. 9, pp. 3539, 2009.
- [8] P. Maksymovych, S. Jesse, P. Yu, R. Ramesh, A.P. Baddorf, S.V. Kalinin, "Polarization Control of Electron Tunneling into Ferroelectric Surfaces," *Science*, vol. 324, pp. 1421, 2009.
- [9] A. Crassous, V. Garcia, K. Bouzehouane, S. Fusil, A.H.G. Vlooswijk, G. Rispens, B. Noheda, M. Bibes, A. Barthélémy, "Giant tunnel electroresistance with PbTiO₃ ferroelectric tunnel barriers," *Appl. Phys. Lett.*, vol. 96, 042901, 2010.
- [10] D. Pantel and M. Alexe, "Electroresistance effects in ferroelectric tunnel barriers," *Phys. Rev. B*, vol. 82, pp. 134105, 2010.
- [11] E.Y. Tsymbal, A. Gruverman, V. Garcia, M. Bibes, and A. Barthélémy, "Ferroelectric and multiferroic tunnel junctions," *Mater. Res. Soc. Bull.*, vol. 37, pp. 138, 2012.
- [12] A. Chanthbouala, A. Croussous, V. Garcia, K. Bouzehouane, S. Fusil, X. Moya, J. Allibe, B. Dlubak, J. Grollier, S. Xavier, C. Deranlot, A. Moshar, R. Proksch, N.D. Mathur, M. Bibes, A. Barthélémy. "Solid-state memories based on ferroelectric tunnel junctions," *Nature Nanotech.*, vol. 7, pp. 101, 2012.
- [13] H. Lu, C.-W. Bark, D. Esque de los Ojos, J. Alcala, C.B. Eom, G. Catalan and A. Gruverman, "Mechanical Writing of Ferroelectric Polarization," *Science*, vol. 336, pp. 59, 2012.
- [14] H. Lu, D.J. Kim, C.W. Bark, S. Ryu, C.B. Eom, E.Y. Tsymbal, A. Gruverman, "Mechanically-Induced Resistive Switching in Ferroelectric Tunnel Junctions," *Nano Lett.*, vol. 12, pp. 6289, 2013
- [15] A. Chanthbouala, V. Garcia, R. O. Cherifi, K. Bouzehouane, S. Fusil, X. Moya, S. Xavier, H. Yamada, C. Deranlot, N.D. Mathur, M. Bibes, A. Barthélémy and J. Grollier, "A ferroelectric memristor," *Nature Mater.*, vol. 11, pp. 860, 2012.
- [16] D.J. Kim, H. Lu, S. Ryu, C.W. Bark, C.B. Eom, E.Y. Tsymbal, A. Gruverman. "Ferroelectric Tunnel Memristor," *Nano Lett.*, vol. 12, pp. 5697, 2012.
- [17] Z. Wen, C. Li, D. Wu, A. Li and N. Ming, "Ferroelectric-field-effect-enhanced electroresistance in metal/ferroelectric/semiconductor tunnel junctions," *Nature Mater.*, vol. 12, 619, 2013.
- [18] S. Sakai and R. Ilangoan, "Metal–Ferroelectric–Insulator–Semiconductor Memory FET With Long Retention and High Endurance," *IEEE Elect. Dev. Lett.*, vol. 25, pp. 369-371, 2004.
- [19] J. Müller, T. S. Böske, U. Schröder, R. Hoffmann, T. Mikolajick, and L. Frey, "Nanosecond Polarization Switching and Long Retention in a Novel MFIS-FET Based on Ferroelectric HfO₂," *IEEE Elect. Dev. Lett.*, vol. 33, pp. 185-187, 2012.
- [20] V. V. Zhirnov, R. K. Cavin, S. Menzel, E. Linn, S. Schmelzer, D. Brauhaus, C. Schindler, and R. Waser, "Memory Devices: Energy–Space–Time Tradeoffs," *Proceedings of the IEEE*, vol. 98, pp. 2185-2200, 2010.
- [21] M. Aono, and T. Hasegawa, "The Atomic Switch," *Proc. of the IEEE*, vol. 98, 2228-2236, 2010.

- [22] H. Akinaga and H. Shima, "Resistive Random Access Memory (ReRAM) Based on Metal Oxides," *Proc. IEEE*, vol. 98, pp. 2237-2251, 2010.
- [23] R. Degraeve, A. Fantini, S. Clima, B. Govoreanu, L. Goux, Y.Y. Chen, D.J. Wouters¹¹, Ph. Roussel, G.S. Kar, G. Pourtois, S. Cosemans, J.A. Kittl, G. Groeseneken¹¹, M. Jurczak, and L. Altimime, "Dynamic 'Hour Glass' Model for SET and RESET in HfO₂ RRAM," in *Symposium on VLSI Technology Digest of Technical Papers*, pp 75-76 2012.
- [24] I. Valov, R. Waser, J.R. Jameson and M. N. Kozicki, "Electrochemical metallization memories—fundamentals, applications, prospects," *Nanotechnology*, vol. 22, pp. 254003 22 pages), 2011.[25] J. R. Jameson, N. Gilbert, F. Koushan, J. Saenz, J. Wang, S. Hollmer, and M. N. Kozicki, "One-dimensional model of the programming kinetics of conductive-bridge memory cells," *Appl. Phys. Lett.*, vol. 99, pp. 063506, 2011.
- [26] K.-L. Lin, T.-H. Hou, J. Shieh, J.-H. Lin, C.-T. Chou, and Y.-J. Lee. "Electrode dependence of filament formation in HfO₂ resistive-switching Memory," *J. of Appl. Phys.*, vol. 109, pp. 084104, 2011.
- [27] D.-H. Kwon, K. M. Kim, J. H. Jang, J. M. Jeon, M. H. Lee, G. H. Kim, X.-S. Li, G.-S. Park, B. Lee, S. Han, M. Kim, and C. S. Hwang, "Atomic structure of conducting nanofilaments in TiO₂ resistive switching memory," *Nature Nanotech.*, vol. 5, pp. 148-153, 2010.
- [28] Y. Y. Chen, G. Pourtois, C. Adelmann, L. Goux, B. Govoreanu, R. Degreave, M. Jurczak, J. A. Kittl, G. Groeseneken, and D. J. Wouters, "Insights into Ni-filament formation in unipolar-switching Ni/HfO₂/TiN resistive random access memory device," *Appl. Phys. Lett.*, vol. 100, pp. 113513, 2012.
- [29] D.S.Jeong, H Schroeder, and R. Waser, "Coexistence of bipolar and unipolar resistive switching behaviors," *Electrochem. Solid-State Lett.*, vol. 10, pp. G51-G53, 2007.
- [30] L. Goux, Y.-Y Chen, L. Pantisano, X.-P. Wang, G. Groeseneken, M. Jurczak, and D. J. Wouters, "On the Gradual Unipolar and Bipolar Resistive Switching of TiN/HfO₂/Pt Memory Systems," *Electrochemical and Solid-State Letters*, vol. 13, pp. G54-G56, 2010.
- [31] S. H. Chang, S. C. Chae, S. B. Lee, C. Liu, T. W. Noh, J. S. Lee, B. Kahng, J. H. Jang, M. Y. Kim, D.-W. Kim, and C. U. Jung, "Effects of heat dissipation on unipolar resistance switching in Pt/NiO/Pt capacitors," *Appl. Phys. Lett.*, vol. 92, pp. 183507, 2008.
- [32] A. Kalantarian, G. Bersuker, D.C. Gilmer, D. Veksler, B. Butcher, A. Padovani, O. Pirrotta, L. Larcher, R. Geer, Y. Nishi, and P. Kirsch, "Controlling Uniformity of RRAM Characteristics Through the Forming Process," in *Proceedings of the IEEE International Reliability Symposium*, 2012.
- [33] S. J. Kim, M. G. Sung, M. S. Joo, W. G. Kim, J. Y. Kim, J. H. Yoo, J. N. Kim, B. G. Gyun, J. Y. Byun, J. S. Roh, S. K. Park, and Y. S. Kim, "Characteristics and the Model of Resistive Random Access Memory Switching of the Ti/TiO₂ Resistive Material Depending on the Thickness of Ti," *Jpn. J. of Appl. Phys.*, vol. 50, pp 04DD14 1-4, 2011.
- [34] P. Lorenzi, R. Rao, and F. Irrera, "Forming Kinetics in HfO₂-Based RRAM Cells," *IEEE Trans. Elec. Dev.*, vol. 60, pp 438-443, 2013.
- [35] Z. Q. Wang, H. Y. Xu, L. Zhang, X. H. Li, J. G. Ma, X. T. Zhang and Y. C. Liu, "Performance improvement of resistive switching memory achieved by enhancing local-electric-field near electromigrated Ag-nanoclusters," *Nanoscale*, vol. 5, pp 4490-4494, 2013.
- [36] A. Sawa, T. Fujii, M. Kawasaki, and Y. Tokura, "Hysteretic current-voltage characteristics and resistance switching at a rectifying Ti/Pr_{0.7}Ca_{0.3}MnO₃ interface," *Appl. Phys. Lett.*, vol. 85, pp. 4073, 2004.; Oxide Dual-Layer Memory Element for Scalable Non-Volatile Cross-Point Memory Technology, R. Meyer, L. Schloss, J. Brewer, R. Lambertson, W. Kinney, J. Sanchez, and D. Rinerson, IEEE NVMTS, 2008; The Effect of Tunnel Barrier at Resistive Switching Device for Low Power Memory Applications, Hyejung Choi et al., IEEE International Memory Workshop, 2011.
- [37] Y.Y. Chen, L. Goux, L. Pantisano, J. Swerts, C. Adelmann, S. Mertens, V.V. Afanasiev, X.P. Wang, B. Govoreanu, R. Degraeve, S. Kubicek, V. Paraschiv, B. Verbrugge, N. Jossart, L. Altimime, M. Jurczak, J. Kittl, G. Groeseneken, and D.J. Wouters, "Scaled X-bar TiN/HfO₂/TiN RRAM cells processed with optimized plasma enhanced atomic layer deposition (PEALD) for TiN electrode," *Microelectronic Engineering*, vol. 112, pp. 92-96, 2013.
- [38] H. Shima and H. Akinaga, "In-situ Nanoscale Characterization of Annealing Effect on TiN/Ti/HfO_x/TiN Structure for Resistive Random Access Memory (ReRAM)," in 2012 12th IEEE International Conference on Nanotechnology (IEEE-NANO), 20-23 August 2012, Birmingham, United Kingdom.[37] L. Zhao, S.-G. Park, B. Magyari-Kope, and Y. Nishi, "Dopant selection rules for desired electronic structure and vacancy formation characteristics of TiO₂ resistive memory," *Appl. Phys. Lett.*, vol. 102, pp. 083506, 2013.

- [39] L. Zhao, S.-G. Park, B. Magyari-Kope, and Y. Nishi, "Dopant selection rules for desired electronic structure and vacancy formation characteristics of TiO₂ resistive memory," *Appl. Phys. Lett.*, vol.102, pp. 083506, 2013.
- [40] J. Celinska, C. McWilliams, C. Paz de Araujo, K.-H. Xue, "Material and process optimization of correlated electron random access memories," *J. Appl. Phys.*, vol. 109, pp. 091603, 2011.
- [41] H. S. Lee, S. G. Choi, H.-H. Park, and M. J. Rozenberg, "A new route to the Mott-Hubbard metal-insulator transition: Strong correlations effects in Pr_{0.7}Ca_{0.3}MnO₃," *Scientific Reports*, vol. 3, pp. 1704, 2013.
- [42] J. Mannhart and D. G. Schlom, "Oxide Interfaces—An Opportunity for Electronics," *Science*, vol. 327, pp. 1607, 2010.
- [43] M. K. Niranjana, Y. Wang, S. S. Jaswal, and E. Y. Tsybal, "Prediction of a switchable two-dimensional electron gas at ferroelectric oxide interfaces," *Phys. Rev. Lett.*, vol. 103, pp. 016804, 2009.
- [44] F. Verbakel, S.C.J. Meskers, R.A.J. Janssen, "Electronic memory effects in diodes from a zinc oxide nanoparticle-polystyrene hybrid material," *Appl. Phys. Lett.*, vol. 89, pp. 102103, 2006.
- [45] J.L. Pitters and R.A. Wolkow, "Detailed Studies of Molecular Conductance Using Atomic Resolution Scanning Tunneling Microscopy," *Nano Lett.*, vol. 6, pp. 390, 2006.
- [46] Z.J. Donhauser, B.A. Mantooth, K.F. Kelly, L.A. Bumm, J.D. Monnell, J.J. Stapleton, D.W. Price, Jr., A. M. Rawlett, D. L. Allara, J. M. Tour, and P. S. Weiss, "Conductance Switching in Single Molecules Through Conformational Changes," *Science*, vol. 292, pp. 2303, 2001.
- [47] A. Shindome, Y. Doioka, N. Beppu, S. Oda and K. Uchida, "Experimental Study of Two-Terminal Resistive Random Access Memory Realized in Mono- and Multilayer Exfoliated Graphene Nanoribbons," *Jpn. J. of Appl. Phys.*, vol. 52, pp. 04CN05-1-5, 2013.
- [48] S. Bertolazzi, D. Krasnozhan, and A. Kis, "Nonvolatile Memory Cells Based on MoS₂/Graphene Heterostructures," *ACS Nano*, vol. 7, pp.3246-3252, 2013.
- [49] M. S. Choi, G.-H. Lee, Y.-J. Yu, D.-Y. Lee, S. H. Lee, P. Kim, J. Hone and W. J. Yoo, "Controlled charge trapping by molybdenum disulphide and graphene in ultrathin heterostructured memory devices," *Nature Comms.* 4:1624, pp1-7 2013.
- [50] T. Dürkop, S.A. Getty, E. Cobas, and M.S. Fuhrer, "Extraordinary Mobility in Semiconducting Carbon Nanotubes," *Nano Lett.*, vol. 4, pp. 35-39, 2004.
- [51] G. S. Tulevski, A. D. Franklin, and A. Afzali, "High Purity Isolation and Quantification of Semiconducting Carbon Nanotubes via Column Chromatography," *ACS Nano*, vol. 7, pp. 2971-2976, 2013.
- [52] H. Liu, T. Tanaka, Y. Urabe, and H. Kataura, "High-Efficiency Single-Chirality Separation of Carbon Nanotubes Using Temperature-Controlled Gel Chromatography," *Nano Lett.*, vol. 13, pp 1996-2003, 2013.
- [53] C. Y. Khrpin, J. A. Fagan, and M. Zheng, "Spontaneous Partition of Carbon Nanotubes in Polymer-Modified Aqueous Phases," *J. Am. Chem. Soc.*, vol. 135, pp. 6822–6825, 2013.
- [54] P. G. Collins, M.S. Arnold, and P. Avouris, "Engineering carbon nanotubes and nanotube circuits using electrical breakdown," *Science*, vol. 292, pp. 706–709, 2001.
- [55] S.H. Jin, S.N. Dunham, J. Song, X. Xie, J.-H. Kim, C. Lu, A. Islam, F. Du, J. Kim, J. Felts, Y. Li, F. Xiong, M.A. Wahab, M. Menon, E. Cho, K.L. Grosse, D.J. Lee, H.U. Chung, E. Pop, M.A. Alam, W.P. King, Y. Huang and J.A. Rogers, "Using Nanoscale Thermocapillary Flows to Create Arrays of Purely Semiconducting Single-Walled Carbon Nanotubes," *Nature Nanotech.*, vol. 8, pp. 347-355, 2013.
- [56] N. Patil, A. Lin, J. Zhang, H. Wei, K. Anderson, H.-S. P. Wong, and S. Mitra, "VMR: VLSI-compatible metallic carbon nanotube removal for imperfection-immune cascaded multi-stage digital logic circuits using Carbon Nanotube FETs," in *Proc. 2009 IEEE Intl Electron Devices Meeting*, Washington, DC, 2009, pp. 573–576.
- [57] B. Liu, J. Liu, X. Tu, J. Zhang, M. Zheng, and C. Zhou, "Chirality-Dependent Vapor-Phase Epitaxial Growth and Termination of Single-Wall Carbon Nanotubes," *Nano Lett.*, vol. 13, pp. 4416–4421, 2013.
- [58] Q. Cao, S.-j. Han, G. S. Tulevski, Y. Zhu, D. D. Lu and W. Haensch, "Arrays of single-walled carbon nanotubes with full surface coverage for high-performance electronics," *Nat. Nanotech.*, 8, pp. 180-186 2013.
- [59] N. Moriyama, Y. Ohno, K. Suzuki, S. Kishimoto, and T. Mizutani, "High-Performance Top-Gate Carbon Nanotube Field-Effect Transistors and Complementary Metal-Oxide-Semiconductor Inverters Realized by Controlling Interface Charges," *Appl. Phys. Express*, vol. 3, pp. 105103, 2010.

- [60] A. D. Franklin, S. O. Koswatta, D. B. Farmer, J. T. Smith, L. Gignac, C. M. Breslin, S. J. Han, G. S. Tulevski, H. Miyazoe, W. Haensch, and J. Tersoff, "Carbon Nanotube Complementary Wrap-Gate Transistors," *Nano Lett.*, vol. 13, pp. 2490-2495, 2013.
- [61] Z. Y. Zhang, Z. X. Wang, H. L. Xu, S. Wang, L. Ding, Q. S. Zeng, L. J. Yang, T. A. Pei, X. L. Liang, M. Gao, and L. M. Peng, "Growth and Performance of Yttrium Oxide as an Ideal High-kappa Gate Dielectric for Carbon-Based Electronics," *Nano Lett.*, vol. 10, pp. 2024-2030, 2010.
- [62] A. D. Franklin, N. A. Bojarczuk, and M. Copel, "Consistently low subthreshold swing in carbon nanotube transistors using lanthanum oxide," *Appl. Phys. Lett.*, vol. 102, pp. 013108 2013.
- [63] A. Javey, J. Guo, Q. Wang, M. Lundstrom and H. Dai, "Ballistic carbon nanotube field-effect transistors" *Nature*, vol. 424, pp. 654-657, 2003.
- [64] Z. Zhang, X. Liang, S. Wang, K. Yao, Y. Hu, Y. Zhu, Q. Chen, W. Zhou, Y. Li, Y. Yao, J. Zhang, and L.-M. Peng, "Doping-Free Fabrication of Carbon Nanotube Based Ballistic CMOS Devices and Circuits," *Nano Lett.*, vol. 7, pp. 3603-3607, Nov. 2007.
- [65] N. Moriyama, Y. Ohno, T. Kitamura, S. Kishimoto, and T. Mizutani, "Change in carrier type in high-k gate carbon nanotube field-effect transistors by interface fixed charges," *Nanotechnol.*, vol. 21, pp. 165201, 2010.
- [66] S.-J. Choi, P. Bennett, K. Takei, C. Wang, C. C. Lo, A. Javey, and J. Bokor, "Short-Channel Transistors Constructed with Solution-Processed Carbon Nanotubes," *ACS Nano*, vol. 7, pp 798–803, 2013.
- [67] Y. Chai, A. Hazeghi, K. Takei, H.-Y. Chen, P.C.H. Chan, A. Javey, and H.-S. P. Wong, "Low-Resistance Electrical Contact to Carbon Nanotubes With Graphitic Interfacial Layer," *IEEE Trans on Elec. Dev.*, vol. 59, pp. 12-19, 2012.
- [68] A. D. Franklin and Z. H. Chen, "Length scaling of carbon nanotube transistors," *Nat. Nanotechnol.*, vol. 5, pp. 858-862, 2010.
- [69] A.K. Geim and K.S. Novoselov, "The rise of graphene," *Nature Mat.*, vol. 6, pp. 183-191, 2007.
- [70] J. Hass, R. Feng, T. Li, X. Li, Z. Zong, W.A. de Heer, P.N. First, E.H. Conrad, C.A. Jeffrey, and C. Berger, "Highly ordered graphene for two dimensional electronics," *Appl. Phys. Lett.*, vol. 89, pp. 143106, 2006.
- [71] X. Wu, Y. Hu, M. Ruan, N. K. Madiomanana, J. Hankinson, M. Sprinkle, C. Berger, and W. A. de Heer, "Half integer quantum Hall effect in high mobility single layer epitaxial graphene," *Appl. Phys. Lett.*, vol. 95, pp. 223108, 2009.
- [72] M. Orlita, C. Faugeras, P. Plochocka, P. Neugebauer, G Martinez, D. K. Maude, A.-L. Barra, M. Sprinkle, C. Berger, W. A. De heer, and M. Potemski, "Approaching the Dirac point in high-mobility multilayer epitaxial graphene," *Phys. Rev. Lett.*, vol. 101, pp. 267601, 2008.
- [73] X. Li, W. Cai, J. An, S. Kim, J. Nah, D. Yang, R. Piner, A. Velamakanni, I. Jung, E. Tutuc, S.K. Banerjee, L. Colombo, R.S. Ruoff, "Large-Area Synthesis of High-Quality and Uniform Graphene Films on Copper Foils," *Science*, vol. 324, pp. 1312-1314, 2009.
- [74] A. W. Tsen, L. Brown, M. P. Levendorf, F. Ghahari, P. Y. Huang, R. W. Havener, C. S. Ruiz-Vargas, D. A. Muller, P. Kim, and J. Park, "Tailoring Electrical Transport Across Grain Boundaries in Polycrystalline Graphene," *Science*, vol. 336, pp. 1143, 2012.
- [75] X. Li, C. W. Magnuson, A. Venugopal, J. An, J. W. Suk, B. Han, M. Borysiak, W. Cai, A. Velamakanni, Y. Zhu, L. Fu, E. M. Vogel, E. Voelkl, L. Colombo, and R. S. Ruoff, "Graphene films with large domain size by a two-step chemical vapor deposition process," *Nano Lett.*, vol. 10, pp. 4328, 2010.
- [76] Q. Yu, J. Lian, S. Siriponglert, H. Li, Y. P. Chen, and S.-S. Pei, "Graphene segregated on Ni surfaces and transferred to insulators," *Appl. Phys. Lett.*, vol. 93, pp. 113103, 2008.
- [77] A. Reina, X. Jai, J. Ho, D. Nezich, H. Son, V. Bulovic, M.S. Dresselhaus, and J. Kong, "Large Area, Few-Layer Graphene Films on Arbitrary Substrates by Chemical Vapor Deposition," *Nano Letters*, vol. 9, pp. 30-35, 2009.
- [78] M. P. Levendorf, C. S. Ruiz-Vargas, S. Garg, and J. Park, "Transfer-Free Batch Fabrication of Single Layer Graphene Transistors," *Nano Lett.*, vol. 9, pp. 4479, 2009.
- [79] D. Kondo, S. Sato, K. Yagi, N. Harada, M. Sato, M. Nihei, and N. Yokoyama, "Low-Temperature Synthesis of Graphene and Fabrication of Top-Gated Field Effect Transistors without Using Transfer Processes," *Appl. Phys. Express*, vol. 3, pp. 025102, 2010.

- [80] Y. Wang, B. Huang, M. Zhang, C. Miao, Y. Xie, and J. C. S. Woo, "Scalable Synthesis of Graphene on Patterned Ni and Transfer," *IEEE Trans. Electron Devices*, vol. 57, pp. 3472-3476, 2010.
- [81] A. S. Mayorov, R. V. Gorbachev, S. V. Morozov, L. Britnell, R. Jalil, L. A. Ponomarenko, P. Blake, K. S. Novoselov, K. Watanabe, T. Taniguchi, and A. K. Geim, "Micrometer-Scale Ballistic Transport in Encapsulated Graphene at Room Temperature" *Nano Lett.*, vol. 11, pp. 2396, 2011.
- [82] E. V. Castro, H. Ochoa, M. I. Katsnelson, R.V. Gorbachev, D. C. Elias, K. S. Novoselov, A. K. Geim, and F. Guinea, "Limits on Charge Carrier Mobility in Suspended Graphene due to Flexural Phonons," *Phys. Rev. Lett.*, vol. 105, pp. 266601, 2010.
- [83] F. Chen, J. Xia, D.K. Ferry, and N. Tao, "Dielectric screening enhanced performance in graphene FET," *Nano Lett.*, vol. 9, pp. 2571-2574, 2009.
- [84] A. S. Mayorov, R. V. Gorbachev, S. V. Morozov, L. Britnell, R. Jalil, L. A. Ponomarenko, P. Blake, K. S. Novoselov, K. Watanabe, T. Taniguchi, and A. K. Geim, "Micrometer-Scale Ballistic Transport in Encapsulated Graphene at Room Temperature," *Nano Lett.*, vol. 11, pp. 2396, 2011.
- [85] S. Kim, J. Nah, I. Jo, D. Shahrjerdi, L. Colombo, Z. Yao, E. Tutuc, and S.K. Banerjee, "Realization of a high mobility dual-gated graphene field-effect transistor with Al₂O₃ dielectric," *Appl. Phys. Lett.*, vol. 94, pp. 062107, 2009.
- [86] H. S. Song, S. L. Li, H. Miyazaki, S. Sato, K. Hayashi, A. Yamada, N. Yokoyama and K. Tsukagoshi, "Origin of the relatively low transport mobility of graphene grown through chemical vapor deposition," *Scientific Reports*, vol. 2, pp. 337, 2012.
- [87] S. Das, H.-Y. Chen, A. V. Penumatcha, and J. Appenzeller, "High Performance Multilayer MoS₂ Transistors with Scandium Contacts," *Nano Lett.*, vol. 13, pp. 100-105, 2013.
- [88] B. Radisavljevic, M. B. Whitwick, and A. Kis, "Small-signal amplifier based on single-layer MoS₂," *Appl. Phys. Lett.*, vol. 101, pp. 043103, 2012.
- [89] H. Fang, S. Chuang, T. C. Chang, K. Takei, T. Takahashi, and A. Javey, "High-Performance Single Layered WSe₂ p-FETs with Chemically Doped Contacts," *Nano Lett.*, vol. 12, pp. 3788-3792 2012.
- [90] S. Larentis, B. Fallahazad, and E. Tutuc. "Field-effect transistors and intrinsic mobility in ultra-thin MoSe₂ layers," *Appl. Phys. Lett.*, vol. 101, pp. 223104, 2012.
- [91] J. M. Cai, P. Ruffieux, R. Jaafar, M. Bieri, T. Braun, S. Blankenburg, M. Muoth, A. P. Seitsonen, M. Saleh, X. L. Feng, K. Mullen, and R. Fasel, "Atomically precise bottom-up fabrication of graphenenanoribbons," *Nature*, vol. 466, pp. 470, 2010.
- [92] P. Ruffieux, J. Cai, N. C. Plumb, L. Patthey, D. Prezzi, A. Ferretti, E. Molinari, X. Feng, K. Müllen, C. A. Pignedoli, and R. Fasel, "Electronic Structure of Atomically Precise Graphene Nanoribbons," *ACS Nano*, vol. 6, pp. 6930, 2012.
- [93] S. Tongay, J. Zhou, C. Ataca, K. Lo, T. S. Matthews, J. Li, J. C. Grossman, and J. Wu, "Thermally driven crossover from indirect toward direct bandgap in 2D semiconductors: MoSe₂ versus MoS₂," *Nano Lett.*, vol. 12, pp. 5576-5580, 2012.
- [94] Y. Xuan, Y.Q. Wu, T. Shen, M. Qi, M.A. Capano, J.A. Cooper, and P.D. Ye, "Atomic-layer-deposited nanostructures for graphene-based nanoelectronics," *Appl. Phys. Lett.*, vol. 92, pp. 013101, 2008.
- [95] H. Fang, S. Chuang, T. C. Chang, K. Takei, T. Takahashi, A. Javey, "High-Performance Single Layered WSe₂ p-FETs with Chemically Doped Contacts," *Nano Lett.*, vol. 12, pp. 3788-92, 2012.
- [96] H. Fang, M. Tosun, G. Seol, T. C. Chang, K. Takei, J. Guo, and A. Javey, "Degenerate n-Doping of Few-Layer Transition Metal Dichalcogenides by Potassium," *Nano Lett.*, vol. 13, pp. 1991-1995, 2013.
- [97] K. Nagashio, T. Nishimura, K. Kita and A. Toriumi. "Metal/Graphene Contact as a Performance Killer of Ultra-high Mobility Graphene- Analysis of Intrinsic Mobility and Contact Resistance," in *IEEE IEDM Technical Digest*, 2009, p.565.
- [98] A. Venugopal, L. Colombo, and E. M. Vogel, "Contact resistance in few and multilayer graphene devices," *Appl. Phys. Lett.*, vol. 96, pp. 013512, 2010.
- [99] K. N. Parrish and D. Akinwande, "Impact of contact resistance on the transconductance and linearity of graphene transistors," *Appl. Phys. Lett.*, vol. 98, pp. 183505, 2011.

- [100] M.-W. Lin, L. Liu, Q. Lan, X. Tan, K. S. Dhindsa, P. Zeng, V. M Naik, M. Ming-Cheng Cheng, and Z. Zhou, "Mobility enhancement and highly efficient gating of monolayer MoS₂ transistors with polymer electrolyte," *J. Phys. D: Appl. Phys.*, vol. 45, pp. 345102, 2012.
- [101] M.T. Björk, B.J. Ohlsson, T. Sass, A.I. Persson, C. Thelander, M.H. Magnusson, K. Deppert, L.R. Wallenberg, and L. Samuelson, "One-dimensional heterostructures in semiconductor nanowhiskers," *Appl. Phys. Lett.*, vol. 80, pp. 1058-1060, 2002.
- [102] L.J. Lauhon, M.S. Gudiksen, D. Wang, and C.M. Lieber, "Epitaxial core-shell and core-multishell nanowire heterostructures," *Nature*, vol. 420, pp. 57-61, 2002.
- [103] S. D. Suk, M. Li, Y.Y. Yeoh, K. H. Yeo, Y. K. H. Cho, I. K. Ku, H. Cho, W. J. Jang, D.-W. Kim, D. Park, W.-S. Lee, "Investigation of nanowire size dependency on TSNWFET," in *Proceedings of the IEEE IEDM*, pp.891-894, 2007.
- [104] K. Tachi, M. Casse, D. Jang, C. Dupre, A. Hubert, N. Vulliet, V. Maffini-Alvaro, C. Vizioz, C. Carabasse, V. Delaye, J.M. Hartmann, G. Ghibaudo, H. Iwai, S. Cristoloveanu, O. Faynot, T. Ernst. "Relationship Between Mobility And High-K Interface Properties In Advanced Si And Sige Nanowires," in *IEEE IEDM Technical Digest*, 2009, pp. 313-316.
- [105] M. Casse, K. Tachi, S. Thiele, and T. Ernst, "Spectroscopic charge pumping in Si nanowire transistors with a high- κ /metal gate," *Appl. Phys. Lett.*, vol. 96, pp. 123506, 2010.
- [106] K. S. Yi, K. Trivedi, H. C. Floresca, H. Yuk, W. Hu, and M. J. Kim, "Room-Temperature Quantum Confinement Effects in Transport Properties of Ultrathin Si Nanowire Field-Effect Transistors," *Nano Lett.*, vol. 11, pp. 5465-5470, 2011.
- [107] H. Schmid, C. Bessire, M. T. Björk, A. Schenk, and H. Riel, "Silicon Nanowire Esaki Diodes," *Nano Lett.*, vol. 12, pp. 699-703, 2012.
- [108] W. Molnar, A. Lugstein, P. Pongratz, M. Seyring, M. Rettenmayr, C. Borschel, C. Ronning, N. Auner, C. Bauch, and E. Bertagnoli, "A General Approach toward Shape-Controlled Synthesis of Silicon Nanowires," *Nano Lett.*, vol. 13, pp. 21-25, 2012.
- [109] H. Schmid, M.T. Björk, J. Knoch, S. Karg, H. Riel and W. Riess, "Doping Limits of Grown in situ Doped Silicon Nanowires Using Phosphine," *Nano Lett.*, vol. 9, pp. 173-177, 2009.
- [110] G.M. Cohen, S. Bangsaruntip, S. Laux, M.J. Rooks, J. Cai, L. Gignac, "Measurements of carrier transport in MOSFETs with bottom-up nanowire channel as a function of the nanowire diameter," in *Proceedings of Device Research Conference*, 2008, pp 187-188.
- [111] V. Schmidt, H. Riel, S. Senz, S. Karg, W. Riess, and U. Gösele, "Realization of a Silicon Nanowire Vertical Surround-Gate Field-Effect Transistor," *Small*, vol. 2, pp. 85-88, Jan. 2006.
- [112] M.T. Björk, O. Hayden, H. Schmid, H. Riel, W. Riess, "Vertical Surround-Gated Silicon Nanowire Impact Ionization Field-Effect Transistors," *Appl. Phys. Lett.*, vol. 90, pp. 142110, 2007.
- [113] K.E. Moselund, H. Ghoneim, M.T. Bjork, H. Schmid, S. Karg, E. Lortscher, W. Riess, and H. Riel, "Comparison of VLS grown Si NW tunnel FETs with different gate stacks," in *Proceedings of ESSDERC*, 2009, pp. 448-451.
- [114] M. Radosavljevic, B. Chu-Kung, S. Corcoran, G. Dewey, M. K. Hudait, J. M. Fastenau, J. Kavalieros, W. K. Liu, D. Lubyshev, M. Metz, K. Millard, N. Mukherjee, W. Rachmady, U. Shah, and Robert Chau, "Advanced high-k gate dielectric for high-performance short-channel InGaAs quantum well FET's on silicon substrate for low power logic applications," in *Proceedings of IEEE IEDM*, 2009, pp. 13.1.1.
- [115] R. Pillarisetty, B. Chu-Kung, S. Corcoran, G. Dewey, J. Kavalieros, H. Kennel, R. Kotlyar, V. Le, "High mobility strained germanium quantum well FET as the p-channel device option for low power III-V CMOS transistors," in *Proceedings of IEEE IEDM*, 2010, pp. 150-153.
- [116] J.B. Boos, B.R. Bennett, N.A. Papanicolaou, M.G. Ancona, J.G. Champlain, Y.-C. Chou, M.D. Lange, J.M. Yang, R. Bass, D. Park, and B.V. Shanabrook, "Sb-Based n- and p-Channel Heterostructure FETs for High-Speed, Low-Power Applications," *IEICE Transactions on Electronics*, vol. E91-C, pp. 1050-1057, 2008.
- [117] B. R. Bennett, T. F. Chick, M. G. Ancona, and J. B. Boos, "Enhanced hole mobility and density in GaSb quantum wells," *Solid-State Electronics*, vol. 79, pp.274-280 2013.

- [118] Z. Yuan, A. Nainani, A. Kumar, X. Guan, B. R. Bennett, J. B. Boos, M. G. Ancona, and K. C. Saraswat, "InGaSb: single channel solution for realizing III-V CMOS," *Symposium on VLSI Technology Digest of Technical Papers*, 2012, pp. 185-186.
- [119] D. Kuzum, T. Krishnamohan, A.J. Pethe, A.K. Okyay, Y. Oshima, Y. Sun, J.P. McVittie, P.A. Pianetta, P.C. McIntyre, and K.C. Saraswat, "Ge interface engineering with ozone oxidation for low interface state density," *IEEE Electron Device Letters*, vol. 29, pp. 328-330, 2008.
- [120] G. Lukovsky, S. Lee, J.P. Long, H. Seo, and J. Lüning, "Elimination of GeO₂ and Ge₃N₄ interfacial transition regions and defects: a pathway for formation of NMOS devices on Ge substrates," *Applied Surface Science*, vol. 254, pp. 7933, 2008.
- [121] Y.-T. Chen, H.-S. Lan, W. Hsu, Y.-C. Fu, J.-Y. Lin, and C. W. Liu, "Strain response of high mobility germanium n-channel metal-oxidesemiconductor field-effect transistors on (001 substrates," *Appl. Phys. Lett.*, vol. 99, 022106 2011.
- [122] T. Nishimura, C. H. Lee, T. Tabata, S. K. Wang, K. Nagashio, K. Kita, and A. Toriumi, "High-Electron-Mobility Ge n-Channel Metal-Oxide-Semiconductor Field-Effect Transistors with High-Pressure Oxidized Y₂O₃," *Appl. Phys. Express*, vol. 4, pp. 064201, 2011.
- [123] S. Gupta, B. Vincent, B. Yang, D. Lin, F. Gencarelli, J.-Y. J. Lin, R. Chen, O. Richard, H. Bender, B. Magyari-Köpe, M. Caymax, J. Dekoster, Y. Nishi, and K. C. Saraswat, "Towards High Mobility GeSn Channel nMOSFETs: Improved Surface Passivation Using Novel Ozone Oxidation Method," in *Proceedings of the 2012 IEEE IEDM*, 2012 pp. 375-378.
- [124] E. Simoen, A. Satta, A. D'Amore, T. Janssens, T. Clarysse, K. Martens, B. DeJaeger, A. Benedetti, I. Hoflijk, B. Brijs, M. Meuris, and W. Vandervorst, "Ion implantation Issues in the formation of shallow junctions in germanium," *Materials Science in Semiconductor Processing*, vol. 9, pp. 634-639, 2006.
- [125] J.H. Park, D. Kuzum, M. Tada, K.C. Saraswat, "High performance germanium N+/P and P+/N junction diodes formed at low temperature ($\leq 380^\circ\text{C}$) using metal-induced dopant activation," *Applied Physics Letters*, vol. 93, pp.193507-3, 2008.
- [126] D.-L. Kwong, X. Li, Y. Sun, G. Ramanathan, Z. X. Chen, S. M. Wong, Y. Li, N. S. Shen, K. Buddharaju, Y. H. Yu, S. J. Lee, N. Singh, and G. Q. Lo, "Vertical Silicon Nanowire Platform for Low Power Electronics and Clean Energy Applications," *J. of Nanotechnology*, 492121, 21 pages, 2012.
- [127] S. Sugahara and J. Nitta, "Spin-transistor electronics: an overview and outlook," in *Proc. of the IEEE*, vol. 98, pp. 2124-2154, Dec 2010.
- [128] C. Li, O.M.J. van 't Erve, B.T. Jonker, "Electrical injection and detection of spin accumulation in silicon at 500K with magnetic metal / silicon dioxide contacts," *Nature Communications* 2:245 | DOI: 10.1038/ncomms1256, 2011.
- [129] N. Banno, T. Sakamoto, N. Iguchi, H. Kawaura, S. Kaeriyama, M. Mizuno, K. Terabe, T. Hasegawa, and M. Aono, "Solid-Electrolyte Nanometer Switch," in *IEICE Trans. Electron.*, vol. E89-C, pp. 1492, 2006.
- [130] I. Valov, I. Sapezanskaia, A. Nayak, T. Tsuruoka, T. Bredow, T. Hasegawa, G. Staikov, M. Aono, and R. Waser, "Atomically controlled electrochemical nucleation at superionic solid electrolyte surfaces," *Nat. Materials*, vol.11, pp. 530, 2012.
- [131] Z. Yang, C. Ko, and S. Ramanathan, "Oxide Electronics Utilizing Ultrafast Metal-Insulator Transitions," *Ann. Rev. Mater. Res.* 41:337-67, 2011.
- [132] A. S. Dhoot, C. Israel, X. Moya, N. D. Mathur, and R. H. Friend, "Large Electric Field Effect in Electrolyte-Gated Manganites," *Phys. Rev. Lett.*, vol. 102, pp. 136402, 2009.
- [133] H. Akinaga, "Recent Advances and Future Prospects in Functional-Oxide Nanoelectronics: The Emerging Materials and Novel Functionalities that are Accelerating Semiconductor Device Research and Development," *Jpn. J. Appl. Phys.*, vol. 52, pp. 100001, 2013.
- [134] S. Asanuma, P.-H. Xiang, H. Yamada, H. Sato, I. H. Inoue, H. Akoh, A. Sawa, K. Ueno, H. Shimotani, H. Yuan, M. Kawasaki, and Y. Iwasa, "Tuning of the metal-insulator transition in electrolyte-gated thin films," *Appl. Phys. Lett.*, vol. 97, pp. 142110, 2010.
- [135] M. Nakano, K. Shibuya, D. Okuyama, T. Hatano, S. Ono, M. Kawasaki, Y. Iwasa, and Y. Tokura, "Collective bulk carrier delocalization driven by electrostatic surface charge accumulation," *Nature*, vol. 487, pp 459, 2012.

- [136] P.-H. Xiang, S. Asanuma, H. Yamada, I. H. Inoue, H. Sato, H. Akoh, A. Sawa, K. Ueno, H. Yuan, H. Shimotani, M. Kawasaki, Y. Iwasa, "Strain-Mediated Phase Control and Electrolyte-Gating of Electron-Doped Manganites," *Adv. Mater.*, vol. 23, pp 5822, 2011.
- [137] P.-H. Xiang, S. Asanuma, H. Yamada, H. Sato, I. H. Inoue, H. Akoh, A. Sawa, M. Kawasaki, and Y. Iwasa, "Electrolyte-Gated SmCoO₃ Thin-Film Transistors Exhibiting Thickness-Dependent Large Switching Ratio at Room Temperature," *Adv. Mater.*, vol. 25, pp. 2158–2161, 2013.
- [138] M. Nakano, K. Shibuya, D. Okuyama, T. Hatano, S. Ono, M. Kawasaki, Y. Iwasa, and Y. Tokura, "Collective bulk carrier delocalization driven by electrostatic surface charge accumulation," *Nature*, vol. 487, pp 459-462, 2012.
- [139] S. Salahuddin and S. Datta, "Use of Negative Capacitance to Provide Voltage Amplification for Low Power Nanoscale Devices," *Nano Lett.*, vol. 8 2, pp. 405, 2008.
- [140] V.V. Zhirnov and R. K. Cavin, "Negative capacitance to the rescue?," *Nature Nanotechnology*, vol. 3, pp. 77, 2008.
- [141] N. Theis and P.M. Solomon, "It's time to reinvent the transistor," *Science*, vol. 327, pp. 1600-1601, 2010
- [142] T.N. Theis and P.M. Solomon, "In Quest of the "Next Switch Prospects for Greatly Reduced Power Dissipation in a Successor to the Silicon Field-Effect Transistor," *Proc. IEEE*, vol. 981pp. 2, 2005, 2010.
- [143] D. Jiménez, E. Miranda, and A. Godoy, "Analytic Model for the Surface Potential and Drain Current in Negative Capacitance Field-Effect Transistors," *IEEE Trans. on Electron Devices*, vol. 5710, pp. 2405, 2010.
- [144] A. Rusu, G.A. Salvatore, D. Jimenez, and A.M. Ionescu, "Metal-Ferroelectric-Metal-Oxide-Semiconductor Field Effect Transistor with sub 60mV/decade Subthreshold Swing and Internal Voltage Amplification," *Proc. of IEDM*, 2010, pp. 395-398.
- [145] A.I. Khan, D. Bhowmik, P.Yu, S.J. Kim, X. Pan, R. Ramesh and S. Salahuddin, "Experimental evidence of ferroelectric negative capacitance in nanoscale heterostructures," *Appl. Phys. Lett.*, vol. 99, pp. 113501, 2011.
- [146] J.W. Reiner, Alexie M. Kolpak, Y. Segal, K.F. Garrity, S. Ismail-Beigi, C.H. Ahn, and F.J. Walker, "Crystalline Oxides on Silicon," *Advanced Materials*, vol. 22, pp. 2919, 2010.
- [147] A.I. Khan, C.W. Yeung, C. Hu, and S. Salahuddin, "Ferroelectric negative capacitance MOSFET: Capacitance tuning & antiferroelectric operation," in *Proc. IEEE*, 2011, pp.11.3.1-4.
- [148] C.W. Yeung, A. I. Khan, J.-Y. Cheng, S. Salahuddin, and C. Hu, "Non-Hysteretic Negative Capacitance FET with Sub- 30mV/dec Swing over 106X Current Range and I_{ON} of 0.3mA/μm without Strain Enhancement at 0.3V VDD," in *Proc. of The International Conference on Simulation of Semiconductor Processes and Devices (SISPAD)*, 2012, September 5-7, 2012, Denver, CO, USA, pp 257 – 259.
- [149] S. I. Kiselev, J. C. Sankey, I. N. Krivorotov, N. C. Emley, R. J. Schoelkopf, R. A. Buhrman, and D.C. Ralph, "Microwave oscillations of a nanomagnet driven by a spin-polarized current," *Nature*, vol.425, pp. 380-383, 2003.
- [150] A. Khitun, M. Bao, and K.L. Wang, "Spin Wave Magnetic NanoFabric A New Approach to Spin-Based Logic Circuitry," *IEEE Transactions on Magnetism*, vol. 44, pp. 2141, 2008.
- [151] G. Csaba, A. Imre, G.H. Bernstein, W. Porod, and V. Metlushko, "Nanocomputing by Field-Coupled Nanomagnets," *IEEE Transactions on Nanotechnology*, vol. 1, pp. 209-213, 2002.
- [152] A. Imre, G. Csaba, A. Orlov, G.H. Bernstein, W. Porod, and V. Metlushko, "Investigation of Shape-Dependent Switching of Coupled Nanomagnets," *Superlattices and Microstructures*, vol. 34, pp. 513-518, 2003.
- [153] D.B. Carlton, N.C. Emley, E. Tuchfeld, and J. Bokor. "Simulation Studies of Nanomagnet-Based Logic Architecture," *Nano Letters*, vol. 8, pp. 4173-4178, 2008.
- [154] M. Kowalewski, C.M. Schneider, and B. Heinrich. "Thickness And Temperature-Dependence Of Magnetic Anisotropies In Ultrathin Fcc Co(001 Structures." *Physical Review B*, vol. 47, pp. 8748-8753, Apr. 1993.
- [155] G.A. Prinz, "Magnetic Metal Films on Semiconductors" in Ultrathin magnetic structures II, 1st ed. B. Heinrich and J.A.C Bland, Ed. Berlin, Heidelberg: Springer, 1994, Chap. 1.
- [156] S.V. Pietambaram, N.D. Rizzo, R.W. Dave, J. Goggin, K. Smith, J.M. Slaughter, and S. Tehrani, "Low-power switching in magnetoresistive random access memory bits using enhanced permeability dielectric films," *Applied Physics Letters*, vol. 90, pp. 143510, 2007.
- [157] M. Becherer, G. Csaba, W. Porod, R. Emling, P. Lugli, and D. Schmitt-Landsiedel, "Magnetic Ordering of Focused-Ion-Beam Structured Cobalt-Platinum Dots for Field-Coupled Computing," *IEEE Transactions on Nanotechnology*, vol. 7, pp. 316-320, 2008.

- [158] S. Mizukami, F. Wu, A. Sakuma, J. Walowski, D. Watanabe, T. Kubota, X. Zhang, H. Naganuma, M. Oogane, Y. Ando, T. Miyazaki, "Long-Lived Ultrafast Spin Precession in Manganese Alloys Films with Large Perpendicular Magnetic Anisotropy," *Phys. Rev. Lett.*, vol. 106, pp. 117201 2011.
- [159] Wei-Gang Wang, Mingen Li, Stephen Hageman and C. L. Chien, Electric-field-assisted switching in magnetictunnel junctions, *Nature Materials* 11, 64 2012.
- [160] Y. Shiota, T. Nozaki, F. Bonell, S. Murakami, T. Shinjo and Yoshishige Suzuki, "Induction of coherent magnetization switching in a few atomic layers of FeCo using voltage pulses," *Nature Materials*, vol. 11, pp. 39, 2012.
- [161] S. Kanai, M. Yamanouchi, S. Ikeda, Y. Nakatani, F. Matsukura, and H. Ohno, "Electric field-induced magnetization reversal in a perpendicular-anisotropy CoFeB-MgO magnetic tunnel junction," *Appl. Phys. Lett.*, vol. 101, pp. 122403, 2012.
- [162] L. Chen, X. Yang, F. Yang, J. Zhao, J. Misuraca, P. Xiong, and S. von Molnar, "Enhancing the Curie Temperature of Ferromagnetic Semiconductor (Ga,Mn)As to 200 K via Nanostructure Engineering," *Nano Lett.*, vol.11, pp. 2584-2589, 2011.
- [163] X.Y. Dong, C. Adelmann, J.Q. Xie, C.J. Palmström, X. Lou, J. Strand, P.A. Crowell, J.-P. Barnes and A.K. Petford-Long, "Spin injection from the Heusler alloy Co₂MnGe into Al_{0.1}Ga_{0.9}As/GaAs heterostructures," *Appl. Phys. Lett.*, vol. 86, pp. 102107, 2005.
- [164] C.D. Damsgaard, M.C. Hickey, S.N. Holmes, R. Feidenhans'l, S.O. Mariager, C.S. Jacobsen, and J.B. Hansen, "Interfacial, electrical, and spin-injection properties of epitaxial Co₂MnGa grown on GaAs(100)," *J. Appl. Phys.*, vol. 105, pp. 124502, 2009.
- [165] T. Jungwirth, J. Wunderlich and K. Olejník, "Spin Hall effect devices," *Nature Materials*, vol. 11, pp. 382, 2012.
- [166] L. Liu, Chi-Feng Pai, Y. Li, H. W. Tseng, D. C. Ralph, R. A. Buhrman, "Spin-Torque Switching with the Giant Spin Hall Effect of Tantalum," *Science*, vol. 336, pp. 555, 2012.
- [167] Chi-Feng Pai, L. Liu, Y. Li, H. W. Tseng, D. C. Ralph, and R. A. Buhrman, "Spin transfer torque devices utilizing the giant spin Hall effect of tungsten," *Appl. Phys. Lett.*, vol. 101, pp. 122404, 2012.
- [168] L. Liu, C.-F. Pai, D. C. Ralph, and R. A. Buhrman, "Magnetic Oscillations Driven by the Spin Hall Effect in 3-Terminal Magnetic Tunnel Junction Devices," *Phys. Rev. Lett.*, vol. 109, pp. 186602, 2012.
- [169] Y. Niimi, M. Morota, D. H. Wei, C. Deranlot, M. Basletic, A. Hamzic, A. Fert, and Y. Otani, "Extrinsic Spin Hall Effect Induced by Iridium Impurities in Copper," *Phys. Rev. Lett.*, vol. 106, pp. 122601, 2011.
- [170] Y. Niimi, Y. Kawanishi, D. H. Wei, C. Deranlot, H. X. Tang, M. Chshiev, T. Valet, A. Fert, and Y. Otani, "Giant Spin Hall Effect Induced by Skew Scattering from Bismuth Impurities inside Thin Film CuBi alloys," *Phys. Rev. Lett.*, vol. 109, pp. 156602, 2012.
- [171] M. Yamanouchi, L. Chen, J. Kim, M. Hayashi, H. Sato, S. Fukami, S. Ikeda, F. Matsukura, and H. Ohno, "Three terminal magnetic tunnel junction utilizing the spin Hall effect of iridium-doped copper," *Appl. Phys. Lett.*, vol. 102, pp. 212408, 2013.
- [172] E. I. Rashba, "Theory of electrical spin injection: Tunnel contacts as a solution of the conductivity mismatch problem," *Phys. Rev. B*, vol. 62, pp. R16267, 2000.
- [173] G. Schmidt, D. Ferrand, L.W. Molenkamp, A.T. Filip and B.J. van Wees, "Fundamental obstacle for electrical spin injection from a ferromagnetic metal into a diffusive semiconductor," *Phys. Rev. B*, vol. 62, pp. R4790-R4793, 2000.
- [174] S. Ikeda, J. Hayakawa, Y. Ashizawa, Y. M. Lee, K. Miura, H. Hasegawa, M. Tsunoda, F. Matsukura, and H. Ohno, "Tunnel magnetoresistance of 604% at 300 K by suppression of Ta diffusion in CoFeB/MgO/CoFeB pseudo-spin-valves annealed at high temperature," *Appl. Phys. Lett.*, vol. 93, pp. 082508, 2008.
- [175] Y. Fan, K. J. Smith, G. Lüpke, A. T. Hanbicki, R. Goswami, C. H. Li, H. B. Zhao, and B. T. Jonker, "Exchange bias of the interface spin system at the Fe/MgO interface," *Nature Nanotechnology*, vol.8, pp.438-444, 2013.
- [176] V. M. Karpan, P. A. Khomyakov, A. A. Starikov, I. G. Giovannetti, M. Zwierzycki, M. Talanana, G. Brocks, J. van den Brink, and P. J. Kelly, "Theoretical prediction of perfect spin filtering at interfaces between close-packed surfaces of Ni or Co and graphite or graphene," *Phys. Rev. B*, vol. 78, pp. 195419, 2008.
- [177] E. Cobas, A. L. Friedman, O. M. J. van't Erve, J. T. Robinson, and B. T. Jonker, "Graphene As a Tunnel Barrier: Graphene-Based Magnetic Tunnel Junctions," *Nano Letters*, vol.12, pp. 3000, 2012.

- [178] O. M. J. van 't Erve, A. L. Friedman, E. Cobas, C. H. Li, J. T. Robinson and B. T. Jonker, "Low-resistance spin injection into silicon using graphene tunnel barriers," *Nature Nanotechnology*, vol. 7, pp. 737, 2012.
- [179] O.M.J. van 't Erve, G. Kioseoglou, A.T. Hanbicki, C.H. Li, and B.T. Jonker, "Remanent Electrical Spin Injection from Fe into AlGaAs/GaAs Light Emitting Diodes," *Appl. Phys. Lett.*, vol. 89, pp. 072505, 2006.
- [180] B.T. Jonker, G. Kioseoglou, A.T. Hanbicki, C.H. Li and P.E. Thompson, "Electrical spin-injection into silicon from a ferromagnetic metal/tunnel barrier contact," *Nature Physics*, vol. 3, pp. 542-546, 2007.
- [181] I. Appelbaum, B. Huang and D. J. Monsma, "Electronic measurement and control of spin transport in silicon," *Nature*, vol. 447, pp. 295-298, May 2007.
- [182] O.M.J. van't Erve, A.T. Hanbicki, M. Holub, C.H. Li, C. Awo-Affouda, P.E. Thompson and B.T. Jonker, "Electrical injection and detection of spin-polarized carriers in silicon in a lateral transport geometry," *Appl. Phys. Lett.*, vol. 91, pp. 212109, 2007.
- [183] B.-C. Min, K. Motohashi, C. Lodder and R. Jansen, "Tunable spin-tunnel contacts to silicon using low-work-function ferromagnets," *Nature Materials*, vol. 5, pp. 817-822, 2006.
- [184] C. Li, O.M.J. van 't Erve, and B.T. Jonker, "Electrical injection and detection of spin accumulation in silicon at 500K with magnetic metal / silicon dioxide contacts," *Nature Communications* 2:245 | DOI: 10.1038/ncomms1256 2011
- [185] N. Tombros, C. Jozsa, M. Popinciuc, H.T. Jonkman, and B.J. van Wees, "Electronic spin transport and spin precession in single graphene layers at room temperature," *Nature*, vol. 448, pp. 571-574, 2007.
- [186] M. Wojtaszek, I. J. Vera-Marun, T. Maassen, and B. J. van Wees, Enhancement of spin relaxation time in hydrogenated graphene spin-valve devices, *Phys. Rev. B* 87, 081402(R) 2013.
- [187] M.I. van der Meulen, N. Petkov, M.A. Morris, O. Kazakova, X. Han, K.L. Wang, A.P. Jacob and J.D. Holmes, "Single Crystalline Ge_{1-x}Mnx Nanowires as Building Blocks for Nanoelectronics," *Nano Lett.*, vol. 9, pp. 50-56, 2009.
- [188] B. E. Coss, C. Smith, W.-Y. Loh, P. Majhi, R. M. Wallace, J. Kim, and R. Jammy, "Contact Resistance Reduction to FinFET Source/Drain Using Novel Dielectric Dipole Schottky Barrier Height Modulation Method," *IEEE Electron Dev. Lett.*, vol. 32, pp. 862-864, 2011.
- [189] Y. Tokura and N. Nagaosa, "Orbital physics in transition-metal-oxides," *Science*, vol. 288, pp. 462, 2000.
- [190] E. Dagotto, "Complexity in strongly correlated electronics systems," *Science*, vol. 309, pp. 257, 2005.
- [191] J.G. Bednorz and K.A. Müller, "Possible high T_c superconductivity in the Ba-La-Cu-O system," *Z. Phys. B: Condens. Matter*, vol. 64, pp. 189, 1986.
- [192] M.K. Wu, J.R. Ashburn, C.J. Torng, P.H. Hor, R.L. Meng, L. Gao, Z.J. Huang, Y.Q. Wang, and C.W. Chu, "Superconductivity at 93 K in a new mixed-phase Y-Ba-Cu-O compound system at ambient pressure," *Phys. Rev. Lett.*, vol. 58, pp. 908, 1987.
- [193] A.P. Ramirez, "Colossal magnetoresistance," *J. Phys.: Condens. Matter*, vol. 9, pp. 817, 1997.
- [194] J.M.D. Coey, M. Viret, and S. von Molnár, "Mixed-valence manganites," *Adv. Phys.*, vol. 48, pp. 167, 1999.
- [195] Y. Tokura and Y. Tomioka, "Colossal magnetoresistive manganites," *J. Magn. Magn. Mater.*, vol. 200, pp. 1, 1999.
- [196] "Breakthrough of the Year – Beyond silicon?" *Science*, vol. 318, 1844-1849, 2007.
- [197] J. Mannhart and D. G. Schlom, "Oxide Interfaces—An Opportunity for Electronics," *Science*, vol. 327, pp. 1607, 2010.
- [198] P. Zubko, S. Gariglio, M. Gabay, P. Ghosez, and J.-M. Triscone, "Interface Physics in Complex Oxide Heterostructures," *Annual Review of Condensed Matter Physics*, vol. 2, pp. 141, 2011.
- [199] A. Ramirez, "Oxide Electronics Emerge," *Science*, vol. 315, pp. 1377, 2007.
- [200] E. Dagotto, "When Oxides Meet Face to Face," *Science*, vol. 318, pp. 1076, 2007.
- [201] N. Reyren, S. Thiel, A. D. Caviglia, L. Fitting Kourkoutis, G. Hammerl, C. Richter, C. W. Schneider, T. Kopp, A.-S. Rüetschi, D. Jaccard, M. Gabay, D. A. Muller, J.-M. Triscone and J. Mannhart, "Superconducting Interfaces Between Insulating Oxides," *Science*, vol. 317, pp. 1196, 2007.

- [202] J. Chakhalian, J. W. Freeland, H.-U. Haberman, G. Cristiani, G. Khaliullin, M. van Veenendaal and B. Keimer, "Orbital Reconstruction and Covalent Bonding at an Oxide Interface," *Science*, vol. 318, pp. 1114, 2007.
- [203] A. Tsukazaki, A. Ohtomo, T. Kita, Y. Ohno, H. Ohno and M. Kawasaki, "Quantum Hall Effect in Polar Oxide Heterostructures," *Science*, vol. 315, pp. 1388, 2007.
- [204] R. Ramesh and D. G. Schlom, "Wither Oxide Electronics," *MRS Bulletin*, vol. 33, pp. 1006-1017, Nov. 2008.
- [205] I. Osborne, M. Lavine, R. Coontz, "Looking Beyond Silicon," *Science*, vol. 327, pp. 1595, 2010.
- [206] H. Takagi and H. Hwang, "An emergent change of phase for electronics," *Science*, vol. 327, pp. 1601, 2010.
- [207] H. Akinaga, "Recent Advances and Future Prospects in Functional-Oxide Nanoelectronics: The Emerging Materials and Novel Functionalities that are Accelerating Semiconductor Device Research and Development," *Jpn. J. of Appl. Phys.*, vol. 52, pp. 100001, 2013.
- [208] S. Asanuma, P.-H. Xiang, H. Yamada, H. Sato, I. H. Inoue, H. Akoh, A. Sawa, K. Ueno, H. Shimotani, H. Yuan, M. Kawasaki, and Y. Iwasa. "Tuning of the metal – insulator transition in electrolyte-gated NdNiO₃ thin films." *Appl. Phys. Lett.*, vol. 97, pp. 142110, 2010.
- [209] R. Scherwitzl, P. Zubko, I. Gutierrez Lezama, S. Ono, A. F. Morpurgo, G. Catalan, and J. M. Triscone. "Electric-field control of the metal – insulator transition in ultrathin NdNiO₃ films." *Adv. Mater.*, vol. 22, pp. 5517-5520, 2010.
- [210] T. Yajima, Y. Hikita and H.Y. Hwang, "A heteroepitaxial perovskite metal-base transistor," *Nature Materials*, vol. 10, pp. 198, 2011.
- [211] V. Garcia, S. Fusil, K. Bouzehouane, S. Enouz-Vedrenne, N.D. Mathur, A. Barthélémy, M. Bibes, "Giant tunnel electroresistance for non-destructive readout of ferroelectric states," *Nature*, vol. 460, pp. 81, 2009.
- [212] S. Jana, V. Singh, S.D. Kaushik, C. Menghini, P. Pal, R. Knut, O. Karis, I. Dasgupta, V. Siruguri and S. Ray, "Atomic scale chemical fluctuation in LaSrVMoO₆, a proposed half-metallic antiferromagnet," *Phys. Rev. B*, vol. 82, pp. 180407, 2010.
- [213] H. Matsushima, H. Gotoh, T. Miyawaki, K. Ueda, and H. Asano, "Fabrication and physical properties of double perovskite SrLaVMoO₆ thin films," *J. Appl. Phys.*, vol. 109, pp. 07E321, 2011.
- [214] S. Chakraverty, A. Ohtomo, D. Okuyama, M. Saito, M. Okude, R. Kumai, T. Arima, Y. Tokura, S. Tsukimoto, Y. Ikuhara, and M. Kawasaki, "Ferrimagnetism and spontaneous ordering of transition metals in double perovskite La₂CrFeO₆ films," *Phys. Rev. B*, vol. 84, pp. 064436, 2011.
- [215] S. Chakraverty, K. Yoshimatsu, Y. Kozuka, H. Kumigashira, M. Oshima, T. Makino, A. Ohtomo and M. Kawasaki, "Magnetic and electronic properties of ordered double-perovskite La₂VMnO₆ thin films," *Phys. Rev. B*, vol. 84, pp. 132411, 2011.
- [216] K.-W. Kim, S. Ghosh, S. Buvaev, S. Mhin, J.L. Jones, H.F. Hebard and D.P. Norton, "Magnetic and magnetotransport properties of Ba₂FeMoO₆ pulsed laser deposited thin films," *J. Appl. Phys.*, vol. 112, pp. 083923, 2012.
- [217] S. Jana, V. Singh, A. Nag, C. Meneghini, I. Dasgupta, G. Aquilanti, and S. Ray. "LaSrVMoO₆ "A case study for A-site covalency-driven local cationic order in double Perovskites," *Phys. Rev. B*, vol. 86, pp. 014203, 2012.
- [218] H. Schmid, "Multi-ferroic magnetoelectrics," *Ferroelectrics*, vol. 162, pp. 317, 1994.
- [219] M. Fiebig, "Revival of the magnetoelectric effect," *J. Phys. D*, vol. 38, pp. R123, 2005.
- [220] N. Spaldin and M. Fiebig, "The renaissance of Magnetoelectric Multiferroics," *Science*, vol. 309, pp. 391, 2005.
- [221] W. Eerenstein, N.D. Mathur and J.F. Scott, "Multiferroic and magnetoelectric materials," *Nature*, vol. 442, pp. 759, 2006.
- [222] H. Schmid, "Multi-ferroic magnetoelectrics," *Ferroelectrics*, vol. 16211, pp. 317, 1994.
- [223] M. Fiebig, "Revival of the magnetoelectric effect," *J. Phys. D*, vol. 38, R123, 2005.
- [224] W. Eerenstein, N.D. Mathur and J.F. Scott, "Multiferroic and magnetoelectric materials," *Nature*, vol. 442, pp. 759, 2006.
- [225] L.W. Martin and R. Ramesh, "Multiferroic and magnetoelectric heterostructures," *Acta Materialia*, vol. 60, pp. 2449, 2012.

- [226] D.A. Sanchez, N. Ortega, A. Kumar, G. Sreenivasulu, R.S. Katiyar, J.F. Scott, D.M. Evans, M. Arredondo-Arechavala, A. Schilling, and J.M. Gregg, "Room-temperature single phase multiferroic magnetoelectrics: $\text{Pb}(\text{Fe}, \text{M})_{\text{x}}(\text{Zr}, \text{Ti})_{1-\text{x}}\text{O}_3$ [$\text{M}=\text{Ta}, \text{Nb}$]," *J. Appl. Phys.*, vol. 113, pp. 074105, 2013.
- [227] G. Catalan and J.F. Scott, "Physics and applications of bismuth ferrite," *Advanced Materials*, vol. 21, pp. 2463, 2009.
- [228] T. Zhao, A. Scholl, F. Zavaliche, K. Lee, M. Barry, A. Doran, M.P. Cruz, Y.H. Chu, C. Ederer, N.A. Spaldin, R.R. Das, D. M. Kim, S.H. Baek, C.B. Eom, and R. Ramesh, "Electrical control of antiferromagnetic domains in multiferroic BiFeO_3 films at room temperature," *Nature Materials*, vol. 5, pp. 823, 2006.
- [229] Y-H. Chu, L.W. Martin, M.B. Holcomb, M. Gajek, S.-J. Han, Q. He, N. Balke, C.-H. Yang, D. Lee, W. Hu, Q. Zhan, P.-L. Yang, A. Fraile-Rodriguez, A. Scholl, S. X. Wang and R. Ramesh, "Electric-field control of local ferromagnetism using a magnetoelectric multiferroic," *Nature Materials*, vol. 7, pp. 478, 2008.
- [230] D. Lebeugle, D. Colson, A. Forget, M. Viret, A.M. Bataille and A. Gukasov, "Electric-Field Induced Spin Flop in BiFeO_3 Single Crystals at Room Temperature," *Phys. Rev. Lett.*, vol. 100, pp. 227602, 2008.
- [231] M. Bibes, J.E. Villegas, and A. Barthélémy, "Ultrathin oxide films and interfaces for electronics and Spintronics," *Advances in Physics*, vol. 60 11, pp. 5-84, 2011.
- [232] M. Gajek, M. Bibes, S. Fusil, K. Bouzehouane, J. Fontcuberta, A. Barthélémy, and A. Fert, "Tunnel junctions with multiferroic barriers," *Nature Materials*, vol. 6, pp. 296, 2007.
- [233] J.P. Velev, C.-G. Duan, J.D. Burton, A. Smogunov, M.K. Niranjan, E. Tosatti, S.S. Jaswal, and E.Y. Tsymlal, "Magnetic Tunnel Junctions with Ferroelectric Barriers: Prediction of Four Resistance States from First Principles," *Nanoletters*, vol. 9, pp. 427, 2009.
- [234] D. Pantel, S. Goetze, D. Hesse and M. Alexe, "Reversible electrical switching of spin polarization in multiferroic tunnel junctions," *Nature Materials*, vol. 11, pp. 289, 2012.
- [235] S.Y. Yang, J. Seidel, S.J. Byrnes, P. Shafer, C.-H. Yang, M.D. Rossell, P. Yu, Y.-H. Chu, J.F. Scott, J.W. Ager, III, L.W. Martin, and R. Ramesh, "Above-bandgap voltages from ferroelectric photovoltaic devices," *Nature Nanotechnology*, vol. 5, pp. 143, 2010.
- [236] S.M. Young and A. Rappe, "First Principles Calculation of the Shift Current Photovoltaic Effect in Ferroelectrics," *Phys. Rev. Lett.*, vol. 109, pp. 116601, 2012.
- [237] P. Zubco, S. Gariglio, M. Gabay, Ph. Ghosez and J.-M. Triscone, "Interface Physics in Complex Oxide Heterostructures," *Annu. Rev. Matter. Phys.*, vol. 2, pp. 141, 2011.
- [238] P. Yu, Y.-H. Chu and R. Ramesh, "Oxide interfaces: pathways to novel phenomena," *Materials Today*, vol. 15, pp. 320, 2012.
- [239] H.Y. Hwang, Y. Iwasa, M. Kawasaki, B. Keimer, N. Nagaosa and Y. Tokura, "Emergent phenomena at oxide interfaces," *Nature Materials*, vol. 11, pp. 103, 2012.
- [240] J. Chakhalian, A.J. Millis and J. Rondinelli, "Whither the oxide interface," *Nature Materials*, vol. 11, pp 92-94, 2012.
- [241] Editorial, "The interface is still the device," *Nature Materials*, vol. 11, pp. 91, 2012.
- [242] A. Ohtomo and H. Hwang, "A high-mobility electron gas at the $\text{LaAlO}_3/\text{SrTiO}_3$ heterointerface," *Nature*, vol. 427, pp. 423, 2004.
- [243] J. Mannhart and D.G. Schlom, "Oxide interfaces – An Opportunity for Electronics," *Science*, vol. 327, pp. 1607, 2010.
- [244] L. Li, C. Richter, S. Paetel, T. Kopp, J. Mannhart, R.C. Ashoori, "Very Large Capacitance Enhancement in a Two-Dimensional Electron System," *Science*, vol. 332, pp. 825, 2011.
- [245] V. Tinkl, M. Breitschaft, C. Richter and J. Mannhart, "Large negative electronic compressibility of LaAlO_3 - SrTiO_3 interfaces with ultrathin LaAlO_3 layers," *Phys. Rev. B*, vol. 86, pp. 075116, 2012.
- [246] B. Förg, C. Richter, J. Mannhart, "Field-effect devices utilizing LaAlO_3 - SrTiO_3 interfaces," *Appl. Phys. Lett.*, vol. 100, pp. 053506, 2012.
- [247] J.W. Park, D.F. Bogorin, C. Cen, D.A. Felker, Y. Zhang, C.T. Nelson, C.W. Bark, C.M. Folkman, X.Q. Pan, M.S. Rzchowski, J. Levy, C.-B. Eom, "Creation of a two-dimensional electron gas at an oxide interface on silicon," *Nature Communications*, vol. 1, pp. 94, 2010.

- [248] D. G. Schlom and J. Mannahrt, "Interface takes charge over Si," *Nature Materials*, vol. 10, pp. 168, 2011.
- [249] E. Bousquet, M. Dawber, N. Stucki, C. Lichtensteiger, P. Hermet, S. Gariglio, J.-M. Triscone, and P. Ghosez, "Improper ferroelectricity in perovskite oxide artificial superlattices," *Nature*, vol. 452, pp. 732, 2008.
- [250] K. Rogdakis, J.W. Seo, Z. Viskadourakis, Y. Wang, L.F.N.A. Oune, E. Choi, J.D. Burton, E.Y. Tsybal, J. Lee, C. Panagopoulos, "Tunable ferroelectricity in artificial tri-layer superlattices comprised of non-ferroic components," *Nature Communications*, vol. 3, pp. 1064, 2012.
- [251] H. K. Sato, C. Bell, Y. Hikita, and H.Y. Hwang, "Stoichiometry control of the electronic properties of the $\text{LaAlO}_3/\text{SrTiO}_3$ heterointerface," *Appl. Phys. Lett.*, vol. 102, pp. 251602, 2013.
- [252] Y. Xie, Y. Hikita, C. Bell and H. Y. Hwang, "Control of electronic conduction at an oxide heterointerface using polar surface adsorbates," *Nature Communications*, vol. 2, pp. 494, 2011.
- [253] D. Newns, B. Elmegreen, X.H. Liu, G. Martyna, "A low-voltage high-speed electronic switch based on piezoelectric transduction," *J. Appl. Phys.*, vol. 111, pp. 084509, 2012.
- [254] M. Copel, M. A. Kuroda, M. S. Gordon, X.-H. Liu, S. S. Mahajan, G. J. Martyna, N. Moumen, C. Armstrong, S. M. Rossnagel, T. M. Shaw, P. M. Solomon, T. N. Theis, J. J. Yurkas, Y. Zhu, and D. M. Newns, "Giant Piezoresistive On/Off Ratios in Rare-Earth Chalcogenide Thin Films Enabling Nanomechanical Switching," *Nano Lett.*, vol. 13, pp. 4650–4653, 2013.
- [255] C.S. Smith, "Piezoresistance Effect in Germanium and Silicon," *Phys. Rev.*, vol. 94, pp. 42-49, 1954.
- [256] A. Jayaraman and R. G. Maines, "Study of the valence transition in Eu-, Vb-, and Ca-substituted SmS under high pressure and some comments on other substitutions," *Phys. Rev. B*, vol. 16, pp. 4154-4161, 1979.
- [257] I. Jarrige, H. Yamaoka, J.-P. Rueff, J.-F. Lin, M. Taguchi, N. Hiraoka, H. Ishii, K. D. Tsuei, K. Imura, T. Matsumura, A. Ochiai, H. S. Suzuki, and A. Kotani, "Unified understanding of the valence transition in the rare-earth monochalcogenides under pressure," *Phys. Rev. B*, vol. 87, pp. 115107, 2013.
- [258] T. Shinada, S. Okamoto, T. Kobayashi and I. Ohdomari, "Enhancing semiconductor device performance using ordered dopant arrays," *Nature*, vol. 437, pp. 1128, 2005.
- [259] P. M. Koenraad and M. E. Flatté, "Single dopants in semiconductors," *Nature Materials*, vol. 10, pp. 91, 2011.
- [260] M. Fuechsle, J. A. Miwa, S. Mahapatra, H. Ryu, S. Lee, O. Warschkow, L. C. L. Hollenberg, G. Klimeck, M. Simmons, "A single-atom transistor," *Nature Nanotechnology*, vol. 19, pp. 242, 2012.
- [261] E. Prati and T. Shinada, "Single-atom Nanoelectronics," Pan Stanford Publishing, 2013.
- [262] B. E. Kane, "A silicon-based nuclear spin quantum computer," *Nature*, vol. 393, pp. 133, 1998.
- [263] R. G. Clark, R. Brenner, T. M. Buehler, V. Chan, N. J. Curson, A. S. Dzurak, E. Gauja, H. S. Goan, A. D. Greentree, T. Hallam, A. R. Hamilton, L. C. L. Hollenberg, D. N. Jamieson, J. C. McCallum, G. J. Milburn, J. L. O'Brien, L. Oberbeck, C. I. Pakes, S. D. Prawer, D. J. Reilly, F. J. Ruess, S. R. Schofield, M. Y. Simmons, F. E. Stanley, R. P. Starrett, C. Wellard and C. Yang, "Progress in silicon based quantum computing," *Phil. Trans. Royal Soc.*, vol. 361, pp. 1451, 2003.
- [264] T. Matsukawa, T. Fukai, S. Suzuki, K. Hara, M. Koh, I. Ohdomari, "Development of single-ion implantation - Controllability of implanted ion number," *Appl. Surf. Sci.*, vol. 117, pp. 677, 1997.
- [265] J. Meijer, S. Pezzagna, T. Vogel, B. Burchard, H. H. Bukow, I. W. Rangelow, Y. Sarov, H. Wigners, I. Pluemel, F. Jelezko, J. Wrachtrup, F. Schmidt-Kaler, W. Schnitzler, K. Singer, "Towards the implanting of ions and positioning of nanoparticles with nm spatial resolution," *Appl. Phys. A*, vol. 91, pp. 567, 2008.
- [266] E. Bielejec, J. A. Seamons and M. S. Carroll, "Single ion implantation for single donor devices using Geiger mode detectors," *Nanotechnology*, vol. 21, pp. 085201, 2010.
- [267] T. Shinada, M. Hori, Y. Ono, K. Taira, A. Komatsubara, T. Tani, T. Endoh, I. Ohdomari, "Performance evaluation of MOSFETs with discrete dopant distribution by one-by-one doping method," in *Proceedings of the IEEE IEDM*, San Francisco, CA, 2010, pp. 592.
- [268] M. Hori, T. Shinada, K. Taira, A. Komatsubara, Y. Ono, T. Tani, T. Endoh, I. Ohdomari, "Enhancing Single-Ion Detection Efficiency by Applying Substrate Bias Voltage for Deterministic Single-Ion Doping," *Appl. Phys. Express*, vol. 4, pp. 046501, 2011.
- [269] M. Ilg, C. D. Weis, J. Schwartz, A. Persaud, Q. Ji, C. Chi Lo, J. Bokor, A. Hegyi, E. Guliyev, I. W. Rangelow, T. Schenkel, "Improved single ion implantation with scanning probe alignment," *J. Vac. Sci. & Technol. B*, vol. 30, pp. 06FD04, 2012.

- [270] A. D. Alves, J. Newnhan, J. A. van Donkelaar, S. Rubanov, J. C. McCallum, D. N. Jamieson, "Controlled deterministic implantation by nanostencil lithography at the limit of ion-aperture straggling," *Nanotechnology*, vol. 24, pp. 145304, 2013.
- [271] J. L. O'Brien, S. R. Schofield, M. Y. Simmons, R. G. Clark, A. S. Dzurak, N. J. Curson, B. E. Kane, N. S. McAlpine, M. E. Hawley and G. W. Brown, "Towards the fabrication of phosphorus qubits for a silicon quantum computer," *Phys. Rev. B*, vol. 64, pp. 161401, 2001.
- [272] S. R. Schofield, N. J. Curson, M. Y. Simmons, F. J. Ruess, T. Hallam, L. Oberbeck and R. G. Clark, "Atomically precise placement of single dopants in silicon," *Phys. Rev. Lett.*, vol. 91, pp. 136104, 2003.
- [273] F. J. Rueß, W. Pok, T. C. G. Reusch, M. J. Butcher, K. E. J. Goh, G. Scappucci, A. R. Hamilton and M. Y. Simmons, "Realization of Atomically Controlled Dopant Devices in Silicon," *Small*, vol. 3, pp. 563, 2007.
- [274] M. Fuechsle, S. Mahapatra, F. A. Zwanenburg, M. Friesen, M. A. Eriksson, M. Y. Simmons, "Spectroscopy of few-electron single-crystal silicon quantum dots," *Nature Nanotechnology*, vol. 5, pp. 502, 2010.
- [275] M. Fuechsle, J. A. Miwa, S. Mahapatra, H. Ryu, S. Lee, O. Warschkow, L. C. L. Hollenberg, G. Klimeck, M. Simmons, "A single-atom transistor," *Nature Nanotechnology*, vol. 19, pp. 242, 2012.
- [276] H. Sellier, G. P. Lansbergen, J. Caro, S. Rogge, N. Collaert, I. Ferain, M. Jurczak and S. Biesemans, "Transport Spectroscopy of a Single Dopant in a Gated Silicon Nanowire," *Phys. Rev. Lett.*, vol. 97, pp. 206805, 2006.
- [277] Y. Ono, K. Nishiguchi, A. Fujiwara, and H. Yamaguchi, H. Inokawa, Y. Takahashi, "Conductance modulation by individual acceptors in Si nanoscale field-effect transistors," *Appl. Phys. Lett.*, vol. 90, pp. 102106, 2007.
- [278] G. P. Lansbergen, R. Rahman, C. J. Wellard, I. Woo, J. Caro, N. Collaert, S. Biesemans, G. Klimeck, L. C. L. Hollenberg and S. Rogge, "Gate-induced quantum-confinement transition of a single dopant atom in a silicon FinFET," *Nature Physics*, vol. 4, pp. 656, 2008.
- [279] M. Pierre, R. Wacquez, X. Jehl, M. Sanquer, M. Vinet and O. Cueto, "Single-donor ionization energies in a nanoscale CMOS channel," *Nature Nanotechnology*, vol. 5, pp. 133, 2010.
- [280] M. Fuechsle, S. Mahapatra, F. A. Zwanenburg, M. Friesen, M. A. Eriksson and M. Y. Simmons, "Spectroscopy of few-electron single-crystal silicon quantum dots," *Nature Nanotechnology*, vol. 5, pp. 502, 2010.
- [281] M. Tabe, D. Moraru, M. Ligowski, M. Anwar, R. Jablonski, Y. Ono and T. Mizuno, "Single-Electron Transport through Single Dopants in a Dopant-Rich Environment," *Phys. Rev. Lett.*, vol. 105, pp. 016803, 2010.
- [282] T. Shinada, M. Hori, F. Guagliardo, F. Ferrari, A. Komatsubara, K. Kumagai, T. Tani, T. Endoh, Y. Ono, E. Prati, "Quantum transport in deterministically implanted single-donors in Si FETs," in *Proceedings of the IEEE IEDM*, Washington, DC, 2011, pp. 697.
- [283] R. Rahman, S. H. Park, G. Klimeck and L. C. L. Hollenberg, "Stark tuning of the charge states of a two-donor molecule in silicon," *Nanotechnology*, vol. 22, pp. 225202, 2011.
- [284] E. Prati, M. Hori, F. Guagliardo, G. Ferrari, T. Shinada, "Anderson–Mott transition in arrays of a few dopant atoms in a silicon transistor," *Nature Nanotechnology*, vol. 7, pp. 443, 2012.
- [285] E. Hamid, D. Moraru, Y. Kuzuya, T. Mizuno, L. T. Anh, H. Mizuta, M. Tabe, "Electron-tunneling operation of single-donor-atom transistors at elevated temperatures," *Phys. Rev. B*, vol. 87, pp. 085420, 2013.
- [286] N. Sano, K. Matsuzawa, M. Mukai, and N. Nakayama, "On discrete random dopant modelling in drift-diffusion simulations: Physical meaning of 'atomistic' dopants," *Microelectron. Reliab.*, vol. 42, pp. 189, 2002.
- [287] C. Alexander, G. Roy, A. Asenov, "Random dopant induced drain current variation in nano-MOSFETs: A three dimensional self-consistent Monte Carlo study using 'ab-initio' ionized impurity scattering," *IEEE Trans. Electron Dev.*, vol. 55, pp. 3251, 2008.
- [288] N. Seoane, A. Martinez, A. R. Brown, J. R. Barker, and A. Asenov, "Current Variability in Si Nanowire MOSFETs Due to Random Dopants in the Source/Drain Regions: A Fully 3-D NEGF Simulation Study," *IEEE Trans. on Electron Dev.*, vol. 56, pp. 1388, 2009.
- [289] B. E. Kane, "A silicon-based nuclear spin quantum computer," *Nature*, vol. 393, pp. 133, 1998.
- [290] J. J. Pla, K. Y. Tan, J. P. Dehollain, W. H. Lim, J. J. L. Morton, D. N. Jamieson, A. D. Dzurak, A. Morello, "A single-atom electron spin qubit in silicon," *Nature*, vol. 489, pp. 541, 2012.
- [291] J. J. Pla, K. Y. Tan, J. P. Dehollain, W. H. Lim, J. J. L. Morton, F. A. Zwanenburg, D. N. Jamieson, A. D. Dzurak, A. Morello, "High-fidelity readout and control of a nuclear spin qubit in silicon," *Nature*, vol. 496, pp. 334, 2013.

- [292] C. Yin, M. Rancic, G. G. de Boo, N. Stavrias, J. C. McCallum, M. J. Sellars, S. Rogge, "Optical addressing of an individual erbium ion in silicon," *Nature*, vol. 497, pp. 91, 2013.
- [293] F. Jelezko, T. Gaebel, I. Popa, M. Domhan, A. Gruber, and J. Wrachtrup, "Observation of Coherent Oscillation of a Single Nuclear Spin and Realization of a Two-Qubit Conditional Quantum Gate," *Phys. Rev. Lett.*, vol. 93, pp. 130501, 2004.
- [294] G. D. Fuchs, V. V. Dobrovitski, D. M. Toyli, F. J. Heremans, D. D. Awschalom, "Gigahertz Dynamics of a Strongly Driven Single Quantum Spin," *Science*, vol. 326, pp.1520, 2009.
- [295] F. Dolde, I. Jakobi, B. Naydenov, N. Zhao, S. Pezzagna, C. Trautmann, J. Meijer, P. Neumann, F. Jelezko, J. Wrachtrup, "Room-temperature entanglement between single defect spins in diamond," *Nature Physics*, vol. 9, pp.139, 2013.
- [296] M. König, S. Wiedmann, C. Brüne, A. Roth, H. Buhmann, L. W. Molenkamp, X.-L. Qi, and S.-C. Zhang, "Quantum Spin Hall Insulator State in HgTe Quantum Wells," *Science*, vol. 318, pp. 766, 2007.
- [297] F. Xiu, L. He, Y. Wang, L. Cheng, L.-T. Chang, M. Lang, G. Huang, X. Kou, Y. Zhou, X. Jiang, Z. Chen, J. Zou, A. Shailos, and K. L. Wang, "Manipulating surface states in topological insulator nanoribbons," *Nature Nanotech.*, vol. 6, pp.213-221, 2011.
- [298] D. Hsieh, D. Qian, L. Wray, Y. Xia, Y. S. Hor, R. J. Cava & M. Z. Hasan, "A topological Dirac insulator in a quantum spin Hall phase," *Nature*, vol. 452, pp. 970, 2008.
- [299] T. Hirahara, G. Bihlmayer, Y. Sakamoto, M. Yamada, H. Miyazaki, S. Kimura, S. Blügel, and S. Hasegawa, "Interfacing 2D and 3D Topological Insulators: Bi(111) Bilayer on Bi₂Te₃," *Phys Rev. Lett.*, vol. 107, pp. 166801, 2011.
- [300] A. Stern and N. H. Lindner, "Topological Quantum Computation—From Basic Concepts to First Experiments," *Science*, vol. 339, pp. 1179-1184, 2013.

Lithography Material References

- [1] L. Pain, B. Icard, M. Martin, C. Constancias, S. Tedesco, P. Wiedeman, A. Farah, B. J. Kampherbeek, C. Pieczulewski, H. Kandrashov. "IMAGINE: an open consortium to boost maskless lithography take off first assessment results on MAPPER technology," in *Proc. of SPIE*, vol. 7970, pp 79700Y-1, 2011.
- [2] S. J. Lin, W.C. Wang, P.S. Chen, C.Y. Liu, T.N. Lo, J.H. Chen, Faruk Krecinic, Burn J. Lin, "Characteristics Performance of Production-Worthy Multiple E-Beam Maskless Lithography," in *Proc. of SPIE*, vol. 7637, pp. 763717-1, 2010.
- [3] P. Petric, C. Bevis, M. McCord, A. Carroll, A. Brodie, U. Ummethala, L. Grella, A. Cheung, R. Freed, "New advances with REBL for maskless high-throughput EBDW lithography," in *Proc. of SPIE*, vol. 7970, pp. 797018-1, 2011.
- [4] M. Reilly, C. Andes, T. Cardolaccia, Y. S. Kim, J. K. Park, "Evolution of Negative Tone Development Photoresists for ArF Lithography," *Proc. SPIE*, vol. 8325, pp. 832507-1, 2012.
- [5] H. Yaegashi, K. Oyama, A. Hara, S. Natori, and S. Yamauchi, "Overview: Continuous evolution on double-patterning process," in *Proc. SPIE*, vol. 8325, pp. 83250B-1, 2012.
- [6] L. Jang, S. Raghunathan, E. T. Ryan, J. Kye, H. J. Levinson, S. Dunn, D. Hetzer, S. Kawakami, and L. Huli, "SADP for BEOL using chemical slimming with resist mandrel for beyond 22 nm nodes," in *Proc. SPIE*, vol. 8325, pp. 83250D-1, 2012.
- [7] Y. Kuwahara, S. Shimura, H. Kyouda, K. Oyama, S. Yamauchi, A. Hara, S. Natori, and H. Yaegashi, "Advanced multi-patterning using resist core spacer process for 22nm node and beyond," in *Proc. SPIE*, vol. 8325, pp. 832528-1, 2012.
- [8] W. Y. Wang, C. H. Wu, Y.-C. Su, C.-H. Wu, Y.-H. Chang, C.-Y. Chang, and Y.-C. Ku, "New negative resist design with novel photo-base generator," in *Proc. of SPIE*, vol. 8682, pp. 86821Y, 2013.
- [9] S. F. Chen L.L. Chang, Y.H. Chang, C.C. Huang, C.Y. Chang, Y. Ku, "Contrast improvement with balanced diffusion control of PAG and PDB," in *Proc. of SPIE*, vol. 8325, pp. 83250O, 2011.

- [10] G. L. Hallett-Tapley, T.-L. Wee, J. Eldo, E. A. Jackson, J. M. Blackwell, J. C. Scaiano, "Ionic carbamate photoacid/photobase generators for the advancement of dual-tone photolithography" in *Proc. of SPIE* Vol. 8325, pp. 83251T, 2011.
- [11] G. Landie, Y. Xu, S. Burns, K. Yoshimoto, M. Burkhardt, L. Zhuang, K. Petrillo, J. Meiring, D. Goldfarb, M. Glodde, A. Scaduto, M. Colburn, J. Desisto, Y. Bae, M. Reilly, C. Andes, and V. Vohra, "Fundamental investigation of negative tone development (NTD) for the 22nm node (and beyond)," in *Proc. of SPIE*, vol. 7972, pp. 797206, 2011.
- [12] D. Guerrero, V. Krishnamurthy and D. M. Sullivan, "BARC surface property matching for negative-tone development of a conventional positive-tone resist," in *Proc. of SPIE*, vol. 7972, pp. 79720Q, 2011.
- [13] T. Shimokawa, Y. Hishiro, Y. Yamaguchi, M. Shima, T. Kimura, Y. Takimoto, and T. Nagai, "The evolving complexity of patterning materials," in *Proc. of SPIE* Vol. 8682, pp. 868202, 2011.
- [14] J. Cantone, K. Petrillo, Y. Xu, G. Landie, S. Kawakami, S. Dunna, and M. Colburn, "Negative tone imaging (NTI) at the 22nm node: process and material development," in *Proc. of SPIE*, vol. 7972, pp. 79720M, 2011.
- [15] S. Tarutani, S. Kamimura; K. Fujii; K. Katou; Y. Enomoto, "High volume manufacturing capability of negative tone development process." In *Proc. of SPIE*, vol. 7972, pp. 79720N, 2011.
- [16] N. Saulnier, C.-s. Koay, M. Colburn, D. Hetzer, M. Cicoria, and J. Ludwicki, "Feasibility study of resist slimming for SIT," in *Proc. of SPIE*, vol. 8682, pp. 86820E, 2013.
- [17] J. P. M. Bekaert, L. Van Look; V. P. Truffert, F. Lazzarino, G. Vandenberghe, M. Reybrouck, and S. Tarutani "Comparing positive and negative tone development process for printing the metal and contact layers of 32-and 22-nm nodes," in *Proc. of SPIE*, vol. 7640, pp. 764011, 2010.
- [18] J.M. Gomez, I. Y. Popova, B. Zhang, H. Kry, S. J. Holmes, S. Nakagawa, T. Murakami, Chan Sam Chang, and Cheol Kim, "Critical challenges for "non-critical" layers," in *Proc. of SPIE*, vol. 7972, pp. 79722T, 2011.
- [19] D. C. Brandt et. al., "CO₂/Sn EUV Sources for device development and HVM," in *Proc. SPIE*, vol. 8679, pp. 86791G-1-8, 2013.
- [20] J. W. Thackeray, J. Cameron, V. Jain, P. LaBeaume, S. Coley, O. Ongayi, M. Wagner, and A. Rachford, "Progress in Resolution, Sensitivity and Critical Dimension Uniformity for EUV Chemically Amplified Resists," in *Proc. SPIE*, vol. 8682, pp. 868213-1-12, 2013.
- [21] Y. Ekinci, M. Vockenhuber, M. Hojeij, L. Wang, and N. Mojarad, "Evaluation of EUV Resist Performance with interference lithography towards 11 nm half-pitch and beyond," in *Proc. SPIE*, vol. 8679, pp. 867910-1-11, 2013.
- [22] S. Tarutani, W. Nishashi, S. Hirano, N. Yokokawa, and H. Takizawa, "Negative tone imaging process and materials for EUV lithography," in *Proc. SPIE*, vol. 8682, pp. 868214-1-6, 2013.
- [23] D. P. Green, V. Jain, B. Bailey, M. Wagner, M. Clark, D. Valeri, S. Lakso, "Development of Molecular Resist Derivatives for EUV Lithography," in *Proc. SPIE*, vol. 8679, pp. 867913-1-13, 2013.
- [24] P. K. Kulshreshtha, K. Maruyama, S. Kiani, S. Dhuey, P. Perera, J. Blackwell, D. Olynick, P. D. Ashby, "Sub-20nm Lithography Negative Tone Chemically Amplified Resists using Cross-Linker Additives," in *Proc. SPIE*, vol. 8682, pp. 86820N-1-10, 2013.
- [25] A. Frommhold, D.X. Yang, A. McClelland, X. Xue, R.E. Palmer, and A.P.G. Robinson, "EUV lithography performance of negative-tone chemically amplified fullerene resist," in *Proc. SPIE*, vol. 8682, pp. 86820Q-1-6, 2013.
- [26] S. Chakrabarty, C. Ouyang, M. Krysak, M. Trikeriotis, K. Cho, E. P. Giannelis, and Christopher K. Ober, "Oxide nanoparticle EUV resists: toward understanding the mechanism of positive and negative tone patterning," in *Proc. SPIE*, vol. 8679, pp. 867906-1-8, 2013.
- [27] A. Ohshima, T. G. Oyama, M. Washio, and S. Tagawa, "Evaluation of sensitivity for positive tone non-chemically and chemically amplified resists using ionized radiation: EUV, X-ray, electron and ion induced reactions," in *Proc. SPIE*, vol. 8682, pp. 86821A-1-7, 2013.
- [28] T. G. Oyama, T. Takahashi, A. Oshima, M. Washio, and S. Tagawa, "Extendibility of EUV resists in the exposure wavelength from 13.5 down to 3.1nm for next-generation lithography," in *Proc. of SPIE*, vol. 7972, pp. 797210-1, 2011.

- [29] D. E. Noga, R. A. Lawson, C.T. Lee, L. M. Tolbert and C.L. Henderson, "Understanding Pattern Collapse in High-Resolution Lithography: Impact of Feature Width on Critical Stress," in *Proc. of SPIE*, vol. 7273, pp. 727334, 2009.
- [30] H.B. Cao, P.F. Nealey and W.D. Domke, "Comparison of resist collapse properties for deep ultraviolet and 193 nm resist platforms," *J. Vac. Sci. Technol. B*, vol. 18, pp. 3303, 2000.
- [31] Y. See, J. Cha, T. Chang and M. Ree, "Glass Transition Temperature of Poly(tert-butyl methacrylate) Langmuir-Blodgett Film and Spin-Coated Film by X-ray Reflectivity and Ellipsometry," *Langmuir*, vol. 16, pp. 2351, 2000.
- [32] R.S. Tate, D.S. Fryer, S. Pasqualini, M.F. Montague, J.J. de Pablo and P.F. Nealey, "Extraordinary elevation of the glass transition temperature of thin polymer films grafted to silicon oxide substrates," *J. of Chem. Phys.*, vol. 115, pp. 9982, 2001.
- [33] S. Yamamoto, Y. Tsujii and T. Fukuda, "Glass Transition Temperatures of High-Density Poly(methyl methacrylate) Brushes," *Macromolecules*, vol. 35, pp. 6077, 2002.
- [34] A. Sundaramoorthi, T.R. Younkin, and C.L. Henderson, "Elucidating the Physiochemical and Lithographic Behavior of Ultra-Thin Photoresist Films," in *Proc. of SPIE*, vol. 7273, pp. 72733V, 2009.
- [35] R. Gronheid, F.V. Roey and D.V. Steenwinckel, "Using KLUP for Understanding Trends in EUV Resist Performance," *J. Photopolym. Sci. Technol.*, vol. 21, pp. 429, 2008.
- [36] R. Gronheid, C. Fonseca, M.J. Leeson, J.R. Adams, J.R. Strahan, C.G. Willson, and B.W. Smith, "EUV Resist Requirements: Absorbance and Acid Yield," in *Proc. of SPIE*, vol. 7273, pp. 727332, 2009.
- [37] K. Petrillo, G. Huang, D. Ashworth, J. Geroger, L. Ren, K.Y. Cho, W. Montgomery, and S. Wurm, "Line Width Roughness Control and Pattern Collapse Solutions for EUV Patterning," in *Proc. of SPIE*, vol. 7969, pp. 796913-1, 2011.
- [38] C. Koh, H.-W. Kim, S. Kim, H.-S. Na, C.-M. Park, C. Park, and K.-Y. Cho, "LWR Improvement in EUV Resist Process," *Proc. of SPIE*, vol. 7969, pp. 796918-1, 2011; I. Pollentier, I. Neira, and R. Gronheid, "Assessment of Resist Outgassing related EUV optics Contamination for CAR and non-CAR material chemistries," in *Proc. of SPIE*, vol. 7972, pp. 797208-1, 2011.
- [39] N. Fujitani, R. Sakamoto, T. Endo, R. Onishi, T. Nishita, H. Yaguchi, and B.-C. Ho et al, "The novel solution for negative impact of out-of-band and outgassing by top coat materials in EUVL," in *Proc. SPIE*, vol. 8682, pp. 868209-1-7, 2013.
- [40] M. Padmanaban, J. Y. Cho, T. Kudo, S. Mullen, H. Yao, "Underlayer and rinse materials for improving EUV Resist Performance," in *Proc. SPIE*, vol. 8682, pp. 868215-1-11, 2013.
- [41] C. Koh, H.-W. Kim, S. Kim, H.-S. Na, C.-M. Park, C. Park, and K.-Y. Cho, "LWR Improvement in EUV Resist Process," in *Proc. SPIE*, vol. 7969, pp. 796918-1-8, 2011.
- [42] H. Yao, S. Mullen, E. Wolfer, D. Rahman, C. Anyadiegwu, D. Mckenzie, . Dioses, J. Cho, and M. Padmanaban, "New spin-on metal hardmask materials for lithography processes," *Proc. of SPIE* Vol. 8682, pp. 86820S, 2013.
- [43] N. Go, "Composition for forming tungsten oxide film and method for producing tungsten oxide film using same" Japan Patent WO2013022081(A1), Feb. 02, 2013.
- [44] D.N. Pugliano, P. Bolton, T. Barbieri, M. King, M. Reilly, W. Lawrence, D. Kang and G. Barclay, "Negative Tone 193 nm Photoresists," *Proc. of SPIE*, vol. 5039, pp. 698, 2003.
- [45] K. Patel, M. Lawson, P. Varanasi, D. Medeiros, G. Wallraff, P. Brock, R. DiPietro, Y. Nishimura, T. Chiba, and M. Slezak, "IBM-JSR 193nm Negative Tone Resist: Polymer Design, Material Properties, and Lithographic Performance," *Proc. of SPIE*, vol. 5376, pp. 94, 2004.
- [46] P. Kulshreshtha, K. Maruyama, S. Kiani, S. Dhuey, P. Perera, J. Blackwell, D. Olynick and P. Ashby, "Sub-20nm lithography negative tone chemically amplified resists using cross-linker additives," *Proc. of SPIE*, vol. 8682, pp. 86820N, 2013.
- [47] M. Reilly, C. Andes, T. Cardolaccia, Y. S. Kim, and J. K. Park, "Evolution of negative tone development photoresists for ArF lithography," *Proc. of SPIE* Vol. 8325, pp. 832507, 2012.
- [48] S. Tarutani, K. Fujii, K. Yamamoto, K. Iwato and M. Shirakawa, "Functional resist materials for Negative Tone Development in advanced lithography," *J. Photopoly. Sci. Tech.* vol. 25, p. 109, 2012.

- [49] J. J. Biafore, M. D. Smith, C. A. Mack, J. W. Thackeray, R. Gronheid, S. A. Robertson, T. Graves, and D. Blankenship, "Statistical simulation of photoresists at EUV and ArF," *Proc. of SPIE*, vol. 7273, pp. 727343, 2009.
- [50] C. Mack. "A simple model of line-edge roughness." *Future Fab International*, issue 34, ch. 6, Jul. 14, 2010.
- [51] M. D. Smith, J. Biafore and C. Fang, "Optimization of a virtual EUV photoresist for the tradeoff between throughput and CDU," *Proc. SPIE*, vol. 868203, pp. 868203-1-12, 2013.
- [52] J.W. Thackeray, "Materials challenges for sub-20nm lithography," *Proc. of SPIE*, vol. 7927, pp. 797204, 2011.
- [53] (a.) Y.- J. Kwark, J. P. Bravo-Vasquez, C. K. Ober, H. B. Cao, H. Deng, and R. Meagley, "Novel Silicon-containing Polymers as Photoresist Materials for EUV Lithography," *Proc. of SPIE*, vol. 5039, pp. 1204-1211, 2003. (b.) J. P. Bravo-Vasquez, Y. -J. Kwark, C. K. Ober, H. B. Cao, H. Deng, and R. Meagley, "Silicon Backbone polymers as EUV Resists," *Proc. of SPIE*, vol. 5376, pp. 739-745, 2004. (c.) Y. -J. Kwark, J. P. Bravo-Vasquez, M. Chandhok, H. Cao, H. Deng, E. Gullikson, and C. K. Ober, "Absorbance Measurement of Polymers at Extreme UV Wavelength: Correlation between Experimental and Theoretical Calculations," *J. Vac. Sci. Tech. B*, vol. 24, pp. 1822-26, 2006.
- [54] M. D. Christianson, M. M. Meyer, O. Ongayi, D. Valeri, and M. Wagner, "High Absorbing Resists Based on Trifluoromethacrylate- Vinyl Ether Copolymers for EUV Lithography," *Proc. SPIE*, vol. 8682, pp. 868216-1-11, 2013.
- [55] R. Gronheid, F.V. Roey and D.V. Steenwinckel, "Using KLUP for Understanding Trends in EUV Resist Performance," *J. Photopolym. Sci. Technol.*, vol. 21, pp. 429,
- [56] (a) D. van Steenwinckel, J. H. Lammers, L. H. Leunissen, and J. A. J. M. Kwinten, "Lithographic importance of acid diffusion in chemically amplified resists," *Proc. of SPIE*, vol. 5753, pp. 269-280, 2005. b) M. D. Smith, J. D. Byers, and C. A. Mack, "The lithographic impact of resist model parameters," *Proc. of SPIE*, vol. 5376, pp. 322-332, 2004.
- [57] (a) W. Hinsberg , F. A. Houle, M. I. Sanchez, J. A. Hoffnagle, G. M. Wallraff, D. R. Medeiros, G. M. Gallatin, and J. L. Cobb, "Extendability of Chemically Amplified Resists: Another Brick Wall?," *Proc. of SPIE*, vol. 5039, pp.1 – 14, 2003. b) W. Hinsberg, F. A. Houle, M. I. Sanchez, and G. M. Wallraff, "Chemical and Physical aspects of the Post exposure baking process used for positive chemically amplified resists," *IBM J. of Research and Development*, vol.45, pp 667-682, 2001.
- [58] J. W. Thackeray, M. Wagner, S. J. Hang and J. Biafore, "Understanding the Role of Acid vs. Electron Blur in EUV Resist Materials," *J. Photopol. Sci. Tech*, vol. 23, pp. 631-638, 2010.
- [59] J. M. Roberts, R. L. Bristol, T. R. Younkin, T. H. Fedynyshyn, D. K. Astolfi, and A. Cabral, "Sensitivity of EUV resists to out-of-band radiation," *Proc. of SPIE*, vol. 7273, pp. 72731W, 2009.
- [60] I. Pollentier, A.-M. Goethals, R. Gronheid, J. Steinhoff, and J. Van Dijk, "Characterization of EUV optics contamination due to photoresist related outgassing," *Proc. of SPIE*, vol. 7636, pp. 76361W, 2010.
- [61] I. Pollentier, R. Lokasani, R. Gronheid, S. Hill, C. Tarrio, and T. Lucatorto, "Relationship between resist released outgassing and witness sample contamination in the NXE outgas qualification using electrons and EUV," *Proc. of SPIE*, vol. 8679, pp. 86790K-1-12, 2013.
- [62] C. A. Mack, J. W. Thackeray, J. J. Biafore, M. D. Smith, "Stochastic Exposure Kinetics of EUV Photoresists: A Simulation Study," *Proc. of SPIE*, vol. 796919, pp. 796919-1-22, 2011.
- [63] C. Koh, J. Georger, L. Ren, G. Huang, F. Goodwin, S. Wurm, D. Ashworth, W. Montgomery, B. Pierson, J.-O. Park, and P. Naulleau, "Characterization of promising resist platforms for sub-30-nm HP manufacturability and EUV CAR extendibility study," *Proc. of SPIE*, vol. 7636, pp. 763604, 2010.
- [64] V. Auzelyte, C. Dais, P. Farquet, D. Grützmacher, L. J. Heyderman, F. Luo, S. Olliges, C. Padeste, P. K. Sahoo, T. Thomson, A. Turchanin, C. David, and H. H. Solak, "Extreme ultraviolet interference lithography at the Paul Scherrer Institut," *J. Micro/Nanolith. MEMS MOEMS*, vol. 8, pp. 021204, 2009.
- [65] H. H. Solak, D. He, W. Li, and F. Cerrina, "Nanolithography using extreme ultraviolet lithography interferometry: 19 nm lines and spaces," *J. Vac. Sci. Technol. B*, vol. 17, pp. 3052–3057, 1999.
- [66] Y. Ekinici, M. Vockenhuber, M. Hojeij, L. Wang, N. M. Mojarad, "Evaluation of EUV resist performance with interference lithography towards 11 nm half-pitch and beyond," *Proc. SPIE*, vol. 8679, pp. 867910, 2013.
- [67] H. H. Solak, I. Y. Ekinici, P. S. Käser, and S. Park, "Photon-beam lithography reaches 12.5 nm half-pitch resolution," *J. Vac. Sci. Technol. B*, vol. 25, pp. 91–95, 2007.

- [68] J. Stowers and D.A. Keszler, "High resolution, high sensitivity inorganic resists," *Microelectronic Engineering*, vol. 86, pp. 730-733, 2009.
- [69] J. K. Stowers, A. Telecky, M. Kocsis, B. L. Clark, D. A. Keszler, A. Grenville, C. N. Anderson and P. P. Naulleau, "Directly patterned inorganic hardmask for EUV lithography," *Proc. of SPIE*, vol. 7969, pp. 7969151, 2011.
- [70] L. Merhari, K.E. Gonsalves, Y. Hu, W. He, W.-S. Huang, M. Angelopoulos, W.H. Bruenger, C. Dzionk and M. Torkler, "Nanocomposite resist systems for next generation lithography," *Microelectronic Engineering*, vol. 63, pp. 391, 2002.
- [71] R. Gronheid, H. H. Solak, Y. Ekinici, A. Jouve, and F. V. Roey, "Characterization of extreme ultraviolet resists with interference lithography," *Microelectronic Engineering*, vol. 83, pp. 1103, 2006.
- [72] J.R. Strahan, J.R. Adams, W. Jen, A. Vanleenhove, C.C. Neikirk, T. Rochelle, R. Gronheid, and C.G. Willson, "Fluorinated Polymethacrylates as Highly Sensitive Non-chemically Amplified e-beam Resists," *Proc. of SPIE*, vol. 7273, pp. 72733G, 2009.
- [73] A.K. Whittaker, I. Blakey, J. Blinco, K.S. Jack, K. Lawrie, H. Liu, A. Yu, M. Leeson, W. Yeuh, T. Younkin, "Development of Polymers for Non-CAR Resists for EUV Lithography," *Proc. of SPIE*, vol. 7273, pp. 727321, 2009.
- [74] I. Blakey, L. Chen, Y. Goh, K. Lawrie, Y. Chuang, E. Piscani, P.A. Zimmerman and A.K. Whittaker, "Non-CA Resists for 193 nm Immersion Lithography: Effects of Chemical Structure on Sensitivity," *Proc. of SPIE*, vol. 7273, pp. 72733X, 2009.
- [75] A. Yu, H. Liu, J.P. Blinco, K.S. Jack, M. Leeson, T.R. Younkin, A.K. Whittaker, and I. Blakey, "Patterning of Tailored Polycarbonate Based Non - Chemically Amplified Resists Using Extreme Ultraviolet Lithography," *Macromolecular Rapid Communications*, vol. 31, pp. 1449-1455, 2010.
- [76] I. Blakey, A. Yu, J. Blinco, K.S. Jack, H. Liu, M. Leeson, Y. Wang, T. Younkin, A.K. Whittaker, and B.M. La Fontaine, "Polycarbonate based non - chemically amplified photoresists for extreme ultraviolet lithography," *Proc. of SPIE*, vol. 7636, pp. 763635/1-8, 2010.
- [77] P.P. Naulleau, D. Niakoula, and G. Zhang, "System-level line-edge roughness limits in extreme ultraviolet lithography," *J. of Vac. Sci. & Tech. B*, vol. 26, pp. 1289-1293, 2008.
- [78] K. J. Lawrie, I. Blakey, J. P. Blinco, H. H. Cheng, R. Gronheid, K. S. Jack, I. Pollentier, M. J. Leeson, T. R. Younkin and A. K. Whittaker, "Chain scission resists for extreme ultraviolet lithography based on high performance polysulfone-containing polymers," *J. Mater. Chem.*, vol. 21, pp. 5629-5637, 2011.
- [79] I. Pollentier, I. Neira and R. Gronheid, "Assessment of resist outgassing related EUV optics contamination for CAR and non -CAR material chemistries," *Proc. of SPIE*, vol. 7972, pp. 797208/1-12, 2011.
- [80] K. Lawrie, I. Blakey, J. Blinco, R. Gronheid, K. Jack, I. Pollentier, M. Leeson, T. Younkin, and A. Whittaker, "Poly(olefin sulfone)s – a materials platform for studying resist derived contamination," *EUVL Symposium in Kobe*, Japan, 2010.
- [81] J. Hermans, H. Dai, A. Niroomand, D. Laidler, M. Mao, Y. Chen, P. Leray, C. Ngai, and S. Cheng, "Towards manufacturing a 10nm node device with complementary EUV lithography," in *Proc. of SPIE*, vol. 8679, pp. 86791K, 2013.
- [82] S. Mimotogi, "Extension of patterning technologies down to sub-10nm half pitch," in *Proc. of SPIE*, vol. 8679, pp. 86791K, 2013.
- [83] R. Gronheid, A. Singh, T. R. Younkin, P. A. Rincon Delgadillo, P. F. Nealey; B. T. Chan; K. Nafus, A. Romo-Negreira, and M. H. Somervell, "Rectification of EUV-Patterned Contact Holes using Directed Self-Assembly," in *Proc. SPIE*, vol. 8685, pp. 868503, 2013.
- [84] P. Trefonas, J. W. Thackeray, G. Sun, S. Cho, C. Clark, S. V. Verkhoturov, M. J. Eller, A. Li, A. Pavía-Jiménez, E. A. Schweikert and K. L. Wooley, "Bottom-up/Top-down High Resolution, High Throughput Lithography using Vertically Assembled Block Bottle Brush Polymers," *Proc. SPIE*, vol. 8682, pp. 86820H-1-13, 2013.
- [85] H. Yi, X.-Y. Bao, R. Tiberio, and H.-S. P. Wong, "Design Strategy of Small Topographical Guiding Templates for sub-15 nm Integrated Circuits Contact Hole Patterns using Block Copolymer Directed Self-Assembly," *Proc. of SPIE*, vol. 8680, pp. 868010, 2013.
- [86] H.-Y. Tsai, H. Miyazoe, S. Engelmann, S. Bangsaruntip, I. Lauer, J. Bucchignano, D. Klaus, L. Gignac, E. Joseph, J. Cheng, D. Sanders, and M. Guillorn, "Pattern transfer of directed self-assembly (DSA) patterns for CMOS device applications," *Proc. SPIE*, vol. 8685, pp. 86850L, 2013.

- [87] D.J.C. Herr, "Directed block copolymer self-assembly for nanoelectronics fabrication," *Journal of the Materials Research*, vol. 26, pp. 122-139, 2011.
- [88] C. Bencher, J. Smith, L. Miao, C. Cai, Y. Chen, J. Y. Cheng, D. P. Sanders, and M. Tjio, H. D. Truong, S. Holmes, and W. D. Hinsberg, "Self-Assembly Patterning for sub-15nm Half-Pitch: A Transition from Lab to Fab," in *Proc. of SPIE*, Vol. 7970, pp. 79700F, 2011.
- [89] P. Rincon Delgadillo, R. Harukawa, M. Suri, S. Durant, A. Cross, V. R. Nagaswami, D. Van Den Heuvel, R. Gronheid, and P. Nealey, "Defect source analysis of directed self-assembly process (DSA of DSA)," *Proc. of SPIE*, vol. 8680, pp. 86800L, 2013.
- [90] Y. Cao, Y.-J. Her, P. Rincon Delgadillo, N. Vandenbroeck, R. Gronheid, B. T. Chan, Y. Hashimoto, A. Romo, M. Somervell, K. Nafus, and P. F. Nealey, "Using Process Monitor Wafers to Understand Directed Self-Assembly Defects," *Proc. of SPIE*, vol. 8680, pp. 86801S-1-7, 2013.
- [91] R. Tiron, X. Chevalier, S. Gaugiran, J. Pradelles, H. Fontaine, C. Couderc, L. Pain, C. Navarro, T. Chevolleau, G. Cunge, M. Delalande, G. Fleury, G. Hadziioannou, "Pattern density multiplication by direct self assembly of block copolymers: Towards 300mm CMOS requirements," in *Proc. of SPIE*, vol. 8323, pp. 83230O, 2013.
- [92] H. Takahashi, N. Laachi, K. T. Delaney, S.-M. Hur, C. J. Weinheimer, D. Shykind, and G. H. Fredrickson, "Defectivity in Laterally Confined Lamella-Forming Diblock Copolymers: Thermodynamic and Kinetic Aspects," *Macromolecules*, vol. 45, pp. 6253-6265, 2012.
- [93] S. Sills, D. Millward, R. Malshe, "Defect formation during self-assembly of block copolymer etch masks", In *American Chemical Society Division of Polymeric Materials: Science and Engineering PMSE Preprints Fall 2010*. Boston: PMSE.
- [94] U. Nagpal, M. Müller, P. F. Nealey, and J. J. de Pablo, "Free Energy of Defects in Ordered Assemblies of Block Copolymer Domains," *ACS Macro Lett.*, vol. 1, pp. 418-422, 2012.
- [95] H. Yi, X.-Y. Bao, J. Zhang, C. Bencher, L.-W. Chang, X. Chen, R. Tiberio, J. Conway, H. Dai, Y. Chen, S. Mitra, and H.-S. P. Wong, "Flexible Control of Block Copolymer Directed Self-Assembly using Small, Topographical Templates: Potential Lithography Solution for Integrated Circuit Contact Hole Patterning," *Adv. Mater.*, vol. 24, pp. 3107-3114, 2012.
- [96] S.F. Wuister, J. Finders, E. Peeters, and C. van Heesch, "Lithography assisted self-assembly of contact holes on 300-mm wafer scale," *J. Micro/Nanolith. MEMS MOEMS*, vol. 11, pp. 031304, 2012.
- [97] A. S. Zalusky, R. Olayo-Valles, J. H. Wolf and M. A. Hillmyer, "Ordered Nanoporous Polymers from Polystyrene-Polylactide Block Copolymers," *J. Am. Chem. Soc.*, vol. 124, pp. 12761-12773, 2002; I. Keen, A. Yu, H.-H. Cheng, K. S. Jack, T. M. Nicholson, A. K. Whittaker, and I. Blakey, "Control of the Orientation of Symmetric Poly(styrene)-block-poly(d,l-lactide) Block Copolymers Using Statistical Copolymers of Dissimilar Composition," *Langmuir*, vol. 28, pp. 15876-15888, 2012.
- [98] E. Huang, L. Rockford, T. P. Russell and C. J. Hawker, "Nanodomain control in copolymer thin films," *Nature*, vol. 395, pp. 757-758, 1998.
- [99] S. Ji, C.-C. Liu, J. G. Son, K. Gotrik, G. S. W. Craig, P. Gopalan, F. J. Himpsel, K. Char, and P. F. Nealey, "Generalization of the Use of Random Copolymers To Control the Wetting Behavior of Block Copolymer Films," *Macromolecules*, vol. 41, pp. 9098- 9103, 2008.
- [100] I. Keen, A. Yu, H.-H. Cheng, K. S. Jack, T. M. Nicholson, A. K. Whittaker, and I. Blakey, "Control of the Orientation of Symmetric Poly(styrene)-block-poly(d,l-lactide) Block Copolymers Using Statistical Copolymers of Dissimilar Composition," *Langmuir*, vol. 28, pp. 15876-15888, 2012.
- [101] W. Chen, S. Park, J.-Y. Wang and T. P. Russell, "Fabrication of Nanoporous Block Copolymer Thin Films through Mediation of Interfacial Interactions with UV Cross-Linked Polystyrene," *Macromolecules*, vol. 42, pp. 7213- 7216, 2009.
- [102] I. Keen, A. Yu, H.-H. Cheng, K. S. Jack, T. M. Nicholson, A. K. Whittaker, and I. Blakey, "Control of the Orientation of Symmetric Poly(styrene)-blockpoly(D,L-lactide) Block Copolymers Using Statistical Copolymers of Dissimilar Composition," *Langmuir*, vol. 28, pp. 15876-15888, 2012.
- [103] P. Mokarian-Tabari, T. W. Collins, J. D. Holmes, M. A. Morris, "Brushless and Controlled Microphase Separation of Lamellar Polystyrene-b-Polyethylene Oxide Thin Films for Block Copolymer Nanolithography," *J. of Polymer Science B*, vol. 50, pp. 904-909, 2012.

- [104] D. J. Guerrero, M. A. Hockey, Y. Wang, and E. Calderas, "Multifunctional hardmask neutral layer for directed self assembly (DSA) patterning," *Proc. of SPIE*, vol. 8680, pp. 86801P, 2013.
- [105] J. Y. Cheng, D. P. Sanders, H. D. Truong, S. Harrer, A. Friz, S. Holmes, M. Colburn, and W. D. Hinsberg, "Simple and Versatile Methods to Integrate Directed Self-Assembly with Optical Lithography Using a Polarity-Switched Photoresist," *ACS Nano*, vol. 4, pp. 4815–4823, 2010.
- [106] H. Cheng, A. Yu, I. Keen, Y. Chuang, K. Jack, M. Leeson, T. Younkin, I. Blakey, and A. Whittaker, "Electron-Beam-Induced Freezing of an Aromatic-Based EUV Resist: A Robust Template for Directed Self-Assembly of Block Copolymers," *IEEE Trans. Nanotech.*, vol. 11, pp. 1140–1147, 2012.
- [107] J.K. Bosworth, M.Y. Paik, R. Ruiz, E.L. Schwartz, J.Q. Huang, A.W. Ko, D.-M. Smilgies, C.T. Black and C.K. Ober, "Control of Self Assembly of Lithographically-Patternable Block Copolymer Films," *ACS Nano*, vol. 2, pp. 1396–1402, 2008.
- [108] G. Wild, "Lithography 2020: Top Down vs. Bottom Up," *Future Fab*, vol. 21, pp. 21–24, 2012.
- [109] C.-C. Liu, A. Ramírez-Hernandez, E. Han, G. S. W. Craig, Y. Tada, H. Yoshida, H. Kang, S. Ji, P. Gopalan, J. J. de Pablo, and P. F. Nealey, "Chemical Patterns for Directed Self-Assembly of Lamellae-Forming Block Copolymers with Density Multiplication of Features," *Macromolecules*, vol. 46, pp. 1415–1424, 2013.
- [110] C.-C. Liu, J. Pitera, N. Lafferty, K. Lai, C. Rettner, M. Tjio, N. Arellano, and J. Cheng, "Progress towards the integration of optical proximity correction and directed self-assembly of block copolymers with graphoepitaxy," *Proc. SPIE*, vol. 8323, pp. 83230X, 2012.

Front End Process and Processes' Integration Devices, and Structures Materials Challenges and Options References

- [1] R. W. Keyes, "The effect of randomness in the distribution of impurity atoms on FET thresholds," *Appl. Phys.*, vol. 8, pp. 251, 1975.
- [2] T. Mizuno, J. Okumtura, and A. Toriumi, "Experimental study of threshold voltage fluctuation due to statistical variation of channel dopant number in MOSFET's," *IEEE Trans. Electron Devices*, vol. 41, pp. 2216, 1994.
- [3] D. J. Frank, Y. Taur, M. Jeong, and H.-S. P. Wong, "Monte Carlo Modeling of Threshold Variation due to Dopant Fluctuations," in *IEEE Symposium on VLSI Technology Technical Digest*, 1999, pp. 169–170.
- [4] K. J. Kuhn, "Reducing Variation in Advanced Logic Technologies: Approaches to Process and Design for Manufacturability of Nanoscale CMOS," in *Proceedings of the IEEE IEDM*, 2007, pp. 471.
- [5] K. Takeuchi, T. Fukai, T. Tsunomura, A. T. Putra, A. Nishida, S. Kamohara, T. Hiramoto, "Understanding Random Threshold Voltage Fluctuation by Comparing Multiple Fabs and Technologies," in *Proceedings of the IEEE IEDM*, 2007, pp. 467.
- [6] T. Shinada, S. Okamoto, T. Kobayashi and I. Ohdomari, "Enhancing semiconductor device performance using ordered dopant arrays," *Nature*, vol. 437, pp. 1128, 2005.
- [7] P. M. Koenraad and M. E. Flatté, "Single dopants in semiconductors," *Nature Materials*, vol. 10, pp. 91, 2011.
- [8] M. Fuechsle, J. A. Miwa, S. Mahapatra, H. Ryu, S. Lee, O. Warschkow, L. C. L. Hollenberg, G. Klimeck, M. Simmons, "A single-atom transistor," *Nature Nanotechnology*, vol. 19, pp. 242, 2012.
- [9] E. Prati and T. Shinada, "Single-atom nanoelectronics", Pan Stanford Publishing, 2013.
- [10] S. Rogge, M. J. Sellars, "Atomic clocks in the solid state," *Nature Nanotechnology*, vol. 8, pp. 544, 2013.
- [11] J. C. Ho, R. Yerushalmi, Z.A. Jacobson, Z. Fan, R. L. Alley, and A. Javey, "Controlled nanoscale doping of semiconductors via molecular monolayers," *Nature Materials*, vol. 7, pp. 62, 2008.
- [12] J. Barnett, R. Hill, W.-Y. Loh, C. Hobbs, P. Majhi and R. Jammy, "Advanced Techniques for Achieving Ultra-Shallow Junctions in Future CMOS Devices," *Proceedings of the 2010 IEEE Workshop on Junction Technology* 10–11 May 2010.
- [13] J. C. Ho, A. C. Ford, Y.-L. Chueh, P. W. Leu, O. Ergen, K. Takei, G. Smith, P. Majhi, J. Bennett, and A. Javey, "Nanoscale doping of InAs via sulfur monolayers," *Appl. Phys. Lett.*, vol. 95, pp. 072108, 2009.
- [14] S. Takeuchi, N. D. Nguyen, F. Leys, R. Loo, T. Conard, W. Vandervorst, and M. Caymax, "Vapor Phase Doping with N-type Dopant into Silicon by Atmospheric Pressure Chemical Vapor Deposition," *ECS Transactions*, vol. 16, pp. 495–502, 2008.

- [15] J. C. Ho, R. Yerushalmi, G. Smith, P. Majhi, J. Bennett, J. Halim, V. N. Faifer, and A. Javey, "Wafer-Scale, Sub-5 nm Junction Formation by Monolayer Doping and Conventional Spike Annealing," *Nano Lett.*, vol. 9, pp. 725-730, 2009.
- [16] Y.-J. Lee, F.-K. Hsueh, S.-C. Huang, J. M. Kowalski, J. E. Kowalski, A. T. Y. Cheng, A. Koo, G.-L. Luo, and C.-Y. Wu, "A Low-Temperature Microwave Anneal Process for Boron-Doped Ultrathin Ge Epilayer on Si Substrate," *IEEE Electron Device Letters*, vol. 30, pp. 123-125, 2009.
- [34] J. K. Bosworth, M. Y. Piak, R. Ruiz, E. L. Schwartz, J. Q. Huang, A. K. Ko, D.-M. Smilgies, C. T. Black, C. K. Ober, "Control of Self-Assembly of Lithographically Patternable Block Copolymer Films," *ACS Nano*, vol. 2, pp. 1396, 2008.
- [35] D. J. C. Herr, "Emerging Patterning Materials Options for Dimensional and Functional Scaling," *SPIE Panel on Nanotechnology in Microlithography*, pp. 8, 2009.
- [36] D. J. C. Herr, "Directed block copolymer self-assembly for nanoelectronics fabrication," *Journal of Materials Research*, vol. 26, pp. 122-139, 2011.
- [37] Y.-J. Lee, Y.-L. Lu, F.-K. Hsueh, K.-C. Huang, C.-C. Wan, T.-Y. Cheng, M.-H. Han, J. M. Kowalski, J. E. Kowalski, D. Heh, H.-T. Chuang, Y. Li, T.-S. Chao, C.-Y. Wu and F.-L. Yang, "3D 65nm CMOS with 320°C Microwave Dopant Activation," in *Proceedings of the IEEE IEDM*, 2009, pp. 31.
- [38] Y.-J. Lee, S.-S. Chuang, C.-I. Liu, F.-K. Hsueh, P.-J. Sung, H.-C. Chen, C.-T. Wu, K.-L. Lin, J.-Y. Yao, Y.-L. Shen, M.-L. Kuo, C.-H. Yang, G.-L. Luo, C.-H. Lai, M. I. Current, C.-Y. Wu, H.-W. Chen, Y.-M. Wan, T.-Y. Tseng, Chenming Hu, and F.-L. Yang, "Full Low Temperature Microwave Processed Ge CMOS Achieving Diffusion-Less Junction and Ultrathin 7.5nm Ni Mono-Germanide," in *Proceedings of the IEEE IEDM*, 2012, pp. 513.
- [39] F.-K. Hsueh, Y.-J. Lee, K.-L. Lin, M. I. Current, C.-Y. Wu, T.-S. Chao, "Amorphous-Layer Regrowth and Activation of P and As Implanted Si by Low-Temperature Microwave Annealing," *IEEE Trans. Electron Devices*, vol. 58, pp. 2088-2093, 2011.
- [40] S. McKibbin, W. R. Clarke, A. Fuhrer, T. C. G. Ruesch and M. Y. Simmons, "Investigating the regrowth surface of Si:P delta-layers toward vertically stacked three dimensional devices," *Appl. Phys. Lett.*, vol. 95, pp. 233111, 2009.
- [51] J. Robertson. "Band offsets of wide-band-gap oxides and implications for future electronic devices." *J. Vac. Sci. Technol. B*, vol. 18, pp. 1785 (2000).
- [52] L. Zhang, M. Gunji, S. Thombare, and P. C. McIntyre, "EOT Scaling of TiO₂/Al₂O₃ on Germanium pMOSFETs and Impact of Gate Metal Selection," *IEEE Elec. Dev. Lett*, vol. 34, pp. 732-734, 2013.
- [53] B. E. Coss, C. Smith, W.-Y. Loh, P. Majhi, R. M. Wallace, J. Kim, and R. Jammy, "Contact Resistance Reduction to FinFET Source/Drain Using Novel Dielectric Dipole Schottky Barrier Height Modulation Method," *IEEE Electron Dev. Lett*, vol. 32, pp 862-864, 2011.
- [54] Y. Zhou, M. Ogawa, X. Han, and K. L. Wang, "Alleviation of Fermi-level pinning effect on metal/germanium interface by insertion of an ultrathin aluminum oxide," *Appl. Phys. Lett.*, vol. 93, pp. 202105, 2008.
- [55] K. Saraswat, J.-Y. Lin, A. Nainani, A. Roy, B. Yang and Z. Yuan, "Schottky Barrier Height Engineering for Low Resistance Contacts to Ge and III-V Devices," *ECS Meeting Abstracts*, vol. 32, pp. 2630, 2012.
- [56] P. P. Manik, R. K. Mishra, V. P. Kishore, P. Ray, A. Nainani, Y.-C. Huang, M. C. Abraham, U. Ganguly, and S. Lodha, "Fermi-level unpinning and low resistivity in contacts to n-type Ge with a thin ZnO interfacial layer," *Appl. Phys. Lett.*, vol. 101, pp. 182105, 2012.
- [57] M. Radosavljevic, B. Chu-Kung, S. Corcoran, G. Dewey, M. K. Hudait, J. M. Fastenau, J. Kavalieros, W. K. Liu, D. Lubyshev, M. Metz, K. Millard, N. Mukherjee, W. Rachmady, U. Shah, and Robert Chau. "Advanced high-k gate dielectric for high-performance short-channel InGaAs quantum well FET's on silicon substrate for low power logic applications," in *Proceedings of IEEE IEDM*, 2009, pp. 13.1.1
- [58] M. Radosavljevic, G. Dewey, D. Basu, J. Boardman, B. Chu-Kung, J. M. Fastenau, S. Kabehie, J. Kavalieros, V. Le, W. K. Liu, D. Lubyshev, M. Metz, K. Millard, N. Mukherjee, L. Pan, R. Pillarisetty, W. Rachmady, U. Shah, H. W. Then, and R. Chau, "Electrostatics Improvement in 3-D Tri-gate Over Ultra-Thin Body Planar InGaAs Quantum Well Field Effect Transistors with High-K Gate Dielectric and Scaled Gate-to-Drain/Gate-to-Source Separation," in *Proc. 2011 IEDM*, pp. 765-768, 2011.
- [59] G. Wang, M. R. Leys, N. D. Nguyen, R. Loo, G. Brammertz, O. Richard, H. Bender, J. Dekoster, M. Meuris, M. M. Heyns, and M. Caymax, "Selective Area Growth of InP in Shallow-Trench-Isolated Structures on Off-Axis Si(001) Substrates," *Journal of The Electrochemical Society*, vol. 157, pp. H1023-H1028, 2010.

- [60] G. Wang, M. R. Leys, R. Loo, O. Richard, H. Bender, N. Waldron, G. Brammertz, J. Dekoster, W. Wang, M. Seefeldt, M. Caymax, and M. M. Heyns, "Selective area growth of high quality InP on Si(001) substrates," *Appl. Phys. Lett.*, vol. 97, pp. 121913, 2010.
- [61] M. Radosavljevic, B. Chu-Kung, S. Corcoran, G. Dewey, M. K. Hudait, J. M. Fastenau, J. Kavalieros, W. K. Liu, D. Lubyshev, M. Metz, K. Millard, N. Mukherjee, W. Rachmady, U. Shah, and Robert Chau, "Advanced High-K Gate Dielectric for High-Performance Short-Channel In_{0.7}Ga_{0.3}As Quantum Well Field Effect Transistors on Silicon Substrate for Low Power Logic Applications," in *Proc. 2009 IEDM*, pp. 319-322, 2009.
- [62] N. Mukherjee, J. Boardman, B. Chu-Kung, G. Dewey, A. Eisenbach, J. Fastenau, J. Kavalieros, W. K. Liu, D. Lubyshev, M. Metz, K. Millard, M. Radosavljevic, T. Stewart, H. W. Then, P. Tolchinsky, and R. Chau, "MOVPE III-V Material Growth on Silicon Substrates and its Comparison to MBE for Future High Performance and Low Power Logic Applications," in *Proc. 2011 IEDM*, pp. 821-824, 2011.
- [63] B. Shin, D. Choi, J. S. Harris, and P. C. McIntyre, "Pre-atomic layer deposition surface cleaning and chemical passivation of (100) In_{0.2}Ga_{0.8}As and deposition of ultrathin Al₂O₃ gate insulators," *Appl. Phys. Lett.*, vol. 93, pp. 052911, 2008.
- [64] C. Adelmann, D. Lin, L. Nyns, B. Schepers, A. Delabie, S. Van Elshocht, and M. Caymax, "Atomic-layer-deposited tantalum silicate as a gate dielectric for III-V MOS devices," *Microelectronic Engineering*, vol. 88, pp. 1098-1100, 2011.
- [65] A. Baraskara, M. A. Wistey, V. Jain, E. Lobisser, U. Singiseti, G. Burek, Y. J. Lee, B. Thibeault, A. Gossard, and M. Rodwell, "Ex situ Ohmic contacts to n-InGaAs," *J. Vac. Sci. Technol. B*, vol. 28, pp. C517-C519, 2010.
- [66] R. Dormaier and S. E. Mohney, "Factors controlling the resistance of Ohmic contacts to n-InGaAs," *J. Vac. Sci. Technol. B*, vol. 30, pp. 031209, 2012.
- [67] J. D. Yearsley, J. C. Lin, E. Hwang, S. Datta, and S. E. Mohney, "Ultra low-resistance palladium silicide Ohmic contacts to lightly doped n-InGaAs," *J. Appl. Phys.*, vol. 112, pp. 054510, 2012.

Interconnect References

- [1] Y. Au, Y. Lin, R. Gordon, "Filling Narrow Trenches by Iodine-Catalyzed CVD of Copper and Manganese on Manganese Nitride Barrier/Adhesion Layers," *J. Electrochem. Soc.*, vol. 158, pp. D248, 2011.
- [2] G. Ramanath, G. Cui, P.G. Ganesan, X. Guo, A.V. Ellis, M. Stukowski, P. Doppelt, M. Lane, "Self-assembled subnanolayers as interfacial adhesion enhancers and diffusion barriers for integrated circuits," *Appl. Phys. Lett.*, vol. 83, pp. 383-385, 2003.
- [3] N. Mikami, N. Hata, T. Kikkawa, H. Machida, "Robust self-assembled monolayer as diffusion barrier for copper metallization," *Appl. Phys. Lett.*, vol. 83, pp. 5181-83, 2003.
- [4] P. Loscutoff, S. Clendenning and S. Bent, "Fabrication of Organic Thin Films for Copper Diffusion Barrier Layers using Molecular Layer Deposition," in *MRS Symp. Proc.* 1249, pp. F02, 2010.
- [5] S. Chen, L. Brown, M. Levendorf, W. Cai, S. Ju, J. Edgeworth, X. Li, C. Magnuson, A. Velamakanni, R. Piner, J. Kang, J. Park, "Oxidation Resistance of Graphene-Coated Cu and Cu/Ni alloy," *ACS Nano*, vol. 5, pp. 1321, 2011.
- [6] I. Wlasny, P. Dabrowski, M. Rogala, P. Kowalczyk, I. Pasternak, W. Strupinski, J. Baranowski, Z. Klusek, "Role of graphene defects in corrosion of graphene-coated Cu(111) surface," *Appl. Phys. Lett.*, vol. 102, pp. 111601, 2013.
- [7] R. Nair, H. Wu, P. Jayaram, I. Grigorieva, A. Geim, "Unimpeded permeation of water through helium-leak-tight graphene-based membranes," *Science*, vol. 335, pp. 442, 2012.
- [8] K. Kim, A. Hsu, X. Jia, S. Kim, Y. Shi, M. Dresselhaus, T. Palacios, J. Kim, "Synthesis and characterization of hexagonal boron nitride film as a dielectric layer for graphene devices," *ACS Nano*, vol. 6, pp. 8583, 2012.
- [9] C. Berger, Y. Yi, Z.L. Wang, and W.A. de Heer, "Multiwalled carbon nanotubes are ballistic conductors at room temperature," *Appl. Phys. A*, vol. 74, pp. 363-365, 2002.
- [10] M. Zamkov, A.S. Alnaser, B. Shan, Z. Chang, and P. Richard, "Probing the intrinsic conductivity of multiwalled carbon nanotubes," *Appl. Phys. Lett.*, vol. 89, pp. 093111, 2006.
- [11] M.C. Strus, A.N. Chiaramonti, Y.L. Kim, Y.J. Jung, and R.R. Keller, "Accelerated reliability testing of highly aligned single-walled carbon nanotube networks subjected to DC electrical stressing," *Nanotechnology*, vol. 22, pp. 265713, 2011.
- [12] A. Javi and H. Dai, "Regular Arrays of 2 nm Metal Nanoparticles for Deterministic Synthesis of Nanomaterials," *J. of the Am. Chem. Soc.*, vol. 127, pp. 11942-11943, 2005.

- [13] A. Ural, Y. Li, and H. Dai, "Electric-field-aligned growth of single-walled carbon nanotubes on surfaces," *Appl. Phys. Lett.*, vol. 81, pp. 3464, 2002.
- [14] H. Ago, N. Ishigami, K. Imamoto, T. Suzuki, K. Ikeda, M. Tsuji, T. Ikuta, and K. Takahashi, "Horizontally-aligned single-walled carbon nanotubes on sapphire," *J. Nanosci. Nanotechnol.*, vol. 8, pp. 6165-6169, 2008.
- [15] N. Patil, A. Lin, E.R. Myers, H.-S.P. Wong, S. Mitra, "Integrated wafer-scale growth and transfer of directional Carbon Nanotubes and misaligned-Carbon-Nanotube-immune logic structures," in *Proc. VLSI Technology Symposium*, 2008, pp. 205-206.
- [16] C. M. Orofeo, H. Ago, N. Yoshihara, and M. Tsuji, "Top-down approach to align single-walled carbon nanotubes on silicon substrate," *Appl. Phys. Lett.*, vol. 94, pp. 053113, 2009.
- [17] N. Wang, Z. K. Tang, G. D. Li and J. S. Chen, "Single-walled 4 Å carbon nanotube arrays," *Nature*, vol. 408, pp. 50, 2000.
- [18] Y. Yamazaki, N. Sakuma, M. Katagiri, M. Suzuki, T. Sakai, S. Sato, M. Nihei, and Y. Awano, "High-Quality Carbon Nanotube Growth at Low Temperature by Pulse-Excited Remote Plasma Chemical Vapor Deposition," *Applied Physics Express*, vol. 1, pp. 034004, 2008
- [19] Y. Yamazaki, M. Katagiri, N. Sakuma, M. Suzuki, S. Sato, M. Nihei, M. Wada, N. Matsunaga, T. Sakai, and Y. Awano, "Synthesis of a closely packed carbon nanotube forest by a multi-step growth method using plasma-based chemical vapor deposition," *Applied Physics Express*, vol. 3 pp. 055002, 2010
- [20] G. Zhong, T. Iwasaki, K. Honda, Y. Furukawa, I. Ohdomari and H. Kawarada, "Low Temperature Synthesis of Extremely Dense and Vertically Aligned Single-Walled Carbon Nanotubes," *Jpn. J. Appl. Phys.*, vol. 44, pp. 1558-1561, 2005.
- [21] T. Sakai, Y. Yamazaki, M. Wada, T. Matsumoto, D. Nishide, B. Ito, L. Zhang, M. Kitamura, T. Ishikura, T. Saito, M. Kagaya, M. Katagiri, H. Miyazaki, M. Suzuki, A. Isobayashi, A. Sakata, M. Watanabe, N. Sakuma, A. Kajita, "Growth and Integration of Graphene and CNT for 3D Interconnect Applications," in *Extended Abstracts of ADMETA plus 2013*, 2013, pp. 30.
- [22] M. Nihei, T. Hyakushima, S. Sato, T. Nozue, M. Norimatsu, M. Mishima, T. Murakami, D. Kondo, A. Kawabata, M. Ohfuti and Y. Awano, "Electrical Properties of Carbon Nanotube Via Interconnects Fabricated by Novel Damascene Process," in *Proc. IEEE Int. Interconnect Technology Conf.*, 2007, pp. 204-206.
- [23] Y. Awano, S. Sato, M. Nihei, T. Sakai, Y. Ohno, and T. Mizutani, "Carbon Nanotubes for VLSI: Interconnect and Transistor Applications," *Proc. IEEE*, vol. 98, pp. 2015, 2010.
- [24] D. Yokoyama, T. Iwasaki, T. Yoshida, H. Kawarada, "Low temperature grown carbon nanotube interconnects using inner shells by chemical mechanical polishing," *Appl. Phys. Lett.*, vol. 91, pp. 263101, 2007.
- [25] M. Katagiri, N. Sakuma, M. Suzuki, T. Sakai, S. Sato, T. Hyakushima, M. Nihei, Y. Awano, "Carbon Nanotube Vias Fabricated by Remote Plasma-Enhanced Chemical Vapor Deposition," *Jpn. J. Appl. Phys.*, vol. 4, pp. 2024, 2008.
- [26] A. Naeemi, R. Servari, J. D. Meindl, "Performance Modeling and Optimization for Single- and Multi-Wall Carbon Nanotube Interconnects," in *Proceedings of the 44th annual conference on Design automation*, 2007, pp. 568.
- [27] A. Naeemi, J. D. Mendl, "Compact physical models for multiwall carbon-nanotube interconnects," *IEEE Electron Dev. Lett.*, vol. 27, pp. 338-340, 2006.
- [28] H. Li, N. Srivastava, J.-F. Mao, W.-Y. Yin, K. Banerjee, "Carbon Nanotube Vias: A Reality Check," in *Proceeding of the IEEE IEDM*, 2007, pp. 207.
- [29] N. Srivastava, R. V. Joshi, and K. Banarjee, "Carbon Nanotube Interconnects: Implications for Performance, Power Dissipation and Thermal Management," in *Proceeding of the IEEE IEDM*, 2005, pp. 249-252.
- [30] G. F. Close, and H.-S.P. Wong, "Fabrication and Characterization of Carbon Nanotube Interconnects," in *Proceedings of the IEEE IEDM*, 2007, pp. 203.
- [31] M.S. Dresselhaus, G. Dresselhaus, and P. Avouris. *Carbon Nanotubes: Synthesis, Structure, Properties, and Applications*. Berlin, Germany, Springer-Verlag, 2001
- [32] A. Javey, J. Guo, M. Paulsonn, Q. Wang, D. Mann, M. Lundstrom, H. Dai, "High-Field Quasiballistic Transport in Short Carbon Nanotubes," *Phys. Rev. Lett.*, vol. 92, pp. 106804, 2004.
- [33] O. Hjortstam, P. Isberg, S. Söderholm, and H. Dai, "Can we achieve ultra-low resistivity in carbon nanotube-based metal composites?" *Appl. Phys. A*, vol. 78, pp. 1175, 2004.

- [34] J.-Y. Park, S. Rosenblatt, Y. Yaish, V. Sazonova, H. Üstünel, S. Braig, T.A. Arias, P.W. Brouwer, P.L. McEuen, "Electron-Phonon Scattering in Metallic Single-Walled Carbon Nanotubes," *Nano Lett.*, vol. 4, pp. 517, 2004.
- [35] J. Jiang, R. Saito, G.G. Samsonidze, S. G. Chou, A. Jorio, G. Dresselhaus, M. Dresselhaus, "Electron-phonon matrix elements in single-wall carbon nanotubes," *Phys. Rev. B*, vol. 72, pp. 235408, 2005.
- [36] S. Sato, M. Nihei, A. Mimura, A. Kawabata, D. Kondo, H. Shioya, T. Iwai, M. Mishima, M. Ohfuti and Y. Awano, "Novel approach to fabricating carbon nanotube via interconnects using size-controlled catalyst nanoparticles," in *IEEE International Interconnect Technology Conference*, 2006, pp. 230.
- [37] A. Kawabata, S. Sato, T. Nozue, T. Hyakushima, M. Norimatsu, M. Mishima, T. Murakami, D. Kondo, K. Asano, M. Ohfuti, H. Kawarada, T. Sakai, M. Nihei and Y. Awano, "Robustness of CNT Via Interconnect Fabricated by Low Temperature Process over a High-Density Current," In *Proc. IEEE Int. Interconnect Technology Conf.*, 2008, pp. 237-239.
- [38] M. Katagiri, Y. Yamazaki, M. Wada, M. Kitamura, N. Sakuma, M. Suzuki S. Sato, M. Nihei, A. Kajita, T. Sakai, Y. Awano, "Improvement in Electrical Properties of Carbon Nanotube Via Interconnects," *Jpn. J. Appl. Phys.*, vol. 50 pp. 05EF01-1, 2011.
- [39] N. Okamoto, T. Suzuki, Y. Yamazaki, T. Sakai, and Y. Awano, "Low-resistance carbon nanotube via interconnection using a Ruthenium oxide contact-layer," in *Abstracts IWWPNM2013*, Kirchberg Tyrol Austria, 2013, pp. 146.
- [40] H. Sugime, S. Esconjauregui, J. Yang, L. D'Arsi, R. A. Oliver, S. Bhardwaj, C. Cepek, and J. Robertson, "Low temperature growth of ultra-high mass density carbon nanotube forests on conductive supports," *Appl. Phys. Lett.*, vol. 103, pp. 073116, 2013.
- [41] M. Katagiri, M. Wada, B. Ito, Y. Yamazaki, M. Suzuki, M. Kitamura, T. Saito, A. Isobayashi, A. Sakata, N. Sakuma, A. Kajita, and T. Sakai, "Fabrication and Characterization of Planarized Carbon Nanotube Via Interconnects," *Jpn. J. Appl. Phys.*, vol. 51, pp. 05ED02, 2012.
- [42] M. Nihei, A. Kawabata, T. Hyakushima, S. Sato, T. Nozue, D. Kondo, H. Shioya, T. Iwai, M. Ohfuti and Y. Awano, "Carbon Nanotube Via Technologies for Advanced Interconnect Integration," in *2006 International Conference on Solid State Devices and Materials*, 2006, p.140-141.
- [43] M. Katagiri, M. Suzuki, Y. Yamazaki, H. Miyazaki, B. Ito, D. Nishide, T. Matsumoto, M. Wada, M. Kitamura, T. Saito, A. Isobayashi, A. Sakata, M. Watanabe, N. Sakuma, A. Kajita, and T. Sakai, "Resistance Factors in Carbon Nanotube Via Interconnects," in *ADMETA2012 Abstract*, 2012, pp. 7-5.
- [44] T. Saito, M. Wada, A. Isobayashi, Y. Yamazaki, M. Katagiri, M. Kitamura, B. Ito, T. Matsumoto, N. Sakuma, A. Kajita and T. Sakai, "A Study on Electrical Resistance of CNTs and Their Metal Contacts using Simplified Test Structure," *Jpn. J. Appl. Phys.*, vol. 51, pp. 05ED01, 2012.
- [45] J. Santander, I. Martin-Fernandez, X. Borrísé, G. Rius, C. Cané, "Contact end resistance test structure applied for nanocontact measurements," *Microelectronic Engineering*, vol. 99, pp. 18, 2012.
- [46] N. Behabtu, C. C. Young, D. E. Tsentalovich, O. Kleinerman, X. Wang, A. W. K. Ma, E. A. Bengio, R. F. ter Waarbeek, J. J. de Jong, R. E. Hoogerwerf, S. B. Fairchild, J. B. Ferguson, B. Maruyama, J. Kono, Y. Talmon, Y. Cohen, M. J. Otto, M. Pasquali, "Strong, Light, Multifunctional Fibers of Carbon Nanotubes with Ultrahigh Conductivity," *Science*, vol. 339, pp. 182, 2013.
- [47] N. Kulshrestha, A. Misra, R. Bajpai, S. Roy, D. S. Misra, "Investigation of Metal-Induced Enhancement in Electrical Conductance of Multiwalled Carbon Nanotubes," *IEEE Trans. on Nanotech.*, vol. 11, pp. 830, 2012.
- [48] T. Yamada, T. Namai, K. Hata, D. N. Futaba, K. Mizuno, J. Fan, M. Yudasaka, M. Yumura, S. Iijima, "Size-selective growth of double-walled carbon nanotube forests from engineered iron catalysts," *Nature Nanotechnology*, vol. 1, pp. 131, 2006.
- [49] G. Zhong, T. Iwasaki, H. Kawarada, "Semi-quantitative study on the fabrication of densely packed and vertically aligned single-walled carbon nanotubes," *Carbon*, vol. 44, pp 2009, 2006.
- [50] J. Dijon, H. Okuno, M. Fayolle, T. Vo, J. Pontcharra, D. Acquaviva, D. Bouvet, A. M. Ionescu, C. S. Esconjauregui, B. Capraro, E. Quesnel, and J. Robertson, "Ultra-high density Carbon Nanotubes on Al-Cu for advanced Vias," in *Proceedings of the IEEE IEDM*, 2010, pp. 33.4.1.
- [51] M. Katagiri, Y. Yamazaki, N. Sakuma, M. Suzuki, T. Sakai, M. Wada, N. Nakamura, N. Matsunaga, S. Sato, M. Nihei, and Y. Awano, "Fabrication of 70-nm-diameter carbon nanotube via interconnects by remote plasma-enhanced chemical vapor deposition and their electrical properties," in *Proc. of the IEEE Int. Interconnect Technology Conf.*, 2009, pp. 44-46.

- [52] T. Matsumoto, D. Nishide, M. Kagaya, Y. Yamazaki, M. Wada, N. Sakuma, A. Kajita, T. Sakai, "Wafer-scaled growth of highly vertically aligned carbon nanotube on CVD-Ni catalyst for very high aspect ratio ($A/R > 17$) contact fabrication," *Abstract of Int. Conf. Science and Application of Nanotubes (NT13)*, 2013, pp. 68.
- [53] B. Ito, D. Nishide, T. Matsumoto, M. Katagiri, T. Saito, M. Wada, N. Sakuma, A. Kajita, and T. Sakai, "Development of CMP process for carbon nanotube interconnects using 13-inch wafer," in *Proc. ICPT 2012*, 2012, pp. 365.
- [54] M. Fayolle, JF Lugand, R. Kachtouli, H. Okuno, J Dijon, P. Gautier, T. Billon, "Integration of dense CNTs in vias on 201mm diameter wafers," Study of post CNT growth processes, in *Proc. IITC 2011*, 2011, pp. 12-4.
- [55] N. Chiodarelli, M. H. van der Veen, B. Vereecke, D. J. Cott, G. Groeseneken, P. M. Vereecken, C. Huyghebaert, and Z. Tokei, "Carbon Nanotube Interconnects: Electrical Characterization of 151 nm CNT Contacts with Cu Damascene Top Contact," in *Proc. IITC 2011*, 2011, pp. 12-5.
- [56] M. H. van der Veen, Y. Barbarin, B. Vereecke, M. Sugiura, Y. Kashiwagi, D. J. Cott, C. Huyghebaert, and Z. Tökei, "Electrical Improvement of CNT Contacts with Cu Damascene Top Metallization," in *IEEE Conference Proc. of International Interconnect Technology Conference*, 2013, pp. 196.
- [57] K. S. Novoselov, A. K. Geim, S. V. Morozov, D. Jiang, Y. Zhang, S. V. Dubonos, I. V. Grigorieva, and A. A. Firsov, "Electric Field Effect in Atomically Thin Carbon Films," *Science*, vol. 306, pp. 666-669, 2004.
- [58] A. Naeemi and J. D. Meindl, "Performance Benchmarking for Graphene Nanoribbon, Carbon Nanotube, and Cu Interconnects," in *Proceedings of the IEEE International Interconnect Technology Conference*, 2008, pp. 183-185.
- [59] A. Reina, X. Jia, J. Ho, D. Nezich, H. Son, V. Bulovic, M. S. Dresselhaus and J. Kong, "Large Area, Few-Layer Graphene Films on Arbitrary Substrates by Chemical Vapor Deposition," *Nano Letters*, vol. 9, pp. 30, 2009.
- [60] K. S. Kim, Y. Zhao, H. Jang, S. Y. Lee, J. M. Kim, K. S. Kim, J.-H. Ahn, P. Kim, J.-Y. Choi & B. H. Hong, "Large-scale pattern growth of graphene films for stretchable transparent electrodes," *Nature*, vol. 457, pp. 706-710, 2009.
- [61] X. Li, W. Cai, J. An, S. Kim, J. Nah, D. Yang, R. Piner, A. Velamakanni, I. Jung, E. Tutuc, S. K. Banerjee, L. Colombo, and R. S. Ruoff, "Large-Area Synthesis of High-Quality and Uniform Graphene Films on Copper Foils." *Science*, vol. 324, pp. 1312-1314, 2009.
- [62] D. Kondo, S. Sato, K. Yagi, N. Harada, M. Sato, M. Nihei, and N. Yokoyama, "Low-Temperature Synthesis of Graphene and Fabrication of Top-Gated Field Effect Transistors without Using Transfer Processes," *Appl. Phys. Express*, vol. 3, pp. 025102, 2010.
- [63] Y. Yamazaki, R. Sawabe, M. Wada, M. Katagiri, N. Sakuma, T. Saito, A. Isobayashi, M. Suzuki, A. Kajita, Y. Awano, T. Sakai, "High-Quality Graphene Growth at Low Temperature for Nano-carbon Interconnect Application," in *Extended Abstracts 58th Spring Meeting*, 2011, Japan Society of Applied Physics, 27p-BM-6, 201.
- [64] K.-J. Lee, A.P. Chandrakasan, and J. Kong. "Breakdown Current Density of CVD-Grown Multilayer Graphene Interconnects," *IEEE Electron Dev. Lett.*, vol. 32, pp. 557-559, 2011.
- [65] M. Katagiri, H. Miyazaki, Y. Yamazaki, L. Zhang, T. Matsumoto, M. Wada, A. Kajita, and T. Sakai, "Multilayer Graphene Grown by Chemical Vapor Deposition at Low Temperatures for Interconnect Applications," in *Extended Abstracts of ADMETA plus 2013*, 2013, pp. 36.
- [66] M. Wada, T. Ishikura, D. Nishide, B. Ito, Y. Yamazaki, T. Saito, A. Isobayashi, M. Kagaya, T. Matsumoto, M. Kitamura, A. Sakata, M. Watanabe, N. Sakuma, A. Kajita and T. Sakai, "Selective Graphene Growth on Ni Damascene Interconnects and Its Growth Mechanism on Catalytic Metal," in *IEEE Conference Proc. of International Interconnect Technology Conference*, 2013, pp. 187.
- [67] T. Takami, S. Ogawa, H. Sumi, T. Kaga, A. Saikubo, E. Ikenaga, M. Sato, M. Nihei, Y. Takakuwa. "Catalyst-Free Growth of Networked Nanographite on Si and SiO₂ Substrates by Photoemission-Assisted Plasma-Enhanced Chemical Vapor Deposition," *e-J. Surf. Sci. Nanotech.* vol. 7, pp. 882-890, 2009.
- [68] M. Sato, M. Inukai, E. Ikenaga, T. Muro, S. Ogawa, Y. Takakuwa, H. Nakano, A. Kawabata, M. Nihei, and N. Yokoyama, "Fabrication of Graphene Directly on SiO₂ without Transfer Processes by Annealing Sputtered Amorphous Carbon," *Jpn. J. Appl. Phys.*, vol. 51, pp. 04DB01, 2012.
- [69] Y. Tianhua, E. Kim, N. Jain, Y. Xu, R. Geer, and B. Yu, "Carbon-Based Interconnect: Performance, Scaling and Reliability of 3D Stacked Multilayer Graphene System," *Proc. 2011 IEEE International Electron Device Meeting (IEDM)*, 2011, p. 237.

- [70] D. Kondo, H. Nakano, B. Zhou, I. Kubota, K. Hayashi, K. Yagi, M. Takahashi, M. Sato, S. Sato and N. Yokoyama, "Intercalated multi-layer graphene grown by CVD for LSI interconnects," *Proc. IEEE IITC 2013*, 2013, pp. 190.
- [71] D. Kondo, H. Nakano, B. Zhou, I. Kubota, K. Hayashi, J. Yamaguchi, T. Ohkuchi, M. Kotsugi, S. Sato and N. Yokoyama, "Multi-layer graphene interconnects grown by CVD for future LSI," *Proc. SSDM 2013*, pp. 680, 2013.
- [72] A. Bid, A. Bora, and A. K. Raychaudhuri, "Temperature dependence of the resistance of metallic nanowires of diameter ≥ 15 nm: Applicability of Block-Grüneisen theorem," *Phys. Rev. B*, vol. 74, pp. 035426, 2006.
- [73] Y. Chang, M.L. Lye, and H.C. Zeng, "Large-scale synthesis of high-quality ultralong copper nanowires," *Langmuir*, vol. 21, pp. 3746-3748, 2005.
- [74] A. Mallikarjunan, S. Sharma, and S. P. Murarka, "Resistivity of copper films at thicknesses near the mean free path of electrons in copper," *Electrochem. and Solid-State Lett.*, vol. 3, pp. 437-438, 2000.

Assembly and Package Material References

- [1] B. Lee, Y. Kim, S. Yang, I. Jeong, and J. Moon, "A low-cure-temperature copper nano ink for highly conductive printed electrodes," *Current Applied Physics*, vol. 9, pp. e157-e160, 2009.
- [2] J. Robertson, "High dielectric constant oxides," *Eur. Phys. J. Appl. Phys.*, vol. 28, pp. 265-291, 2004.
- [3] S. Swaminathan, M. Shandalov, Y. Oshima, and P. C. McIntyre, "Bilayer metal oxide gate insulators for scaled Ge-channel metaloxide-semiconductor devices," *Appl. Phys. Lett.*, vol. 96, pp. 082904-1-082904-3, 2010.
- [4] T. Osborn, A. He, N. Galiba, and P.A. Kohl, "All-Copper Chip-to-Substrate Interconnects Part I. Fabrication and Characterization," *J. of the Electrochemical Society*, vol. 155, pp. D308-D313, 2008.
- [5] A. A. Zinn, "Lead solder free electronics," U.S. Patent 8,105,414, January 31, 2012.; F. Hua and C. M. Garner, "Nano-sized metals and alloys, and methods of assembling packages containing same," U.S. Patent 7,524,351, April 28, 2009.
- [6] Y. Li and C.P. Wong, "Recent advances of conductive adhesives as a lead-free alternative in electronic packaging: Materials, processing, reliability and applications," *Materials Science & Engineering Reports*, vol. 51, pp. 1-35, 2006.
- [7] A.H. Habib, M.G. Ondeck, K.J. Miller, R. Swaminathan, and M.E. McHenry, "Novel solder-magnetic particle composites and their reflow using ac magnetic fields," *IEEE Trans. on Magnetics*, vol. 46, pp. 2187-2190, 2010.
- [8] A.H. Habib, S. Xu, E. Walker, M. Ondeck, R. Swaminathan, and M.E. McHenry, "The role of eddy currents and nanoparticle size on AC magnetic field-induced reflow in solder/magnetic nanocomposites," *J. of Appl. Phys.*, vol. 111, pp. 07B305-07B305-3, 2012.
- [9] M.D. Losego, M.E. Grady, N. R. Sottos, D. G. Cahill, and P. V. Braun, "Effects of chemical bonding on heat transport across interfaces," *Nat. Mat.*, vol. 11, pp. 502-506, 2012.
- [10] D.-W. Oh, S. Kim, J. A. Rogers, D. G. Cahill, and S. Sinha, "Interfacial Thermal Conductance of Transfer-Printed Metal Films," *Adv. Mater.*, vol. 23, pp. 5028-5033, 2011.
- [11] B.N.J. Persson, B. Lorenz, and A.I. Volokitin, "Heat transfer between elastic solids with randomly rough surfaces," *Eur. Phys. J. E*, vol. 31, pp. 3-24, 2010.
- [12] P.J. O'Brien, S. Shenogin, J. Liu, P. K. Chow, D. Laurencin, P.H. Mutin, M. Yamaguchi, P. Keblinski and G. Ramanath, "Bonding-induced thermal conductance enhancement at inorganic heterointerfaces using nanomolecular monolayers," *Nat. Mater.*, vol. 12, pp. 118-122, 2013.
- [13] H. Ishida and S. Rimdusit, "High thermal conductivity by boron nitride filled polybenzoxazine," *Thermochemica Acta*, vol. 320, pp. 177-186, 1998.
- [14] M.-H. Tsai, I.-H. Tseng, Y.-F. Liao and J.-C. Chiang, "Transparent polyimide nanocomposites with improved moisture barrier using graphene," *Polym Int.*, vol. 62, pp. 1302-1309, 2012.
- [15] A. Toloei, S. Atashin, and M. E. Bahrololoom, "A New Approach in Modifying Polymeric Coatings to Increase Corrosion Resistance Properties," *ISRN Materials Science*, vol. 2013, Article ID 648246, 7 pages, 2013.
- [16] S. K. Hong, K. Y. Kim, T. Y. Kim, J. H. Kim, S. W. Park, J. H. Kim, and B. J. Cho, "Electromagnetic interference shielding effectiveness of monolayer graphene," *Nanotechnology*, vol. 23, pp. 455704, 2012.
- [17] S.-H. Park, P. T. Theilmann, P. M. Asbeck, and P. R. Bandaru, "Enhanced Electromagnetic Interference Shielding Through the Use of Functionalized Carbon-Nanotube-Reactive Polymer Composites," *IEEE Trans. on Nanotech.*, vol. 9, pp. 464-469, 2010.

- [18] T. T. Tung, J.-F. Feller, T. Y. Kim, H. Kim, W. S. Yang, and K. S. Suh, "Electromagnetic Properties of Fe₃O₄-Functionalized Graphene and Its Composites with a Conducting Polymer," *J. of Polymer Science A*, vol. 50, pp 927–935, 2012.
- [19] V. Eswaraiyah, V. Sankaranarayanan, and S. Ramaprabhu, "Functionalized Graphene–PVDF Foam Composites for EMI Shielding," *Macromol. Mater. Eng.*, vol. 296, pp 894–898, 2011.
- [20] N. Fritz, H. Dao, S. A. Bidstrup Allen, and P. A. Kohl, "Polycarbonates as temporary adhesives," *International Journal of Adhesion & Adhesives*, vol. 38, pp. 45–49, 2012.
- [21] E. Uzunlar and P. A. Kohl, "Thermal and photocatalytic stability enhancement mechanism of poly(propylene carbonate) due to Cu(I) impurities," *Polymer Degradation and Stability*, vol. 97, pp. 1829–1837, 2012.
- [22] S. M. June, T. Suga, W. H. Heath, T. E. Long, Q. Lin, and R. Puligadda, "Photo-Reactive Polyimides and Poly(siloxane imide)s as Reversible Polymeric Interfaces," *The Journal of Adhesion*, vol. 86, pp. 1012–1028, 2010.
- [23] Y.-C. Chen and P. A. Kohl, "Photosensitive sacrificial polymer with low residue," *Microelectronic Engineering*, vol. 88, pp 3087–3093, 2011.
- [24] K.J. Miller, K.N. Collier, H.B. Soll-Morris, R. Swaminathan and M.E. McHenry, "Induction heating of FeCo nanoparticles for rapid rf curing of epoxy composites," *J. Appl. Phys.*, vol. 105, pp. 07E714, 2009.
- [25] J. Qu and C.P. Wong, "Effective Elastic Modulus of Underfill Material for Flip-Chip Applications," *IEEE Trans. on Comp. and Pack. Tech.*, vol. 25, pp. 53, 2002.
- [26] R. Swaminathan, H. Dong, S. Razdan, N. Ananthakrisnan, and R. Manepalli, "Flip chip package containing novel underfill materials," U.S. Patent 8,377,550, Feb. 19, 2013.
- [27] E. Giannelis, Cornell University, private communication.
- [28] Y.-H. Lee, S.-J. Kyung, C.-W. Kim and G.-Y. Yeom, "Characteristic of carbon nanotubes synthesized by pin-to-plate type atmospheric pressure plasma enhanced chemical vapor deposition at low temperature," *Carbon*, vol. 44, pp. 807–809, 2006.
- [29] Y. Yamazaki, M. Katagiri, N. Sakuma, M. Suzuki, S. Sato, M. Nihei, M. Wada, N. Matsunaga, T. Sakai, and Y. Awano, "Synthesis of a Closely Packed Carbon Nanotube Forest by a Multi-Step Growth Method Using Plasma-Based Chemical Vapor Deposition," *Applied Physics Express*, vol. 3, pp. 055002, 2010.
- [30] I. Soga, D. Kondo, Y. Yamaguchi, T. Iwai, M. Mizukoshi, Y. Awano, K. Yube, and T. Fujii, "Carbon Nanotube Bumps for LSI Interconnect," in *Proceedings of 2008 Electronic Components and Technology Conference*, 2008, p. 1390.
- [31] W. Kim, A. Javey, R. Tu, J. Cao, Q. Wang, and H. Dai, "Electrical contacts to carbon nanotubes down to 1 nm in diameter," *Appl. Phys. Lett.*, vol. 87, pp. 173101, 2005.
- [32] H. Li, W.-Y. Yin, K. Banerjee, and J.-F. Mao, "Circuit Modeling and Performance Analysis of Multi-Walled Carbon Nanotube Interconnects," *IEEE Trans. on Electron Dev.*, vol. 55, pp. 1328–1337, 2008.
- [33] Q. Shao, G. Liu, D. Teweldebrhan, and A. A. Balandin, "High-temperature quenching of electrical resistance in graphene interconnects," *Appl. Phys. Lett.*, vol. 92, pp. 202108, 2008.
- [34] A. Majumdar, "Enhanced: Thermoelectricity in Semiconductor Nanostructures," *Science*, vol. 303, pp. 777–778, 2004.
- [35] T.C. Harman, P.J. Taylor, M.P. Walsh, and B.E. LaForge, "Quantum Dot Superlattice Thermoelectric Materials and Devices," *Science*, vol. 297, pp. 2229–2232, 2002.
- [36] R. Venkatasubramanian, E. Siivola, T. Colpitts and B. O'Quinn, "Thin-film thermoelectric devices with high room-temperature figures of merit," *Nature*, vol. 413, pp. 597, 2001.
- [37] I. Chowdhury, Ravi Prasher, K. Lofgreen, G. Chrysler, S. Narasimhan, R. Mahajan, D. Koester, R. Alley and R. Venkatasubramanian, "On-chip cooling by superlattice-based thin-film Thermoelectrics," *Nature Nanotech.*, vol. 4, pp. 235, 2009.

Metrology References

- [1] A. Venugopal, L. Columbo, and E. M. Vogel, "Issues With Characterizing Transport Properties Of Graphene Field Effect Transistors," *Solid State Communications*, vol. 152, pp. 1311–1316, 2012.

- [2] Q. Zhang, R. Li, R. Yan, T. Kosel, H. G. Xing, A. C. Seabaugh, K. Xu, O. A. Kirillov, D. J. Gundlach, C. A. Richter, and N. V. Nguyen, "A Unique Photoemission Method To Measure Semiconductor Heterojunction Band Offsets," *Appl. Phys. Lett.*, vol. 102, pp. 012101, 2013.
- [3] T. M. Wallis, S. H. Lim, J. Chisum, Z. Popovic, and P. Kabos, "Near-field Antenna as a Scanning Microwave Probe for Characterization of Materials and Devices," in *Proceedings of the Fourth European Conference on Antennas and Propagation (EuCAP)*, pp. 1895185-1 to 1895185-3, 2010, Barcelona, Spain.
- [4] Z. Wang, M.I A. Kelly, Z.-X. Shen, L. Shao, W.-K. Chu, and H. Edwards, "Quantitative measurement of sheet resistance by evanescent microwave probe," *Appl. Phys. Lett.* vol. 86, pp. 153118, 2005.
- [5] C.-W. Hsu, Y.-F. Chen and Y.-K. Su, "Nanoepitaxy of GaAs on a Si(001) substrate using a round-hole nanopatterned SiO₂ mask," *Nanotechnology*, vol. 23, pp. 495306, 2012.
- [6] M. Barbagallo, T. Stollenwerk, J. Kroha, N.-J. Steinke, N. D. M. Hine, J. F. K. Cooper, C. H. W. Barnes, A. Ionescu, P. M. D. S. Monteiro, J.-Y. Kim, K. R. A. Ziebeck, C. J. Kinane, R. M. Dalgliesh, T. R. Charlton, and S. Langridge, "Thickness-Dependent Magnetic Properties Of Oxygen-Deficient EuO," *Phys. Rev. B.*, vol. 84, pp. 075219, 2011.
- [7] K. Inoue, F. Yano, A. Nishida, H. Takamizawa, T. Tsunomura, Y. Nagai and M. Hasegawa, "Dopant distributions in n-MOSFET structure observed by atom probe tomography," *Ultramicroscopy*, vol.109, pp. 1479, 2009.
- [8] K. Inoue, A. K. Kambham, D. Mangelinck, D. Lawrence, and D. J. Larson, "Atom-probe-tomographic Studies on Silicon-Based Semiconductor Devices," *Microscopy Today*, vol. 20, pp. 38, 2012.
- [9] M. Ligowski, D. Moraru, M. Anwar, T. Mizuno, R. Jablonski, M. Tabe, "Observation of individual dopants in a thin silicon layer by low temperature Kelvin Probe Force Microscope," *Appl. Phys. Lett.*, vol.93, pp. 142101, 2008.
- [10] R. Nowak, D. Moraru, T. Mizuno, R. Jablonski, M. Tabe, "Effects of deep-level dopants on the electronic potential of thin Si pn junctions observed by Kelvin probe force microscope," *Appl. Phys. Lett.*, vol.102, pp. 083109, 2013.
- [11] L. Zhang, K. Hara, A. Kinoshita, T. Hashimoto, Y. Hayase, M. Kurihara, D. Hagishima, T. Ishikawa, S. Takeno, "Direct Visualization of Anomalous-Phosphorus Diffusion in Failure-Bit Gates of SRAM-Load pMOSFETs with High-Resolution Scanning Spreading Resistance Microscopy," in *Proceedings of the IEEE IEDM*, 2010, pp. 804.
- [12] M.-R. Gao, Y.-F. Xu, J. Jian, and S. H. Yu, "Nanostructured Metal Chalcogenides: Synthesis, Modification, And Applications In Energy Conservation And Storage Devices," *Chem. Soc. Rev.*, vol. 42, pp. 2986, 2013.
- [13] O. L. Krivanek, M. F. Chisholm, V. Nicolosi, T. J. Pennycook, G. J. Corbin, N. Dellby, M. F. Murfitt¹, C. S. Own, Z. S. Szilagyi, M. P. Oxley, S. T. Pantelides, and S. J. Pennycook, "Atom-By-Atom Structural And Chemical Analysis By Annular Dark-Field Electron Microscopy," *Nature*, vol. 464, pp. 571-574, 2010.
- [14] V. Darakchieva, A. Boosalis, A. A. Zakharov, T. Hofmann, M. Schubert, T. E. Tiwald, T. Iakimov, R. Vasiliauskas, and R. Yakimova, "Large-Area Microfocal Spectroscopic Ellipsometry Mapping Of Thickness And Electronic Properties Of Epitaxial Graphene On Si- And C-Face Of 3C-SiC(111)," *Appl. Phys. Lett.*, vol. 102, pp. 213116, 2013.
- [15] M. Pufall, E. R. Evarts, and W. H. Rippard, "Microwave Measurements Of Spintronic Devices", in *Proceedings Of The Frontiers Of Characterization And Metrology For Nanoelectronics: 2013*, NIST, Gaithersburg, Md., March 25-28, pp. 249-251.
- [16] N. Shibata, S. D. Findlay, Y. Kohno, H. Sawada, Y. Kondo, and Y. Ikuhara, "Differential Phase-Contrast Microscopy At Atomic Resolution," *Nature Physics*, vol. 8, pp. 611-615, 2012.
- [17] 2011 Edition of the ITRS
- [18] K.-C. Hsua, D.-C. Pernga, and Y.-C. Wanga, "Robust Ultra-Thin Rumo Alloy Film As A Seedless Cu Diffusion Barrier," *J. Alloys and Compounds*, vol. 516, pp. 102-106, 2012.
- [19] D. Cahill, "Extremes Of Heat Conduction – Pushing The Boundaries Of The Thermal Conductivity Of Materials," *MRS Bulletin*, vol. 37, pp. 855, 2012.
- [20] G. Balasubramanian and I. Puri, "Heat Conduction Across A Solid-Solid Interface: Understanding Nanoscale Interfacial Effects On Thermal Resistance," *Appl. Phys. Lett.*, vol. 99, pp. 13116, 2011.; P. Singh, M. Seong, and S. Sinha, "Detailed Consideration Of The Electron-Phonon Thermal Conductance At Metal-Dielectric Interfaces," *Appl. Phys. Lett.*, vol. 102, pp. 181906, 2013.; J. Chen, G. Zhang, and B. Li, "Thermal Contact Resistance Across Nanoscale Silicon Dioxide And Silicon Interfaces," *J. Appl. Phys.*, vol. 112, pp. 64319, 2012.; M. Losego, M. Grady,

- N. Sottos, D. Cahill, and P. Braun, "Effects Of Chemical Bonding On Heat Transport Across Interfaces," *Nat. Mater.*, vol. 11, pp. 502, 2012.
- [21] M. Alam, M. Manoharan, M. Haque, C. Muratore, A. Voevodin, "Influence Of Strain On Thermal Conductivity Of Silicon Nitride Thin Films," *J. Micromech. Microeng.*, vol. 22, pp. 45001, 2012.; L. Zhu and X. Zheng, "Modification Of The Phonon Thermal Conductivity In Spatially Confined Semiconductor Nanofilms Under Stress Fields," *Euro. Phys. J.*, vol. 88, pp. 36003, 2009.
- [22] M. R. Baklanov, J.-F. De Marneffe, D. Shamiryan, A. M. Urbanowicz, H. Shi, T. V. Rakhimova, H. Huang, And P. S. Ho. "Plasma Processing Of Low-K Dielectrics," *J. Appl. Phys.*, vol. 113, pp. 041101, 2013.
- [23] P. Witham and E. Sanchez, "Increased Resolution in Neutral Atom Microscopy," *J. Microscopy*, vol. 248, pp. 223, 2012.
- [24] P. Witham and E. Sanchez, "A Simple Approach to Neutral Atom Microscopy," *Rev. Sci. Instr.*, vol. 82, pp. 103705, 2011.
- [25] B. Lee, C. Prater, and W. King, "Lorentz Force Actuation of A Heated Atomic Force Microscope Cantilever," *Nanotechnology*, vol. 23, pp. 55709, 2012.
- [26] G. Stan, S. King, and R. Cook, "Nanoscale Mapping of Contact Stiffness And Damping By Contact Resonance Atomic Force Microscopy," *Nanotechnology*, vol. 23, pp. 215703, 2012.
- [27] A. Dazzi, C. Prater, Q. Hu, B. Chase, J. Rabolt, and C. Marcott, "Afm-Ir: Combining Atomic Force Microscopy And Infrared Spectroscopy For Nanoscale Chemical Characterization," *Appl. Spect.*, vol. 66, pp. 1365, 2012.
- [28] C. Okoro, P. Kabos, J. Obrzut, K. Hummler, Y. S. Obeng, "Accelerated Stress Test Assessment Of Through-Silicon Via Using Rf Signals," *IEEE Trans. on Electron Devices*, Vol. 60, pp. 2015 – 2021, 2013.
- [29] L. W. Kong, J. R. Lloyd, Y. B. Yeap, E. Zschech, A. Rudack, M. Liehr, and A. Diebold, "Applying X-Ray Microscopy And Finite Element Modeling To Identify The Mechanism Of Stress-Assisted Void Growth In Through-Silicon Vias," *J. of Appl. Phys.*, vol. 110, pp. 053502-7, 2011.
- [30] C. Okoro, L. E. Levine, R. Xu, J. Z. Tischler, W. Liu, O. Kirillov, K. Hummler, and Y. Obeng, "X-Ray Micro-Beam Diffraction Determination Of Full Stress Tensors In Cu TSVs," in *Proc. IEEE Electronics Components And Technology Conference (ECTC)*, Las Vegas, May 2013, Pp. 648 – 652
- [31] R. Ramesh and N. A. Spaldin, "Multiferroics: Progress and Prospects In Thin Films," *Nature Mat.*, vol. 6, pp. 21 – 29, 2007.
- [31A] J.G. Kushmerick, J. Lazorcik, C.H. Patterson, R. Shashidhar, D.S. Seferos, and G.C. Bazan, "Vibronic contributions to charge transport across molecular junctions," *Nano Letters*, vol. 4, pp. 639-642, 2004.; W.Y. Wang, T. Lee, I. Kretzschmar, M.A. Reed, "Inelastic electron tunneling spectroscopy of an alkanedithiol self-assembled monolayer," *Nano Letters*, vol. 4, pp. 643-646, 2004.
- [32] C.A. Richter, C.A. Hacker, L.J. Richter, "Electrical and spectroscopic characterization of metal/monolayer/Si devices," *J. Phys. Chem. B*, vol. 109, pp. 21836-21841, 2005.
- [33] J. T. Woodward, T. H. Fedynyshyn, D. K. Astolfi, S. Cann, J. M. Roberts, and M. J. Leeson, "Component Segregation In Model Chemically Amplified Resists," in *Proc. of the SPIE*, vol. 6519, pp. 651915, 2007.
- [34] D. Raghavan, X. Gu, M.R. VanLandingham, T. Nguyen, "Mapping Chemically Heterogeneous Polymer System Using Chemical Modification And Atomic Force Microscopy"; *ACS Polymer Preprints*, vol. 41, pp. 1423, 2000.
- [35] J. T. Woodward, J. Hwang, V. M. Prabhu, K-W. Choi, "Hunting The Origins Of Line Width Roughness With Chemical Force Microscopy," in *Frontiers Of Characterization And Metrology For Nanoelectronics: 2007*, NIST, Gaithersburg, Md, March 25-28, pp 413-418.
- [36] S. S. Wong, E. Joselevich, A. T. Woolley, C. L. Cheung, and C. M. Lieber, "Covalently Functionalized Nanotubes As Nanometresized Probes In Chemistry And Biology," *Nature*, vol. 394, pp. 52-55, 1998.
- [37] G. M. Perera, C. Wang, M. Doxastakis, R. J. Kline, W.-I. Wu, A. W. Bosse, and G. E. Stein, "Directed Self-Assembly of Lamellar Copolymers: Effects of Interfacial Interactions on Domain Shape," *ACS Macro Lett.*, vol. 1, pp. 1244-1248 ,2012.
- [38] G. M. Perera, C. Wang, M. Doxastakis, R. J. Kline, W.-I. Wu, A. W. Bosse, and G. E. Stein, "Directed Self-Assembly Of Lamellar Copolymers: Effects Of Interfacial Interactions On Domain Shape," *ACS Macro Lett.*, vol. 1, pp. 1244-1248, 2012.

- [39] V.K. Kamineni and A.C. Diebold, "Electron-Phonon Interaction Effects On The Direct Gap Transitions Of Nanoscale Si Films," *Appl. Phys. Lett.*, vol. 99, pp. 151903, 2011.
- [40] C. Auth et. al., "A 22nm High Performance and Low-Power CMOS Technology Featuring Fully-Depleted Tri-Gate Transistors, Self-Aligned Contacts and High Density MIM Capacitors," *Symposium on VLSI Technology Digest of Technical Papers*, pp. 131-132, 2012.
- [41] D. A. Muller, L. Fitting Kourkoutis, M. Murfitt, J. H. Song, H. Y. Hwang, J. Silcox, N. Dellby, and O. L. Krivanek, "Atomic-Scale Chemical Imaging Of Composition And Bonding By Aberration-Corrected Microscopy," *Science*, vol. 319, pp 1073, 2008.
- [42] L. W. Kong and A. C. Diebold, "Applying X-Ray Microscopy As A Void Inspection Technique For Through Silicon Vias," CNSE Albany, NY, *Fraunhofer Workshop On Stress Management For 3D IC'S Using Through Silicon Vias*, Oct 20, 2010
- [43] T. Miyajima, M. Oogane, Y. Kotaka, T. Yamazaki, M. Tsukada, Y. Kataoka, H. Naganuma, and Y. Ando, "Direct Observation of Atomic Ordering and Interface Structure in Co₂MnSi/MgO/Co₂MnSi Magnetic Tunnel Junctions by High-Angle Annular Dark-Field Scanning Transmission Electron Microscopy," *APEX*, vol. 2, pp. 093001, 2009.
- [44] X. Z. Yu, R. W. Li, T. Asaka, K. Ishizuka, K. Kimoto, and Y. Matsui, "Possible origins of the magnetoresistance gain in colossal magnetoresistive oxide La_{0.69}Ca_{0.31}MnO₃: Structure fluctuation and pinning effect on magnetic domain walls," *Appl. Phys. Lett.*, vol. 95, pp. 092504, 2009.
- [45] J. Kim, J. Sinha, M. Hayashi, M. Yamanouchi, S. Fukami, T. Suzuki, S. Mitani and H. Ohno, "Layer thickness dependence of the current-induced effective field vector in Ta[CoFeB]/MgO," *Nature Materials*, Vol. 12, pp. 240-245, 2012.
- [46] N. Kawasaki et al., "Characterization of atomic arrangement and bonding structure at MgO/CoFe interface," in *Abstracts of International Electron Energy Loss Spectroscopy Meeting on Enhanced Data Generated by Electrons (EDGE 2013)*, Sainte-Maxime, France, 2013.
- [47] Y. Sato, M. Terauchi, K. Kirihaara, T. Sasaki, K. Kawaguchi, N. Koshizaki and K. Kimura, "Electron energy-loss and soft X-ray emission study of boron nanobelts," *J. Phys.: Conference Series*, vol. 176, pp. 012029, 2009.
- [48] M. Sowinska, T. Bertaud, D. Walczyk, S. Thiess, M. A. Schubert, M. Lukosius, W. Drube, Ch. Walczyk and T. Schroeder, "Hard X-Ray Photoelectron Spectroscopy Study Of The Electroforming In Ti/HfO₂-Based Resistive Switching Structures," *Appl. Phys. Lett.*, vol. 100, pp. 233509, 2012.

Modeling and Simulation References

- [1] S. Shankar, "Top 10+ Challenges for Enabling Computational Materials Design – A Nanotechnology Perspective," in *International Center for Materials Research (ICMR) Summer School on Materials Modeling from First Principles*, Keynote Lecture, University of California, Santa Barbara, USA, July pp. 19-31, 2009.
- [2] D. Jacob, K. Haule, and G. Kotliar. "Dynamical mean-field theory for molecular electronics: Electronic structure and transport properties." *Phys. Rev B*, vol. 82, pp. 195115, 2010.
- [3] E. Kaxiras, *Atomic and Electronic Structure of Solids*, Cambridge University Press, Cambridge UK, 2003, pp. 1-676.
- [4] R. S. Berry. "Phases and phase changes of small systems," in *Theory of Atomic and Molecular Clusters*, J. Jellinek, Ed. Springer-Verlag, Berlin, Germany, 1999, pp. 1-26.
- [5] Z. Wu, J. B. Neaton, and J. C. Grossman, "Charge Separation in Strained Silicon Nanowires," *Nano Lett.*, vol. 9, pp 2418–2422, 2009.
- [6] S. Senkader and C. D. Wright. "Models for Phase-Change of Ge₂Sb₂Te₅ in Optical and Electrical Memory Devices." *J. of Appl. Phys.*, vol. 95, pp. 504, 2004.
- [7] T. L. Hill, "A Different Approach to Nanothermodynamics," *Nanoletters*, vol. 1, pp. 273, 2001.
- [8] G. A. Mansoori, *Principles of Nanotechnology: Molecular Based Study of Condensed Matter in Small Systems*, World Scientific, Singapore, 2005.
- [9] J. W. Cahn and J. E. Hilliard. "Free Energy of a Nonuniform System. III. Nucleation in a Two-Component Incompressible Fluid." *J. Chem. Phys.*, vol. 31, pp. 688, 1959.
- [10] D. W. Oxtoby. "Nucleation of First-Order Phase Transitions." *Acc. Chem. Res.*, vol. 31, pp. 91, 1998.
- [11] P. Hohenberg and W. Kohn. "Inhomogeneous Electron Gas." *Phys. Rev.*, vol. 136, pp. B864–B871, 1964.

- [12] W. Kohn and L.J. Sham. "Self Consistent Equations Including Exchange and Correlation Effects." *Phys. Rev.*, vol. 140, pp. A1133-A1138, 1965.
- [13] J.P. Perdew and A. Zunger, "Self-interaction correction to density functional approximations in many body theory, *Phys. Rev. B*, vol. 23, pp. 5048-5077, 1981.
- [14] J. P. Perdew and Y. Wang, "Accurate and simple density functional for the electronic exchange energy: Generalized gradient approximation," *Phys. Rev. B*, vol. 33, pp. 8800-8802, 1986.
- [15] J. P. Perdew, K. Burke, and M. Ernzerhof, "Generalized gradient approximation made simple," *Phys. Rev. Lett.*, vol. 77, pp. 3865–3868, 1996.
- [16] A. Nakano, et.al., "A divide-and-conquer/cellular-decomposition framework for million-to-billion atom simulations of chemical reactions," *Computational Materials Science*, vol. 38, pp. 642–652, 2007.
- [17] J. C. Grossman, L. Mitas, and K. Raghavachari, "Structure and Stability of Molecular Carbon: Importance of Electron Correlation." *Phys. Rev. Lett.* , vol. 75, pp. 3870–3873, 1995.
- [18] J. Shumway, A. Franceschetti, and Alex Zunger, "Correlation Versus Mean-Field Contributions to Excitons, Multi-Excitons, and Charging Energies in Semiconductor Quantum Dots." *Phys. Rev. B*, vol.63, pp. 155316, 2001.
- [19] M. S. Hybertsen and S. G. Louie. "First-Principles Theory of Quasiparticles: Calculation of Band Gaps in Semiconductors and Insulators." *Phys. Rev. Lett.*, vol. 55, pp. 1418, 1985; M. S. Hybertsen and S. G. Louie. "Electron Correlation in Semiconductors and Insulators: Band Gaps and Quasiparticle Energies." *Phys. Rev. B*, vol. 34, pp. 5390, 1986.
- [20] G.W. Kotliar, D. Volhardt, Strongly-Correlated Materials Insights from Dynamical Mean Field-Theory, *Physics Today*, pp. 53-59, 2004.
- [21] B. C. Wood and N. Marzari, "Dynamics and Thermodynamics of a Novel Phase of NaAlH₄," *Phys. Rev. Lett.*, vol. 103, pp.185901, 2009.
- [22] Z. Wang and Y. Li, "Modeling Cu thin film growth," *Thin Solid Films*, vol. 365, pp. 201-210, 2000.
- [23] D. G. Coronell, D. E. Hansen, A. F. Voter, C.-L. Liu, X.-Y. Liu, and J. D. Kress. "Molecular Dynamics-Based Ion-Surface Interaction Models for Ionized Physical Vapor Deposition Feature Scale Simulations." *Appl. Phys. Lett.*, vol. 73, pp. 3860, 1998.
- [24] T. Cagin, J. Che, Y. Qi, Y. Zhou, E. Demiralp, G. Gao, and W. A. Goddard III, "Computational materials chemistry at the nanoscale," *Journal of Nanoparticle Research*, vol. 1, pp. 51–69, 1999.