



INTERNATIONAL  
TECHNOLOGY ROADMAP  
FOR  
SEMICONDUCTORS

2013 年版

リソグラフィ

THE ITRS IS DEvised AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

The ITRS is Jointly Sponsored  
by

European Semiconductor Industry Association



Japan Electronics and Information Technology  
Industries Association

Korea Semiconductor Industry Association



Taiwan Semiconductor Industry Association



Semiconductor Industry Association



ITRS の共同スポンサーは ESIA, JEITA, KSIA, TSIA, SIA です。

# 訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2013 Edition(国際半導体技術ロードマップ 2013 年版)本文の日本語訳である。

国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors, 以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会(STRJ)が電子情報技術産業協会(JEITA)内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 15 のワーキンググループ(WG: Working Group)が組織され、半導体集積回路メーカ、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソーシアムなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2013 年版は英文で 1000 ページを越える文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版(英語の原書)までは、ウェブ公開とともに、印刷された本としても出版していたが、ITRS 2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要に限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。ITRS 2009 年版以降、電子媒体で ITRS を公開することを前提に編集を進め、ITRS の表は原則として、Microsoft Excel のファイルとして作成し、そのまま公開することにした。

ITRS は英語で書かれている。日本語訳の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くの専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字、脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただけますよう、お願い申し上げます。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部は英文のまま掲載することとした。Overview の冒頭の謝辞(Acknowledgments)に、ITRS の編集にかかわった方々の氏名が書かれているが、こども訳出していない。また、ITRS 2013 年版では、各章の要約(Summary)を別のファイルとして作成し公開しているが、今回はこれを訳出していない。要約(Summary)は原則として、本文の抜粋となっていて、本文の日本語訳があれば、日本の読者にとっては十分と考えたためである。

原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように()内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ(ITRS: International Technology Roadmap for Semiconductors, 以下 ITRS と表記)」「国際半導体技術ロードマップ(International Technology Roadmap for Semiconductors)」のように和訳の後に()内に原語やそれに対応する略語を表示した。Executive Summary の用語集(Glossary)も参照されたい。原文の括弧()があってそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[]内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳ではなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日

本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳作成にあたり、編集作業を担当いただいた、JEITA 内 SRTJ 事務局の幾見 宣之さん、関口美奈さんには大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2014年 7月  
訳者一同を代表して  
電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長  
石内 秀美 (株式会社 東芝)

## 版權について

# ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2014 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • SEMATECH, Inc. , 257 Fuller Road, Albany, NY 12203 • <http://www.itrs.net>  
Japanese translation by the JEITA, Japan Electronics and Information Technology  
Industries Association under the license of the Semiconductor Industry Association

### —引用する場合の注意—

原文(英語版)から引用する場合 : ITRS 2013 Edition, Chapter XX, page YY, Figure(Table) ZZ  
この日本語訳から引用する場合 : ITRS 2013 Edition (JEITA 訳) XX 章、YY 頁、図(表) ZZ  
のように明記してください。

-----  
問合せ先 :  
一般社団法人 電子情報技術産業協会  
半導体技術ロードマップ専門委員会 事務局  
電話: 03-5218-1061 電子メール: [roadmap@jeita.or.jp](mailto:roadmap@jeita.or.jp)

# 目次

1. 本章の扱う範囲	1
2. 難しい技術的な課題	1
3. リソグラフィに求められる技術要求	2
4. リソグラフィ技術の候補	4
5. 個々の要素技術の要件と解決策の候補	8
5.1 レジストの要件	8
5.2 フォトマスクの要件	9
5.3 マルチパターニングとスペーサー技術	9
5.4 EUV 技術 光源パワー	15
5.5 EUV 技術 レジスト	16
5.6 EUV 技術 マスク	16
5.6.1 EUV マスクブランクスの欠陥の状況と欠陥を減らす取り組み、無欠陥ブランクスの手 可能性	17
5.6.2 EUV マスク技術の拡張	17
5.7 自己組織化リソグラフィ(DSA)	19
5.8 ナノインプリント	22
5.9 マスクレスリソグラフィー(電子線による直描)	24
6. 他のワーキンググループにおよぶ課題とその解決策の候補	25
6.1 設計とプロセスインテグレーション	25
6.2 配線	25
6.3 工場インテグレーション	25
6.4 工場インテグレーション	26
6.5 モデリングとシミュレーション	27
7. 将来必要な新探求材料が与える影響	28
8. 参考文献	29

## LIST OF FIGURES

Figure LITH1A	Demonstrated Line and Space Resolution of Potential New Patterning Techniques .....	5
Figure LITH1B	MPU Fin and Flash Memory Potential solutions .....	6
Figure LITH1C	MPU and DRAM Metal Level Potential Solutions.....	7
Figure LITH1D	Contact Hole Potential Solutions.....	8
Figure LITH2	Process Flows for Pitch Splitting (DE, DP), and Spacer Patterning.....	10
Figure LITH3A	Schematic of Positive Tone Sidewall Spacer Double Patterning, ..... with Definition of “Core Space” and “Gap Space”. Gap space always ..... has the greatest tolerance stack-up.	12
Figure LITH3B	Schematic of Sidewall Spacer Quadruple Patterning, ..... Indicating and Defining the Various Data Pools for Spaces	13
Figure LITH3C	Corresponding Equations and Percentages for the Various Table Rows.....	14
Figure LITH3D	Schematic of a Cut Mask applied to a Spacer Array for the ..... Purpose of Line Cutting, such as in Fin formation, DRAM island formation, ..... or dummy fin removal, where one needs to critically cut one line on pitch. .....	15
Figure LITH4A	DSA Techniques for Lines and Spaces.....	20
Figure LITH4B	DSA Techniques for Hole Type Patterns.....	21
Figure LITH5	Electrical Test Yield Improvements for 10-Meter Serpentine Patterns .....	23

## List of Tables

Table LITH1	Lithography Technology Requirements .....	1
Table LITH2	Lithography Difficult Challenges .....	2
Table LITH3	Resist Requirements.....	9
Table LITH4	Optical Mask Requirements .....	9
Table LITH5	Multiple Patterning/Spacer Requirements .....	11
Table LITH6	EUVL Mask Requirements .....	16
Table LITH7A	Directed Self Assembly for Line and Space Type Patterns Requirements .....	22
Table LITH7B	Directed Self Assembly for Hole Type Patterns Requirements.....	22
Table LITH8	Imprint Template Requirements.....	24
Table LITH9	Maskless Lithography Technology Requirements.....	24
Table LITH10	Lithography Materials Requirements .....	28

# リソグラフィ

## 1. 本章の扱う範囲

この章では、いろいろな露光方法について議論します。ITRS ロードマップはデバイスの要件を示しますが、デバイスが必要とする解像性能とパターン品質への要件を、本章で示した露光方法は満たす可能性があります。Table LITH1 は、2014 年から 2028 年にかけての、基本的なパターンニング要求を示しています。今回初めてコンタクトホールとのピッチと FinFET の Fin パターンのハーフピッチも含めました。FinFET は 2012 年に量産適用され、そのチップの中で FIN のピッチが最も小さな値となりました。コンタクトホールやその他のホールパターン、例えばビアや、補助的なリソグラフィとしてのカットマスクのパターンは、リソグラフィとして微細化が最も難しいものです。それらの実用限界としてのミニマムハーフピッチは、ラインアンドスペースパターンよりも常に大きな値となります。ラインアンドスペースパターンや Fin のハーフピッチは、基本的なデバイス(NAND, DRAM, Logic) のロードマップから決まります。重ね合わせや線幅制御への要求値は、ハーフピッチから算出されます。ロジックデバイスのコンタクトホールのミニマムピッチは、CMOS ロジックデバイスの基本的な設計要求から決まります。メモリデバイスのコンタクトホールのミニマムピッチは、実デバイスの構造やラインアンドスペースパターンとの比を用いて、将来のラインアンドスペースのピッチに当てはめて算出します。Table にはまた、チップサイズや、露光機の NA 値から算出されるウエーハの平坦度の要求値も掲げています。

Table LITH1 Lithography Technology Requirements

## 2. 難しい技術的な課題

今後 4 年(2013~16 年)において、最も重要な課題の多くは、マルチパターンニングと EUV 露光に関連したものです。ピッチを 4 分の 1 にするクアドロプルパターンニングは、マスクパターンは複雑になりませんが、重ね合わせ、CD コントロール、パターン配置、プロセスコスト、サイクルタイムなどが課題となります。EUV 露光で、もっとも大きな課題は、光源パワーです。十分な光源パワーがなければ、プロセスコストが非常に高くなります。スループットが非常に小さくなるからです。2013 年において、EUV の量産試作機が一時間あたり 2 から 3 枚を処理すると報告されています。<sup>1</sup> 中間焦点位置<sup>2</sup>で、40~55W のパワーを実現したという報告もいくつかあり<sup>3</sup>、15mJ/cm<sup>2</sup> の感度のレジストで一時間あたり 43 枚が処理できる計算となりますが、実際にユーザーが使用する現場でこのような光源が用いられたという報告はまだありません。たとえ十分なパワーを持つ光源があるとしても、他にも難しい課題があります。例えば、EUV マスク製造インフラは、顧客が必要な数の無欠陥マスクを製造する能力が必要となります。他にも、ウエーハレジストや(LER を低減するような)現像後の後処理によって、質の良いパターン形状が得られなければなりません。ここでいう質とは、デバイス機能のターゲットを満たすために必要なものを意味します。自己組織化リソグラフィ(DSA)は、単純なパターンに対しては、今後 3~4 年以内に実用となる可能性があります。しかし、それが本当に実用化されるためには、欠陥が十分に少なく、パターンの配置精度が十分に良いことを示す必要があります。

EUV 光源パワーは、2017 年以降も課題で、増え続けていかないとはいけません。それは、単にプロセスコストを減らすためばかりではなく、パターン寸法が小さくなるほど深刻化すると予測されているレジストのショットノイズの問題やパフォーマンス(解像度/感度/LER)の問題を緩和させる効果があるためです。EUV 露光装置にもいずれ 0.4 以上の NA が必要になります。しかし、高い NA に対しては、EUV レンズを構成するミラーからの EUV 光の反射角の領域が広がります。この影響で、EUV ミラーからの様々な反射角をもつ光が誤った干渉を起こさないようにするレンズ設計を行うことが難しくなります。この問題の解決策の一つが、レンズ倍率を現在の 4 倍から変えることです。レンズ倍率を変更すると、マスクサイズが同じだとフィールドサイズを小さくする必要があり、フィールドサイズを変えないとマスクサイズを大きくする必要があります。いずれにしても現状のフィールドサイズかマスクサイズのいずれかを変える必要があります。他の代替パターン形成技術がいくつかありますが、それぞれに特有の課題を抱えています。DSA においては、DSA に適合した(制約の多い)設計パターンが必要になるし、制約を出来るだけなくするためには新しい種類の DSA 技術が必要になります。マスクレスリソグラフィにおいては、実働する装置が必要になります。ナノインプリントにおいては、欠陥の数を

## 2 リソグラフィ

抑える必要があります。そして、どのパターニング技術に対しても共通な課題として測定技術(Metrology)の課題が多くあります。Table LITH2 に、これらの課題についてまとめています。

Table LITH2 Lithography Difficult Challenges

Near Term Challenges (2013–2016)	
1	Cost and cycle time of multiple patterning – especially for more than 2x
2	Process control on key parameters such as overlay, CD control, LWR with multiple patterning
3	EUV Source power
4	EUV Mask Infrastructure (defect inspection and verification, mitigation, mask lifetime) Defect free EUV mask blanks, mask availability
5	EUV resist and/or process that meets sensitivity, resolution, LER requirements
6	DSA defectivity and positional accuracy
Long Term Challenges (2017 and beyond)	
1	Higher source power for EUV
2	Higher NA EUV tool and mask implementation and infrastructure
3	DSA compatible design rules
4	EUV Extension (wavelength, mask, mirrors, resist, etc.)
5	Maskless lithography production tool demonstration
6	Imprint defectivity, throughput and OL matching
7	Metrology tool availability to key parameters such as CDU, thickness control, overlay, defect

## 3. リソグラフィに求められる技術要求

リソグラフィは、現在半導体デバイスの製造に使用されている描画技術で、投影露光型のステッパーやスキナーが用いられています。一つの半導体デバイスの中には色々なパターニング層があり、それぞれの描画に適した露光波長が用いられています。最も解像力の高いリソグラフィ技術は、193nm(ArF)の波長で NA 値が 1.35 の投影レンズを持つ液浸スキナーです。この技術はすでに確立したもので、その解像限界は、単純なラインアンドスペースパターンでハーフピッチ 40nm、他のタイプのパターンでは 40nm よりもやや大きなハーフピッチです。現在、ハーフピッチ 40nm よりも小さなデバイスが量産されていますが、まずハーフピッチ 40nm かそれよりも大きなハーフピッチのパターンを形成したのち、そのピッチを半分にするプロセスステップを追加しています。あるいは、1 層あたり 2 回以上の露光を行うことにより、2 回に分けて形成したパターンを結合する形で、ハーフピッチ 40nm よりも微細なパターンを形成します。比較的単純なパターン、例えばフラッシュメモリの最小ピッチパターンや finFET デバイスの fin などは、自己整合型のダブルパターニング(SADP)技術で形成されます。SADP 法では、まず平行に並んだラインパターンを形成し、そこから線分を短くするために「切る」工程を追加する必要があります。ラインアンドスペースパターンに「切る」工程を加えて所望するパターンを形成する手法は、補助的(complementary)リソグラフィと呼ばれています。DRAM やロジックチップのメタル配線層においては、SADP 法では形成できないもっと複雑なパターンがあります。このようなメタル配線層に対しては、リソ、エッチ、リソ、エッチ(LELE)型のダブルパターニング技術が必要となります。この技術は、1 層あたり 2 回の露光と 2 回のエッチングが必要で、SADP 法よりもコストがかかります。さらに微細化を進めようとするならば、4 分の1ピッチ化の技術で可能となります。つまり、液浸露光でパターニングしたパターンを SADP で半分のピッチにし、さらにもう一度 SADP を繰り返します。しかし、この方法では非常に単純なパターンでしか実証されていません。他のタイプのパターンに対しては、もっと複雑なマルチパターニング、あるいは新しい別の技術での実証が必要となります。

歴史的に見ると、リソグラフィの解像力は、露光波長を短くしたり、露光装置の NA 値を大きくしたり、よりよい材料やプロセスを用いたりする事で向上してきました。193nm 露光装置の NA 値は今の 1.35 よりも大きくすることはできません。水よりも高い屈折率を持つ液浸材料で利用できるものがないからです。193nm よりも短い光学波長、例えば 157nm(F2 エキシマーレーザー)を利用することもできません。適切な液浸材料も、レンズ材料もないからです。そのような背景から産業界は解像力を上げるために EUV 光源(波長 13.5nm)を用

いる技術の開発に注力してきました。2013年にはNA値0.33のEUV露光装置が、デバイスチップの研究開発と試作量産向けに出荷され始めました。2014年の前半には、稼働し始める予定になっています。このツールは、ハーフピッチ30nm以下のコンタクトホールと、ハーフピッチ20nm以下のラインアンドパターンを形成する解像能力を持っています。しかし、デバイス量産に必要なスループットを持つためには、より高輝度な光源に載せ替える必要があるでしょう。まだそのような高輝度な光源は実現されていません。そのため、EUVは、リソグラフィのロードマップにおいて将来の要求を満たす可能性のある幾つかの技術候補の中の1つとして考えられているのです。EUV露光技術の現在の性能と将来に向けた課題に関しては、後に出てくる「EUV露光」の節で詳しく説明します。その節では、レジストやマスク、そして装置の課題に触れています。それらすべてが、EUV露光がデバイス量産に適用されるための不可欠な要素だからです。

193nm液浸露光よりも高解像度を実現する技術は他にもあり、それぞれ開発が進められています。ダブルパターンニングをさらにマルチパターンニングに拡張させて、さらに微細なパターンを作る事は可能です。原理的に、既存のプロセス技術はそのままで、パターンがより小さく、プロセス余裕度がより厳しくなるだけでそのまま使えるはずですが、リソグラフィ工程は、全工程のなかでも最もコストがかかる工程で、主要な層に対してダブルパターンニング、トリプルパターンニング、あるいはそれ以上のマルチパターンニングを適用すれば、たちまち回収不能な費用が発生してしまうでしょう。さらに、複数回の露光、あるいはマルチパターンニングによってプロセス工程が多くなると、プロセス余裕度を決める要因数が増大してしまい、制御が不可能な状態になってしまうでしょう。単純なラインアンドスペースパターンを、マルチパターンニングで形成することは比較的容易ですが、補助的(complementary)リソグラフィを使用する回数が多くなります。このような種類のプロセスは、露光装置に対して本質的な解像力は要らなくなります。しかし、重ね合わせやCD制御、線幅のラフネスは、最終的なパターンサイズに比例して小さくする必要があります。つまり、露光装置やプロセスの余裕度は、パターンニングの回数が多くなるにつれて厳しくなります。そしてこれらが重要な技術的課題となります。これらのプロセスの詳細や、より微細なパターンにマルチパターンニングを適用する場合の課題は、「マルチパターンニング/スペーサー技術」の節で説明します。

電子線リソグラフィ、別称マスクレスリソグラフィ(ML2)は、電子線に感光するレジストにパターンを直接描く露光方法です。電子線で高解像度のパターンを描くことは、本質的に時間がかかるので、スループットを上げるためには、何千本ものお互いに独立した電子線で、大規模な並列処理を行う必要があります。2つの異なる会社が装置の開発を進めており、半導体製造会社に量産向けのパイロット装置を2016年に供給する計画を立てています。この技術の詳細と技術的課題は「マスクレスリソグラフィ」の節で触れます。

ナノインプリントは、高解像性能を持つ技術のうちの1つで、ウエーハ上に薄い液状のドットパターンを塗って、微細な浮き彫りパターンを押しつけて、立体形状を作ります。そしてこの立体形状をエッチングマスクとして利用します。これがフォトレジストと同じ役割となります。この技術の最新の手法は、ステップアンドフラッシュと呼ばれる技術を用います。1チップ分の透明な浮き彫り(マスク)パターンをウエーハ上の材料に押しつけて、それをウエーハから剥がす前に光化学的に硬化させます。これは、マスクをウエーハ上の材料に密着させる技術なので、欠陥の発生が最も大きな懸念となります。1枚のマスクで実際のデバイスチップを作ると行くと、現実的には欠陥が増加していくため、マスクを交換する必要があります。つまり、マスクの寿命が短いという問題を解決するために、チップ作成には用いない「マスターマスク」を「コピーしたマスク」でデバイスを作るという方式を採用します。この方式の実用性のテストを行うためのパイロットツールを用いて、この技術の可能性を評価するプログラムが行われています。この技術の持つ性能と課題に関しては、「ナノインプリント」の節で詳しく述べます。

パターンニング技術の中で、最近の2年間で大きな進展を見せたのは、自己組織化リソグラフィ(DSA)です。この技術は、LSI製造に求められているパターンサイズが、実験室で簡単に準備できる高分子のサイズと

## 4 リソグラフィ

ほぼ同じであるという点を活かした技術です。最も一般的な実用例はブロック共重合体と呼ばれる特殊な高分子を用います。ブロック共重合体は、異なるモノマー(単量体)からできた高分子がつながっています。モノマーをうまく選択すると、アニールを行う事でブロック毎の相領域に分離します。分離した相領域のサイズはそれぞれの高分子ブロックのサイズで決まります。そして、相領域の形状は、各ポリマーブロックのサイズの比で決まります。ウエーハ上にガイドパターンを作る事で、相領域ができる過程に制限をかける事ができ、必要な場所にラインやホールのパターンが作れるようになります。波長 193nm の液浸露光で形成したパターンをガイドパターンとして利用できます。そしてガイドパターンのピッチの 1/3 や 1/4 のパターンを容易に形成することが可能になります。この技術は、2 年前には研究段階の話題と考えられていましたが、今では最も有力なデバイスメーカーの各社が、この技術を実際にチップ製造に使える技術として使えるかどうかを見極めようとしています。この技術の詳細と課題については、「自己組織化リソグラフィ(DSA)」の節で触れます。

### 4. リソグラフィ技術の候補

半導体産業の要求や、技術候補の実用可能性や、それらが利用できると予想される時期などをまとめた私たちの評価結果を基に、リソグラフィ解決策の候補のロードマップを作成しました。そして、将来に求められる解像性能の要求に応えるために、どのような技術の選択が可能であるかを示しました。それぞれの先端技術において最も重要な性能を表す指標は、どこまで小さなラインアンドスペースパターンを作る事ができるかです。Figure LITH1A は、色々なパターンニング技術において、論文等で報告された解像性能をまとめています。黒く塗りつぶしたセルは既に量産で使われている事を示しています。灰色のセルと斜線でハッチングされたセルは、より小さなパターンを形成できることが例証されている事を示しています。ラインアンドスペースパターンは 10~15nm ハーフピッチまで形成できることが例証されており、さらに小さいサイズへ応用されることが期待されます。例えば、高 NA の EUV 露光は、まだ装置がないので結果が出ていませんが、原理的なシミュレーション等に基づいて、微細化を実現する可能性があるかと明らかに予測できます【訳者注:ホールパターンでの、Figure LITH1A に相当する図は、次の改版時に追加される予定】。テーブルに示した技術が持つ解像能力と、Table LITH1 に示されている実用化の時期とを比べることによって、Figure LITH1B や 1C に示された各ピッチに対して、可能なリソグラフィ技術の候補が絞られます。Figure LITH1B と 1C は、ラインアンドスペースパターンに対する技術候補と必要な時期を表しています。

		Uni-directional Parallel Line/Space Patterning Techniques																				
		CD	40	38	36	34	32	30	28	26	24	22	20	18	16	14	12	10	8	6	4	2
Exposure Tool	Patterning Technique	Pitch	80	76	72	68	64	60	56	52	48	44	40	36	32	28	24	20	16	12	8	4
Immersion	Single Patterning	→	■																			
Immersion	LELE	→	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
Immersion	SADP	→	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■	■
Immersion	SAQP	→												■	■	■	■	■	■	■	■	■
EUV	Single Patterning	→																				
EUV	SADP	→																				
Immersion	DSA [ps-b-pmma]	→	Large features do not phase separate well by DSA																			
ArF, EUV, E-Beam	High Chi-DSA	→	Large features do not phase separate well by DSA																			
Nanoimprint	Nanoimprint	→																				
High NA EUV	Single Patterning	→																				
E-Beam	Single Patterning*	→																				
E-Beam	DSA [ps-b-pmma]**	→	Large features do not phase separate well by DSA																			

■ Consensus that technique has been used in production  
 ■ Published demonstrations from potential deployable equipment show opportunity for production  
 ■ Simulations, surface images, or research grade demonstration suggest potential for extendability

Figure LITH1A Demonstrated Line and Space Resolution of Potential New Patterning Techniques<sup>4</sup>

Figure LITH1B は、フラッシュメモリに必要なラインアンドスペースパターンと FinFET 型のロジックデバイスでの Fin パターンを描画で用いられる可能性のあるリソグラフィ技術を挙げています。フラッシュメモリにおける最も厳しいサイズのパターンに於いては、既に自己整合型の 4 分の 1 ピッチ化技術(SAQP)が用いられています。ArF 液浸露光での SAQP 技術では、12nm ラインアンドスペースまで解像すると考えられるので、2 次元型のフラッシュのハーフピッチはこのサイズで微細化が止まり、これらのサイズの領域に対して他の代替の技術がどうしても必要という訳ではありません。もしも SAQP ではない別の描画技術が望まれる事があるとすれば、それはコストを下げたいという要求がある場合になります。そのような代替技術のいくつかがデバイス製造に使えるようになるのは早くて 2016 年です。どの代替技術が実際に使われるようになるかは、現在使われている 4 分の 1 ピッチ化技術よりもコストが低いかどうかで決まります。2022 年には、Fin の幅の方がフラッシュの最小幅よりも小さいものが必要となり、その要求を満たすための新しい技術が必要となります。

6 リソグラフィ

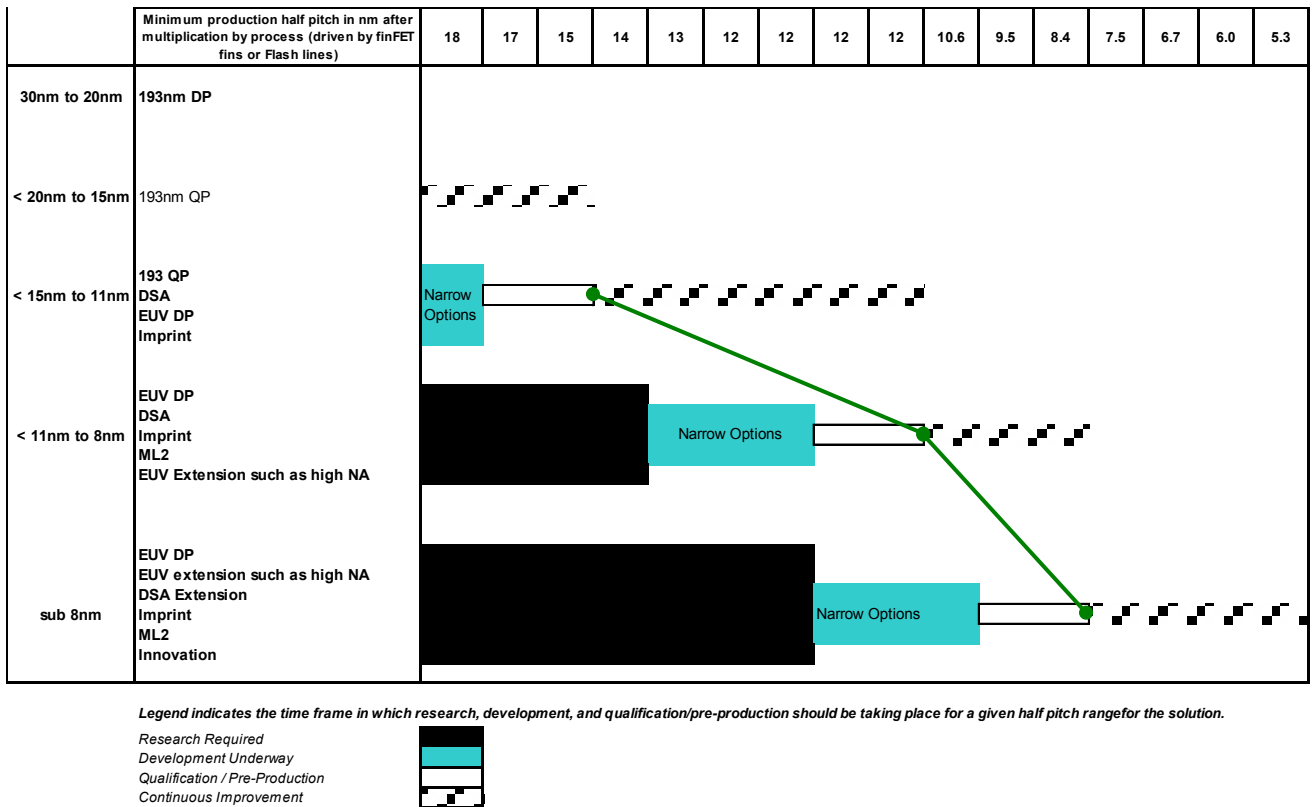
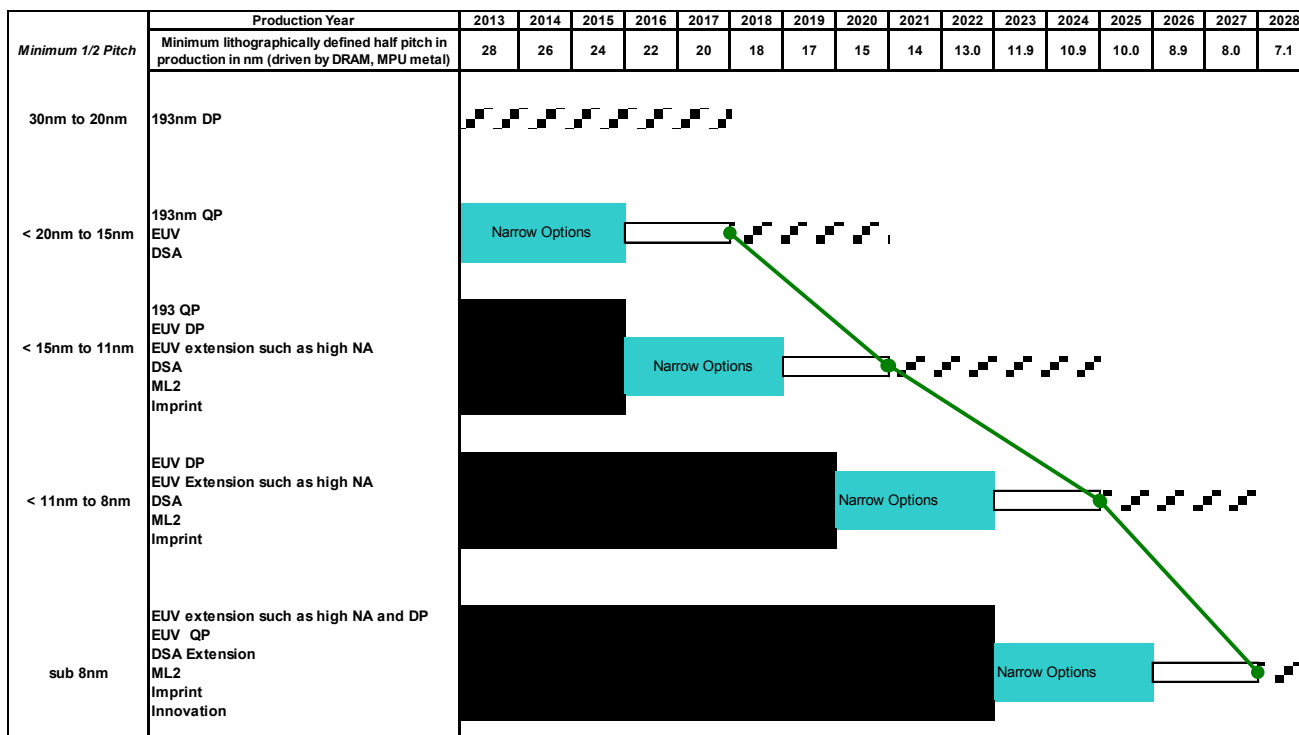


Figure LITH1B MPU Fin and Flash Memory Potential solutions

Figure LITH1C は、MPUとDRAMのメタル層で用いられる可能性のある技術を示しています。これらのデバイスのラインアンドスペースパターンはフラッシュデバイスよりも複雑な形状であるため、リソグラフィ、エッチング、リソグラフィ、エッチング(LELE)型のマルチパターニングが必要であり、あるいは自己整合型のマルチパターニングだけでは設計デザインと同じにならない部分を補助的な(complementary)リソグラフィ、つまりカットマスクとの併用で補うことが必要になります。メタル層のミニマムハーフピッチが、量産レベルで20nmを切るのは2018年になります。そのときには、4分の1ピッチ化技術(LELELE、SAQP)が適用できるでしょう。しかし、カットマスクが必要であったり、リソ、エッチ工程を3回以上繰り返す必要であったりするので、もっと単純でコストの低いパターニング方法が求められるようになるでしょう。もしもEUV光源のパワーが十分で、4分の1ピッチ化技術のコストよりも低くなれば、自然とEUVLの方に変わってゆくでしょう。単純なラインアンドスペースパターンであれば、DSAが最もコストの低い技術になると期待できますが、欠陥の問題の解決とDSAで作れるパターンに合わせたデザインルールを構築する事が必要になります。これらの課題をクリアすれば、早ければ、2016年ぐらいには使える状態になると予想されます。ナノインプリントとマスクレスリソグラフィ(電子線描画)も、微細なパターンに対する選択枝です。ナノインプリントは、密着露光であるが故に避けられない欠陥の問題を解決して行かなくてはなりません。その点から考えて、欠陥に対する許容量が比較的大きいフラッシュメモリに使われるのが最初ではないかと思われます。マスクレスリソグラフィは、2016年にはまだ量産に対応した装置が出てこないと思われますので、その後のデバイス世代での選択枝の一つとして位置づけられています。



Legend indicates the time frame in which research, development, and qualification/pre-production should be taking place for a given half pitch range for the solution.

- Research Required
- Development Underway
- Qualification / Pre-Production
- Continuous Improvement

Figure LITHIC MPU and DRAM Metal Level Potential Solutions

Figure LITH1Dには、コンタクトホール層のようなパターンに対する技術的な選択枝が挙げられています。コンタクトホールは、2次元に配列するものなので、パターン密度を2倍にしても、配列のピッチが $1/\sqrt{2}$ 、すなわち29%小さくなるだけです。ラインアンドスペースの場合には、パターン密度を2倍にすると、ピッチが50%も小さくなることと比較すると、コンタクトホールの縮小率は小さい事がわかります。コンタクトホール層においては、2016年にトリプルあるいはクアドルプルパターンニングが必要となり、2019年には、クアドルプルパターンニング以上の繰り返しが必要となります。EUV露光やその他の新しいパターンニング技術の実用化されれば、コンタクトホールのピッチも、ラインアンドスペースと同様に50%小さくすることができます。LELELEやLELELELEにかかるコストを考えると、ラインアンドスペースよりもコンタクトホールの方が早く新しいパターンニング技術が必要になってきます。2016年には、コンタクトホール層のトリプルあるいはクアドルプルパターンニングを、EUVのシングル露光に置き換えることができるかもしれません。もしこの置き換えがうまくいけば、2022年まではコンタクトホール層にEUV露光を使い続ける事が可能となります。しかし、光源パワーが十分なものにならないと実用化できませんし、コスト面で優位にもなりません。他の技術選択枝もまた可能性があります。そのタイミングは、ArF液浸のクアドルプルパターンニングでも解像要求を満たせなくなる2019年です。より早い時期に他の技術と比較してコスト面で優位にならないと適用される事はありません。

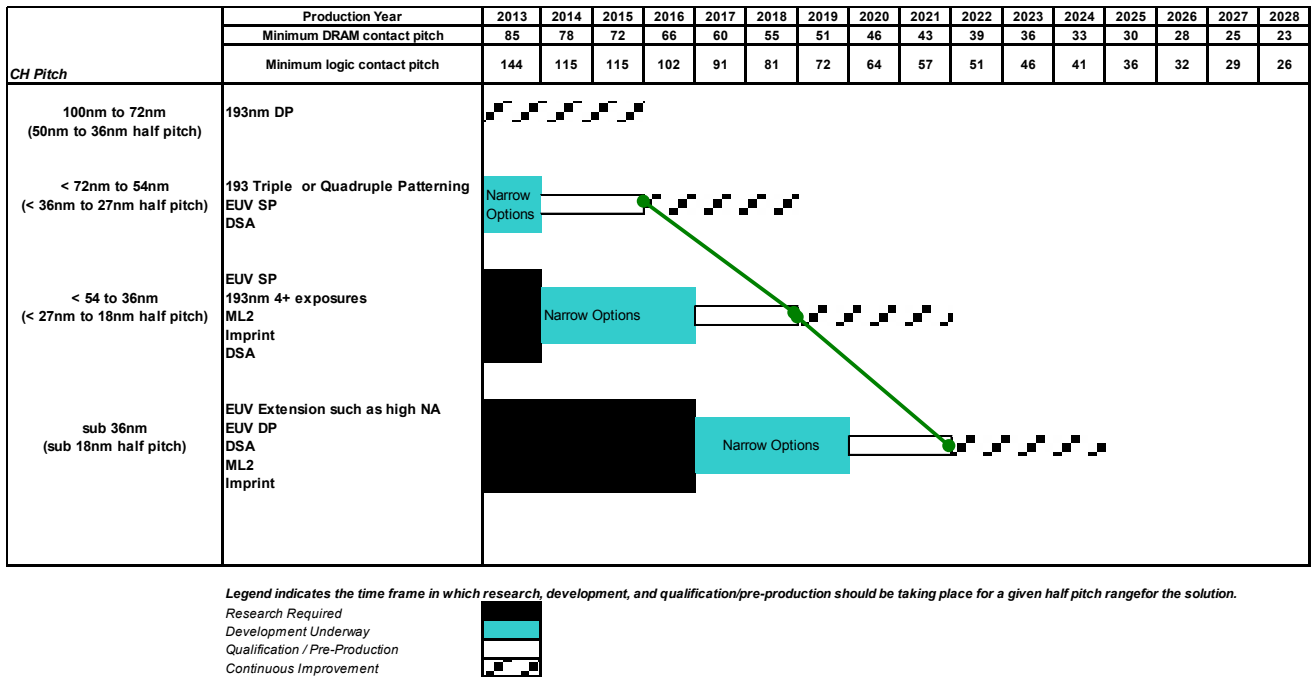


Figure LITH1D Contact Hole Potential Solutions

## 5. 個々の要素技術の要件と解決策の候補

### 5.1 レジストの要件

フォトリソに要求される事は、現像後にパターン忠実性が良く、線幅の制御性が良く、線幅のラフネスが小さく、そして欠陥が少ない事です。パターンサイズが小さくなると、欠陥やレジストを構成するモノマーのサイズが、レジストの濾過フィルターの孔径サイズに近くなってきます。Table LITH3 を見てください。ArF 露光装置用のレジストは十分に完成されています。ArF 露光装置の解像性能が上がっているわけではないので、レジスト性能をさらに向上させる必要はありません。EUVレジストは、ラインアンドスペースパターンでの解像力で、すでに 14nm ハーフピッチ、ホールパターンでは 22nm ハーフピッチまで上がっています。EUV 露光でこれよりも高い解像力は 2022 年までは必要ないでしょう。つまり、解像性能自体は、大きな課題ではありません。

マルチパターンニングによって解像度は向上しますが、寸法制御が課題として残ります。寸法がばらつくともパターンのエッジ位置のばらつきに影響し、さらにそれが分割された別のマスクのパターンの位置に影響を及ぼすからです。さらに重要な点は、デバイスからの要求も微細化と共に小さくなるという事です。ラインエッジラフネス(LER)とライン幅ラフネス(LWR)の目標値の達成は依然として課題ですし、デバイスのパフォーマンスに影響を与えます。LWR の高周波成分はデバイス特性や配線抵抗に影響します。LWR の低周波成分は異なるゲート間のゲート長のばらつきに影響します。このばらつきは、リーク電流を増やし、個々のトランジスタスピードのばらつきにつながります。さらには、回路のタイミング問題にまで影響することになります。また、LWR と LER は、微細なゲート長に対する線幅均一性のエラーバジェットの要素となります。テーブルの中での LWR 要求値は、ゲート長(物理的な幅)の 12%に設定しています。デバイス性能においてそのばらつきは許容されることになります。デバイス製造では、できるだけばらつきを抑えようとするので、テーブルの数値はばらつきを最大値を表すことになります。制御性が良くなれば、それはすぐさまデバイス性能が良くなり、そしてそれが望ましいことになります。露光後ベーク(PEB)温度変動に対する感度は、線幅制御に影響する 1つの要因であり、将来にわたって線幅制御の要求が厳しくなった場合には、課題となるかもしれません。Table LITH3 はレジストへの要求の全体像を示したものになります。

### Table LITH3 Resist Requirements

EUVレジストの場合も、LWRとLERの要求は同じものになります。しかし、マルチパターニングの回数が少なくなるので、実際のパターン幅は(ArF/マルチパターニングの時よりも)小さくなります。化学増幅型レジストが用いられる場合には、パターン幅が小さくなるとLWRが大きくなる可能性があります。化学増幅型レジストにおいては、LWRを下げ、線幅分布均一性(CDU)を良くするには、感光速度を遅くなるような構造にすれば容易に実現できます。しかし、EUV光源の輝度が上がっていないので、感光速度を下げるとスキヤナーのスループットが悪くなり、結局コストが高くなります。LWRとそれに関連してコンタクトホール径の均一性は、EUVレジストの大きな課題です。

化学増幅型レジストより良いパターニング材料となる可能性のある材料があります。Table LITH10には、これらの材料についてより詳細に説明しています。

## 5.2 フォトマスクの要件

### Table LITH4 Optical Mask Requirements

2013年版においては、2011年版のTable LITH4に大きな修正を加えませんでした。最小限のメンテナンスを加えただけです。2011年版からの変更点の大部分は、スキヤナーで描画するウエーハ上のパターン幅が小さくならない事に対応して、マスクパターンの縮小も止まるだろうという事実に従うものです。マルチパターニングには色々あり、ウエーハパターンとしてサイドウォールスペーサーを用いるもの、あるいは、かなりの量のエッチングバイアスを適用したり、あるいは、その他のリソグラフィ工程後のプロセスバイアスを適用したりします。それらすべてにおいてマスク上のサイズとウエーハ上のサイズの単純な対応関係は無くなってしまいました。マスクパターンサイズは80nm程度までは小さくなります。この80nmは、ウエーハ上のArF液浸の限界ピッチ80nmに対応するマスク上のピッチ320nmで、デューティサイクル比3:1となるようなパターンに対応した数値です。マスク1枚あたりのデータ量が急激に増えてきたこれまでの傾向も、液浸の限界ピッチを用いるようになった時点で急にペースダウンするでしょう。デバイス1層当たりのデータ量は、これまで通り増え続けますが、複数枚のマスクに分割されるようになるからです。

マスクパターンサイズの縮小は止まるかもしれませんが、線幅制御や重ね合わせの余裕は、ウエーハパターンへの要求に従い続けなければなりません。これが、フォトマスクにおける最も大きな課題です。多重露光においては、マスクパターンのエッジ位置がウエーハ上のラインの位置になります。マスク線幅制御がより良く、マスク誤差拡大因子(MEEF)がより小さくする事が、マスク上の線幅誤差などから生じる重ね合わせ誤差を小さくするために求められます。マスク誤差がウエーハパターンの誤差にできるだけ影響しないように、また、マスクやパターン形状ができるだけMEEFを小さくするように注意が払われることとなります。マスクパターンの配置誤差もできるだけ小さくしなくてはなりません。このために、計算器リソグラフィに一層頼るようになり、ダブルパターニングのマスクパターンは、目的の図形形状とは似ても似つかないものになります。

## 5.3 マルチパターニングとスペーサー技術

必要とされるピッチのパターンを、光の波長で作るためには、1つのデバイス層に対して複数の露光を繰り返さなくてはなりません。二回の露光を繰り返す方法でも、幾つかの方法が既に用いられています。レベンソン型の位相シフトマスクとトリムマスクを組み合わせてゲート長だけを小さくする技術や、マスクパターンを横方向のパターンと縦方向のパターンに分けて、それぞれのパターンに合ったダイポール照明を用いて露光

するダブルダイポール露光技術などです。これらの技術によって、回折限界( $k_1=0.25$ )に近いパターンを作ることができるようになります。多重露光技術をさらに工夫して、一回の露光の回折限界を超えるような技術が幾つか確立されてきています。それぞれの多重露光技術のタイプ毎に、異なった技術要求が必要となります。(Table LITH5)

マルチパターンニングは、基本的には2つの手法に分けることができます。1つはピッチ分割(PS)で、もう一つはスペーサーパターンニング(SP)です。それぞれの最も重要なリソグラフィ工程において、リソグラフィに求められる技術的な要求が異なります。PS には、典型的なダブルパターンニング(DP)、つまり、一つのデバイス層を作るのに、リソグラフィとエッチング工程を2回繰り返すものを含みます。これは、良くリソ、エッチ、リソ、エッチ、あるいはLELEと呼ばれます。また、2重露光(DE)、つまり、同じレジスト上に2回の露光を行い、エッチング工程は1回だけというものもあります。この技術においては非線形な光反応を示すレジストやリソフリーズプロセス【訳者注:1回目の現像後のパターンを化学的にフリーズさせる】が用いられます。SP プロセスは、最初にリソグラフィ工程を行った後に、薄膜の積層とエッチングを行う事で、2本組の微細パターンを作る技術で、スペーサー形成プロセスのようなものです。(この技術で重要な点は、不要なパターンを除去するための2枚目のカットマスクが必要であることです。ダイポールリソグラフィ技術に必要なカットマスクと似ています)。スペーサー型のダブルあるいはマルチパターンニングは、PS と比べると、微細パターンのための露光は、1回あるいはそれ以上減らす事ができますが、可能なパターンの形状が限定されます。なぜならば、最初の露光で、2本組みのパターンの位置が決まってしまうからです。Figure LITH2 は、これらの異なる手法のプロセスフローを模式的に示したものです。<sup>5,6,7,8</sup> スペーサー型のダブルパターンニングの方が、レジスト上のパターンニングの時よりもLWRが良くなりますが、LELE型のプロセスよりも設計パターンへの制約が大きくなります。これらのどちらの型のマルチパターンニングも、4分の1ピッチ化さらに8分の1ピッチ化に拡張することができます。LELE型のプロセスは、ロジックやDRAMのメタル配線層に対して、2016年か2017年ぐらいまでの必要とされるピッチに対応することができるでしょう。

対象層の形状の複雑さにも依りますが、ホールパターンには、LELE型が必要です。2016年あるいはもっと早い時点で、トリプルあるいはクアドルプルパターンニングが必要になる可能性があります。スペーサー型のダブルパターンニングは、既にロジックデバイスのフィン形成やフラッシュメモリーデバイスに使われていますし、クアドルプルパターンニングもフラッシュメモリーに使われています。

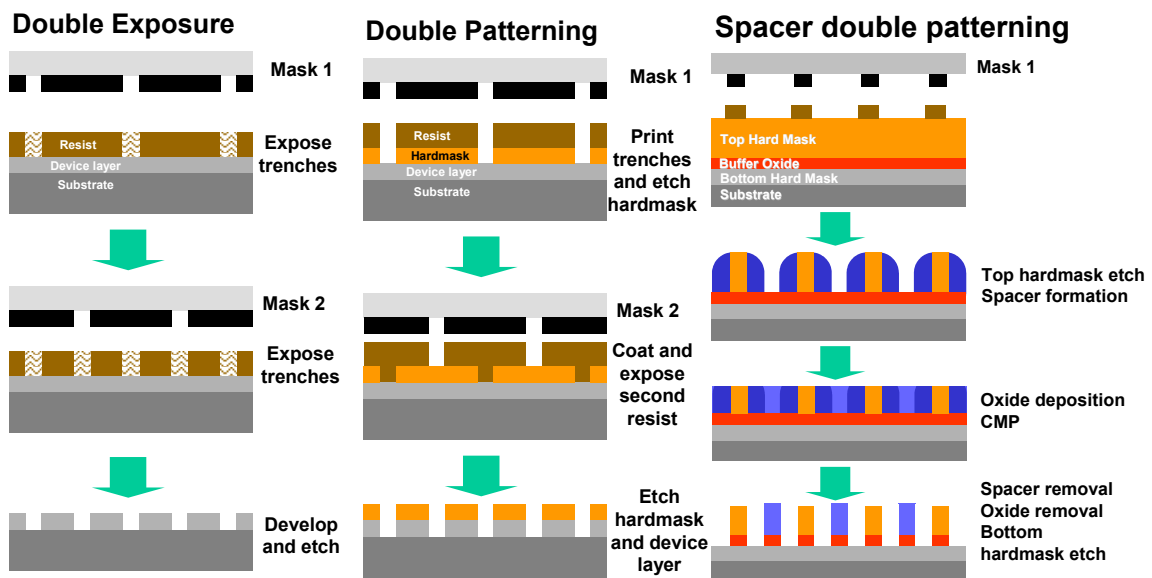


Figure LITH2

Process Flows for Pitch Splitting (DE, DP), and Spacer Patterning

マルチパターニングプロセスには、以下の様な技術的課題があります。

- ・マルチ露光の重ね合わせ。スキャナーの重ね合わせ、マスク間のマッチング、2度の露光で別々に決まるパターンエッジ位置に影響する寸法制御が含まれます。
- ・複数回の露光に用いるフォトレジスト(非線形レジスト、リソフリージング用)
- ・スペーサーパターニングに必要な追加プロセスの確立とその制御
- ・複数回の露光やスペーサーパターニングに必要な追加プロセスを効率的に行い、短いサイクルタイムを可能とするための、工場内搬送やプロセスフローの制御。
- ・任意の設計レイアウトパターンに対してハーフピッチ化やスペーサー化(SADP)のための処理工数を最小限に抑えながら、パターンを分割するためのソフトウェアツールや OPC ツール、最も厳しいパターンの品質を保証(検証)するためのツールが利用可能であること、
- ・所有コスト(COO)を抑えるために、高スループットを実現するスキャナー、塗布現像装置(トラック)、そしてそれらに対応するプロセスが利用可能である事。
- ・LER、測定起因の寸法変動、10nm 未満のサイズの欠陥を制御すること
- ・リソグラフィとピッチ分割型(PS)、スペーサーパターニング(SP)と親和性の高い設計と DFM。

PS と SP の特殊な組み合わせを、場合に依っては相補的なリソグラフィ(Complementary Lithography)と呼ぶ事があります。設計パターンから、異なるラインパターンを2つの異なるマスクに分けて LELE するのでは無く、最初に長いラインパターンで細かいピッチに配列されたものを一回の露光とスペーサーパターニングで作成します。次に 2 回目の露光とエッチングでラインアンドスペースパターンを切断したり、不要なラインを取り除いたりします。ホールパターンの解像限界のピッチはラインアンドスペースパターンよりも大きいので、切断に用いるリソ/エッチングプロセスは 2 回以上必要になる可能性があります。この相補的なリソグラフィを用いる手法は、ラインパターンの重ね合わせ精度の点は有利で、LWR も比較的小さくなりますが、すべてのパターンは 1 方向に制限されて、パターンを曲げる事ができません。

#### Table LITH5 Multiple Patterning/Spacer Requirements

マルチパターニングの Table は、大きく3つに分かれています。最初にデバイスの種類別に必要となるハーフピッチのサイズを示し、次に 2 つのプロセス別の要求値が続きます。ここで 2 つのプロセスとは、マルチ露光でピッチを分ける一般的なものと、サイドウォールスペーサーによる 2 分の 1 ピッチ化あるいは 4 分の 1 ピッチ化によってピッチを分けるものです。一般的なピッチ分割技術のロードマップは、主に MPU デバイスのメタル層向けと想定されており、スペーサーパターニングの技術要求は、主に NAND フラッシュ向けを想定したものになっています。このように、リソグラフィ技術的な要求は、2 つの技術毎に実質的に異なります。基本的な前提は、線幅とスペース幅の両方のばらつきが、エッチング後の寸法の 12%以内となることです。スペース幅は、重ね合わせと線幅の両方に依存するので、12%以内という要求を満たすためには、多重露光ダブルパターニングの重ねあわせのスペックと、スペーサー技術のスペース幅の均一性のスペックを両方満たす様にしなくてはなりません。どちらのケースにおいても、スペース幅の均一性を制御すること(それは重ねあわせを制御することに相当)は、線幅の均一性を制御することを組み合わせた形になります。それ故、重ねあわせの要求をできるだけ大きな値とするためには、線幅の均一性に影響する製造プロセス制御も、既存のプロセスの能力ぎりぎりまで厳しくする必要があります。

定義:この節では、MTT(Mean To Target)は、ウエーハ上の線幅平均値と狙い値との差分を表します。つまり、32nm ハーフピッチ SADP に対して、マンドレルパターン(SADP プロセスでサイドウォールを積層するパターン) 幅の狙い値を 32nm とします。ウエーハ上の線幅平均値が 33nm ならば、MTT は 1nm となります。同

様に、サイドウォールスペーサーの狙い値が 32nm とします。ウエーハ上でのサイドウォールスペーサーの平均値が 33nm であれば、MTT は 1nm となります。マンドレルとスペーサーの MTT は重要です。それらが、ラインアンドスペースの配置エラーになるからです。(リソ、エッチ、リソ、エッチにおける重ね合わせエラーと同じ結果になります) これらの Table において、CDU(線幅均一性)は、ショットフィールド間でのばらつきの 3sigma 値とショットフィールド内でのばらつきの 3sigma 値を合わせたものになります。MTT+3sigma は、2つの誤差の二乗平均平方根であり、NAND フラッシュでは、個々のパターンタイプに対してばらつき要因の許容値が積算された上で、すべてのパターンの MTT+3sigma が狙い幅の 12%未満であることが要求されます。

Figure LITH3A は、スペーサーダブルパターンニングプロセスを、幅の定義と共に示したものです。そして Figure LITH3B は、スペーサークアドルプルパターンニングプロセスを、幅の定義と共に示したものです。サイドウォールスペーサー・クアドルプルパターンニングは、サイドウォールスペーサー・ダブルパターンニングを 2 回繰り返したものに過ぎません。しかし、スペース幅に対しては新しい要因(「スペーサーで決まるスペース」と呼ばれるもの)が Figure LITH3B に追加されています。Figure LITH3B のスペース#1 と#3 は、最初のスペーサー積層膜厚から決まるために、「スペーサーで決まるスペース」と定義されています。スペース#2 は「芯のスペース」(これは、ダブルパターンニングの時と同じです)と定義され、最初のマンドレル(芯)から決まります。そしてスペース#4 は「隙間のスペース」(これも、ダブルパターンニングの時と同じです)と定義され、最初の 2 つのスペーサー間の隙間から決まります。スペーサーダブルパターンニングにおいてもスペーサークアドルプルパターンニングにおいても、「隙間」スペースは、許容誤差の中での割合が大きく、製造プロセスばらつきの配分の中で実現性を左右する要素となっている。Table 中のサイドウォールスペーサーの部分の数値は、すべてクアドルプルパターンニングのもので、既に量産に用いられているからです。フラッシュのハーフピッチの最小値は、12nm を下回ることはいくらも考えられています。その通りなら、フラッシュの微細化はクアドルプルパターンニングで十分となります。しかし、ロジックデバイスのフィンのハーフピッチは、2023 年には 10nm 以下になると予測されています。マルチパターンニングが使われ続けるならば、そのときにはオクタプル(8 分の 1 化)パターンニングが使われる事になるでしょう。

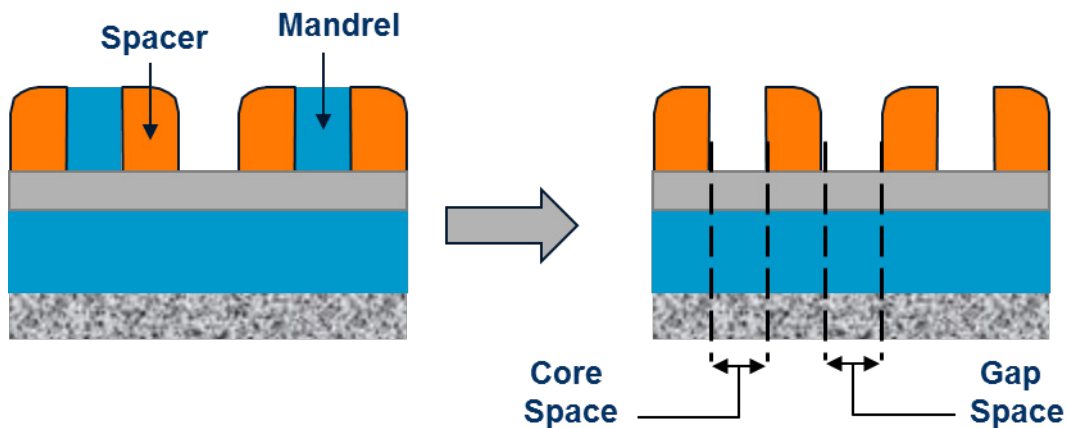


Figure LITH3A Schematic of Positive Tone Sidewall Spacer Double Patterning, with Definition of “Core Space” and “Gap Space”. 「隙間」スペースは、常にばらつき要因が積み重なって最大の割合になる。

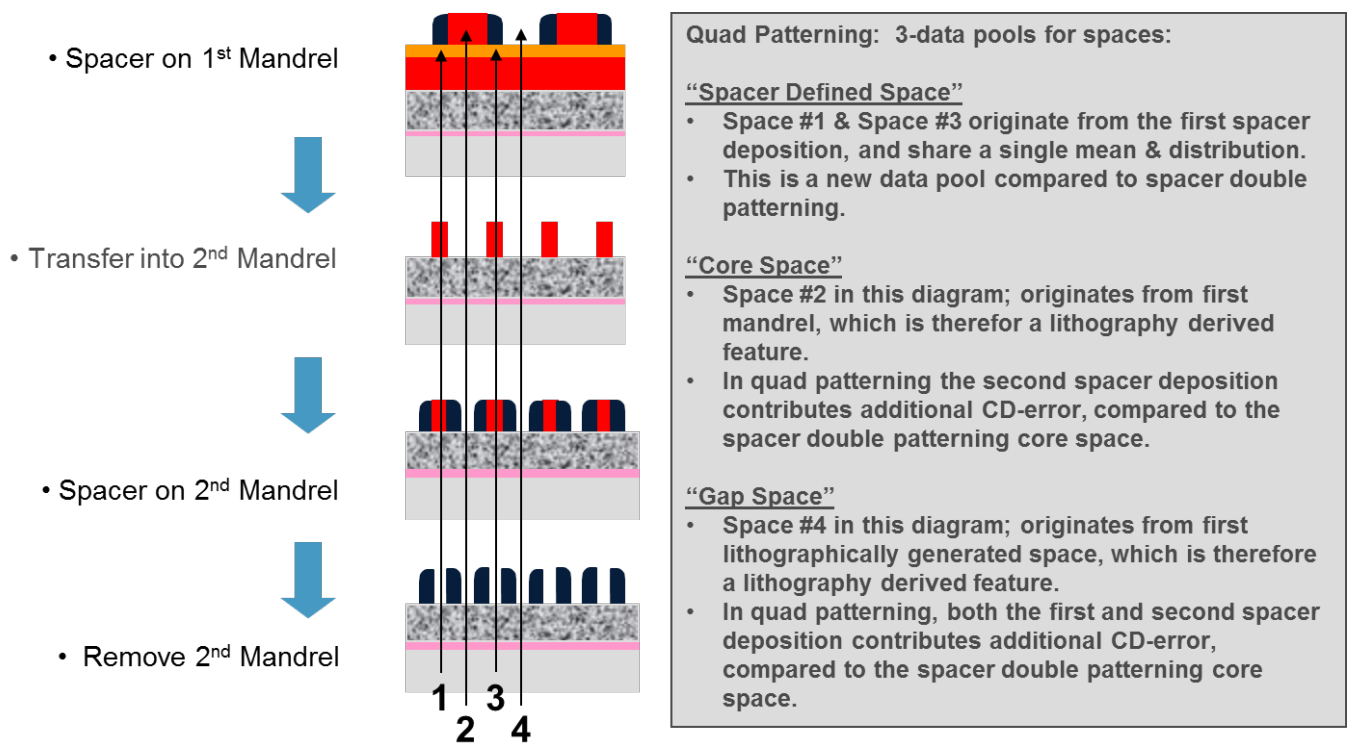


Figure LITH3B Schematic of Sidewall Spacer Quadruple Patterning, Indicating and Defining the Various Data Pools for Spaces

4分の1ピッチ化パターンニング:ばらつきの異なる3種類のスペースがある。

「スペーサーで決まるスペース」

- スペース#1とスペース#3は、最初のスペーサー積層膜厚のばらつきで決まります。
- スペーサーダブルパターンニングには無かった要素です。

「コアスペース」

•スペース#2は、最初のマンドレルパターンに由来しています。すなわち、ばらつきは、リソグラフィで決まります。

•4分の1ピッチ化パターンニングでは、2回目のスペーサー積層膜厚のばらつきが、CDばらつきに加算されます。スペーサーダブルパターンニングでのコアスペースにはこの要素はありませんでした。

「隙間スペース」

- スペース#4は、最初のリソグラフィでのスペースに由来しています。ばらつきは、リソグラフィで決まります。
- 4分の1ピッチ化パターンニングでは、最初と2回目のスペーサー積層膜厚のばらつきが、両方ともCDばらつきに加算されます。スペーサーダブルパターンニングでのコアスペースにはこの要素はありませんでした。

製造プロセスからみたばらつきの制御性: サイドウォールスペーサーパターンニングのばらつきの制御性を決める工程が2つあります。一つめは、マンドレルパターンの線幅制御で、2つめはスペーサー積層プロセスの線幅(膜厚)制御です。マンドレルパターン形成には、幾つかのプロセス手法があり、一つはフォトレジストをマンドレルとして用いる方法、もう一つはレジストをマスクとしてエッチングした下地の材料をマンドレルとする方法です。前者の方法では、リソグラフィプロセスが MTT と線幅均一性(ショット間、ショット内のばらつき(3sigma)を合わせたもの)を満足しなければなりません。後者では、マンドレルはリソグラフィとエッチングで形成され、エッチング後のマンドレルが、線幅均一性と、MTT の要求値を満足しなくてはなりません。スペーサー積層プロセスの線幅制御(膜厚制御)もまた線幅均一性と、MTT の要求値を満足しなくてはなりません。ITRS のリソグラフィワーキンググループでは以下の様な誤差(ばらつき)要因配分のガイドラインを利用しています。あらゆる形状の MTT+CDU がハーフピッチの 12%未満というものです。これを満たすためには、マンドレルの線幅均一性(CDU)はハーフピッチの 6%未満。MTT はハーフピッチの 4%未満。スペーサーの積

層は MTT、CDU 共にハーフピッチの 3%未満となります。誤差要因の配分はスペーサー積層よりもマンドレルの方を多くしています。その寸法制御の方が、課題が多いからです。マンドレルにおいては、ばらつきの配分をウエーハ内の MTT よりもウエーハ内 CDU に多くしています。Figure LITH3C は、スペーサーパターニングに関係する様々の表の値に対応する計算式とパーセンテージを示しています。「隙間のスペース MTT+3sigma」は、ダブルパターニングの場合は 11.1%、クアドルプルパターニングの場合は 10.8%で、これが実現の可能性を左右する要素となっています。また、「スペーサーで決まるスペース」は、クアドルプルパターニングに移行した際に、第 3 のスペースのばらつき管理対象となります。更に加えて、スペーサークアドルプルパターニングでは、ばらつき要因が増えるために、スペーサー積層プロセスのばらつきが、ハーフピッチの 2%まで厳しくなります。

	A	B	C	D	E	F	G	H	I	J	K
1			SADP Formula's				SAQP Formula's				
2											
3		NAND 1/2 pitch	Half-Pitch	100%	22	20	Half-Pitch	100%	15	12	
4											
5	Mfg. Process Capability	Mandrel CDU	=6%*C3	6.0%	1.3	1.2	=6%*H3	6.0%	0.9	0.7	
6		Mandrel MTT	=4%*C3	4.0%	0.9	0.8	=4%*H3	4.0%	0.6	0.5	
7		Spacer CDU	=3%*C3	3.0%	0.7	0.6	=2%*H3	2.0%	0.3	0.2	
8		Spacer MTT	=3%*C3	3.0%	0.7	0.6	=2%*H3	2.0%	0.3	0.2	
9											
10	Resulting Patterning Performance	Line CDU	=C7	3.0%	0.7	0.6	=H7	2.0%	0.3	0.2	
11		Line MTT	=C8	3.0%	0.7	0.6	=H8	2.0%	0.3	0.2	
12		Line MTT+3sigma	=SQRT(C7*2+C8*2)	4.2%	0.9	0.8	=SQRT(H7*2+H8*2)	2.8%	0.4	0.3	
13		Core Space CDU	=C5	6.0%	1.3	1.2	=SQRT(H5*2+(2*H7)*2)	7.2%	1.1	0.9	
14		Core Space MTT	=C6	4.0%	0.9	0.8	=SQRT(H6*2+(2*H8)*2)	5.7%	0.8	0.7	
15		Core Space MTT+3-sigma	=SQRT(C5*2+C6*2)	7.2%	1.6	1.4	=SQRT(H13*2+H14*2)	9.2%	1.4	1.1	
16		Gap Space CDU	=SQRT(C5*2+(2*C7)*2)	8.5%	1.9	1.7	=SQRT(H5*2+(2*H7)*2+(2*H7)*2)	8.2%	1.2	1.0	
17		Gap Space MTT	=SQRT(C6*2+(2*C8)*2)	7.2%	1.6	1.4	=SQRT(H6*2+(2*H8)*2+(2*H8)*2)	6.9%	1.0	0.8	
18		Gap Space MTT+3-sigma	=SQRT(C16*2+C17*2)	11.1%	2.4	2.2	=SQRT(H16*2+H17*2)	10.8%	1.6	1.3	
19		Spacer Defined Space CDU					=H7	2.0%	0.3	0.2	
20	Spacer Defined Space MTT					=H8	2.0%	0.3	0.2		
21	Spacer Defined Space MTT+CDU					=SQRT(H7*2+H8*2)	2.8%	0.4	0.3		

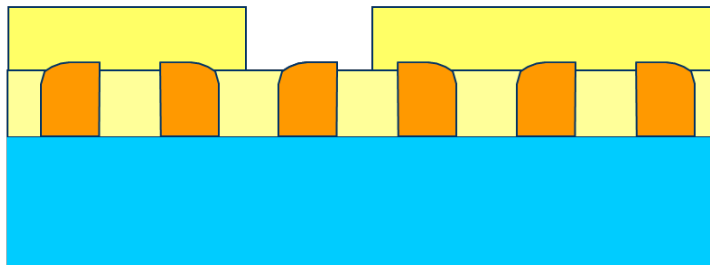
「隙間のスペースの MTT+3sigma」は、ダブルパターニングの場合は 11.1%、クアドルプルパターニングの場合は 10.8%で、これが実現の可能性を左右する要素となっています。また、「スペーサーで決まるスペース」は、クアドルプルパターニングに移行した際に、スペースのばらつきに対する第 3 の要因となります。NAND Flash での要件はすべてのパターンの MTT+3sigma <12%

Figure LITH3C Corresponding Equations and Percentages for the Various Table Rows

現在の NAND のレイアウト図形では、カット(トリム)マスクの重ね合わせ精度の要求は非常に緩いです。NAND フラッシュでハーフピッチの微細化を推し進めています。他のデバイスにもスペーサーパターニングを使用しているプロセス工程があります。FinFET デバイスの Fin 形成や、DRAM の活性化層です。これらの場合には、相応の重ね合わせ精度が必要とされ、スペーサーパターン配列のピッチが小さくなると共に要求精度も小さくなっていきます。カットマスクは、ラインパターンを分離したり、不要なフィンパターンを取り除いたり、あるいは配線層(BEOL)においては溝パターンを保護する目的で使用されます。スペーサーパターニングの Table にはスペーサーカッティング(あるいは、溝パターンの保護)に必要な重ね合わせ精度を示す行が追加されています。Figure LITH3D には、これらの重ね合わせ精度への要求値を見積もるための模式図と式を示しています。一本のラインを切るためのカットマスクのエッジが、スペーサー間のちょうど中間に来る事を仮定しています。1 次近似として、保護領域を除く配置の余裕は、スペーサーのピッチの 1/4 であるとしています。これを出発点として、スペーサーの位置ずれを想定した保護領域幅を設定する必要があります。スペーサーの位置ずれは、そのスペース(マンドレル)の幅の誤差に由来します。ばらつき要因の許容値を積算していく分析結果では、隙間スペースが最も大きな幅の誤差を持ちます。そして、これがスペーサー配置ずれを最も大きなものにします。従って、保護領域は、隙間スペースの(MTT+3sigma)/2 とする必要があります。次に、保護領域として、カットマスクによるパターンの線幅均一性のばらつきを加える必要があります。カットマスクによるパターン幅をスペーサーパターンのピッチに等しいとすると、その線幅均一性のばらつきを 5%とすると、保護領域として、スペーサーパターンのピッチの 5%が追加されます。このように、表に示した計算式

は、スペーサーパターン配列にカットマスクを適用する場合(Fin パターンの分離、DRAM 活性層の分離、不要パターンの除去など)に要求される重ね合わせ精度は、スペーサーパターンのピッチの 25%から隙間スペースの(MTT+3sigma)/2 と、ピッチの 5%を差し引いたものになります。ただし、NAND の場合にはそれよりもかなり緩いものになることに注意してください。

### Spacer DPT: Cut Mask Alignment to Spacer



Overlay requirement equation is:  $0.25 \cdot \text{pitch} - \text{gap space} (\text{MTT} + 3\text{sig}) / 2 - 5\% \cdot \text{pitch}$ .

Figure LITH3D Schematic of a Cut Mask applied to a Spacer Array for the Purpose of Line Cutting, such as Fin formation, DRAM island formation, or dummy fin removal, where one needs to critically cut one line on pitch. The equation describes the overlay requirements of the cut mask accounting for the various guard-banding due to spacer placement errors and cut mask CD-control errors.

ラインを切るために、スペーサーパターン配列に適用されるカットマスク工程の模式図で、Fin 構造、DRAM の島構造、あるいはダミーの Fin の除去において必要となります。そこでは、配列上の 1 本のラインを高精度で切る必要があります。式は、スペーサー配置エラーとカットマスクの線幅エラーを考慮した保護領域幅を差し引いたものをカットマスクの重ね合わせに必要な精度としています。

## 5.4 EUV 技術 光源パワー

光源パワーを上げる事が、EUV リソグラフィの最も重要な課題です。現在使われている、あるいは出荷予定の EUV 露光装置は、解像力、重ね合わせ、収差や、他のレンズやステージの定量的な性能は、目標性能を充たしています。しかし、これまでの光源パワーの改良のスピードが非常に遅く、現在のパイロット型の露光装置では一時間に 5 枚程度のスループットしかありません。スループットが小さすぎるので、このような装置で工場を建てる事は、財政的にも、生産計画的にも、不可能と考えられます。EUV 露光装置のロードマップでは、中間集光点での強度を現在の 10W から 250W に上げる計画を立てています。250W は、感度 15mJ/cm<sup>2</sup> のフォトリソを用いた場合に、一時間あたり 125 枚のウエーハを処理できます。しかし、10W レベルから 250W にパワーアップさせることは、非常に難しい事が判っています。

EUV 光源を発生する方法は元々は2種類ありました。放電プラズマによるもの(DPP)と、レーザー励起プラズマによるもの(LPP)です。現在、新しい EUV 露光システムでは LPP 光源だけが使用されています。DPP では電気火花によってスズ プラズマを励起します。LPP では強力なレーザーがスズの液滴を励起します。たくさんの火花や、連続発光されたレーザーによって、一回の露光量に対応するエネルギーが作られます。EUV 光への変換効率は 3%オーダーと低く、色々な波長の光やデブリ(飛び散り)が生成されます。発生した EUV 光は、EUV ミラーによって集光されます。スズのデブリがミラーにかからないように制御した上で取り除く必要があります。また、必要な波長以外の光も、フィルターで除くか、他の方法で減らすか、除去しないとイケません。LPP 光源は、以下のようなたくさんの課題を抱えています。十分な安定性と露光量制御性を充たした上で、十分に大きなパワーを達成すること。十分に早い繰り返し時間でスズの落下する液滴にレーザーパルスを正確に照射すること。十分な変換効率にすること。光源がスズのデブリの影響を受けないこと。発生する熱の制御を行う事などです。

光源の開発計画は、当初の想定より既に数年遅れています。そのために、EUVを導入するタイミングがどんどん微細な世代にずれています。現在の低いパワーレベルで不自由なく使える状態にする事でさえ、非常に大変でしたし、予定よりも遅れたものでした。光源パワーが十分なレベルになった事を確認できなければ、EUV露光を量産に使用とするデバイスメーカーは現れないでしょう。その点で、EUV光源パワーが、今後4年(2013~16年)での最重要課題です。

## 5.5 EUV 技術 レジスト

EUV露光用のレジストへの要求は、レジストのTable LITH3に記されたものと同じです。レジストの解像度を上げることが重要な課題ですが、レジスト材料メーカーは、これまでも与えられた空間光学像に対して良好なコントラストが得られるように開発を行って来ました。しかし、要求どおりの解像度が得られたとしても、LER, LWR, 寸法均一性のようなパターンばらつきに関係する統計学的な効果の制御という重要な課題が残っています。これらの統計学的な効果は、レジストの化学反応や光の散乱や吸収時のショットノイズばらつきなどに由来したものです。これが、EUVレジストにとって最大の課題となります。

## 5.6 EUV 技術 マスク

EUVマスクの課題は数多くあり、同時に解決しなくてはならない新しい課題も多く含まれます。大きな課題は以下のようなものです。

- ・デバイス量産立ち上げに必要なマスクの歩留まり、欠陥検査/レビューを行うインフラ(基盤)に関するもの。
  - EUVLマスクブランクス(パターンをつける前の状態のマスク)の欠陥と歩留まり
  - EUVLマスクブランクス用のインフラ、基板の欠陥検査、EUV光でのブランクス検査
  - EUVLパターン付きマスク用のインフラ、EUV光でのマスク検査とEUV AIMS
- ・工場内でマスク欠陥のない状態を保つこと
  - 量産に対応したペリクルが使えること
  - 使用中に増加する欠陥数を最小限にすること
- ・マスク製造におけるコスト制御と投資の回収

マスクには、低熱膨張率(LTEM)な基板と、無欠陥の多層反射膜と、新しい吸収体材料が必要です。最大の課題は位相欠陥を無くすことで、それは多層膜中に埋もれていた、基板上の欠陥が多層膜構造に波及したものです。一般的なSEMや光学的な欠陥検査装置では検出されないのに、ウエーハ上に転写してしまう性質のものです。ハーフピッチ22nm向けのリソグラフィでは、これらの欠陥の大きさが20nm以下でも転写するものがあります。このレベルの大きさの欠陥を検出し、レビューを行えるようなインフラの構築に向けて、幾つかの共同開発プログラムが続けられています。量産に対応した市販の基板、ブランクス、パターン付きマスク向けの欠陥検査装置やレビュー装置が利用できるようになるまでは、共同開発プログラムで開発中の装置やプロセスを使って開発を進めていく必要があります。

*Table LITH6 EUVL Mask Requirements*

### 5.6.1 EUV マスクブランクス欠陥の状況と、欠陥を減らす取り組み、無欠陥ブランクス入手の可能性

EUV を量産(HVM)に適用するための課題として、この数年以内に解決すべきものは 2 つあり、その1つは、無欠陥マスクを入手できるようになるかどうかです。EUV によって転写される欠陥には、従来のフォトリソグラフィと同じパターン面の黒欠陥、マスク基板上の欠陥、あるいは、反射を起こさせる多層膜中の欠陥があります。多層膜中の欠陥は、ウエーハ上の像の位相や強度を乱します。Table LITH6 に示した要求値は、すべての種類の欠陥の中で最も影響の大きい欠陥を元としています。つまり、EUV 反射マスク上にある 180 度の位相差を引き起こす高さ 3nm 欠陥の横方向のサイズの要求値(下限値)を示そうとしています。Table の脚注に示しているように、90 度の位相差を引き起こす高さ 1.5nm 欠陥であれば、横方向サイズが 2 倍以上である時に、先と同様な幅のエラー(欠陥)を引き起こすことになります。もう一つの大きな課題は、位相を乱す欠陥を現在の検査装置で捕らえる事ができないため、欠陥を観察したり無くす作業を進める事ができないということです。現在、ハーフピッチ 16nm 向けの EUV マスク製造に必要な、基板、ブランクス、パターン付きのマスクを検査する装置や AIMS のような欠陥検査および観察が行えるようなインフラの開発が進められています。

EUV マスクブランクス欠陥の修正方法が幾つか提案されていますが<sup>9,10</sup>、実用的なものはまだありません。代替の手段として業界に受け入れられている方法があり、「パターンシフト」あるいは、より一般的に「欠陥軽減(mitigation)」として知られています。それは、ブランクス欠陥の影響は、その欠陥が吸収体の真下に来るようにシフトさせれば軽減させることができるという技術です。吸収体材料は、EUV 波長の光を強く吸収するので、露光光のあつた多層膜上の欠陥しか、ウエーハに転写されません。吸収体の下の欠陥は転写しないことを利用します。

パターンシフトプロセスには、幾つかのステップが必要です。まず、EUV マスクブランクの上に基準マークをもうけ、配置の基準位置とします。次にブランクス欠陥検査を基準マークに合わせてから行い、欠陥の数、サイズ、種類と位置の情報を取得します。3 番目に、パターンデータとブランクス欠陥のデータを合わせて、パターンのシフト量と回転量を計算します。最後に、計算したシフト量と回転量を与えてマスクパターン描画を行います。最終的に、パターンシフト法が有効に働くかどうかは、パターン密度、欠陥サイズ、欠陥数、欠陥位置の精度やマスクパターン描画の位置精度(基準位置に対する重ね合わせ精度)で決まります。<sup>11,12,13</sup>

2013 年版 Table LITH6 には、欠陥軽減(mitigation)策を施した後での、ブランクス欠陥サイズの許容値を示しており、ブランクス開発がより現実的なものになるようなサイズとしています。パターンシフトを前提として、すべての欠陥種のサイズの許容値を 1 つの数値として予測することは非常に困難で、典型的なデザインレイアウトで具体的に表すのも難しいので、欠陥サイズの最大許容値をデザインパターンの最小幅にしました。このようにすることで、スケールリングが可能な形で定義されたパラメータとなり、パターンシフトの成功率と直接相関を持つような複雑なパラメータにする必要がなくなります。パターンシフトによって軽減される欠陥の正確なサイズや数の詳細をこの Table に含めるには、ツールの性能に大きく依存するものなので困難です。これ以上深入りすることは、課題や可能性を過剰に単純化してしまい、関連業界の人に誤解を与える危険があります。

### 5.6.2 EUV マスク技術の拡張

EUV 露光の実用化は、最初の想定時期から遅れているので、EUV を延命させるオプションの詳細な調査が行われています。最初のデバイス量産適用に用いられる EUV 露光ツールは、NA が 0.33 の投影光学系で、コンベンショナル照明(0.9 $\sigma$ )や斜入射(OAI)の照明系<sup>14</sup>を持つものと予想されています。

一旦、斜入射照明の適用によって像のコントラストが良くなり、瞳の開口率が低いものまで使われるようになった後に、EUV 露光装置で更に解像力を高めるためには、投影光学系の NA 値を上げるか、NA が 0.33 のままでダブルパターンニング(DPT)を適用する必要があります。どちらが量産に適用されるかは、高 NA の露光装置がいつから使えるようになるのか、EUV の DPT が波長 193nm の液浸露光装置でのマルチパターンニングよりもコスト的に優位かどうかによって決まります。

主要なスキャナーメーカー<sup>15,16,17</sup> の EUV 装置のロードマップによると、高 NA のシステムは早くても 2019 年までは利用できる様にならず、NA 値 0.33 の装置で DPT を行うのは、それよりも早い時期と予想されます。Table LITH1 中の EUV の NA 値は更新されていて、2013 年～2020 年は 0.33 で、それ以降は高 NA が必要になるとしています。その年は、DRAM や Logic デバイスのメタル層のハーフピッチが EUV(NA=0.33)のシングル露光でできるパターンピッチの限界よりも小さくなる時です。この限界は、パターンが完全な二次元配列のものではなく、つまり、EUV での SADP を用いるようなパターンではなく、リソ、エッチ、リソ、エッチ(LELE)を適用するようなパターンである事を想定しています。このような場合には、高 NA の EUV 露光装置はコスト的に見合うものになると思われるし、NA 値 0.33 の EUV 装置で LELE を行うよりも、制限の少ないレイアウト設計ができると予想できます。

高 NA の EUV 露光装置の設計には 2 通りのものが考えられています。マスクに対する光軸の傾き(chief ray angle at object:CRAO)を大きくするか、投影倍率(マスク倍率)を今の 4 倍よりも大きくするかです。NA 値を 0.33 よりも高くして投影倍率を 4 倍のままにすると、マスク像の回折角の範囲が大きくなります。これによって、正味の反射率が減り、つまり、システムの透過率が下がり、装置のスループットが悪くなってしまいます。また、マスクの吸収体の高さの影響(マスクの 3 次元効果)によって、シャドウイング効果(マスク基板からの反射光が、吸収体の側壁に遮られてしまう効果)が大きくなり、その結果、テレセントリック誤差が大きくなり、最終的に像のコントラストが低下してしまいます。EUV 反射マスクをもっと複雑な構造にすると、これらの効果を減らす事ができます。例えば、吸収体の厚さを薄くするなどですが、それでも本質的に EUV 露光ツールの生産性が悪くなり、空間像のコントラストが悪くなるという問題が残ることになります。以上のような理由によって、高 NA の EUV 露光装置は、CRA は現状のまま(6°)とし、投影倍率を大きくすることが、良い選択枝と思われれます。しかし、投影倍率を大きくすると、フィールドサイズ(ショットサイズ)を小さくするか、マスクサイズを大きくする必要があります。フルフィールドの高 NA の結像システムは、6 枚のミラーでは足りなくなります。ミラーを 8 枚にすると、EUV 光の強度が 6 枚の場合の 40%程度しか使えなくなります。6 枚と 8 枚のミラーで構成されたシステムのデザイン既に数多く行われています<sup>18</sup> どの高 NA EUV 装置のデザインが利害関係者(チップ製造会社、マスク製造会社、装置や材料供給会社)にとって受け入れられるのかが、現在、大きな論争テーマとなっています。まだ、結論が出ていませんが、最も有力なものは、6 枚ミラー、CARO 6°、投影倍率 8 倍のものです。この時のフィールドサイズは、現在のフルフィールドサイズの 1/4、つまり、13mmx16.5mm となります。この様な 1/4 のフィールドサイズの装置で 26mmx33mm の大きさのチップを露光を行う場合には、マスクパターン全体をつなぎ合わせていく様になります。

現状の高 NA 露光機の最有力候補は、1/4 フィールド、6 枚ミラーの結像システムで、8 倍の投影倍率のもので、Table LITH6 のマスク倍率の数値は、2019 年に 4 倍から 8 倍に変わる様に修正されています。高 NA 装置が量産に使われる予定の 2021 年の 2 年前にはマスクハウスでマスク製造ができて、デバイスメーカーのパイロットラインに供給する必要があるので、2019 年としています。

今年まで Table LITH6 中のマスク倍率は 4 倍だけでした。Table 中の数値の多くは、マスクに割り当てられた割合とウエーハ上のサイズとマスク倍率の3つを掛け合わせたものになっています。例えば、マスクパターン配置に要求される精度は、ウエーハ上の重ね合わせに要求される精度の 15%とマスク倍率を掛け合わせたものです。マスク倍率 8 倍が使われるようになると、マスクパターンの幅は 2 倍大きくなるので、マスク製

造は幾分容易になります。その場合には、エラー成分をウエーハとマスクの間でどのように配分するかを、マスク製造者とリソグラフィエンジニアの間で再検討することになるでしょう。Table LITH6 の中でマスク倍率が 8 倍の部分は、マスクへの配分と、ウエーハへの配分を半々にしています。

業界関係者で議論中の高 NA リソグラフィをマスク仕様に十分に反映させるためには、Table LITH6 にマスクサイズを大きくすることと、EUV マスク製造能力への潜在的な影響を含める必要があります。マスク形状に関係する値が大きくなる事は、EUV マスク製造インフラに大きな影響を与えることになるでしょう。このような変更を行うタイミングは、マスク倍率が変わる可能性がある 2019 年のタイミングに合わせる必要があります。

EUVL 位相シフトマスク(EPMS: Embedded PSM)は、16nm 世代やそれ以降向けのバイナリマスクと比較すると、リソグラフィの解像限界をさらに伸ばし、パターンの忠実性もよくなります。EUVL EPMS の吸収体の大部分は 2 種か 3 種類の材料を重ねたもので、マスク検査ができること、EUV 波長での位相差、反射率の要求精度を同時に充たす必要があります。従って、EUV EPMS の位相差や透過率の MTT と均一性の制御は、吸収体膜厚の制御性で決まることになります。Table LITH6 には、吸収体の膜厚に要求される精度がレンジで 1.1%であるとしていますが、これは、位相差で 2 度、透過率で 3%の目標値からのずれが許容される事を意味しています。

EUVL の交互位相差反転マスク(レベンソン型位相シフトマスク、APSM: Alternating PSM) は、ハーフピッチ 11nm 世代かそれ以降に必要になると思われます。EUVL APSM の製造は、EUVL のバイナリマスクや従来の光の APSM と比べると困難です。EUVL の APSM において 2 つの領域に  $0^\circ$  と  $180^\circ$  の位相差を作る方法として、反射のための多層膜を積層する前に、基板にエッチング段差をもうける方法があります。 $180^\circ$  の位相差をつけるための段差に深さは  $(\lambda/4 \cos \phi) * (2m+1)$  で与えられます。ここで、 $\lambda$  は波長(13.5nm)、 $\phi$  は入射光の角度で、 $0^\circ$  は垂直入射である事を表します。 $m$  は 0 以上の整数。段差は小さい方が、 $0^\circ$  の光と  $180^\circ$  の光の強度バランスを崩す効果が小さくなります。課題として、位相差を作るための段差を、正確な深さに制御すること、面内でのばらつきを抑えること、段差のエッジ部分での多層膜の厚さが変わらないようにして、その部分の位相差の乱れを最小にすること、EUV 光での位相差の計測技術が利用できる様にするなどです。EUVL APSM の位相差制御への要求は、従来のフォトリソグラフィのものと同様です。

## 5.7 自己組織化リソグラフィ(DSA)

DSA は、本章で取り上げた他の微細化に向けた解決策の候補と比べると、取り組み方がかなり異なります。極めて精巧な露光装置によってデバイスの最も小さなパターンのサイズを制御するのではなく、分子のサイズによって制御します。従って、一本の DSA 材料に、寸法とピッチが既に組み込まれています。これが可能になったのは、最先端のチップのパターンサイズが、実験室で作れるポリマー分子のサイズと同じレベルになったからです。

ブロック共重合体と呼ばれる特殊なポリマーが、ほとんどの DSA で必要となります。このようなタイプのポリマーは以前から良く知られていました。しかし、このようなポリマーの分子量分散を狭くし、サイズの制御や、純度を高くすることが、デバイス製造に応用する際には課題となります。そして、まだそのような材料はまだ市販されていません。DSA 用の分子は少なくとも 2 つの部分品あるいは「ブロック」を持ち、それぞれが異なる分子からなります。典型的なものは、2 つの部分品があり、片方は一つのモノマー、もう片方は別のモノマーからできています。このようなものを、2 元ブロック共重合体と呼びます。2 つの部分品は化学的に結合しており、分離することはありません。このようなポリマーは溶媒に容易に溶解し、ウエーハ上に回転塗布することができます。しかし、溶媒が材料から揮発すると、エネルギー的に安定な、「A」ブロック同士と「B」ブロック同士が集まります。つまり、熱アニールあるいは溶媒アニールを行うと、各ブロックはエネルギー的に最も安定になる形

に再配列します。ブロックは小さく、お互いに結合しているので、A だけの大きな塊と B だけの大きな塊の分かれる事はなく、小さなたくさんの領域に分かれます。このような各領域で、同じ成分のブロックが色々な方向から集まってきます。そのブロックと結合した別の成分のブロックは、隣の領域に並ぶようになります。

各ブロックののサイズが領域のサイズが決め、分子のサイズが領域のピッチを決めます。2 つのブロックのサイズの比率がアニールによって分離される形状を決めます。2 元ブロック共重合体で利用できるアニールによって分離される形状(構造)は、層板(ラメラ)、層、一つの相が別の相の中に円柱状になるもの、一つの相が別の相の中に球状になるものがあります。

このような相分離したパターンを活用するためには、それらを有用なパターンに整列、あるいは組織化させなくてはなりません。この組織化のためのプロセスはたくさんありますが、大きく 2 つの種類に分ける事ができます。1つはケモエピタキシー(化学的な成長)で、ウエーハ表面が各ブロックに対して異なる親和性を持つ領域によって組織化されます。もう一つはグラフォエピタキシーで、ウエーハ上のガイドとなるパターンによって、組織化される形状を誘導します。ラインアンドスペースパターンを形成するための典型的な誘導パターンの模式図を Figure LITH4A に示しました。また、ホールパターンを形成するための典型的なパターンの例を Figure LITH4B に示しました。模式図はパターンの断面図を示しています。ラインアンドパターンの場合には、パターンは平行なラインとスペースの長い配列となります。ホールの場合には、パターンは垂直な円柱の配列となり、模式図は円柱の並びの中心を切ったものが示されています。これらのパターンは次にエッチング用の(マスク)パターンや他のチップ製造工程に適した形状となるように、ドライあるいはウェットエッチングプロセスで現像しなくてはなりません。

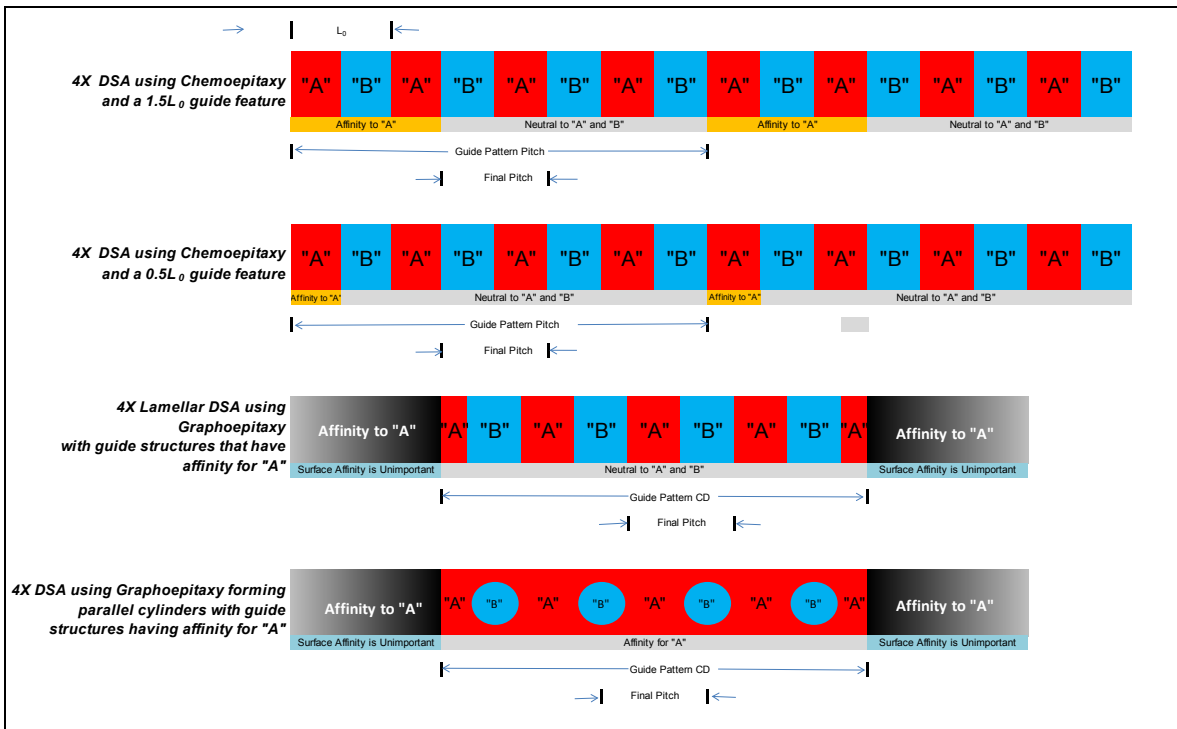


Figure LITH4A DSA Techniques for Lines and Spaces

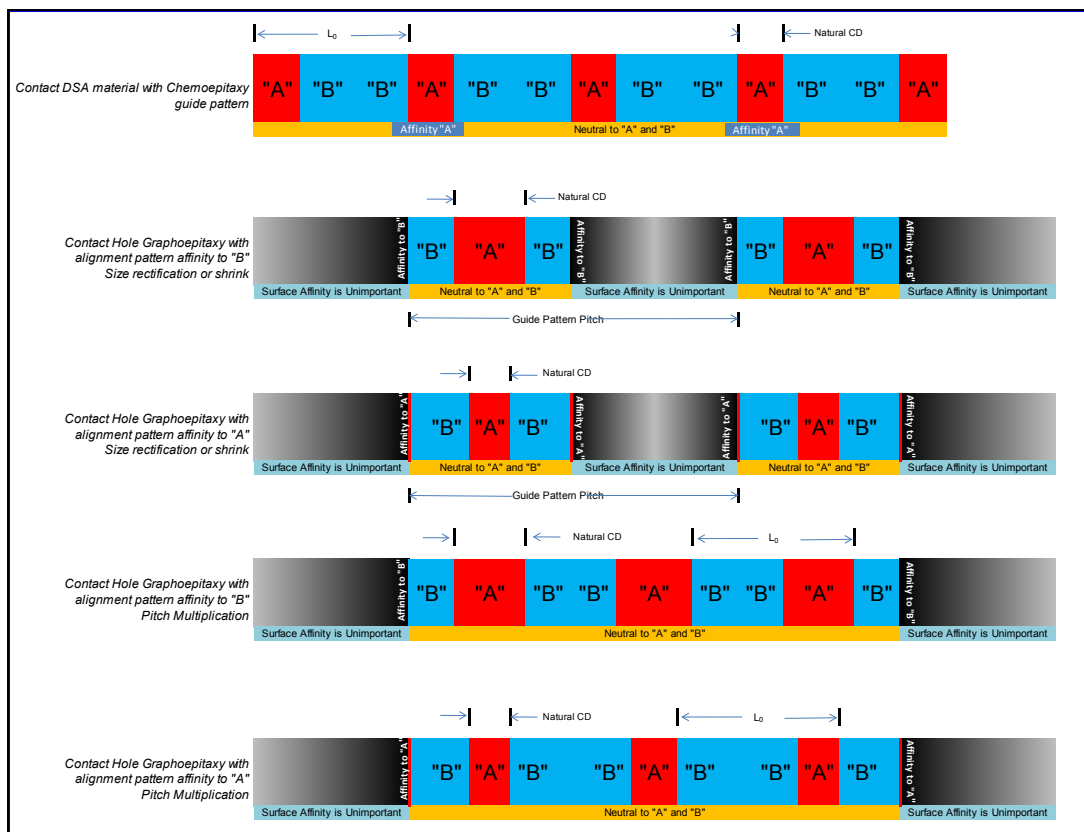


Figure LITH4B DSA Techniques for Hole Type Patterns

異なるポリマーブロックの化学組成によって、回転塗布時のランダムな状態と整列した状態とのエネルギー差を制御することができます。二つのモノマー間のエネルギー差は  $\chi$  (カイ) パラメータによって表すことができますが、ブロック共重合体中のモノマー数  $N$  との乗数  $\chi N$  が、2つのブロックが分離しようとする力の尺度となります。もしも  $\chi N$  が大雑把に 10.5 よりも小さいと、相分離を起こすほどのエネルギー安定化のメリットがなく、そのポリマーの最小自由エネルギー状態は、離散的な相状態のないランダム配列な状態となります。 $\chi N$  はポリマーが小さくなれば小さな値になってしまいますし、 $N$  は相分離後のパターンピッチ ( $L_0$ ) に比例しますので、非常に小さいパターンを作ろうとするならば、大きな  $\chi$  値を持つブロック共重合体を用いて、 $\chi N$  が相分離パターン形成を起こす程度に大きくする必要があります。

$\chi N$  が大きい場合は、ブロック共重合体をアニーリングして相分離に必要な活性化エネルギーも大きくなります。すなわち、大きなサイズのパターンをアニールして作るのは非常に困難ということになります。大きなサイズパターンを作ろうとすると、ポリマーを大きくする必要があり、大きなポリマーはそれを作ることも難しく、プロセスで大きなポリマーにするのも困難です。従って、DSA に適切なパターンのサイズには上限があります。(大きなサイズのパターンは作れません。)

ブロック共重合体で、半導体デバイスパターンへの適用可能性を示す例として良く用いられているのが、ポリスチレン-*b*-ポリメタクリル酸メチルです。Figure LITH1A には、DSA {ps-*b*-pmma} と記した行に示しています。このポリマーで、12nm のラインアンドスペースパターンの形成例が報告されています。さらに小さなパターンに関しては、 $\chi$  値の高いポリマーを用いて、8nm のラインアンドスペースパターンの形成例が報告されています。他に利用できる材料の探索など、DSA 材料に求められる詳細な議論は、ITRS ロードマップの新探求材料 (ERM) の章で見ることができます。

DSA をチップ製造技術として利用するには、たくさんの課題があります。Table LITH7A と Table LITH7B には、どのパターンパラメーターが最大の課題であるかの詳細を示しています。Table LITH7A は、ラインアンドスペース用のプロセスに関するものであり、ケモエピタキシーとグラフォエピタキシープロセスに分けてあります。両方とも、現在開発の段階にあります。Table LITH 7B は、コンタクトホール用のプロセスに関するものであり、グラフォエピタキシープロセスだけが示されています。コンタクトホールのピッチの多重化(4分の1ピッチ化など)をケモエピタキシープロセスで行う事も可能ですが、その開発は、グラフォエピタキシーと比べると遅れている状態です。

DSA に関する目下の課題は、デバイス製造に見合うほど十分に欠陥レベルを低くすることができるかどうかを示すことです。最大の懸念となる欠陥のタイプは、(結晶で見られるような)転位欠陥で、アニール後に理想的に単純なパターン配列になりきれていない部分が存在することです。しかし、他の欠陥タイプもまた懸念として残ります。例えば、模式図では、理想的な形状が示されていますが、実際は、ガイドパターンが理想的な形状からわずかにずれてしまうことを反映して、もっと複雑な三次元構造になります。このような DSA の欠陥によって、エッチングや他のプロセスで所望するパターンが得られなくなることになります。パイロットラインのプロセスでの欠陥レベルを示す成果が報告されていますが、量産製造に必要なレベルまではまだ下がりません。

別の懸念として、レイアウト設計の問題があります。現在の DSA プロセスは非常に単純なパターン、例えば平行なラインパターンの並びしかできていません。DSA を活用するためには、チップデザインをそのような単純なパターンで構成するようにしないとはいけません。さらに、実際のデバイスパターン形成に対応させて、大規模なラインの並びをカットできる事も示していく必要があります。

パターン配置や重ね合わせの制御性が、3番目の懸念点です。DSA が、ピッチ多重化に用いられるならば、一般に幾つかのパターンがガイドパターンの間に「浮いている」ことになります。例えば、グラフォエピタキシー法で、平行に並ぶ円柱状のパターンが作ったとしましょう。その円柱パターン間の距離は、ガイドパターンの幅に依存して変わってしまいます。

ラインアンドスペースパターンにおいても、ライン幅とスペース幅が同じでないものを作るのは非常に困難です。ラメラ構造はブロックのサイズがほぼ同じ場合にできます。この時、ラメラの幅も等しくなり、エッチング後のライン幅とスペース幅も等しくなります。ラインアンドスペースパターン向けに、横置き円柱構造を作る方法も、同じような制限ができます。この課題を解決するためには、ライン幅とスペース幅の比を変えるようなプロセスや、ライン幅とスペース幅が等しくても構わないようなゲートパターンの設計や、ライン幅とスペース幅の比が等しくならないような新しいポリマー材料の探索が必要になります。

*Table LITH7A Directed Self Assembly for Line and Space Type Patterns Requirements*

*Table LITH7B Directed Self Assembly for Hole Type Patterns Requirements*

### 5.8 ナノインプリント

インプリントリソグラフィはナノメートルスケールのパターンを複製するのに有効な手法です。UV インプリントリソグラフィは、基板上に、噴射技術によってフィールド毎に低粘度のレジストの成膜と露光を行う工程を含

みます。パターンが載ったマスクがその流体 (レジスト) の中に沈み込まれ、毛管作用によって、即座にレリーフ (浮き彫り) パターンに流れ込んでゆきます。この充填工程の次に、レジストを UV 照射によって架橋させます。そしてマスクが剥がされると、基板上にレジストパターンが残ります。

インプリントリソグラフィによる製品が最初に市場に出るのは、要求されるハーフピッチサイズが最も厳しいことと、ロジックデバイスと比較すると欠陥密度に対する制約が緩いことから、メモリデバイスであると考えられます。密パターンでは 6nm ハーフピッチまで解像する事が既に実証されています。長年取り組まれている重要な課題は、スループット、重ね合わせ、欠陥密度とマスク製造のためのインフラです。スループットの向上には、主にレジスト充填時間の短縮が鍵となります。一つのインプリントのモジュールで一時間あたり 20 枚のスループットを実現するためには、充填時間で 1 秒を切る事が必須ですが、2013 年に 1 秒を切る事が実証されました。<sup>19</sup> さらに、ミックスアンドマッチの重ね合わせで 8nm が実現されました。<sup>20</sup> 残った技術的な課題は、欠陥の低減とマスクの量産体制を整えることです。

パーティクルの制御だけではなく、レジストの特性や、離型の技術が向上したことによって、欠陥密度はこの数年間で数桁のレベルで減ってきています。量産適用に向けては、1 ロット、25 枚に対して、欠陥密度を  $1/\text{cm}^2$  とすることです。レジスト貯蔵器に濾過型の再循環システムを導入することによって欠陥密度  $4.7/\text{cm}^2$  まで低減することが実証され、長さ 10m のパターンを用いた電気テストの歩留まりが 90%以上<sup>21</sup> となっています (Figure LITH5 を参照)。量産適用に向けては、さらなる異物制御が重要となるでしょう。

インプリントの標準的な作業には、以下のような手順が含まれます。まず、親となるテンプレートマスクを製作し、それを用いてレプリカマスクを製作し、レプリカマスクのレプリカで、実際のインプリントを行います。インプリントリソグラフィは、マスクインフラが必要ですが、親マスクと子マスクの両方を処理することになります。ゼロ欠陥でパターン幅 26nm のマスクが実証され、レプリカマスクの製造に用いられました。<sup>22</sup> レプリカマスクの修正無しでの欠陥密度の現状の最高記録は、 $3/\text{cm}^2$  で、CD 均一性が 1.5nm です。<sup>23</sup> 20nm 以下の幅を持つインプリントマスクに製造を可能とするためには、最先端のマスク描画ツールとプロセスも必要となるでしょう。

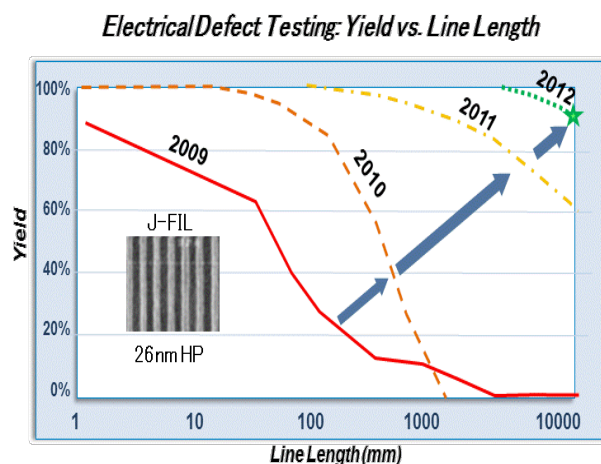


Figure LITH5 Electrical Test Yield Improvements for 10-Meter Serpentine Patterns

インプリントリソグラフィが量産適用への道筋をつけたならば、テンプレートマスクパターンはウエーハ上のパターンと同じサイズなので、マスク製造、欠陥制御と計測技術がさらに大きな課題となるでしょう。親マスクの欠陥検査には電子線の検査装置が必要となるでしょう。そして、レプリカマスクには、高解像性の光学検査装置が必要となるでしょう。

Table LITH8 Imprint Template Requirements

インプリントには幾つかの形態がありますが、Table には紫外光ナノインプリントリソグラフィ (UV-NIL) に限定しています。紫外光はテンプレートに充填する液体を固めるのに使います。インプリントのテンプレートは、表面に浮彫パターンがあり、そのサイズはウエーハパターンと同じ、つまり等倍のプロセスです。寸法制御、パターン位置制御が必要な領域は、他のリソ技術 4 倍マスクと比較すると 16 倍小さくなります。マスクに要求される仕様を充たすための開発は、フォトマスクと同じように進められますが、倍率が等倍なのでずっと厳しくなります。マスクの欠陥検査は、ウエーハ上に要求される  $CD \pm 10\%$  と同じ数値が必要となるので困難です。位置精度もまた難しく、2 枚のマスクと装置の重ね合わせ精度の間でマージンを分け合うことになります。

### 5.9 マスクレスリソグラフィ (電子線による直描)

ITRS テーブルでは、マスクレスリソグラフィ(ML2)を用いたウエーハパターンニングへの要求値は、ウエーハへの要求値と同じになります。ML2 の装置構成には、幾つかの案があります。それぞれの案は、主な特長、例えば加速電圧、コラム数やビーム本数、描画方式などに違いがあります。提案されている ML2 ウエーハ直描装置の加速電圧は、5KeV~100keV という広い範囲にわたります。システム実装においてこの様な大きな違いがある中で、1セットの同じ要求項目値を Table に設定することは困難です。ML2 にはマスクが無いので、誤差要因の内訳はウエーハ描画システムの方に寄せる事ができます。しかしながら、ウエーハ上の結果は、用いたパターンニング技術に関係無く同じになります。従来のフォトあるいは EUV リソグラフィのマスクに起因するばらつきは、実際のウエーハ描画の一部分となるからです。

データ量とデータ転送は、ML2 に特有な要求項目です。しかし、必要量や限界は、装置毎に異なります。幸運なことに、データ量とデータ転送の向上は常に可能です。あるテクノロジー世代でデータに関する要求に対して問題が無かったならば、将来の世代においては進化した半導体技術で作製し性能が向上したチップを用いる事ができるので、要求が厳しくなっても問題では無くなるからです。

ML2 を量産適用するには、フィールドのつなぎ誤差が要求値の範囲内に入る事が必要ですが、つなぎ誤差の要求は、寸法や LWR の要求値の中に含まれます。

ML2 は、他のパターンニング技術と組み合わせて用いられる可能性があります。ML2 を 5.3 章で説明したカットマスクの代わりに用いる事は、ML2 の欠点を回避した有効な活用法である可能性があります。カットマスクとしての活用は、ウエーハに描画するパターン数が大幅に小さくなるので、スループットが向上すると期待できます。最も厳しいパターンの寸法と重ね合わせの要求値は、ML2 との組み合わせとなる技術(193 液浸とマルチパターンニング、EUV, DSA など)で満足しなくてはなりません。

Table LITH9 Maskless Lithography Technology Requirements

Table 中の短期的な課題(2013-2016)は、解像性能と寸法制御関連のものです。現状では量産向けの装置が利用可能な状態ではなく、可能性を検証するためのパイロット装置も 2014 年まで出てこないのが、先端世代に要求されるサイズのパターンを製造する能力の実証はまだできていません。長期的な課題、つまり、データ転送やデータ量に関する課題は、このようなツールを複数台並べる事によって、良好なスループットを実現しようとするならば、大きな課題となります。

## 6. 他のワーキンググループにおよぶ課題とその解決策の候補

他の技術ワーキンググループにおよぶ課題とその解決策の候補についてこの節で整理します。他のワーキンググループとしては、設計、プロセスインテグレーション、配線、工場インテグレーション、計測、モデリングとシミュレーションが含まれます。

### 6.1 設計とプロセスインテグレーション

193nm リソグラフィの解像限界でパターンを形成しようという挑戦は、リソグラフィにやさしい設計パターンルールを取り入れる事と同時に進められています。ダブルパターニング技術の採用は、設計に大きな制約を負わせています。ダブルパターニングで無くても、厳しいピッチにおいては、ジョグパターンや複雑な 2 次元形状のパターンは、パターン形成が困難です。このようなチップ設計上の制約の例として、M1 のハーフピッチの方が、M2 よりも大きいというものがあります【訳者注: 大手 MPU メーカーの 22nm ノードのことを指しています】。これは、M1 のパターン形状の方が複雑であるためです。このような制約はコスト増につながります。より複雑なデザインルールやソフトウエアを用いてデバイス設計やマスクを作るコストや、新しいデザインルールによる設計制限により、余計なスペースが必要になることなどによるコストの増大があります。EUV 露光の大きな魅力の1つは、設計の自由度が増し、設計コストを減らせることです。マスクレスリソグラフィやナノインプリントも設計の自由度を増やすことができます。一方、DSA リソグラフィは現在のパターニングよりもさらに複雑な設計制限が必要となりますが、DSA が解像できる線幅のパターンに対しては、プロセスコストが非常に小さくなります。将来、このような問題点がどのように解決されていくのかは、非常に興味深いところです。

### 6.2 配線

これまで、配線パターンのピッチが、リソグラフィの解像度の向上を推進する要因の一つでした。しかし、2013 年 ITRS ロードマップでは、ロジック配線の微細化のペースが、2011 年で予測したものよりも遅くなっています。その理由の一つは、細い配線の固有抵抗が、利用できる配線幅を制限しているからです。もう一つ別な要因として、配線のピッチを厳しくすると、配線一層あたりに必要なマスクが多くなってしまいます。ピッチ多重化プロセスとそれに伴う複数のカットマスクが必要になります。これは、配線のピッチを小さくしていくことと、他の設計による解決、例えば、配線層を増やすこと、とのトレードオフを変化させます。デバイスサイズと特性は進歩していますが、それは finFET という新しいデバイス構造の導入によるものです。今、最も微細なパターンを必要としているのは、配線層ではなくて、メモリデバイス(のゲート層)と、finFET デバイスの fin に求められる幅とピッチです。私たちは、この傾向は続くと考えています。新しいデバイスタイプと新しいデバイス材料の導入が、配線から要求と同じ、あるいはそれ以上にリソグラフィの解像度を押し進めて行くと思われる。配線の分野(設計あるいは材料)での革新もまた、最先端デバイスでのリソグラフィへの要求に影響を与えると考えています。

### 6.3 工場インテグレーション

プロセス変動を精度良く制御するためには、ウエーハ処理工場のリソグラフィ装置群に対し、高度プロセス制御(APC)を適用できるようにすることが重要です。マスク製造工場においても APC が同様に重要になりつつあります。ウエーハ処理工場の自動化の経験からの知識を活用することが、マスク製造においても重要となるでしょう。幾つかのマスクショップではすでに、欠陥検査や修正工程でのデータ処理の自動化を独自に進めている所もあります。さらなる自動化の余地もあります。現在ウエーハ処理工場で用いられている既存の標準の活用、例えば、SECS (SEMI Equipment Communications Standard)/GEM (Generic Equipment Model) をマスク製造装置インフラに適用することで、製造エラーを減らす事ができるようになるでしょう。

様々なプロセスモジュール間を跨がる正確なウエーハ追跡システムが、処理中のすべてのウエーハの作業フローを識別するために必要となります。幾つかの計測モジュールを統合したもの、1つ以上のパラメータ、例えば、線幅、積層膜厚、形状、重ね合わせ、欠陥の自動分類機能のあるマクロ検査、そして、ウエーハ平坦度などを計測できるものもまた推奨されます。トラック(レジスト塗布現像装置)とステッパー/スキャナーは、プロセス条件を調整するために、あらゆる種類の内部、外部センサーで記録したデータを利用できる様にする事が望まれます。他に考えられる要求として、これは装置のソフト、あるいは場合によっては関連するハードの大幅なバージョンアップが必要になるかもしれませんが、トラック内の異なるモジュールの流れを同時に管理し、最適な計測サンプリングプランを挿入したり、ダウンロードした(あるいは選択した)レシピの設定値に上書きすることを受け入れたりするようなものも含まれます。さらに、トラック上のどのモジュールにある状態でも、たとえ同一ロット内のウエーハであっても、ウエーハ毎に設定値を適切に更新できるようになることが望まれます。露光装置においては、露光量、フォーカス値/ウエーハ傾き値、重ね合わせの入力パラメータ値を、たとえ同一ロット内のウエーハであっても、ウエーハ毎に、あるいはショット毎に、更新できることが望まれます。測定モジュールの較正、自己較正、装置間のマッチング作業は、露光処理のスループットに大きなロス時間を与えない状態で、行われる様にすることが望まれます。

EUV リソグラフィの高スループットの実現に必要な光源パワーがある状態で、光源を稼働させるのに必要な施設と電力をできるだけ小さくするために、EUV 光源の効率をはできるだけ大きくする必要があります。特に、EUV 光を発生させ、光源部の冷却を行うための電力を最小にするために、電力から光への変換効率を上げる必要があります。たとえ、スループットの低い EUV 装置のコストが、その解像力の点から受け入れられたとしても、それは量産対応の技術とはなり得ません。なぜならば、たくさんの EUV 装置とそれに必要な多くの電力や他の設備が必要になってくるからです。それらは、使用可能なチップ工場の建設を阻むことになるでしょう。従って、EUV で十分な光源パワーの必要性は、単なるコストの問題では無く、技術的に現実的であるかどうかの問題でもあります。

## 6.4 計測

ウエーハやマスクの寸法や重ね合わせを精度良く測定することは、リソグラフィの分野で昔からある課題ですが、今後も同様です。デバイスを微細化し続けることは、リソグラフィの解像限界を延ばすことになるからです。寸法計測装置がもつ全測定不確かさ (TMU: Total measurement uncertainty. 正確度と精度の両方を一つの計量に含めたもの) は、最先端のテクノロジー世代において、20%のプロセスへの測定精度許容基準をぎりぎり満たしています。ウエーハやマスク技術が進んでいくに従い、3次元計測が必要となることが多くなります。3次元計測の例としては、EUV マスクの位相欠陥の場所を特定すること、FinFET の fin の 3次元形状を測定することなどがあります。別の重要な要求としては、線幅ラフネス (LWR) の測定に関するものです。LWR の測定(再現)精度は、線幅の精度よりも良くないといけません。LWR がデバイスの特性に与える定量的な影響は、LWR の計測を最適化する上でさらに理解を深めていく必要があります。

デバイス形状の微細化が、高解像度技術によるものではなく、マルチパターンニングによる場合には、重ね合わせの許容値は、リソグラフィで形成したパターンのサイズではなく、最終的なデバイスのサイズに応じた値になります。従って、重ね合わせ計測は、将来のテクノロジー世代においても引き続き課題となります。もしも、トリプル、クアドルプル、あるいはその他のマルチパターンニングが、ダブルパターンニングよりも多く使われる様になると、ばらつきの要因が増えていくので、デバイスの歩留まりを落とさないために、さらに厳しい重ね合わせ精度が要求されるようになります。この様にして、重ね合わせの管理方法や計測技術が向上していくと予想されます。

以上の課題以外にも、次世代技術の導入によって、新しい課題が出てきます。EUV はレジストパターンに対しては、従来と同じタイプの要求が計測技術に求められます。もちろん、寸歩は小さくなりますが。EUV マスクに関連してたくさんの新しい要求が出てきます。EUV マスク材料の膜厚計測と表面粗さには、極めて正確な計測が求められます。EUV マスク製造における膜厚計測で最も注意が必要なのは吸収体です。両者の値はウエーハ寸法均一性に影響すると予測されています。ウエーハ工場に出荷直前の EUV マスクのたわみや、局所的な傾斜もまた、厳しく監視を続けなくてはならない項目です。EUV マスクの表面より下の欠陥もまた、新しい計測技術、特に EUV の波長で行うものが要求されています。このような領域のすべてで、計測技術の実質的な向上が、リソグラフィプロセスを持続可能にするために必要な厳しいプロセス制御を支える上で必要です。

将来に同様に解決しなくてはならない問題は、欠陥の検出と、その正確な測定です。その測定対象は、パターンニング前のウエーハ、つまりレジスト塗布後のウエーハや、パターンニング後のもの、つまり、現像後、エッチング前のウエーハの両方で、数 nm 程度の非常に小さなものです。ここでも、適切な方法を探さなければなりません。量産向けで、それが可能な装置はまだ出てきていません。現在のリソグラフィ Table には、現状の装置が検出可能な欠陥サイズの最小値が記載されており、理想的な感度の値ではありません。例えば、検出可能な欠陥サイズの最小値が 10nm となっても、最小寸法もそれと同じか、それよりも小さい場合もあります。その様な場合には、もっと小さな欠陥を検出できなくてはなりません。

別な次世代技術が導入されると、別な計測技術の向上が必要になります。例えば、マスクレスリソグラフィの場合、ウエーハ上のパターン欠陥検査にはもっと詳細なものが必要となるでしょう。パターン消失のような欠陥を、前もってマスク検査で検出しておく事ようなことができないからです。ナノインプリントにおいては、工場が第一優先で検出しないといけないのは、繰り返し欠陥です。これは、テンプレートマスクの汚れによって生じますが、すべてのチップに影響してしまうからです。DSA においては、パターン欠陥はアニールされた材料の下にあるので、真上から観察する SEM で検出する事はできません。そのため、新しい検査方法の開発が必要になるでしょう。このように、あらゆる分野で、技術革新が期待されているし、必要とされています。

リソグラフィに関連する計測技術の詳細な議論は、計測の章のリソグラフィ計測とマイクロコピーの節にあります。そこには、リソグラフィ計測技術への要求課題と、可能な解決策が示されています。

## 6.5 モデリングとシミュレーション

モデリングとシミュレーションによる現象の理解や予測は、従来のフォトリソグラフィの限界を先に延ばす時にも、新しい次世代リソグラフィ技術を見極める時にも重要となります。パターンの微細化を量産で用いる技術として、マルチパターンニングが本命の1つとなっているため、正確に不連続性のない技術導入を行うためには、パターンの分割を含むマルチ露光、マルチパターンニングのシミュレーションが必要になります。計算機リソグラフィを活用するためには、マスク描画装置や検査システムが、より複雑なパターン形状に対応できる様に向上し続けるかどうか、より正確なモデルに較正できる様に測定値の不確かさを減らせるかどうかで決まってくる。計算機リソグラフィをマルチパターンニングに組み込んで、設計段階からマスクデータ処理フローの中で、どこにパターン分解の処理を置くかを考えていく必要があります。

次世代リソグラフィ技術で用いられる新しい技術、EUV リソグラフィで反射型マスクを利用するためには、適切なモデルが必要です。それがシミュレーションプログラムに組み込まれていなければなりません。多層膜と欠陥の光学的な特性が分かった分かっていたとしても、欠陥のサイズや高さや位置と、その欠陥の転写性や寸法への影響との関係はまだ十分には理解されていません。欠陥の影響を理解し、その補正技術の可能

性を探るためには、シミュレーションとモデリングが重要となります。可変矩形ビームやマルチビームを持った電子線直描によるマスクレスリソグラフィのシミュレーションには、先進的なレジストモデリング、ショットノイズや LER のモデルが必要です。DSA が実現可能性の高い技術となるためには、リソグラフィによるパターンを元にした DSA のシミュレーションが極めて重要です。

リソグラフィモデリングとシミュレーションの明確な課題は、最新のフォトレジストの挙動を、広範囲な結像あるいはプロセス条件に対して、正確に予測できるようにすることです。現状のレジストモデリングは、従来から使われているノボラックや化学増幅型レジストに対して最適化されています。EUV レジストモデリングには、2次電子の挙動の理解が必要となります。レジストの従来型では無いメカニズムに関する研究は進みつつあります。これらのメカニズムは古典的なフォトレジストシミュレーションモデルにならう必要はありません。研究は従来型/新規の両面から攻めていく必要があります。

以上の様な要求を満足させるための開発の詳細は、モデリングとシミュレーションの章を参照のこと。

## 7. 将来必要な新探求材料が与える影響

歴史的に見て、パターンング解像度の向上は、新しい装置の導入によって達成されるだけでなく、新しい材料やプロセスの導入によってももたらされている。私たちは、この様な傾向が続く事を期待しています。Table LITH10 はどの領域で新しい材料や性能改善された材料が求められているか、を示しています。あるいは、現在研究や開発が進められている新しい材料が、どのような領域で役に立つか、を示しています。Table は2つの部分に分かれています。最初の部分は、現在のフォトレジストの性能において改善が見込まれる点について示しています。ネガレジスト材料、改良された EUV レジスト、そして新しいレジスト技術において、LWR/感度/解像度のトレードオフ条件の中でよりよいもの、よりエッチング耐性の良いものが必要とされています。後の部分は DSA に関するものを示しています。なぜならば、DSA の解像度の向上は、完全に材料をベースにしたものだからです。DSA は既に高解像性能を実証していますが、比較的制限された設計パターンにしか使えません。新しい材料としては、もっといろいろなタイプのパターンが可能なのが必要とされています。また、新しい材料には、欠陥レベルが改善するものが求められています。また、処理条件が単純化できるものや、改善できるもの、そして長い領域に渡ってうねる現象を改善するものが求められています。

*Table LITH10 Lithography Materials Requirements*

## 8. 参考文献

- <sup>1</sup> E. Hendrickx et al., 2013 EUV Lithography Symposium, Toyama, Japan.
- <sup>2</sup> D.Brandt et al., 2013 EUV Lithography Symposium, Toyama, Japan
- <sup>3</sup> R. Peeters, 2013 SPIE Advanced Lithography, San Jose, CA 8679-50
- <sup>4</sup> References for Figure LITH1A:
- [1] K. Oyama et al., Proc. SPIE 8325, Advances in Resist Materials and Processing Technology XXIX, 832517 (20 March 2012), M. Smayling et al., Proc. SPIE 8683, Optical Microlithography XXVI, 868305
- [2] "C. Bencher et al., Proc. SPIE 7274, Optical Microlithography XXII, 72740G (March 16, 2009, C. Bencher et al., Proc. SPIE 6924, Optical Microlithography XXI, 69244E (7 March 2008))"
- [3]"C. Bencher et al., Proc. SPIE 8323, Alternative Lithographic Technologies IV, 83230N C. Bencher et al., Proc. SPIE 7970, Alternative Lithographic Technologies III, 79700F "
- [4] C. Bencher et al., Proc. SPIE 7973, Optical Microlithography XXIV, 79730
- [5] P. Xu et al., Proc. SPIE 7973, Optical Microlithography XXIV, 79731Q
- [6] J. Hermans et al., Proc. SPIE 8679, Extreme Ultraviolet (EUV) Lithography IV, 86791K
- [7] T. Gubiotti et al., Proc. SPIE 8680, Alternative Lithographic Technologies V, 86800H
- [8] "E. Platzgummer et al., Proc. SPIE 8680, Alternative Lithographic Technologies V, 868004 G. de Boer et al., Proceedings of the SPIE, Volume 8680, id. 868000"
- [9] G. Schmid et al., Proc. SPIE 8680, Alternative Lithographic Technologies V, 86801F
- [10] "G. Doerk et al., Proc. SPIE 8680, Alternative Lithographic Technologies V, 86800Y H Tsai et al., 5 April 2013, SPIE Newsroom"
- [11] J. Cheng et al., Proc. SPIE 8323, Alternative Lithographic Technologies IV, 83232R
- [12] X. Chevalier et al., Proc. SPIE 8680, Alternative Lithographic Technologies V, 868006
- [13] Z. Ye et al., J. Micro/Nanolith. MEMS MOEMS. 11(3), 031404
- [14] F. Hua et al., Nano Lett., 2004, 4 (12), pp 2467–2471
- [15] J. Yang et al., J. Vac. Sci. Technol. B 27(6) Nov/Dec 2009
- [16] A. Grigorescu, Doctoral Thesis, TU Delft, ISBN: 978-90-9024791-5
- [17] Y. Ekinici et al., Proc. SPIE 8679, Extreme Ultraviolet (EUV) Lithography IV, 867910
- [18] R. Peeters et al., Proc. SPIE 8679, Extreme Ultraviolet (EUV) Lithography IV, 86791F
- [19] "S. Wakamoto et al., Proc. SPIE 7640, Optical Microlithography XXIII, 76400A H. Kohno et al., Proc. SPIE 7640, Optical Microlithography XXIII, 76401O"
- [20] "T. Nakamura et al., Proc. SPIE 7273, Advances in Resist Materials and Processing Technology XXVI, 727304 H. Kohno et al., Proc. SPIE 7640, Optical Microlithography XXIII, 76401O"
- <sup>5</sup> Andrew J. Hazelton, Shinji Wakamoto, Shigeru Hirukawa, Martin McCallum, Nobutaka Magome, Jun Ishikawa, Céline Lapeyre, Isabelle Guilmeau, Sébastien Barnola, and Stéphanie Gaugiran. "Double-patterning requirements for optical lithography and prospects for optical extension without double patterning", *J. Micro/Nanolith. MEMS MOEMS* 8, (2009).
- <sup>6</sup> Christopher Bencher, Huixiong Dai, and Yongmei Chen. "Gridded design rule scaling: taking the CPU toward the 16nm node", Proc. SPIE 7274, (2009)
- <sup>7</sup> Chris Bencher, Yongmei Chen, Huixiong Dai, Warren Montgomery, and Lior Huli. "22nm half-pitch patterning by CVD spacer self alignment double patterning (SADP)". Proc. SPIE 6924 (2008)
- <sup>8</sup> Pitch doubling through dual-patterning lithography challenges in integration and litho budgets. Mircea Dusa, John Quaedackers, Olaf F. A. Larsen, Jeroen Meessen, Eddy van der Heijden, Gerald Dicker, Onno Wismans, Paul de Haas, Koen van Ingen Schenau, Jo Finders, Bert Vleeming, Geert Storms, Patrick Jaenen, Shaunee Cheng, and

Mireille Maenhoudt, " *Proc. SPIE 6520*, (2007)

<sup>9</sup> P. B. Mirkarimi, D. G. Stearns, S. L. Baker, J. W. Elmer, D. W. Sweeney, and E. M. Gullikson, "Method for repairing Mo/Si multilayer thin film phase defects in reticles for extreme ultraviolet lithography", *J. Appl. Phys.* **91**, 81 (2002).

<sup>10</sup> R. Jonckheere ; T. Bret ; D. Van den Heuvel ; J. Magana ; W. Gao and M. Waiblinger, "Repair of natural EUV reticle defects", *Proc. SPIE 8166*, Photomask Technology 2011, 81661G (October 13, 2011).

<sup>11</sup> Yoshiyuki Negishi, Yuki Fujita, Kazunori Seki, et al., "Using pattern shift to avoid blank defects during EUVL mask fabrication", *Proceedings of SPIE Vol. 8701*, 870112 (2013).

<sup>12</sup> Alfred Wagner, Martin Burkhardt, Alexander B. Clay, and James P. Levin. "Mitigation of extreme ultraviolet mask defects by pattern shifting: Method and statistics," *J. Vac. Sci. Technol. B* **30**, 051605 (2012).

<sup>13</sup> Pei-Yang Yan, Yan Liu, Marilyn Kamna, Guojing Zhang, Robert Chen and Fabian Martinez, "EUVL multilayer mask blank defect mitigation for defect-free EUVL mask fabrication", *Proc. SPIE 8322*, Extreme Ultraviolet (EUV) Lithography III, 83220Z (March 29, 2012).

<sup>14</sup> R. Peeters, et al., "ASML's NXE platform performance", EUVL Symposium, Toyama, Japan, 7-10 October 2013.

<sup>15</sup> R. Peeters, *Ibid*

<sup>16</sup> A. Suzuki, "Canon's EUVL exposure tool development plan", IEUVI Meeting, San Jose, 28 February 2013.

<sup>17</sup> K. Murakami, "Nikon EUV exposure tool roadmap", IEUVI Meeting, San Jose, 4 October 2012.

<sup>18</sup> J.T. Neumann, et al., "Mask effects for high-NA EUV: impact of NA, chief-ray angle, and reduction ratio", *SPIE* **8679**, 867915 (2013).

<sup>19</sup> N. Khusnatdinov, Z. Ye, K. Luo, T. Stachowiak, X. Lu, J. W. Irving, M. Shafran, W. Longsine, M. Traub, V. Truskett, B. Fletcher, W. Liu, F. Xu, D. LaBrake, S. V. Sreenivasan, to be published in *Proc. SPIE*, Alternative Lithography VI, March 2014.

<sup>20</sup> T. Higashiki, T. Nakasugi, I. Yoneda, *J. Micro/Nanolith. MEMS MOEMS*. 2011; **10(4)**:043008

<sup>21</sup> Z. Ye, K. Luo, X. Lu, B. Fletcher, W. Liu, F. Xu, D. LaBrake, D. J. Resnick, S. V. Sreenivasan, *J. Micro/Nanolith. MEMS MOEMS*. 2012; **11(3)**:031404-1

<sup>22</sup> N. Hayashi, NIL Template: progress and challenges, presented at the SPIE Alternative Lithography V Conference, San Jose, CA (2013).

<sup>23</sup> N. Hayashi, *Op. Cit.*