



INTERNATIONAL
TECHNOLOGY ROADMAP
FOR
SEMICONDUCTORS

2013 年版

無線周波帯および
アナログ・ミックスドシグナル技術

THE ITRS IS DEVISED AND INTENDED FOR TECHNOLOGY ASSESSMENT ONLY AND IS WITHOUT REGARD TO ANY COMMERCIAL CONSIDERATIONS PERTAINING TO INDIVIDUAL PRODUCTS OR EQUIPMENT.

The ITRS is Jointly Sponsored
by

European Semiconductor Industry Association



Japan Electronics and Information Technology
Industries Association

Korea Semiconductor Industry Association



Taiwan Semiconductor Industry Association



Semiconductor Industry Association



ITRS の共同スポンサーは ESIA, JEITA, KSIA, TSIA, SIA です。

訳者まえがき

この文書は International Technology Roadmap for Semiconductors 2013 Edition(国際半導体技術ロードマップ 2013 年版)本文の日本語訳である。

国際半導体技術ロードマップ (International Technology Roadmap for Semiconductors, 以下 ITRS と表記)は、米国、日本、欧州、韓国、台湾の世界5極の専門家によって編集・作成されている。日本では、半導体技術ロードマップ専門委員会 (STRJ) が電子情報技術産業協会 (JEITA) 内に組織され、日本国内で半導体技術ロードマップについての調査活動を行うとともに、ITRS の編集・作成に貢献している。STRJ 内には 15 のワーキンググループ (WG: Working Group) が組織され、半導体集積回路メーカ、半導体製造装置メーカ、材料メーカ、大学、独立行政法人、コンソーシアムなどから専門家が集まり、それぞれの専門分野の調査活動を行っている。

ITRS は改版を重ねるごとにページ数が増え、2013 年版は英文で 1000 ページを越える文書となった。このような大部の文書を原文で読み通すことは専門家でも多大な労力を要するし、専門家であっても技術分野が少し異なると ITRS を理解することは必ずしも容易でない。STRJ の専門委員がその専門分野に応じて ITRS を訳出することで、ITRS をより親しみやすいものにすることができるのではないかと考えている。

なお、ITRS 2005 年版 (英語の原書) までは、ウェブ公開とともに、印刷された本としても出版していたが、ITRS 2007 年版以降、は印刷コストが大きくなってきたこと、ウェブ上で無料公開されている文書の出版版を本の形で有償頒布しても需要が限られることなどのため、印刷物の形での出版を断念し、ウェブ公開のみとなった。ITRS の読者の皆様にはご不便をおかけするが、ご理解願いたい。ITRS 2009 年版以降、電子媒体で ITRS を公開することを前提に編集を進め、ITRS の表は原則として、Microsoft Excel のファイルとして作成し、そのまま公開することにした。

ITRS は英語で書かれている。日本語訳の作成は、STRJ 委員が分担してこれにあたり、JEITA の STRJ 担当事務局が全体の取りまとめを行った。訳語については、できる限り統一するように努めたが、なお、統一が取れていないところもある。また、訳者によって、文体が異なるところもある。ITRS の原文自体も多くは専門家による分担執筆であり、そもそも原文の文体も一定していないことも、ご理解いただきたい。誤訳、誤字、脱字などが無いよう、細心の注意をしているが、短期間のうちに訳文を作成しているため、なお間違いが含まれていると思う。また、翻訳の過程で原文のニュアンスが変化してしまうこともある。訳文についてお気づきの点や、ITRS についてのご批判、ご意見などを事務局まで連絡いただけますよう、お願い申し上げます。

今回の訳出にあたっては、ITRS の本文の部分のみとし、ITRS 内の図や表の内部は英文のまま掲載することとした。Overview の冒頭の謝辞 (Acknowledgments) に、ITRS の編集にかかわった方々の氏名が書かれているが、ここも訳出していない。また、ITRS 2013 年版では、各章の要約 (Summary) を別のファイルとして作成し公開しているが、今回はこれを訳出していない。要約 (Summary) は原則として、本文の抜粋となっていて、本文の日本語訳があれば、日本の読者にとっては十分と考えたためである。

原文中の略語については、できるかぎり、初出の際に、「ITRS(International Technology Roadmap for Semiconductors)」のように () 内に原義を示すようにした。英文の略号をそのまま使わないで技術用語を訳出する際、原語を引用したほうが適切と考えられる場合には、「国際半導体技術ロードマップ (ITRS: International Technology Roadmap for Semiconductors, 以下 ITRS と表記)」「国際半導体技術ロードマップ (International Technology Roadmap for Semiconductors)」のように和訳の後に () 内に原語やそれに対応する略語を表示した。Executive Summary の用語集 (Glossary) も参照されたい。原文の括弧 () があってそれを訳するために括弧を使った場合もあるが、前後の文脈の関係で判別できると思う。また訳注は「【訳者注:この部分は訳者の注釈であることを示す】」のように【】内に表記した。また[] 内の部分は、訳者が原文にない言葉をおぎなった部分であることを示している。訳文は厳密な逐語訳で

はなく、日本語として読んで意味が通りやすいように意識している。ITRS のウェブ版ではハイパーリンクが埋め込まれているが、今回の日本語版ではハイパーリンクは原則として削除した。読者の皆様には不便をおかけするが、ご理解いただければ幸いである。

今回の日本語訳作成にあたり、編集作業を担当いただいた、JEITA 内 SRTJ 事務局の幾見 宣之さん、関口美奈さんには大変お世話になりました。厚くお礼申し上げます。

より多くの方に ITRS をご活用いただきたいとの思いから、今回の翻訳作業を進めました。今後とも ITRS と STRJ へのご理解とご支援をよろしくお願い申し上げます。

2014 年 7 月

訳者一同を代表して

電子情報技術産業協会 (JEITA) 半導体部会 半導体技術ロードマップ専門委員会 (STRJ) 委員長
石内 秀美 (株式会社 東芝)

版權について

ORIGINAL (ENGLISH VERSION) COPYRIGHT © 2014 SEMICONDUCTOR INDUSTRY ASSOCIATION

All rights reserved

ITRS • SEMATECH, Inc. , 257 Fuller Road, Albany, NY 12203 • <http://www.itrs.net>
Japanese translation by the JEITA, Japan Electronics and Information Technology Industries
Association under the license of the Semiconductor Industry Association

ー引用する場合の注意ー

原文(英語版)から引用する場合： ITRS 2013 Edition, Chapter XX, page YY, Figure(Table) ZZ
この日本語訳から引用する場合： ITRS 2013 Edition (JEITA 訳) XX 章、YY 頁、図(表) ZZ
のように明記してください。

問合せ先：

一般社団法人 電子情報技術産業協会
半導体技術ロードマップ専門委員会 事務局
電話: 03-5218-1061 電子メール: roadmap@jeita.or.jp

TABLE OF CONTENTS

無線周波帯およびアナログ・ミックスドシグナル技術	1
1. 概要	1
1.1 RF CMOS	3
1.2 IV 族シリコンバイポーラおよび BiCMOS	4
1.3 III および V 族元素から構成された III-V 族化合物半導体[バイポーラおよび電界効果型トランジスタ (FET)]	6
1.4 オンチップ受動素子	7
2. 困難な課題	8
2.1 RF CMOS	8
2.2 IV 族シリコンバイポーラおよび Bi CMOS	10
2.3 III および V 族元素から構成された III-V 族化合物半導体[バイポーラおよび電界効果型トランジスタ (FET)]	11
2.4 抵抗、インダクタ、キャパシタ、バラクタなどのオンチップ受動素子	13
3. 技術要求	13
3.1 RF CMOS	15
3.2 IV 族の Si Bipolar 及び BiCMOS	15
3.3 Group III-V III-V 族化合物半導体[バイポーラおよび電界効果型トランジスタ(FET)]	17
3.4 オンチップ受動素子	21
4.0 解決策候補	25
4.1 RF CMOS	25
4.2 Group IV シリコンバイポーラおよび BiCMOS	26
4.3 Group III-V III-V 族化合物半導体[バイポーラおよび電界効果型トランジスタ(FET)]	27
4.4 オンチップ受動素子	31
5.0 横断的な課題	32
5.1 ESH(Environment, Safety & Health)、計測(Metrology)、歩留り改善、モデリング&シミュレーション ...	32
5.2 他の TWG との議論	32
5.3 新探究素子・材料の今後の影響	32
5.4 アナログ分野における課題/トピックス	33
5.5 RF MEMS 構造	33
6.0 その他の考察	34

6.1 国際規格と関連する測定手法	34
7.0 結び	34
7.1 RF CMOS	35
7.2 Group IV バイポーラおよび BiCMOS デバイス	36
7.3 Group III-V 化合物半導体[バイポーラおよび電界効果型トランジスタ(FET)]	37
7.4 オンチップ受動素子	37
8.0 References	37
9.0 謝辞	40

LIST OF FIGURES

Figure RFAMS1 Analog and Carrier Frequency Bands and Example Applications considered in formulating this Roadmap	3
Figure RFAMS2 An Illustration of the Physical Layout of One Gate Finger of a MOSFET	9
Figure RFAMS3 Required Tolerances depending on the applications	24
Figure RFAMS4 High-Speed SiGe BiCMOS Potential Solutions	27
Figure RFAMS5 Group III-V Compound Semiconductors Potential Solutions	31
Figure RFAMS6 LNA Performance comparing CMOS, SiGe and InP Transistor Roadmaps	35
Figure RFAMS7 PA Performance comparing CMOS, with InP and GaN HEMT Transistor Roadmaps	36

LIST OF TABLES

Table RFAMS1 CMOS Technology Requirements	15
Table RFAMS2 RF and Analog Mixed-Signal Bipolar Technology Requirements	17
Table RFAMS3 Group III-V Compound Semiconductor FET and Bipolar Transistors Technology Requirements	21
Table RFAMS4 Passive on-Chip Technology Requirements	25

[Link to 2013 ITRS Wireless Table file](#)

【訳者注:英語版で設けられていたテーブルへのリンクは削除した】

無線周波帯およびアナログ・ミックスドシグナル技術

1. 概要

無線周波帯(RF)およびアナログ・ミックスドシグナル(AMS)技術が、急速に成長する先端コミュニケーション市場や、MtM(More than Moore)と呼ばれる市場を支えている。また、この技術が、多くの半導体製造会社の成功や、将来のモノのインターネット(IoT)で、最終的な成功をするための、重要かつ必要不可欠な技術になっている。情報通信製品や新たに登場してきた製品は、MtM、RF および AMS 技術によって実現された機能を使っている。これらは、例えばレーダー画像処理、防衛、国土安全保障への応用もサポートしている。これらの技術は、巨大な産業の、主要な牽引役になりつつある。消費者向製品が、半導体需要の半分以上を占めている。4G 携帯電話やタブレットは、ますます多くの RF および AMS 半導体部品を使うようになってきている。数年前には、わずか 5% の市場シェアであったが、現在、モバイル市場の多くを占めるようになっている。例えば、iPad は 19 以上の RF および AMS の先端コンポーネントを使っている[1]。RF および AMS 市場のなかで、民生品分野は、極めてコストに敏感である。異なる技術が同じ技術要求に応えられる場合、製品化までの時間や、システム全体としてのコストが、技術選択を左右することになる。

大分類として、以下の 4 つのデバイス・サブグループを作った。それぞれは、多様な RF および AMS 技術を含んでいる。

1. RF CMOS
2. IV 族 Si Bipolar および BiCMOS
3. III-V 族化合物半導体
4. オンチップ受動素子

RF CMOS と違い、この RF および AMS の章で取り上げる技術のいくつかは、今日の最先端のものではなく、信頼性の高い製造工程を求めている。こうした技術に対して、RF および AMS の章では、他の ITRS の章のような、通常の CMOS で言う量産というより、プロトタイプのパフォーマンスに近いものを含めることにした。

システムの性能要求を支える、回路レベルでの性能指数に結びついたデバイス技術での性能指数 (Figure of Merit (FOM)) が、RF および AMS 技術の開発を牽引している。そのため、性能指数(FOM)は、一般的には、低雑音増幅器 (LNA)、電圧制御発信器 (VCO)、電力増幅器 (PA)、A/D 変換機 (ADC)、或いは、並直列変換回路 (SerDes) に対するものになっている。

ここで示す技術は、多くの材料系に依存しており、そこには SiGe のように CMOS プロセスと互換性を持つものから、周期表の III-V 族に属する化合物半導体のように、伝統的に CMOS プロセスとの互換性のないものまで含まれている。今日の emerging research device、とりわけ、この 2013 年版 ITRS の別のところで取り扱われている More than Moore (MtM) 技術の考えに基づいた、これらのデバイスが市場展開されるようになると、化合物半導体は、ますます重要となるだろう。

この 2013 年版 ITRS の RF および AMS の章の目的は、以下のようなものである。

1. 図 RFAMS1 に示した代表的適用製品の要求を満たすための RF および AMS 技術の課題を示すこと。適用周波数帯から、無線(0GHz から 0.4GHz)、マイクロ波(0.4GHz から 30GHz)そしてミリ波(30GHz から 300GHz)、一般的には、異なる技術要求がでてきており、この章では、それを反映させている。将来的には、300GHz を越える適用製品が市場で台頭してきたら、それらについても触れるようになるだろう。
2. Si RF CMOS、Si Bipolar(SiGe ヘテロ接合バイポーラ トランジスタ(HBT)を含む、Si/SiGe BiCMOS(bipolar+CMOS)、III-V 族化合物半導体デバイス、および、オンチップ受動素子技術について、その適用製品の必要の応じた課題と要求について示すこと。

IV 族バイポーラおよび III-V 族化合物半導体デバイスに対する技術要求テーブル(RFAMS2 および RFAMS3)では、整合性のとれた基準入力データセットをもとに作成した。しかし、これは、現在の 2013 年版 ITRS の他の章で示された CMOS に対する技術要求テーブルと必ずしも一致したものにはなっていない。ITRS のメンバーは 2014 年版 ITRS のアップデートでは、全てのデバイス技術に対して、同一の整合性のとれた入力データセットを用いたいと考えている。以下の項番 1.1、2.1、3.1、4.1、そして 7.1 は 2011 年版 ITRS RF および AMS の章からのコピーであり、2013 年版のアップデートは行われていない。また、RF CMOS Table RFAMS1 は 2012 年版のアップデートテーブルのコピーである。

Analog - Carrier Frequency Bands			
LF Analog (0.0 GHz-0.4 GHz)	RF (0.4 GHz-30 GHz)	Millimeter-Wave (30 GHz-300 GHz)	THz (> 300 GHz)
Example applications			
Automotive controls	Cellular	60 GHz point-to-point	No products yet
On-chip regulators	WLAN	Imaging	
Power management	SerDes	Automotive radar	
	ADC,DAC	Wireless backhaul	

Figure RFAMS1

Analog and Carrier Frequency Bands and Example Applications considered in formulating this Roadmap

1.1 RF CMOS

これまで、CMOS セクションでの適用製品の牽引役は 0.4GHz から 30GHz 周波数帯の携帯トランシーバや、30GHz から 300GHz 周波数帯の様々な商業ベースの適用製品であった。さらに、今年、ITRS はミックスドシングナルのアナログ適用製品に使われる CMOS までカバーするように、更なる努力をしてくれている。そのため、通常 RF 適用製品では使われないアナログ回路での、CMOS デバイスパラメータの影響について考察している。DC から高周波のワイドバンドアンプは、バンド幅が数 GHz あるいはそれ以上に達する有線レシーバーで見られる代表的な構成要素である。CMOS フォトニクスを用いた光通信において、データ速度は既に 10GHz を越え、40GHz を越えようとしている。さらには、100GHz に達するのも、そう遠くない将来にと思われる。ワイドバンドのトランスインピーダンスアンプ(TIA: trans-impedance amplifiers)が、フォトダイオードの出力を、CMOS のデジタル信号処理に適した電圧レベルに変換するのに、しばしば使われている。

このセクションの基準となる技術は、Process Integration, Devices, and Structure (PIDS)の章の、CMOS デバイスであり、マイクロ波の適用製品では低待機電力版(LSTP)ロードマップを、また、ミリ波適用製品では高性能版(HP)ロードマップを利用している。LSTP 版のロードマップを、携帯マイクロ波適用製品の基準として選んだ理由は、携帯機器応用では、HP CMOS で実現できるものより、低い待機電力と、高いバイアス電圧が要求されるためである。ミリ波適用製品については、より高いデバイス性能から、HP 版ロードマップを選んだ。RF および AMS のロードマップのデバイスは、PIDS ロードマップと同一のものを仮定している。しかし、主要なアナログパラメータが実現できない場合には、適正化する必要性がでてくるかもしれない。以前の RF および AMS ロードマップとは異なり、今日では、これらのデバイスは、PIDS ロードマップと同時に量産に移行している。これは、デジタルが主体のチップに、適用製品の求める RF および AMS 機能を持たせる、

System-on-a-Chip(SoC)の概念を反映したものである。高周波モデルや、RF および AMS の設計を助ける他のツールの品質は、量産後始めの数年で改善されるだろう。ロードマップでは、LSTP や HP デバイスに倣い、高性能 RF/アナログデバイスのモデル化を取り扱う。こうしたデバイスは、トランシーバの回路(周波数シンセサイザー、周波数変換器そしてアンプ)のなかで使われている。アナログ特有の適用製品を支えるには、スケールリングされた MOS では実現できないデバイス特性が求められる。RF 信号をオフチップでドライブするには、より高い電圧のデバイスも求められる。こうしたデバイスには、アナログ高精度 MOS デバイスのスケールリングや、高 S/N 比、低信号歪を達成するため、比較的高い電圧への適応性が求められている。こうしたデバイスは、高電圧の I/O ポートとのインターフェースのため、CMOS 技術に通常準備されている。こうしたデバイスの性能は、以前の ITRS RF および AMS の章の技術的な要求に示されている。さらに、多くのファウンダリーも、その提供する CMOS のなかに、アナログ フレンドリーな FET のオプションを用意している。デジタル FET が、halo インプラのため、ゲート長を大きくしても、DC 電圧利得は実効的に飽和し、一定の値になるのに対して、こうしたデバイスでは、ゲート長を伸ばすことで大きくすることができる。[2]

1.2 IV 族シリコンバイポーラおよび BiCMOS

この 2013 年版の冒頭にあたり、シリコンバイポーラおよび BiCMOS そして III-V 族化合物半導体については、同じ基準入力データをもちいているため、整合性のあるものになっている。しかし、2013 年版 ITRS の他に書かれている CMOS テーブルに関しては、整合がとれていない。

1.2.1 ロードマップのカバーするデバイスおよびその適用製品

このロードマップの目的は、RF/AMS 応用により性能向上が牽引され、かつ、複数のプレーヤーが存在する、バイポーラトランジスタ、より明確には Si/SiGe のヘテロ接合バイポーラトランジスタ(HBTs)をカバーすることである。そのため、このロードマップでは、今日技術的に可能な全てのタイプの Si/SiGe HBT をカバーしたものではない。

高電圧 NPN および PNP バイポーラトランジスタは現在使用されており、5GHz 以下で動作する適用製品の研究トピックスになっている。これらは、例えば、セルラー、WLAN のパワーアンプ(PA)、オペアンプ等々である。こうした開発は、特定の適用製品に縛られているため、バイポーラトランジスタの性能そのものは、最早、重要なドライバーではなくなっている。例えば、セルラーや WiFi のパワーアンプの性能やコストは、集積するときの選択(受動素子、パッケージ等々)によって決まってきた。こうしたデバイスのロードマッピングを実施するのが難しいのは、デバイスと製品性能の関係が明確になっていないためである。この理由から、パワーアンプ用 NPN トランジスタは、最早ロードマップに含めていない。

HS-PNP のロードマップは、相補型バイポーラや BiCMOS 技術(C-BiCMOS)によって牽引されてきた。相補型バイポーラ回路は、休止状態での低消費電力や、しばしば DC を含んだ広い周波数帯に渉る高い線形性から、(オペ)アンプとして魅力的である。これらの回路では、性能をマッチさせた NPN と PNP トランジスタを提供する相補技術から、多大な恩恵を受けている。相補型 BiCMOS(C-BiCMOS)技術によって、例えば、A-D 変換やオペアンプやケーブルドライバといった、非常に幅広い帯域が求められる応用分野で、トレードオフにある線形性と消費電力を最大にすることができる。全体の性能は通常 PNP によって決められる。このデバイスは、シリコン ゲルマニウム技術の導入によって大きく向上した。しかし、HS-PNP トランジスタは、信頼できるベンチマークをするには、SiGe をベースとした C-BiCMOS を、市場に供給しているものがほとんどいないため、ロードマップテーブルからは除外した。

そのため、ロードマップでは、高速 Si/SiGe NPN(HS-NPN)トランジスタだけをカバーし、この章の範疇として、このトランジスタに対する技術要求のみを示す。HS-NPN デバイスの性能向上は、ミリ波製品の要求によって牽引されている。これらには、無線(~60GHz WLAN)や、有線通信(40Gb/s、100Gb/s 400Gb/s Ethernet

およびそれ以上)、車載レーダー(~77GHz)、そして~170GHzまでの産業、医療、安全、航空宇宙、電波天文学、およびその他の技術分野で生まれてきている適用製品が含まれている。[3,4] Si/SiG HBTの性能拡大の目標には2種類がある。最初の目標は、ロードマップの終焉までに、500GHzまでの周波数(これは、 $\sim f_{\text{MAX}}/3$ に相当)での動作を考えたシステムのロバスト設計を可能にすることである。第2の目標は、すでにある適用製品のため、低周波数で回路動作する際の性能(利得、雑音指数、消費電力など)を向上させること。これらは、既に現在のバイポーラやBiCMOS技術でも言及され、目標とされてきたものである。

HS-NPNのロードマップは、TCADおよびコンパクトモデルをベースとした予測に基づいて作成した。TCADツールでは、最新の産業用のプロトタイプ技術で得られた実測値([5], テーブル RFAMS2でN1ノードとして示す)で校正した、ボルツマンおよび流体キャリア輸送モデルを組み込んでいる。[6]に示された結果も、ツールの校正に役立っている。ノードN1から、現在考えられる物理限界(ノードN5[7])に向かって、ドーピング形状をスケーリングし、適当に調整することで、間の3世代、N2、N3、N4を設定した。インターフェースやコンタクト抵抗は、CMOSロードマップと比べることで、1つの世代から次の世代へと緩やかに緩和していくよう仮定した。主要サイズであるエミッタ幅を変えることで、それぞれの主要世代の f_T と f_{MAX} をみながら、縦方向と横方向のデバイス設計バランスをとるようにした。5つの相応するノードを、継続的に出てくるであろう主要な技術世代と考え、量産開始時期を当てはめてみた。対応する大電流モデルL2(HICUM/L2)のパラメータは、それらの世代の電気特性から引き出した。これらの1次元構造に拠ったモデルパラメータは、例えば多様な寄生容量を解く3次元のPoisson Solverや、自己発熱要素を解く3次元thermal Solverなどの現実的な3次元デバイス構造を取り入れることで拡張した。

最終的なモデルパラメータのセットは、幾何学的なスケーリングツールによって発生させた。妥当な最終3Dモデルを固めて、ITRSテーブルにリストされた主要ノードのデバイスや回路に関する性能指数を策定した。

1.2.2 BIPOLAR/BiCMOS 技術の特異性

バイポーラのロードマップで示した年は、量産開始年ではなく、プロトタイプの始まった年である。BiCMOS技術の寿命(大きな生産量が続く期間と定義するならば)は、CMOSに比べ遥かに長く(~10年)なっている。なぜなら、対応する適用製品において、デバイスの単純な(クリティカルな大きさの)スケーリングすることで得られる利点が少ないためである。結果として、BiCMOS技術は、各々のCMOSノードに対応することができるわけではなく、ロードマップでは4年の継続期を仮定したが、2つのBiCMOS世代には数年の開きが存在している。これらの理由から、ここに示すロードマップは、バイポーラの性能を、どこか特定のCMOSノードと結びつけるものではない。用いるCMOSノードは、会社特有の事情や、バイポーラ性能要求、ゲート密度要求、プロセス集積上の互換性、開発時間やコストといった多くの要素から決められている。

今日、量産レベル認定されたHS-NPNを用いたBiCMOS技術では、180nmから130nm CMOSを用いている。これは、CMOS技術と、BiCMOS技術の間に、4から5世代の技術ノードのギャップがあることを示している。これは、製品牽引役の要求に、高密度なデジタル機能が入っていないこと、また、枯れたCMOSノードの集積によるコスト上の利点、そして、こうしたCMOSノードで優れたHS-NPN性能を達成できることによるものと考えられる。しかし、90nmから55nm BiCMOSが、ピュアCMOS技術ではカバーできないミリ波SOC製品適用のため、開発が進められている。これに対してC-BiCMOSを含むHV-BiCMOS技術は、今日350–180nmのCMOSノードを用いているHS-BiCMOS技術に比べ、いつも遅れたものになっている。これらの適用製品では、通常ゲート密度を高くすることへの要求はなく、コストが最も重要な項目となっている。

1.3 III および V 族元素から構成された III-V 族化合物半導体[バイポーラおよび電界効果型トランジスタ(FET)]

RF、マイクロ波、ミリ波そしてミックスドシグナル適用製品にとって、要求性能がシリコンや SiGe で満たされるならば、シリコンを用いることになるだろう。なぜなら、第一に、コストと集積密度の点からである。そのため、III-V 族デバイスを継続して開発してゆく牽引役となるのは、シリコンベースのデバイスで達成できる性能に比べ、より高い周波数、より広いバンド幅、より高いパワー、より高い利得、より高いダイナミックレンジ、より高い効率、より低い雑音特性などの要求がある適用製品になる。III-V 族デバイスは、ニッチ或いはシリコンでは対応できない性能が牽引する適用製品において、使われ続けるだろう。さらに、III-V デバイスと Si CMOS をシリコン基板上に集積するヘテロ集積技術が、継続的に進歩してきたことで、優れた性能の III-V 族デバイスと、Si CMOS の高集積密度の利点を生かした RF とミックスドシグナル回路の集積が実現できるようになるかもしれない。

1.3.1 マイクロ波ドライバ

無線通信でネットワークを形成するには、移動体と固定両方の送受信機が必要である。一般の人々にとってなじみの無線機器は、携帯電話や無線 PDA のような携帯機器である。III-V 族デバイスでこれらポータブルデバイスで求められているのは、パワーアンプモジュールに使われる InGaP HBTs である。GaN HEMT パワーアンプは、基地局送信機の性能を向上させる可能性がある。シリコンパワーアンプの継続的な進化と携帯ネットワークのマイクロからピコセルへの進化を見ると、III-V 族技術は、これらの応用分野に入っていくことはできていない。これら 2 つのデバイスのカギとなる牽引力は、部品の集積性とコストである。

携帯用適用製品においてパワーアンプモジュールは、Si パワー管理チップ、RF マッチングネットワーク、RF スイッチ、フィルター、そしてアンテナに 1-4W の RF パワーを供給するパワーアンプチップから構成されたマルチチップである。シリコン技術が、典型的には、パワーコントロール回路やスイッチ機能に使われるのに対して、InGaP HBT は、典型的にはパワーアンプチップに使われている。トレンドは、幾つかの部品・機能を同じ半導体チップ上で結びつける方向にある。例えば、パワーアンプコントローラーの機能は、スイッチ機能と一体化されたり、パワーアンプコントローラーがパワーアンプと集積されるようになるかもしれない。これは、いくつかのリニアパワーアンプが、電流消費と出力パワーの厳しい要求を満たすため、CMOS がアシストする電源回路を含むようになっても状況はかわらない。幾つかの異なるパワーアンプモジュールの機能を、単一のチップにまとめることは、部品点数を減らし、ワイヤボンディングの複雑さを回避し、これによって、より安いコストでモジュールを作ることができるようになるだろう。こうした技術を結びつける方向は、パワーアンプモジュールが、近々、より多くの周波数および変換方式に対応することが求められるようになると、ますます広く用いられるようになるだろう。それぞれの機能に対して、どの技術を用いるかの選択は、RF 特性仕様、チップサイズ、適用性、そして最も重要な総合的な製品コストからなされる。

同じような牽引役がマイクロ波のトランシーバでも存在している。例えば、LMDS やレーダーそして軍用の多機能システムのようなポイント間の通信システムである。マイクロ波トランシーバは携帯機器のパワーアンプモジュールのように、標準的にはマルチチップ構成である。レーダーや軍用の多機能システムでは、電子ビームを指向したフェーズドアレイが組まれている。制御機能はシリコンで実現されるが、しかし、パワーやローノイズアンプは、従来より GaAs pHEMT が、また、優れた雑音特性から GaAs MHEMT や InP HEMT が受信チェーンには用いられている。最近では、集積化が進み、それほど電力や雑音の制約が厳しくない適用製品では、トランシーバ全てを SiGe BiCMOS で実現するようになってきている。

GaN 技術が成熟してくるにつれて、GaN HEMTs によって、システムパワー、周波数帯域、そして効率が向上させられてきた。そのため、これらの応用分野で GaAs pHEMT のパワーアンプを置き換え始めている。

ロバスト性や高ダイナミックレンジに結びついたノイズ特性の良さから、GaN は受信器分野において GaAs や或いは InP を置き換え始めているようである。

Note: テーブルおよび文中で、RF およびマイクロ波周波数帯の III-V 族デバイスを、あまり詳しく述べていない。これは、RF およびマイクロ波適用製品(<30GHz)が成熟しており、デバイス製品が複数のファウンダリーで適用可能であるという事実に基づいたものである。RF およびマイクロ波適用製品に使われるデバイスを進化させる主要な牽引役は、デバイス性能やスケールリングではなく、コストや線形性・ダイナミックレンジ・効率、そして集積密度になっている。線形性・ダイナミックレンジ・効率は、回路設計技術に依存するが、コストや集積密度は、製造成熟度に依存している。

1.3.2 ミリ波ドライバー

ここ 10 年ほどで、ミリ波帯に対する商業的関心が着実に高まっている。Si 系技術が支配している、より低い周波数帯と違い、ミリ波周波数では III-V 族デバイスが優れた特性を示し、いくつかの III-V 族材料やデバイスが適用製品市場で競争している。しかし、先端の SOI-CMOS 技術進歩によって、RF スイッチのようなミリ波適用製品領域でも、シリコンをベースとした技術が参入できるようになってきている。

それぞれの III-V 族技術は、コスト、性能あるいは適用性において、異なるトレードオフを提供している。現在、III-V 族デバイスおよび集積回路は、3 種類の基板、GaAs、InP、SiC が用いられている。将来は、大口径シリコンウェハ上に III-V 族を形成することにより、より低コストな製品ソリューションを産み出すだろう。

高いレベルの集積が求められる性能重視の適用製品においては、III-V 族とシリコン技術のヘテロ集積が継続的に進むことが期待される。こうしたアプローチによって、設計者が、III-V 族の高周波特性の長所と、シリコンの高集積性と処理能力の長所の両面を活かせるようにできるだろう。将来的には、この周波数帯では、他の III-V 族化合物半導体や、ダイヤモンドやグラフェンを含めたカーボンベースの半導体をみることになるかもしれない。

このセクションでは、商業生産されているもの、もしくは、その予定がある III-V 族トランジスタ技術を示した。この分野が急激に拡大していること、また、デジタル集積回路のように、リソグラフィのサイズに性能が縛られていないことから、長期的な予測を行うことを意図的に避けている。III-V 族半導体は、シリコンベースのデバイスの長期にわたる恩恵は受けていないし、ムーアの法則に従ってもいない。ミリ波周波数帯の市場と製品が開発され、よりいっそう技術牽引役として働くようになると、将来の ITRS の版では、ミリ波のロードマップが、長期にまで確度をもって予測することができるようになるかもしれない。

このセクションのスコープは、GaAs PHEMT、GaAs MHEMT、InP HEMT、GaN HEMT、および、InP HBT の材料、デバイス技術を基にした、低雑音、パワートランジスタを含むものである。全てのデバイスタイプが、周期表の III-V 族の 2-3 ないし 4 種類の化合物によるエピ層を用いている。デバイスの特性は、メーカーが特色を持つエピ層の、材料や、厚さや、ドーピングの選択に強く依存しているため、多彩な特質や性能を得ることができる。パワー、効率、耐圧、雑音指数(NF)、線形性、そして、他の性能パラメータとの間にトレードオフが存在している。これらのトレードオフの一つの結果として、III-V 族の性能にとって、“リソグラフィのロードマップ”は、ただ一つの牽引役というわけではない。もちろん、リソグラフィのサイズを縮小することは、高周波数動作という性能指数、例えば、最大遮断周波数(f_T)や、最大発信周波数(f_{MAX})では効果があることになる。性能トレンドは、リソグラフィの縮小と調和した、望ましいトレードオフの組み合わせと、エピ層の”バンドギャップ エンジニアリング”によって、基本的には牽引されることになる。

1.4 オンチップ受動素子

受動素子は、アナログおよび RF システムには不可避の部品で、ネットワークのマッチング、LC タンク回路、アッテネータ、フィルター、デカップリング容量、負荷、そして、より最近では、チップ上アンテナや、アンテナ

反射器に使われている。受動素子は、伝送線路、導波管、アンテナなどの含まれる分布定数素子と、インダクタ、変圧器、線形容量および可変容量（バラクタ）、抵抗器などが含まれる集中定数素子とに、大きくは分類される。分散回路は、信号がその回路に沿って伝搬する際の、位相変化を考えなければならない。動作周波数が、マイクロ波からミリ波に移ると、分布定数素子が、高い品質係数(Q)を持っているため、より頻繁に使われることになる。一方、集中定数素子の物理的な大きさが、波長に対して一般的には $\lambda/20$ 以下と小さいため、それほど重要とは考えられず、位相の効果は無視できるだろう。これらは、代表的には 30GHz 以下の周波数で使われるが、物理的な大きさが小さくなると、マイクロ波やミリ波の周波数帯でも使われる。このセクションでは、基本的にはオンチップ (SoC) コンポーネントとして使われる、以下の集中定数の受動素子に焦点は合わせる。

- 1)線形容量
- 2)抵抗器
- 3)インダクタ
- 4)バラクタ

オンチップの集中定数受動素子は、低周波数(LF)アナログ(DC から 0.4GHz)、および、無線周波数帯(RF)(0.4GHz から 30GHz)で、広く使われてきた。しかし、これらは、時々、ミリ波やより高い周波数でも同様に使われている。そのため、ミリ波の領域である 30GHz から 300GHz の、より高い周波数帯で受動素子が使われる場合についても議論している。

低周波数のアナログおよびミックスドシグナル適用製品では、均一で安定した線形容量素子や抵抗器が求められるため、ロードマップでは、主要パラメータとして、電圧や温度係数について述べている。RF やマイクロ波適用製品(0.4GHz から 30GHz)、具体的にはインダクタや容量(L/C)素子では、高 Q 値がさらに求められることになる。オンチップで集積される L/C 受動素子の Q 値の限界は、主に、直列接続された抵抗損失(金属損失)や、並列接続された寄生容量(基板損失)によって決められる。これらの損失や寄生成分は、シリコン基板や、配線プロセスやビア、そして金属の詰め込みや引き回しなどのプロセス特性に、ますます影響されるようになる。さらなる配線との相互依存については、このセクションの 30GHz から 300GHz の最も高い周波数帯で顕著になる。この最も高い周波数帯では、分布定数受動素子、例えば伝送線路のようなものが使われている。伝送線路の性能指数は、単位長さや単位面積当たりの損失であり、主に、基本的な配線の R-L-C 特性によって決まっている。

ITRS のアッセンブリとパッケージングおよび配線の章では、オフチップの受動素子について触れている。このセクションでは、もっぱらオンチップの受動素子で基本的に集中定数素子になるものに特化している。

2.困難な課題

2.1 RF CMOS

HP 及び LSTP ロードマップに沿ってスケーリング則に基づき、着実に向上しているデジタル性能の結果、RF およびアナログ性能も持続的に向上することは容易に考えられる。しかし実際はそう単純ではなく、デジタル素子のロードマップに基づいて生じる寸法、材料、構造などの変化が RF アナログ素子の挙動を劣化や変化させる。例えば、ハロあるいはポケットと呼ばれるイオン注入が、長チャネル素子でもトランジスタの利得を劣化させることは良く知られている。素子寸法が縮小するに伴い、素子間のローカル配線における寄生インピーダンスの律速要因となる新たなメカニズムが現れるため、物理設計での新たなトレードオフの最適化が必要になる。

ゲート抵抗はデジタル回路性能を考える際には通常無視されるが、FET の最小ノイズファクター (F_{min}) の式を考慮した RF の FOM の重要な制約要因となる。FET の最小ノイズファクターの式[8]から

$$\text{RFAMS-EQ (2.1.1)} \quad F_{MIN} \approx 1 + \frac{2f}{f_{Teff}} \sqrt{k_1 \sqrt{g_m(R_g + R_s)} + 1}.$$

また、最大発信周波数の式[9]から

$$\text{RFAMS-EQ (2.1.2)} \quad f_{MAX} \approx \frac{f_T}{2\sqrt{(R_i + R_s + R_g)g_o + 2\pi f_T R_g C_{gd}}}.$$

ここで使用した変数の定義は次の通り;

R_i は真性チャネル抵抗、 R_s は直列抵抗、 R_g はゲート抵抗、 g_o は出力コンダクタンス、 g_m はトランスコンダクタンス、 C_{gs} はゲートソース間容量、 C_{gd} はゲートドレイン間容量である。ゲート抵抗が高いと f_{MAX} は低化し、 F_{MIN} は増加する。実際のデバイスでは、ゲート抵抗は各素子の詳細なデバイス形状に依存する。たとえば、以下の図のように、ゲートコンタクトが両側から取られ、ゲートが平面的なシート抵抗 R_{SH} の材料を重ねた構造の場合、ゲート抵抗を最小にする最適なチャネル幅を以下のように求めることができる。

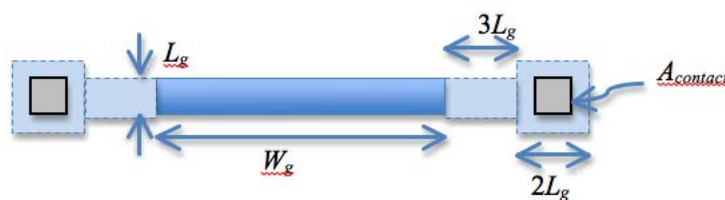


Figure RFAMS2 An Illustration of the Physical Layout of One Gate Finger of a MOSFET

ゲート抵抗はコンタクト抵抗 (図では 2 つが両側に有る)、2) コンタクトとアクティブなゲートをつなぐ平面の抵抗、および 3) アクティブなゲート抵抗の 3 つの要素の和でモデル化できる。

$$\text{RFAMS-EQ (2.1.3)} \quad R_{GATE} = R_{CONT} + R_{LINK} + R_{ACTIVE}.$$

コンタクトの寄与は、コンタクト面積で割ったビア抵抗で与えられる。これに 2 つのコンタクトとアクティブゲートの繋ぎ部分の平面部分の抵抗が加わる。平面部分のアクティブデバイスへの寄与は両側からコンタクトを取った場合の通常の分布抵抗の式で与えられる[10]。ここでは、繋ぎ領域が 3 つのゲート長を持つと考え

$$\text{RFAMS-EQ (2.1.4)} \quad R_G = \frac{\rho_{via}}{2A_{contact}} + \frac{3}{2}R_{SH} + \frac{R_{SH}W_g}{12L_g}$$

最適なチャネル幅は、実際のレイアウトでの寄生容量やトランジスタ抵抗を考慮し、FOM の最大化を図りながら通常経験的に見出されている。例えば、 F_{MIN} で $(R_s + R_g)$ を考えることにより最小ゲート幅を求めることができる。

$$\text{RFAMS-EQ (2.1.5)} \quad W_{g,opt.} = \sqrt{\frac{12L_g R_s}{R_{SH}}}$$

ここで R_s は Ω -m で表されるソース抵抗。技術要求での性能指標 (FOM) を予測するために、ゲート長に比例したスケールングをベースとした経験に基づくデバイス幅を使用した。

次に、ゲートドレインやゲートソースの容量を考慮して、 f_{MAX} やカットオフ周波数を求めると[11]

$$\text{RFAMS-EQ (2.1.6)} \quad \frac{1}{2\pi f_T} = \frac{C_{gs} + C_{gd}}{g_m} + C_{gd}(R_s + R_d) + (C_{gs} + C_{gd})(R_s + R_d) \frac{g_{out}}{g_m}$$

通常のデバイスモデルでは真性のトランジスタ容量モデルを抽出するか、高周波のモデルの場合、個々のデバイスレイアウトに対応した、1 層目と 2 層目の配線の容量を抽出する。これにより単一モデルで多くの配線を持つデバイスの挙動を示すことが出来るが、配線の寄生インピーダンスを求めて回路シミュレーションに組み込む必要がある。これは配線が各トランジスタを最上層メタルで作られた伝送線路で結んでいるミリ波の設計では課題となる。

HP や LSTP のロードマップにもあるように、複数ゲートないしは完全空乏型 SOI のようなデバイス構造への抜本的な変更が、継続的に性能や集積度を向上させるために必要となるだろう。これらの構造は素子のボディ部へのコンタクトをとれないため、電気特性は従来の CMOS のものと根本的に異なっている。利点となりうるのは高い電圧利得や低いドレイン-ボディ間結合である。しかし、こういう構造上の変更は電源電圧の継続的な低下を伴ってのことになるため、回路設計には大きな課題を投げかけることになるし、既存の設計ライブラリにも大きな変化が必要となる。従って、既存の高精度アナログ/RF 用素子と微細な CMOS 素子を混載して製造するには、それぞれの工程追加が必要となる可能性がある。現在でさえ、システムオンチップ (SoC) を可能とするためには、アナログや高電圧素子を随意に混載できることで可能になるし、そのため、例えコスト増加が伴ったとしても使用される可能性のある素子のメニューを広げることにつながっている。

2.2 IV 族シリコンバイポーラおよび Bi CMOS

高速用 NPN 素子 (HS-NPN) にとって第一の課題は、縦方向プロファイルをより積極的に急峻化することで $f_{\text{MAX}} > f_T$ 、すなわち低いベース抵抗 (R_B) と低いコレクタ容量 (C_{BC}) を確保したまま、ユニティ電流利得のカットオフ周波数 f_T を向上することである。

$R_B \times C_{BC}$ のトレードオフ改善する為に新たなセルフアライン技術と合わせて多くの新しいデバイスアーキテクチャが提案されている。テーブル RFAMS2 のノード N1 を超えると、 f_T / f_{MAX} の性能要求を満たすため、これらの新しいデバイスアーキテクチャのうちの一つに変わってゆくことが考えられる。更に最高周波数で使用するアプリケーションにおけるデジタル系への要求が年と共に増大する中で、BiCMOS がこれらの構造とコンパチビリティを持つことを示す必要がある。バイポーラデバイスが直面する 2 つ目の大きな課題は、III-V 族を含めてピークの f_T での動作電流低減のためのエミッタの縮小である。

N5 世代には、コレクタ厚の縮小とコレクタ不純物の高濃度化に伴い、電流密度 (J_c) ピーク f_T 、電流密度 (J_c) は、最終的には 120 mA/ μm^2 まで高くなるものと考えられる。これによって、ベース-コレクタ接合のスイッチング速度 (C_{CB}/I_c) は向上するが、電流への対応は配線と自己発熱の見地から大きな課題になっている。全体の電流や消費電力を削減する 1 つの方法はエミッタ幅の縮小である。これは電流エミッタの幅が 0.13 μm 程度であればリソグラフィ的には大きな課題では無いが、エミッタ抵抗が障害となる。エミッタ抵抗の主要部分は、ビアのシリサイドとポリ境界と、エミッタポリと単結晶との境界面の抵抗であり、これはエミッタサイズに反比例する。より一般的には HS-NPN のロードマップは、まだ、解決策はないが、すべての境界とコンタクト抵抗を、ロードマップの終焉までに半分に下げられるものと仮定したものとと言える。

2.3 III および V 族元素から構成された III-V 族化合物半導体[バイポーラおよび電界効果型トランジスタ(FET)]

III-V 化合物半導体技術はシリコン技術と多くの共通点を持つが、明確に違う点も多い。III-V 族特有の課題には歩留まり(生産性)、基板サイズ、熱処理、集積度、DC と RF 特性乖離(ゲートドレイン遅延)、誘電体装荷、高電界での信頼性等がある。これらの課題として、特に通信分野で使用するパワーアンプ等で、シリコンベースの回路を使ったときに、効率やリニアリティ/ダイナミックレンジの改善の必要性も上げられる。

シリコンベースの半導体技術と異なり、III-V 族のマイクロ波やミリ波回路は通常、半絶縁性基板上に作られる。通常良く用いられている直径 150mm の GaAs の半絶縁性基板は、デファクト標準になりつつある。

しかし、GaAs ICs を 100mm 径ウェハ上で製造を行っているファブドリーもまだ多い。基板の大口径化への動きは生産規模とチップコストの経済性のみではなく、装置の利用が可能か否かによっても変わる。ウェハサイズで見ると GaAs はシリコンより 2 世代あるいはそれ以上遅れており、インジウムリンや SiC では更に 1 世代遅れている。III-V 族を手がける企業が製造装置の点でメリットを得るためには、基板サイズがシリコンの進歩に追従する事が重要となる。代わりに、大口径シリコン上に III-V デバイスを作ることも考えられている。LED 応用のため、導電性 GaN 基板は開発が長足の進歩をしているにもかかわらず、現在、GaN の半絶縁性基板の製造元は無い。殆どのマイクロ波/ミリ波の大パワー応用製品では、GaN デバイスの結晶成長は SiC をホスト基板として行われており、いくつかのメーカーが GaN のエピタキシャル膜を顧客の仕様に合わせて SiC 上に載せる形で供給している。複数の製造元が、デバイスの品質、100mm 径、高抵抗 SiC 基板について、許容できる水準にある製品を供給している。これらは業界の要求に基づいて 150mm 化する計画をしている。最近、シリコン上の GaN の結晶成長や 200mm ウェハ上の GaN のデバイス品質の著しい進歩が実証された。しかしこの開発は高抵抗基板を必要としない、MHz レベルで動作する電力コンバータ/電力コンディショナー回路の市場によってドライブされたものである。GaN のシリコン上の結晶成長は、GaN アンプのシリコンの CMOS コントロール回路とヘテロ接合同様に、シリコンファンダリによる GaN 回路の製造の可能性を開くものである。

パワーアンプはIII-V 族の最大の用途である。アンプの効率改善は民生用(携帯端末や基地局)、軍事用(レーダーなど)、ミリ波などすべての応用分野でのパワーアンプでIII-V 族での主要課題である。これは、Doherty 方式、ドレイン変調、クラス D、F、S などの高効率のクラス動作など、より高効率のアンプ方式を用いることによって基本的に対応出来る。しかし、成功した設計やこれらのアンプ方式の導入には、耐圧や動作電圧を妥協することなく、周波数応答性や利得、また、基本トランジスタ回路ブロックの効率をいっそう向上させることが不可欠である。

これらの高効率方式では常にリニアリティに対する厳しい性能要求を満たさねばならず、基本的にシステムコストを増やすことが出来ない。デバイスの非線形性を補正するため、入力信号にデジタル系で逆歪みを持たせた適応的なデジタルプレディストーションデザイン(DPD)もリニアリティの要求を満たすのに役立つだろう。適応的な PDP 動作は時間に伴う熱の問題やデバイス性能の変動の問題も軽減する。例えば、基地局向けでは GaN は LDMOS に対して、あるクラスの高効率方式では有利になる。

現在、これらの線形化技術はマルチチップ実装で実現されている。更に高密度の混載や CMOS と III-V 族のヘテロインテグレーションは小型、高性能、低コストの解決策になるだろう。

高効率方式の採用により、互換性と更なる効率向上をもたらす、デバイス設計の機会を得ることになる。例えば Doherty 方式に親和性のあるデバイスでは、負荷変動に伴うピーク電力を犠牲にしないで効率を改善する、最適な設計のためのピーク電力とピーク効率のインピーダンスを持つ。デバイス開発をドライブする性能指標はパワーアンプの機能である。これらの性能指標の改善は、個別のパワーアンプ方式の為にデバイス設計を目指して行われる事になるかもしれない。すなわち、Doherty 方式のアンプで使用する為に設計さ

れたデバイスは入力信号の Envelope Tracking 方式では、性能が出ないかもしれない。こういった性能指標の理解により、デバイス製造業者は、PA の更なる効率向上を図ることが可能となる。

通信やレーダー用途のパワーアンプデバイスやモジュールの直面するもう一つの大きな課題は、一方で低コストで厳しいリニアリティの要求を満たしながら、動作周波数や変調方式の面で機能拡大が必要である点である。たとえば、消費者は携帯機器のコストを大きく上げずに機能が增える事を期待するが、このような相反する要求を満たすことは、将来のパワーアンプモジュール開発での最大の課題となる。技術の選択に影響を与える最近の顧客要求を記す。

GSM-EDGE、高速パケット通信(HSPA)、LTE(Long Term Evolution)、また他の通信規格の登場により、パワーアンプの設計者は、飽和パワーアンプでも同じような線形動作をさせる必要があり、線形パワーアンプと飽和パワーアンプへの要求が、ある種の収束を見せ始めている。通信規格の増大が、GSM-EDGE、LTE、HSPA、付加的なスイッチング機能、また必要となるアンプの数を最小にする組み込み負荷同調性を備えたマルチモード、マルチバンド(mm-MB)の市場シェアを増大させる結果になっている。平均の RF 送信電力が下がってきたため、中電力(16dBm)効率が、益々注目されるようになってきている。一つの解は、パワーアンプの 1 段あるいは全段をバイパスするオンチップ SW を用いることである。このオンチップスイッチは、同一チップ上に RF の FET と HBT を集積することを求めることになる。さらに近年では、複数の出力点で効率がとれるように集積化が拡張されつつあるが、バイアス制御やスイッチング動作がより一層複雑になる。

パワーアンプユーザーからはバイアス回路を洗練させてゆくことが求められている。負荷整合は、パワーアンプとアンテナで分け合う課題である。前から必要性が言われてきた適応型アンテナ整合(adaptive antenna matching)が、重要な案件となってきた。例えば、1)ピンやモード制御を可能にすること、2)温度特性補償、3)自動バイアス制御(パワーアンプが電力を検知してその値によってバイアスを調整する)、4)参照電圧を必要としない、などである。上記の3)に対しては、パワーアンプモジュールにパワーディテクタやカプラを搭載する必要が生じるであろう。また、4)に対して、NPN型トランジスタのみの構成では困難である。一般的にこれらの要求に応えるためには、高性能アナログFETとのBiFET集積化が望まれる。これは継続的に強く要望されていることであり、GaAs HBT に対してRF性能は劣るものの、BiCMOSは有望な置き換え候補となる。負荷整合は、パワーアンプとアンテナにとって影響の大きい、もう一つの課題である。適応型アンテナ整合(adaptive antenna matching)は、設計者に別の選択肢を与えてくれる。

バッテリー技術の変遷はすべての携帯製品にとって、もう一つの重要な課題である。使用済み電池の電圧が短期的の低下することは、パワーアンプベンダーにとって大きな設計・技術課題となる。このことが、システムレベルで引き起こされることと、直接関係しているためである。パワーアンプは、いまだ4から5Vの充電器に対応する必要があるが、動作は2.4Vのような低い電圧である。従って、パワーアンプの動作範囲は増加する傾向にある。もし必要な出力電力が変わらないのであれば、なんらかの形の負荷線切り替えが必要となる。電話機メーカーかパワーアンプサプライヤによってもたらされるかはともかく、このことは技術の選択に影響するであろう。また、パワーアンプに用いられるトランジスタにはより高い電流密度で動作することが求められるであろうし、これはまた、どの技術が使用できるかを制限するだろう。

低コスト要求が激しいことやパワーアンプがSIP (system-in-a-package)を採用する傾向は、技術傾向の予測を難しくしている。

GaN FET を基地局用アプリケーションに適用する際に直面する課題は、シリコン技術に対して著しい優位性を持つ可能性が有るにもかかわらず、恒常的に製品価格のプレッシャーを受けていることである。もし、GaN が基地局インフラで、シリコンを置き換え始めることができれば、GaAs や SiGe 技術による携帯端末で起きたように、量産効果によって、コスト低減曲線の実現は、比較的ドラマチックなものとなるだろう。

その他のIII-V族デバイスの課題を以下に示す。

1. 特に電力応用でのスケーリングされたデバイスの信頼性、
2. GaN のような高電力密度デバイスに対して、ウェハ薄膜化や局部冷却を含む放熱技術
3. パワーデバイス向けの高いブレイクダウン電圧やキャパシタや薄膜抵抗のような関連する受動素子
4. ミックスドシグナルや E/D (enhancement/depletion) モードデバイス向けの酸化保護膜や絶縁材料
5. リーク電流の低減や故障メカニズムの理解。特に、圧電性をもつ GaN 材料に対して。
6. 多層膜/配線の誘電体装荷による FET への影響解明や低減策を含めたミックスシグナル、パワーアンプ及び多機能トランシーバーモジュール向けの高歩留まりの多層配線技術
7. コストを左右する総合的な歩留まり、均一性の改善
8. 高密度なマルチチップモジュール(特に、Freescale の RCP (Redistributed Chip Package)や、DRAPER Laboratories の iUHD(integrated Ultra High Density technology))、或いは、chip-on-chip の異種チップ集積技術で集積された異なるデバイスや材料技術間のプロセス互換性

2.4 抵抗、インダクタ、キャパシタ、バラクタなどのオンチップ受動素子

RF や AMS の回路で必要なオンチップ受動素子の機能を SoC に集積するには大きな課題がある。

受動素子を作るためにはトランジスタ素子や配線を形成するプロセスが用いられるが、良好な受動素子特性を確保するために、しばしば専用マスクとプロセスが必要となる。そのため、能動素子と受動素子を共存させることはプロセスの複雑化と生産管理面での課題をもたらす。

配線の容量、抵抗、自己および相互インダクタンス、素子形成のための膜抵抗、基板抵抗および損失等の寄生インピーダンスや絶縁リーク、これら全てが受動素子の性能を律速する。オンチップ受動素子の性能に対する寄生インピーダンスの影響は技術要求の節に示す。

CMOS、BiCMOS、III-V および HVMOS など、いかなる半導体技術においても最小のコストでアプリの要求を満たす受動素子を実現することがキーの課題となる。MIM(metal-insulator-metal)容量を除けば、オンチップ受動素子は半導体の抵抗や MOS 容量、バラクタ、配線層によるインダクタや配線間容量素子(別名 MOM(metal-oxide-metal))など、既に用意されたレイヤーで形成できる。もしデバイスの性能が不十分であれば、追加のマスクやプロセスを使って高性能な受動素子を作る事が必要になる。

配線寸法のスケーリングの影響を直接受ける受動素子を、低コストかつ高性能を両立させる形で提供することが課題である。積層全体の薄膜化と同様に、個々のメタル層の薄膜化は抵抗損失や縦方向の寄生容量の増加を招く。これが、オンチップのインダクタ、トランス、MIM やメタル容量素子(MOM)の Q 値を制約することになる。

3. 技術要求

最初に、この節で多くの RF および AMS 技術に共通の性能指標(FOM)の技術要求を述べる。

高周波測定から信頼できる性能指数(FIGURES OF MERIT: FOM)を抽出することは、デバイス性能水準が向上し、抵抗や容量が減少するにつれて、より難しくなる。このため、信頼できるデータの下限である 20 fF 以上であるキャパシタンスを得るためには、十分なデバイス面積を持つことが望ましい。測定、寄生成分の分離、パラメータ抽出の手法によっては、高周波の FOM に大きな影響を与えうる。コンパクトモデリングに必要な

な精度を得るために複雑な手順を用いている企業もあるが、殆どの企業では、古典的な測定・モニター手法であるデバイスのカットオフ周波数を用いている[12,13]。

シリコンバイポーラや電界効果トランジスタに対して最も一般的に用いられている手法は、SOLT (SHORT-OPEN-LOAD-THROUGH)や LRRM (LINE-REFLECT-REFLECT-MATCH)といった標準のインピーダンス基準基板(ISS)のキャリブレーションに加えて、2つのダミーパターン(OPEN + SHORT)を利用する方法である。これらパターンのレイアウトや詳細な補正手法は各会社間で異なるであろうが、補正デバイスは METAL 1 や METAL 1 + METAL 2 といった電極へと接続する配線を保持しなくてはならない。このようにすれば通常、ユニティ電流利得(H_{21})のカットオフ周波数 f_t に対して非常に再現性のよい結果が得られる。高電圧や P 型デバイスのような、さほど性能が高くないデバイスにおいては、1つのダミーパターン(OPEN)を用いる手法で十分かもしれない。

現実の回路では、最上層の金属配線は、トランジスタと整合ネットワークが繋がれており、トランジスタの上に積まれた上層配線の影響を取り除くか、まったく使わないようにしている。RF では、最終的な回路に比べ、試験構造では、デバイス性能の過大評価を招くことになる。バイポーラ トランジスタの性能評価において de-embedding の影響は無視できるのに対して[15]、このことは、特に MOS トランジスタにおいて顕著となる[14]。このことは、最大の f_{MAX} や MAG 値が求められる VCO や電力トランジスタに MOS を用いる場合、トランジスタのレイアウトを最適化することの重要性が、際立つことになる[16]。結局、ITRS テーブルを用いる場合を含め、MOS とバイポーラトランジスタの高周波性能の直接的な比較をする際に、メタル配線の積層による性能劣化が考えられていないため、注意しなければならないことを示している。後者については、プロセス技術の後工程に強く依存している。回路設計者は、[13]や[17]で議論しているように、通常、トランジスタ上の金属配線について、de-embedding しないで性能を比較することを選択している。

ここで述べた校正や寄生成分の分離方法は普通ミリ波や III-V デバイスには使われない。III-V デバイスの測定にはウェハ上のキャリブレーション標準を用いたシングル TRL(thru-reflect-line)キャリブレーションが好ましい。この方法の大きなメリットはパッドや配線の DUT 端との寄生成分がキャリブレーションの段階で自動的に補正される点である。ウェハ上のキャリブレーション標準を用いた TRL は最近いくつかのグループで 100GHz 以上のシリコンデバイスの測定や校正の為に使用されている。[18,19]

ユニティ電力利得最大発振周波数 f_{MAX} は、ある周波数におけるメイソン利得(U)から得られる。しかしながらこの手法は、U が周波数の関数として 20 dB/dec のロールオフとなるということに依っているため、この FOM の精度に対して議論の余地がある。 f_{MAX} を確認する通常的手法は、広い周波数レンジで $f_{MAX} = \text{freq} \times \sqrt{U}$ をプロットする。これは、広い周波数レンジに渡って一定の定数が得られたなら妥当な評価となり、同時に f_{MAX} に対する測定誤差も得ることができる。

トランジスタの F_{MIN} (最小ノイズフィギュア、 NF_{MIN} 、dB 表示)の正確な抽出は f_{MAX} の抽出より一層大きな課題となる。市販の装置が利用可能な W-バンドまでの周波数では、ソースプル法が使用され、トランジスタのノイズフィギュアは幾つかの慎重に選ばれたソースインピーダンス状態に対してトランジスタの S パラメータとして測定される。校正後、最小ノイズフィギュアとトランジスタの IEEE ノイズパラメータが最小二乗法により外挿で求められる。50GHz 以上では、信頼できる de-embed ができず、ソースプル法での測定は困難なため、トランジスタの最小ノイズフィギュアは通常、50Ω のシグナルソースのインピーダンスでの LNA や受信機の最小のイズフィギュアから推定される。100GHz 以上での他のアプローチは、チップ上にソースプル装置を含めた方法である。バイポーラトランジスタの場合、S パラメータまたは Y パラメータ測定のどちらからか、全ての IEEE ノイズパラメータが抽出できる[20]。残念ながらこの非常に簡便な方法は、FET には応用できない[21]。しかし、(ソースプル法をディスクリットデバイスに用いることで)、ここでは III-V デバイスの 60GHz および 94GHz での NF_{min} を示す。また、上で述べたようにソースプル法は難しいが、94GHz およびそれ以上の LNA の雑音指数も示す。

バイポーラデバイスにとって、60 GHz, 94 GHz, 140 GHz または 220 GHz で測定され、補正された S パラメータから得られる他の重要な FOM は、コモンエミッタまたはコモンソースステージでの最大有能電力利得 (MAG) である。トランジスタの状態が不安定の場合、最大安定利得 (MSG) を抽出することになる。更に複雑なパワーアンプの MSG などの回路の性能指数は、MAG に関連づけられる。しかし、ここでは III-V デバイスのパワーアンプの大信号利得 (1dB コンプレッション) と、低ノイズに対する付随利得を示している。

3.1 RF CMOS

ここでは、ミリ波やマイクロ波のアプリケーションについて PIDS の章にある HP と LSTP 技術をベースとして継続して使用するが、2011 年版では特に、PIDS の章の 3 つの異なる技術オプションとなるバルク CMOS、完全空乏型 SOI、及びマルチゲートを反映させ、読者がこれら 3 つの技術のオプションを使用した際の RF やアナログ性能の違いを分かり易くした。更に PIDS の章やフロントエンドプロセス (FEP) 及びインテグレーションの章の中の膜特性やデバイスパラメータを用いて、デバイス構造による寄生インピーダンスに起因する性能限界を示す事を試みた。

これらの変化はロードマップの中の LSTP トランジスタのカットオフ周波数 (f_T) にはっきり現れており、PIDS テーブルのデバイスパラメータと密接に関連づけることにより、遠い将来のテーブル値を大きく向上させる結果となった。両方の技術での最大発信周波数 (f_{MAX}) のロードマップはデバイスパラメータと寄生インピーダンスの影響をより反映することになった。これによって最近の値は低下するが、長期的には 2009 年版と同様な増加が見られる。

システムドライバーの章で議論された狭帯域や広帯域のアプリケーションを反映するために例として LSTP 24GHz と HP 60GHz の低周波でのアナログ利得と最大安定利得 (MSG) と最小のイズフィギュア NF_{MIN} のロードマップを示した。またファンダリがオプションとして提供するアナログに親和性のあるトランジスタでのアナログ利得をテーブル化した。

Table RFAMS1 CMOS Technology Requirements

3.2 IV 族の Si BIPOLAR 及び BiCMOS

この章では、HS-NPN 特有の FOM 及び このデバイスを用いた回路に関する FOM について議論する。回路に関しては、各テクノロジーノード毎に抽出されたモデルカードを用いてシミュレーションを行った結果である。すべてのバイポーラデバイス (Si, SiGe, III-V) の f_T (Unity current gain : 電流増幅率が 1 になった時の周波数) 及び f_{MAX} (the maximum oscillation frequency : 最大発振周波数)、さらには、MAG (Maximum Available Gain : 最大有能利得) の最大値について、ITRS RF/AMS のチャプターで記述されている。

3.2.1 デバイスの FOM

このテーブルに記載されているバイポーラ特有の FOM としては、エミッタとコレクタ間の破壊電圧 BV_{CEO} 、コレクタとベース間の破壊電圧 BV_{CBO} 、更には、最大応答速度 (Slew rate : SLi) がある。実効的なエミッタ幅は、FOM ではなく、トランジスタの特徴を表す重要なサイズと考えている。HS-NPN のために示されている $f_T(Jc)$ がピーク時のエミッタ幅とコレクタ電流は、トランジスタを流れる電流を決めているが、その値は、エレクトロニマイグレーションの問題を避ける際に考慮する必要がある。

シミュレーションによって、信憑性のある破壊電圧を求めることが難しいことを説明することは重要である。より明確に説明するなら、最新のテクノロジーノードに対して求められた BV_{CBO} は、楽観的なもので、それは、トンネル電流が考慮されていないボルツマンの輸送式に基づいていることによる。バンド間のトンネル電流やトラップ アシストによるトンネル電流を考慮することで、より信憑性のあるコレクタの破壊電圧を見積もることが出来る。但し、トンネル電流に関するパラメータが正確に分かっている場合のみであることに注意する必要がある。研究が進むことで、破壊電圧が正確に予測できるようになることが求められている。

真性最大応答速度 SL_i (V/s) は、 f_T が最大となる時のコレクタ電流と出力容量の比 ($SL_i = I_C / (C_{BC} + C_{CS})$) で定義される。ちなみに、 C_{CS} は、コレクタと基板間の容量である。この真性最大応答速度は、高速な DAC、大信号な 50-Ohm の出力ドライバー、あるいは、レーザや光の変調ドライバーで使用されるトランジスタの最速のスイッチングスピードを表している。また、この真性最大応答速度は、CML HBT のインバーターチェーンの遅延 τ に関係している。

低周波ノイズ(1/f noise)とマッチングの値については、もはやテーブルには載っていない。それは、回路からの要求が変わらずに一定であるためである。1/f noise 及びコレクタ電流のマッチングの最大値($\sigma(\Delta I_C/I_C)$)は、それぞれ、 $1 \mu V^2 \cdot \mu m^2/Hz$ と 2% で、この 1/f noise は、もはや問題にならないが、マッチングに関しては、エミッタサイズが小さくなった時に悪くなると予想される。このように悪くなってしまうのは、トランジスタの構成において、どのようなトランジスタを選択するかに依存するが、ロードマップ上では仮定されていない。実際には、バイポーラトランジスタの ITRS の要求というのは、今日、市場で使用されている BiCMOS のような異なるトランジスタ構成にも、おそらく、広く役に立つと思われる。

Noise figure の最大値 NF_{MIN} もまた、記述されていない。というのも、 NF_{MIN} の値は、異なる動作周波数での低雑音増幅回路(Low Noise Amplifiers)に対して示されるものだからである。

3.2.2 回路の FOM

それぞれのテクノロジーノード(N1 through N5 in Table RFAMS2)に対して、異なる 4 つの回路の設計及びシミュレーションを行った。モデルは、先に記述した HICUM Level 2 SiGe HBT model を使用している。31 段の CML のリングオシレーターに対し、テーブルに記載されているエミッタ幅と長さが $L_E / W_E = 10$ 、テイル電流に対し、理想的なカレントソースを持つ CBEBIC の HBT を用いてシミュレーションを行った。段間の容量は、0.1 fF に設定されているが、特に古いテクノロジーノードでは、かなり楽観的な結果になる。遅延時間 τ_{CML} は、 f_{MAX} の最大値の逆数と良い一致を示している。

ミリ波応用の 3 つの代表的な回路、単体トランジスタのローノイズアンプ(LNA)、AB 級のパワーアンプ(PA)、コルピッツの発振器から得られた結果も記述されている。必要最小限のロスのない理想的な受動部品が、それぞれの回路で使用されている。これら 3 つの回路は、現在及び将来の応用で使用される代表的な周波数で設計及び最適化がされている。具体的な周波数は、60GHz、94GHz、140GHz、220GHz である。

LNA に関しては、エミッタサイズが最少サイズの 10 倍のコモンエミッタ HBT に対し、 NF_{MIN} と Associated gain が、各テクノロジーノード毎に代表的な周波数に対して、最適な Noise figure となる電流密度で決定される。HBT のコレクタとエミッタ間の電圧は、すべての場合において 1.2V とした。ノイズ相関に関しては、使用されたコンパクトモデルに含まれている[22]が、マッチング ネットワークは、考慮されていないので、 NF_{MIN} と Associated gain の値は、LNA の性能が最も良い場合のものとなる。実回路においては、予想された Noise figure とゲインは、受動部品を用いたマッチング ネットワークの有限の Q 値によって、悪くなる筈である。

PA に用いられるトランジスタは、10 倍の SiGe HBT を並列に 30 個並べられた (つまり、300 個の SiGe HBT を並列に並べた場合に相当する)ものである。このような構成のトランジスタに対し、1.5V の V_{CE} が AB 級の場合にバイアスされている。この場合は、11-16dBm の範囲の出力パワーレベルの結果が得られているが、値に関しては、テクノロジーノード及び動作周波に依存する。理想的な入出力のマッチングネットワ

ークは、ロードプルの技術を使って、各テクノロジー、各アプリケーション毎に最適化されており、最大の Power added efficiency (PAE) が得られるようになっている。最大の PAE で、エミッタの長さあたりのパワーゲインと出力パワーが、テーブルに記載されている。

理想的な容量及び tank インダクタと接続された Single-ended のコルピッツの接続形態を、代表的な発振回路として選択されている。この回路は、50-Ohm の端子と 20fF を持つ PAD でロードされているが、それらの値を選んだのは、実際の応用を想定し、直接的にエミッタ長さあたりの出力パワーと発振効率(得られた出力パワーを DC power の合計値で割ったもので定義される)を見積もるためである。トランジスターには、1.5V の V_{CE} と 0.3-0.4V の DC エミッタ電圧がバイアスされているが、これは、VCO 回路に適した蓄積モードの MOS(AMOS)バクタの調整範囲が得られるようにしたためである。各テクノロジー毎、各応用の周波数毎に、理想的な受動部品の値、トランジスターの総エミッタサイズ、そしてトランジスターのバイアス電流密度が、可能な限り最少の位相雑音になるように最適化されている。記載されているエミッタ長さあたりの出力パワーと発振効率は、最少の位相雑音となるバイアス条件での値である。発振のシミュレーションでは、ノイズ相関は含まれていないので、記載されている発振回路の位相雑音は、むしろ、悪目の値になっている。ノイズ相関を含んだシミュレーションが可能な HICUM Level 2 model は、商用シミュレータとして使用可能なので、ノイズ相関を考慮した発振回路の結果は、将来の ITRS のテーブルに記載されることになる予定である。

今回の 2013 年版バイポーラデバイスの技術要求テーブルで、変更された点は、以下の通りである。

1. HS-PNP トランジスターを削除した。
2. シミュレーションを用いて、HS-NPN のロードマップを作成した。
3. HS-NPN の FOM (NF_{MIN} removed, MAG added at 140 GHz and 220 GHz) のリストを最新版にした。
4. HS-NPN に対し、新たに RO, LNA, PA, VCO といった回路の FOM を追加した。
5. 年毎の f_T/f_{MAX} のスケーリングを削除し、代わって、SiGe HBT の N1, N2, N3, N4, N5 のパフォーマンスノードに相当する5個の特性について、書き入れた。

Table RFAMS2 RF and Analog Mixed-Signal Bipolar Technology Requirements

3.3 GROUP III-V III-V 族化合物半導体[バイポーラおよび電界効果型トランジスタ(FET)]

表の変更は、以下の通りである。

1. GaAs pHEMT のスケーリングは現在のゲート長 100nm で止まる。将来はミリ波用途において、ノイズ観点では InPHEMT/GaAs MHEMT に、パワー観点では GaN HEMT に取って代わられる。
2. InP HEMT と GaAs MHEMT のロードマップを合体した。両者は基本的に理想的なミリ波特性を有しており、2012 年の InP HEMT ロードマップに従えた。
3. チャネルの In 濃度を減じた Power MHEMT は、マイクロ波およびミリ波アプリケーションから除外した。Power MHEMT は、同一ゲイン、効率下において、パワー密度が非常に大きい GaN HEMT に急速に置き換わっていく。
4. ミリ波アプリケーション用の GaN 表は、重要な更新/変更をおこなった。2012 年表の一部にみられた過剰な特性を修正し、指標も 20nm ノードまで拡張した。

5. InP HBT と SiGe の FOM を、技術のトレードオフ比較が分かり易い様に並べた。60GHz と 94GHz の MSG、60GHz の NF_{min}、および InP HBT のスルーレート(SLi section 3.2.1 シリコンバイポーラ、BiCMOS デバイスの FOM と同じ定義)の追加をおこなった。高速 Si(SiGe) NPN バイポーラと InP HBT の利得とノイズの指標は、信頼に足るデバイス動作が可能な第一グローバル配線レベルの RF 測定基準面にて導出した。携帯電話のパワーアンプ向け InGaP HBT を表に追加した。指標は InP HBT に類似させたが、携帯電話業界が注目している周波数帯の MSG を加えた。

III-V デバイスはシリコンデバイスに比べると、比較的小さな規模で生産される。これは、特に、ゲート長が 100nm 未満に微細化された場合に顕著で、デバイスの応用が限定、特殊化されているために、ウェハ規模が非常に小さいためである。この点に関して、ITRS の表では、代表的な生産環境でデバイスや回路を作成するのに必要なプロセスについて記述している。代表的な生産環境という中には、リリースされた生産プロセスや完成度の高いデバイスモデルで構築されたデザインキットや信頼性のデータが含まれる。

III-V の表では、ある周波数での低ノイズやパワートランジスタの特性 つまり、ノイズ、パワー、ゲイン、効率だけでなく、デバイスの重要な真性特性が記述されている。それは、 f_T や f_{MAX} だけでなく、破壊電圧、最大電流、相互コンダクタンスも含まれている。今回、10GHz から 300GHz の周波数のうち、24GHz, 60GHz, 94GHz, 140GHz, 220GHz の 5 つの興味深い周波数を選択した。100GHz 以下の FOMs として、dB 表示された F_{min} と Associated gain を使用した低ノイズデバイスを示しているが、140GHz, 220GHz のように 100GHz 以上の場合、入力インピーダンスが低いために、ソースプル測定でノイズが最小になる最適なインピーダンス(“Gamma opt”)を求めるのが難しい。そこで、(MMIC の入力に対して、50ohm にマッチングがされている) MMIC 化された低ノイズアンプ単段で、dB 表示の noise figure (NF) を F_{min} の代わりに表に記述した。(これらの周波数で用いられている FET の周辺長は、2 x 25 μm である)。我々は、小信号の gain が、ある与えられた周波数で高い時は、単段の MMIC での NF は、複数段の MMIC の NF と同程度であることに注意する必要がある。デバイスの F_{min} と単段 MMIC の NF 間の期待される関係を読者に示すために、94GHz での値を示す。パワーデバイスに関しては、FOM として、単段のパワーアンプの出力パワー、大信号ゲイン(1dB 低下時)、効率をそれぞれの周波数に対して記述している。

Si CMOS に比べて、III-V デバイスの微細化は RF 応用にとっては課題がある。例えば、トランジスタのスピードやゲイン (あるいは周波数)を向上させていくのに加えて、デバイス設計者は、高出力や大きなダイナミックレンジの要求に答えるため、高い破壊電圧や高い動作電圧の実現に向けて、常に最適化を行っている。デバイスサイズの微細化だけでなく、デバイス設計者は、さらなるデバイス最適化を行う必要がある。例えば、エピタキシャル層の設計である。この技術を使えば、高い破壊電圧や高い移動度、高い飽和速度をサポートするためのデバイス層の調整を行うことができる。この章での III-V デバイスではすべて、イオン注入を用いずにエピタキシャル層を用いて形成されている。これは、課題はあるが、多くの利点も有している。利点としては、チャネルの電荷輸送特性向上に有効な量子井戸構造形成、チャネル閉じ込めに向けたバリア層形成そしてソースとドレインの寄生効果を最小にするために必要な高濃度にドーピングされたキャップ層形成があげられる。課題としては、プレーナなデバイス構造でないこと、ゲート電極の近接電界を調整するために掘り込み(リセス)技術を使用しなければならない点がある。さらに、III-V FET は、ゲート抵抗を低減するために、典型的に T 型あるいはマッシュルーム型のゲートを用いる点も課題の一つである。

破壊電圧は、材料特性とゲートの掘り込みの形状で決まる。一般に、チャネルの輸送特性が良い材料系では、破壊電圧を犠牲にしている。例えば、InP HEMT では、(InGaAs チャネルの高い In の濃度によって)優れた高周波特性を示すが、GaAs pHEMT では優れた破壊電圧を示す(低い In 濃度)。GaN 系は、優れた破壊電圧特性を持ち、輸送特性は GaAs pHEMT と同等である。与えられた材料系で、高周波特性と破壊電圧特性はトレードオフの関係を持っている。

Johnson Figure of merit (JFOM は飽和速度と破壊電界の掛け算)は、ゲート長やデバイスの微細化で僅かに変化はするが、ゲート長には依存せず、材料によって決まる。GaAs pHEMT, GaAs MHEMT, InP HEMT はほぼ同じ値を示す(これは、破壊電圧とチャンネルの In 濃度あるいは飽和速度のトレードオフに関してだが)。一方、GaN HEMT の JFOM は、基本的に大きな破壊電界を有するので 10 倍程の値を示す。

大まかな f_T は、チャンネル構成やゲート長によってスケールするが、それは、相互コンダクタンスの増加によるものである。 f_T の見積もりに直接的に影響をもたらすゲートとソース間容量 C_{gs} や他のパラメータは、ゲート長に関して一定である。それは、基本的に、ゲートの微細化による容量の減少は、ショートチャンネル効果を抑制するために要求されるゲートとチャンネル間の狭スペースや相互コンダクタンスの向上のために用いられる高いチャンネルチャージによって相殺されるためである。

F_{max} は、 f_T に比べてより複雑な振る舞いを示す。それは、デバイスの最適化に向けて複数の追加変数、例えば抵抗や容量が存在するためである。例えば、ゲート端での電界を調整するために用いられるゲートの掘り込み(リセス)は、ゲート、ドレイン間容量 C_{gd} を最適化している。 C_{gd} と破壊電圧は、ドレイン端の掘り込みを増やせば増加する。そのため、 F_{max} は、破壊電圧が増加するにつれて減少することになるので、結果として優れた高周波特性と高電圧動作の間で、トレードオフの関係を持つことになる。一方、ゲート長の減少に伴い、ゲート抵抗 R_g が増加することが予想されるが、この増加は、T 型ゲートによって解消される。但し、製造方法の複雑さだけでなく、T 型ゲートのトップとのオーバーラップによる C_{gd} の増加という代償はある。このことは、ゲートのドレイン側での電界を調整するために、GaN HEMT で一般に用いられているフィールドプレートにもあてはまる。更にフィールドプレート構造は、DC/RF 散乱(電流破壊)を抑制するため破壊電圧も高める。特にミリ波 GaN デバイスにおいては、ゲート、ドレイン間の寄生容量増による高周波特性劣化が無いように、フィールドプレート構造を最適化することが課題である。それでも、III-V デバイスは材料の優れた輸送特性のために、Si をベースとしたデバイスに比べて優れた高周波特性を示す。

III-V デバイスの最適化の自由度が高いために、ある材料系での FOM やあるゲート長での FOM の値は、ファンダリー毎に異なった値を示す。したがって、表での値は、トレンドとしての意味を持っているが、絶対値として意味や違ったデバイス間で矛盾しない値になっているものではない。

24GH の周波数帯は、wireless LAN 応用の可能性を持っている。60GH の周波数は、長い間、安全な衛星のクロスリンク用に軍隊で使われていたが、大気吸収率が高い領域に短距離通信として使用されるようになった。これは、短距離での周波数の再利用を容易にするため、混雑した領域での”last mile”接続に有効である。このロードマップの調査範囲では、94GH, 140GH そして 220GHz での応用について予想している。例えば、ポイント間通信、隠し持った武器の検出や上陸、着陸する飛行機向けに天候をイメージングするシステムといったものである。100GH から 1000GHz の周波数帯には、医療のイメージング、分光器そしてセキュリティといった多くの応用が考えられている。III-V の技術要求のセッションでは、24, 60, 94, 140, 220GH 毎の様々な技術選択をまとめている。

過去数年間は、特定の周波数における材料やデバイス技術が確定していなかった(ユーザーは多くの選択肢をもっていた)ことを表のまとめで紹介してきたが、この傾向はもう正しくないかもしれない。超低ノイズ(InP HEMT や GaAs MHEMT)、低消費電力(ポータブル機器における InGaP HBT)、超高周波(InP HBT)のアプリケーションにおいては、InP や GaAs 技術は今後も役割を担い続ける。しかし、特にパワーアンプではミリ波帯までを含めて、成熟した GaN 技術が広く使われていくであろう。GaN は、ロバストで高ダイナミックレンジのローノイズアンプでも魅力的である。特定のアプリケーションにおける技術の選択は、コストだけではなく多くの要因によって決まる。他の要因としては、インテグレーションのレベル、信頼性、動作電圧や、もちろんロードマップでフォーカスしている特性も含まれる。しかし、ある技術にとっては、廃れていくものや優先されていくものがあり、これらの予想は、ある年の表で、特殊な技術について、“白いスペース”(パラメータの欠如)として、暗に示されている。一般的なトレンドを以下にまとめた。

- 全ての FET 技術の指標はデプレッションモードのトランジスタに基づいている。エンハンスモードのトランジスタは開発段階にあるが、デジタルアプリケーション向け E/D モードロジック形成のためにデプレッションモード素子とインテグレーションするもの、電力アプリケーション向けのもの、いずれも本章のスコープ外である。
- III-V のパワーデバイスは、二つの領域に適用されている。GaAs PHEMT そして InP HEMT/GaAs MHEMT が用いられている低パワー(数十ワット)領域。GaN が主に用いられている高パワー(キロワット)の領域。
- III-V MESFET に関しては、表には含まれていない。GaAs MESFET は、まだ、10GHz 以下の応用に適用しているが、技術的な開発が行われていないし、GaAs PHEMT に比べてコストや信頼性で優れた特性が得られる新しいデザインが見当たらないためである。
- GaAs PHEMT は、徐々に表からなくなっていく。それは、100nm 以降、微細化が進まないし、94GHz 以上で GaAs pHEMT を使用する計画が見当たらないためである。しかし、GaAs pHEMT は、現在、ファンダリープロセス(Lg = 500, 250, 150 そして 100nm)として提供されているし、予想可能な将来の領域には、使用され続ける。GaAs pHEMT は、これから広がっていく高い周波数応用に向けて InP HEMT/GaAs MHEMT に次第に置き換えられていくだろう。また、優れたパワー特性を示す GaN は高パワーや高い周波数に応用に向けて、重要性が増していくだろう。
- InP HEMT と GaAs のメタモルフィック技術(MHEMT 素子)の基本的な RF 特性は同じであり、一つのロードマップに統合した。低ノイズな InP HEMT/GaAs MHEMT の技術は、ミリ波アプリケーションに向けてゲートの微細化が続けられており、25nm ノードまで続くと考えている。InP HEMT での InGaAs/InAs チャネルの構成のようなシュードモルフィック(pseudomorphic)の利用によって、等価的なランダム合金チャネル[23]に関連した電子移動度の向上をもたらす。InP HEMT/GaAs MHEMT の表には、将来の 70nm, 50nm, 35nm そして 25nm のゲート長の微細化とチャネルの In モル比の増加を示している。リストの In モル比の値は、複数の要素で構成された InGaAs/InAs チャネルの等価的な構成要素として見るべきである。
- Power InP HEMT/GaAs MHEMT 技術のスケールアップも盛り込んだが、アプリケーションが限定されているため 50nm で止まると考えている。破壊電圧は、短いゲート長と In モル比がトレードオフになっているので、2010 年代中に Power InP HEMT/GaAs MHEMT は、GaN HEMT に移行していく。
- III-V デバイスは特に、ミリ波の送信部に向けて GaN HEMT デバイスの特性向上と、より技術的な成熟度の向上に向けての大きな努力に焦点を注ぎ込み続けている。デバイスの動作周波数は、 f_T と f_{max} の増加と共に顕著に向上しており、かなりスケールアップが進んだデバイスでは、 f_T と f_{max} はそれぞれ、350GHz と 500GHz 以上の値に到達している。Johnson figure merit (f_T と破壊電圧を掛け算したもの)は、現存するミリ波用のデバイステクノロジーでは 5THz-V のレンジにある。最近のデバイス研究の特徴としては、0.1ohm-mm のソース、ドレインのオーミックコンタクトを実現することやエンハンスモードやデプレッションモードの同一ウェハ上での動作や自己整合によるゲート形成、InAlN バリア層の導入そして 50nm 以下のゲート長形成がある。W-band (94GHz) GaN MMICs は、この周波数帯で出力パワーのレベルがおおよそ InP HEMT や GaAs pHEMT MMIC よりも5倍大きな特性で、多様な仕組みによって実現されている。
- マイクロ波 GaN は、複数のファンダリーで生産されているが、表には含めていない。マイクロ波における GaN の主な特性は、コスト、効率、線形性である。商用、軍用のアプリケーションとも、線形性と効率は回路設計が牽引する。10 から 50GHz への応用は、ユーザーは高効率なスイッチモード動作で要求される調和性”Harmonic”を満たす条件で高いゲインを得るために 150nm GaN の技術を適用するだろう。この 150nm GaN は、現在複数のファンダリーで生産されている。

- ・ GaN はミリ波固体素子アプリケーションを牽引する技術として注目されている。今後 4 世代、ゲート長 120 から 20nm までのスケールングに対応した GaN HFET の式に基づく予測値を表に盛り込んだ。更なるゲート長スケールングは、220GHz 以上のミリ波アプリケーションに必要な、ゲインと効率の向上をもたらす。しかしながら、全ての半導体技術と同じ様に、高周波特性やゲインを向上させると、破壊(使用)電圧が低下し、結果出力パワー密度が下がってしまう。それでも GaN は競合する III-V や Si 技術の 5 倍以上の出力パワー密度を有しており、この周波数帯におけるパワーアンプの中心となる。注; GaN HEMT は他の FET と同様に表面に敏感な素子であり、DC/RF 散乱の影響を受ける。それぞれのノード、ゲート長の電力特性改善予測値は、ノードの成熟度に応じて DC/RF 散乱が減少することに基づいている。
- ・ GaN は高い強健性や線形性を要求する低ノイズ領域では、少量生産である。GaN のノイズ測定は GaAs PHEMT の場合と同程度である。また、リミッターが受信器のフロントエンドから消えたので GaN デバイスは System noise figure では、明らかに優れたノイズ特性を有することになる。GaN HEMT の技術は、1 から 24GHz の範囲で、wide band-with, 高い線形性そして競争力のある noise figure を示す。そしてスケールングが進むと、ミリ波領域で利用できる低ノイズ素子を実現できる。GaN HEMT の LNA を用いた RF の受信部は、大きなダイナミックレンジあるいは高出力な送信器を有する co-location の応用に向けて開発が進められている。改良されたデバイスの動作周波数は、広いバンド幅とノイズ低減に向けた改善に導いている。
- ・ InP HBT は優れた高周波特性を示す一方、ミックスドシグナル応用で SiGe HBT と競い合っている。数量が大きいアプリケーションでは、SiGe BiCMOS は、明らかにコスト面とインテグレーションレベルで有利性を持っている。その上、同等のリソグラフィで考えると、特性的には 4 倍の特性向上が得られる。その代わりに、InP HBT は、同じ Cut off 周波数 f_T で 3 から 4 倍の破壊電圧を得ており、ミリ波の周波数とサブミリ波の周波数の上限でアナログやパワー回路実現に向けて良い解になるかもしれない。少量から中量の低ノイズ、mmW パワー、ミックスドシグナルのアプリケーションにおいては、BiCMOS の NRE が高いため、SiGe HBT (BiCMOS) は III-V 族素子に代わっていく。
- ・ InP HBT の特性指標には、信頼に足るデバイス動作が可能な第一グローバル配線レベルの RF 測定基準面を用いた。 F_{MAX} と maximum available gain 値は、MAG と MSG の包絡線から求めた。MAG/MSG 値は、エミッタ長 3um 素子の J_e ピークにて取得した。 BV_{CEO} は、IC リークが 10uA/um² となる最大 VCE と規定した。 NF_{MIN} は、最適な DC バイアスとソースインピーダンスにて特定した。将来は、スケールング検討 (beta, RB/CBC のバランス) において、NF 向上に重点を置いていきたい。
- ・ InGaP HBT は、表に含まれる。開発の焦点は、主にコスト、インテグレーション密度の増加、効率向上、線形性(回路が牽引する)にあてられており、エミッタ幅スケールングの牽引力は小さい。
- ・

Table RFAMS3 Group III-V Compound Semiconductor FET and Bipolar Transistors Technology Requirements

3.4 オンチップ受動素子

オンチップ受動素子の技術要求表の見直しをおこない、MOS 容量、ポリシリコン抵抗、MIM (metal-insulator-metal) 容量、MOM (inter metal) 容量の修正をおこなった。その他に関しては、2011 年表と同一である。受動素子の進化に対する要求の歩調と、この分野の専門委員の参画が限られている(2013 年は 3 委員)ことを鑑みて改訂をおこなった。将来の仕事として、関係のある受動部品を配線のロードマップやある技術で使用される受動部品への要求の定義と密接に結びつけることが必要であろう。

3.4.1 インダクタ

インダクタは、高周波ワイヤレスの応用に向けた RF やマイクロウェーブで最も重要な回路部品の一つである。もし、 Q 値が非常に小さいと、集中定数回路は、所望の特性ターゲット値を達成することは出来ないだろう。スパイラルインダクタにおける高い Q 値やインダクタンス値は、通常ワイヤレス SoC/RF IC からの要求である。インダクタの重要な特性は、そのインダクタンス値や、寄生容量、寄生抵抗で、 Q 値や自己共振周波数 (SRF) を決定されることである。インダクタンス値は、第一次近似においてスパイラルの平均直径によって決まり、通常の配線の様にスケールアップされるという訳ではない。SoC で形成されたインダクタの損失は、以下の三つの合計によるものである。1) インダクタの DC 抵抗 2) 伝導膜中でのスキニング効果による抵抗成分 3) 基板中のエディーカーレント誘起と誘電体損出による抵抗成分。小さな抵抗で所望のインダクタンスが得られれば、 Q 値を大きくすることができる。DC の抵抗は配線の微細化によって増加傾向にある。また、DC の抵抗を下げようと、より抵抗の低い配線を用いたとしても、AC 抵抗は大きくなってしまう。一般の SoC のインダクタでは、最上層の厚い金属層、もしくはインダクタのために専用に設けた極厚の金属層が用いられ、抵抗値が重要なアプリケーションでは、スケールアップによるローカル配線の抵抗値上昇を回避するため、厚膜アルミが用いられている。

自己共振が起きると、インダクティブリアクタンスと寄生の容量のリアクタンスが同じ値になる。自己共振よりも大きな周波数では、インダクタは容量性になり、インダクタの特性はなくなる。なので、インダクタの SRF は、動作周波数よりもずっと高い値にするべきである。SRF を上げるためには、インダクタが有するシリコン基板との寄生容量を抑制する必要がある。インダクタの寄生容量は、面積に依存し、高周波用途ではインダクタンス値が小さいため、寄生容量は小さい。また、寄生容量はインダクタの下誘電体と半導体の積層にも依存する。配線スケールアップにより積層厚が減るため、寄生容量に占める誘電体成分が増加する。これが追加の配線層 (下の伝導層からの厚い分離をおこなうために高積層) を設けるもう一つの理由である。

インダクタの最大の直径は、分散効果を避けるために、 $\lambda/30$ よりも短くすべきである。高周波の応用は、サイズが小さいこと共振周波数が高いことが求められる。結果として、インダクタンスの密度もまた、より重要になってくる。従って、インダクタ素子の主なデザイン目標は、直列抵抗のロスをも最小にして Q 値を大きくすること、並列の寄生容量を最小にして、インダクタンス密度と共振周波数を大きくすることである。これら3つの特性は、配線層のスケールアップと矛盾する。これらに対する典型的な解としては、配線スケールアップ則に従わない厚い金属層を追加 (限定使用) で使用することである。もう一つ良く使われる解は、追加コストはかかるが Q 値が高い MEMS (microelectromechanical system) インダクタを後工程でインテグレーションすることである。

3.4.2 キャパシタ

SoC RF やマイクロウェーブで一般的に使用されているライナーのキャパシタは二種類ある。1) 交互に組み合わさったような形 (interdigitated/inter-metal) (MOM 型) のもの、2) 金属—絶縁膜—金属 (MIM) 型のものである。どちらを選択するかは、主にその容量値に依存している。伝統的には Interdigitated 型 (MOM 型) は数 pF 以下でのみ使われ、それ以上では全体の物理的サイズが縮小でき、分散効果を抑制できる MIM 型が一般的に使われてきた。しかしながら、この傾向は後で説明するが変わってきた。CMOS のテクノロジーノードのスケールアップに合わせて MOM 型の容量密度が増加していくためである。200pF より大きな容量の場合は、ダイの面積増が問題となるため、MOS 容量や外付け容量が必要となる。MOS 容量は非線形であり、等価直列抵抗 (ESR; equivalent series inductance) が大きいため、高周波での使用に制限がある。

キャパシタの特性は、 Q 値、寄生等価直列抵抗 (ESR)、寄生等価直列インダクタンス (ESL; equivalent series resistance) に強く関係付けられている。抵抗成分によるロスと寄生 ESR、ESL は、キャパシタの電極をつなぐことで引き起こされる。高い Q 値を得るには、配線と電極の電導ロスを低減することや小さなロスタンジェントを持つ誘電体を用いることが有効である。

高周波での特性向上、受動回路の密度を上げる、コストを下げるためには、大きな容量密度が強く求められている。酸化シリコンや窒化シリコンが通常、MIM キャパシタに用いられている。それらは、優れた電圧係数を持ち、温度係数も小さい。しかし、容量密度は、低い電気誘電率によって制限されている。誘電体を薄くすることで容量密度を上げる試みは、通常、大きなリーク電流が起きてしまい、ロスタンジエントが劣化する。そこで、誘電率の高い材料が優れた電気特性と回路密度を増加させるのに使われる。

MIM 容量は、2 つの金属層の間に薄膜の high-k 誘電体を挟んだ縦型素子であり、容量密度はテクノロジーサイズによりスケールアップされない。ディープサブミクロン CMOS (<<100nm) におけるスケールアップでは配線間隔が縮小されるため、交互に組み合わさっている配線間の水平方向の間隔が小さく、MOM の容量密度は増加する。結果、MOM 容量密度は MIM 容量密度を既に上回っている。MOM 容量密度は、約 10 年で 3 倍になると期待されている。配線間容量には、対抗する MIM 容量の様に特別な誘電体層やプロセス工程の必要がない。それゆえ、MIM オプションは、高 Q 化に進み、用途は特殊なアナログ、RF アプリケーションに限定されていく。ファウンダリーの中には、MOM に対抗して高密度 MIM 容量オプションの提供を始めたところがあることも記しておかねばならない。

3.4.3 バラクタ

バラクタは、端子間に印加された電圧の関数で容量値が変化する可変容量である。これは、チューナブルな発振器、フィルタ、フェイズシフターなどに使用されている。高周波での可変容量の特性を記述する F.O.M は

- 1) 容量可変範囲、キャパシタンス比 C_{MAX}/C_{MIN}
- 2) コントロールできる電圧範囲全体での Q 値
- 3) また、上記の範囲でのチューニング特性の線形性 : dC/dV

大きな Q 値や 2(典型的な値)以上であるキャパシタンス比、そして線形性の良いチューニングが求められる。可変容量は、一般には、逆バイアスされた pn 接合あるいは MOS 容量の空乏層領域幅を調整することで得られている。

3種類の可変容量構造が、典型的に Si の集積回路に使用されている。

- 1) HBT のベース-コレクタ(BC)領域にある pn 接合あるいは MOSFET のソース、ドレインと基板間にある pn 接合。
- 2) 蓄積モードの n-well MOS (AMOS)可変容量で nwell 中に配置された n チャネル MOS を使って作成されている。この構造は蓄積状態(MOS トランジスタの反転状態とは正反対)でチャネル抵抗を下げ、特にミリ波の周波数で Q 値を最大にするために用いられる。
- 3) 特別なインプラントが必要で最も大きなキャパシタンス比を示す超階段 pn 接合あるいはショットキー可変容量は、特別なプロセスでのみ使用可能となる。

最近の 10 年の間に、ナノスケールの CMOS 技術の発展によって、蓄積モードの n-well MOS 型の可変容量が、最も人気のある可変容量デバイスになった。AMOS バラクタは、通常の CMOS プロセスで追加工程なしで実現できる。典型的な可変容量の可変範囲は 2-3 fF から何 10 pF である。可変容量の Q 値は周波数の逆数に比例し、直列抵抗のロスと可変容量のリアクタンスによって決まる。

3.4.4 抵抗素子

インテグレーションされた抵抗体は、誘電体基板上のロスのある薄い金属フィルム(それは、配線間にあるメタル間絶縁体(IMD))かポリとか high-k のインテグレーションで使用するメタルといったゲート材のどちらかで形成される。薄膜抵抗体として、ニクロム(典型的には、NiCr だが、鉄 Fe が含まれていることもある)や TaN が最も人気のある膜である。SiCr やポリ Si の薄い膜もまた、薄膜抵抗体として使われている。RF の応用にとっては TaN が、NiCr よりも望ましい。なぜなら、NiCr には必要のない磁性材料が存在しているため、NiCr の Ni のことだが、それが、マルチキャリア ワイヤレスのシステムで、不必要な相互変調が生じさせる。さらに、TaN は、比較的、容易に Cu ベースの配線に導入できる。NiCr と TaN は、普通、III-V 系にも使用される。平面的な膜の抵抗体との共通の問題は、基本的な誘電体領域で生じる寄生容量成分と分布的に存在するインダクタンスである。これらの寄生効果は、高周波で周波数依存性を持つ。大きなシート抵抗を持つ膜を導入し、抵抗体を短くすることは、これらの寄生効果を抑制することに役立つ。抵抗体に望まれる特性は以下のようにまとめられる。

- 1) 抵抗値が時間変動しない
- 2) 抵抗の温度係数(TCR) が低い。
- 3) 寄生効果を最小にするため、そして抵抗体の長さが、 0.1λ 以下を保障するための大きなシート抵抗 ($k\Omega/\text{square}$ 以上)が必要。 0.1λ 以下というのは、分布効果が無視される長さである。
- 4) そして、適当なエネルギー散逸性能

受動素子に求められる耐性は、図 RFAM3 におおよそまとめられている。アナログと RF への応用には、典型的に、 $\pm 5\%$ 以下の小さなばらつきと受動素子間の良好なマッチング特性、高い Q 値や大きな自己周波数と言った高い特性を必要とする

Application / Element / Values / Typical Required Tolerance			
Damping/	Resistor /	(10-50 Ω)/	$\pm 30\%$
Bypass/	Capacitor/	(20 pF-1 μF)/	$\pm 30\%$
Pull-up, Pull-down/	Resistor/	(500-1 M Ω)/	$\pm 10\%$
Integral calculus circuit/	Capacitor /	(100 pF-1 μF)/	$\pm 15\%$
Differential circuit/	Capacitor	(10 pF-10 μF)/	$\pm 5\%$
Oscillator circuit/	Capacitor	(1 pF-10 μF)/	$\pm 5\%$
Bias circuit/	Resistor/	(1 k-10 M Ω)/	$\pm 1\%$
IC controlling/	Resistor/	(>10 k Ω)/	$\pm 1\%$
Filter	Capacitor/	(< 1 μF) and Inductor (< 100 nH)/	both $\pm 5\%$
Impedance matching/	Resistor/	(50-100 Ω)/ Capacitor/	(< 10 nF)/ and Inductor/ (< 100 nH)/ all $\pm 5\%$

Figure RFAM3 Required Tolerances depending on the applications

3.4.5 ミリ波用オンチップ受動素子

オンチップのミリ波用受動素子は、キャパシタ、抵抗体、インダクタ、可変容量、電送線路、アンテナそして、アンテナ共振器である。以前に、RF のところで議論されたように、ランプインダク

タ、変圧器、MIM/MOM 容量、pn 接合や AMOS n-well 可変容量は、シリコンの SoC で搭載されているローノイズアンプ(LNA)、パワーアンプ(PA)、位相シフター、電圧制御発振器、そしてミキサの占有面積を最小にするために重要な役割を果たし続けている。これらすべての素子の有効な応用は、III-V の回路だけでなく、CMOS や SiGe BiCMOS 回路で、“RF”と“スタンダードなデジタル”のバックエンドの両方で、少なくとも 170GHz まで動作していることが実証されている。しかしながら、受動素子間の協調的な取り組みが、ファンダリーがミリ波用に適したインダクタ/変圧器やキャパシタを供給するために必要である。それは、10pH から 100pH を持つインダクタ/変圧器や 5fF から 100fF のキャパシタのことである。変圧器にとっては、トップの 2 層間を近づけたり、横方向のスペースを近づけたり(ファインピッチ)することで、0.8 から 0.9 の大きなカップリング係数 (k) を得ることができる。RF のバックエンド工程での厚い金属膜や厚い誘電体もまた、ミリ波領域で高い Q 値の受動素子という恩恵を得られる。なぜなら、周波数と共にスキンドプス(skin depth: δ)が減少していく ($\delta \approx 1/\sqrt{f}$) ので、1 μ m の厚さの金属でも 60GHz あるいはそれ以上の周波数での多くの応用に関して、十分であるためである。逆に、厚い誘電体は、寄生容量や基板ロスの低減という点で RF の周波数よりもミリ波でより重要になる。ミリ波回路では、波長が短いために、マッチング素子として伝送線路がより多く使用される特徴がある。伝送線路は、典型的に、Si 回路へ最上層金属中にマイクロストリップラインとして搭載されている。そのラインには、Si 基板上に置かれたグランド平面があり、2 から 5 の低い層の金属で形成されているが、たびたび、ロスを低減するために、ショートして使用する。Si 上基板上のグランドにつながったグラウンドコープレーナウエーブガイド(Grounded coplanar waveguides)や Si 基板上に直接存在するコープレーナウエーブガイド(Coplanar waveguides)が使用されている。時々、“Standard”なバックエンドで、特に、“Slow wave”な伝送線路やシグナルの流れる方向に対し、垂直な方向へ低い金属層のバーを使用して、単位面積あたりのインダクタンス値を増やしたり、マッチング素子のロスや面積を最小にすることが利用されている。だんだん、100GHz 以上の周波数で、そして、厚い金属のバックエンドで、全体のアンテナ効率が、現在、50%を越えるようなアンテナやアンテナ共振器を搭載することが、実行できるようになってきた[24-26]。電送線路とアンテナは、現在のオンチップ受動素子表には掲載していないが、将来の見直しで考慮していく。

Table RFAMS4 Passive on-Chip Technology Requirements

4.0 解決策候補

4.1 RF CMOS

本章では、ゲート抵抗や寄生容量の低減、高精度化された高周波デバイスモデルに関する解決策候補を提示し、デバイスの直列抵抗や出力コンダクタンスの低減の必要性に言及する。

ゲート抵抗は $f_{\max}$ と $NF_{\min}$ の主な劣化要因である。ゲート電極を構成する複数の積層膜間の界面抵抗の抑制がゲート抵抗全体の低減に寄与する。単一の金属でゲート電極を形成すれば、異種界面をなくすることができる。また、メタル裏打ちされたゲート電極構造あるいは III-V 族化合物半導体で用いられている T 型ゲート構造、といったゲート電極構造の工夫によっても、顕著なゲート抵抗の低減が期待される。

多層配線の上層に位置する伝送線路と楕型トランジスタ(マルチフィンガデバイス)との接続線路に付随した寄生容量は、 $f_{\max}$ や MSG の抑制主因の一つである。デバイスサイズの拡大によってもたらされる配線間隔の拡大により配線容量を削減できるが、一方その結果として、デバイスサイズの拡大による配線抵抗や拡散層容量の増大といった負の側面もある。それゆえ、デバイスサイズの最適化には留意が必要である。

一般的なファンダリーにおいては、第1層配線あるいは第2層配線までを含めたトランジスタのデバイス特性を記述したデバイスモデルが提供され、より上層配線への接続は設計者の自由裁量に委ねられる。それにより設計のフレキシビリティは確保されるが、一方回路性能に対する高精度のシミュレーション結果を得るには、設計者が上層配線も含めた全配線層の寄生インピーダンスを抽出しなければならない。全配線層を含めたモデルや所望領域の寄生インピーダンス抽出するモデルは、初期段階における回路設計において、回路シミュレーション精度を改善する。

デバイス直列抵抗やトランジスタの出力コンダクタンスもトランジスタ性能を制限する。これらを改善するデジタルデバイスの構造的工夫が必要となっている。

4.2 GROUP IV シリコンバイポーラおよび BiCMOS

HS-NPN の f_{MAX} を継続的に改善する手法として、デバイスの寄生抵抗・寄生容量を低減する縦方向デバイススケールングに対応したリソグラフィ技術の改善があげられる。これにより、ベース抵抗 (R_B) を低減させるエミッタの細線化や、ピーク f_t における単位長あたりの電流を低減させることができる。ベースの薄層化やコレクタの高濃度ドーピング化など積極的な縦方向プロファイル改善に対して、 f_{MAX} の改善とピーク f_t における単位長あたりの電流低減はトレードオフの関係にあり、対応する配線に流れる電流の信頼性許容範囲内において f_t を増大可能である。 f_t と f_{MAX} との改善は、ミリ波デバイスの性能要求に対応した高周波領域におけるノイズ特性も改善する。

縦方向プロファイルの制御には限界があり、化学気相成長法 (CVD 法) もはや解決策にはならない。なぜならば、今日すでにコレクタを含むドーピングプロファイルはその成膜厚によって制御されるのではなく、その後に施される熱処理による添加物 (ドーパント) の熱拡散によって決まるからである。それゆえ、CVD プロセスの均一性や再現性に加え、拡散層の厚さや添加物濃度のインライン制御に関しても継続的改善が期待されている。非選択エピ成長 (NSEG) よりも選択エピ成長 (SEG) に対しての期待が大きい。縦プロファイルを改善するための解決策には、スパイク/フラッシュアニール技術やレーザーアニール技術や熱負荷の少ないシリサイドモジュール、といった先端 CMOS で開発された低熱処理プロセスが含まれる。[27]

寄生損失は利得特性を著しく制限する。 f_t や R_B (f_{MAX}) を改善させるためのコレクタ領域のドーピングプロファイルやベース領域のドーピングプロファイルの微細化は、 R_B - C_{BC} とのトレードオフにさらされる。エミッターベースの自己整合化からエミッターベースとベース-コレクタの自己整合化、といった最先端のデバイス構造に関する研究開発が、革新的構造に関する提案を加速させている。これらの構造は、内因性ドーピング領域と外因性ドーピング領域との相互反応を抑制し、ベース-コレクタの接合領域を縮小させることができる。[28] このような構造あるいは潜在的なその他構造も含めた継続的開発が、ロードマップに対応した f_{MAX} のスケールングを可能とするものと期待される。

エミッタ幅 (W_E) の縮小によって生じるエミッタ抵抗の増大といった課題に関しては、未だブレークスルーが見いだせていない。エミッタ抵抗を低減するための継続的改善が、エミッタ形成プロセスやトランジスタ構造に対して必要とされている。BiCMOS 技術は、シリサイドやコンタクト抵抗の低減といった CMOS 技術で培われた技術改善の恩恵を受けている [29] が、いまだ大きな課題である。

消費電力の抑制やコンタクトを含む金属配線層のエレクトロマイグレーション性能に準拠する $W_E \times J_C$ 積 (J_C : ピーク f_t 時におけるコレクタ電密度) の確保に向け、 W_E の低減も進められている。BiCMOS 技術は、CMOS 技術で見越された技術改善を取り込む必要があるが、トランジスタへの配線に関して特別の配慮が必要とされる。コア CMOS から導かれる配線デザインルールのいくつかがバイポーラトランジスタに対して適用できるに過ぎないからである。



Figure RFAMS4

High-Speed SiGe BiCMOS Potential Solutions

4.3 GROUP III-V III-V 族化合物半導体[バイポーラおよび電界効果型トランジスタ(FET)]

これまで、化合物半導体はシリコン産業で開発された先端露光技術やプロセス装置を巧みに利用してきている。これを継続的に続けてゆくには、化合物半導体のウェハ径をシリコン産業で使われているものの1世代あるいは2世代前のものに追従してゆかねばならない。しかしながら、III-V 族化合物半導体デバイスに対する量的要求は III-V 族半導体基板のスケーリングに要求される投資に見合うものではない。今日、ほとんどの III-V 系ファンダリーは依然として 100mm で操業しているが、150mm 径の半絶縁性 GaAs 基板は量産されるにいたっている。InP 基板は 100mm 径を入手できるが、150mm 径も要求に答えて出てきている。シリコンカーバイド(SiC)半絶縁性基板や RF 応用に GaN HEMT に関しても 100mm 径どまりで、150mm 化への計画は中断状態にある。III-V 系半導体技術は、次世代に対して 450mm 径基板化を進めているシリコンに対して、2~3世代遅れている状態にある。III-V 系とシリコンとの製造インフラのギャップは実際には大きくなっている。

一つの潜在的解決策は、シリコン基板上に III-V 族半導体デバイスを形成することであり、究極的にはシリコンファンダリーにおいて III-V 族半導体デバイスを製造することかも知れない。たとえば、シリコン基板上への GaN のエピタキシャル成長技術の進展は、200mm 径基板上にデバイス形成可能な高品質 GaN HEMT 対応のエピタキシャル層の成長を可能とさせている[30]。これにより、現存する 200mm のシリコンファンダリー内での GaN HEMT デバイス製造可能性に道が開けつつある。Si 基板上の GaN の技術進展は、数 10GHz 帯といった RF 無線産業用途よりは、数 10MHz 帯動作回路から構成されるパワー変換/制御用工業製品(たとえば、スイッチングトランジスタ)により牽引されている。その結果として、基板抵抗や損失はそれほど重要因子とはなっていない。とはいえ、エピタキシャル成長技術のさらなる発展により、シリコン基板上の GaN は RF 市場に参入してくるであろうし、顕著なコスト優位性をもたらすであろう。

8 nm ノード以降の CMOS において InGaAs チャネル化がシリコン業界で検討されていることも、シリコン工場内における大口径シリコン基板上への III-V 系デバイス製造の機会を創出している。しかしながら、III-V プロセスモジュールに対応したシリコンデバイス工場を作るためには、更なる開発が必要とされている。

化合物半導体における均一性、再現性、製造歩留はシリコンベースの技術に対して遅れている。シリコンに対する製造インフラや研究開発に対する多大なる投資や量産数量の圧倒的差異を考慮すれば、これは驚くに値しない。例えば、III-V 族化合物半導体は蒸着とリフトオフ技術や配線形成工程において電解めっき技術をいまだに利用している。これらの技術は本質的に“汚く”、それゆえシリコン系で利用されている成膜/エッチングによるパターンニング/CMP からなる一連のプロセスと比較して、低歩留まりの製造プロセスとなっている。シリコン系製造インフラとその高歩留プロセス技術を活用し、III-V デバイス製造をシリコンファウンドリー内製造に移行してゆくことは、均一性、再現性および歩留まりへの改善へ道である。ある特定分野の化合物半導体技術の量産数が増加してゆけば、シリコンと大して違いのない習熟曲線に従って製造コストは低減してゆくであろう。

基板口径のスケーリングや集積密度改善に対する別の解決策は、シリコン基板上のシリコン CMOS デバイスと III-V デバイスとのヘテロインテグレーションである。このヘテロインテグレーションによるアプローチは、SiGe BiCMOS プロセスと同一範疇の技術に属し、SiGe HBT を III-V トランジスタに置き換えにすぎない。ヘテロインテグレーションによるアプローチは、高密度のデジタル回路と高性能の III-V トランジスタとを融合し、シリコンあるいは III-V 化合物半導体の単独技術では得ることのできない性能を有するデジタル RF 化されたミックスドシグナル回路を可能とする。Si CMOS と InP HBT とのインテグレーションに代表されるような DARPA の COSMOS プログラムにおける最近の進展は、ヘテロインテグレーション手法の実現可能性を立証している[31]。更に GaN HEMT も Si CMOS が形成されたシリコン基板上に成功裏にインテグレーションされている。ただし、ここで再度注意を喚起させるが、ヘテロインテグレーション手法による真のコスト・パフォーマンスの優位性を実現するには、シリコンファウンドリー内に製造プロセスを完全に移植させる必要がある。III-V 化合物半導体のプロセスモジュールを Si 量産プロセスと整合させるには、かなりの開発が必要である。

光露光装置に対して技術進展が著しいが、比較的量産規模の小さい III-V 族化合物に対して、0.25 μ m 寸法以下に対応したマスクコストの増加に加え、装置コスト増が重荷となっている。電子線直描はマスクコストに対する解決策の一つではあるが、時間当たりのウェハの処理枚数に匹敵するまで、大電流の電子線源と高速のアライメントとにより III-V 化合物ウェハのスループットを増大させなければならない。III-V 用プロセス装置の市場は小さいので、装置ベンダは III-V 対応ファウンドリー向けに新たなプロセス装置開発に積極的ではない。幸運にも高スループットと高解像度の電子線露光技術がシリコン製造に対して開発中であるが、III-V 族化合物ファウンドリーには、高価すぎるかもしれない。シリコンファウンドリーが大口径で III-V 族素子を製造することが、これらの装置を導入するには必要となるかもしれない。

GaN RF/パワーデバイスに対し、高抵抗かつ高熱伝導性を示すシリコンカーバード (SiC) 基板は事実上の業界標準となっているが、その基板やエピ層の品質にはいまだ改善の余地がある。GaN 基板をもちいれば、ホモエピタキシーを利用して優れた品質の GaN HEMT エピ層の成長が可能となるが、いまだ研究開発中とはいえ、GaN 基板の成熟度は品質および口径に関して明らかに劣勢である。また、GaN 基板は SiC 基板に比べて熱伝導性に劣り、先端材料やデバイス構造により将来達成されであろう III-V デバイスにおけるパワー密度の増大は、サーマルマネジメント上の重荷となっている。例えば、SiC 基板は GaAs、InP や Si 基板に対して高い熱伝導率を有しているため、GaN トランジスタで実現可能なされる 5 倍から 10 倍の高パワー密度といった GaN トランジスタの優位性を弱めている。

典型的な対応策は、デバイス裏面からグランドプレーン内に組み込まれた受動的あるいは能動的放熱器へ熱拡散させるため基板を薄膜化することである。このアプローチは、GaAs や InP などのマイクロ波デバイスに対して有効である。一方、高パワー密度化に向かう GaN 技術やミリ波帯域への展開が、高放熱抵抗による課題を引き起こしている。これらは、バンドギャップ調整用としてデバイス中に存在する 3 層あるいは 4 層の高い熱抵抗のエピタキシャル層の存在や、ミリ波デバイス対応したデバイス微細化に関係している。基板を薄くすることにより、特にゲート寸法の小さなデバイスに対して、高熱抵抗層であるエピタキシャル層やダイア

タッチ材の寄与が際立ってくる。サーマルマネジメントの改善策としては基板薄膜化が有効であるが、その一方基板厚は、特にマイクロストライプ線など、RF 特性をも考慮した上で決定する必要がある。

基板薄膜化に加え、デバイスのサーマルマネジメント対策として、熱拡散用ビア、チップ表面側の放熱構造や局所冷却などの手法も挙げられている。金製の高放熱性材料プラグ材をトランジスタの発熱領域近辺に設置した熱拡散用ビアの実装がすでに試験されている。ただし、熱膨張係数の不一致による熱ストレス発生が課題である。その解決策として、高い放熱性と基板材との熱膨張係数(CTE)と整合するナノ材料の開発が期待される。チップ表面側への金製の放熱シャントの設置もすでに試みられてはいるが、それによる回路中の電界分布への影響が懸念される。最近、ダイヤモンド基板上に形成された GaN HEMT が熱障害を克服する解決策の一つとして脚光を浴び始めている。いくつかの企業は、デバイス可能な品質の GaN HEMT 対応エピタキシャル層を、比較的低コストな多結晶ダイヤモンド基板上に形成する技術を開発中であり、これによりヒートシンクへの低熱抵抗の放熱パスが形成される。但し、この手法を完成させ、実用レベルの基板径にまでスケールアップするには、かなりの開発が必要である。DARPA (Defense Advanced Research Projects Agency) の冷却サイト開発に特化したプログラム(NJTT; Near Junction Thermal Transport)は、高放熱スプレッダー、マイクロエア冷却や高熱拡散性のダイアタッチ材に取り組む一連のプログラムの一つである。サーマルマネジメントへの解決策は熱源たる拡散層からの放熱経路を構成するすべてのコンポーネントを含む。グラフェン製の放熱スプレッダーやグラファイト製の界面放熱材料といった別形態の炭素材も熱問題への解決策を提供してゆくであろう。

平面構造の自己整合ゲートとイオン注入あるいはエピタキシャル膜の再成長によるコンタクト層形成とによる Si CMOS とは対比的に、高周波特性や高電圧を実現するため GaAs あるいは InP ベースの電界効果トランジスタ(FET)に対しては、ゲートリセス構造が用いられる。このリセスプロセスはエピタキシャル成長のエッチング停止層と高選択エッチングとを利用し、高歩留まりのプロセスを実現している。高歩留まりの選択性リセスプロセス開発がさらに必要ではあるが、この手法はミリ波帯域へ GaN HEMT をスケールアップするためにも用いられつつある。III-V 系 FET 形成の別手法では、ゲートのドレイン側の電界を制御・調整するためのフィールドプレートを用いる。このフィールドプレートの適用は高周波特性を劣化させるが、高電圧特性を改善する。III-V 系パワーデバイスに対する電界強度改善のため、パッシベーション(絶縁被覆)とホットキャリア耐性に関する開発も必要とされている。シリコン対応技術として開発された技術ではあるが、ALD 法による高密度でナノレベルに膜厚制御された積層絶縁膜コンポジットは、その潜在的解決策の一つである。

ミックスドシグナル応用の電子機器において、10V 以上の電圧スイングに十分対応可能なトランジスタを持っていることが極めて望ましい。ミックスドシグナルやアナログ応用において、トランジスタの周波数特性改善のためスケールアップすると、耐圧低下といった代償を支払わなければならない。その結果、回路のダイナミックレンジが著しく制限され、適用範囲も制限されてしまう。SiGe の集積レベルは InP に比べて数桁高いが、InP HBT は SiGe HBT に対して、エミッタ構造が同一の場合より高い耐圧を示し、またトランジスタの動作周波数の点でも有利である。うまくスケールアップし、ワイドキャップコレクタを用いることで InP HBT の耐圧を保つことができる。GaN HEMT はジョンソンリミット(f_T と耐圧の積)が 10 倍になる可能性を秘めており、さらに期待できる。ミキサーのような RF 回路特性はデバイスのダイナミックレンジに直接影響される。周波数特性を上げるためにスケールアップする際には、ダイナミックレンジ拡大のため電圧振幅を広く取れるよう、耐圧が下がらないように留意しなければならない。

現在、GaN 技術は耐圧が非常に高いことを生かして、主にマイクロ波電力増幅器応用が技術を牽引している。GaN FET の遮断周波数は現在優に 100 GHz を超えるが、モノリシックマイクロ波集積回路(MMIC)には、エアブリッジ配線で接続された 10 個以下のトランジスタしか使われていない。高性能ミックスドシグナル回路で用いるには、トランジスタ特性と集積化レベルが低すぎるのである。GaN の潜在能力を高ダイナミックレンジ回路で生かすためには、次世代ナイトライド技術による高速化(～500 GHz)と集積化レベルの向上(> 1000 トランジスタ)を図る必要がある。これには、スケールアップと寄生抵抗・容量成分の低減、シリコンで実現されている多層配線化を進める必要がある。さらに、安定なエンハンスモード(E-mode)動作も必要となる。これによって、ミックスドシグナル RF 回路の簡素化やエンハンスメント/デプレッション(E/D)ロジック技術を用いるこ

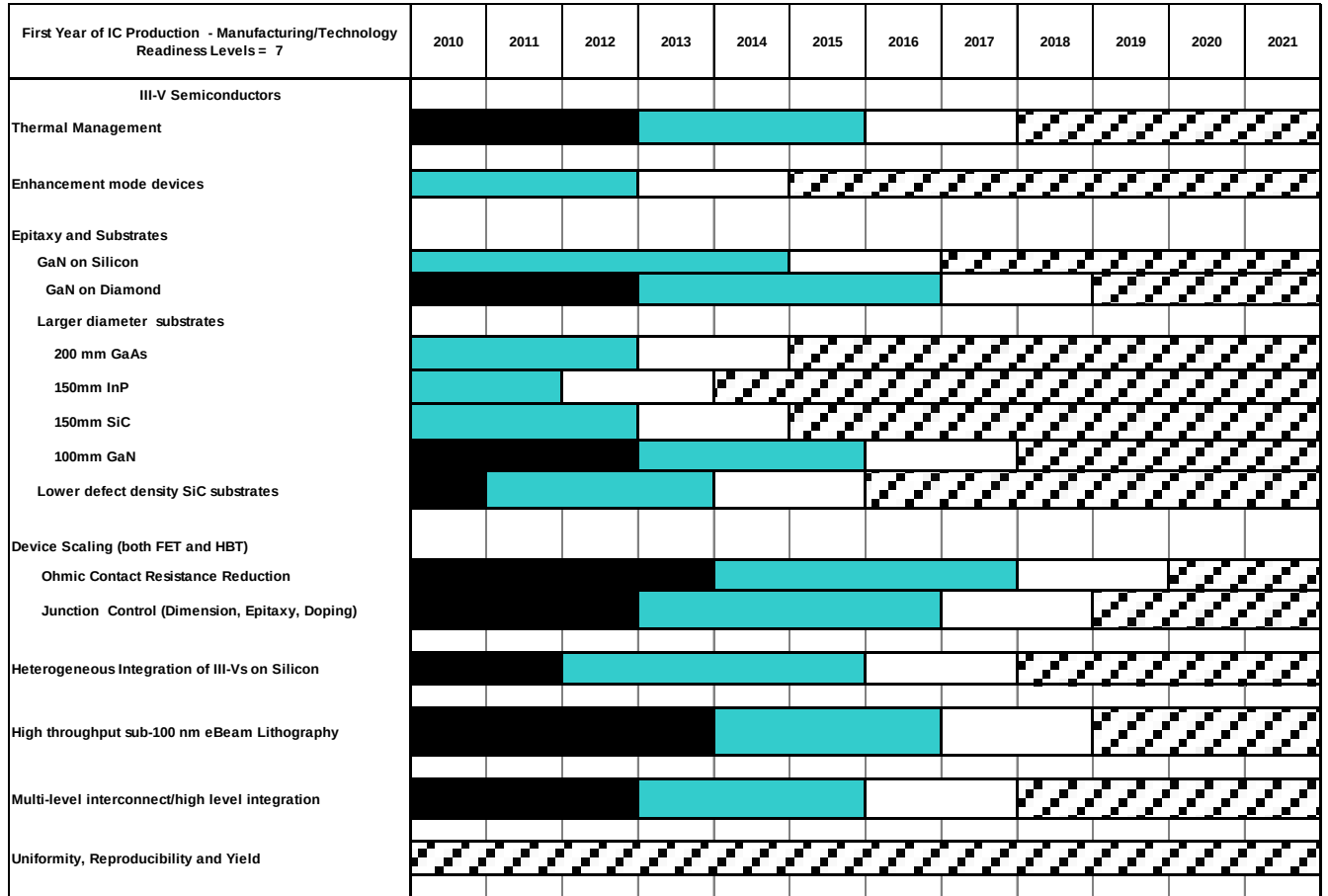
とができ、実用面で有効となる。さらに数十万個のトランジスタを集積化するためには、歩留まり向上が重要である。トランジスタの均一性はミックスシグナルにとって特に重要であり、ロバストで生産に適したデバイスプロセスの開発が必要となる。将来、GaN 技術のインパクトは間違いなく大きく、高速高電力増幅器、超リニアミキサや高出力 DA コンバータと言った RF ミックスシグナル回路性能に関して、劇的な進化をもたらすものと考えられる。

III-V デバイスや CMOS においても高周波特性は、リソグラフィによる横方向のスケーリングだけではなく、エピタキシャルやバンドギャップ/歪エンジニアリングといった縦方向のスケーリングによってもたらされる。キャリア層中のキャリア速度と移動度は、エピタキシャル層の積層構造やソースドレイン領域、基板面方位、あるいは素子上の絶縁膜積層構造などを的確に合わせこむことで調整することができる。我々は、すべての III-V デバイスにおいて、バンドギャップ/歪エンジニアリングが進化し続けることを期待したい。

RF やミリ波の送信機用の III-V 化合物パワーアンプを実用化するには、高電力効率、高線形性、高出力といった特性を、すべて同時に達成させてゆかねばならない。ほとんどの狭帯域増幅応用に対して、これらの諸特性を同時に満たすのにスイッチドモード増幅器 (Class-D、E および F) が適している。例えば、Class-F アーキテクチャは大きな負バイアス (V_{GS}) が作用するピンチオフトランジスタを用い、デバイスをオン・オフするための入力パワーを許容する。それにより、半正弦電流波と位相がずれた RF 帯域の正方電圧波を発生させることができる。この設計手法は、増幅時の電流損失 ($I \times V$ 積) を最小限にする。Class-F 増幅の動作効率を良くするには、偶奇の高調波共振マッチング回路を使って、非線形電圧波により発生するすべての高調波を抑制させる必要がある。このタイプの増幅器は、理論的には理想的な狭帯域増幅に対して 95% 以上の PAE を達成する。このレベルの効率を達成するためのトランジスタデバイスに対する要求は、極めて低いオン抵抗化とドレインソース間の低容量化である。これらのデバイス性能要求は、所望の増幅周波数に対して 10 倍以上の遮断周波数 (f_t) をデバイスに持たせることに相応する。それゆえ、30~100GHz 帯でミリワット級の高効率 Class-F 増幅に対しては、300GHz 以上の短ミリ波帯域に f_t を持つトランジスタデバイスが必要とされる。

回路設計は、増幅器の効率と線形性との連携させて改善するのに有効である。従来の回路アーキテクチャと比較して、ドハティ増幅器は効率を改善させることができる。ドハティ増幅器は、軍用電子機器等の広帯域用途よりも通信用途など高線形性を要求する応用に主に使われている。ドハティ増幅器は、例えば半周期おきに交互に動作する Class-AB 増幅器と Class-C 増幅器といったバイアス条件の異なる2つの増幅器の出力を結合させることができる。ドハティ増幅器によれば、飽和領域よりも十分低いパワーレベルにおいてもパワー効率を改善させることができる。デバイスの非線形性を補うため、入力信号をデジタルドメインであらかじめ歪ませておく適応制御型デジタル・プレディシトーション (DPD) 設計も線形性を改善するために使われている。

広帯域対応が必要となる受信機応用に対しては、優れた線形性とパワー効率に加え、伝統的なオペアンプ (演算増幅器) で用いられていた手法と類似したフィードバック型線形回路設計手法が提案されている。これらのアプローチでは、例えば、2GHz 動作時の InP HBT 増幅器で見られるように、過剰分の利得帯域幅積を DC パワー損失増加なく線形性改善に寄与させることができる。最近、広帯域マイクロ波増幅器は、DC パワーに対する出力の 3 次インターセプトポイント (OIP3) 比において5倍の改善を示している。



This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required

Development Underway

Qualification / Pre-Production

Continuous Improvement



Figure RFAMS5

Group III-V Compound Semiconductors Potential Solutions

4.4 オンチップ受動素子

受動素子は、コストとパフォーマンスとのトレードオフ関係に影響を受ける。低コストデバイスに対しては、適切な特性を持ったオンチップ受動素子が好まれる。一方、異なるデバイス技術の積層を可能とする狭ピッチの TSV (Through silicon vias) の適用は、高性能トランジスタとそれとは別の基板上に形成された高性能受動素子とのデバイス単位での低損失で接続を可能とする。それにより、受動素子のオフチップ化、主にパッケージ基板中への形成が促進される。SiP (System-in-Package)、MEMS 受動素子[33]、埋込み受動素子が既に成長傾向にある。これらの受動素子(例; 容量、抵抗)は、プリント配線の接続基板の間に形成される。SiP のサイズとコストの観点から、これらの手法は確実な解である。

5.0 横断的な課題

5.1 ESH(ENVIRONMENT, SAFETY & HEALTH)、計測(METROLOGY)、歩留り改善、モデリング&シミュレーション

今後、RF&AMS 技術ワーキンググループ(TWG: Technical Working Group)は、計測 TWG やモデリング &シミュレーション TWG との交流を広げていく必要がある。ミリ波帯の周波数におけるデバイスパラメータや性能指数(FOM)の測定が、デバイス性能に限界を与えている物理的メカニズムを理解する上で、また、その性能の正確なシミュレーションを行う上で、必要になってきている。これらの測定を行うことができる計測機器の製品の中には、最近では 750GHz まで対応可能なものもある。しかしそのような計測機器は、寄生成分を含んだ測定結果からデバイスパラメータを抽出するための標準的な手法が確立されるほど十分長くは使われていない。コンセンサスの形成と、標準的な手法の確立が必要である。50GHz 以下に限っても、コンセンサスはせいぜい限定的であり、標準的な手法は存在しない。50GHz 以上での製品の測定は、実質的には行われていない。

測定と標準化に最も必要とされるものとしては次のようなものがある：

- 1) 小信号の測定、測定装置、方法論におけるダイナミックレンジの改善。
- 2) ミリ波帯のノイズ性能評価における測定方法、測定装置の改善。200 GHz 以上でのノイズソースで、現在のところ使えるものはない。
- 3) ミリ波周波数での大信号のネットワーク解析。これにより、設計者は、動作中の非線形デバイス内部の電圧と電流を見ることができ、大信号モデルを開発することができ、そのモデルを用いて、効率と線形性を同時に最適化することができる。
- 4)規格化された変調方式に対応したより良い測定装置。

5.2 他の TWG との議論

我々は、今年、アセンブリ&パッケージング TWG と交流し、受動素子の対象範囲をより明確にした。また、MEMS TWG の発足の手助けを行った。システム・ドライバ TWG とは実りあるやり取りを行い、システム・ドライバの章のミックスドシグナルドライバのセクションの改訂に関わった。このことにより、我々は初めて、特定技術の特定アプリケーションへの適合性に対して、いくつかのコメントを行うことができた。

5.3 新探究素子・材料の今後の影響

新探究素子(Emerging Research Devices)と新探究材料(Emerging Research Materials)のグループは、ITRS の”More than Moore”(MtM)の分野における新デバイスや新材料の RF 応用に関連して、将来の RF トランシーバというコンセプトを掲げている。2011 年の ITRS 夏会議において、彼らはトランジスタ、ミキサー、局部発振器、共振器などの RF トランシーバ機能を実現する将来の候補として、次の三つの新技術を挙げた。

- 1) ナノワイヤーゲートを用いて作製したサブ 100nm グラフェン RF FET トランジスタは、THz のカットオフ周波数を有する可能性がある。グラフェン中のキャリアのフェルミ速度が高いことにより、チャンネル中のドリフト速度は、約 $4 \times 10^7 \text{cm/s}$ と高くなる。例えば、チャンネル長 70nm のグラフェン RF FET のカットオフ周波

数 f_T は、およそ 1THz になりうる。そのようなトランジスタは、ローノイズアンプやミキサーに応用される可能性がある。

- 2) ナノメータサイズのスピントルク発振器 (STO) は、位相雑音が低く、さらに外部磁場やスピントルク電流、磁性材料・構造により、周波数を 0.1GHz から 40GHz を超える範囲でチューニングできる可能性がある。
- 3) MEMS デバイスで作られた共振器 (nano-resonator) は、高い Q 値を持ち根本的にチューナブルな RF フィルターに使われることが期待される。このアプリケーションの対象となる材料としては、シリコンナノワイヤー、III-V 族化合物半導体ナノワイヤー、カーボンナノチューブ、グラフェンなどがある。

5.4 アナログ分野における課題/トピックス

今年、ITRS はアナログ技術の対象範囲を広げるために、Semiconductor Industry Association (SIA) から課題を提供してもらった。それによって、技術要求を定めるときに考慮すべきアプリケーションドライバについての視野を広げることができた。これらのアプリケーションは 0 から 300GHz という周波数範囲にわたるものであり、図 RFAMS1 に示した。この章は、テクノロジー毎に再編成されており、それぞれのセクションは、特定のテクノロジーによって作られる、それらのアプリケーションについて言及している。システム・ドライバの章のミックスドシングナルドライバのセクションに記されているように、我々は五つのタイプの回路について考察した。さらに我々は、電圧レギュレータ、オペアンプ、電流源などの一般的なアナログ回路も考察した。対象領域について専門的な知識をもった新メンバーにより、これらの新領域へ対象範囲を広げることができた。逆に言えば、我々が取り扱うことができるアナログ技術の範囲は、その分野の専門家が参加しているか否かで限定されてしまった。さらに新しいアナログ技術の領域の追加を望む読者がいましたら、ボランティアとしてこの活動に参加されることを強く奨励します。

5.5 RF MEMS 構造

新しい ITRS MEMS の章には、RF MEMS 共振器やキャパシティブスイッチ、バラクタについての困難な課題や技術要求のセクションが含まれており、通信のための RF&AMS 技術に関連する課題について、より詳しい議論が行われている。RF MEMS メタルコンタクトスイッチは含まれていない。

RF MEMS デバイスは、圧電薄膜共振器 (FBAR) や表面弾性波 (SAW) 共振器、キャパシティブスイッチ、メタルコンタクトスイッチを含むのみならず、センサー (例えば加速度センサーやジャイロスコープ)、マイクロフォン、表示デバイスなど、RF 製品に機能性を付加するその他の MEMS デバイスも含む。これらの MEMS 加速度センサー、ジャイロスコープ、マイクロフォン、表示デバイスは、2010 年 iNEMI の MEMS の章で議論されているが、ITRS の MEMS の章では、(RF&AMS 技術としては)議論されていない。このような理由から、これらは RF&AMS の章では議論しない。一般に、上記の四種類のデバイスは、例えば FBAR フィルターがボードやマザーチップに搭載されたり、Si MEMS 発振器が既存ソケット内の水晶の部分置き換えたりするように、無線通信の製品の中に個別デバイスとして使われているのを見たり、こちらから見ることもできるであろう。MEMS の機能が CMOS, BiCMOS, バイポーラなどの半導体のチップに集積化されたとき、RF MEMS デバイスが大量に生産されるようになることが、しばしば起きる。この集積化のタイミングは、コストによって牽引されるであろう。それまでは、市場への初期導入が次の順番で起きる: 1) 優位性のある個別チップ (例えば FBAR デバイス)、2) IC への上または下への組み込み (例えばバリアブルキャパシタ)、3) 半導体チップへのモノリシック集積化。これによりカスタマイズされた MEMS のパッケージングを取り除き材料費を低減するとともに、集積化と低コスト化により新しいアプリケーションが開かれる可能性がある。

6.0 その他の考察

6.1 国際規格と関連する測定手法

MEMS や NEMS のようなナノ電子技術により可能となる、高機能、高性能な革新的 RF&AMS 製品を大量に製造するという競争が世界的に激しくなっている。なぜなら、国は自国の経済を強め市民の新規雇用を創出したいし、企業は最新の技術を用いた高付加価値デバイスをもっと先に投入して市場のシェアと利益を高めたいからである。研究から、開発、初期展開、大量の商品化、耐用年数が経過した後のリサイクルと廃棄処分まで、RF&AMS 革新におけるあらゆる段階において、国際規格とそれに関連する計測手法は、革新を成功へと導く重要な鍵となる。ITRS のロードマップ活動に貢献する人達は、工学、科学において非常に優れており、もし規格化によって、このような最善の利用可能な工学と科学を組み合わせることができるのであれば、規格化は、より効率的に革新を押し進め、技術の実用化を成功させるきっかけとなるであろう。規格化は、相互利用が可能であることを保証し、さまざまな設計に費やされる時間を低減する。そのことにより、エンジニアのリソースを、真に差異化要因となる技術革新に向けることができる。また規格化がビジネスモデルとその結果に大きく作用することも同様に重要である。ITRS のロードマップに貢献する人達は、国際規格化とそれを支える測定手法に貢献する重要なスキルも持っている。規格化の活動を通して、国際規格化とそれを支える測定手法は、ITRS の目標とロードマップに、より整合したものになることが期待される。

規格化とそれに関連する測定インフラを確立するために、そして技術障壁、特にITRSでナノ電子技術(nano-electrotechnologies)と呼ぶ技術に関する障壁を乗り越えるのに必要な科学・工学の基盤を十分確保するために、半導体メーカー、貿易協会、研究開発機関、国の計量機関、国際規格化や技術ロードマップに関わる団体など、さまざまな組織を巻き込んだコラボレーションが必要である。そのようなコラボレーションにより、次世代材料(ERM)、デバイス(ERD)、適切なアセンブリ&パッケージングの開発とそれに続く製造を成功させることが可能となる。例えば、国際電気標準会議(IEC: International Electro-technical Commission)のナノ電子技術に関する技術委員会 113(TC113: Technical Committee 113)は、国際規格のコミュニティーが常に強い関心を持つように他の組織とのコラボレーションを行って、IECのナノ電子技術に関する規格化を実現させる、という大きな目標を持っている。TC113 のタイトルは、「電気・電子機器とシステムについてのナノテクノロジーの規格化(Nanotechnology standardization for electrical and electronic products and system)」である。TC113 はナノエレクトロニクスを含むナノ電子技術の規格化を進めている。IEC TC 113 の詳しい情報は、<http://www.iec.ch>にある。

“規格化は革新的な製品と新規市場の創出を可能にする。”

— Patrick Gallagher, NIST Director, November 2009

7.0 結び

ここでは、RF&AMS 技術の多くに共通な動向について述べる。これらの動向は、今後 RF&AMS の章の改訂を進める上での枠組みを提供する。

移動体ミリ波通信を用いた網目状ネットワークはスペクトラムクラッシュ(周波数帯域の不足)を解消させる非常に有望な解決方法であり、そのためミリ波帯の移動体用デバイスについて多くの探究的な仕事が行われている。今後の RF&AMS の章の改訂では、網目状ネットワークを支える技術が、より多く含まれることになるだろう。この将来性のあるアプリケーションは、多くの人に、RFIC の聖杯と考えられている。特にシリコン RFIC

は、コストを低減し、商業的なアプリケーションをより現実近づけるため、そのように考えられている。その目標への道のりはまだまだ長い、以下に示すように、その目標達成の手助けとなる幾つかの革新的な仕事がある。

- 1) InP や GaN とシリコンを組み合わせることにより両方の利点を活かし、従来に比べより効率的なアンプ構成で、出力パワーを改善した積層デバイス。
- 2) 固有の非線形性をシリコンのデジタル信号処理を用いて線形にしているが効率のよい送信機。
- 3) シリコンの信号処理の電力を最大限活用し、アンテナサイズを小さくし、高いマルチパスやフェージングによって特徴付けられるチャネルへの接続性を確保した MIMO。

7.1 RF CMOS

今年の CMOS ロードマップでは、PIDS の章で示されている高性能版 (HP) と低待機電力版 (LSTP) のトランジスタの RF&アナログ性能をより正確に反映させるよう試みた。PIDS が三種類の CMOS トランジスタ構造のオプションを提供しているところでは、時間的にも重なるようにして同じオプションを反映させた。

システム・ドライバの章で示されている回路レベルの性能指数 (FOM) のうちの二つをここで考察する。これらの値はトランジスタレベルの性能指数から見積もることができる。まず、LNA の性能指数の上限から、CMOS, SiGe HS-NPN, InP HEMT の性能の潜在能力を比較することができる。図 RFAMS6 は、CMOS は、SiGe や III-V 族のトランジスタと比較したとき、60GHz LNA のデバイスとして、だいたい同じくらい適していることを示している。

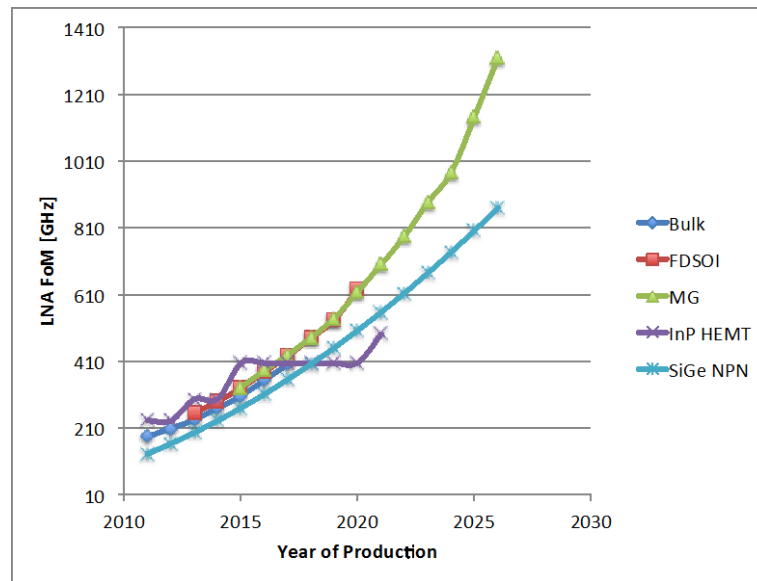


Figure RFAMS6

LNA Performance comparing CMOS, SiGe and InP Transistor Roadmaps

パワーアンプを考察すると、また違った結果となる。パワーアンプの性能指数は、システム・ドライバの章に示されているように、デバイスの性能指数から見積もることができる。図 RFAMS7 の技術比較は、CMOS に比べ InP や特に GaN HEMT がはっきりと有利であることを示している。さらに SiGe NPN も GaN HEMT と同じ程度に良好な性能であることが示されている。読者は、これらの性能指数が全体像を与えているわけでは

ないことに注意しなければならない。例えば、これらの性能指数では、前提とする出力パワーを達成するために必要な負荷抵抗は、Si デバイスではきわめて低くなり、設計上、非現実なものであることが無視されている。

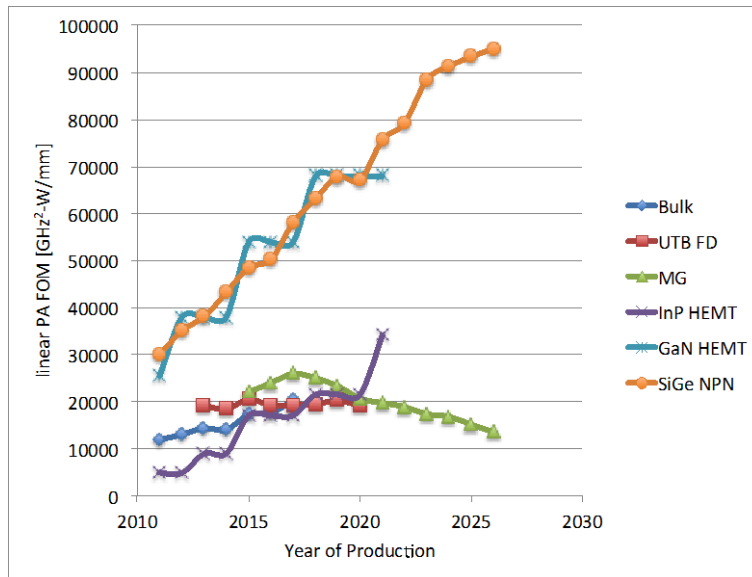


Figure RFAMS7 PA Performance comparing CMOS, with InP and GaN HEMT Transistor Roadmaps

PA 応用に対する CMOS の性能は、スケーリングが進むにつれ劇的に落ちると予測されている。これは、帯域が高くなったとしてもトランジスタの利得は低周波の値で制限されていることを、際立たせている。特定のアプリケーションに対して、CMOS が他のデバイス技術に比べて適しているかどうかは、性能のみならず、コストや集積レベルなど他の要因にも依存する。

7.2 GROUP IV バイポーラおよび BiCMOS デバイス

HS-NPN のロードマップは、シミュレーションを使って導出したトランジスタ表の値、また、確固たる回路の FOM の値で形成されている。このロードマップは、BiCMOS のあるノードから次への特性改善の要求により牽引されているが、改善のスピードは現時点で見積もった技術課題の難易度で重みづけした。Si/SiGe バイポーラと BiCMOS のロードマップが直面している技術的な課題は多岐にわたり、新しい構造の開発、縦方向のプロファイル制御、低抵抗化、先端ノードの CMOS とのインテグレーションを含んでいる。しかし、今後の展開に対する阻害要因はこれらの課題に限らないだろう。実際のところ、ロードマップのペースは、市場により牽引されており、また、そうあるべきである。例えば高速 NPN BiCMOS 技術の開発は、現在は光通信が牽引しているが、将来は新興のミリ波市場が取って代わると期待されている。これらの市場に関する大きさを、今日、見積もることは難しい。なぜなら、(発展が市場の成功の度合に依存する)新しいアプリケーションを扱うためであり、またこれらの市場の幾つかは、CMOS や III/V 族技術によってカバーされるかもしれないからである。

7.3 GROUP III-V 化合物半導体[バイポーラおよび電界効果型トランジスタ(FET)]

優れた輸送特性と高い絶縁破壊電界により、III-V 族化合物半導体を用いたデバイスは、1)コストよりも性能により牽引されるアプリケーション、2)広いダイナミックレンジや低雑音指数などシリコン技術が要求性能を満たすことができないアプリケーションなど、ニッチな市場に使われ続けるであろう。携帯電話 PA 用 InGaP HBT、商/軍用のマイクロ/ミリ波の高出力 PA や真空管の置き換え用 GaN HEMT、ミリ波やサブミリ波トランシーバ用の InP HEMT と HBT は、これらの例である。化合物半導体は、ゲート長(エミッタ幅)のスケーリングと、より重要なことであるが、エビ技術やバンドギャップエンジニアリングによって進展し続けるであろう。そして時が経つにつれ、III-V デバイスは、(異種デバイスの集積化: heterogeneous integration により) Si 技術と結びつき、機能上最適なものをつなげた SoC が生み出されるであろう。

7.4 オンチップ受動素子

オンチップ受動素子の課題と技術要求を言及するに止めた。アセンブリ&パッケージングの章では、オフチップ受動素子、エンベデッド受動素子を取り扱っている。30GHz 以下の周波数で動作するアプリケーションに主に用いられる集中定数的なデバイス、すなわちキャパシタ、抵抗、インダクタ、バラクタについて言及した。我々は、30GHz 以上の周波数で動作するアプリケーションに主に用いられる、伝送線路に基づいた分布定数的なデバイスの取り扱いも開始した。

8.0 REFERENCES

- [1] http://www.bizjournals.com/prnewswire/press_releases/2012/05/28/SP14461 , October 30, 2013.
- [2] Hook, T.B.; Brown, J.S.; Breitwisch, M.; Hoyniak, D.; Mann, R.; , "High-performance logic and high-gain analog CMOS transistors formed by a shadow-mask technique with a single implant step," IEEE Transactions on Electron Devices, vol.49, no.9, pp. 1623- 1627, September 2002
- [3] I. Gresham, A. Jenkins, R. Egri, C. Eswarappa, N. Kinayman, N. Jain, R. Anderson, F. Kolak, R. Wohler, S.P. Bawell, J. Bennett, J.-P. Lanteri, "Ultra-wideband radar sensors for short-range vehicular applications," IEEE Transactions on Microwave Theory and Techniques, Vol. 52, No. 9, pp. 2105 – 2122, September 2004.
- [4] U.R. Pfeiffer, E. Ojefors, A. Lisauskas, H.G. Roskos, "Opportunities for silicon at mmWave and Terahertz frequencies," in Proceedings of the Bipolar/BiCMOS Circuits and Technology Meeting, pp. 149 - 156, 2008.
- [5] P. Chevalier, T. Lacave, E. Canderle, A. Pottrain, Y. Carminati, J. Rosa, F. Pourchon, N. Derrier, G. Avenier, A. Montagné, A. Balteanu, E. Dacquay, I. Sarkas, D. Celi, D. Gloria, C. Gaquiere, S.P. Voinigescu, and A. Chantre "Scaling of SiGe BiCMOS Technologies for Applications above 100 GHz", in Compound Semiconductor IC Symposium Technical Digest, 2012
- [6] B. Heinemann, R. Barth, D. Bolze, J. Drews, A. Fox, O. Fursenko, T. Grabolla, U. Haak, D. Knoll, R. Kurps, S. Marschmeyer, H. Rücker, D. Schmidt, M. A. Schubert, B. Tillack, C. Wipf, D. Wolansky, Y. Yamamoto, "SiGe HBT technology with f_T/f_{MAX} of 300GHz / 500 GHz and 2.0 ps CML gate delay", in IEDM Technical Digest, pp. 688-691, 2010.

- [7] M. Schroter, G. Wedel, B. Heinemann, C. Jungemann, J. Krause, P. Chevalier, A. Chantre, "Physical and electrical performance limits of high-speed SiGeC HBTs - Part I: Vertical scaling", IEEE Trans. Electron Dev., Vol. 58, No. 11, pp. 3687-3696, 2011, and M. Schroter, J. Krause, N. Rinaldi, G. Wedel, B. Heinemann, P. Chevalier, A. Chantre, "Physical and electrical performance limits of high-speed SiGeC HBTs - Part II: Lateral scaling", IEEE Trans. Electron Dev., Vol. 58, No. 11, pp. 3697-3706, 2011.
- [8] R. A. Pucel, H. A. Haus, and H. Statz, "Signal and Noise Properties of Gallium Arsenide Microwave Field Effect Transistors," Advances in Electronics and Electron Physics, Vol. 38, New York: Academic Press, 1975, pp.156-163
- [9] P.H. Ladbrooke, "MMIC Design: GaAs FETs and HEMTs," Chapter 6, Artech House Inc., Boston, 1989.
- [10] Razavi, B.; Ran-Hong Yan; Lee, K.F.; , "Impact of distributed gate resistance on the performance of MOS devices," IEEE Transactions on Circuits and Systems I: Fundamental Theory and Applications, vol.41, no.11, pp.750-754, November 1994.
- [11] P.J. Tasker and B. Hughes, "Importance of source and drain resistance to the maximum fT of millimeter-wave MODFETs," IEEE Electron Device Lett., vol.10, No.7, pp.291-293, July 1989.
- [12] R. Groves, J. Wang, L. Wagner, A. Wan, "Quantitative Analysis of Errors in On-Wafer S-Parameter De-embedding Techniques for High Frequency Device Modeling", in Proceedings of the Bipolar/BiCMOS Circuits and Technology Meeting, 2006, pp. 92 - 95.
- [13] F. Pourchon, C. Raya, N. Derrier, P. Chevalier, D. Gloria, S. Pruvost, D. Céli, "From Measurement to Intrinsic Device Characteristics: Test Structures and Parasitic Determination", in Proceedings of the Bipolar/BiCMOS Circuits and Technology Meeting, 2008, pp. 232-239.
- [14] O. Inac, B. Cetinoneri, M. Uzunkol, Y. A. Atesal, G. M. Rebeiz, "Millimeter-Wave and THz Circuits in 45-nm SOI CMOS", in Compound Semiconductor IC Symposium Technical Digest, 2011
- [15] S. P. Voinigescu, E. Dacquay, V. Adinolfi, I. Sarkas, A. Balteanu, A. Tomkins, D. Celi, P. Chevalier, "Characterization and Modeling of an SiGe HBT Technology for Transceiver Applications in the 100–300-GHz Range", IEEE Transactions on Microwave Theory and Techniques, Vol. 60, No. 12, December 2012, pp. 4024-4034
- [16] A. Balteanu, I. Sarkas, E. Dacquay, A. Tomkins, G. M. Rebeiz, P. M. Asbeck, S. P. Voinigescu, "A 2-Bit, 24 dBm, Millimeter-Wave SOI CMOS Power-DAC Cell for Watt-Level High-Efficiency, Fully Digital m-ary QAM Transmitters", IEEE Journal of Solid-State Circuits, Vol. 48, No. 5, May 2013, pp. 1126-1137
- [17] S. P. Voinigescu, A. Tomkins, E. Dacquay, P. Chevalier, J. Hasch, A. Chantre, B. Sautreuil, "A Study of SiGe HBT Signal Sources in the 220–330-GHz Range", IEEE Journal of Solid-State Circuits, Vol. 48, No. 9, Sept. 2013, in press.
- [18] M. Seo et al, "A 1.1V 150GHz amplifier with Passive Imaging Receiver with 8dB gain and +6dBm saturated output power in standard digital 65nm CMOS using dummy pre-filled microstrip lines," in 2009 IEEE ISSCC Technical Digest., pp. 484-485, February 2009.
- [19] K.H.K. Yau, I. Sarkas, A. Tomkins, P. Chevalier, and S.P. Voinigescu, "On-wafer S-parameter De-embedding of Silicon Active and Passive Devices up to 170-GHz," in IEEE IMS Technical Digest, pp.600- 603, May 2010.

- [20] S. P. Voinigescu, M. C. Maliepaard, J. L. Showell, G. E. Babcock, D. Marchesan, M. Schroter, P. Schvan, and D. L. Hareme, "A Scalable High-Frequency Noise Model for Bipolar Transistors with Application to Optimal Transistor Sizing for Low-Noise Amplifier Design", *IEEE Journal of Solid-State Circuits*, Vol. 32, No. 9, pp. 1430-1438, September 1997.
- [21] K.H.K Yau, P. Chevalier, A. Chantre, and S.P. Voinigescu, "Characterization of the Noise Parameters of SiGe HBTs in the 70-170 GHz Range," *IEEE Transactions on Microwave Theory and Techniques*, Vol. 59, No. 8, pp. 1983-2000, August 2011.
- [22] J. Herricht, P. Sakalas, M. Ramonas, M. Schroter, C. Jungemann, A. Mukherjee, K.-E. Moebus, "Systematic method for usage of correlated noise sources in compact models for high frequency transistors", *IEEE Trans. Microw. Theory Techn.*, Vol. 60, No. 11, pp. 3403-3412, 2012.
- [23] Lai, R.; Mei, X.B.; Deal, W.R.; Yoshida, W.; Kim, Y.M.; Liu, P.H.; Lee, J.; Uyeda, J.; Radisic, V.; Lange, M.; Gaier, T.; Samoska, L.; Fung, A.; "Sub 50 nm InP HEMT Device with Fmax Greater than 1 THz", in *Technical Digest of the IEEE International Electron Devices Meeting*, 2007, pp 609 – 611].
- [24] J. Hasch, U. Wostradowski, S. Gaier, and T. Hansen, "77 GHz Radar Transceiver with Dual Integrated Antenna Elements," in *Proceedings of the 5th German Microwave Conference (GeMiC 2010)*, March 2010, pp. 280–283.
- [25] Y. Atesal, B. Cetinoneri, M. Chang, R. Alhalabi, and G. Rebeiz, "Millimeter-Wave Wafer-Scale Silicon BiCMOS Power Amplifiers Using Free-Space Power Combining," *IEEE Trans. Microw. Theory Tech.*, vol. 59, no. 4, pp. 954–965, April 2011.
- [26] Y. C. Ou and G. M. Rebeiz, "On-Chip Slot-Ring and High-Gain Horn Antennas for Millimeter-Wave Wafer-Scale Silicon Systems," *IEEE Transactions on Microwave Theory and Techniques*, Vol. 59, No. 8, pp. 1963 - 1972, August 2011
- [27] D. Bolze, B. Heinemann, J. Gelpey, S. McCoy, W. Lerch, "Millisecond Annealing of High-Performance SiGe HBTs", in *Proceedings of the 17th International Conference on Advanced Thermal Processing of Semiconductors*, 2011, in press.
- [28] P. Chevalier, T.F. Meister, B. Heinemann, S. Van Huylenbroeck, W. Liebl, A. Fox, A. Sibaja-Hernandez, A. Chantre, "Towards THz SiGe HBTs", in *Proceedings of the Bipolar/BiCMOS Technology Meeting*, 2011, pp. 57-65.
- [29] K. Schuegraf, M. C. Abraham, A. Brand, M. Naik, R. Thakur, "Semiconductor Logic Technology Innovation to Achieve Sub-10 nm Manufacturing", *IEEE Journal of the Electron Devices Society*, Vol. 1, No. 3, pp. 66-74, March 2013
- [30] A. R. Boyd; S. Degroote; M. Leys; F. Schulte; O. Rockenfeller; M. Luenenbuerger; M. Germain; J. Kaeppler; M. Heuken, "Growth of GaN/AlGaIn on 200 mm diameter silicon (111) wafers by MOCVD," *Phys. Status Solidi C* 6, 2009, pp. S1045-S1048.
- [31] Raman S, Chang T-H, Dohrman CL, Rosker MJ. 2010 The DARPA COSMOS Program: The Convergence of InP and silicon CMOS Technologies for High-Performance Mixed-Signal. 2010 International Conference on Indium Phosphide and Related Materials (IPRM), 1-5 (doi: 10.1109/ICIPRM.2010.5516241)

[32] Kazior TE, Chelakara R, Hoke W, JBettencourt J, T. Palacios, H.S. Lee, “High Performance Mixed Signal and RF Circuits Enabled by the Direct Monolithic Heterogeneous Integration of GaN HEMTs and Si CMOS on a Silicon Substrate”, 2011 IEEE Compound Semiconductor IC Symposium (CSICS) Technical Digest, (doi: 10.1109/CSICS.2011.6062443)

[33] M. Rais-Zadeh, J. Laskar, and F. Ayazi, "High performance inductors on CMOS-grade trench silicon substrate," IEEE Transactions on Components and Packaging Technologies, vol. 31, no.1, pp.126-134, 2008.

9.0 謝辞

我々は、この 2013 年版 RF and AMS の章の技術要求テーブルや文章のため、調査を手伝った多くの協力者に感謝します。また、其々の務める機関の支援に対して感謝します。これらの支援や資金がなければ、この 2013 年版の RF and AMS の章は、ありえなかったものと思います。