

設計TF／PIDS／FEPクロスカット報告

低電力SoCのロードマップ

- モバイルマルチメディアへのアプローチ -

設計TF主査
日立製作所 内山邦男

本クロスカットの目的と活動内容

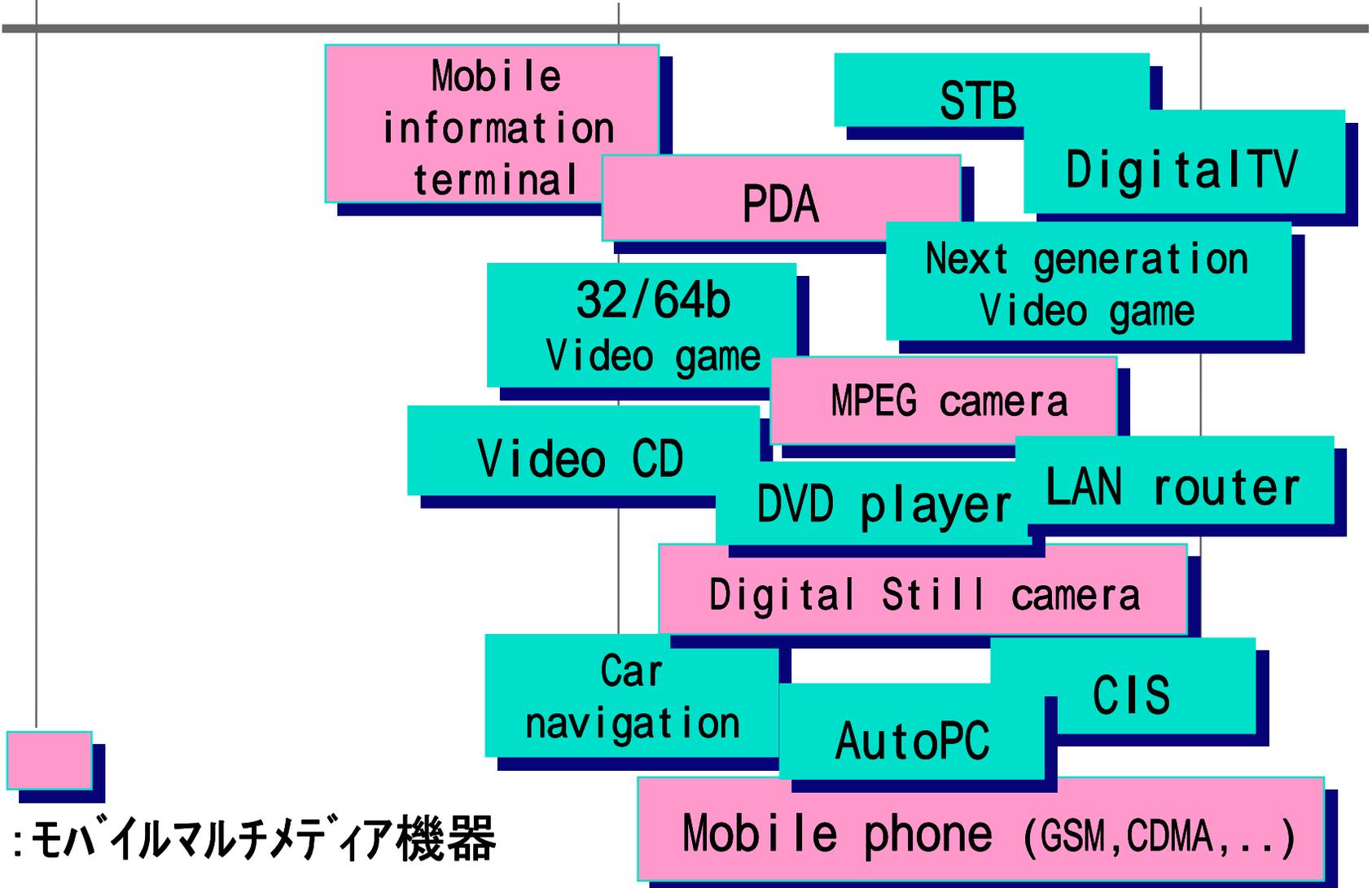
低電力SoCのロードマップ作成と 問題点、技術課題の明確化

- (1) モバイルマルチメディアの動向調査
- (2) 現状(0.18um)の低電力SoCの分析
- (3) 低電力SoC設計モデルの作成
(初期モデル、集積度トレンドの設定)
- (4) 設計モデルとHP、LOP(-HS、-UHS)、LSTP
デバイスモデルを用いた設計パラメータの検証
(動作周波数、消費電力の確認)

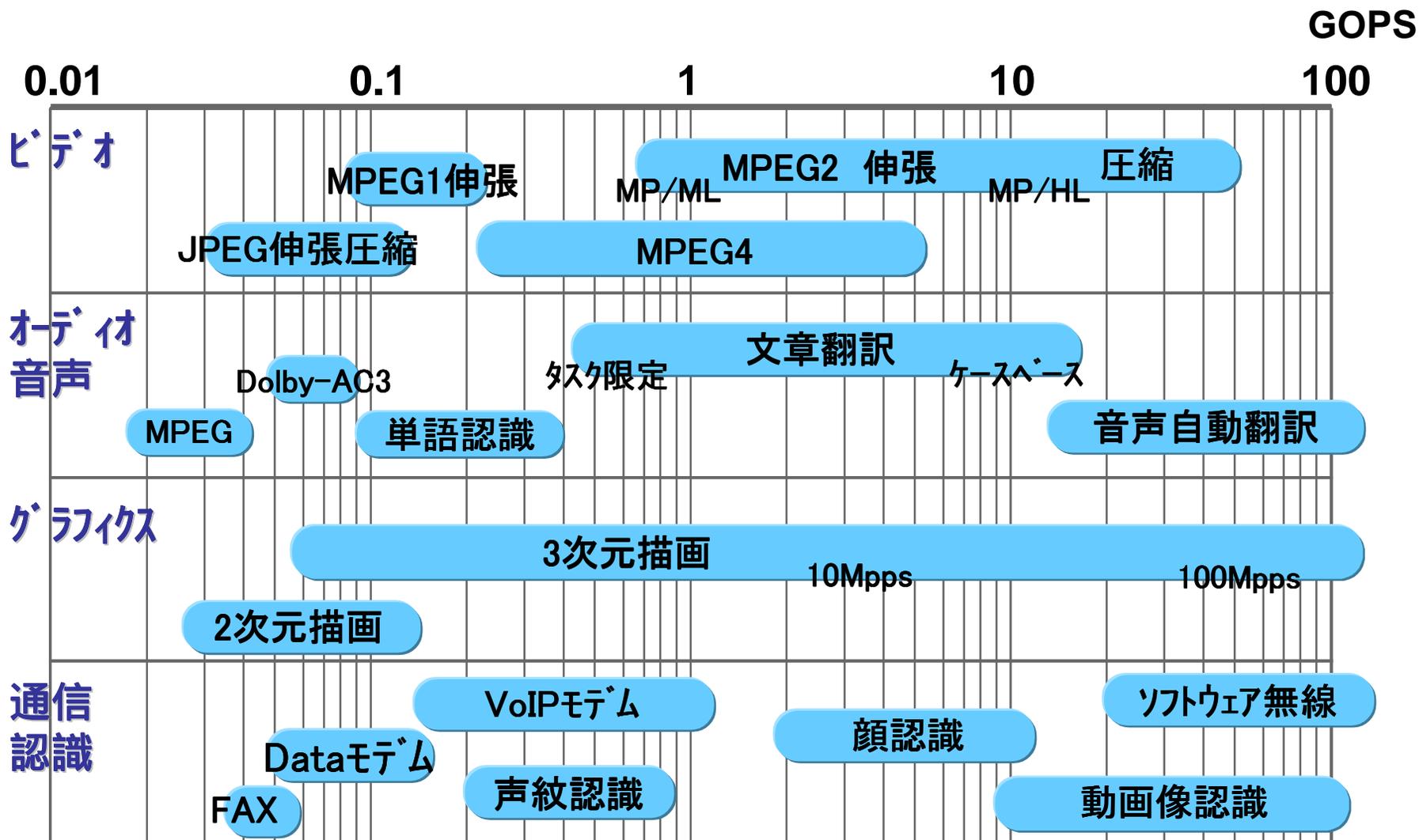
デジタル民生機器の動向

1990

2000



マルチメディア処理の要求性能



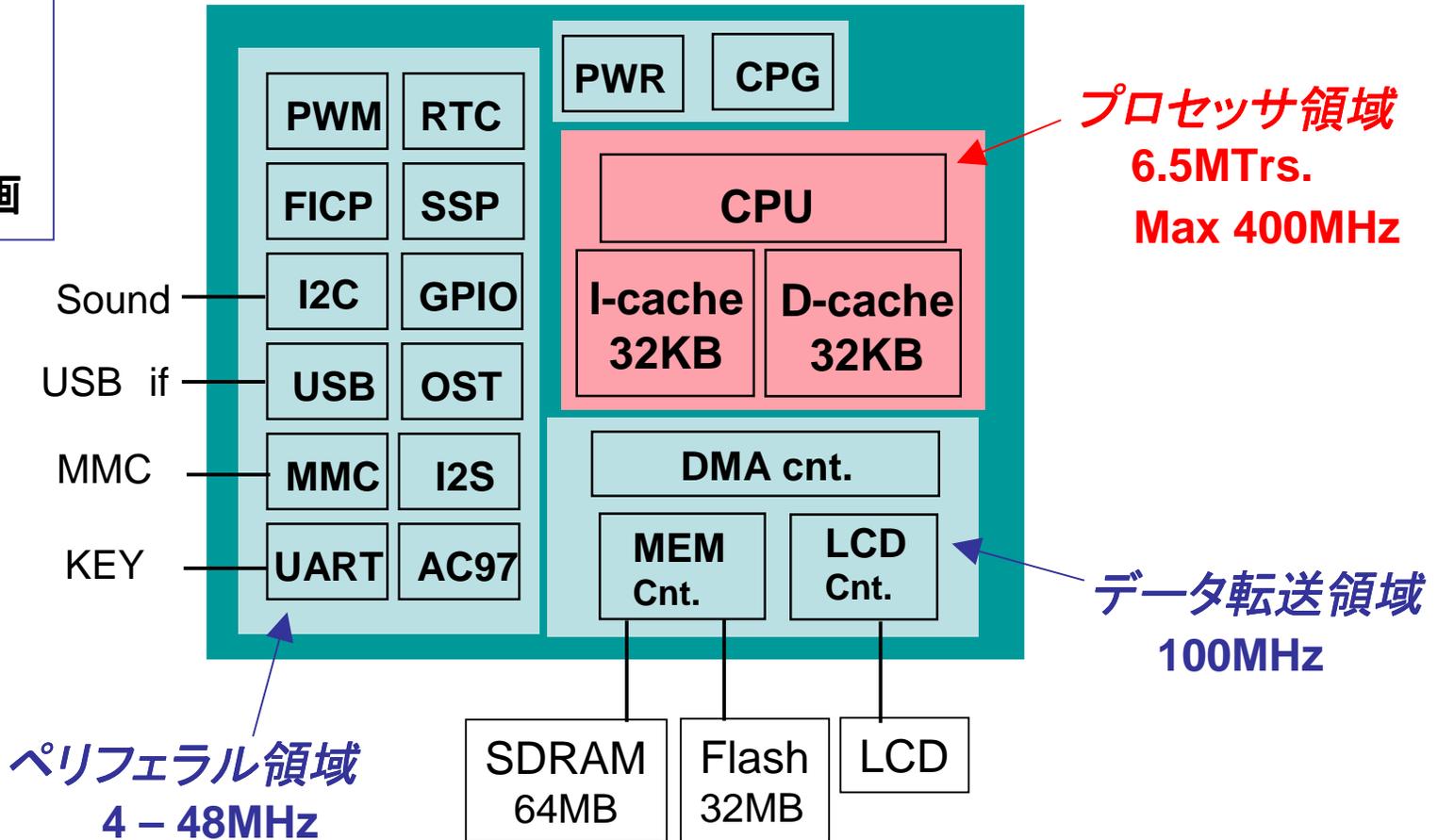
GOPS: Giga Operations Per Second

PDA向けSoCの例

機器仕様

- ・使用時間
6-10Hr
- ・MMアプリ
MP3
JPEG
簡易動画

0.18um / 400MHz / 470mW (typ.)



低電力SoCの設計モデル

| | 論理部 | メモリ部 |
|---------------------------|--|---|
| | トランジスタ数: $TL = TL_h + TL_l$ | トランジスタ数: $TM = TM_h + TM_l$ |
| 高周波領域 動作周波数: F_h | $F_h TL_h$ CPU, FPU, DSP, Media Proc. HW accelerator, Config. Arrays, .. | $F_h TM_h$ Cache, XY memory, Work memory, ... |
| 低周波領域 動作周波数: F_l | $F_l TL_l$ Memory cnt., DMAC, Graphic eng., Peripheral module, .. (Ser., Par., Comm.,..) | $F_l TM_l$ 2 nd -Cache, 2 nd - work mem., Global mem., Temp. buffer, |

低電力SoC設計モデルの初期値 (@130nm)

**39.7Mtrs.
/ 64mm²**

論理部

11.5Mtrs.

メモリ部

28.2Mtrs.

高周波領域

F_h : 180MHz (LSTP)
330Hz (LOP)
620MHz (HP)

4.7Mtrs.

8.6Mtrs.

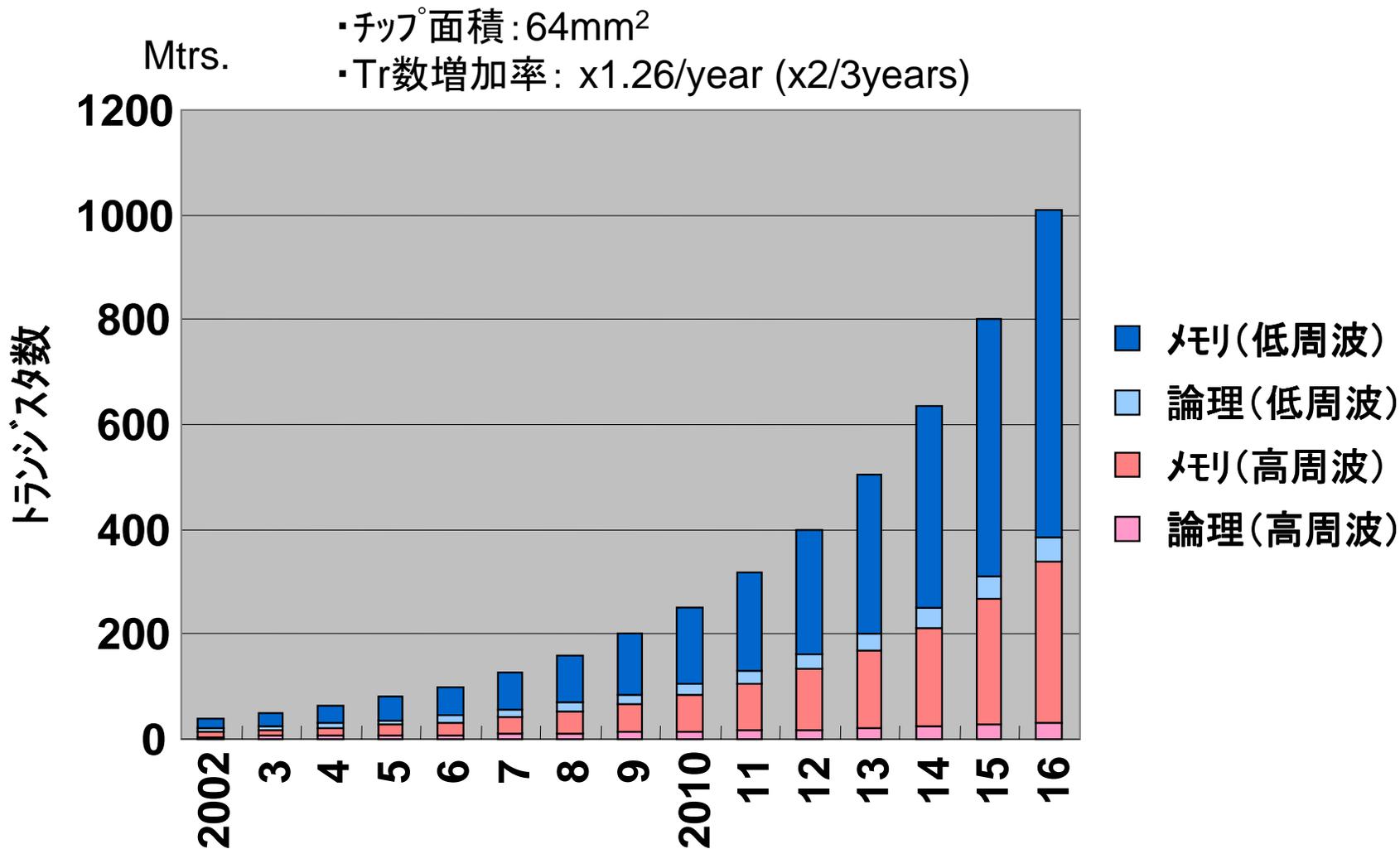
低周波領域

$F_l = F_h / 4$

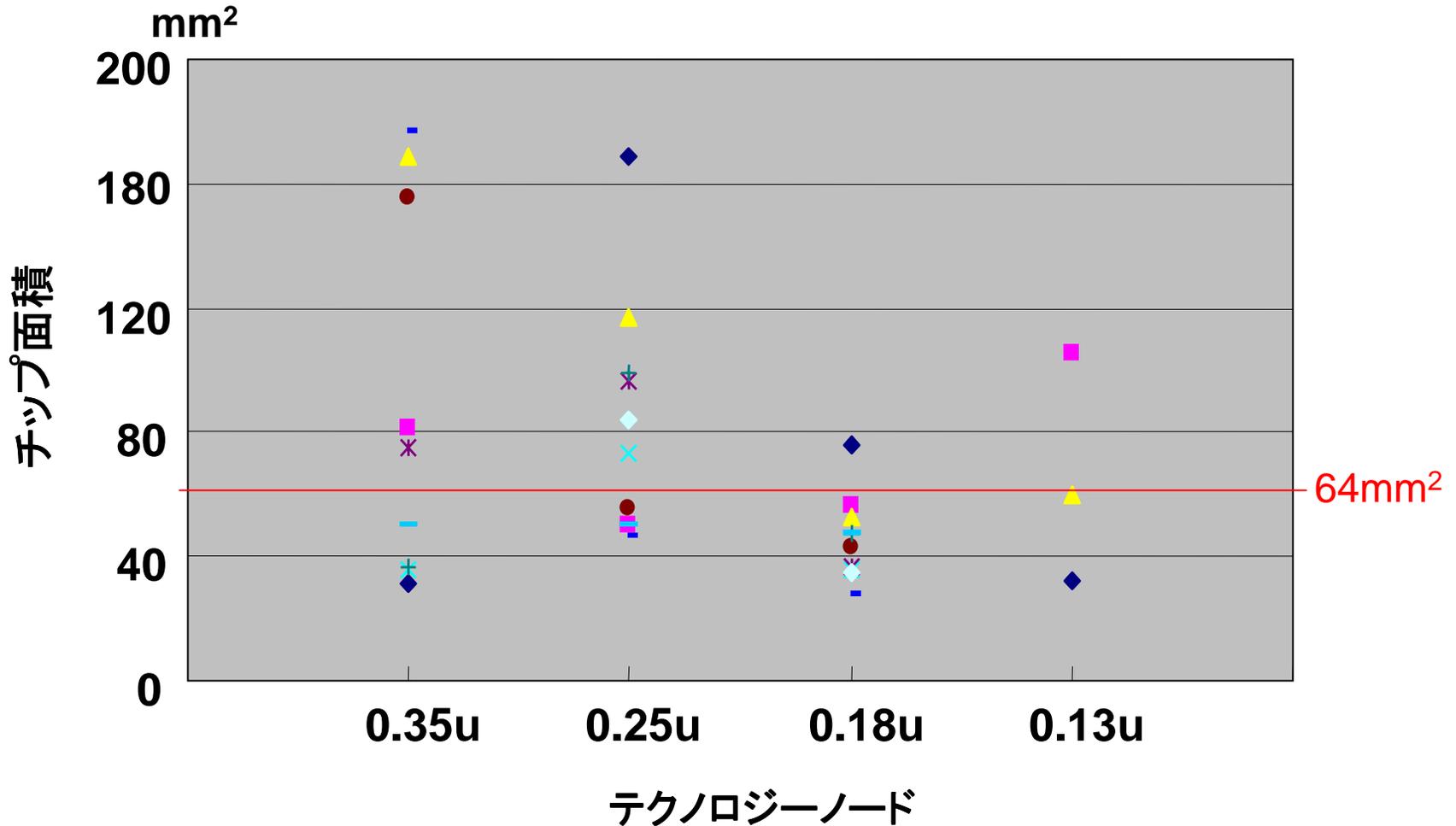
6.8Mtrs.

19.6Mtrs.

集積度のロードマップ



チップ面積の分析



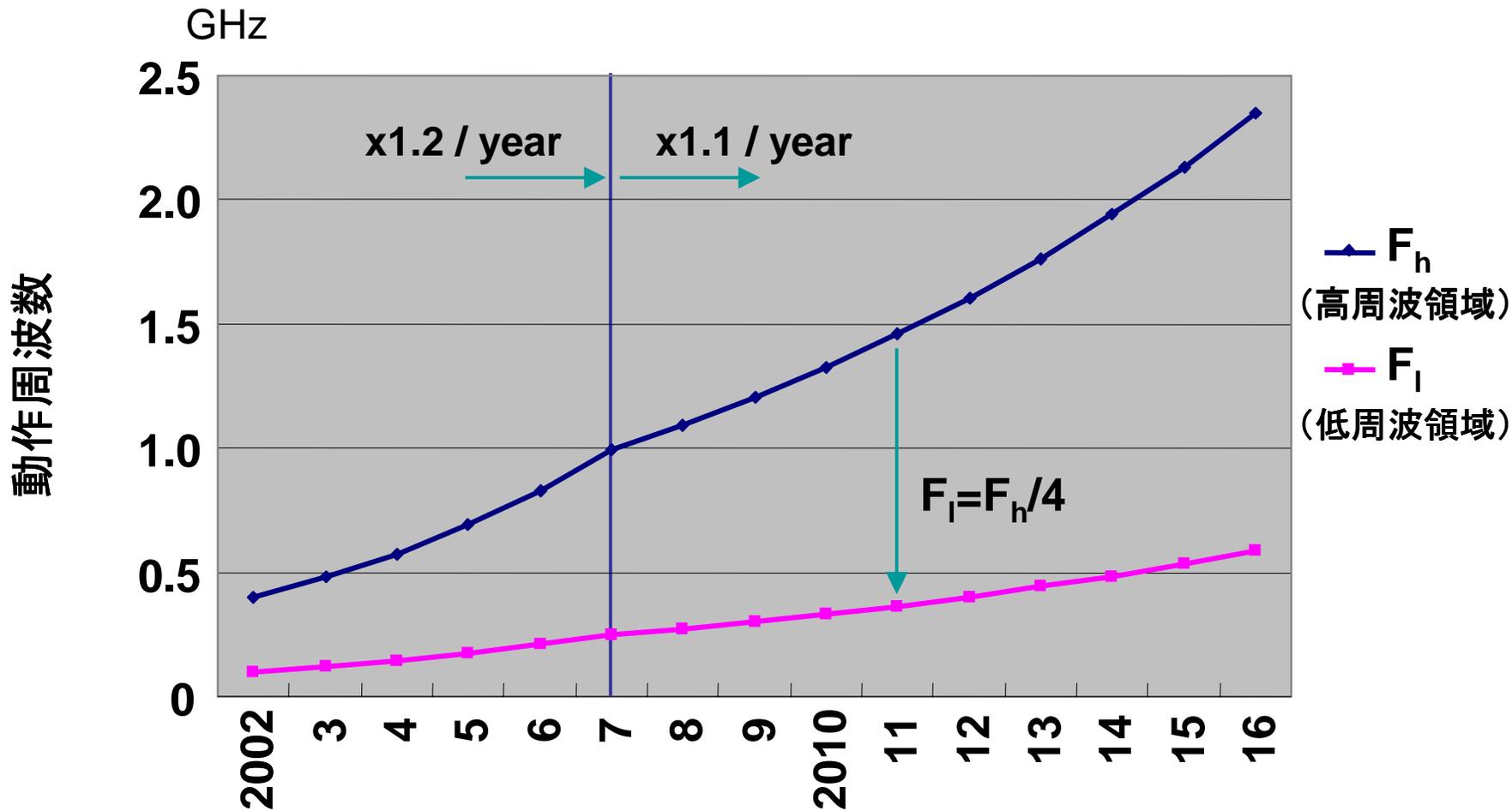
ref. ISSCC, CoolChips

デバイスモデル

- ・HP: High performance
- ・LOP, LOP-HS, LOP-UHS: Low operating power, -high speed, -ultra high speed
- ・LSTP: Low standby power

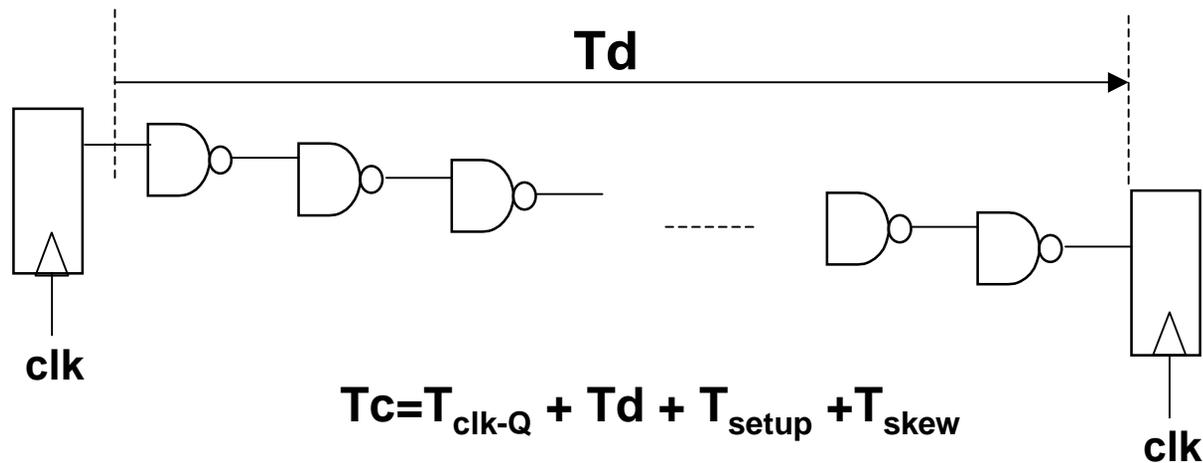
| Year of Production | | 2002 | 2004 | 2007 | 2010 | 2013 | 2016 |
|---------------------------|------|----------|----------|----------|----------|----------|----------|
| Technology Node DRAM | nm | 115 | 90 | 65 | 45 | 32 | 22 |
| Physical Gate Length (HP) | nm | 53 | 37 | 25 | 18 | 13 | 9 |
| (LOP&LSTP) | nm | 75 | 53 | 32 | 22 | 16 | 11 |
| Supply Voltage (HP) | V | 1.1 | 1 | 0.7 | 0.6 | 0.5 | 0.4 |
| Supply Voltage (LOP) | V | 1.2 | 1.1 | 0.9 | 0.8 | 0.7 | 0.6 |
| Supply Voltage (LSTP) | V | 1.2 | 1.2 | 1.1 | 1 | 0.9 | 0.9 |
| CV/I (HP) | ps | 1.3 | 0.99 | 0.68 | 0.39 | 0.22 | 0.15 |
| CV/I (LOP) | ps | 2.45 | 1.84 | 1.14 | 0.85 | 0.56 | 0.35 |
| CV/I (LOP-HS) | ps | 2.1 | 1.58 | 1 | 0.74 | 0.5 | 0.32 |
| CV/I (LOP-UHS) | ps | 1.84 | 1.38 | 0.89 | 0.66 | 0.45 | 0.29 |
| CV/I (LSTP) | ps | 4.41 | 2.68 | 1.81 | 1.43 | 0.91 | 0.66 |
| Isd,leak (HP) | A/um | 3.00E-08 | 1.00E-07 | 1.00E-06 | 3.00E-06 | 7.00E-06 | 1.00E-05 |
| Isd,leak (LOP) | A/um | 1.00E-10 | 3.00E-10 | 7.00E-10 | 1.00E-09 | 3.00E-09 | 1.00E-08 |
| Isd,leak (LOP-HS) | A/um | 1.00E-09 | 3.00E-09 | 7.00E-09 | 1.00E-08 | 3.00E-08 | 1.00E-07 |
| Isd,leak (LOP-UHS) | A/um | 1.00E-08 | 3.00E-08 | 7.00E-08 | 1.00E-07 | 3.00E-07 | 1.00E-06 |
| Isd,leak (LSTP) | A/um | 1.00E-12 | 1.00E-12 | 1.00E-12 | 3.00E-12 | 7.00E-12 | 1.00E-11 |

動作周波数の設計目標

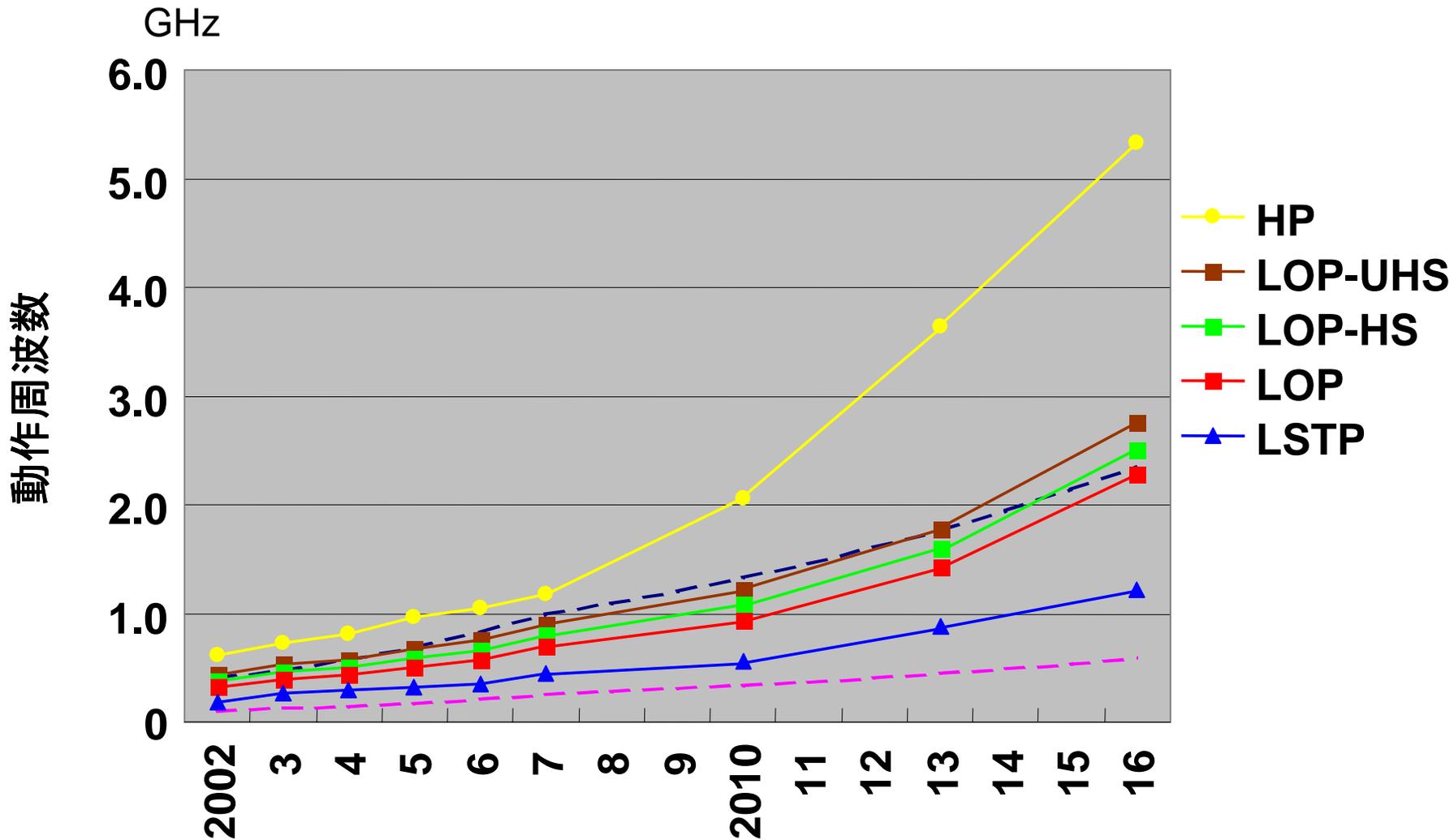


動作周波数の算出モデル

$$\begin{aligned} F_{\text{next}}/F_{\text{now}} &\doteq Td_{\text{now}}/Td_{\text{next}} \\ &\doteq Cg_{\text{now}}/Cg_{\text{next}} \cdot V_{\text{now}}/V_{\text{next}} \cdot Ids_{\text{next}}/Ids_{\text{now}} \\ &\doteq (C \cdot V/I)_{\text{now}} / (C \cdot V/I)_{\text{next}} \end{aligned}$$



動作周波数の見積もり



消費電力の算出モデル

消費電力P

$$P = \underbrace{p \cdot f \cdot C \cdot V_{dd}^2}_{\text{ダイナミック電力}} + \underbrace{p \cdot I_{sc} \cdot \Delta t_{sc}}_{\text{貫通}} \cdot V_{dd} \cdot f + \underbrace{I_{leak} \cdot V_{dd}}_{\text{リーク電力}} + \underbrace{I_{dc} \cdot V_{dd}}_{\text{直流}}$$

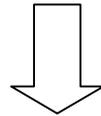
- ・ $C_{next} = C_{now} \times k \times B$ と想定
 - k : スケーリング係数
 - B : 素子数増加率
- ・ Trあたりの消費電力
 - logic : memory = 4.4 : 1

- ・ logic部のリーク電流
 - = $(7 \times L_g) \times \text{ゲート数} \times I_{leak}$
 - ・ SRAM部のリーク電流 =
 - = $2 \times (3 \times L_g) \times \text{ビット数} \times I_{leak}$
- * sub-thresholdのみ計算

消費電力の設計目標

現状

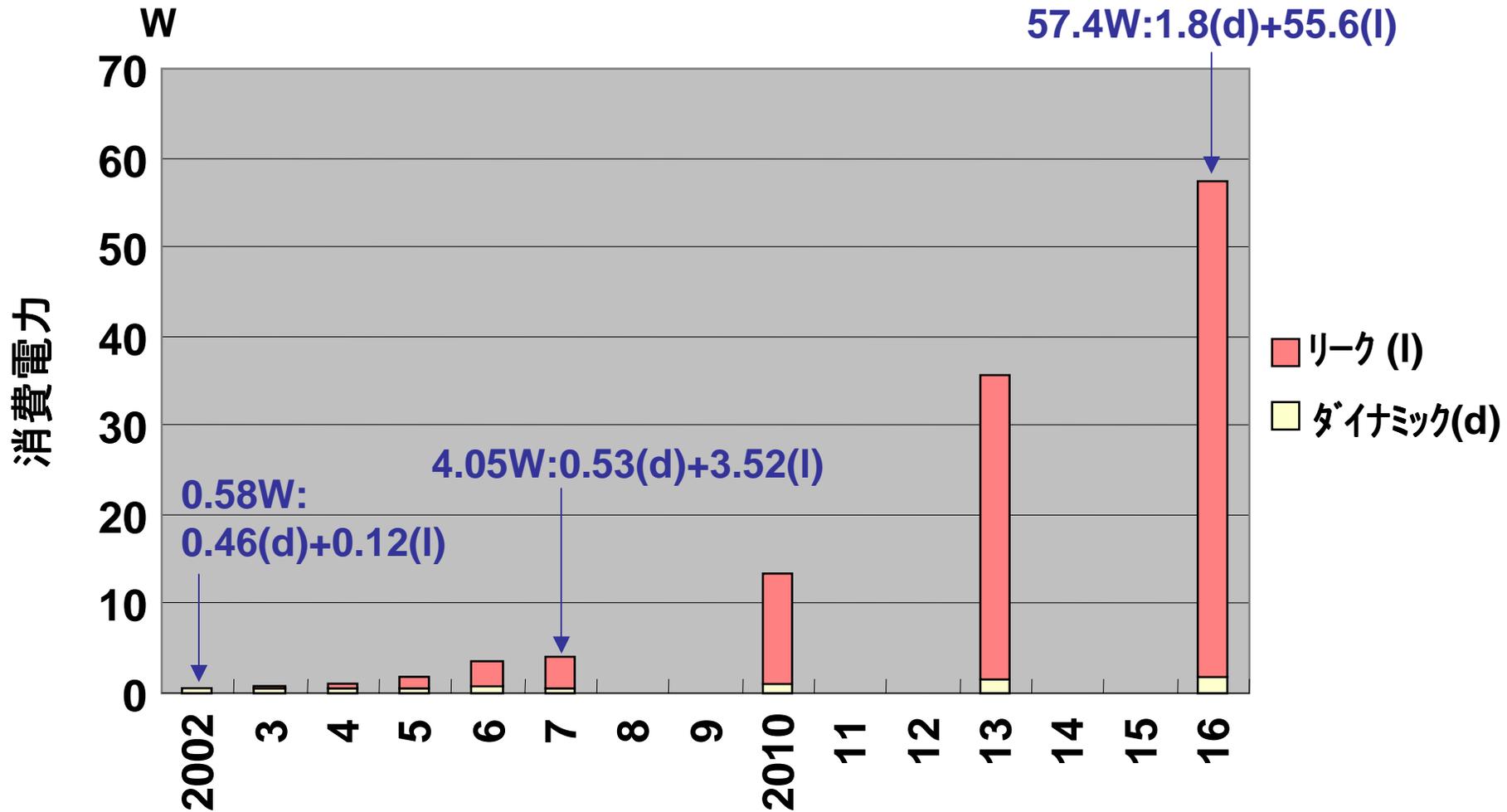
- ・携帯電話
動作時: 50~200mW
待機時: 10~100uA
- ・PDA
動作時: 200~800mW
待機時: ~1mA



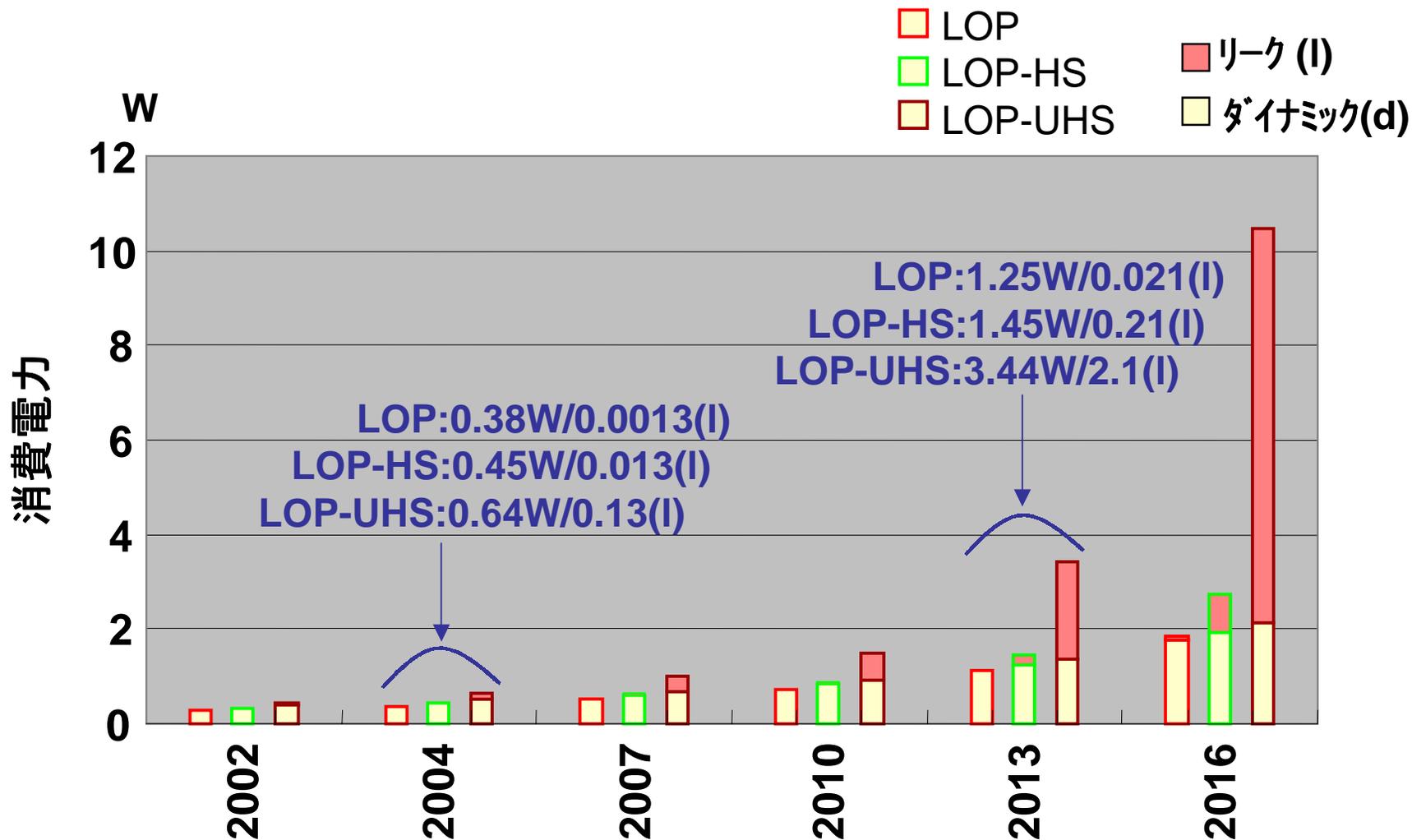
今後

- ・バッテリー能力改善
⇒動作時、待機時電力が緩和
- ・機器温度(体感温度)が問題
⇒動作時電力の制約
動作時: ~1W

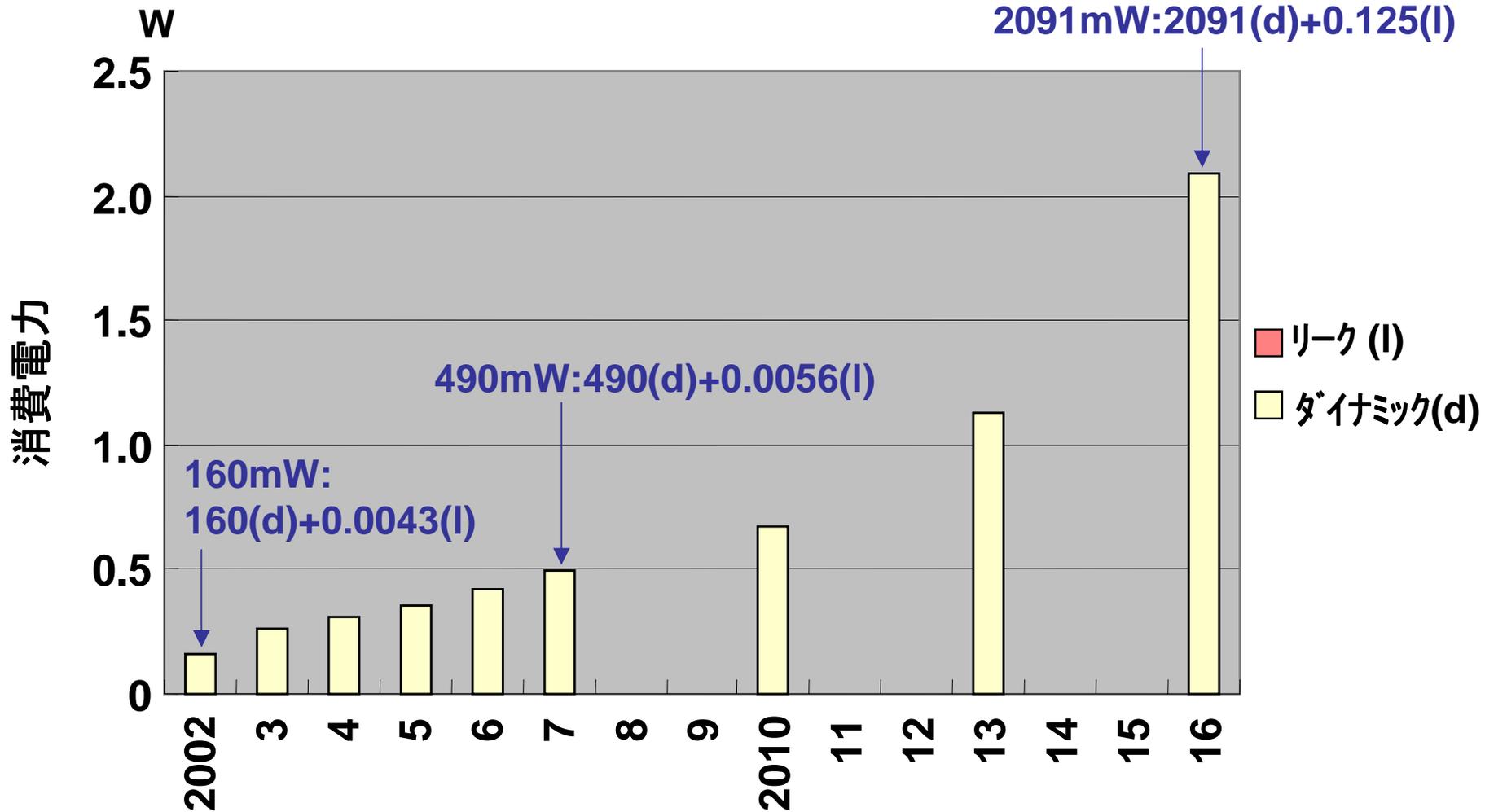
消費電力の見積もり(HPモデル)



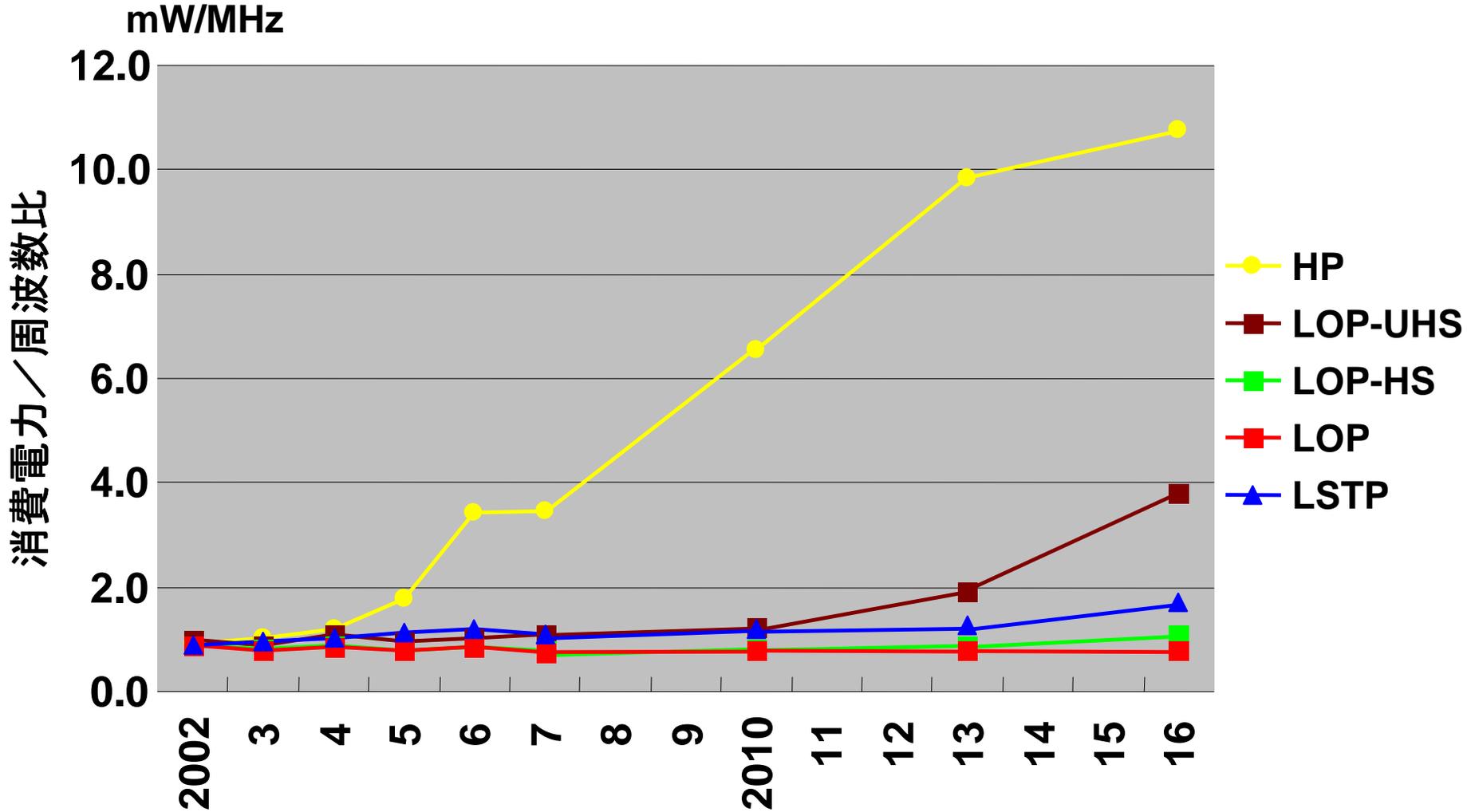
消費電力の見積もり(LOPモデル)



消費電力の見積もり(LSTPモデル)



消費電力／周波数比



まとめ

- 低電力SoCの設計モデルを作成
- 設計モデルとHP、LOP(-HS、-UHS)、LSTP
デバイスモデルを用いて設計パラメータを検証
- 低電力SoCの設計において、
 - (1) HP: 設計困難、LOP-UHS: 設計難易度大(2010~)
 - (2) LOP、LOP-HS: 低電力SoC設計の中心モデル
 - (3) LSTP: 低スタンバイ指向のSoC
 - (4) 電力性能比(mW/MHz): $LOP < LOP-HS < LSTP$
← better ←

今後、設計モデル、パラメータ算出モデルの更なる詳細化により、
設計、プロセス両面での課題の具体化が必要