

Front End Processes

新材料導入によるブレークスルーと その課題

- 主査: 窪田通孝 (ソニー) *: 国際対応
- 副主査: 丹羽正昭 (松下)*
豊島義明 / 水島一郎 (東芝)
- 幹事: 中西俊郎 (富士通研)
- 委員: 武田安弘 (三洋) 池田修二 (トレセンティーテクノロジーズ)
内田英次 (沖) 宮武浩 / 藤原伸夫 (三菱)
北島洋 (Selete) 北野友久 (NECエレクトロニクス)
三富士道彦 (ローム)
- 特別委員: 河村誠一郎 (産総研)* 大形俊英 (日立ハイテクノロジーズ)
中嶋 定夫 (日立国際電気)

Outline

1) FEPと新材料

背景、Tr断面図と新材料候補、
新材料導入例(DRAM)、懸念点等

2) 事例1(基板関係)

Strained-Siの現状と課題

3) 事例2(Gate Stack)

High-kとゲート電極の現状と課題

4) まとめ

背景

— なぜFEPで新材料が求められるのか

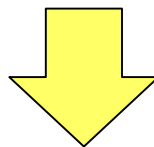
- (1) スケーリングの限界打破
(あるいはスケーリング則の維持のため)

Strained-Si、High-k等

- (2) 新機能の実現

FeRAM、MRAM等

CMOSプロセスにおける新材料(元素)



その大部分は**FEP**で使われる

I a	II a	III a	IV a	V a	VI a	VII a	VIII			I b	II b	III b	IV b	V b	VI b	VII b	0
1	2	3	4	5	6	7	8			9	10	11	12	13	14	15	16
H																	He
Li	Be											B	C	N	O	F	Ne
Na	Mg											Al	Si	P	S	Cl	Ar
K	Ca	Sc	Ti	V	Cr	Mn	Fe	Co	Ni	Cu	Zn	Ga	Ge	As	Se	Br	Kr
Rb	Sr	Y	Zr	Nb	Mo	Tc	Ru	Rh	Pd	Ag	Cd	In	Sn	Sb	Te	I	Xe
Cs	Ba	La	Hf	Ta	W	Re	Os	Ir	Pt	Au	Hg	Tl	Pb	Bi	Po	At	Rn
Fr	Ra	Ac															

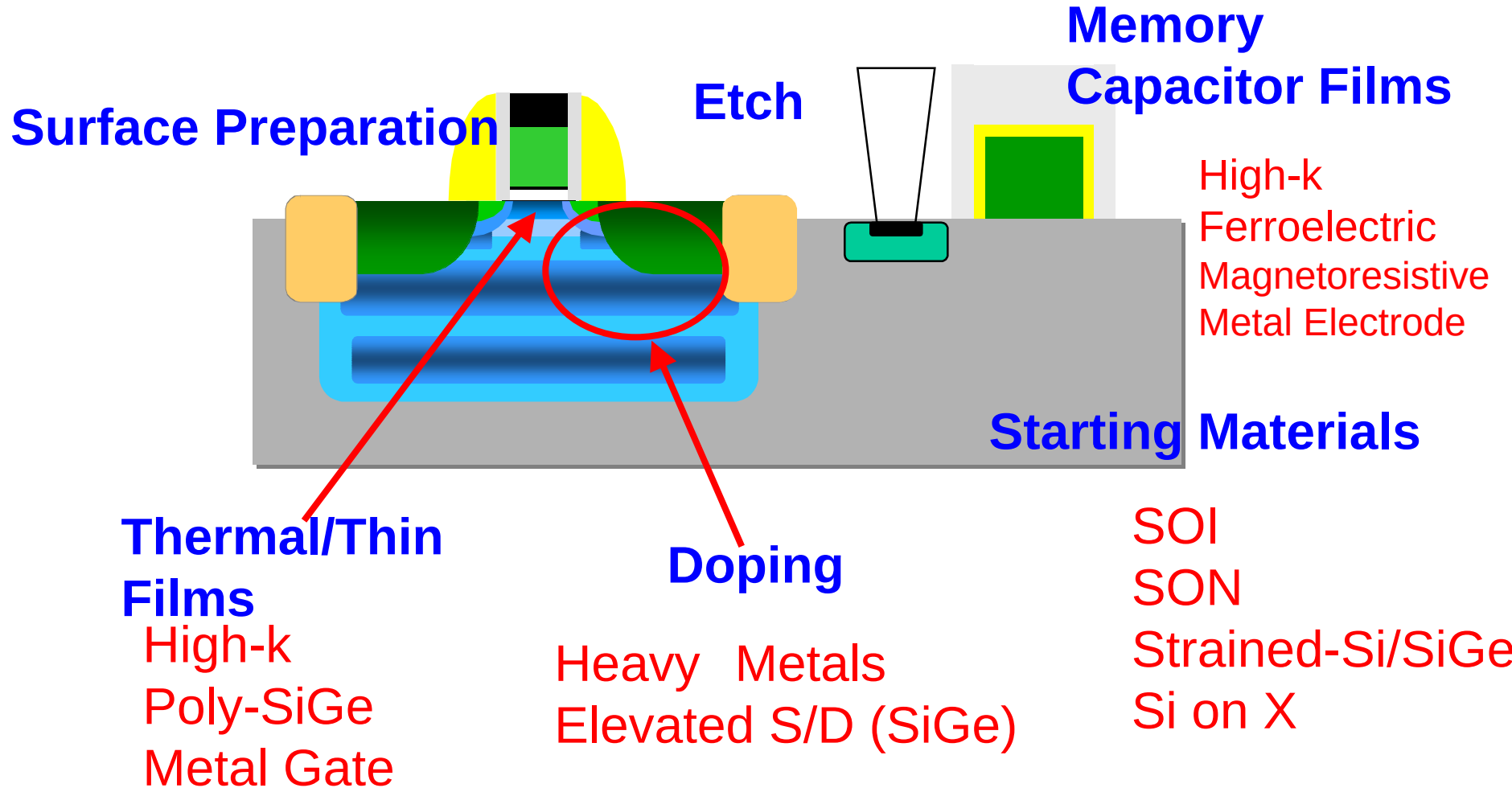


使用中 (FeRAMを含む)



導入を検討中 (MRAMを含む)

FEP における新材料候補



新材料導入による「ブレークスルー」

→究極の解決策として、魅力的

(素性をよく知らないからという面もあるが...)

しかし、従来材料にない「課題」があり、導入には時間がかかる。

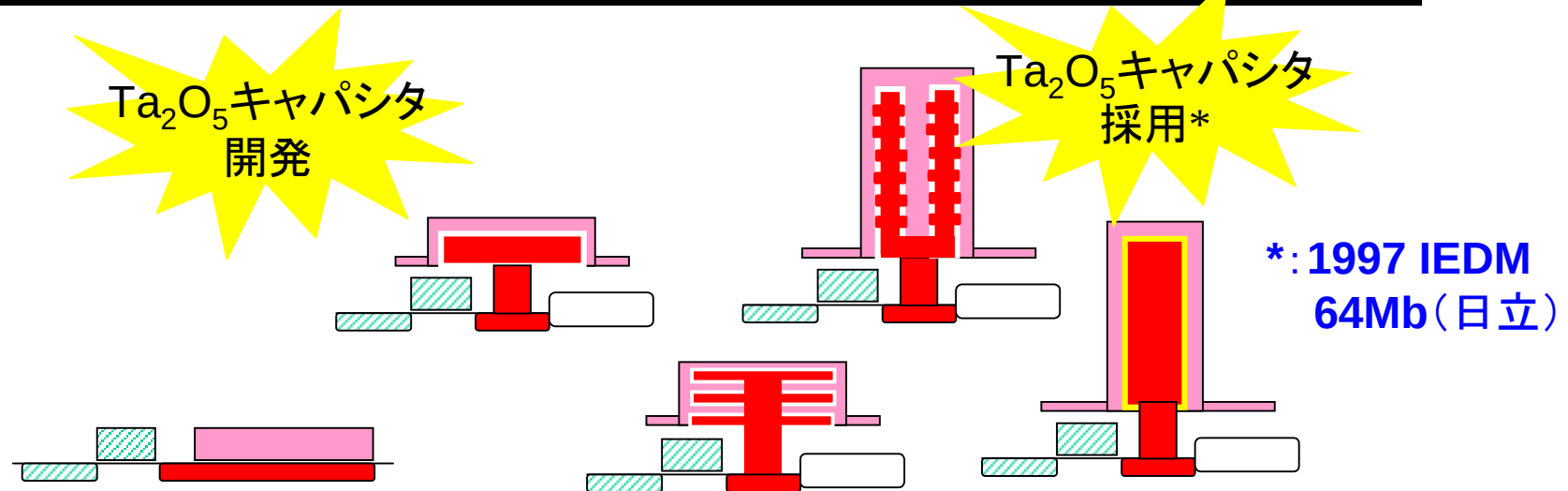
1999 ITRSより:

「High-kとメタルゲートの生産導入には10年以上はかかるだろう」

新材料導入ではなく、「従来材料＋プロセスの工夫」で対応することも多い

【例】DRAM(新材料: Ta_2O_5 、リーク等の問題点)
NO膜はキャパシタ構造の工夫により、10年以上使われた

	1982	1985	1988	1991	1995	1998	2001
世代	256K	1M	4M	16M	64M	128M	256M
構造	プレーナ	スタック	スタック	改良スタック	改良スタック＋HSG	改良スタック＋HSG	改良スタック＋HSG
材料	SiO_2	NO	NO	NO	NO/ Ta_2O_5	Ta_2O_5	Ta_2O_5

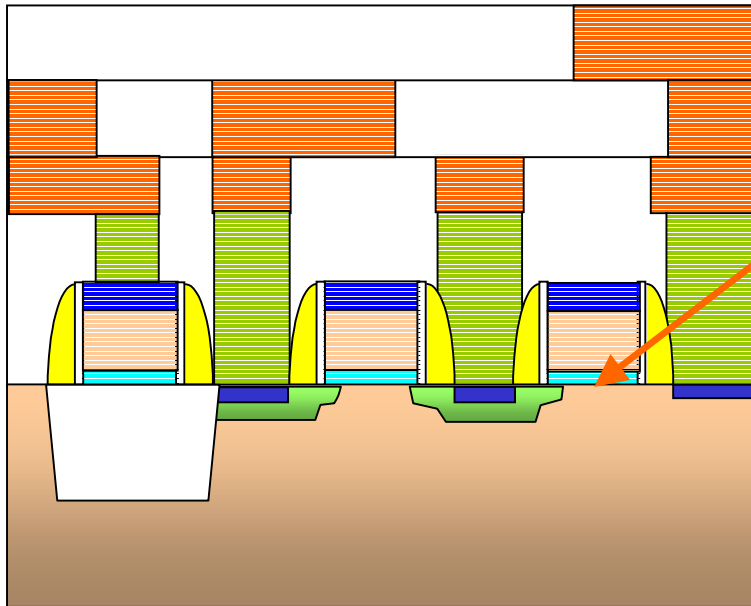


共通の問題点1: 汚染とその洗浄

1. 汚染に対する問題点

- ◆ High-k膜起因の汚染問題 → High-kの汚染許容値の明確化
- ◆ High-k膜へ及ぼす汚染問題 → 界面酸化膜・有機汚染の制御

2. 洗浄の開発課題



- ◆ High-k対応の新薬液洗浄
- ◆ 水素終端・ラフネス制御洗浄
- ◆ 洗浄・成膜・熱処理工程間の雰囲気制御

↓
クラスタ装置化

- ◆ ウェーハ裏面およびベベル(ウェーハエッジ)洗浄

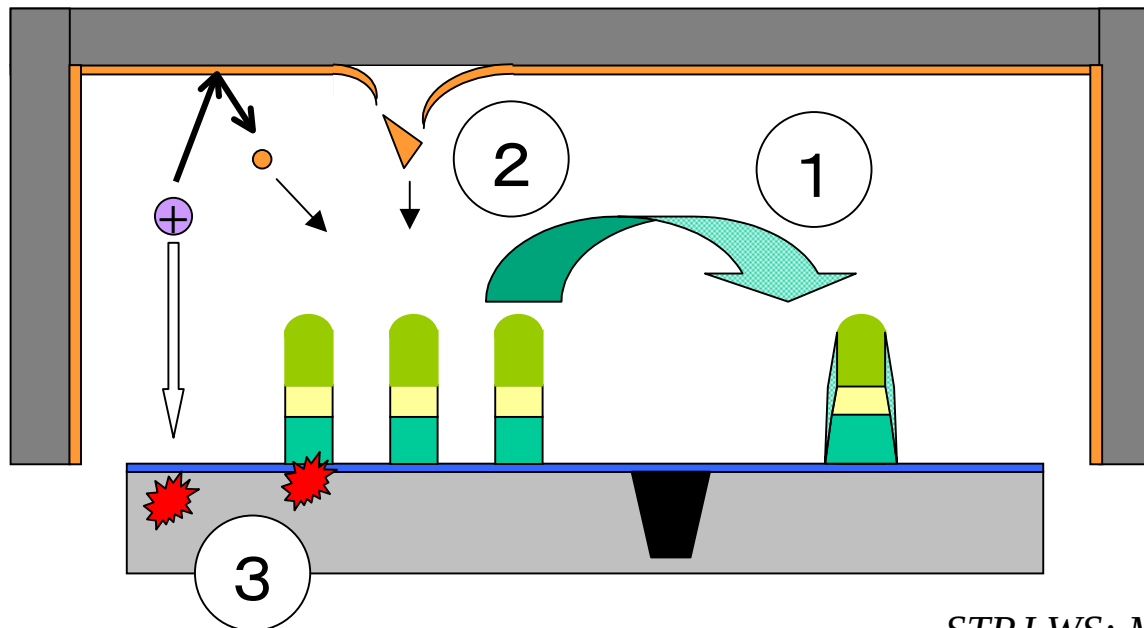
共通の問題点2:加工

原因:不揮発性の反応生成物の発生 ($\text{ZrCl}_x, \text{PtCl}_x, \text{FeCl}_x, \text{etc.}$)

課題: ① 精度・再現性の低下
② 汚染とパーティクル発生
③ プラズマ照射ダメージ

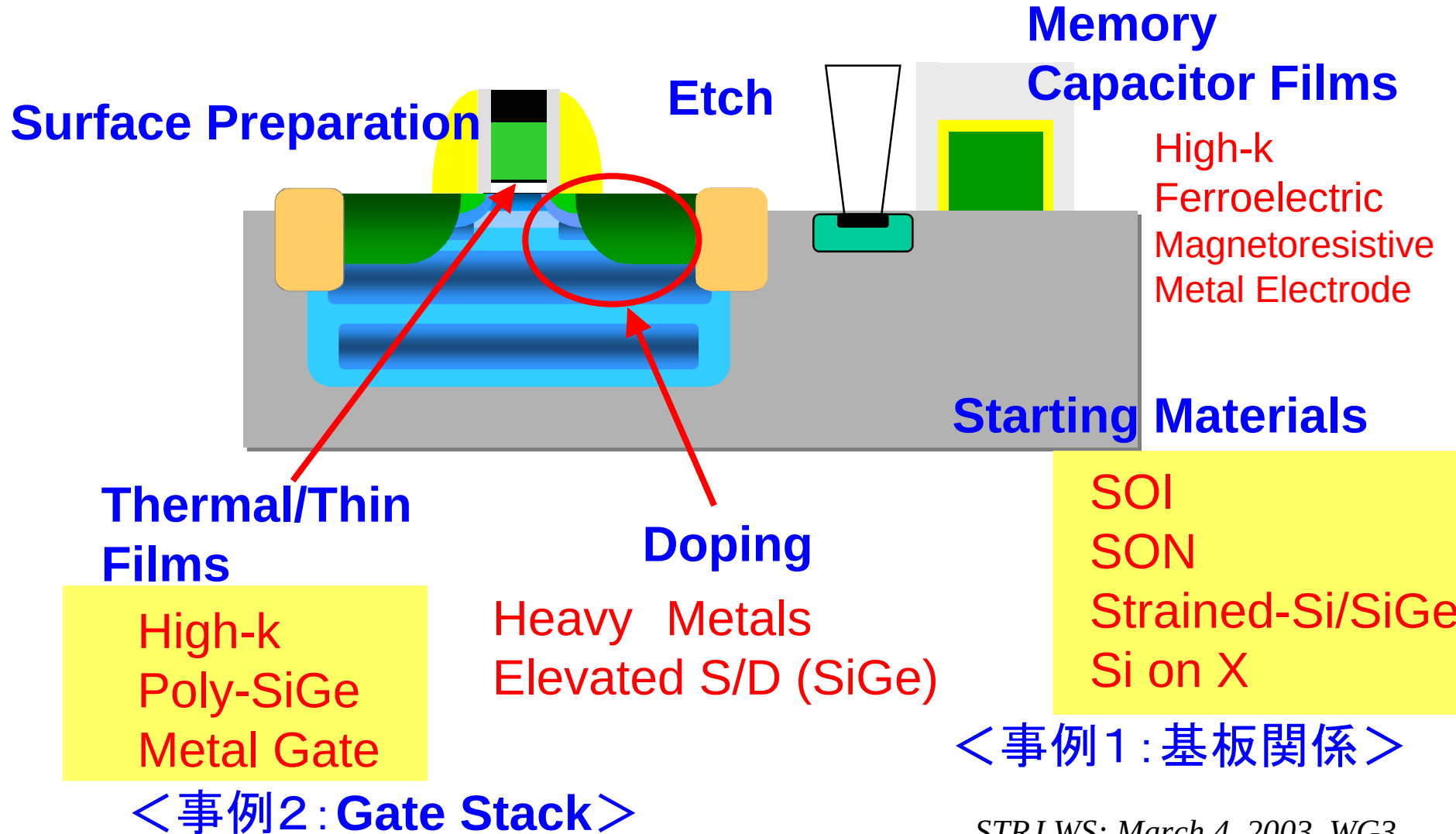
対策1: プロセス(新ガス系)

対策2: 装置(材料・条件・周辺技術)



新材料導入への挑戦

— 現状の紹介 —



事例 1

基板関係

基板材料への新材料の導入：必要性

ASIC HP (High Performance) 版 (ITRS 2001 Edition)

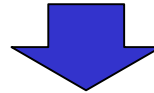
	2001	2004	2007	2010	2013	2016
テクノロジーノード(nm)	130	90	65	45	32	22
MOSFETゲート長 (nm)	65	37	25	18	13	9
SOC local clock (GHz)	1.7	2.9	4.3	6.1	8.6	12.2
EOT (nm)	1.3-1.6	0.9-1.4	0.6-1.1	0.5-0.8	0.4-0.6	0.4-0.5
Vdd (V)	1.2	1	0.7	0.6	0.5	0.4
Mob. Improvement F.	0	0	0	30%	70%	100%



新構造・材料素子による
チャネルの高移動度化
が必須

基板材料への新材料への導入: 元素

微細化によらない高性能化の実現



基板自体の物性を制御する。

I a	II a	III a	IV a	V a	VI a	VII a	VIII			I b	II b	III b	IV b	V b	VI b	VII b	0
1	2	3	4	5	6	7	8			9	10	11	12	13	14	15	16
H																	He
Li	Be											B	C	N	O	F	Ne
Na	Mg											Al	Si	P	S	Cl	Ar
K	Ca	Sc	Ti	V	Cr	Mn	Fe	Co	Ni	Cu	Zn	Ga	Ge	As	Se	Br	Kr
Rb	Sr	Y	Zr	Nb	Mo	Tc	Ru	Rh	Pd	Ag	Cd	In	Sn	Sb	Te	I	Xe
Cs	Ba	La	Hf	Ta	W	Re	Os	Ir	Pt	Au	Hg	Tl	Pb	Bi	Po	At	Rn
Fr	Ra	Ac															

	C	Si	Ge
共有結合半径 (Å)	0.77	1.17	1.23
バンドギャップ (eV)	5.6	1.1	0.66
		←全率固溶→	
	Si中Cの固溶限: 4%		

Geを利用した基板の高性能化

歪み利用の構造:

→歪みSiGe

→歪みSi

Strained SiGe

cap-Si < 5nm
strained SiGe ~10nm
Si sub.

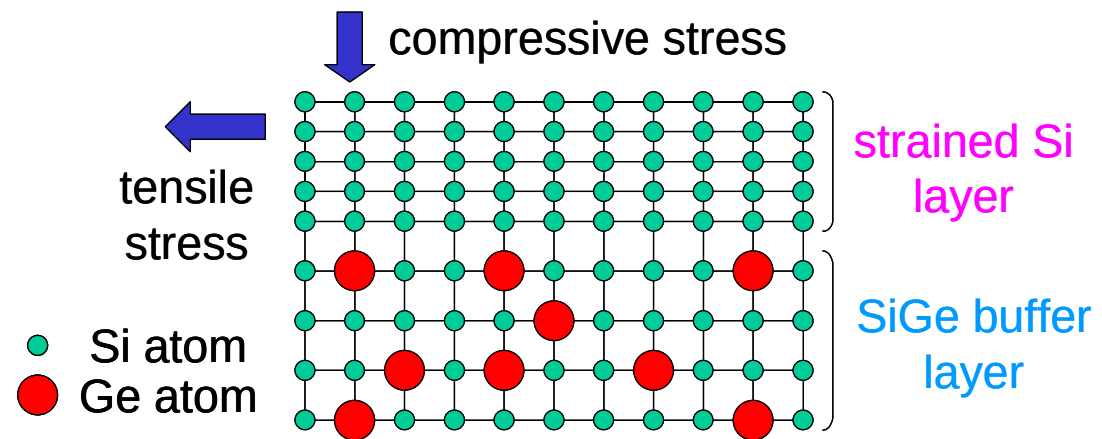
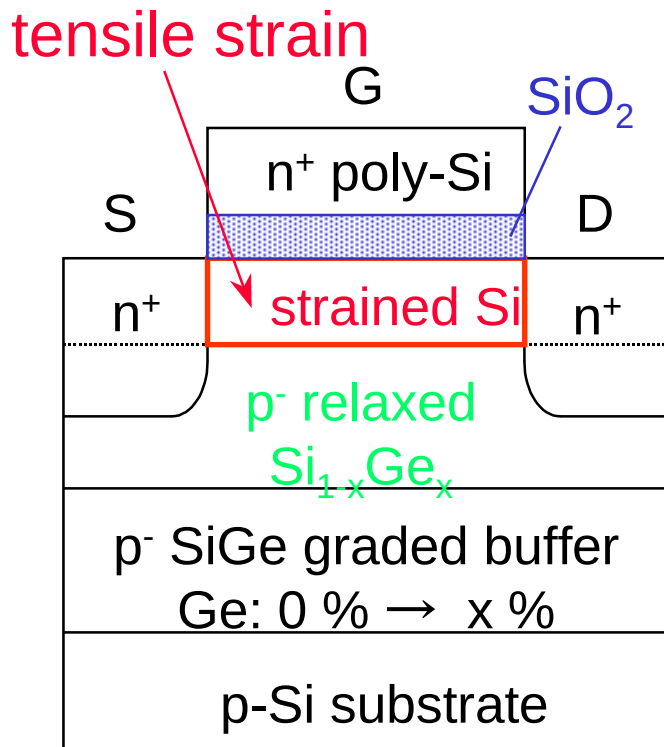
チャネル位置の
精密制御が必要

Strained Si

strained Si ~ 10nm
relaxed SiGe ~1 μ m
graded SiGe Layer ~1 μ m
Si sub.

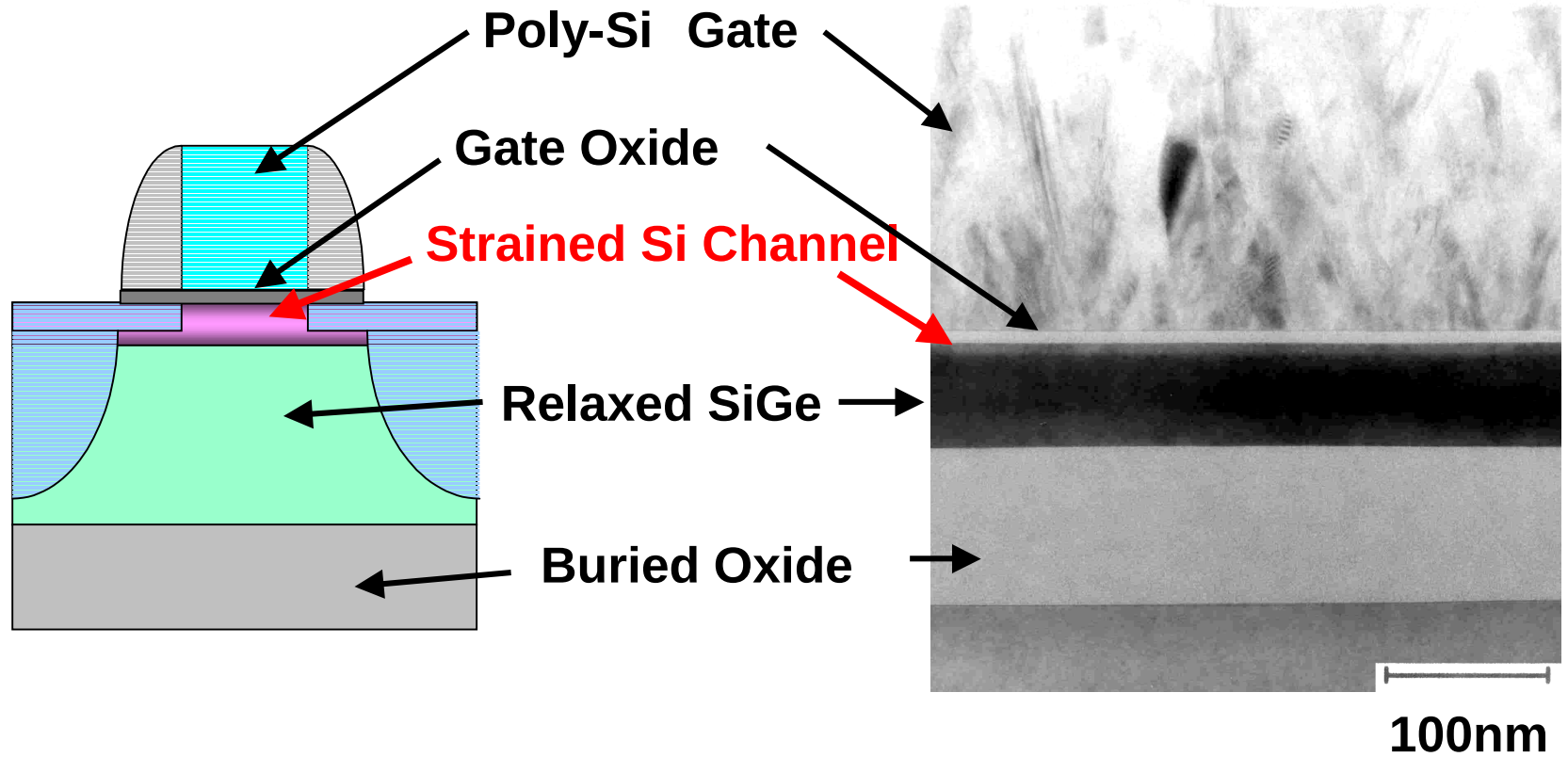
既存のLSI、SOIで蓄積された
技術の利用が可能

歪みSiの利用による高移動度チャネルの実現



(J. Welser et al., IEDM'92, p.1000)

歪みSi-SOI構造

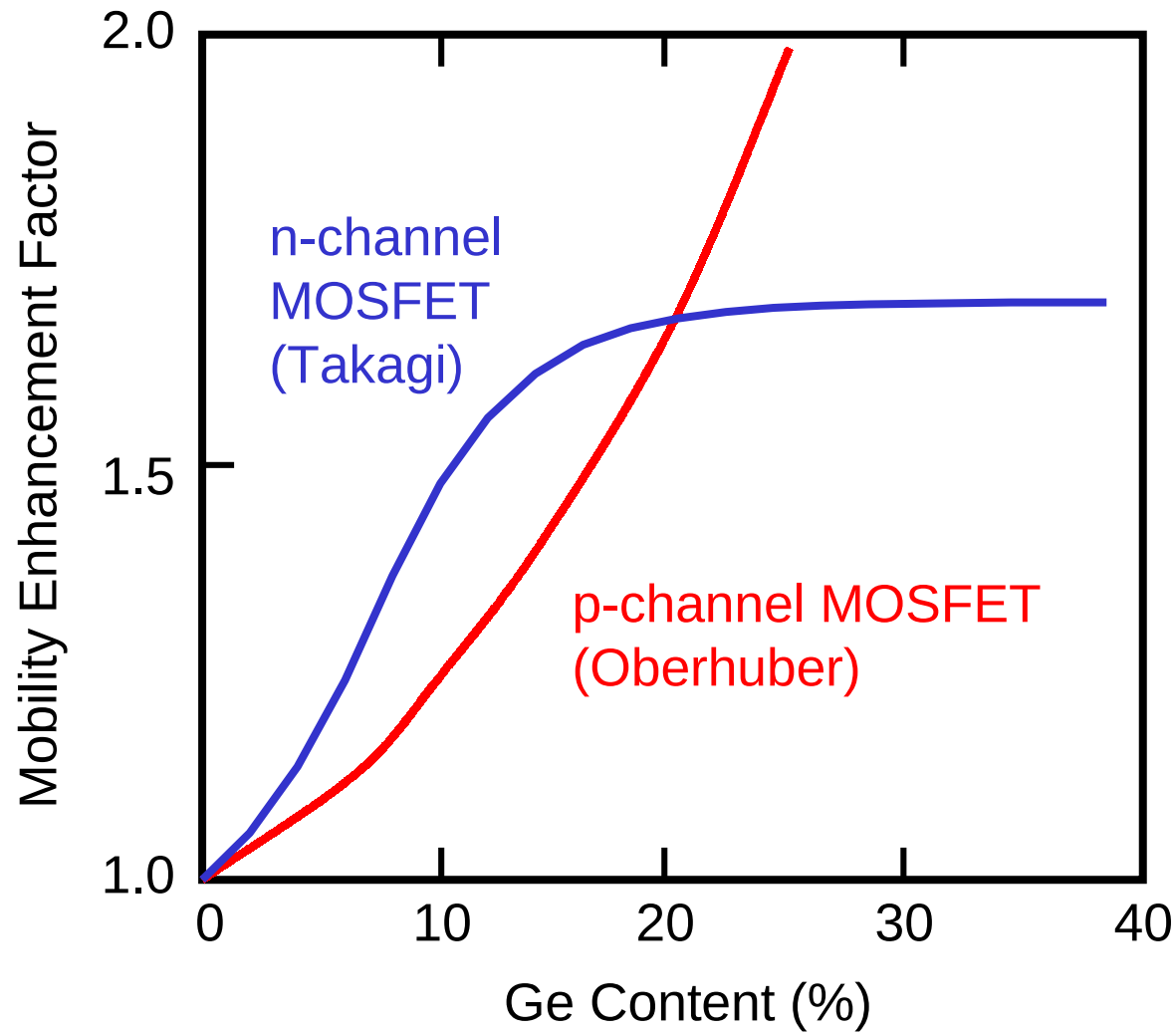


トランジスタ模式図

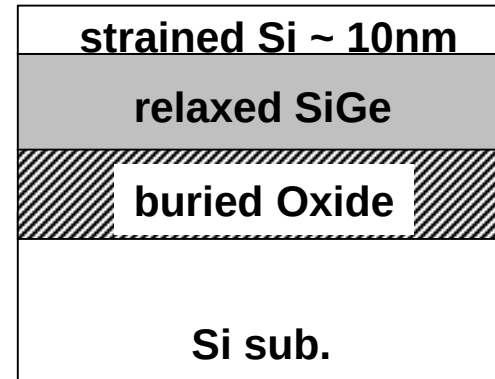
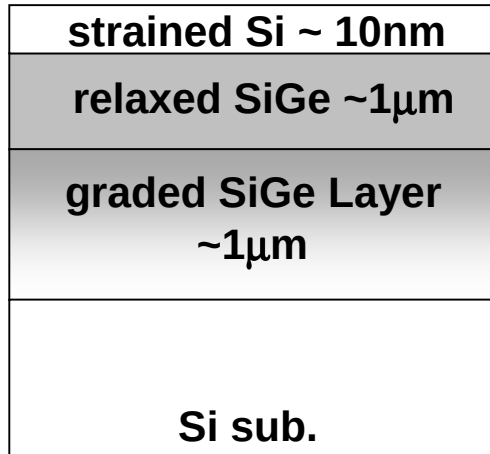
断面TEM拡大図

(T. Mizuno, et al., VLSI2002 p.106)

基板材料への新材料の導入:効果



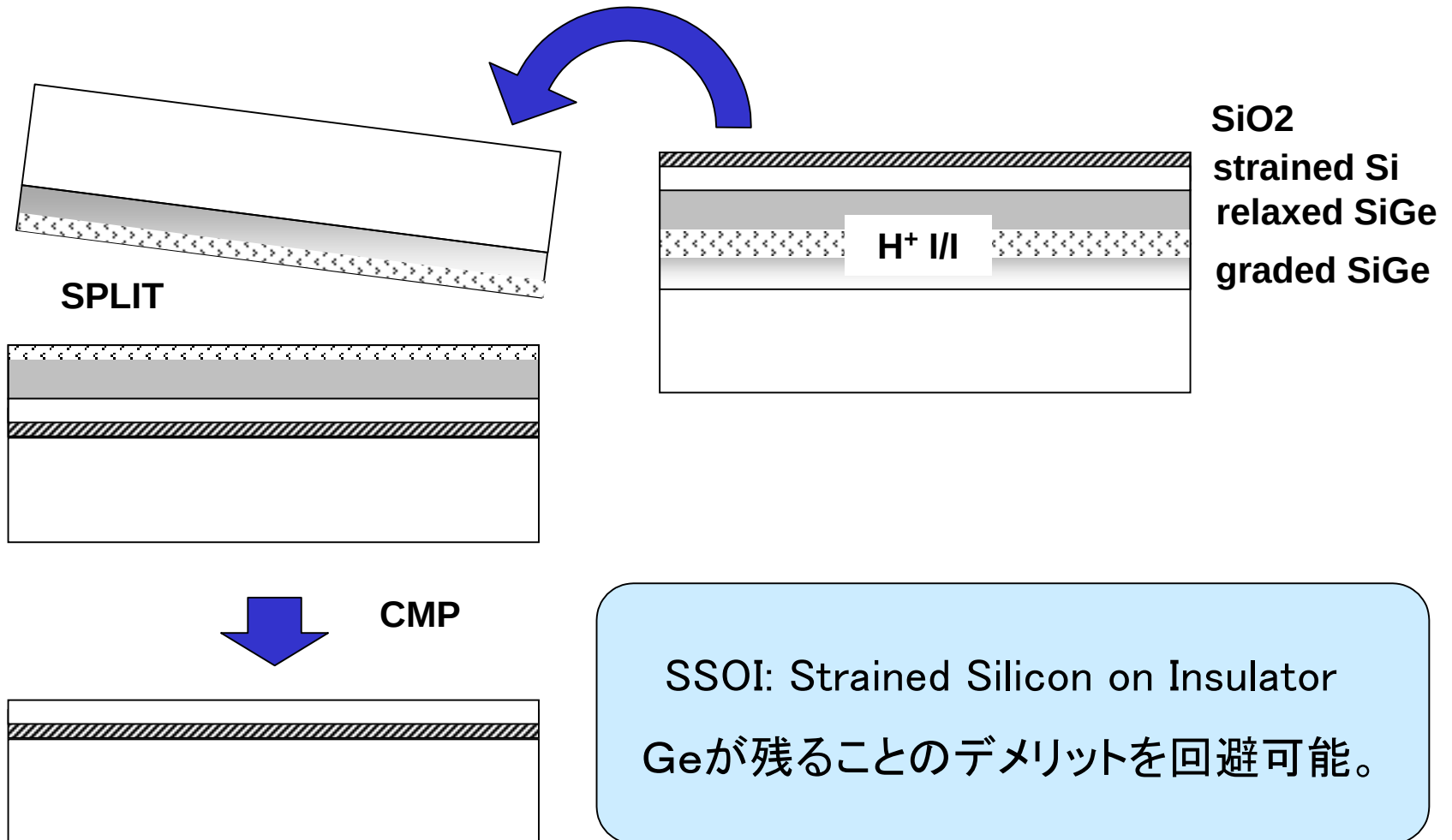
歪みSi 歪みSi-SOIの構造と課題



Geを利用した歪みSiの課題

1. 転位の制御 : 2 μ m程度のSiGe層が必要
2. 酸化、Silicidation : 表面荒れ等の抑止が必要
3. Geの拡散 : Geが表面まで拡散しないプロセスが必要
4. 低い熱伝導率 : 放熱機構に配慮必要 (Ge20%でSiの1/15)
5. 高コスト : 長時間のエピ／SOIプロセスが必要

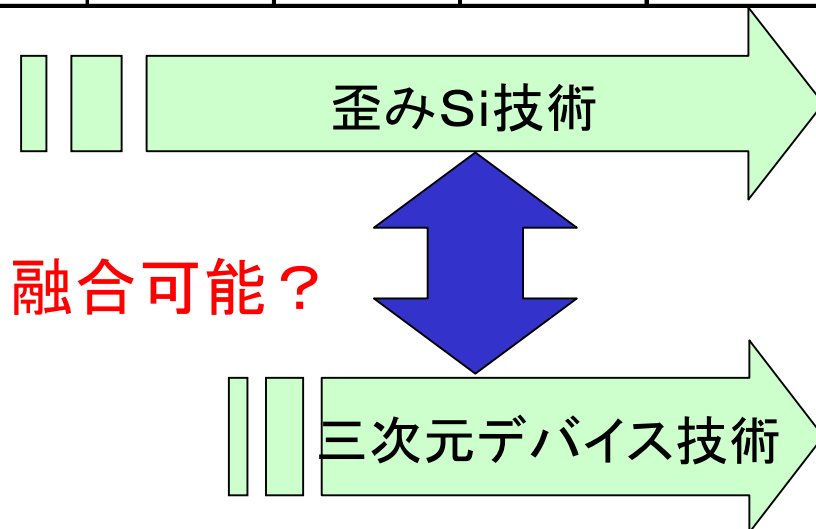
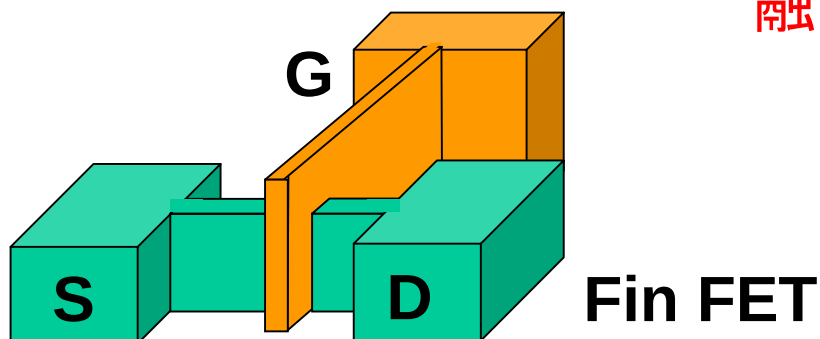
Geを残さないプロセス: SSOI



基板材料への新材料の導入：今後

ASIC HP (High Performance) 版 (ITRS 2001 Edition)

	2001	2004	2007	2010	2013	2016
テクノロジーノード(nm)	130	90	65	45	32	22
MOSFETゲート長 (nm)	65	37	25	18	13	9
Mob. Improvement F.	0	0	0	30%	70%	100%



事例2

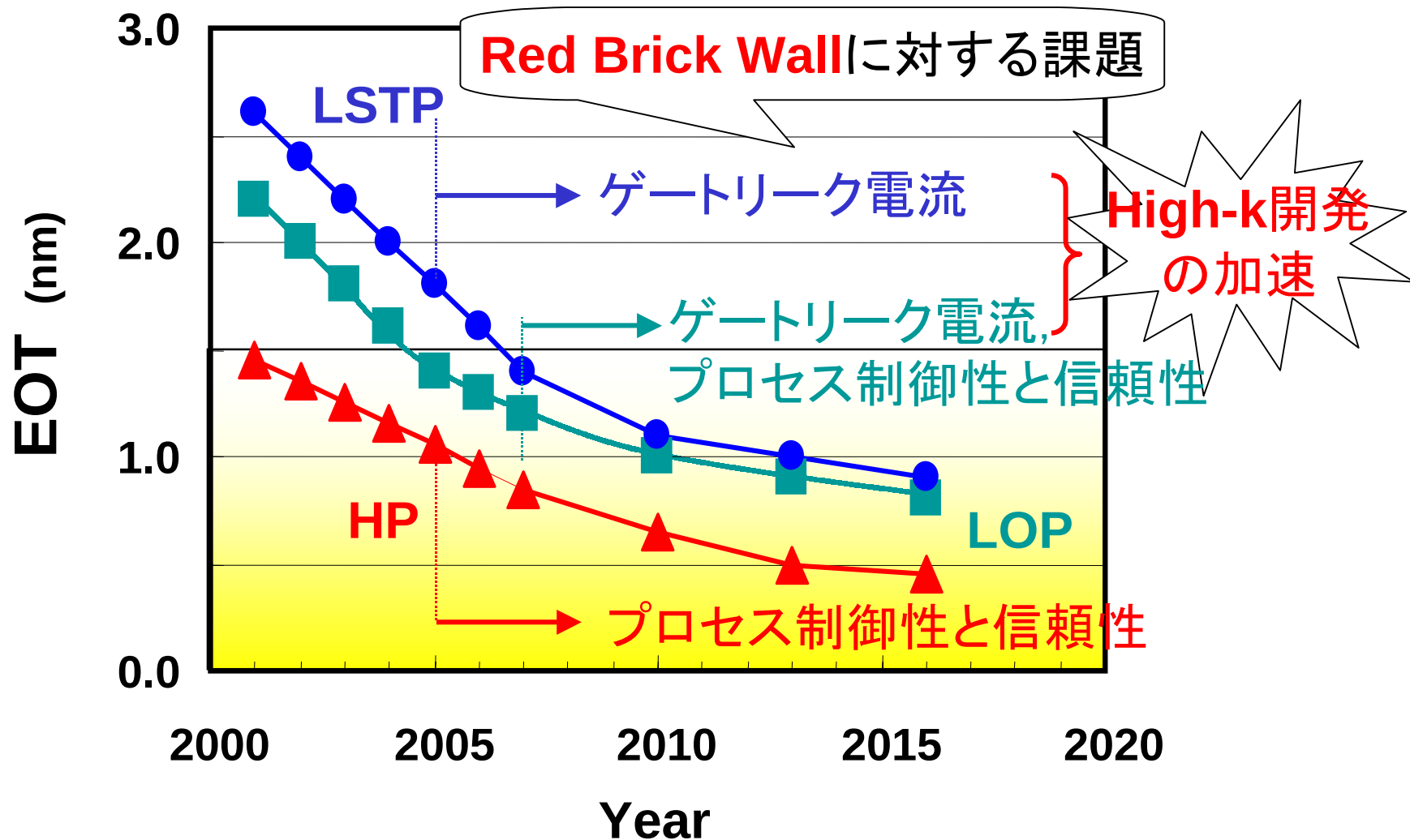
Gate Stack

ゲート絶縁膜に対する要求値

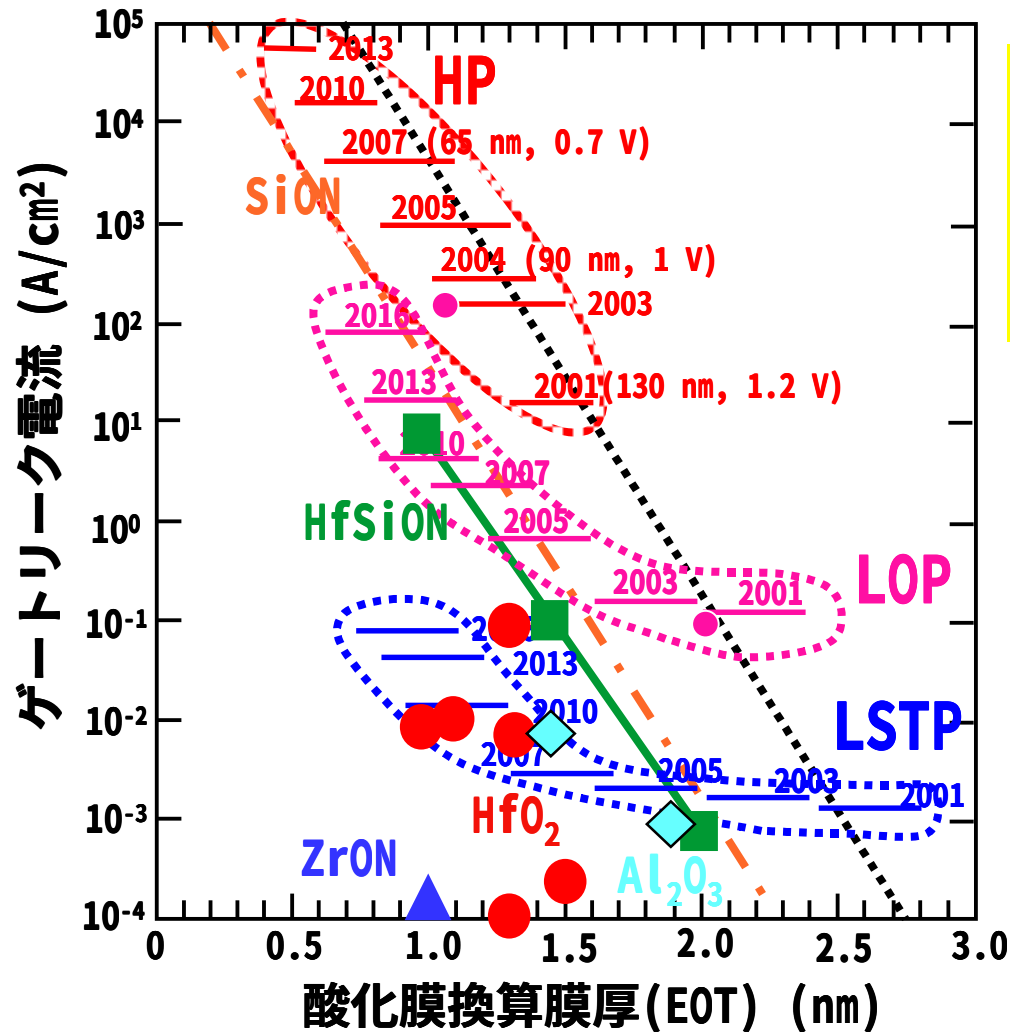
2002 update:LSTPのLg 1年遅れに伴う変更あり
 しかしゲートリークのRed Brick Wallが2年後に迫っている

		01	02	03	04	05	06	07	10	13	16
MPU/ ASIC	Lg	65	53	45	37	32	28	25	18	13	9
	EOT	1.3-1.6	1.2-1.5	1.1-1.4	0.9-1.4	0.8-1.3	0.7-1.2	0.6-1.1	0.5-0.8	0.4-0.6	0.4-0.5
	Ig (nA/um)	10	30	70	100	300	700	1000	3000	7000	10000
LOP	Lg	90	75	65	53	45	37	32	22	16	11
	EOT	2.0-2.4	1.8-2.2	1.6-2.0	1.4-1.8	1.2-1.6	1.1-1.5	1.0-1.4	0.8-1.2	0.7-1.1	0.6-1.0
	Ig (nA/um)	0.1	0.1	0.1	0.3	0.3	0.3	0.7	1	3	10
LSTP	Lg	100	90	75	65	53	45	37	28	20	16
	EOT	2.4-2.8	2.2-2.6	2.0-2.4	1.8-2.2	1.6-2.0	1.4-1.8	1.2-1.6	0.9-1.3	0.8-1.2	0.7-1.1
	Ig (pA/um)	1	1	1	1	1	1	1	3	7	10

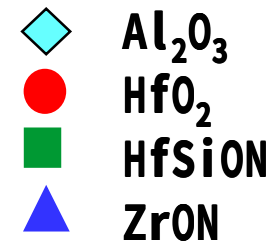
ゲート絶縁膜の劇的な薄膜化



I_{leak} の低減

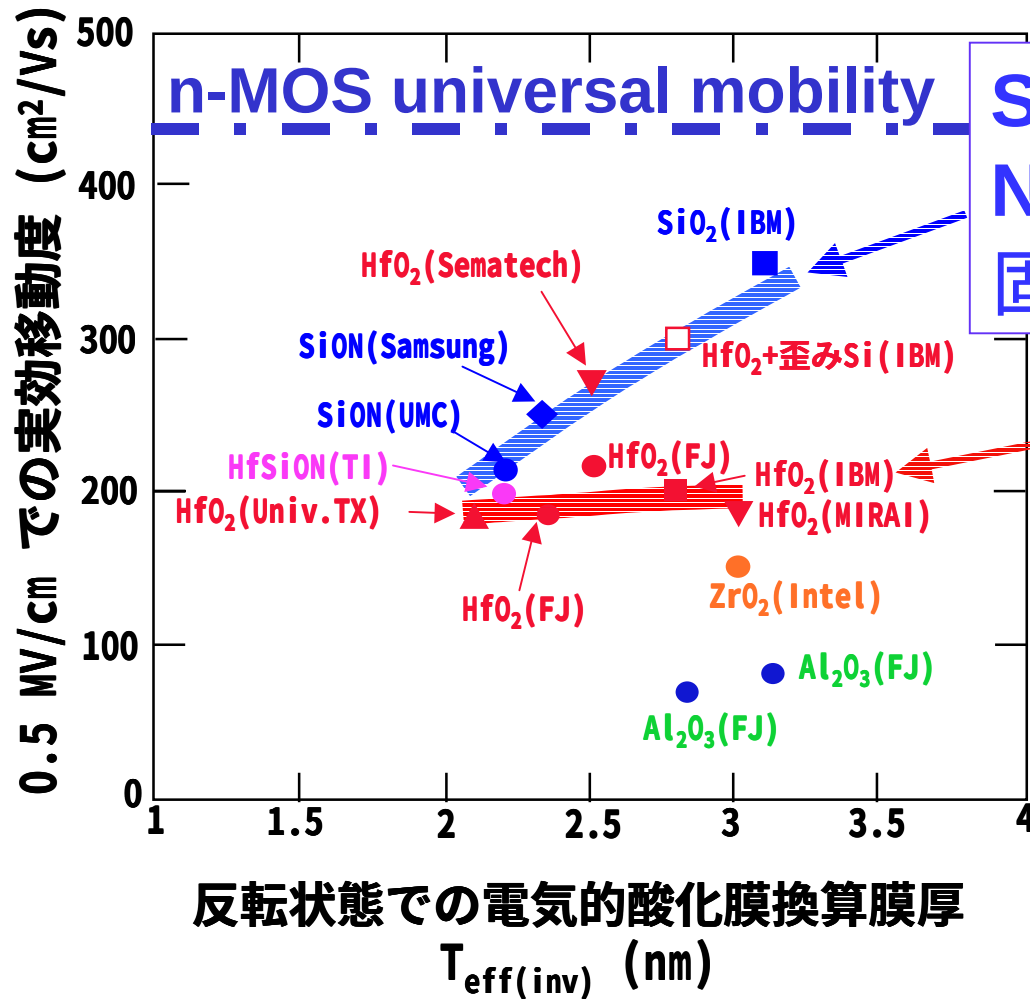


45 nm node ('2010)
のLSTP用リークスペック
は既にクリアしている



2002 VLSI symp.

課題：薄膜化に伴う移動度劣化



SiON薄膜化：
N濃度の増加に伴う
固定電荷による散乱

High-k：
界面付近の固定
電荷による散乱か

薄膜化で移動度劣化、
 $T_{\text{eff(inv)}} < 2\text{nm}$ でSiONと
High kの差はなくなる
劣化原因の究明と
対策が課題

どのHigh-k材料が本命か

‘99

Year of Production	2001	2002	2003	2004	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014
DRAM HP(nm)	150	130	120	110	100	90	80	70	63	57	50	45	40	35
Oxide														
Modest k : 5-10														
Modest k : 5-10														
Medium k : 10-20														
Medium k : 10-20														
High k >20														
High k >20														

SiO₂

Nitride/Oxide Oxy-Nitride

Al₂O₃ Others

Ta₂O₅ TiO₂ ZrO₂ HfO₂ Y₂O₃ La₂O₃ Gd₂O₃ Sc₂O₃

Zr- Hf- La- Ti-silicate

LaAlO₃ ZrTiO₄ ZrTiO₄ SrZrO₄

LaAlO₃ BaZrO₃ Y₂O₃ La₂O₃

現状の要求基準

比誘電率 > ~10

障壁高さ > 1.0 eV

耐熱性 > 1000°C

Ta₂O₅, TiO₂等が抜け落ちる
⇒ HfO₂およびそれらのアルミ
ネート、シリケート、窒素ドープ
膜に候補が絞られてきた

‘01

DRAM HP(nm)	130	115	100	90	80	70	65	58	51	45	41	36	32	28
Oxide														
Modest k : 5-10														
Modest k : 5-10														
Medium k : 10-20														
Medium k : 10-20														
High k >20														
High k >20														

SiO₂

Nitride/Oxide Oxy-Nitride

Al₂O₃ Others

ZrO₂ HfO₂ Y₂O₃ La₂O₃ Gd₂O₃ Sc₂O₃

Zr- Hf- La- Ti-silicate

LaAlO₃ YAlO₃

LaAlO₃ BaZrO₃ Y₂O₃ La₂O₃

Research

Development

Qualification/Pre-production

ゲート電極材料

High-k進展の遅れをカバーするため、ゲート空乏化を抑制することにより**EOT**削減と等価の意味を持たせる

- ・ポリSi中ドーパントの高濃度化
シミュレーションで検討中 熱抜け抑制が課題
- ・ポリSiGe
しきい値制御が課題
- ・メタルゲート
絶縁膜との反応、**dual gate**化が課題

First Year of IC Production		2003	2005	2007	2009	2011	2013	2015	2017
DRAM ½ Pitch (nm)		100	80	65	45		32		22
Gate Electrode									
Poly- Gate	Silicides on poly	CoSi ₂ , NiSi on Poly							
	Active poly doping for 25% dep. (E20 cm ⁻³)	1.14	1.66	1.87	2.50	2.99	3.74		
	Silicides on poly SiGe	CoSi ₂ , NiSi on Poly Si-Ge; other germanides							
Dual metal gate									
	Metal 1 for NMOS (E _f ~E _c)	Ta, TaN, Zr, Hf, MSi _x , MN _x , MSi _x N _y ...							
	Metal 2 for PMOS (E _f ~E _v)	Pt, Ru, RuO ₂ , Ir, Ni, Co, WN, MSi _x , MN _x , MSi _x N _y ...							

まとめ

◆ FEPへの新材料導入:

ロードマップを進展させる上で、要求度が高い。
課題も多いがチャレンジが続いている。

◇ 基板関係

Ge利用の**Strained-Si**は高移動度が実現でき、魅力的。
コストも含め、いかに**CMOS**プロセスに組み込むかが課題。
技術的には**90nm**ノードからでも導入できるレベルにある。

◇ Gate Stack

High-kはゲートリーク解決の解。**LSTP Tr**には必須。
材料としては**Hf**系が有望だが、導入のためには、
特に移動度低下の原因究明と対策が課題。
ゲート電極の空乏化抑制も有力なアプローチである。