

M&S技術の現状とその経済効果

—製品開発効率化に不可欠との認識が浸透—

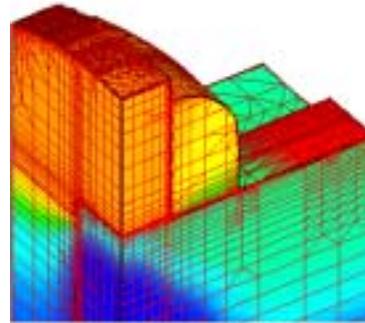
STRJ-WG10主査 和田

WG10: 副主査 西(Selete), 幹事 福田(沖)
佐藤(富士通), 山本(日立), 海本(松下), 藤永(三菱), 麻多(NEC),
藤原(三洋), 藤井(シャープ), 木村(SONY), 小島(ローム),
天川(Selete), 中山(STARC), 畑(TEL), 小林(アネルバ),
谷口(阪大), 小谷(広島国際大), 大野(産総研)[順不同敬称略]

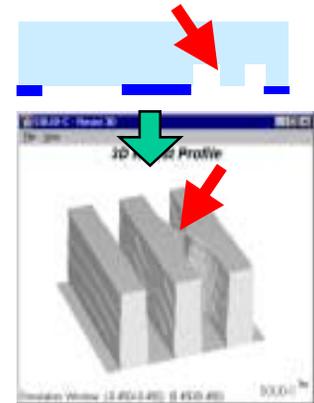
M&Sのスコープ

- 対象分野

- プロセスSim., デバイスSim.
回路Sim., リソグラフィSim.,
形状/装置Sim.など



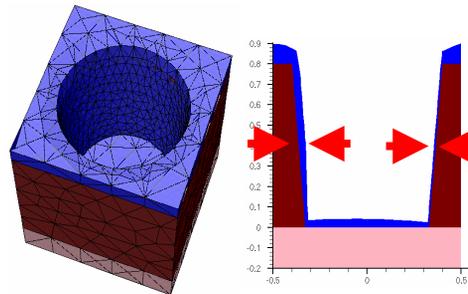
プロセス・デバイスSim.による
STI-MOS内の電位分布



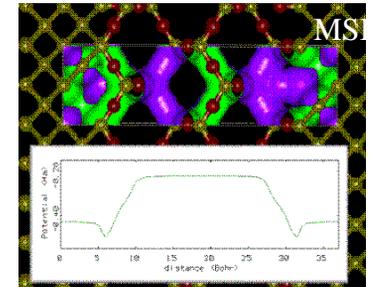
リソグラフィSim.による
マスク欠陥の転写像*

- 構成技術

- 各シミュレータに組み込まれる物理・化学モデル
- 数値計算, 技術計算プログラミング



形状Sim.によるウエハ
端のスパッタ膜形状*



分子軌道法によるSiO2
膜内の電子ポテンシャル*

M&Sが対象とする分野の計算例

※の図は M&S-ITWG,ITRS Tokyo 2002の資料の図を編集

‘02活動の背景・目的

- M&S特有の課題
 - 最終目標は開発を効率化する技術
- 効果・成果が見えにくい
 - 技術の維持・発展への課題
- M&Sの現状(特に経済性)を把握し提言に結びつける

M&S ... is one of the few enabling methodologies that **can reduce development cycle times and cost.**

ロードマップ本文冒頭に経済効果を明記

| <i>Year of Production</i> | 2001 | 2002 | 2003 |
|--|------|------|------|
| <i>DRAM ½ Pitch (nm)</i> | 130 | 115 | 100 |
| <i>MPU / ASIC ½ Pitch (nm)</i> | 150 | 130 | 107 |
| <i>MPU Printed Gate Length (nm)</i> | 90 | 75 | 65 |
| <i>MPU Physical Gate Length (nm)</i> | 65 | 53 | 45 |
| Overall <u>development cost reduction target</u> (due to <u>Modeling and Simulation</u>) | 25% | | 35% |

Table103bで経済効果をターゲットに設定

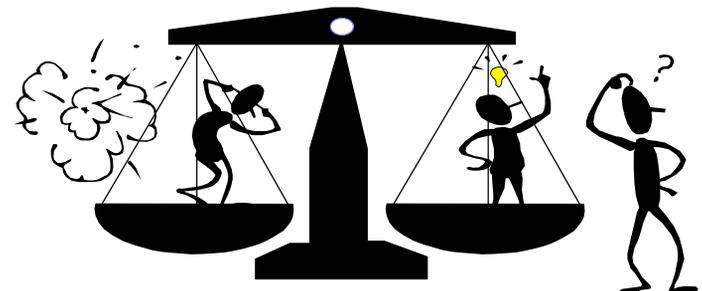
調査の目的・方法

— アンケート調査+'93,'97-SIAロードマップの評価 —

- M&Sの経済的な利用効果を調査
 - 利用者による客観的な評価結果を得る
 - 経済効果：効率化の度合いを回答者が数値で記入
- 技術の実現度評価
 - 日米の取組み方比較



評価結果の偏りを避ける
為利用者を対象にした



M&S技術の適用では同一状況設定が出来ず、「使用」と「不使用」の厳密比較困難

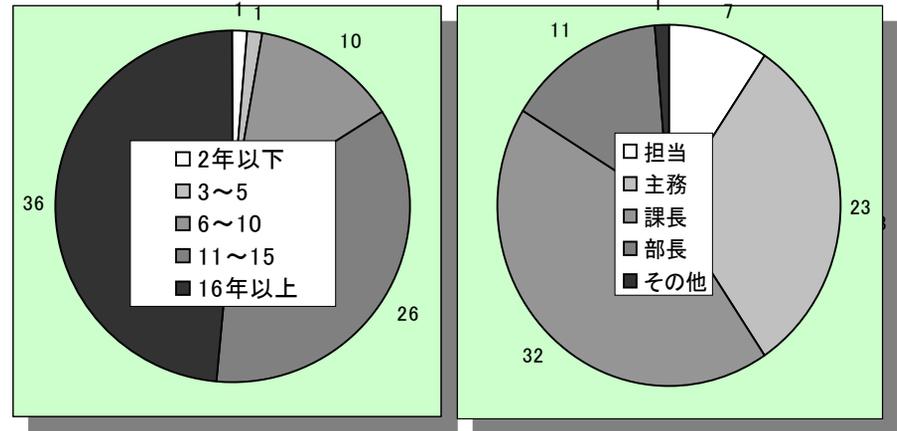
具体的な調査方法

- 対象者：計74名※
 - 国内半導体・同装置メーカー10社の技術者
 - WG3(FEP), WG6(PIDS)
 - '02/12から'03/1に実施
- 調査内容
 - 身近な有効例の経済効果
 - M&S有効活用の要件など
- 経済効果数値の記載者と非記載者に分けて分析

※ 調査に御協力頂いた方々に感謝いたします

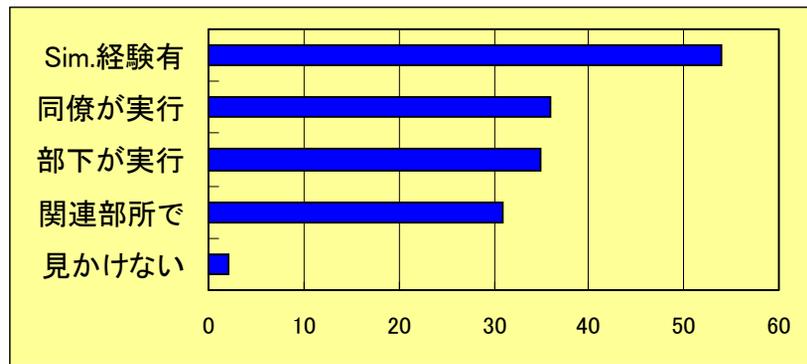
回答者プロフィール

- 入社6年以上が97%
- 担当者～部長クラス
- インテグレーション, 個別プロセスが多数
- Sim.経験者79%

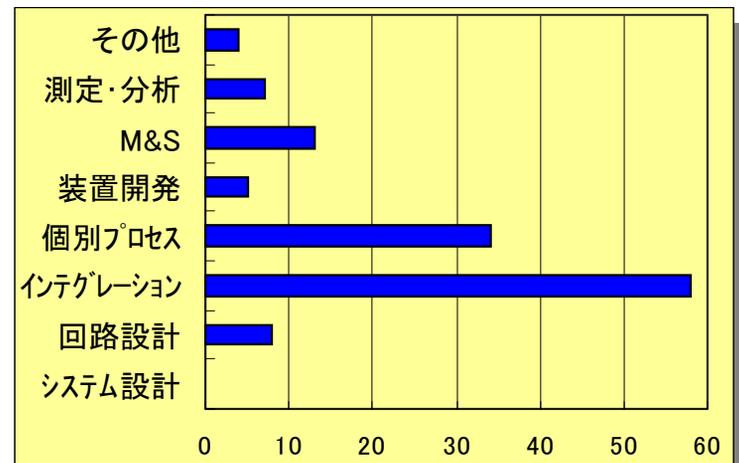


業務歴

ポジション



Sim.の経験(複数回答)

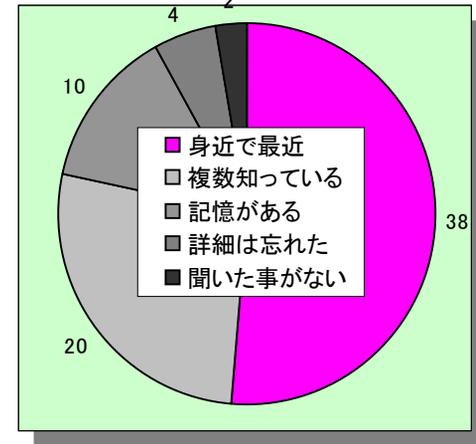


主な経験業務(複数回答)

効果をあげた身近な例

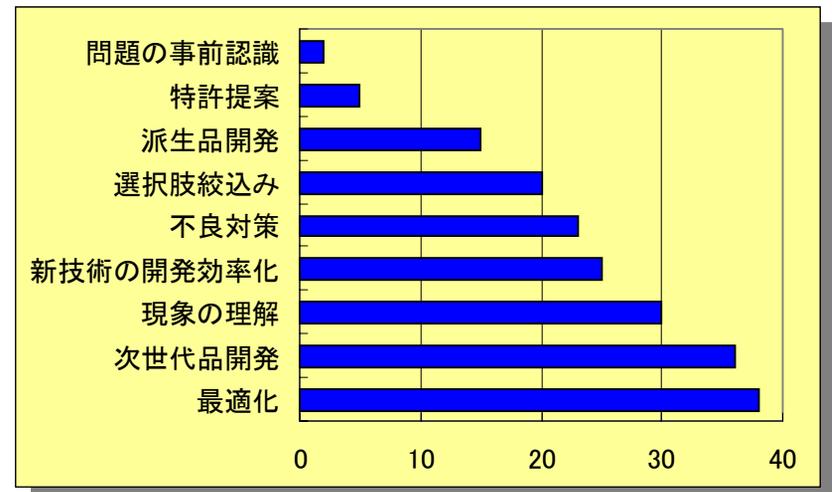
—「最近，M&S技術を使い開発が効率化された等，役立った例が身近に…」—

- 過半数がM&S技術での業務効率化を身近で経験



- 貢献の内容(複数選択)

- 最適化(38)，次世代品開発(36)，新技術の開発(25)
- 「派生品開発<新・次世代」はM&Sが開発上流で活用の為か



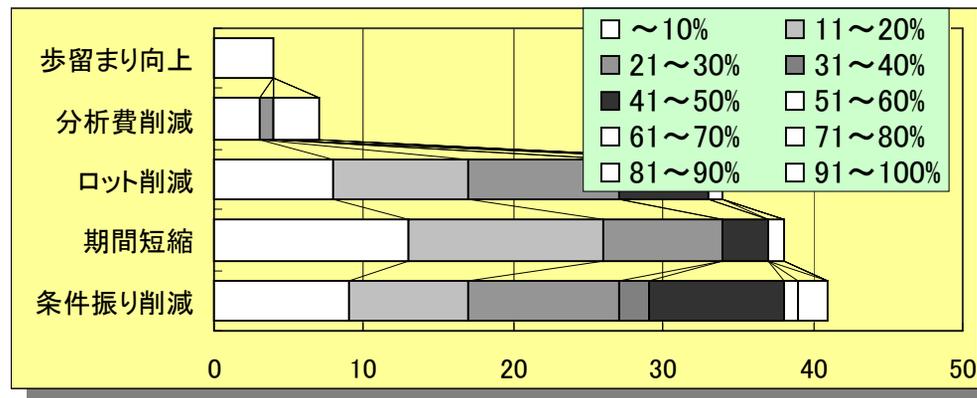
効果があった使用例の目的・成果

経済的な効果の数値

「上記の例の経済的効果を選び、そして率又は数値も出来るだけお答え下さい」

● 効果の平均値

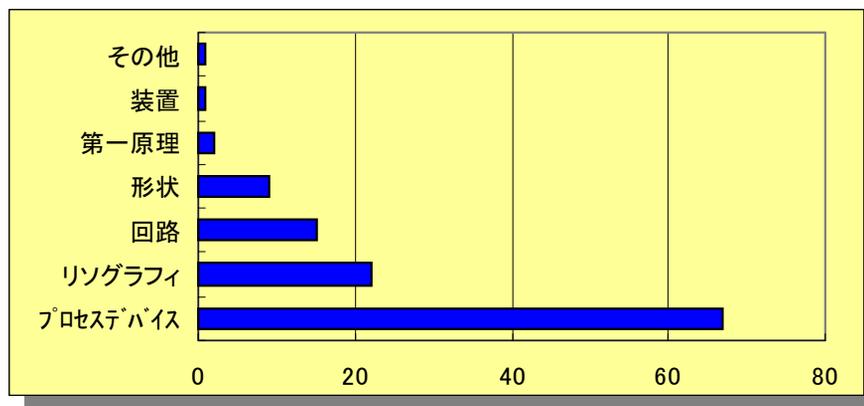
- 条件数削減率・・・34%
- 期間短縮率・・・26%
- ロット削減率・・・30%



● その際の使用ソフト

- プロセス・デバイス > リンググラフィ > 回路Sim.
- 上記傾向は主要回答者がインテグレーション担当を反映

主な経済的効果と効率化や削減率の回答数(複数回答)



使用したソフト(複数回答)

効果度記載有無に分けた分析

- 経済的な効果度数値
記載者は、事例を評価
できる立場/貢献度が
あると推定
- 効果度の記載者は「成
功体験のある利用者」

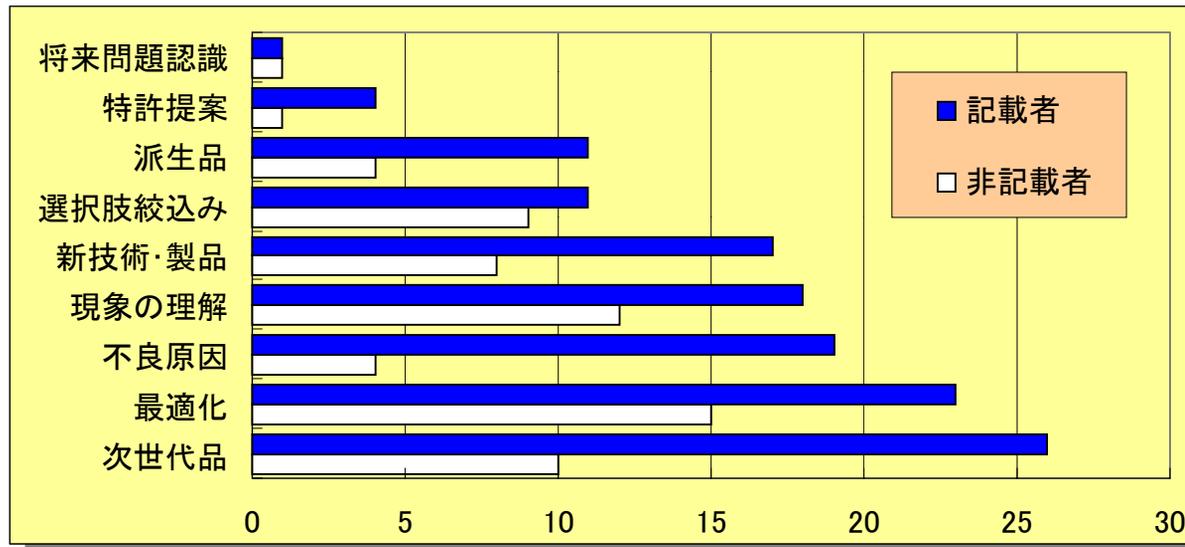


成功例の技術的内容・効果

— 経済効果値記載者と非記載者の比較 —

- 両者の相違点

- 記載者は次世代品, 新技術・製品での効果を指摘
- 非記載者は最適化, 現象理解

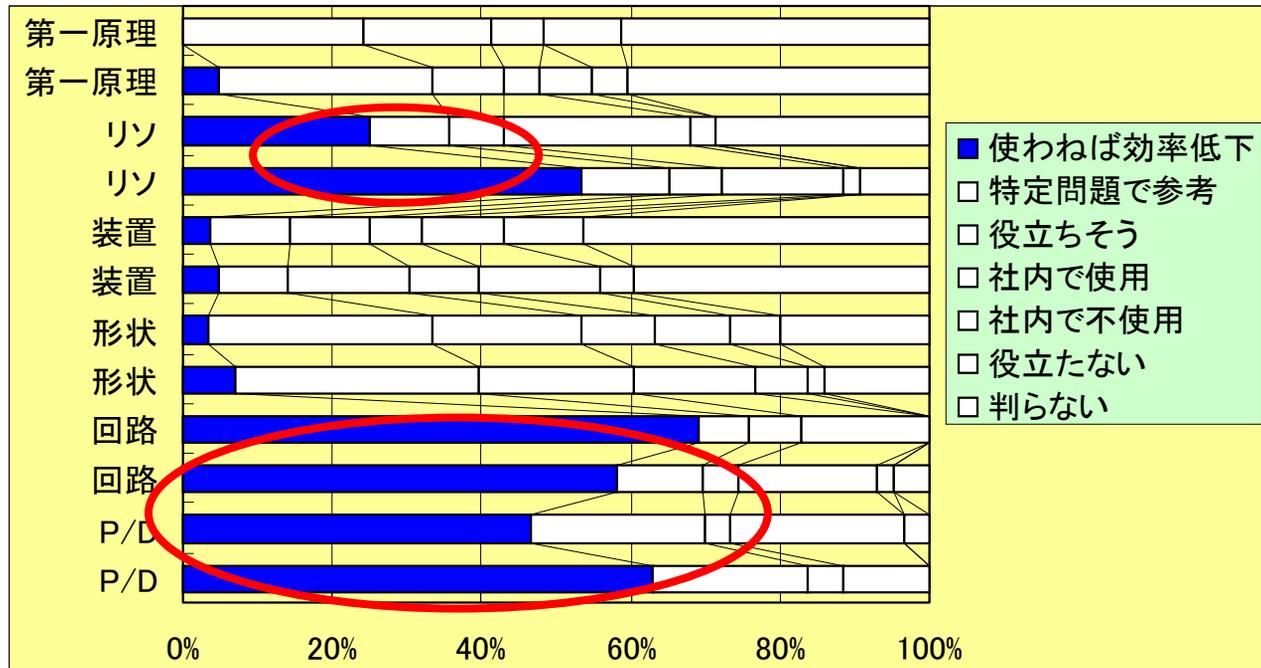


有効例の使用目的・効果に関する, 経済効果値記載者と非記載者の違い

M&Sの実用度評価

— シミュレーション技術分野別 —

- P/D※，回路，リソグラフィSim.は「使わねば効率低下」
- 記載者はP/D ※とリソグラフィを高く評価



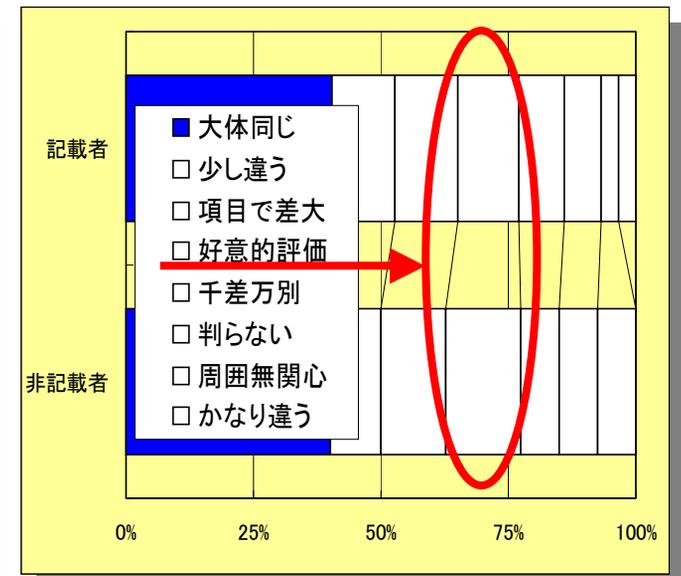
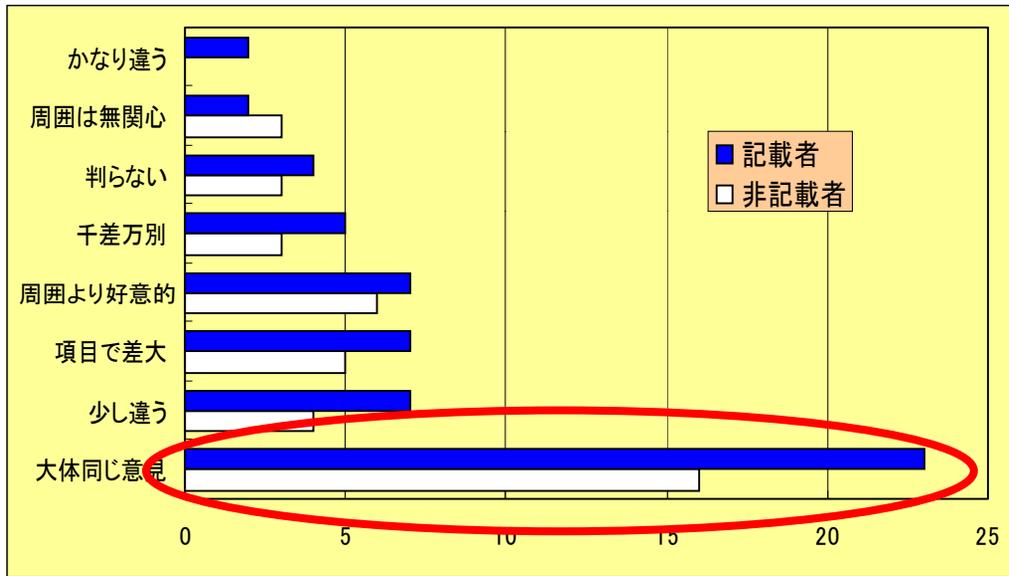
※ P/Dとは
プロセス・デバイスSim.の意

M&S技術分野毎への評価，下の棒は経済効果値記載者

自分の実用度評価は多数派か？

— 経済効果値記載者・非記載者の比較 —

- 両者共、回答者の身近では「大体同じ」
→「P/D, 回路, リソグラフィSim.は開発に必須」が一般的評価
- 非記載者は実用度を「好意的」に厳しく評価

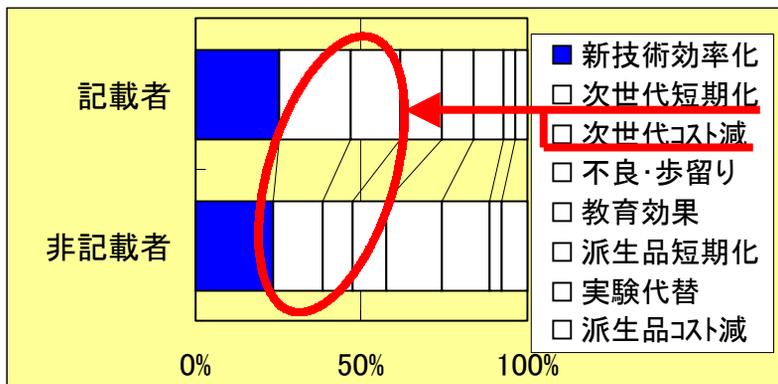


「評価はあなたの周囲の人と同じと思いますか？」への解

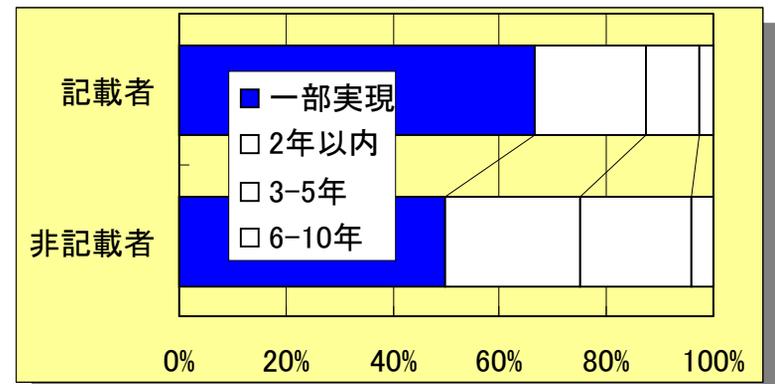
M&Sへの期待と実現時期

－「期待する効果は?」, 「最も期待する効果の実現するのはいつ?」－

- 経済効果値記載者と非記載者共通
 - － 新製品・技術, 次世代品開発の効率化を期待
 - － 「期待は一部実現」が過半数
- 両者の相違点
 - － 記載者は新製品・技術, 次世代品効率化
 - － 非記載者は派生品開発効率化・教育効果



M&Sへの期待(複数回答)



最大期待事項はいつ実現?

新技術開発への適用例

— SOI-MOSを用いた1Tr.メモリーセル※ —

- アイディアをセルレベルのシミュレーションで検証，問題点も把握
- 試作デバイスで動作を確認した

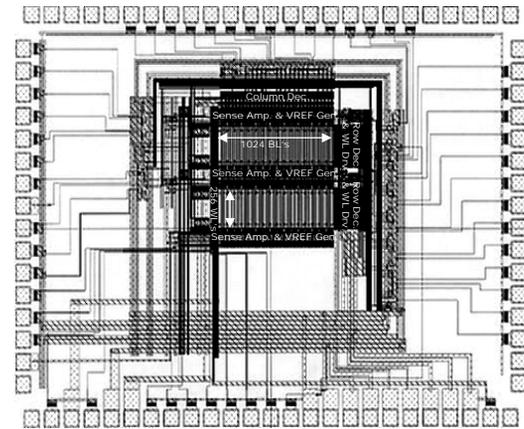
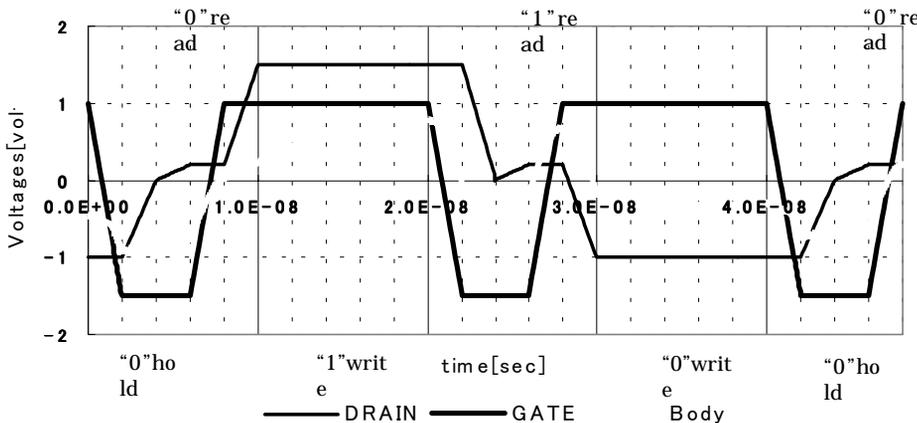


Figure 9.1.7: Chip image of 512Kbit FBC DRAM.

チップパターン



シミュレーションで確認した書込み
読出し動作の波形

※ T,Ohsawa et al., ISSCC Dig. Tech. papers, 00.152-153, Feb. 2002

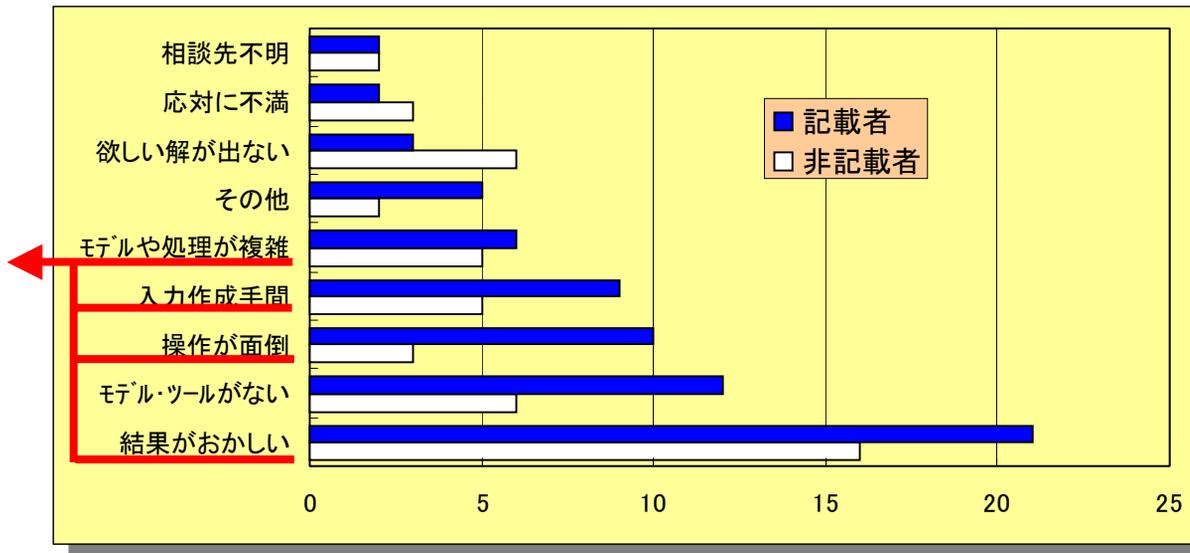
STRJ WS: March 4, 2003, WG10

M&Sへの不満

— 経済効果値記載者・非記載者の比較 —

- 共通項目(結果を得るまでの煩雑さ)が多い
 - 結果がおかしい, モデルやツール不在, 入力作成煩雑
- M&Sの高度化(精度を上げるため)多様化が原因か

専門家が支援する必要性



「M&S技術に対して不満に思う事を下記から・・・」の回答

M&Sの経済効果目標値

—'02は30%, '06は40%—

- ロードマップでは更なる経済効果向上を設定
- テクノロジー高度化 → M&Sの停滞は効率化低下
- 更なる効率化の為には?

| <i>Year of Production</i> | | <i>2003</i> | <i>2004</i> | <i>2005</i> | <i>2006</i> | <i>2007</i> |
|---------------------------|--|-------------|-------------|-------------|-------------|-------------|
| | <i>DRAM ½ Pitch (nm)</i> | 100 | 90 | 80 | 70 | 65 |
| | <i>MPU / ASIC ½ Pitch (nm)</i> | 107 | 90 | 80 | 70 | 65 |
| Add | <i>MPU Printed Gate Length (nm)</i> | 65 | 53 | 45 | 40 | 35 |
| Add | <i>MPU Physical Gate Length (nm)</i> | 45 | 37 | 32 | 28 | 25 |
| Was | Overall technology cost reduction target (due to TCAD) | 35% | | | 40% | |

ITRSロードマップでは経済効果の更なる向上を目標に設定

M&Sで効果を上げるには

— 経済効果値記載者・非記載者の比較 —

- 共通認識

- キャリアレーションが最重要

- 相違点(記載者の重視項目)

- **専門家育成**

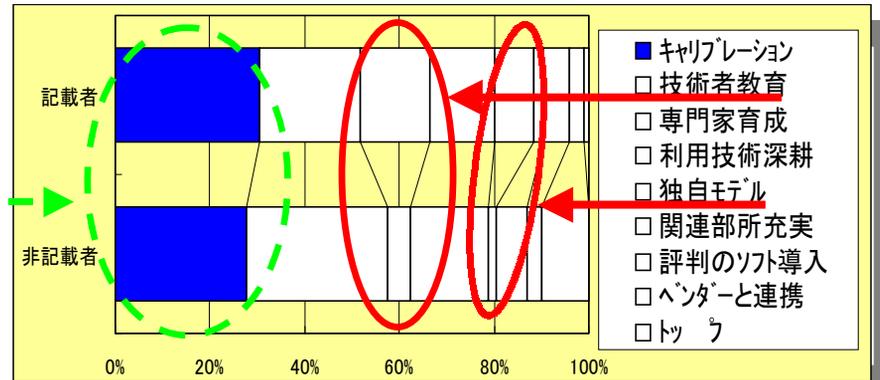
- ← 専門家の支援があつて有効活用が可能

- **独自モデル**

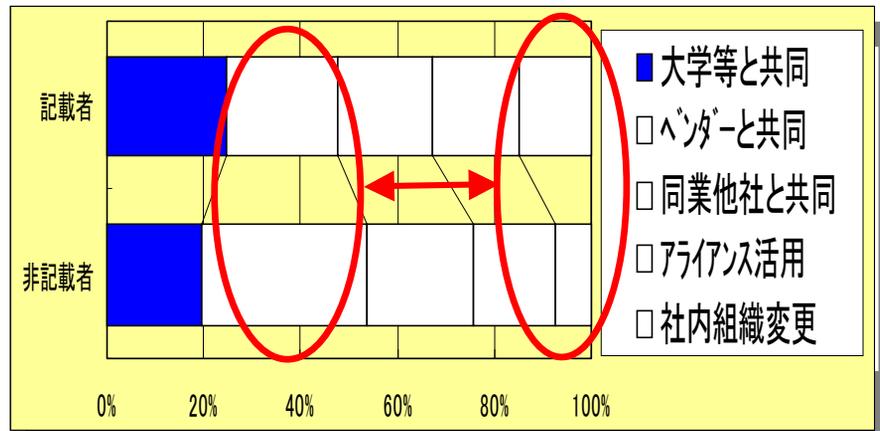
- ← 既存モデルの限界・新たな方向性

- **社内組織の変更**

- ← 社内強化



効果を上げるに必要な施策



必要/効果的と考える体制

M&Sで取組むべき課題

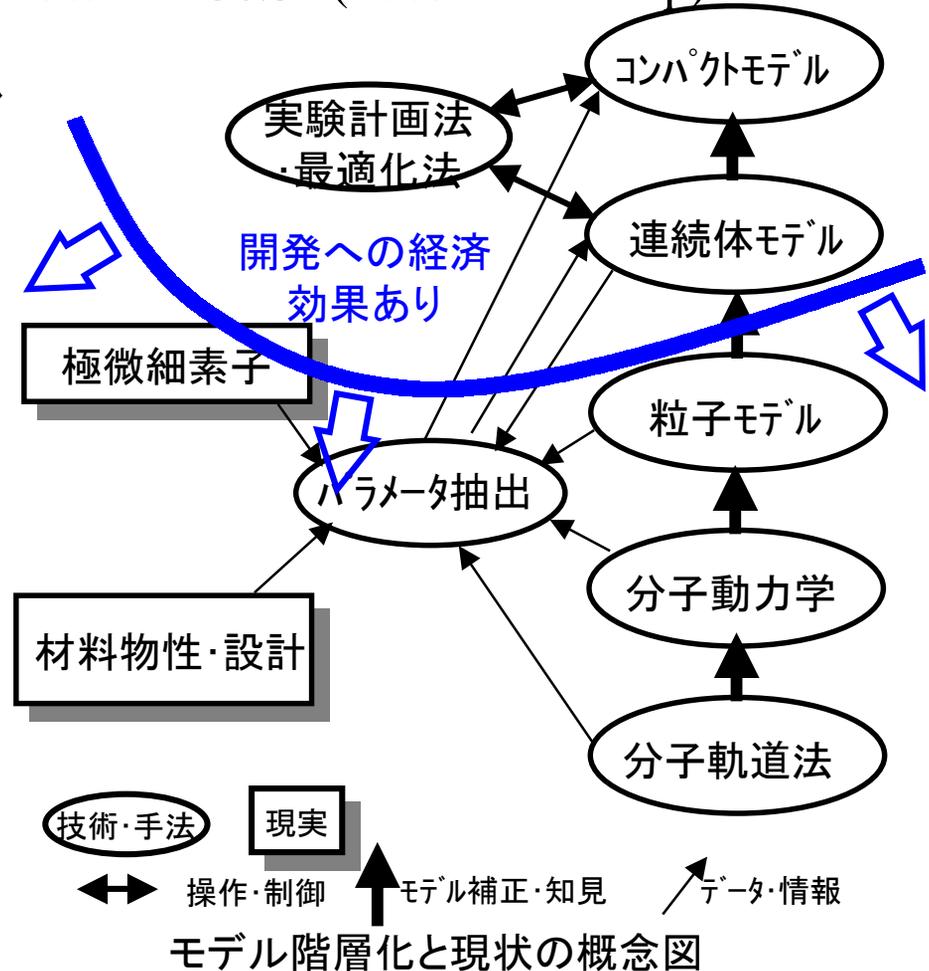
— 自由記述 —

- 応力のプロセス・デバイス特性への効果[10]
- Hot Processモデル(拡散・活性化・偏析) [7]
- 3Dシミュレーション[5]
- リークモデル[4]
- 信頼性[3]・・・ESD, ソフトエラー, 特性劣化

M&Sの新たな方向

— "Predictive Hierarchical M&S" (2003 Road Map) —

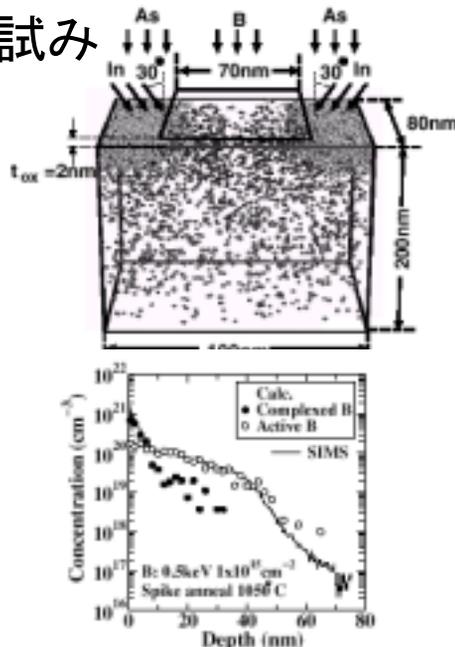
- 原子レベルからマクロレベルまでのモデル階層を用い予測能力向上
 - 実デバイスへの具体的貢献内容が鍵
- モデルの階層間を埋める技術の実現が鍵
 - 逆問題 (インバースモデリング), 最適化
 - パラメータ抽出



新たな方向の具体例

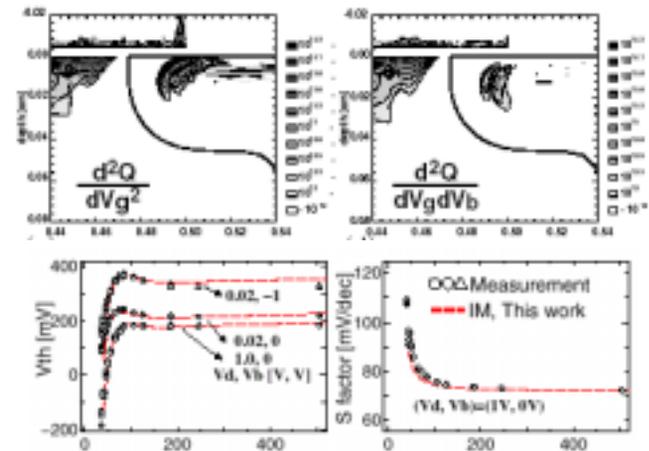
— "Predictive Hierarchical M&S" (2003 Road Map) —

- 原子レベルモデルの試み
不純物導入・拡散+電子輸送を扱う試み



T.Ezaki et al. IEDM2002 Tech. Digest 12-3

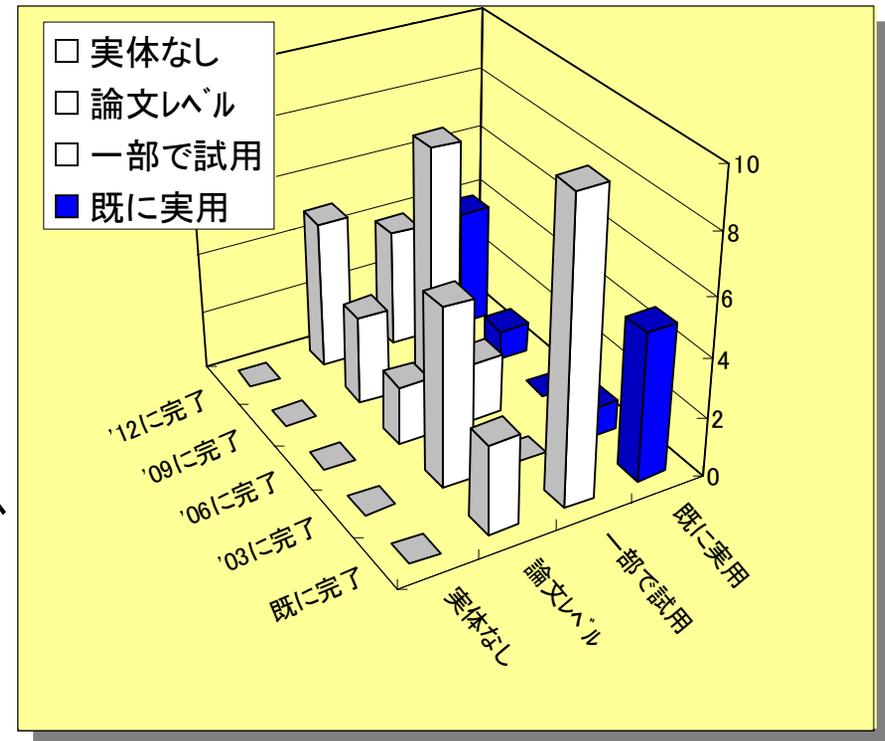
- インバースモデリングの試み
観測困難な不純物分布を巨視的実測値から精密に推定



T.Tanaka et al., IEDM2002 Tech. Digest, 35-4

M&Sロードマップ実現への取組み

- SIA版'93,'97ロードマップ記載項目の実現度を4段階で評価
 - 記載項目は全て論文レベル以上
- 米国はSIA忠実にロードマップ内容実現に取り組んだと考えられる



SIA版'93,'97ロードマップ記載の54開発項目につき、開発完了時期別に見た現時点の実現度

まとめ

- 利用者(インテグレーション,個別プロセス)を主対象としM&Sの現状での効果を調査
 - 約30% (利用者の尺度)の開発効率化を実現
 - M&Sに最も期待する効果は, 過半数が「既に一部実現」と認識
 - 活用者は, 更なる活用にはキャリブレーション, 専門家育成などを重視
- M&Sは高度化に対応できる専門家養成を通じて, 如何に強化発展させ活用するかの時期に入っている