2002年度WG11(Metrology)の主要活動

WG11　池野　（三菱）

1．ITRS会議

02/4　ITRSドイツ会議

- ITRS2001年版Metrology図表の間違いを修正
- CD寸法計測の表を細分化
- Cu配線ボイド計測要求値の見直し
- インラインホールチェッカ（コンタクトホール検査装置）のロードマップ追加を提案

02/7　ITRSサンフランシスコ会議

Potential Solutionについて専門家よりヒアリング

- CD計測（SEM、Scatterometry、AFM）
- 電子ビームによるナノ構造の観察と計測
- ゲート絶縁膜の電気的計測
- 光励起によるCu膜厚計測
- 3次元原子スケールの元素分析

02/10　ITRS東京会議

- 2002年Update内容の確認

2．STRJ　WG4（配線）とのクロスカット活動

- WG4/11合同会議 & 合宿（'02/11月）
- Cu/Low-k配線・計測技術の課題につき検討

WG11（YE & MET)

主査	長田	（富士通）
副主査	北島	（Selete）
	杉本	（日立）
	今西	（松下）
	池野	（三菱）
	桑原	（NEC）
	岡本	（ソニー）
	山崎	（東芝）
	澤井	（沖）
	秋月	（三洋）
	松川	（ローム）
	水野	（明星大）
	市川	（東京大）
	小島	（産総研）
	高橋	（SII）
	堺沢	（東京精密）

ITRS2002年版での改定ポイント

Lithography Metrology

① Printed Gate CD Controlの表を追加

② Interim solution(オレンジ色表記)を新たに設定

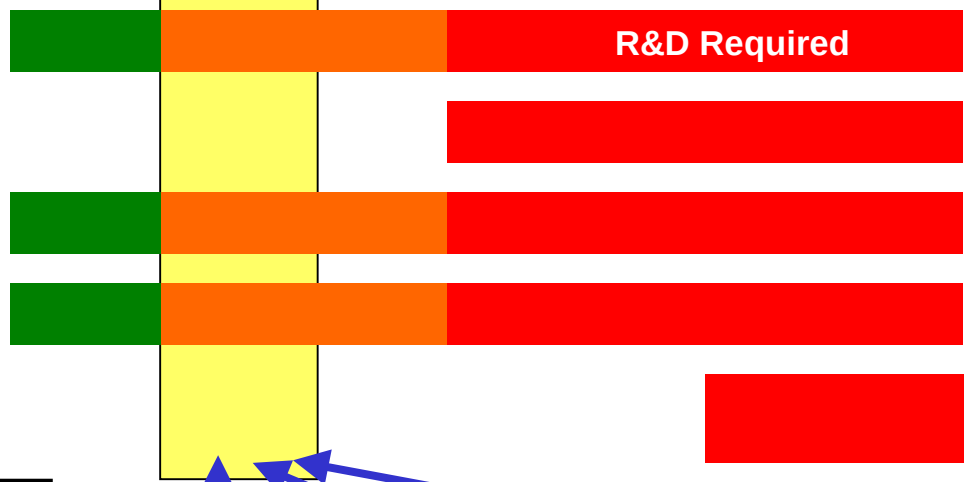
（計測装置間のマッチングを含まないという条件なら実用可能であり、これをオレンジ色で表示）

Technology Node	130 nm	90nm	65 nm	45 nm	32 nm	22 nm
MPU / ASIC ½ Pitch (nm)	150	90	65	45	32	22
MPU Printed Gate Length (nm)	90	53	35	25	18	13
MPU Physical Gate Length (nm)	65	37	25	18	13	9
Lithography Metrology						
Printed Gate CD Control (nm) Allowed Litho Variance = 2/3 Total Variance of physical gate length	5.3	3	2	1.5	1.1	0.7
Wafer CD Tool 3σ Precision P/T=0.2 for Printed and Physical Isolated Lines	1.1	0.6	0.4	0.3	0.2	0.1
Line Edge Roughness (nm)	4.5	2.7	1.8	1.3	0.9	0.65
Precision for LER	0.9	0.54	0.36	0.26	0.18	0.13

Orange = production done w/out meeting ITRS precision specification

CD計測技術の見通し(Potential Solution)

	2001	2002	2004	2007	2010	2013	2016
Leading Production Technology Node = DRAM ½ Pitch	*130 nm*	*115 nm*	*90nm*	*65 nm*	*45 nm*	*32 nm*	*22 nm*
MPU / ASIC ½ Pitch (nm)	150	130	90	65	45	32	22
MPU Printed Gate Length (nm)	90	75	53	35	25	18	13
MPU Physical Gate Length (nm)	65	53	37	25	18	13	9



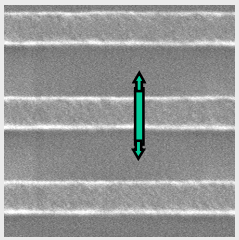
・計測装置はプロセス、デバイスより先行した開発が必要
・そのためにはサンプルを装置メーカへ供給することが必要

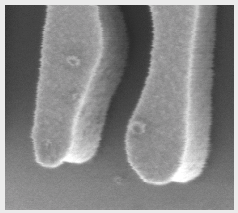
Beta Site
90 nm Node

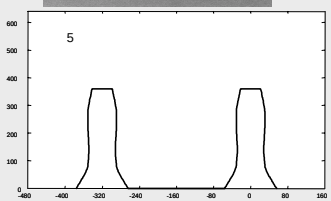
R&D
65 nm Node

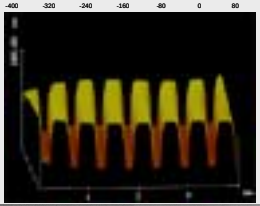
Early R&D
45 nm Node

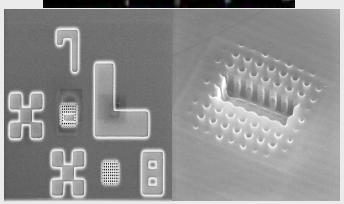
3D CD 計測の解（SEM, Scatterometry, CD-AFM, FIB）











Commercially available

Software comparison of top down line scan of edge to golden image

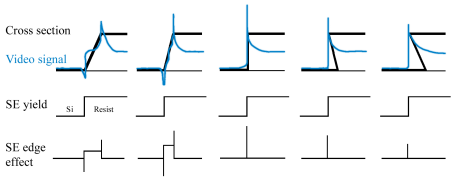
Tilt Beam SEM

Scatterometry

CD-AFM

Dual Beam FIB (destructive)

R&D



Software to convert top down image to 3D image

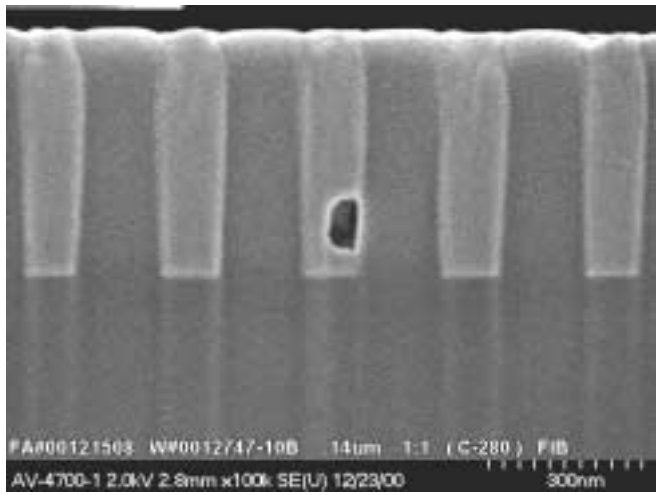
配線の計測技術課題

Technology Node	*130 nm*	*90nm*	*65 nm*	*45 nm*	*32 nm*	*22 nm*
Interconnect Metrology						
Barrier layer thick (nm) process range (±3σ) Precision 1σ (nm)	**13 20% 0.04**	**10 20% 0.03**	**7 20% 0.02**	**5 20% 0.016**	**4 20% 0.013**	
Void Size for 1% Voiding in Cu Lines	**87**	**52**	**37**	**26**	**18**	**12**
Detection of Killer Pores at (nm) size	**6.5**	**4.5**	**3.25**	**2.25**	**1.6**	**1.1**

- VOID Detection in Copper lines

  now based on ½ via diameter

  （130nm & 90nm: 赤 → 黄)
- Killer Pore Detection in Low κ
- Barrier / Seed Cu on sidewalls
- Control of each new Low κ



配線の計測技術課題

High Frequency Measurement of κ

- NIST's characterization of κ for low κ have shown that κ is stable
- Industry sees less need for high frequency measurement of κ for low κ

Interconnect Clarification for Void Detection in Copper Lines

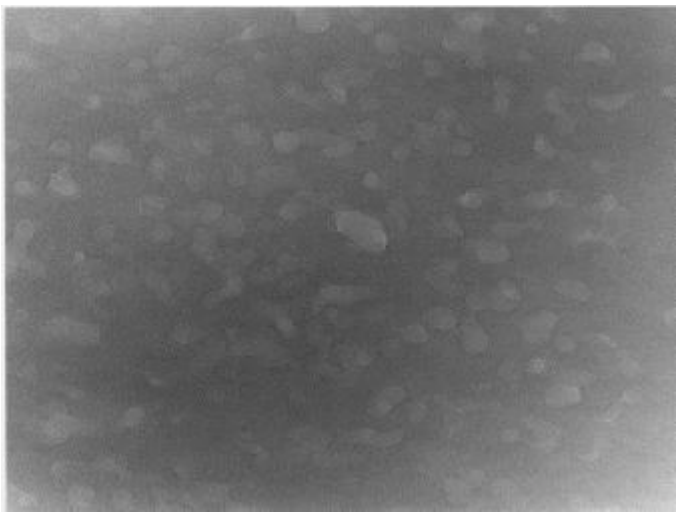
- Detection of post deposition and anneal process voids at or exceeding listed size (nm) when these voids constitute 1 % or more of total metal level conductor volume of copper line and 5% of vias.
- ***Detection of killer pore in ILD at (nm) size***

Barrier –Seed Cu Process Tolerance

- Flat – horizontal film measurement used to control sidewall thickness
- Lower limit is thinnest film that acts as barrier
- Upper limit is thickest film allowed for resistivity concerns
- Very thin barriers may be digital (i.e. there or not)

Metrologyの挑戦課題

- Breakthrough microscopy for CD measurement
- Measurement capability for control of interface between high κ and substrate & gate electrode
- ***Low κ killer pore detection and copper void control***
- Atom by Atom microscopy for materials characterization



Low κ pore

Copper void

’02年度WG4（配線）/WG11（計測）クロスカット活動のテーマ