

トータルテストソリューション - DFTとATEの競合と協調 -

WG2(テスト)主査

畠山 一実(ルネサステクノロジ)

トータルテストソリューション

- デバイスのトレンド

論理規模増大，メモリ規模増大，プロセス微細化，
設計マージンの低下

→ テストコスト増大，テスト品質低下

- 対応策は？

- ATEの改善 従来どおりの設計でも対応可能
- DFTの採用 古いテストでも対応可能

→ このような対応策はすぐに限界

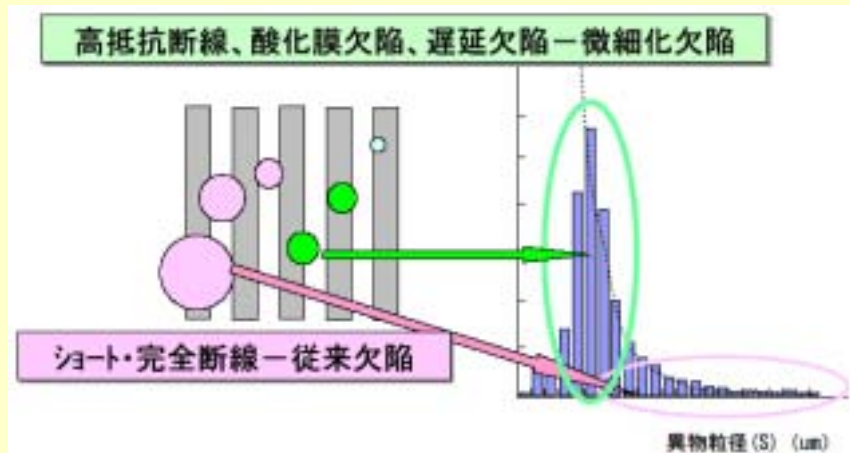
トータルテストソリューション(DFTとATEの協調)が必須

DFT: Design for Test

ATE: Automatic Test Equipment

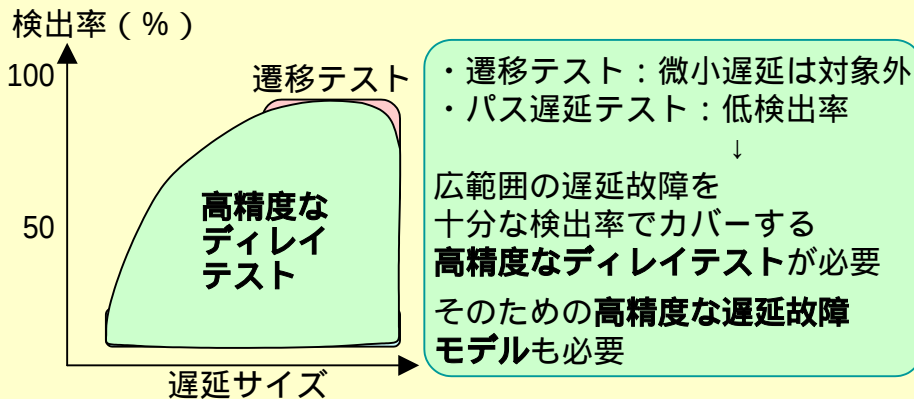
微細化のテストへのインパクト

テスト品質

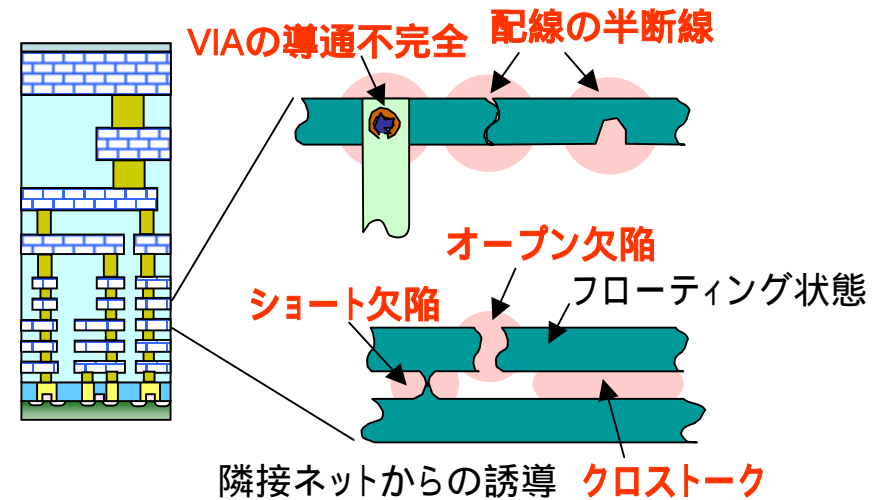


微細化欠陥での高い検出能力が必要

高精度ディレイテスト



ナノメートルプロセスの複雑な故障欠陥



SI故障モデル

	stuck-at	short	open	delay	X-talk
EM				○	
X-talk				○	○
IR-drop				○	
EMI				○	

X-talk故障モデルによるテスト・診断が必要

2003年度の活動体制

STRJ-WG2(テスト)(23名)

DFT-SWG(9名)

委員 : 富士通 ルネサス 松下 NECEL 沖 東芝 ローム

特別委員 : 都立大 STARC

ATE-SWG(14名)

委員 : 富士通 ルネサス 松下 NECEL シャープ 東芝

特別委員 : SEAJ(7名)

アドバンテスト 横河電機

シバソク 日本マイクロニクス

東京エレクトロン イノテック

SEAJ : 日本半導体製造装置協会

2003年度の活動のポイント

- ITRS2003への貢献
 - DFT-SWG : SoCテスト技術
 - ATE-SWG : テスタ周辺技術
- STRJとしての活動
 - トータルテストソリューションの検討
 - DFT-SWG : SoCモデルに基づく具体的指標
 - ATE-SWG : SoC/SiPテストの課題と対策
 - 合同会議および合宿での議論により融合を図る
DFTとATEの協調は可能か

ITRS2003の概要 — Key Challenges

- 高速シリアルI/Fのテスト
- SoCとSiPのテスト
- 信頼性スクリーニング
- テストコスト削減
- 故障診断
- テストプログラム生成
- モデリングとシミュレーション

SoCテスト

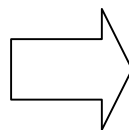
ハンドラ&プローバ,
デバイスI/F

New! {

ITRS2003の概要 – SoCテスト

・技術分野ごとに課題を抽出

(ITRS2001:Supplementary Material)

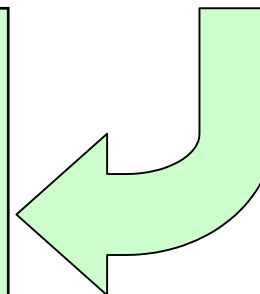


・関連性を考慮して分類

SoCテスト技術課題/関連技術課題

・SoCのイメージに沿った分類に見直し(ITRS2003)

- Embedded Cores : Logic , Memory , Analog
- Core Access
- SoC Level Testing
- Manufacturing



Year of Production	2003	2004	2005	2006	2007	2008
<i>Embedded Cores</i>						
Standardization of core test data	Standard format on EDA/ATE	Standard format on EDA/ATE	on EDA/ATE	Extension to analog cores	Extension to analog cores	Extension to analog cores
<i>Embedded Cores: Logic</i>						
Test logic insertion at RTL design	Partially	Partially	Fully	Fully	Fully	Fully
BISR for logic cores	Minimal	Minimal	Minimal	Some	Some	Some
<i>Embedded Cores: Memory</i>						
Embedded non-volatile memory BIST	Yes	Yes	Yes	Yes	Yes	Yes
<i>SoC Level Testing</i>						
Fault model for SoC level fault coverage	Single stuck-at fault model/ transition	Yes	Yes	Yes	Yes	Yes

⋮

ITRS2003の概要 – ハンドラ&プローバ

- ハンドラのRM表が初めて日米合意の上で正式掲載
- 新たにプローバのRMも掲載

• Prober

• ITRS: Product family approach

• STRJ : technology approach

• Logic

• Memory

Table 39a Prober (Logic MPU—Pick and Place) Requirements—Near-term

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node	90	80	70	65	57	50	45
Technology Node MPU (nm)	120	107	95	85	76	67	60
Conformity Tray type	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC
Parallel Testing (Per Head)	4	8	8	8	8	8	16

Table 38a Handler (Network and Communication—Pick and Place) Requirements—Near-term

Year of Production	2003	2004	2005	2006
Technology Node	90	80	70	65
Technology Node MPU (nm)	120	107	95	85
Conformity Tray type	JEDEC	JEDEC	JEDEC	JEDEC
Parallel Testing (Per Head)	4	8	8	8

Table 37a Handler (Logic—Pick and Place) Requirements—Near-term

Year of Production	2003	2004	2005	2006
Technology Node	90	80	70	65
Technology Node MPU (nm)	120	107	95	85
Conformity Tray type	JEDEC	JEDEC	JEDEC	JEDEC
Parallel Testing (Per Head)	4	8	8	8

Table 36a Handler (Memory—Pick and Place) Requirements—Near-term

Year of Production	2003	2004	2005	2006
Technology Node	90	80	70	65
Technology Node MPU (nm)	120	107	95	85
Conformity Tray type	JEDEC	JEDEC	JEDEC	JEDEC
Parallel Testing (Per Head)	4	8	8	8

Table 301a Handler (Logic - Pick & Place) Requirements—Near-term

	2003	2004	2005	2006	2007	2008	2009
Technology Node D-RAM hp (nm)	90	80	70	65	57	50	45
Technology Node MPU (nm)	120	107	95	85	76	67	60
Conformity Tray type	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC
Parallel Testing (Per Head)	4	8	8	8	8	8	16

Table 300a Handler (Memory - Pick & Place) Requirements—Near-term

	2003	2004	2005	2006	2007	2008	2009
Technology Node D-RAM hp (nm)	90	80	70	65	57	50	45
Technology Node MPU (nm)	120	107	95	85	76	67	60
Conformity Tray type	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC	JEDEC
Parallel Testing (Per Head)	32 - 64	32 - 64	32 - 64	32 - 64	64 - 128	64 - 128	64 - 128
Index Time (S)	3 - 5	3 - 5	3 - 5	3 - 5	2 - 5	2 - 5	2 - 5
Throughput (thousand units / Hour)	6 - 8	6 - 8	6 - 8	6 - 8	8 - 10	8 - 10	8 - 10
Sorting	5 - 9	5 - 9	5 - 9	5 - 9	5 - 9	5 - 9	5 - 9
Temp. Control (Degree)	+100 -55	+100 -55	+100 -55	+100 -55	+100 -55	+100 -55	+100 -55
Temp. Accuracy (Degree)	+2	+2	+2	+2	+2	+2	+2
Foot Print (Ratio)	1-1.3	1-1.3	1.3-1.5	1.3-1.5	1.3-1.5	1.3-1.5	1.3-1.5

ITRS2003の概要 – デバイスI/F

- プローブカードのRM表が初めて日米合意の上で正式掲載
- 表の形態は米国側提案で決着
ただし，日本提案の数値でRM化，日本の提案も巻外に参考添付

• ITRS: Product family approach

Year of Production	2003		2004	
Technology Node			hp90	
I/O Pad Size (μm)	X	Y	X	Y
Wirebond	40	70	35	70
Bump	75	75	75	75
Scrub (% of I/O)	AREA	DEPTH	AREA	DEPTH
Wirebond	25	75	25	75
Bump	30	80	30	80
Multi-DUT Volume (% of Total Product Type Wafers Probed)				
Memory (DRAM)	99.9		99.9	
ASIC	33		45	
Microprocessor	60		75	
RF	30		40	
Mixed-signal	40		45	
Number of Probe Points / Touchdown	Signal	Total	Signal	Total
Memory (DRAM)	1730-5180	2240-6720	1730-10260	2240-13300
ASIC	775	1550	950	1900
Microprocessor	310	925	400	1200
RF	180	325	235	425
Mixed-signal	375	500	375	500

反映

		2003	2004	2005
Technology Node D-RAM hp (nm)		90	80	70
Technology Node MPU (nm)		120	107	95
Minimal pitch (μm)	L.O.C.	50	50	50
	Peripheral	30	30	30
	Area array	150	150	150
(1) - 1 Cantilever / Conventional	Maximal Pin count	2000	2000	2000
	Peripheral	2000	2000	2000
	Area array	1300	1300	1300
Multi-die test	L.O.C.	64	64	64
	Peripheral	4~8	4~8	4~8
	Area array	2	2	2
Minimal pitch (μm)	L.O.C.	80	60	60
	Peripheral	80	80	80
	Area array	N/A	N/A	N/A
Maximal Pin count	L.O.C.	30~100	30~100	30~100
	Peripheral	60~400	60~400	60~400
	Area array	N/A	N/A	N/A
Multi-die test	L.O.C.	1	1	1
	Peripheral	1	1	1
	Area array	N/A	N/A	N/A

Probe card technology VS
Suitable Probe card for the
arrangement bond pad of the
DUT (=Function)

• STRJ : Probe technology approach

		2003	2004
Technology Node D-RAM hp (nm)		90	80
Technology Node MPU (nm)		120	107
1. Positional accuracy (± μm) : Maximal			
(1) - 1 Cantilever / Conventional		± 5	± 5
(1) - 2 Cantilever / HF type		± 5	± 5
(2) - 1 Cantilever / New generation		± 3	± 3
(1) - 4 Membrane type			
(1) - 3 Vertical / Conventional		± 5	± 5
(2) - 2 Vertical / New generation		± 3	± 3
2. Co-planarity (μm) : Maximal			
(1) - 1 Cantilever / Conventional		15	15
(1) - 2 Cantilever / HF type		15	15
(2) - 1 Cantilever / New generation		15	15
(1) - 4 Membrane type			
(1) - 3 Vertical / Conventional		25	25
(2) - 2 Vertical / New generation		15	15
3. Contact Force : mN / over drive (μm) / pin (1mN=0.102 gf)			
(1) - 1 Cantilever / Conventional		50/60	50/60
(1) - 2 Cantilever / HF type		50/60	50/60
(2) - 1 Cantilever / New generation		50/60	50/60
(1) - 4 Membrane type			
(1) - 3 Vertical / Conventional		70/60	70/60
(2) - 2 Vertical / New generation		20/50	15/50

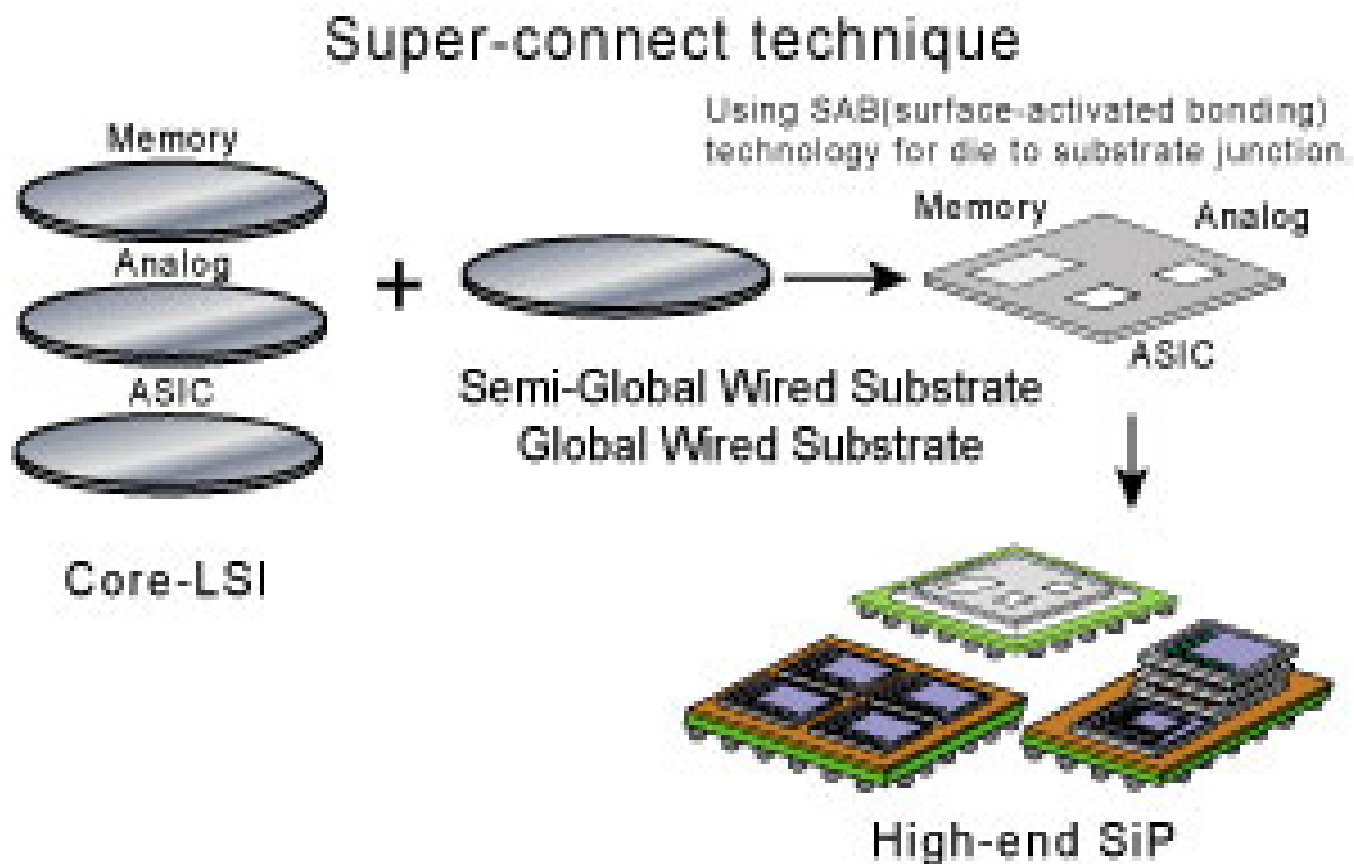
Probe card technology VS
Performance of Probe card

Product family vs function
and performance of Probe
card

ITRS2003の概要 – デバイスI/F

- SiPテストの課題について提案

RM化には至らなかったが、本文の随所で今後の課題として言及



SWGごとの活動状況

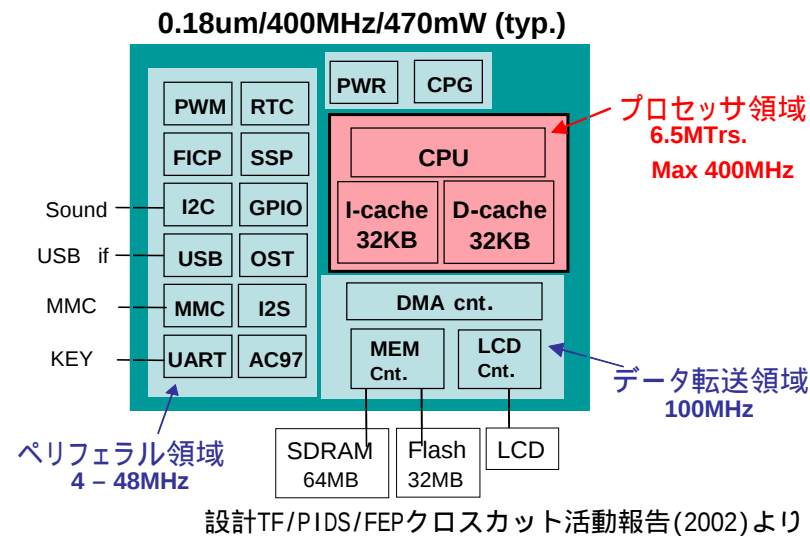
- DFT-SWG : SoCモデルに基づく具体的指標
- ATE-SWG : SoC/SiPテストの課題と対策

2003年度 DFT-SWGの活動状況

90nm 65nm世代のテスト指標の策定

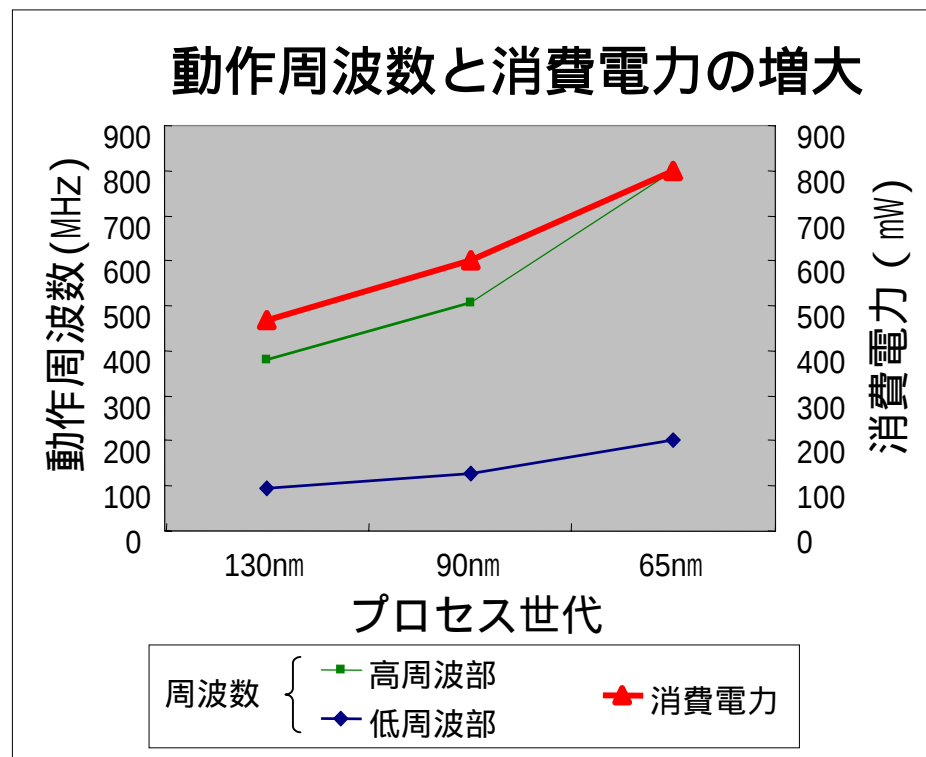
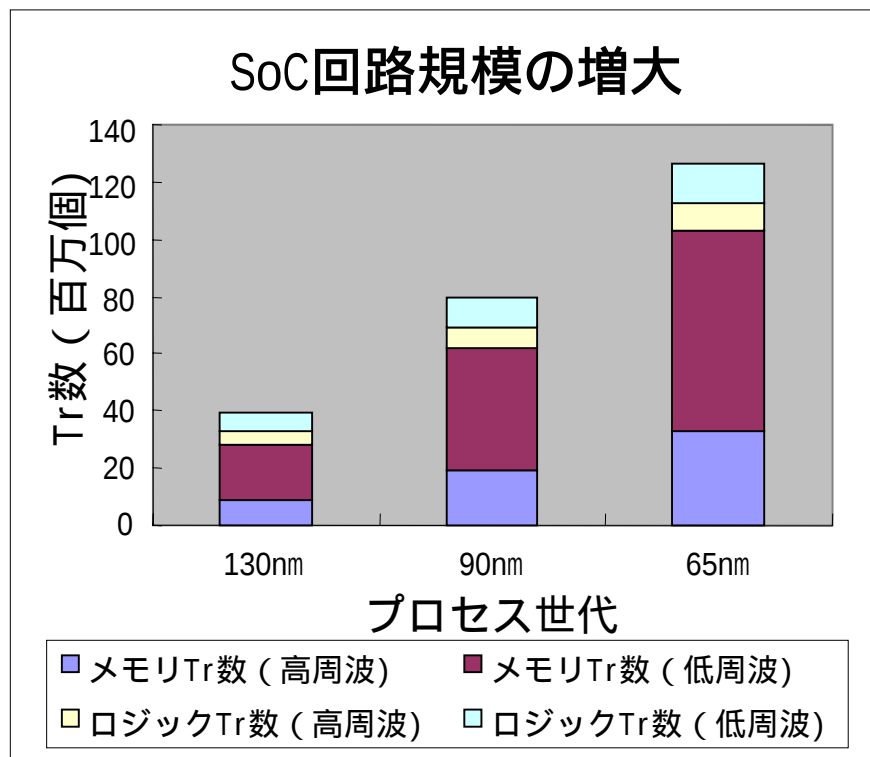
- テスト課題を解決するにあたってのDFTとATEに望まれるテスト技術指標を検討
- SoCモデルを策定し指標化を実施
参考：「設計TF/PIDS/FEPクロスカット活動報告(2002)」
モバイルマルチメディア向けSoCモデル
- BISTを用いた低コストテストによる実速度検査を想定

BIST: Built-in Self Test



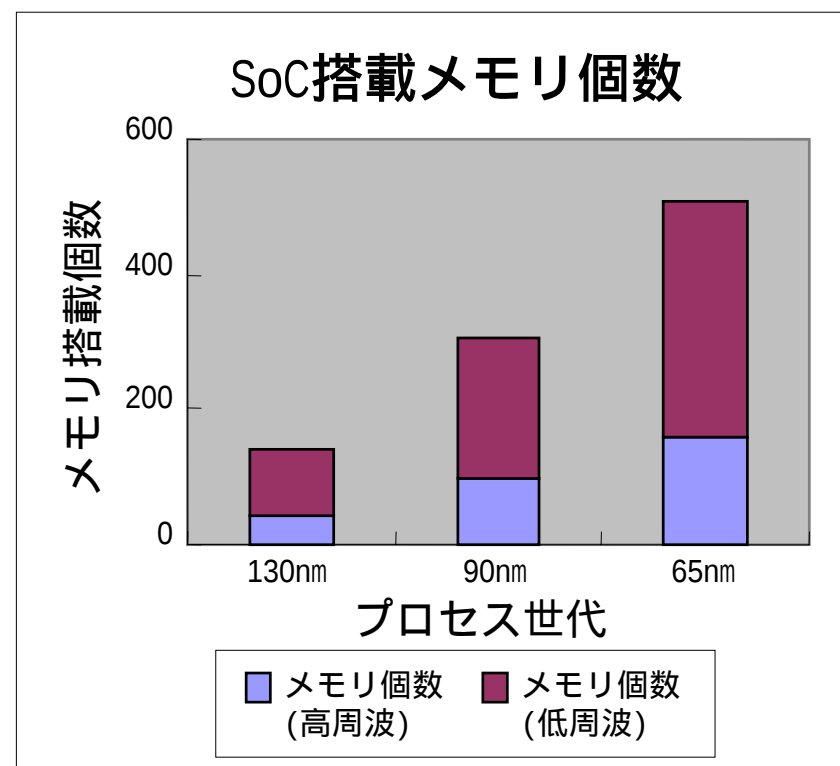
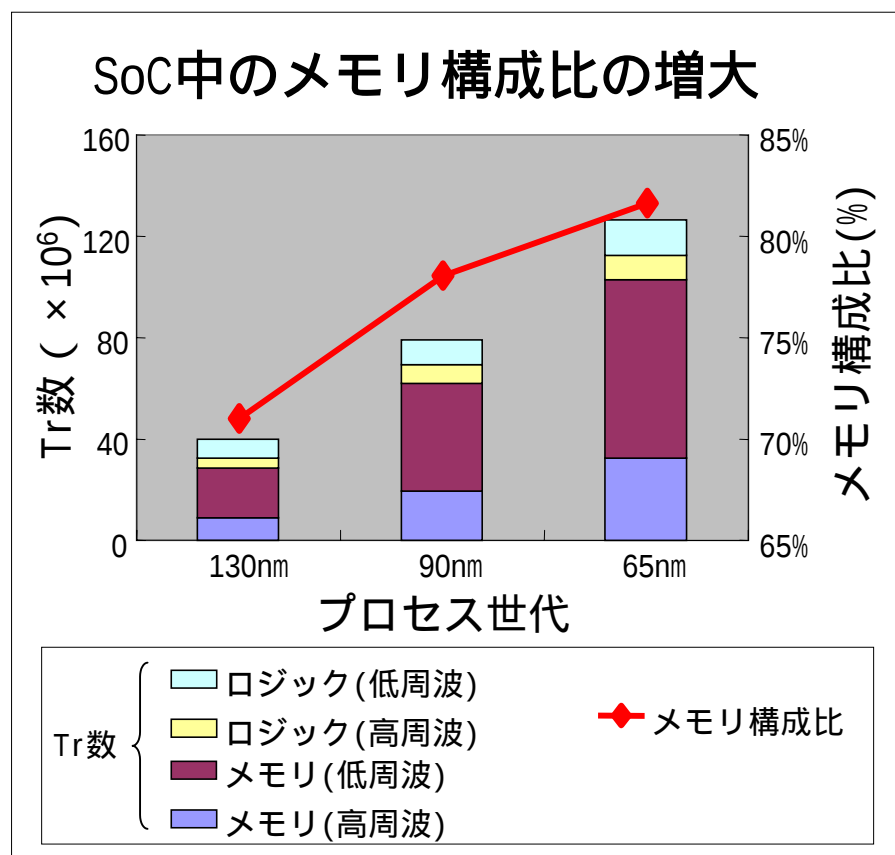
SoCモデル：動作周波数と消費電力

- 低電力を目的としたSoCにおいても、微細化とともにトランジスタ数の増大と高速化により消費電力が増大



SoCモデル：搭載メモリの構成比が増大

- SoC中の構成比においては，65nmではメモリが**80%以上**
- メモリ搭載数が増加を続け，65nmでは**500個超**



ランダムパターンロジックBIST技術の課題

	90nm	65nm
面積オーバヘッド(Scan比)	3 ~ 5%	←
設計TATオーバヘッド	1 ~ 2Week	1.5 ~ 3Week
テストパターン長	64K ~ 100K	←
テスト時間(WT/FT: 各々)	1秒	←
シフト動作速度	30 ~ 40MHz	50 ~ 65MHz

・その他の課題

1. テスト時間と消費電力のトレードオフ
2. シフト動作とキャプチャ動作の切替え時の電圧安定策も必要
3. 故障モデル：高精度ディレイ故障，クロストーク故障への対応

パターン圧縮ロジックBIST技術の課題

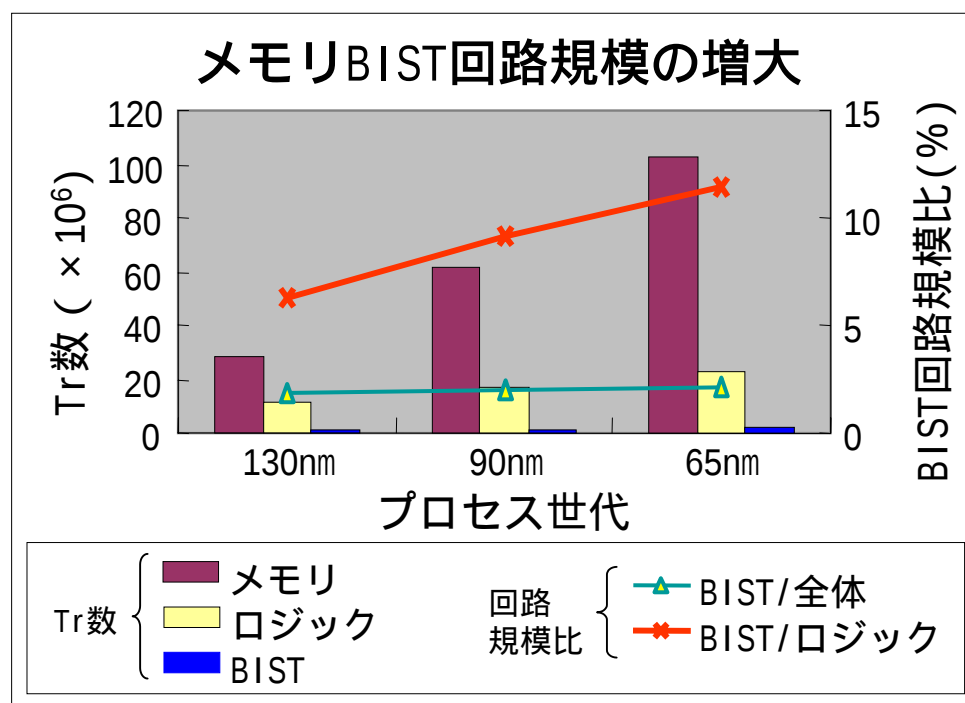
	90nm	65nm
面積オーバヘッド(Scan比)	0.5 ~ 3%	0.3 ~ 2.5%
設計TATオーバヘッド	0 ~ 1Week	←
テストパターン長	5K ~ 25K	10K ~ 50K
テスト時間(WT/FT: 各々)	0.2 ~ 0.5秒	0.3 ~ 0.7秒
シフト動作速度	30 ~ 40MHz	50 ~ 65MHz

・課題

1. パターン長を削減する方策(例えば検査点挿入)
2. シフト動作とキャプチャ動作の切替え時の電圧安定策
3. 故障モデル：高精度ディレイ故障，クロストーク故障への対応

メモリBIST技術の課題

- 搭載メモリ個数の増加に伴い，メモリBIST回路規模が増大
90nm(300個)：200～600kゲート → 65nm(500個)：330k～1Mゲート
- 課題
設計初期段階におけるメモリBIST回路規模の見積りと最適化



SWGごとの活動状況

- DFT-SWG : SoCモデルに基づく具体的指標
- ATE-SWG : SoC/SiPテストの課題と対策

ATE-SWG : SoC/SiPテストの課題と対策

- '03年度活動概要 -

< 今年度の活動方針 >

SoCは、SoC内の各機能ブロック(ロジック、メモリ、アナログ)にコアアクセス機能を付加して個別にテストできるようにすることでSiPと同等とした

1. SiPテストの取り組み

2. WLBIの位置付けと取り組み (SEAJの検査WGと協働)

WLBI: Wafer Level Burn-in

3. ATEコスト低減への取り組み

* SoC対応DFTテストタへの提言 ('04年度継続審議)

* テスタ構造表現言語 ('04年度継続審議)

* M&S(テストボード) (SEAJの検査WGと協働)

SiP(ロジック+メモリ)テストの取り組み

< 基本的考え > メモリが中心に

要求されるテスト品質によりテスト戦略を変える

- * 高信頼性品：メモリをメモリテストで直接的にテスト
- * 汎用品： メモリをBIST等で間接的にテスト
- * 廉価品： メモリの接続チェックのみ

< 課題 >

- * 搭載チップ単体での品質保証の切分け
 - チップ単体の品質保証として
 - WLBIの高機能化/低コスト化必要
- * SiPトータルのテスト
 - 一つのソリューション提案

SiPテストでの提案

構造可変テストを応用

- (1) 基板内装JTAGの整備により , テスト容易性と
不良解析性を向上

JTAG: バウンダリスキャン

- (2) JTAGチップの機能追加により , DRAMで
フラッシュメモリの書込み消去特性テストを実現
- (3) DRAMにテスト回路を構成し , SiPでの
マイコン・ロジックのテスト容易化を実現

→ SiPのKTD(Known Tested Die)化が可能

注) 構造可変テストとは? (02年度に提案)

DUT対応に必要な測定装置をユニークに実現する機能を有するテスト
一例はメモリで実現可能

外部信号

TOD
TCK
TRST
TMS
TDI

TAP

TAP

マイコン・ロジック
(208pins
W/B接続
JTAG内蔵)

JTAG

DRAM 64M
(128pins
Add:14pins
I/O:32pins
JTAG内蔵なし)
4段スタック

JTAG

JTAG

フラッシュメモリ
(NORフラッシュ 16M)
(50pins Add:20pins
I.O:16pins
JTAG内蔵なし)
4段スタック

JTAG

JTAG

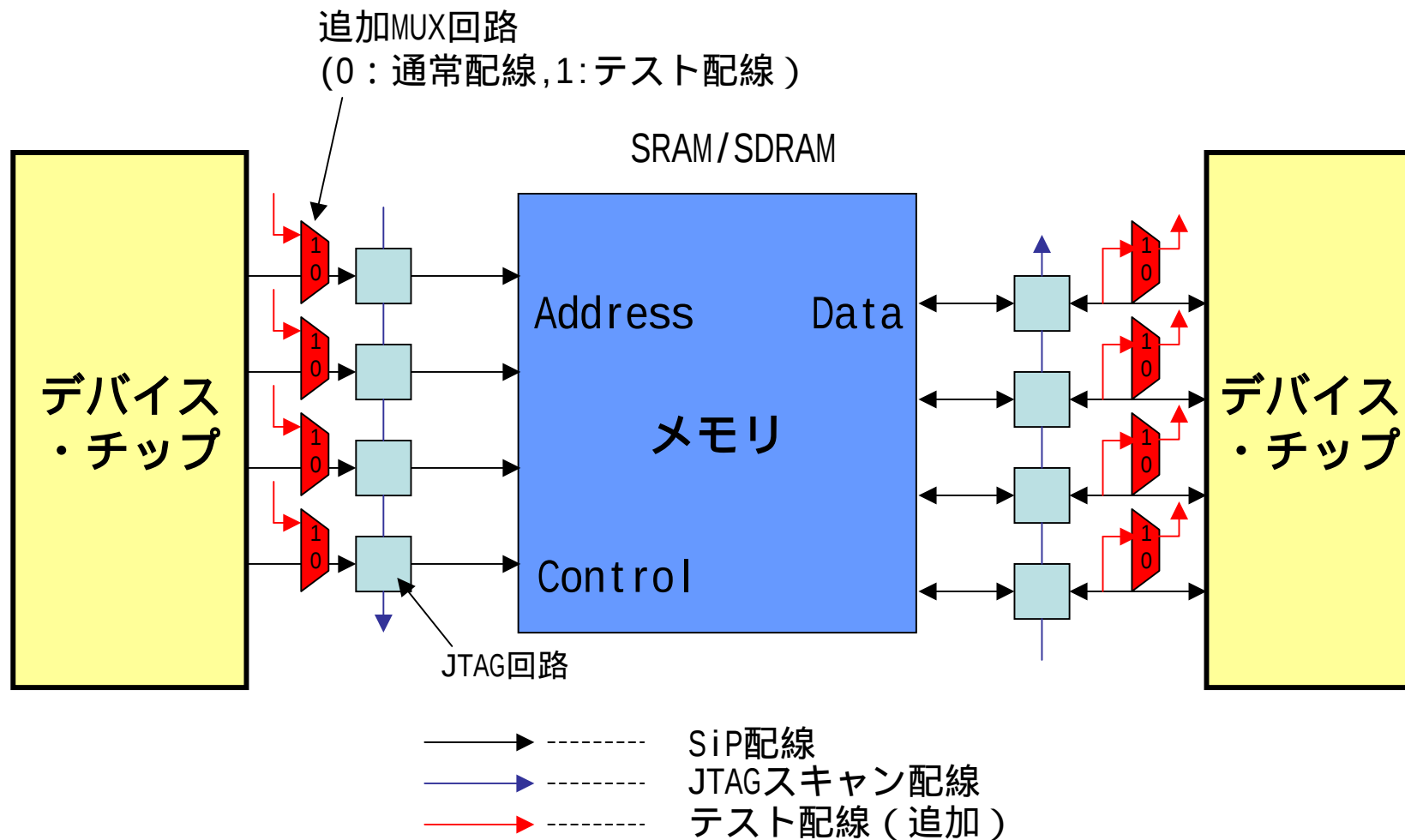
アナログデバイス

JTAG

アナログ信号

WE, CSなどの
コントロール信号
は省略

JTAG (機能向上)



テストMUX対応JTAG回路

WLBIの位置付けと取り組み

<WLBIの位置付け>

チップ単体の品質保証のソリューションの一つ

目的

KGD(Known Good Die)ニーズへの対応

- ・ SiP , MCM製品の最終歩留り向上

バーンイン , テストコスト , 実装コストの低減

- ・ 多ピンデバイス(高額なバーインソケット不要)
- ・ 汎用メモリ(バーンイン後に冗長救済が可能)

<WLBIへの取り組み>

デバイスメーカ , 装置メーカ , 双方の協力が不可欠

→ STRJとSEAJ , 各々の技術ロードマップWG協働

トータルテストソリューションに向けて

DFT-SWGからの協調のための技術的要求

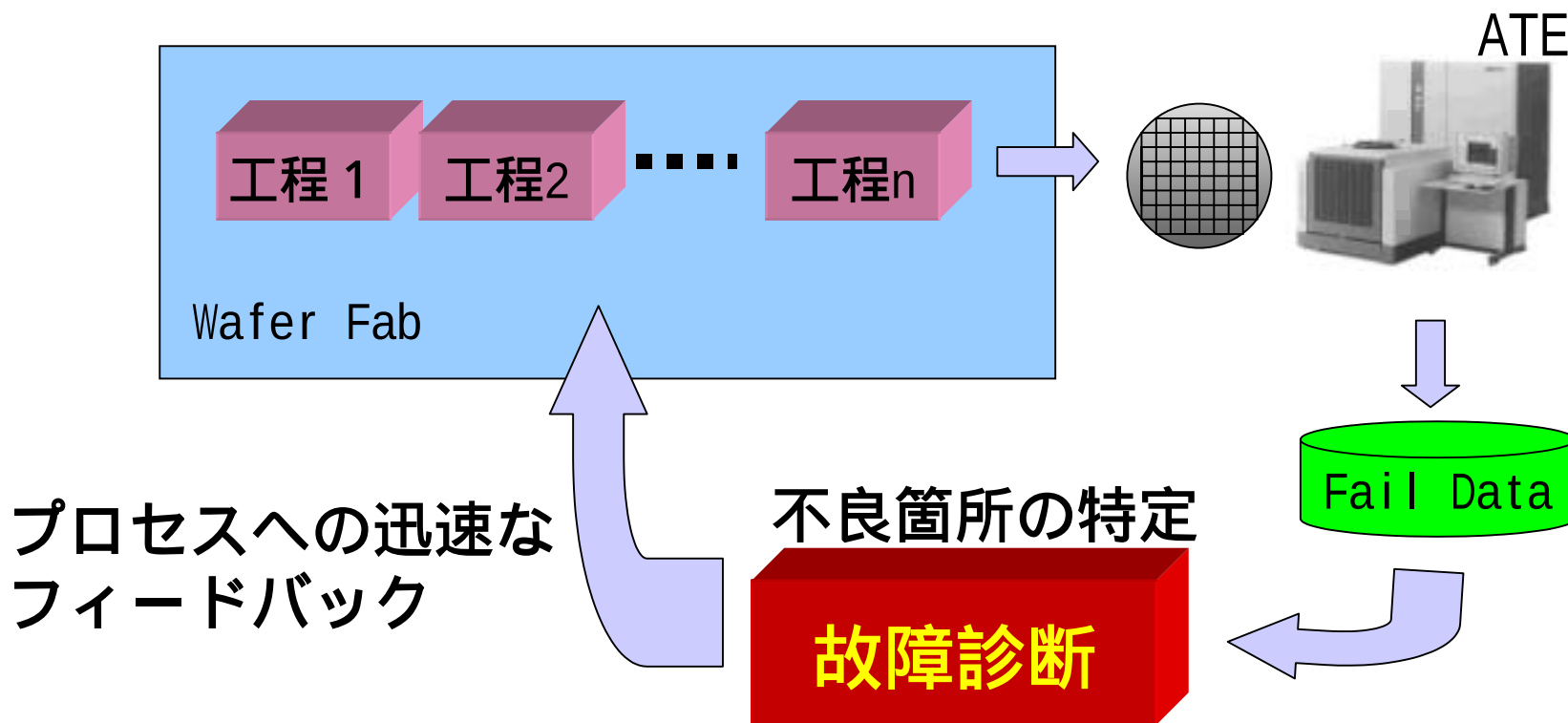
- ・短TAT故障診断
- ・テスト時の電源問題への対応
- ・アナログ / 高速インタフェースのテスト
- ・テスト品質の保証

ATE-SWGからの協調のための技術的要求

- ・同測によるテストコスト削減
 - ・テストピン数削減
 - ・テスト周波数低減

短TAT故障診断

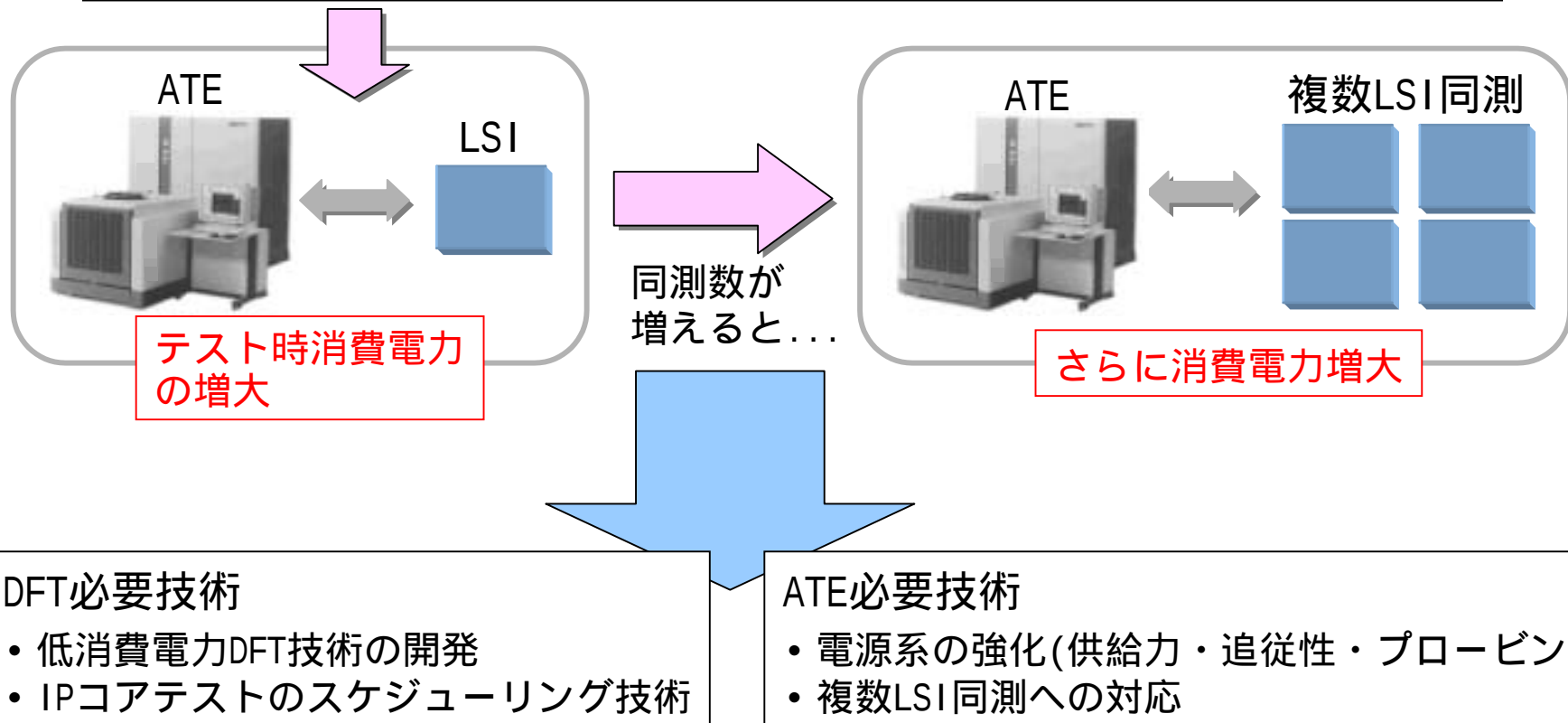
- 故障診断の短TAT化がTime-to-VolumeへのKey
各種DFTへの対応, 十分なフェイルメモリ, インタフェースの標準化



テスト時の電源問題への対応

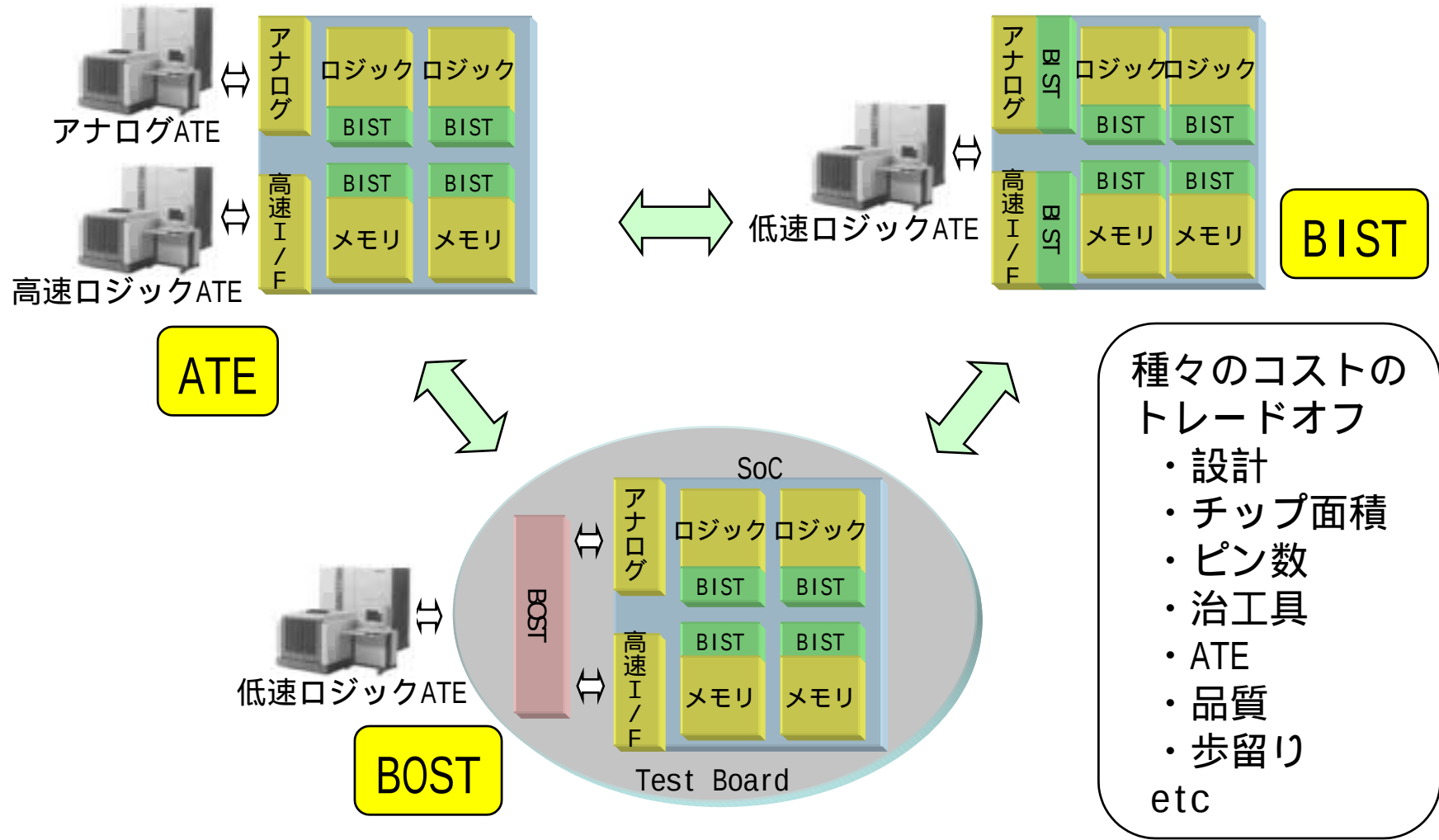
・テスト時の電源問題の背景

- ・回路規模増大による、スキャンシフトの同時スイッチ数の増加
- ・BIST化による多数ブロックの同時テスト etc.

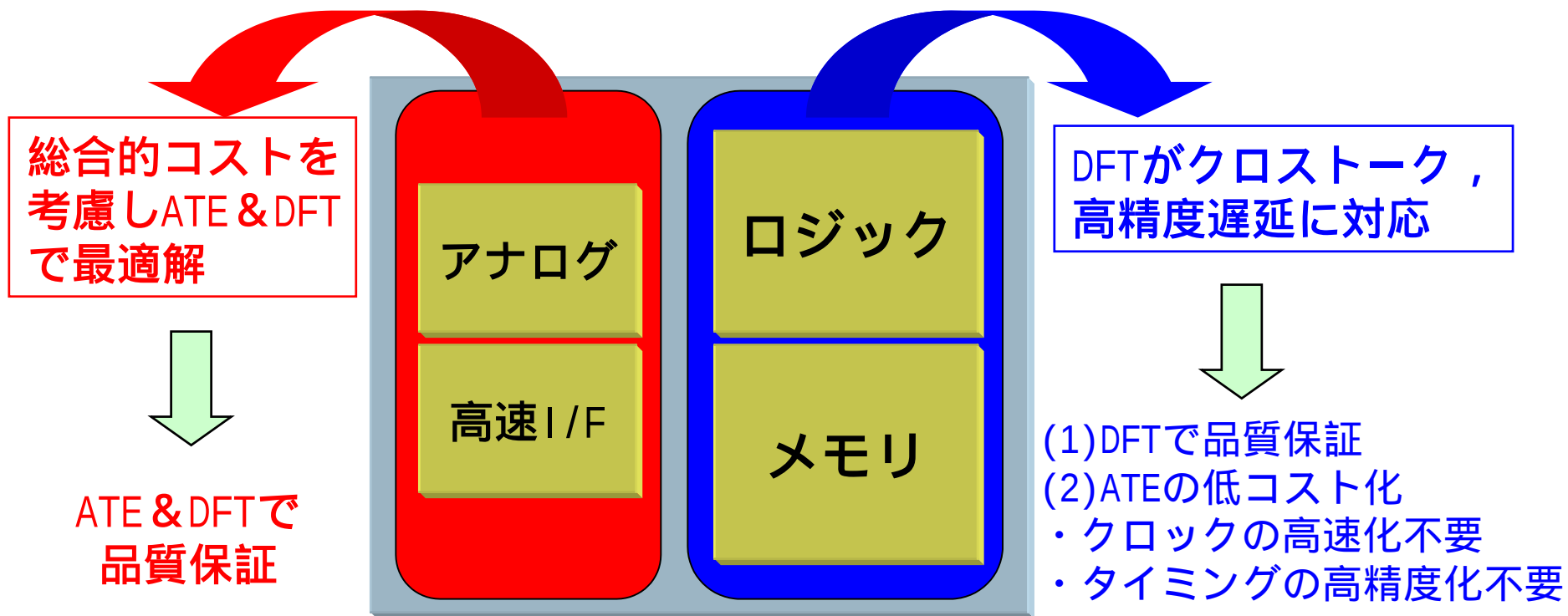


アナログ / 高速インタフェースのテスト

DFTとATEの協調による最適解の創出が必要



テスト品質の保証



DFTとATEの役割分担による品質とコストの最適化

トータルテストソリューションに向けて

DFT-SWGからの協調のための技術的要求

- ・短TAT故障診断
- ・テスト時の電源問題への対応
- ・アナログ / 高速インタフェースのテスト
- ・テスト品質の保証

ATE-SWGからの協調のための技術的要求

- ・同測によるテストコスト削減
 - ・テストピン数削減
 - ・テスト周波数低減

DFTとテストコスト

- ITRS2003にて, DFTベースの
超多数個同測ロードマップが示された

ITRS2003 : Table22 Multi-site Test for Product Segments

Year of Production	2003	2004	2005	2006	2007	2008	2009	2010	2012	2013	2015	2016	2018
Low Performance Microcontroller													
Number of sites (Wafer test)	16	32	32	64	64	128	128	128	128	128	256	256	512
Number of sites (Package test)	96	128	128	256	256	512	512	512	512	512	768	768	1024
Commodity Memory													
Number of sites (Wafer test)	128	128	128	128	256	256	256	512	512	512	512	512	512
Number of sites (Package test)	64	128	128	128	256	256	256	512	512	512	512	512	512

- 同測によるテストコスト削減に限界はないの？

DFT

同測個数

歩留り

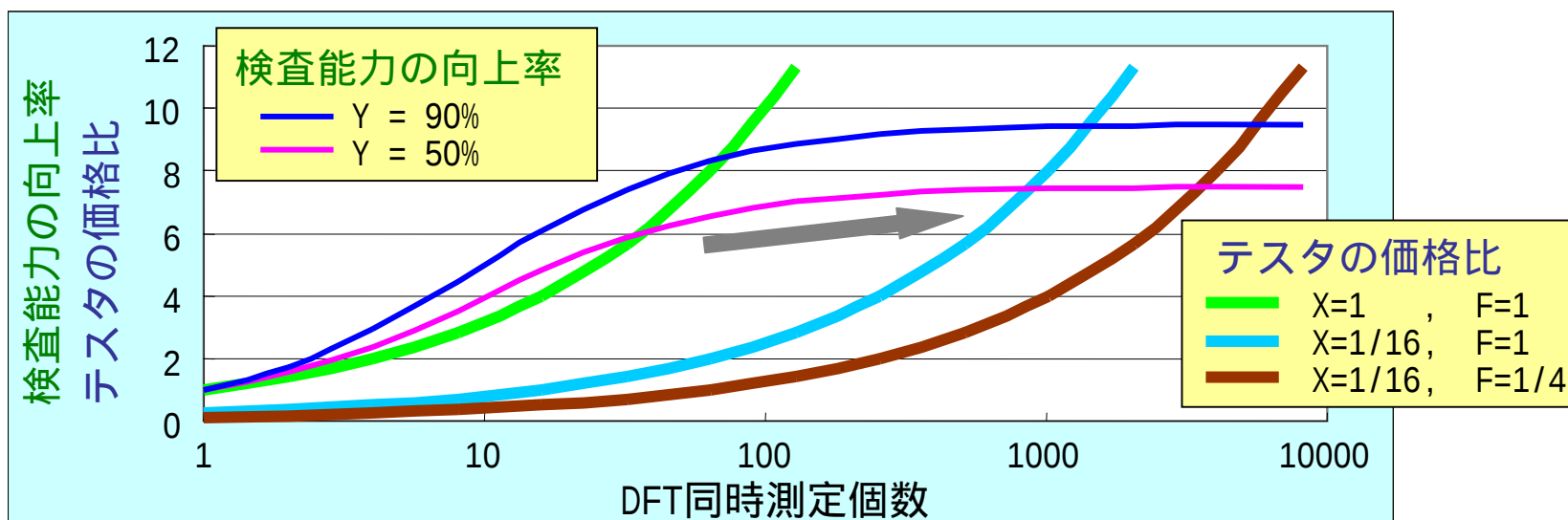
テスト価格

の 相関関係を検証してみよう！！

同測によるテストコスト削減

● 同測によるテストコスト削減には限界 → DFTにより拡大可能

➡ DFTとの協調でテストコスト削減を推進しよう



Multiテスト 対 Singleテスト

$$\text{検査能力の向上率} = \frac{(1+Y) \cdot N}{\{1+(N-1) \cdot d\} \cdot \{2-(1-Y)^N\}}$$

Y : 歩留り

N : 同時測定個数

d : 同測オーバーヘッド (10%)

DFTテスト 対 Functionテスト

$$\text{テストの価格比} = X^{1/2} \cdot F^{1/2}$$

X : テストピン数比 (DFT / Function)

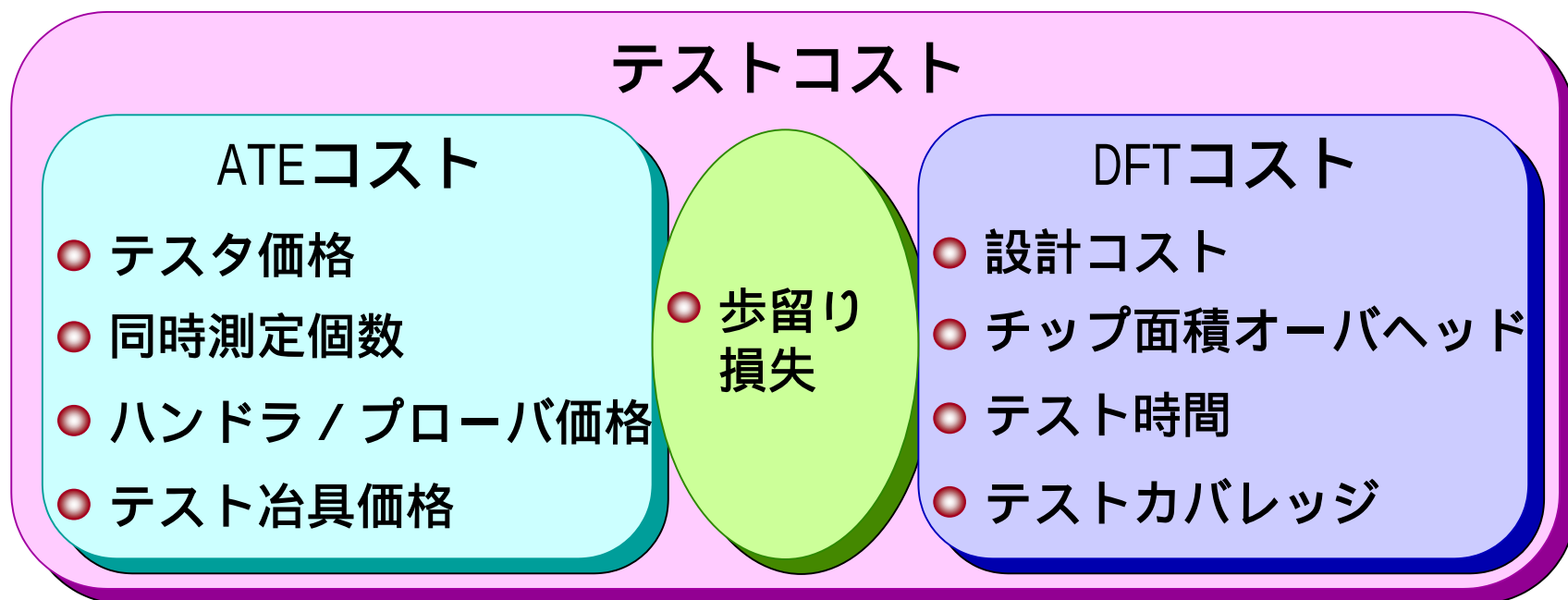
F : テスト周波数比 (DFT / Function)

テストコスト削減のための要求

● DFTに対するテストからの技術的要求

- DFTのテストピン数はなるべく少なく
- DFTのテスト周波数はなるべく低速に

● テストコスト削減に向けて検証されるべきその他の項目



2003年度活動のまとめ

- ITRS2003への貢献
 - DFT-SWG : SoCテスト技術
 - ATE-SWG : テスタ周辺技術
- STRJとしての活動
 - トータルテストソリューションの検討
 - DFT-SWG : SoCモデルに基づく具体的指標
 - ATE-SWG : SoC/SiPテストの課題と対策
 - 合同会議および合宿での議論により融合を図った品質・信頼性・コスト面での協調が必要