

低電力SoCのロードマップ

~ Design for Manufacturing検討の第1歩 ~

設計タスクフォース

サブリーダー: 浅田 善己 (STARARC)

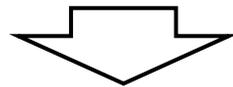
設計タスクフォースの委員構成

内山 邦男 (リーダ)
浅田 善己 (サブリーダ)
石橋 孝一郎 (国際対応)
岡野 伸洋
古野 慎治
朝重 浩喜
金谷 賢仁
児玉 裕秋
石垣 元治
塩田 哲義
抜山 知二
斉藤 利忠

日立製作所
STARC
ルネサステクノロジ
シャープ
沖電気工業
松下電器産業
三洋電機
ソニー
ローム
富士通研究所
NECエレクトロニクス
東芝

DFM (Design for Manufacturing) の検討に向けて

- Design for Manufacturing, Design for YieldがLSI設計において重要に
- 次回の半導体ロードマップの大改訂において、Design章にDFMに関する記述を追加する予定
(ただし、現時点では、国際半導体ロードマップの活動においても、十分な検討は進んでいない)
- DFMの諸課題のうち、**ばらつき**のLSI特性への影響はどの程度であるかが設計TFメンバーの関心事



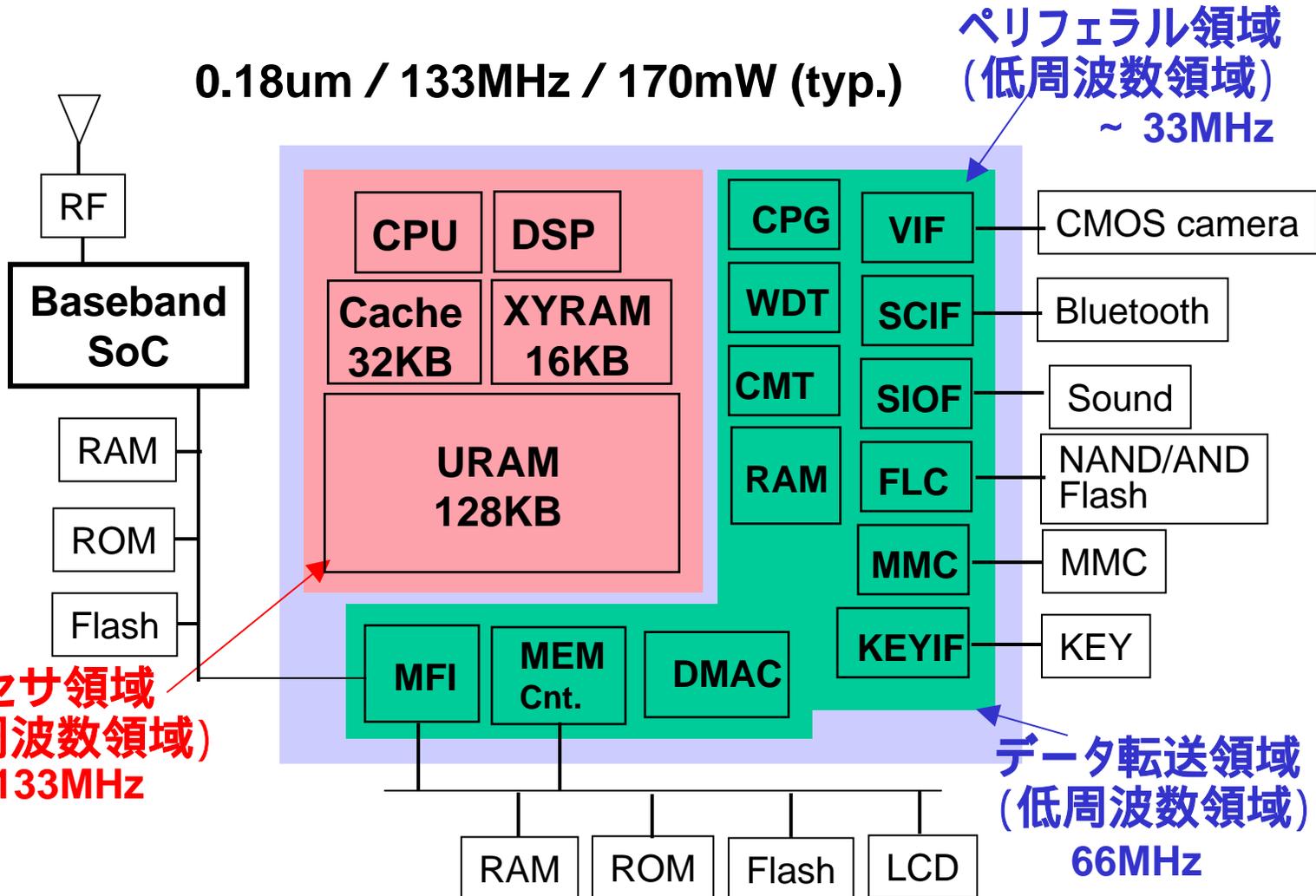
設計TFの低電力SoCモデルにてばらつきの影響を評価

設計TFの低電力SoCの検討モデル

- 0.18 μm 世代の携帯電話向けアプリケーションプロセッサの例
- このモデルをベースに集積度, 特性のロードマップを作成

機器仕様

- ・通話時間 140min.
- ・待受け時間 200Hr
- ・MMアプリ MP3, JPEG, MPEG4, Java



低電力SoC設計モデルの初期値

(@130nm)

**39.7Mtrs.
/ 8mm**

論理部

メモリ部

11.5Mtrs.

28.2Mtrs.

高周波領域

**F_h : 180MHz (LSTP)
330MHz (LOP)**

4.7Mtrs.

CPU, FPU, DSP,
Media Proc.
HW accelerator,
Config. Arrays, ..

8.6Mtrs.

Cache,
XY memory,
Work memory,
...

低周波領域

$F_l = F_h / 4$

6.8Mtrs.

Memory cnt.,
DMAC, Graphic eng.,
Peripheral module, ..
(Ser., Par., Comm.,..)

19.6Mtrs.

2nd-Cache,
2nd- work memory,
Global memory,
Temp. buffer,

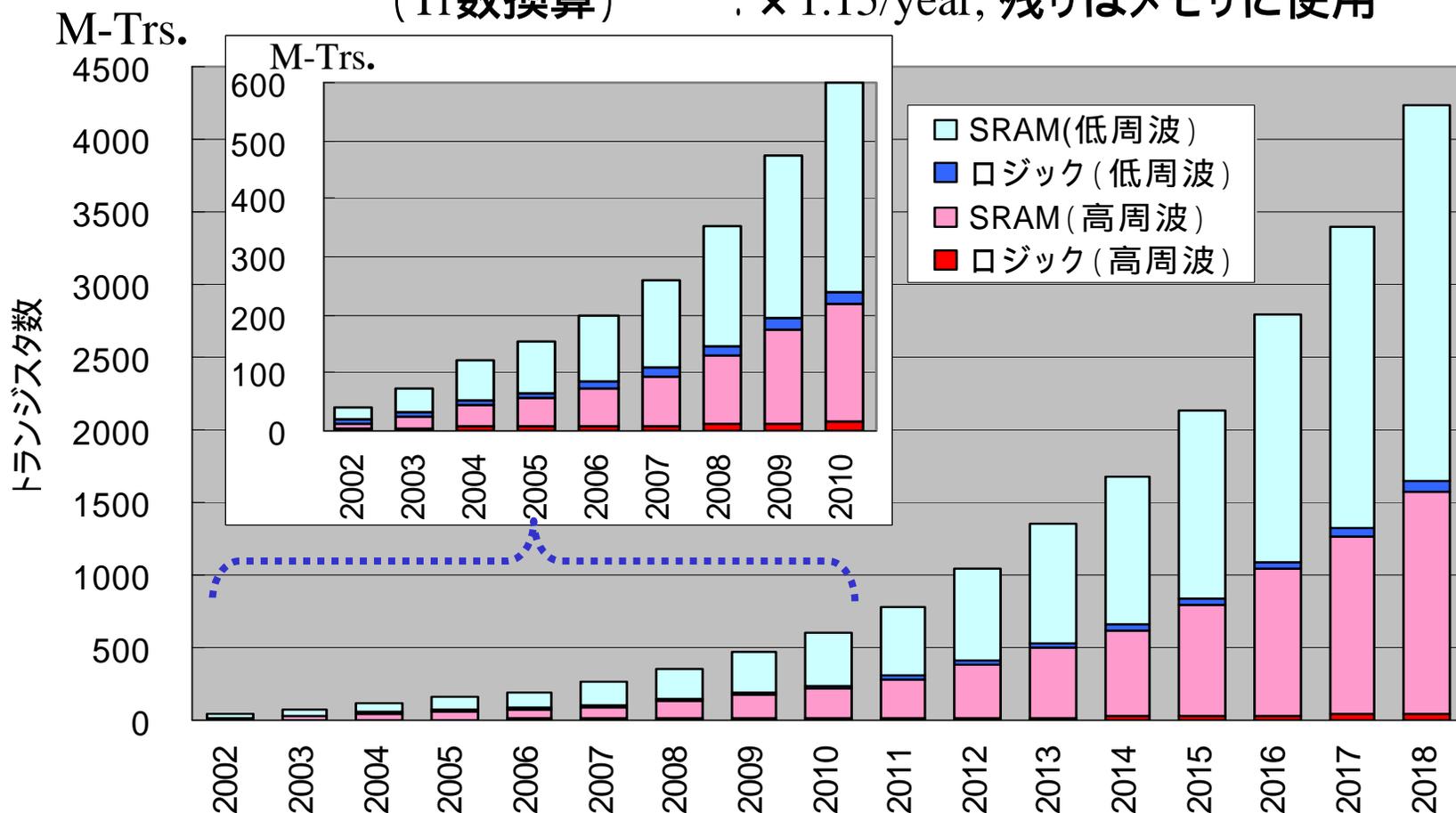
低電力SoC集積度のロードマップ

- 130nm世代の初期値に対して、2003年版ロードマップの配線のLine/Space、トランジスタの加工寸法で集積度向上として計算

チップサイズ : 8mm 一定

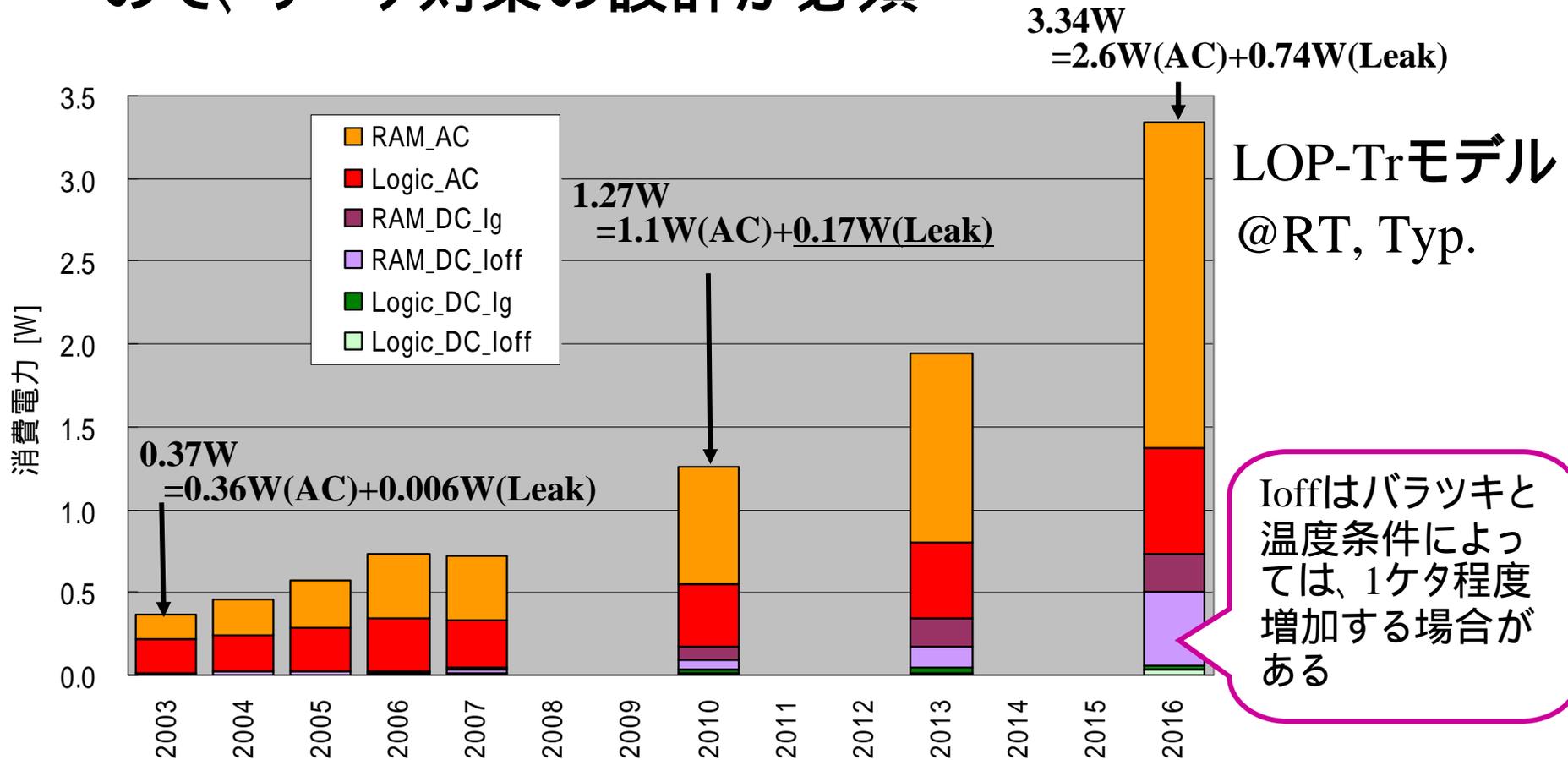
論理設計の生産性向上

(Tr数換算) : $\times 1.15/\text{year}$, 残りはメモリに使用



昨年度の低電力SoCの検討

- 2003年版ITRSロードマップで将来の消費電力の試算
- バラツキと温度上昇によりリーク増大が見込まれるので、リーク対策の設計が必須



ばらつきを取り扱い

- ばらつきの定量情報 公開情報は少ない
検討の最初のステップとして、簡単なばらつきのモデルをITRSのテーブルから設定
- ばらつきの統計的性質
 - 隣接デバイスどうして相関のある成分(システム成分)
 - 独立にばらつく成分(ランダム成分)
ランダム成分を考慮 ガウス分布を仮定
- ばらつきの範囲
 - チップ内ばらつき、ロット内ばらつき
 - 当該プロセス世代全体のばらつき(オーバーオール)
オーバーオールで考える

ばらつき, 温度の影響の計算モデル STRJ

速度性能

消費電力

$CgVdd/Ion$

DC電力成分

I_{on}

Cg

Ig

I_{off}

I_{ON} の計算は
室温で実施

I_{off} の計算は
室温, 高温で実施

V_{th}

MOSFET

L_g

t_{ox}

N_A

環境

Temp.

V_{dd}

配線

W

t

R_{sheet}

t_{ILD}

ITRSロードマップの数値

今回、配線のばらつきは考慮しない
(ロードマップに精度値が無い)

Lg, Toxの精度/ N_A 値のロードマップ

■ロードマップの数値を元にMOSFETのばらつきを計算

Year	2003	2004	2005	2006	2007	2008	2009	
Tech. Node		<i>hp90</i>			<i>hp65</i>			
Lg	Lg (LOP) [nm]	65	53	45	37	32	28	25
	Lg (LSTP) [nm]	75	65	53	45	37	32	28
	Lg 3 変動 [nm]	4.46	3.75	3.15	2.81	2.5	2.2	2.0
Tox	EOT(LOP) [nm]	1.6	1.5	1.4	1.3	1.2	1.1	1.0
	EOT(LSTP) [nm]	2.2	2.1	2.1	1.9	1.6	1.5	1.4
	EOT 制御性 3 %	<±4	<±4	<±4	<±4	<±4	<±4	<±4
N_A	チャンネル不純物濃度 (LOP) [$10^{18}/\text{cm}^3$]	4.2	3.0	4.0	6.8	6.5	6.5	8.0
	チャンネル不純物濃度 (LSTP) [$10^{18}/\text{cm}^3$]	3.6	4.0	6.0	8.0	9.0	9.0	12.0

FEPのロードマップとPIDSの詳細テーブルからNear Term部分を抜粋[1]

赤網掛けが施されているところは、Manufacturable Solutionが見つかっていない

Lg:ゲート長, Tox:ゲート絶縁膜等価酸化膜厚(物理膜厚), N_A :チャンネル不純物濃度

計算モデルの説明 (1)

■ MOSFETの V_{th} ばらつき, 温度変化の影響を表す式

$$\Delta V_{th} = \Delta V_{th}(L_g) + \Delta V_{th}(N_A) + V_{th}(Temp.) \dots \dots V_{th}(LER)$$

ゲート長の変動

不純物の揺らぎ

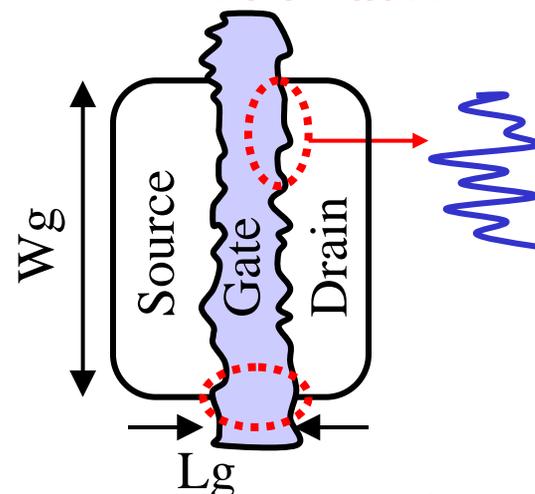
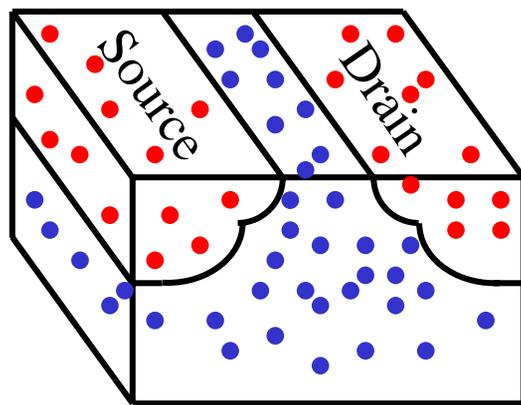
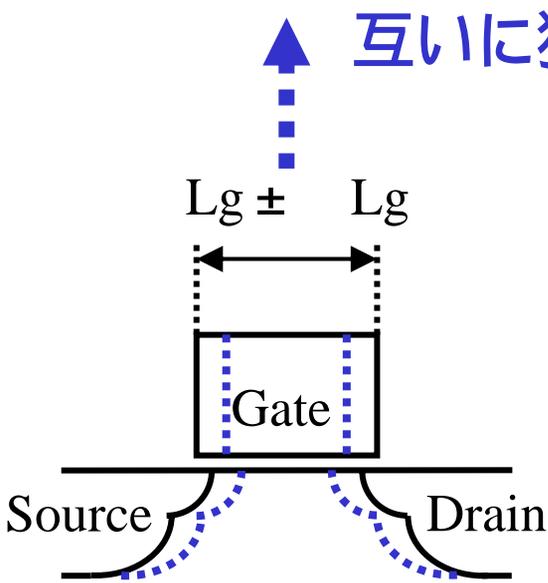
温度の影響
-0.7 ~ -1.0mV/K

LER (Line Edge Roughness)の影響

互いに独立

-0.8mV/K

- 今後深刻になる
- WG11等で検討中
- モデルの関係で
今回は計算外



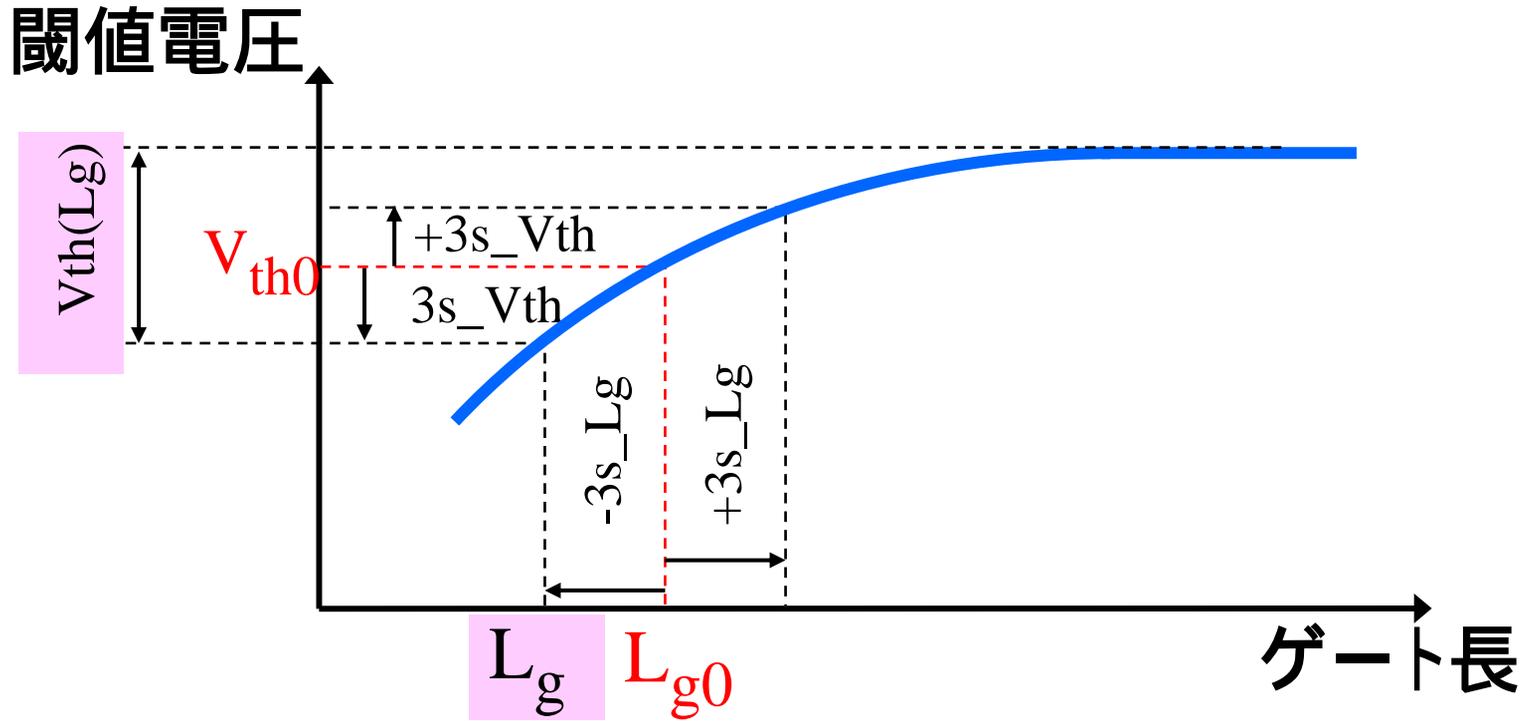
MOSFETのV_{th}変動 (L_g変動に起因)

■ 均一ドーピングの単純な構造のMOSFETに関する式^[2]
 (Haloや Retrograde Channelなどの短チャネル効果を抑制する技術の適用無し)

$$\Delta V_{th}(L_g) = 8(m-1)\sqrt{\phi_{bi}(\phi_{bi} + V_{ds})}e^{-\pi L_g / 2mW_{dm}^0}$$

$$m = 1 + \frac{C_{dm}}{C_{ox}} = 1 + \frac{3T_{ox}}{W_{dm}^0}$$

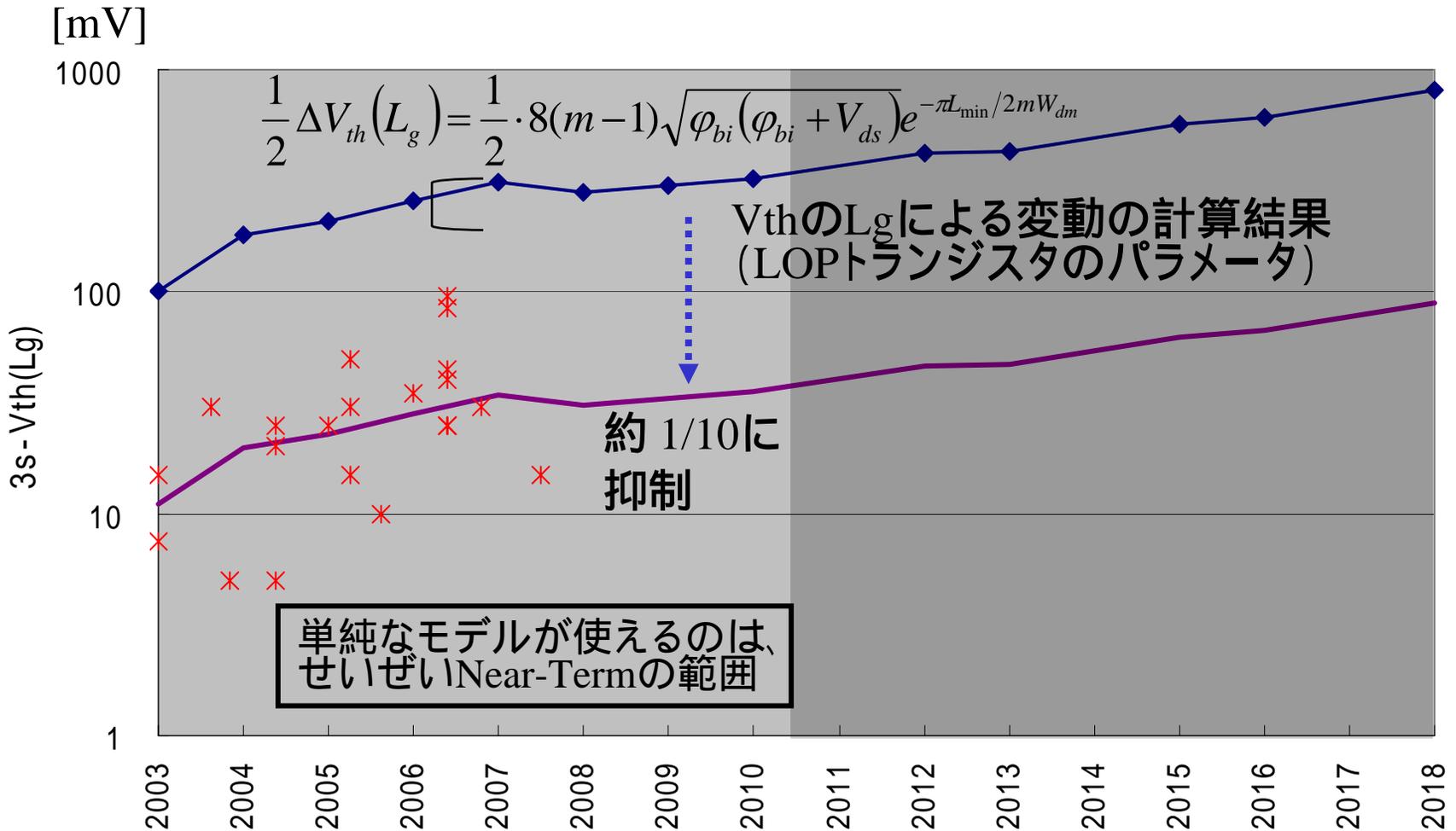
$$W_{dm}^0 = \sqrt{\frac{4\epsilon_{Si}kT \ln(N_A/n_i)}{q^2 N_A}}$$



MOSFETのVth変動 (Lg変動に起因)



- 「VthのLgによる変動の計算結果(単純な構造を前提)」と「学会の発表データ(実測)」を比較



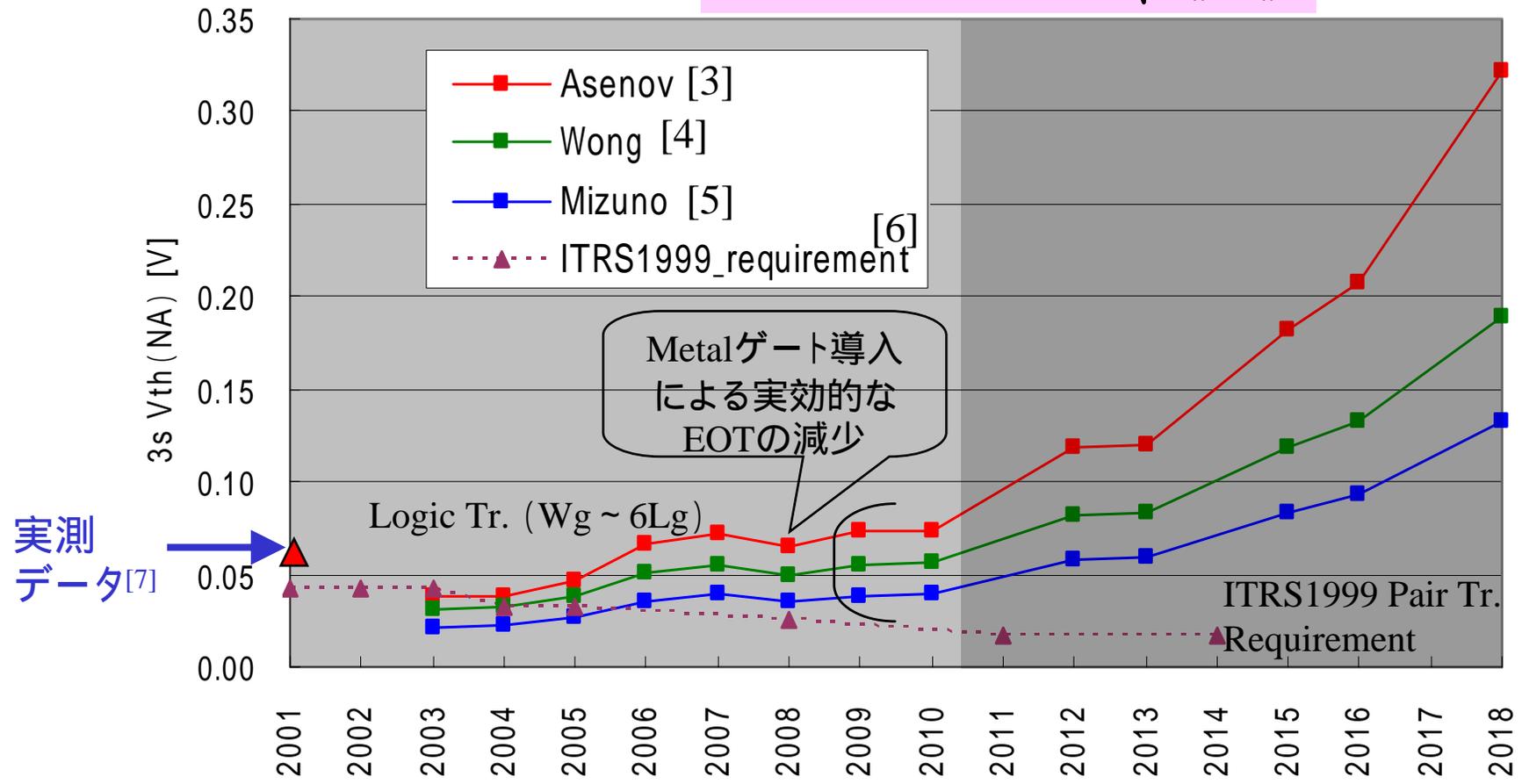
*印 2002 ~ 2004年のIEDMおよびVLSI Symposiumよりデータを集計

MOSFETのV_{th}変動 (不純物揺らぎに起因)

■ 不純物揺らぎによるV_{th}変動 多くの報告

■ Asenovらの式^[3]

$$\Delta V_{th}(N_A) = 3.19 \times 10^{-8} \frac{T_{ox} N_A^{0.4}}{\sqrt{L_{eff} W_{eff}}}$$



計算モデルの説明 (2)

■ MOSFET 単位ゲート幅あたりのON電流 (I_{on}) ~ PIDSのモデル

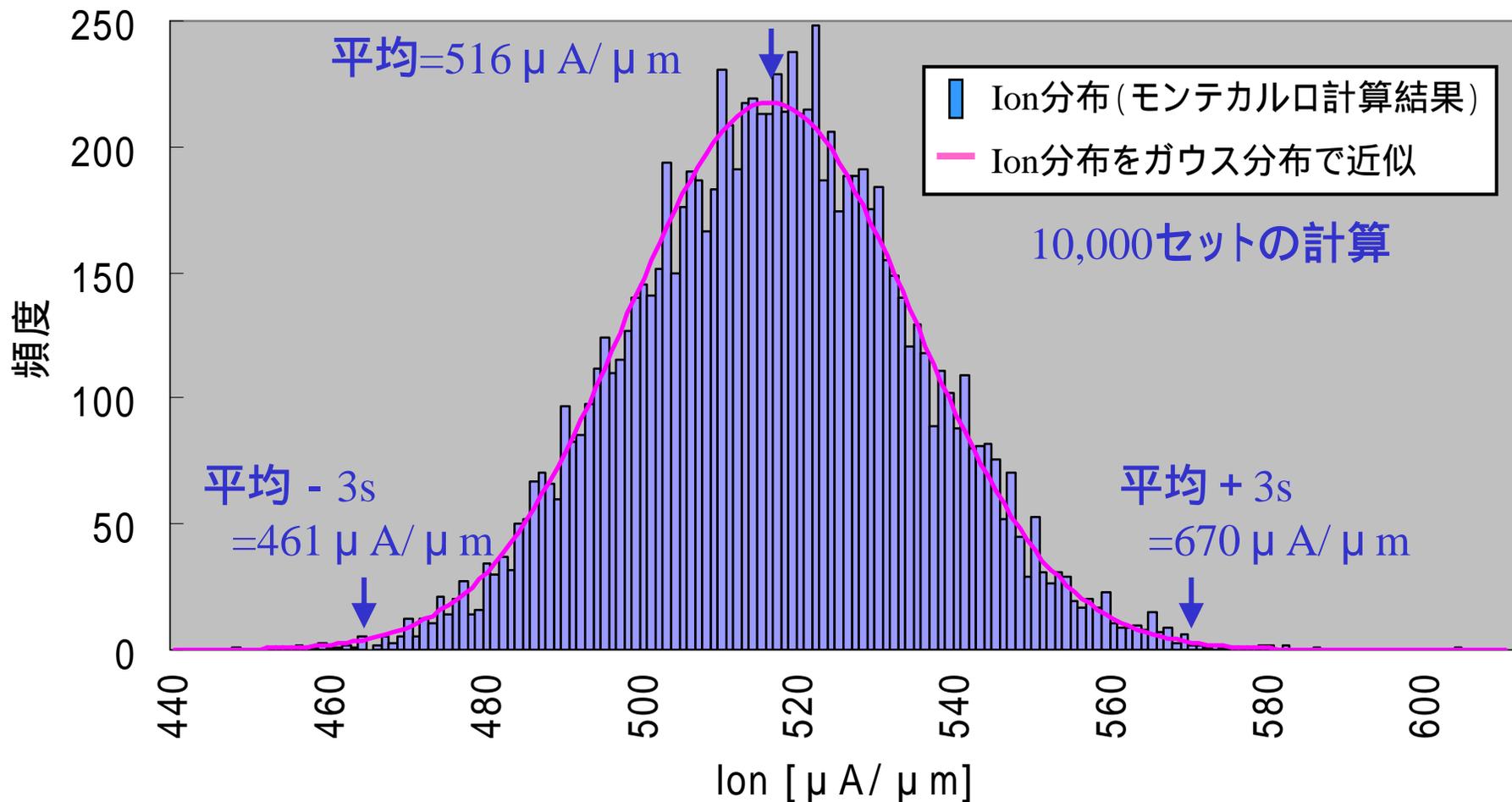
$$I_{drain_ideal} = v_{sat} \frac{\epsilon_{SiO_2}}{t_{OX_gate_inv}} (V_{dd} - V_{th}) \frac{(V_{dd} - V_{th})}{(V_{dd} - V_{th} + 2 L_g v_{sat} / \mu_{eff})}$$

$$I_{ON} = \frac{I_{drain_ideal}}{1 + R_{sd} I_{drain_ideal} / (V_{dd} - V_{th})}$$

L_g , $t_{ox_gate_inv}$, V_{th} について、ガウス分布のばらつきを仮定して、モンテカルロ計算にて、 I_{ON} のばらつきを計算

Ionばらつききの計算例

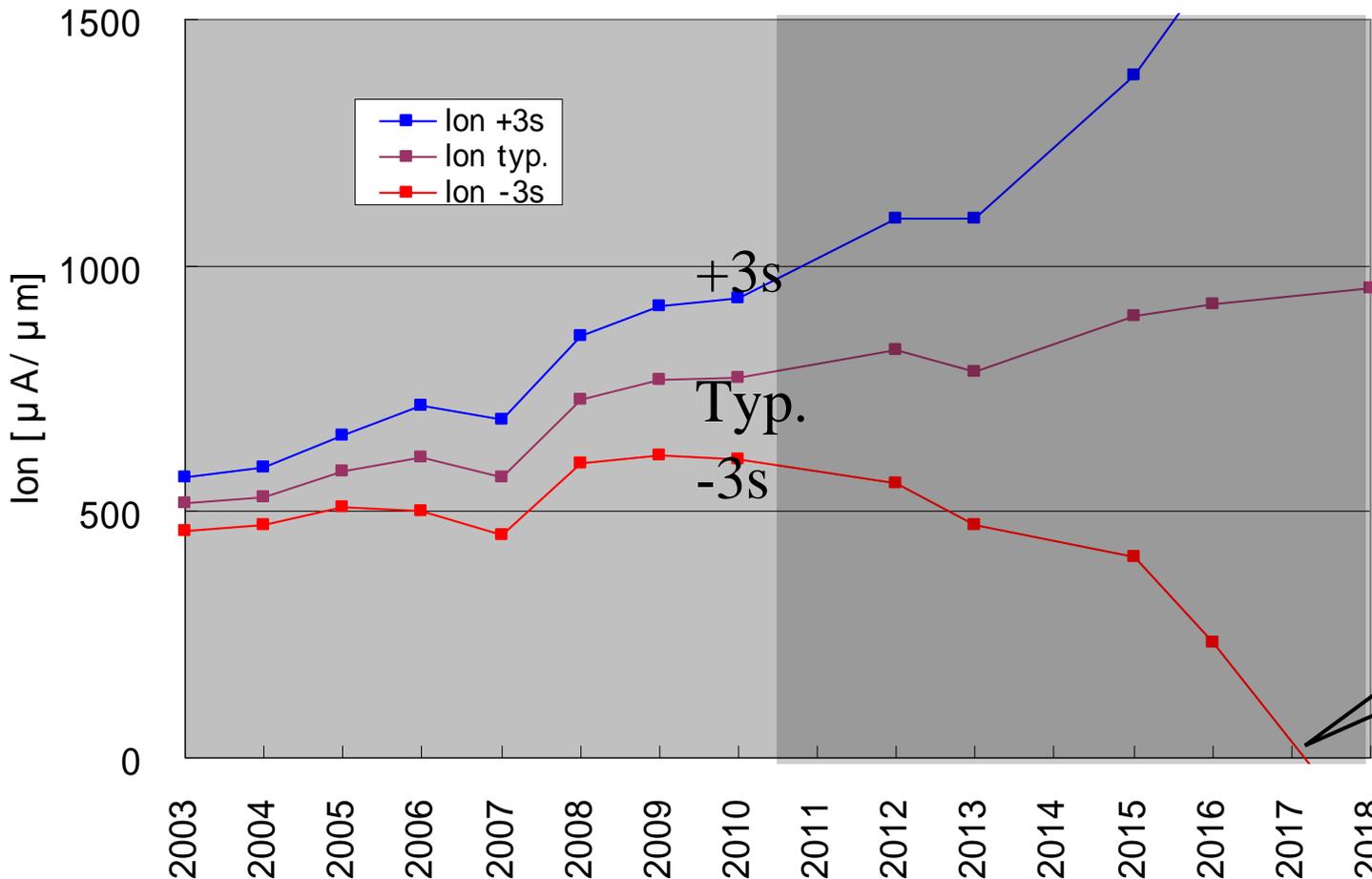
- LOPトランジスタ 2003年のIon特性 (室温、 $V_{dd}=Typ.$)
- 表計算ソフト(Excel)上に計算モデルを構築



MOSFET(LOP) Ionの推移

■ Ionのばらつきは増大してゆく傾向
(Worst側の電流の増加が少ない)

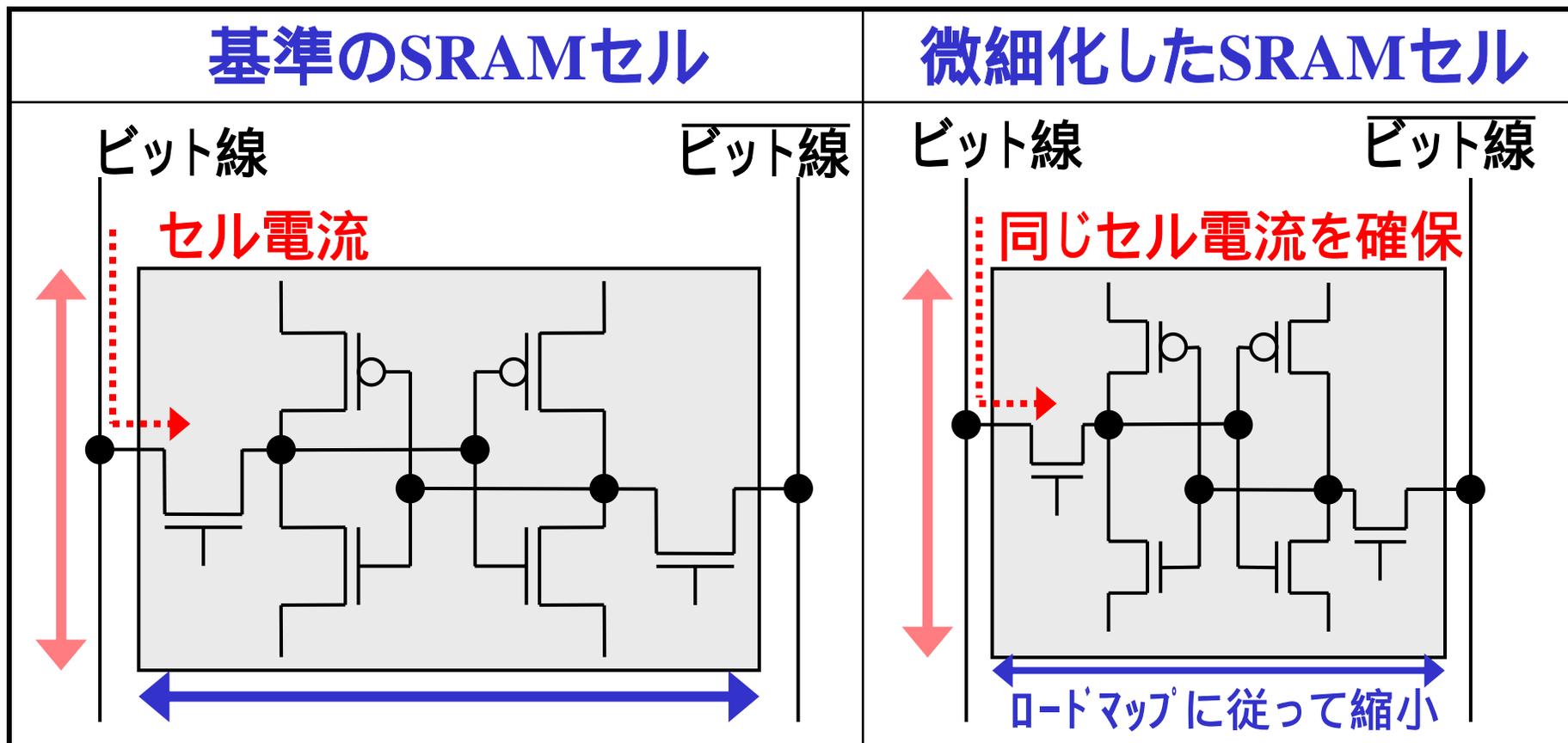
@RT, Vdd=Typ.



VthがばらついてVddに達する

SRAMセルサイズの見積り (1)

- ゲート幅方向: 同じセル電流を確保するゲート幅を確保
(最悪条件の I_{on} にしたがってスケールする)
- 他方向: ロードマップM1ピッチに従って寸法が縮小
- この設定でSRAMセルサイズのロードマップを見積る



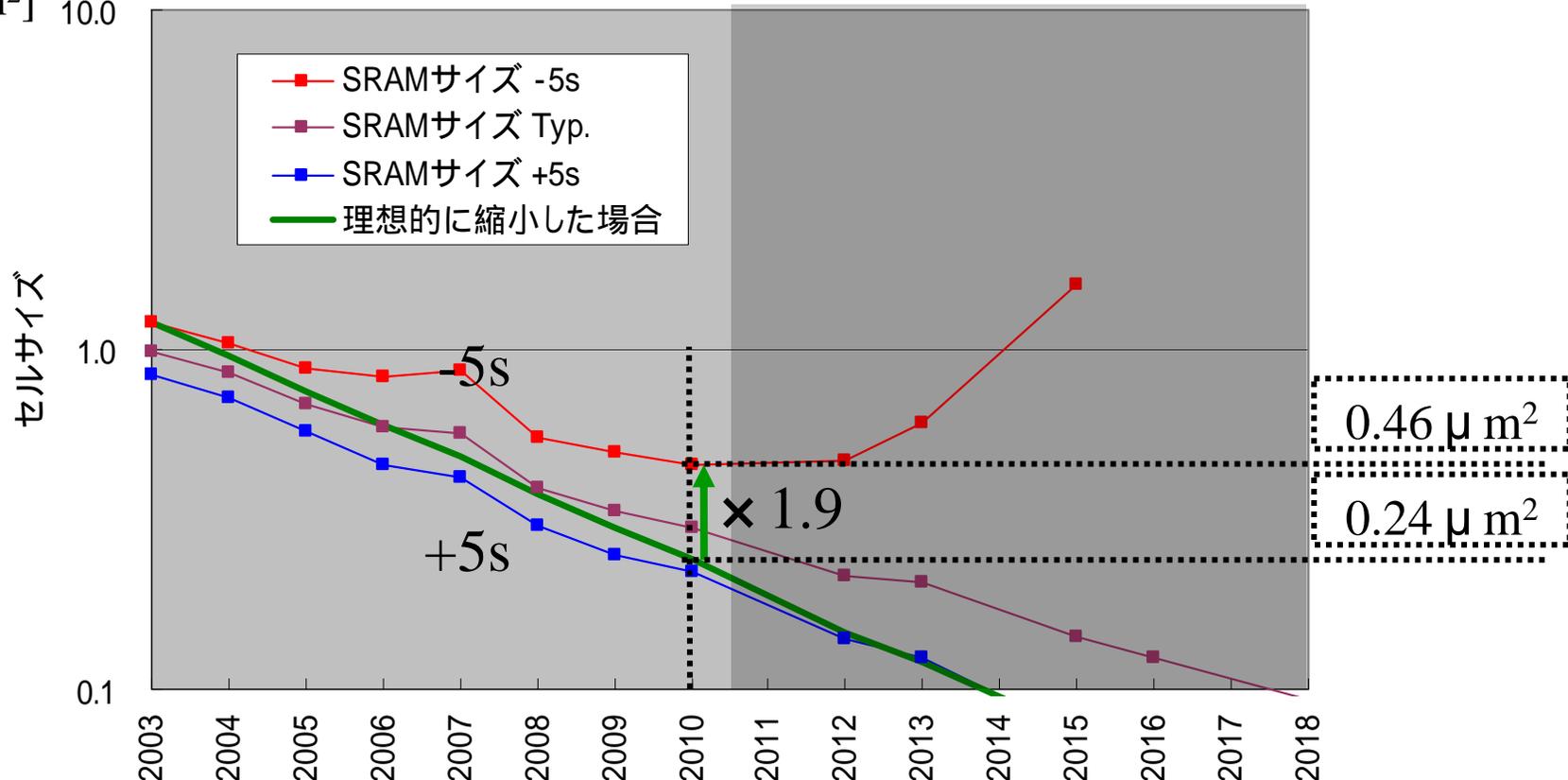
SRAMセルサイズの見積り (2)



- LOPトランジスタのパラメータで、
「5s条件でIonがばらついた場合のセルサイズ」
「M1 pitchで理想的に縮小した場合のセルサイズ」 を比較
- 2010年付近で、理想的に縮小した場合に対し1.9倍程度の面積が必要

@RT, Vdd=Typ.

[μm^2] 10.0



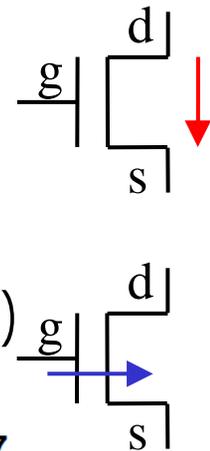
0.46 μm^2

0.24 μm^2

計算モデルの説明 (3)

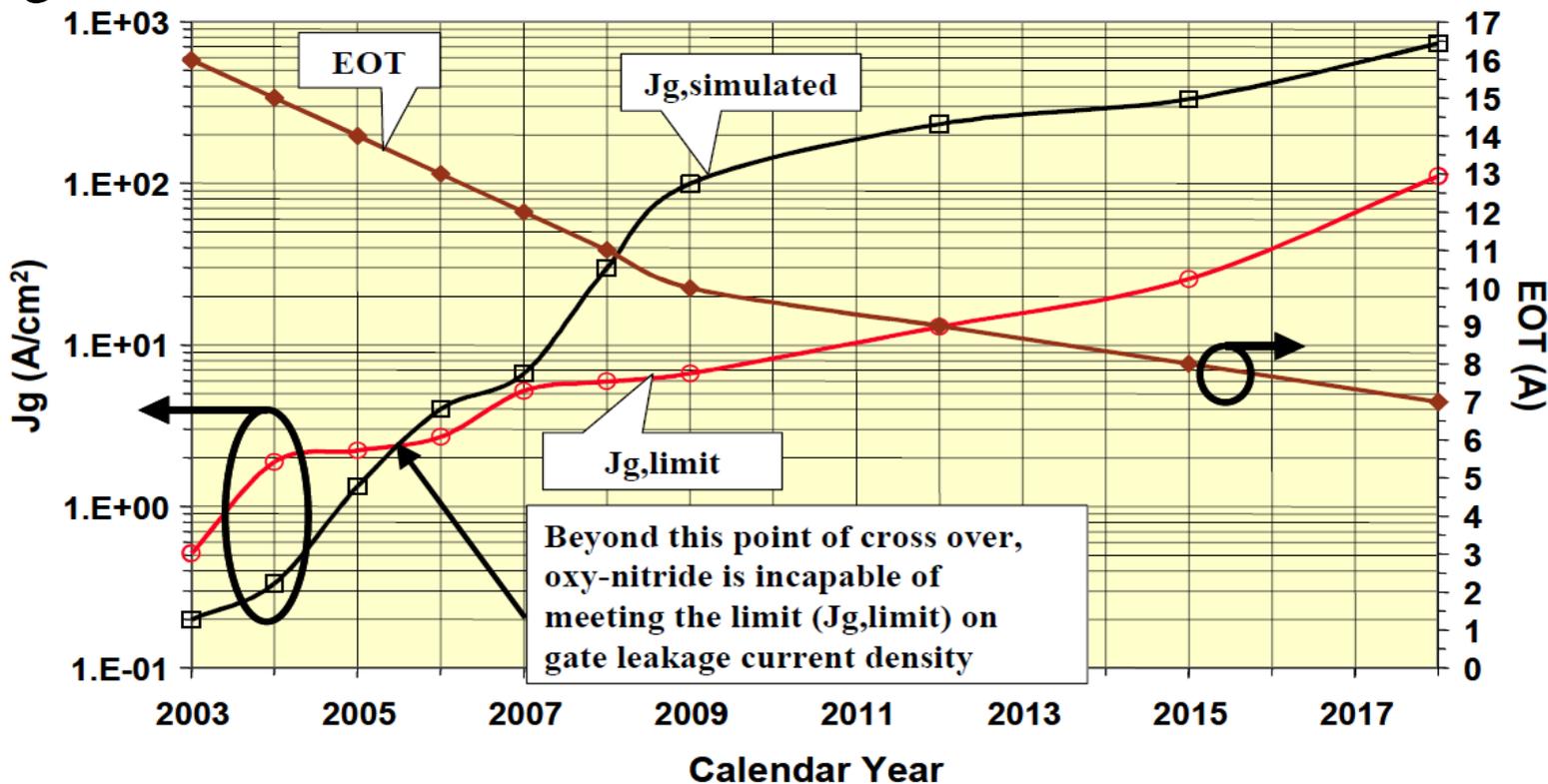
■ 単位MOSFETのSub-thresholdリーク電流(I_{off})

$$I_{off} = I_{off_TYP.} \cdot 10^{(V_{th_TYP.} - V_{th}) / Subthreshold_Slope}$$



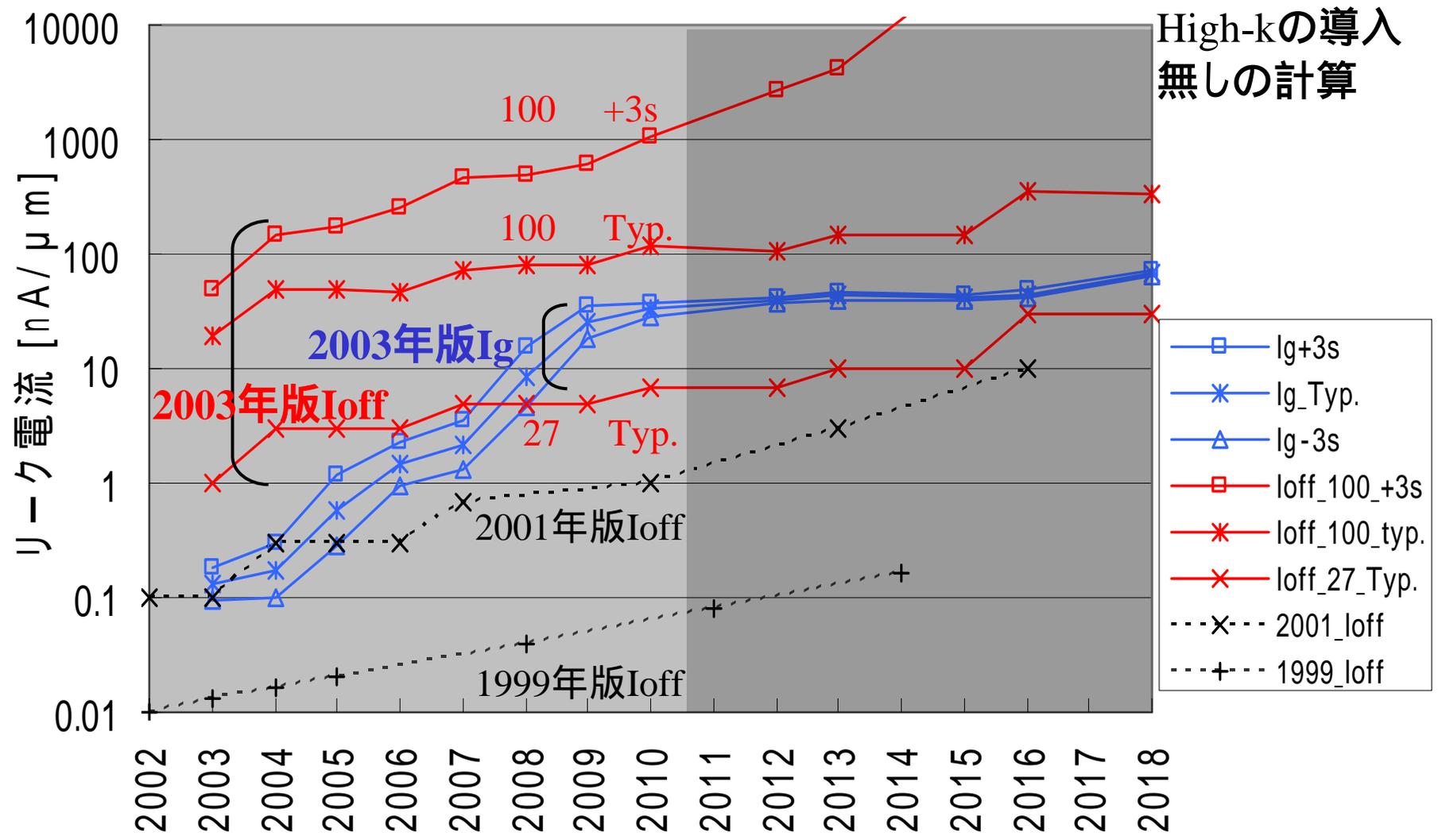
■ 単体MOSFETのゲートリーク電流(I_g)

- 酸窒化膜厚さより I_g を計算 (PIDS $J_g, simulated$ のグラフ^[1])
- I_g の温度依存性は無しと設定



MOSFET(LOP) リーク電流のRM

■ ゲート幅1 μm あたりのNMOS-FETのリーク電流



SoCの諸特性の計算モデル

■動作速度の計算モデル

- 27 , Typ.のCV/Iの推移を基準に計算
(高温におけるIonの変化、ばらつきの動作周波数への影響のモデルに課題がある。)

■AC電力の計算モデル

- 昨年度と同じ計算モデル^[8]

■リーク電力の計算モデル

- 単体MOSFET 論理ゲート、メモリセルのリーク電流
昨年度発表^[8]と同じ計算モデル
- 上記に、SoC搭載論理ゲート数とメモリビット数を乗算
- 今年度は、リーク電流のばらつきと温度特性を考慮

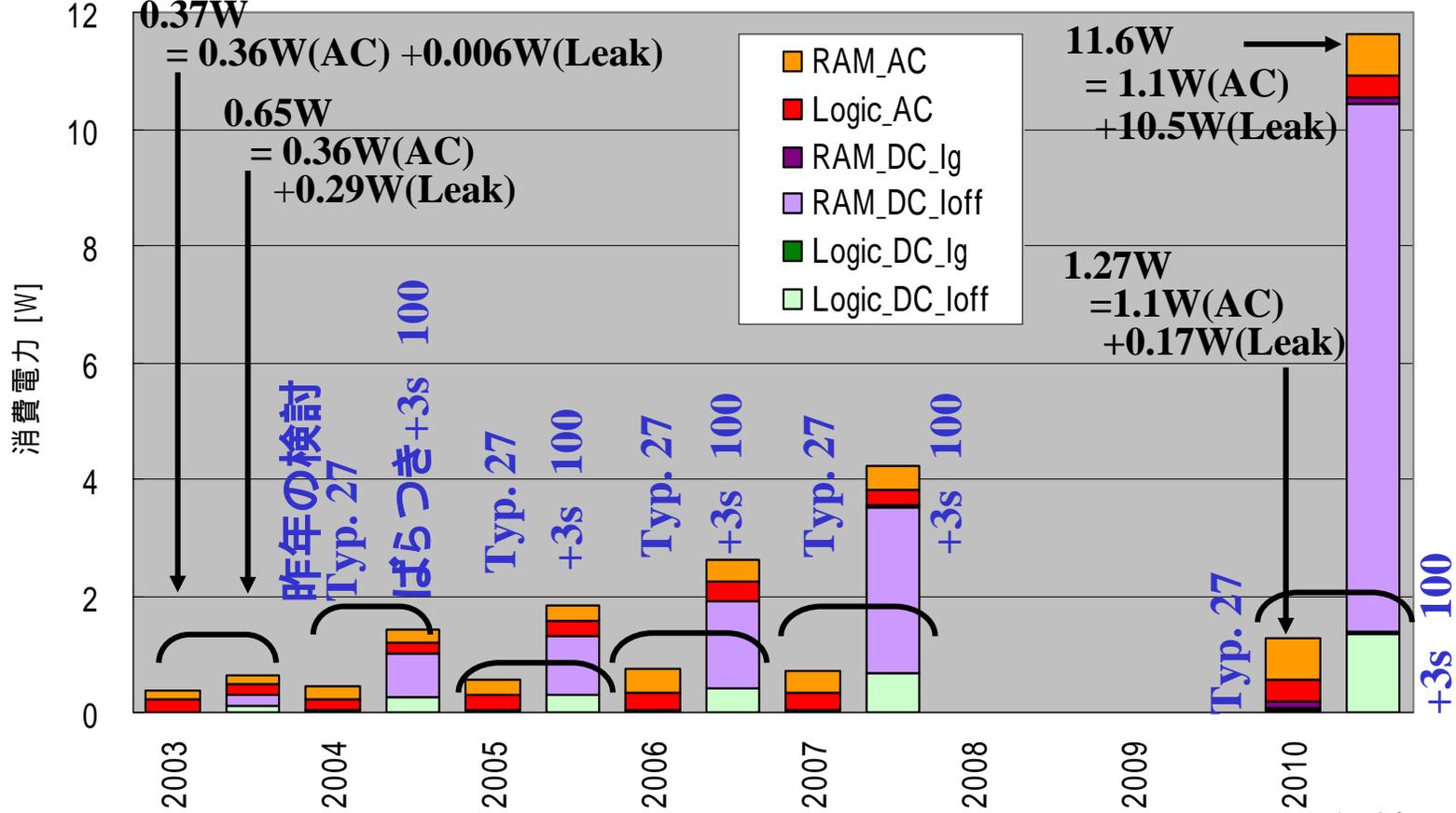
消費電力の見積り (LOPモデル) STRJ

■ 2003年版のロードマップに対して、ばらつきと温度条件を加味したリーク電流の変化を検討 (全てのTr.に対し +3sは極端な設定)

■ 2010年時点で、

□ 全電力は、昨年の検討に対して9.1倍

□ リークは、昨年度の検討に対して61倍で、全電力の90%に



まとめ

- ばらつきや温度変化のSoC特性への影響評価を実施
 - SoC消費電力への影響 2010年で全電力が9.1倍(Max.)
 - SRAMセルサイズへの影響 2010年でサイズ1.9倍
- リーク電力制御の設計とともに、ばらつきや温度変化に対応した設計が必須になる
- 今後の課題
 - 今回のモデルは簡単なモデル
 - ばらつきのモデルの改善、特性計算モデルの改善
 - 「ポリ電極のLER」や「配線のばらつき」等のばらつき要因の検討
 - 半導体ロードマップの改訂作業の中で、国際的なDFM検討の進め方との整合性を図る

参考文献

1. International Technology Roadmap for Semiconductors 2003
2. Y. Taur et al., “Fundamentals of Modern VLSI Devices”, Cambridge University Press
3. A. Asenov et al., “Simulation of Intrinsic Parameter Fluctuations in Decanometer and Nanometer-Scale MOSFETs”, IEEE Trans. ED, pp.1837-1852, Vol.50, No.9, Sep. 2003
4. H. Wong et al., “Nanoscale CMOS”, Proceedings of the IEEE, pp537-570, Vol.,87, No. 4, Apr. 1999
5. T. Mizuno et al., “Experimental Study of Threshold Voltage Fluctuation Due to Statistical Variation Channel Dopant Number in MOSFET’s”, IEEE Trans. ED, pp.2216-2221, Vol. 41, No. 11, Nov. 1994
6. International Technology Roadmap for Semiconductors 1999
7. M. Aoki et al., “Design Guide and Process Quality Improvement For Treatment of Device Variations in an LSI Chip”, Proc. 2004 ICMTS, Vol. 17, Mar. 2004
8. STRJ報告書 2003年度版, JEITA