

STRJ-WG4 (配線) 報告

微細Cu/Low-k配線の課題

上野 和良 (NECエレクトロニクス)

辻村 学 (荏原製作所)

1. はじめに

- ・ 配線技術の現状
- ・ WG4 (配線WG) の活動概要

2. ITRS配線ロードマップ2003年版改訂の復習

3. ITRS2004アップデート

- ・ 電子散乱効果によるCu比抵抗上昇
- ・ Low-k技術の進展を反映したk値の技術的な困難度見直し
- ・ 動作周波数見直しに伴う電流密度のアップデート
- ・ DRAMのコンタクトおよびビア比抵抗の見直し

4. Cu/Low-k配線の課題

- ・ Cu/Low-k配線の機械的強度解析

5. まとめと2005年度への課題

1. はじめに

配線技術の現状

配線断面積の縮小と動作周波数の増加

配線遅延の増加

電流密度上昇に伴う信頼性劣化 (EM)

消費電力の増加

シグナルインテグリティ問題 など

対策として 新材料を導入

180nm世代からCu、130nm世代からLow-k

しかし、45nm世代以降に向けて、

材料物性限界の顕在化や技術障壁が増大

- ・ 電子散乱による比抵抗上昇
- ・ ポーラスLow-k膜の機械的強度低下に伴う
インテグレーションや信頼性問題
- ・ CuのEM限界 など

STRJ-WG4の活動概要

論理的根拠に基づいた

合理的かつ現実的な配線技術ロードマップを目指す

国際ロードマップ ITRS作成とリンクした活動

・ 2003年度(昨年度)

“ 論理的根拠に基づいた

合理的かつ現実的な配線技術ロードマップ”

k値、配線層数、 J_{\max} などITRS2003に反映

・ 2004年度

2003年版のアップデート

Cuの比抵抗上昇などITRS2003を改訂

STRJ独自の活動

・ Low-k膜の機械的強度劣化の検討 など

WG4 (配線WG) 構成

リーダー	: 辻村 学	WG特別委員 (株)荏原製作所
サブリーダー	: 柴田 英毅	(株)東芝セミコンダクタ社
国際委員	: 上野 和良	NECエレクトロニクス(株)
国際委員	: 山崎 治	シャープ(株)
委員	: 青井 信雄	松下電器産業(株)
	青山 純一	ソニー(株)
	遠藤 守	セイコーエプソン(株)
	影山 麻樹子	沖電気工業(株)
	五戸 成史	WG特別委員 (株)アルバック
	中尾 雄一	ローム(株)
	中村 友二	(株)富士通研究所
	松澤 昭	WG特別委員 東京工業大学
	宮崎 博史	(株)ルネサステクノロジ
	山下 富生	三洋電機(株)

2004年度の活動経緯

2004年		ITRS
4月19-20日	ITRS-Spring Meeting	テーマ提案
5月14日	第一回STRJ-WG4委員会	
6月 6日	米国で特別合同委員会	議論
6月18日	第二回STRJ-WG4委員会	
7月12-14日	ITRS-Summer Meeting	合意/中間報告
7月23日	第三回STRJ-WG4委員会	
9月 9日	第四回STRJ-WG4委員会	ITRS2004作成
11月19日	ITRS-Winter Meeting準備	
11月30日-12月1日	ITRS-Winter Meeting	発表
2005年		
1月21日	第五回STRJ-WG4委員会 /クロスカット会議(LER)	
3月 3- 4日	STRJワークショップ	

2. ITRS配線ロードマップ2003年版改訂の復習

論理的根拠に基づいた合理的かつ現実的な配線技術ロードマップ(2003年度)まとめ

Low-k (k 及び k_{eff} 値)

- ・性能律速経路における遅延モデルのR,Cスケーリング及び現実的に開発可能なLow-k材料を用いたILD構造の容量計算から導出した k_{eff} へ変更
- ・結果的にはITRS2002に比べて約3年後ろ倒し
- ・母材のみならずDCLやDPLの k 低減や薄膜化が重要であることを明記

配線層数

- ・論理的なアプローチ(Davisの配線長分布モデル)により算出
- ・結果的にはITRS2002に比べて1-3層増加

配線/ビア最大電流密度

- ・IM信号線を流れる平均電流を最新パラメータを用いて再計算し、現実に即した J_{max} へ変更
- ・ビアを流れる電流値はビア複数取りが標準であるために表から削除

配線実効比抵抗 (k_{eff} 値)

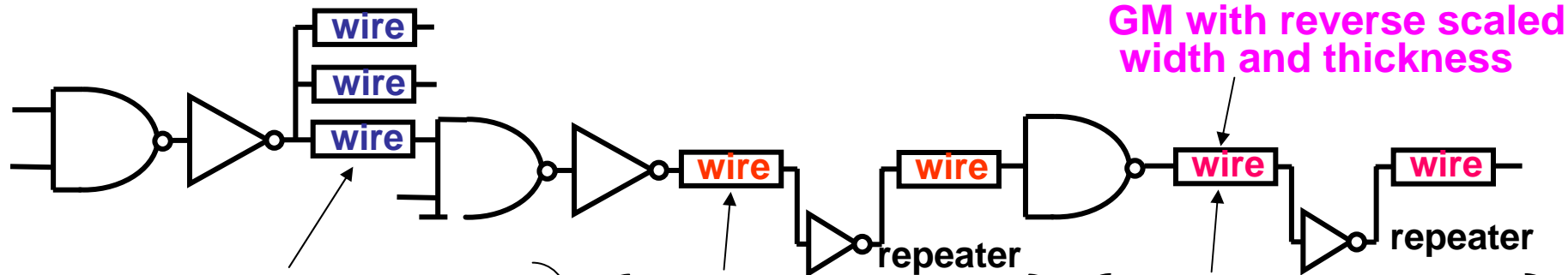
- ・界面での電子散乱効果を考慮した計算結果と実測データを参照データとして掲載し、32nm Node以降をRBWへ (ロードマップ表の k_{eff} 数値は変更せず)

k_{eff} の論理的導出に用いた配線遅延モデル

< IM >

< SGM >

< GM >



Typical circuits(2NAND+Inv.)
connected with block-size length
(=average long)intermediate(IM)
wires having multiple-stages

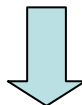
SGM wires
with module-size length
divided by
optimized repeaters

Global metal(GM) wires
with chip-size length
divided by
optimized repeaters

$$\min.(1/f_{\max.}) = (\text{gate delay with IM}) \times (\text{Logic depth}) + (\text{SGM, GM})$$

$$(\text{gate delay with IM}) = k_1 R_T C_T + k_2 R_T C_W l_{\text{avg}} + k_3 R_W C_T l_{\text{avg}} + k_4 R_W C_W l_{\text{avg}}^2$$

$$(\text{SGM, GM}) = k_5 \frac{R_{LW1} C_{LW1} R_T C_T l_{\text{long1}}^2}{R_{LW1} C_{LW1} R_T C_T l_{\text{long1}}^2} + k_6 \frac{R_{LW2} C_{LW2} R_T C_T l_{\text{long2}}^2}{R_{LW2} C_{LW2} R_T C_T l_{\text{long2}}^2}$$

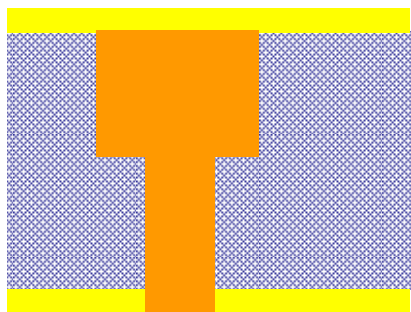


世代毎に30%の遅延時間(t_{\min})改善率を達成するように
配線抵抗($R_{W,LW1,LW2}$)及び配線容量($C_{W,LW1,LW2}$)をスケールアップする

k_{eff} の論理的導出に用いた配線構造モデル

Assumptions

Cu D.B height = 25nm
 Hardmask height = NA
 Via height = 110nm
 Trench height = 125nm
 Minimum L/S = 70nm



Assumptions

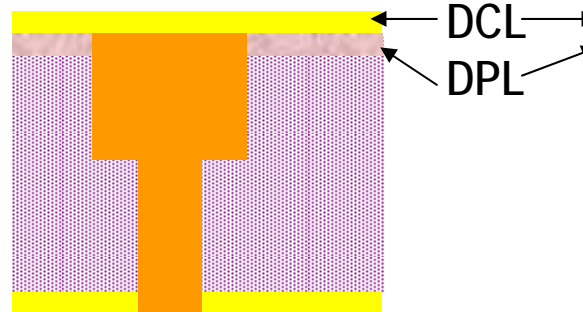
$K_{\text{(Cu D.B)}} = 3.5$
 $K_{\text{(Hardmask)}} = \text{NA}$
 $K_{\text{(via)}} = 2.4$
 $K_{\text{(trench)}} = 2.4$

$K_{\text{eff}} = 2.54$

DCL: Dielectric Capping Layer
 DPL: Dielectric Protection Layer

Assumptions

Cu D.B height = 25nm
 Hardmask height = 25nm
 Via height = 110nm
 Trench height = 125nm
 Minimum L/S = 70nm



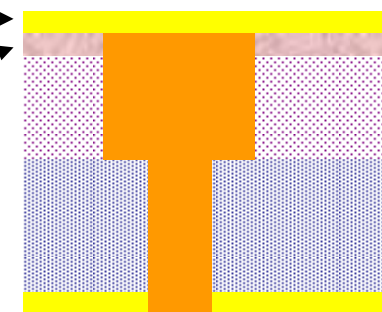
Assumptions

$K_{\text{(Cu D.B)}} = 3.5$
 $K_{\text{(Hardmask)}} = 2.5$
 $K_{\text{(via)}} = 2.2$
 $K_{\text{(trench)}} = 2.2$

$K_{\text{eff}} = 2.40$

Assumptions

Cu D.B height = 25nm
 Hardmask height = 25nm
 Via height = 110nm
 Trench height = 125nm
 Minimum L/S = 70nm



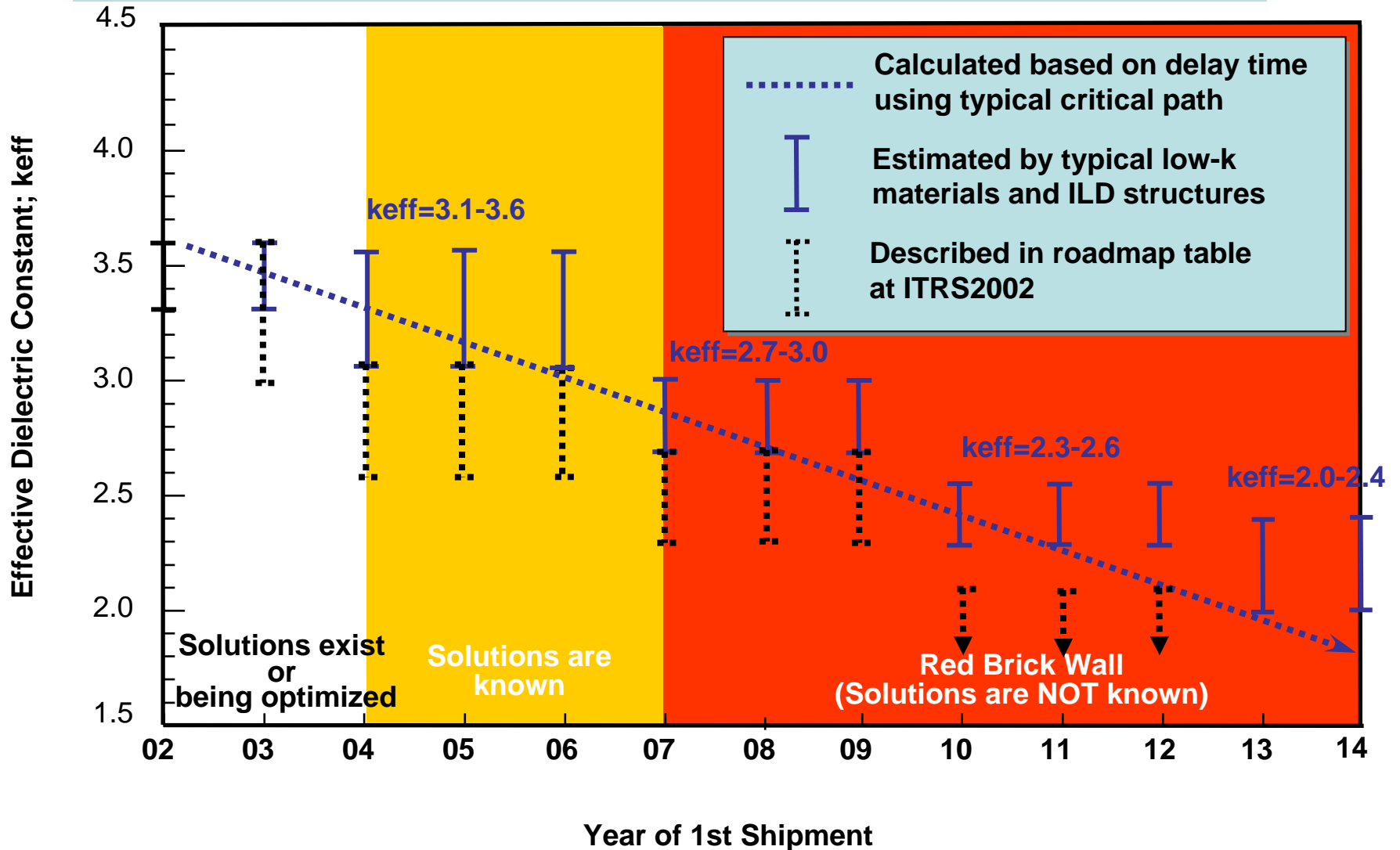
Assumptions

$K_{\text{(Cu D.B)}} = 3.5$
 $K_{\text{(Hardmask)}} = 2.5$
 $K_{\text{(via)}} = 2.2$
 $K_{\text{(trench)}} = 2.0$

$K_{\text{eff}} = 2.31$

45nm node / 2010年

論理的根拠に基づいたITRS2003 k_{eff} ロードマップ



2004年アップデートでは数値の変更なしで、色分けを変更

3. ITRS2004アップデート

電子散乱効果による配線比抵抗上昇を要求値に反映

- ・抵抗上昇モデルの合意を取り、技術要求テーブルの数値を変更

誘電率(k値)の技術的な困難度を示す色を変更

- ・要求値の変更なし(10年来初めて)
- ・Low-k技術の進展により、 $k_{\text{eff}} = 3.1-3.6$:黄 白、 $k_{\text{eff}} = 2.7-3$:赤 黄

配線電流密度(J_{max})の修正

- ・モデルはそのまま、動作周波数変更に伴い再計算し修正

DRAM向けコンタクト、ビアの接触比抵抗の要求値変更

- ・調査結果に基づいて変更

配線ピッチトレンド(M1)調査*

- ・最近の文献によると、M1(第一メタル)の微細化が加速
- ・高性能チップ用の別の表が必要(2005年版の検討項目)

メモリ対応の配線ロードマップ見直し*

- ・Cu導入時期など、台湾ITWGを中心に、ロードマップ見直し検討

その他

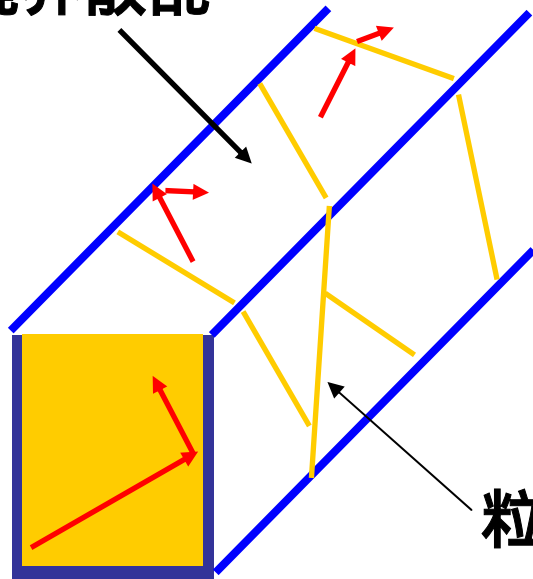
- ・ビア中Cuボイドの検出サイズ要求値(メトロロジー): ビア径の1/10 1/2
- ・洗浄に対する要求値(Low-kの許容k値変化など): 2005年度検討項目*

* 繰り越された項目

電子散乱による比抵抗上昇

$$\rho(W) = \rho_0 \left[1 + \left(\lambda / W \right) \left[\frac{3}{4}(1-p) + \frac{3}{2} \left(\frac{r}{1-r} \right) \right] \right]$$

境界散乱



粒界散乱

$\rho_0 = 1.9 \mu\Omega \text{ cm}$ (300K, 格子散乱、不純物散乱等)
 $= 3.4 \times 10^{-6} \text{ cm}$ (平均自由行程)
 $W = \text{配線幅 (cm)}$
 $r = 0.2$ (粒界散乱確率)
 $p = 0.5$ (境界の反射係数)

報告されている実験値の中で、最も低い比抵抗にあう粒界散乱確率“ r ”と、境界の反射係数“ p ”を用いて比抵抗の要求値を求める

電子散乱による比抵抗上昇モデル

$p=0$ (complete diffuse scattering)

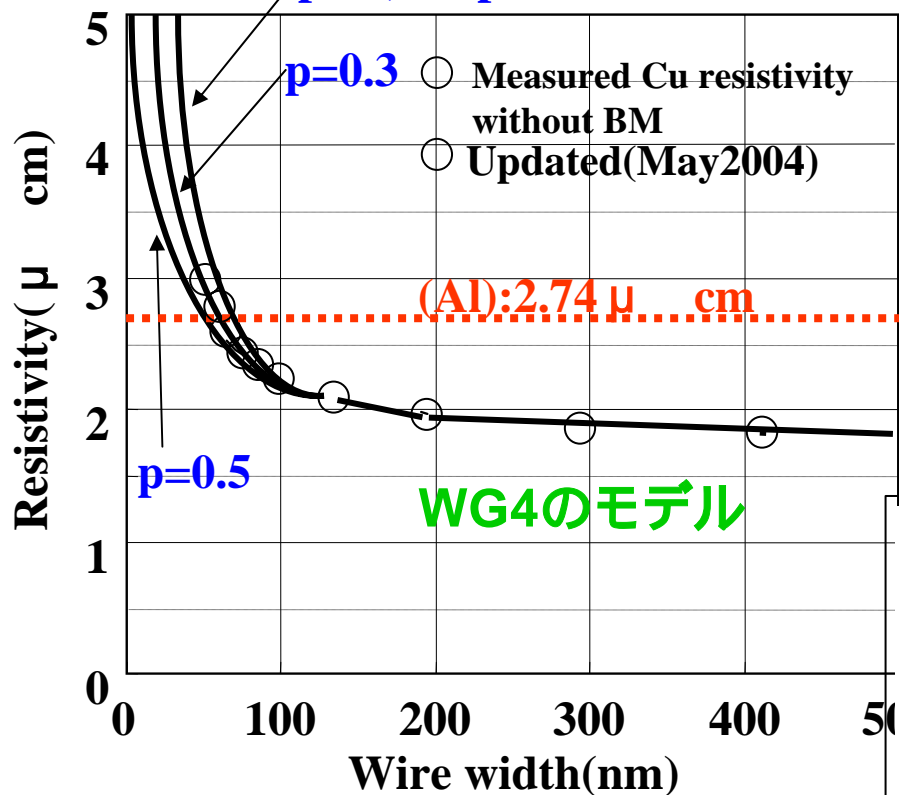
$p=0.3$

○ Measured Cu resistivity without BM
○ Updated (May 2004)

(A): $2.74 \mu\text{ cm}$

WG4のモデル

$p=0.5$

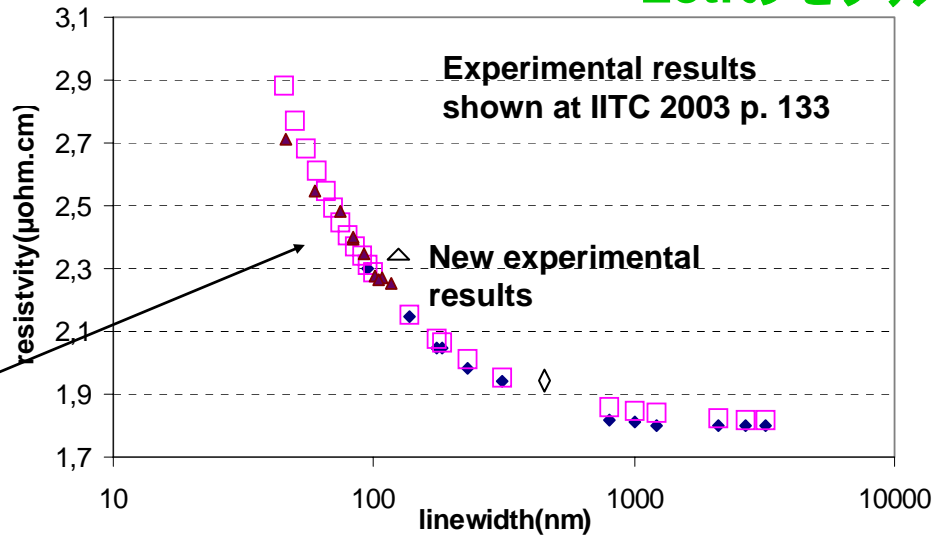


WG4モデルで国際合意

calculated with $\phi = 1.8 \mu\text{ cm}$,
 $r = 40 \text{ nm}$, $p = 0.6$, $r = 0.2$

wire width (cm)	$\phi (\mu\text{ cm})$	(cm)	(W) ($\mu\text{ cm}$)				Measured data
			P=0	P=0.2	P=0.3	P=0.5	
5.00E-05	1.90E+00	3.40E-06	2.05	2.03	2.02	2.00	2.00E+00
2.00E-05	1.90E+00	3.40E-06	2.26	2.21	2.19	2.14	2.10E+00
1.40E-05	1.90E+00	3.40E-06	2.42	2.35	2.32	2.25	2.20E+00
1.17E-05	1.90E+00	3.40E-06	2.52	2.44	2.40	2.31	2.30E+00
1.00E-05	1.90E+00	3.40E-06	2.63	2.53	2.48	2.38	2.40E+00
8.50E-06	1.90E+00	3.40E-06	2.76	2.64	2.58	2.47	2.50E+00
7.50E-06	1.90E+00	3.40E-06	2.87	2.74	2.68	2.55	2.70E+00
6.50E-06	1.90E+00	3.40E-06	3.02	2.87	2.79	2.65	2.80E+00
5.50E-06	1.90E+00	3.40E-06	3.22	3.05	2.96	2.78	3.00E+00
5.00E-06	1.90E+00	3.40E-06	3.35	3.16	3.06	2.87	Non
3.90E-06	1.90E+00	3.40E-06	3.76	3.52	3.39	3.14	Non
3.60E-06	1.90E+00	3.40E-06	3.92	3.65	3.52	3.25	Non
2.80E-06	1.90E+00	3.40E-06	4.50	4.15	3.98	3.63	Non
2.40E-06	1.90E+00	3.40E-06	4.93	4.52	4.32	3.92	Non
2.00E-06	1.90E+00	3.40E-06	5.53	5.05	4.81	4.32	Non

resistivity versus linewidth **Letiのモデル**



比抵抗上昇による技術要求テーブルの改訂

- ・電子散乱を考慮した場合と、考慮しない場合の比抵抗を併記
- ・配線遅延や、遅延一定の配線長なども、再計算し表記

Scattering を考慮しない場合
($2.2 \mu\Omega\text{-cm}$) の RC Delay



Scattering とバリア厚みを考慮
した場合の RC Delay



Scattering とバリア厚みを考慮
した場合の Cu effective resistivity



バリア厚み



Scattering を考慮しない場合
($2.2 \mu\Omega\text{-cm}$) の Line length



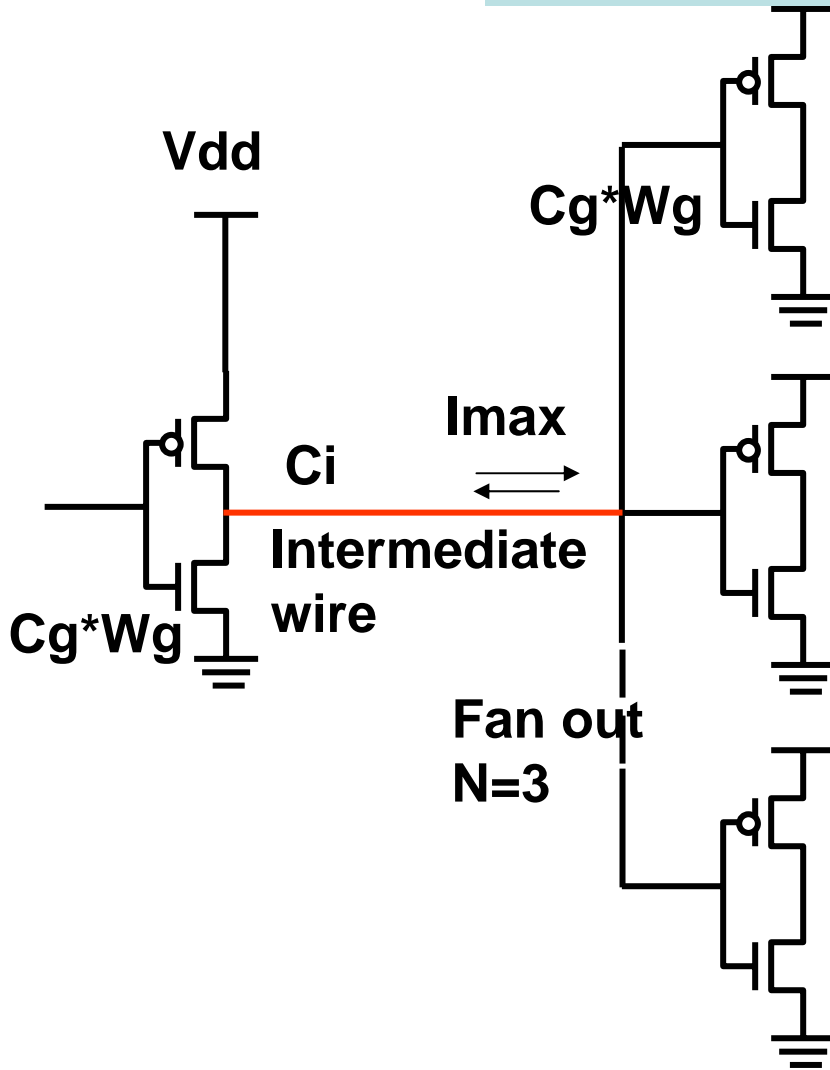
WAS	Interconnect RC delay (ps) for 1 mm Metal 1 line	191	224	284	355	384	477	595
IS	Interconnect RC delay (ps) for a 1 mm Cu Metal 1 line, <u>assumes no scattering and an effective ρ of $2.2 \mu\Omega\text{-cm}$</u>	191	224	284	355	384	477	595
ADD	<u>Interconnect RC delay (ps) for 1 mm Cu Metal 1 line, assumes width-dependent scattering and a conformal barrier of thickness specified below</u>	<u>254</u>	<u>304</u>	<u>3.95</u>	<u>502</u>	<u>553</u>	<u>714</u>	<u>930</u>
ADD	<u>Conductor effective resistivity ($\mu\Omega\text{-cm}$) Cu Metal 1 wiring including effect of width dependent scattering and a conformal barrier of thickness specified below</u>	<u>2.93</u>	<u>2.99</u>	<u>3.06</u>	<u>3.11</u>	<u>3.22</u>	<u>3.35</u>	<u>3.5</u>
ADD	<u>Barrier/cladding thickness (for Cu Metal 1 wiring) (nm) [3]</u>	<u>9</u>	<u>8</u>	<u>7</u>	<u>6</u>	<u>5.4</u>	<u>4.9</u>	<u>4.5</u>
WAS	Line length (mm) where $\tau = \text{RC delay}$ (Metal 1 wire)	79	65	55	46	41	34	28
IS	Line length (μm) where $\tau = \text{RC delay}$ (Metal 1 wire) <u>no scattering</u>	79	65	55	46	41	34	28

誘電率 (k_{eff} , k) の技術的困難度の色変更

	YEAR TECHNOLOGY NODE	2003	2004	2005	2006	2007	2008	2009
	DRAM $\frac{1}{2}$ PITCH (nm)	<u>100</u>	<u>90</u>	<u>80</u>	<u>70</u>	<u>65</u>	<u>57</u>	<u>50</u>
Is	MPU/ASIC $\frac{1}{2}$ PITCH (nm)	120	107	95	85	76	67	60
Is	Number of metal levels	9	10	11	11	11	12	12
Is	Metal 1 wiring pitch (nm)	240	214	190	170	152	134	120
Was	Interlevel metal insulator (minimum expected) —effective dielectric constant (κ)	3.3– 3.6	3.1- 3.6	3.1- 3.6	3.1- 3.6	2.7- 3.0	2.7- 3.0	2.7- 3.0
Is	Interlevel metal insulator (minimum expected) —effective dielectric constant (κ)	3.3– 3.6	3.1- 3.6	3.1- 3.6	3.1- 3.6	2.7- 3.0	2.7- 3.0	2.7- 3.0
Is	Interlevel metal insulator (minimum expected) —bulk dielectric constant (κ)	<3.0	<2.7	<2.7	<2.7	<2.4	<2.4	<2.4

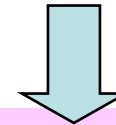
Low-k技術の進展により、
 $k_{\text{eff}} = 3.1-3.6$: 黄 白、 $k_{\text{eff}} = 2.7-3$: 赤 黄

配線電流密度 (J_{max}) の修正



Inverter circuit (F.O=3)

- Minimum Tr width (Wmin.):
 NMOS Gate width= (ASIC Half-pitch)x 4
 PMOS Gate width=(NMOS Gate-width) x 2
- Tr-width (Wg):
 $Wg = Wmin.x 8$
- Gate capacitance(Cg): from Tables 35a and b
- Wiring length (Li): IM-Pitch x 200
- Wiring capacitance(Ci): Updated keff



Average current density of IM-interconnect (J_{max})

$$= f (Cg * Wg * N + Ci) * Vdd / (Wi * Ti)$$

ITRS2003と同じモデルを用い、変更されたfで再計算

DRAMコンタクト/ビア接触比抵抗の見直し

Table 82a DRAM Interconnect Technology Requirements—Near-term

Year of Production		2003	2004	2005	2006	2007	2008	2009
Technology Node			hp90			hp65		
WAS	DRAM 1/2 Pitch (nm)	100	90	80	70	65	57	50
IS	Contact size(nm)	140	130	120	110	100	90	80
IS	Via-size(nm)	140	130	120	110	100	90	80
WAS	Specific contact resistance ($\Omega\text{-cm}^2$)	1.00E-07	8.50E-08	7.00E-08	5.00E-08	4.00E-08	3.50E-08	3.00E-08
IS	Specific contact resistance ($\Omega\text{-cm}^2$) for n+-Si	3.80E-08	3.20E-08	2.50E-08	2.30E-08	2.00E-08	1.70E-08	1.40E-08
IS	Specific contact resistance ($\Omega\text{-cm}^2$) for p+-Si	8.20E-08	6.10E-08	4.50E-08	3.80E-08	3.20E-08	2.70E-08	2.20E-08
WAS	Specific via resistance ($\Omega\text{-cm}^2$)	1.10E-09	9.00E-10	7.50E-10	5.80E-10	5.00E-10	4.00E-10	3.50E-10
IS	Specific via resistance ($\Omega\text{-cm}^2$)	7.00E-10	7.00E-10	7.00E-10	6.00E-10	5.00E-10	4.00E-10	3.50E-10

<contact and via structure>

コンタクト構造

n+-----W/TiN/Ti

p+-----W/TiN/Ti

ビア構造

-2006 W/TiN on W

2007- Cu/Ta on Cu

Table 82b – DRAM Interconnect Technology Requirements—Long-term

Year of Production		2010	2011	2012	2013	2014	2015	2016	2017	2018
Technology Node		hp45			hp32			hp22		
WAS	DRAM 1/2 Pitch (nm)	45	40	35	32	28	25	22	20	18
IS	Contact size(nm)	70	65	57	50	45	40	35	32	28
IS	Via-size(nm)	70	65	57	50	45	40	35	32	28
WAS	Specific contact resistance ($\Omega\text{-cm}^2$)	2.30E-08		1.60E-08	1.20E-08		7.70E-09	5.50E-09		3.90E-09
IS	Specific contact resistance ($\Omega\text{-cm}^2$) for n+-Si	1.20E-09	9.80E-09	8.20E-09	6.90E-09	5.80E-09	4.80E-09	4.00E-09	3.40E-09	2.80E-09
IS	Specific contact resistance ($\Omega\text{-cm}^2$) for p+-Si	1.80E-08	1.50E-08	1.30E-08	1.10E-08	9.20E-09	7.40E-09	6.20E-09	5.10E-09	4.30E-09
WAS	Specific via resistance ($\Omega\text{-cm}^2$)	3.20E-10		2.20E-10	1.60E-10		1.00E-10	7.60E-11		5.00E-11
IS	Specific via resistance ($\Omega\text{-cm}^2$)	2.90E-10	2.50E-10	2.10E-10	1.70E-10	1.40E-10	1.20E-10	1.00E-11	8.40E-11	7.00E-11

- ・2003-2006年は、110-90nm DRAM の実測値を表記
- ・2007年以降は、30%/2年で低減させる要求値を表記

4 . Cu/Low-k配線の課題

Cu/Low-k配線の機械的強度解析

強度解析の背景と目的

FEMによる構造解析

解析結果

Low-k材料物性と配線特性上の課題

機械的強度 (Young率、硬度) が低い

< 配線の特性/信頼性課題 >

吸湿性が高い

界面剥離、Crack

プラズマダメージ耐性が低い
(特にSiOC系無機材料)

配線容量の増大

SM/EM信頼性劣化

界面密着性が低い

配線間リーク増大

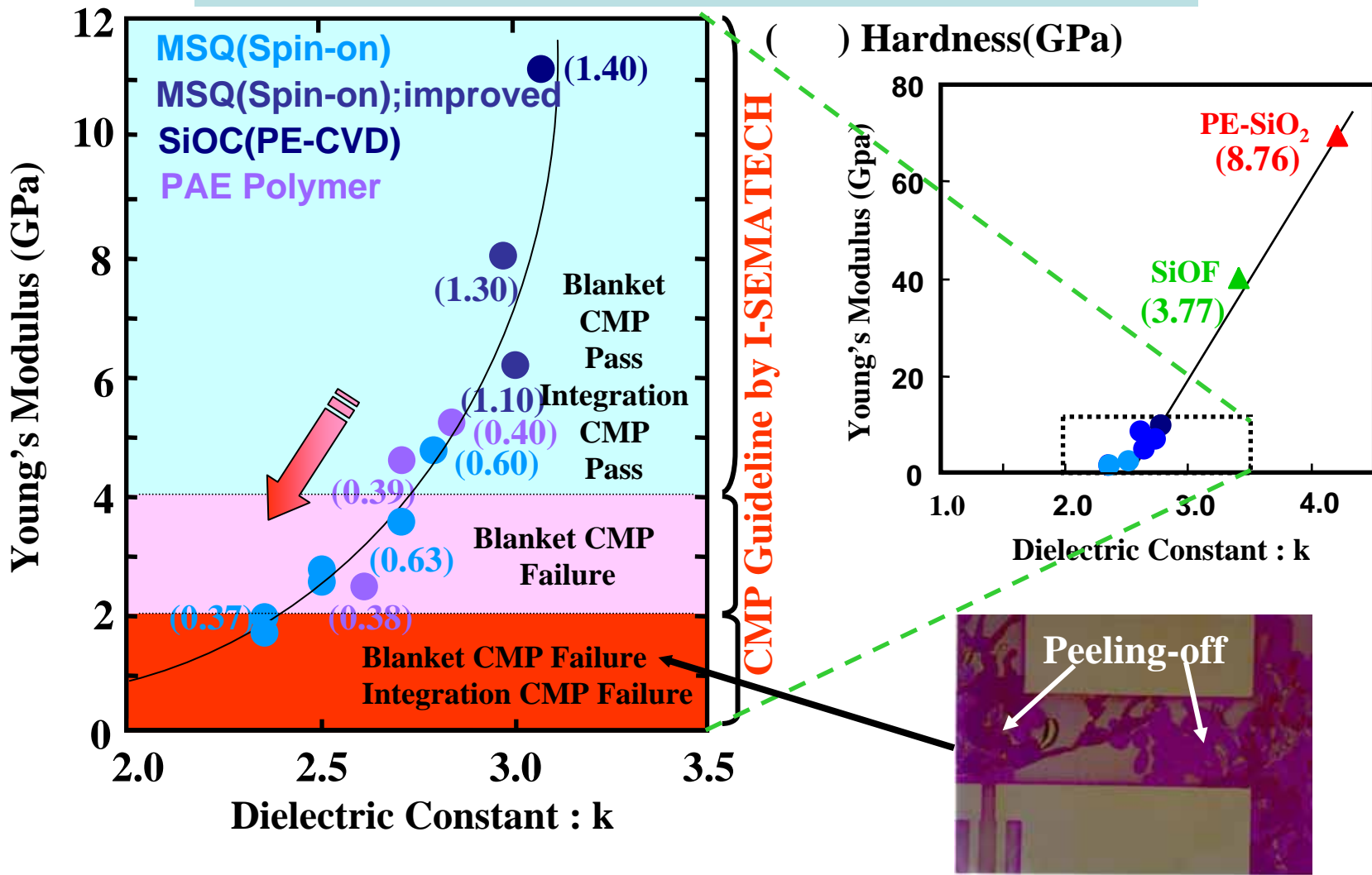
TDDDB信頼性劣化

熱膨張係数が大きい
(特に有機材料)

温度Cycle試験不良

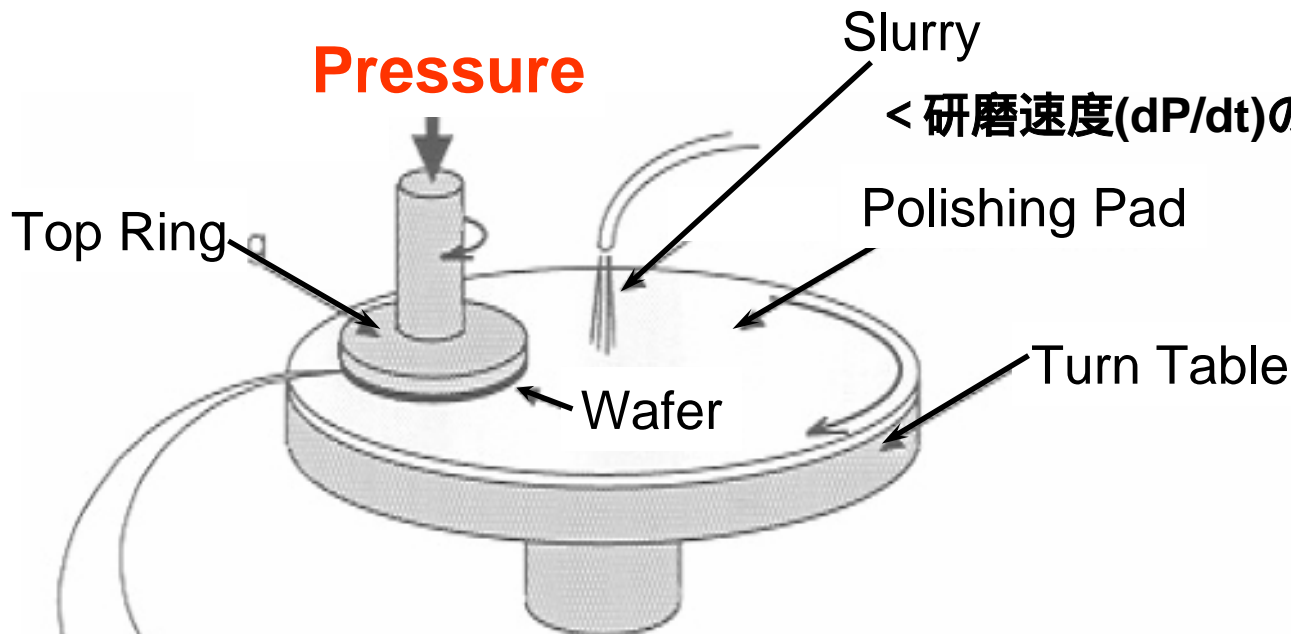
熱伝導率が低い

Low-k材料の機械的強度とCMP耐性



k値の低下とともに機械的強度が低下

CMP中のせん断応力によるULK材料の損傷



< 研磨速度(dP/dt)の一般式(Prestonの式) >

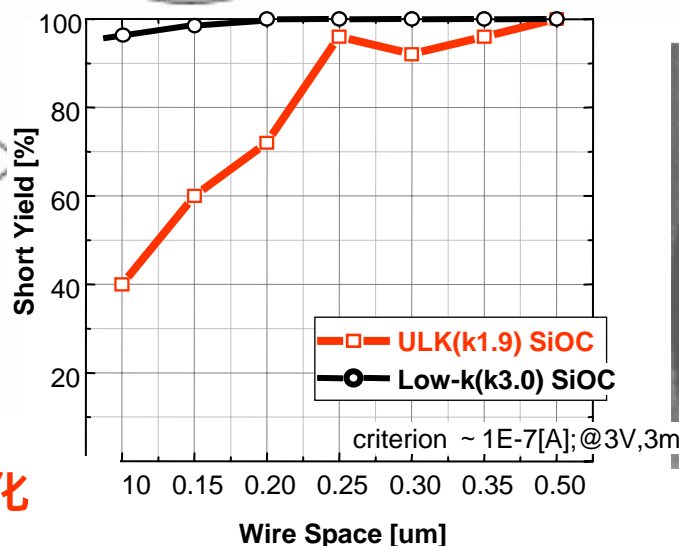
$$dP/dt = K(L/a)(ds/dt)$$

L:荷重

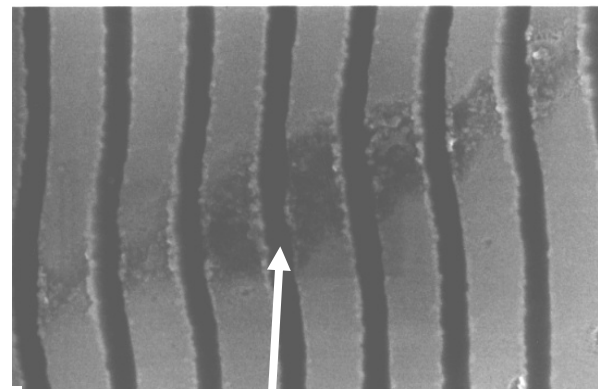
a:研磨面積

ds/dt:相対速度

K:Preston定数



ULKでのイールド劣化



CMP Scratchに起因した Metal/Low-k材料の塑性変形

強度解析の背景と目的

背景

ITRS2003で、具体的なCu/Lowk構造を想定してkおよび k_{eff} の要求値を提示

Low-k材では、k値の低減とともに機械的強度が低下。機械的強度低下は、Cu/Low-k構造の機械的強度や、CMPなどの製造プロセスにどの程度影響するのか？また、 k_{eff} 以外の要求指標(ヤング率、硬度、密着性など)の必要性をWG4内で議論

目的

Low-k化に伴う機械的強度低下が、CMP中のCu/Low-k構造へ与える影響を定量的に求める。

低圧CMP、パッケージ、密着性などの目標指標

解析方法

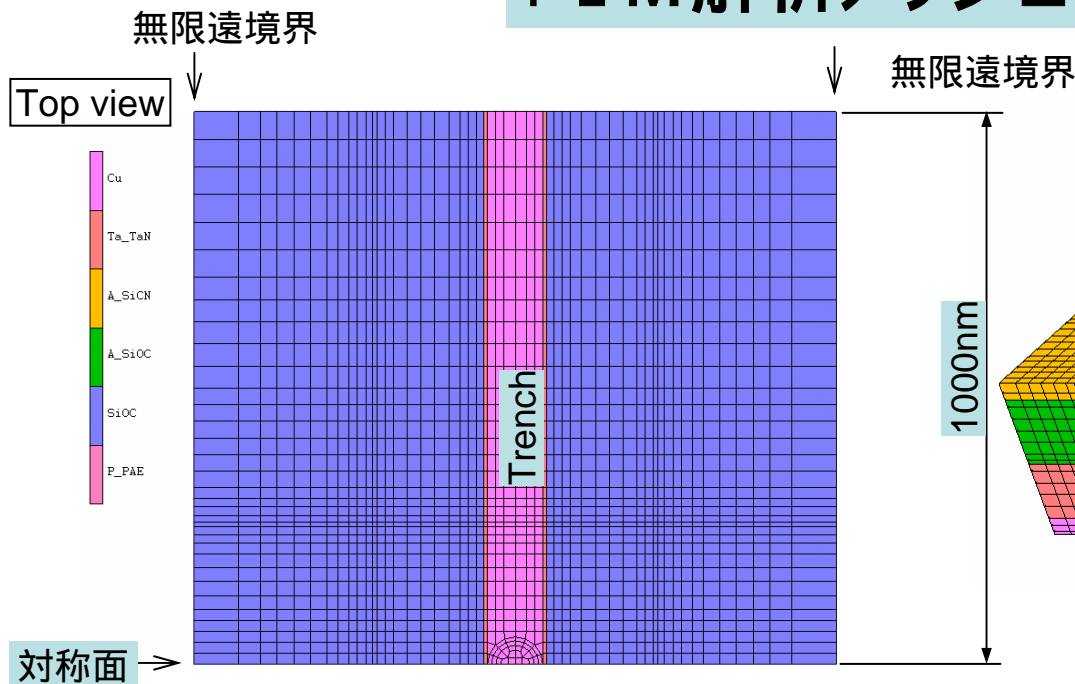
有限要素法により、Cu/Low-k 2層構造配線の上層配線
CMP時にかかる応力分布を計算*

配線ロードマップで想定した3種類のLow-k構造を
Nodeごとに計算

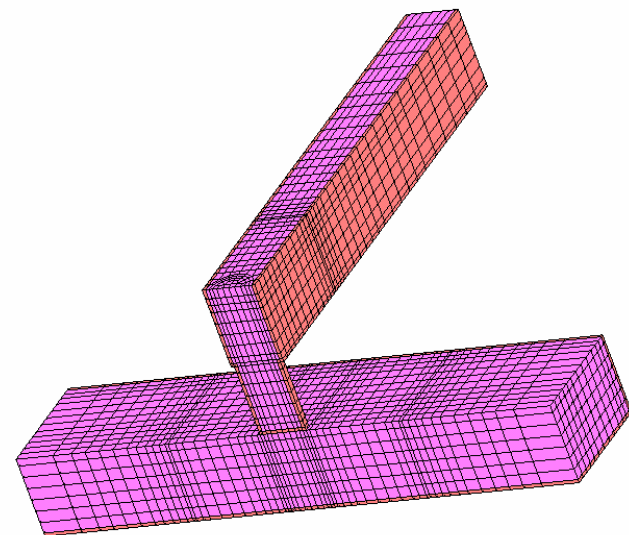
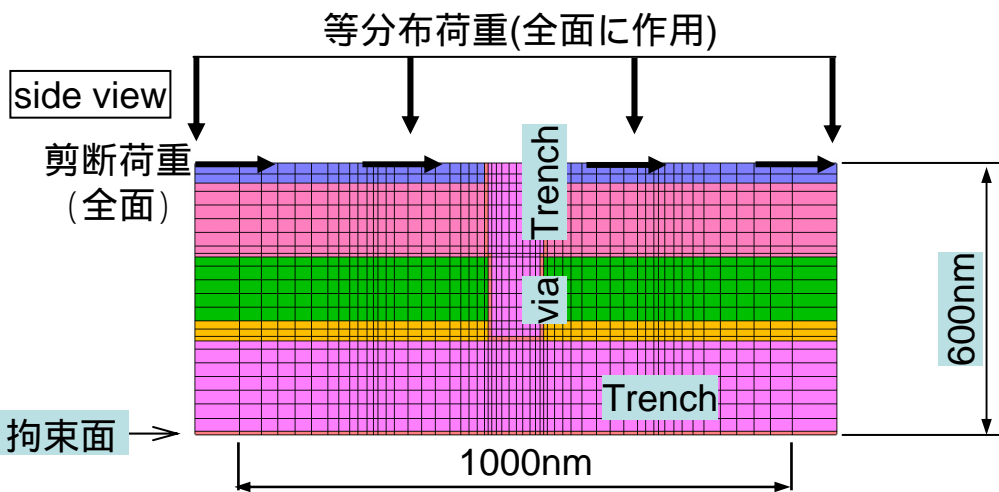
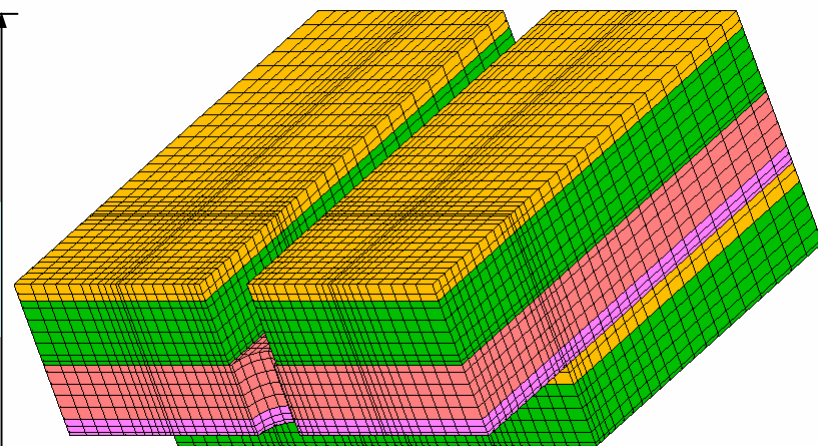
Cu配線内とLow-k絶縁膜内の応力分布を分けて表示

*望月、柴田、辻村、檜山、“ダマシン構造におけるVia部最大応力の有限要素解析”
日本機械学会関東支部2005 機械工学が支援する半導体薄膜技術

FEM解析メッシュの例

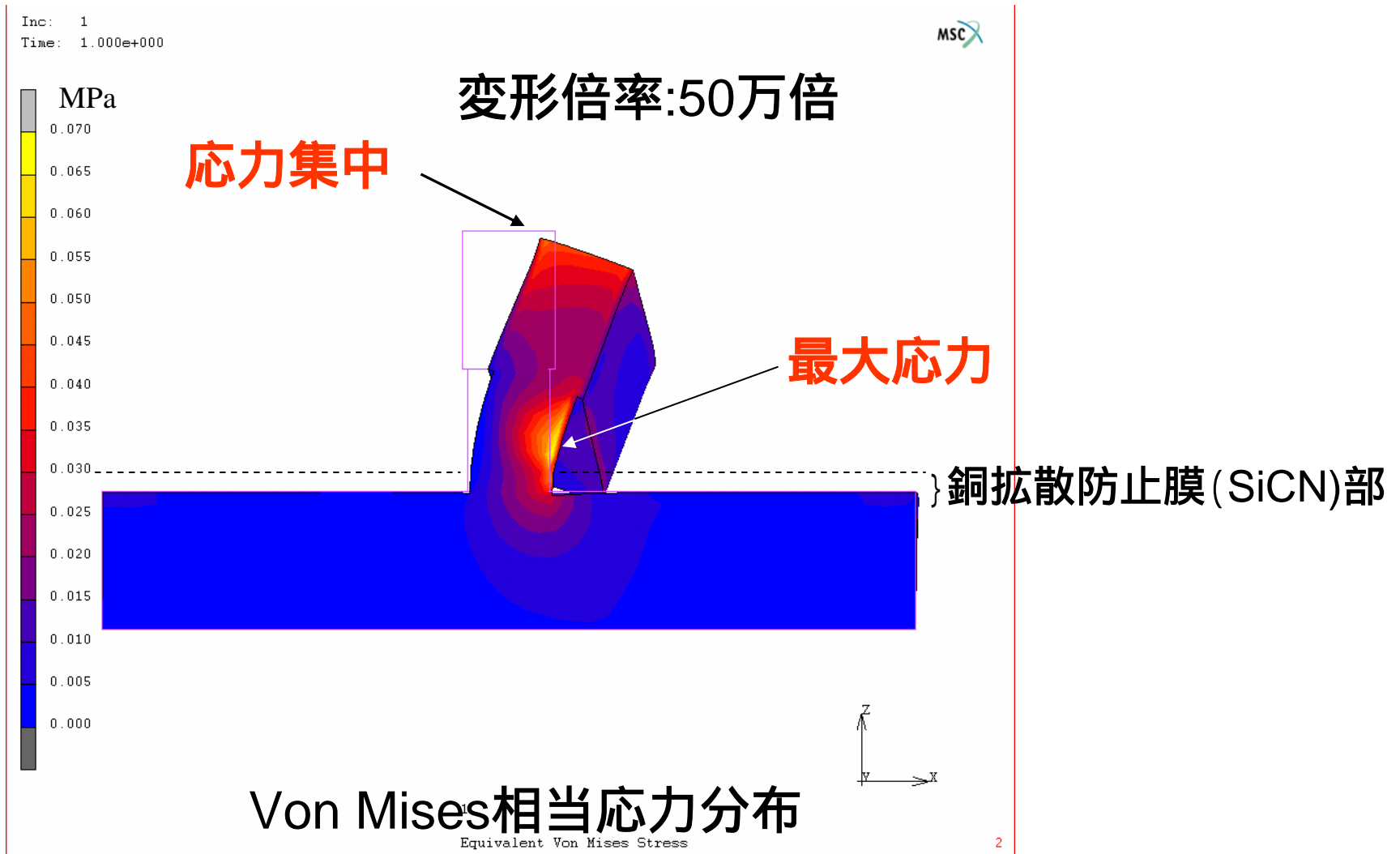


Low-k積層構造部

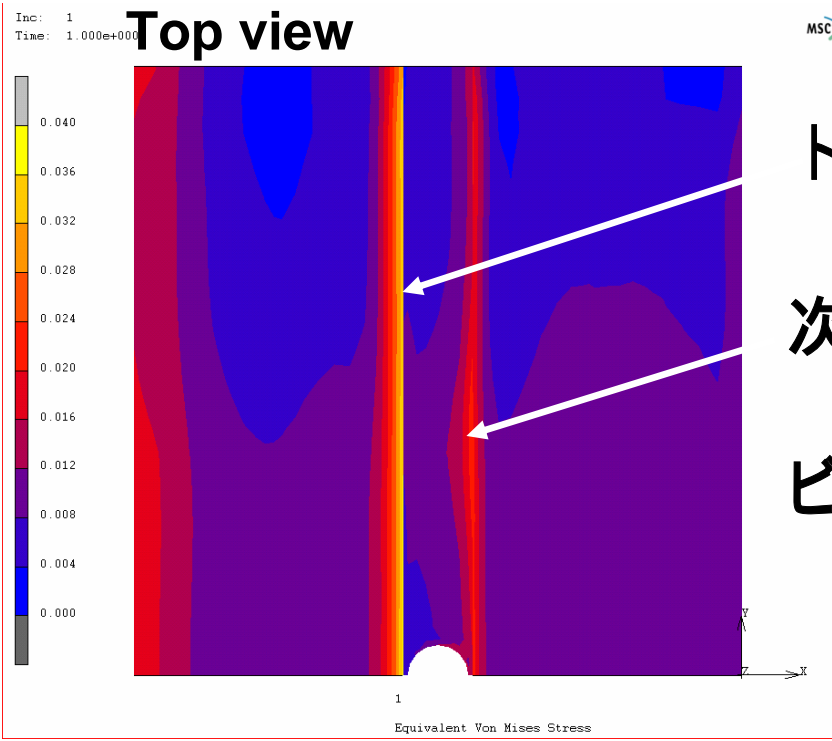


銅配線とTa/TaNバリア膜

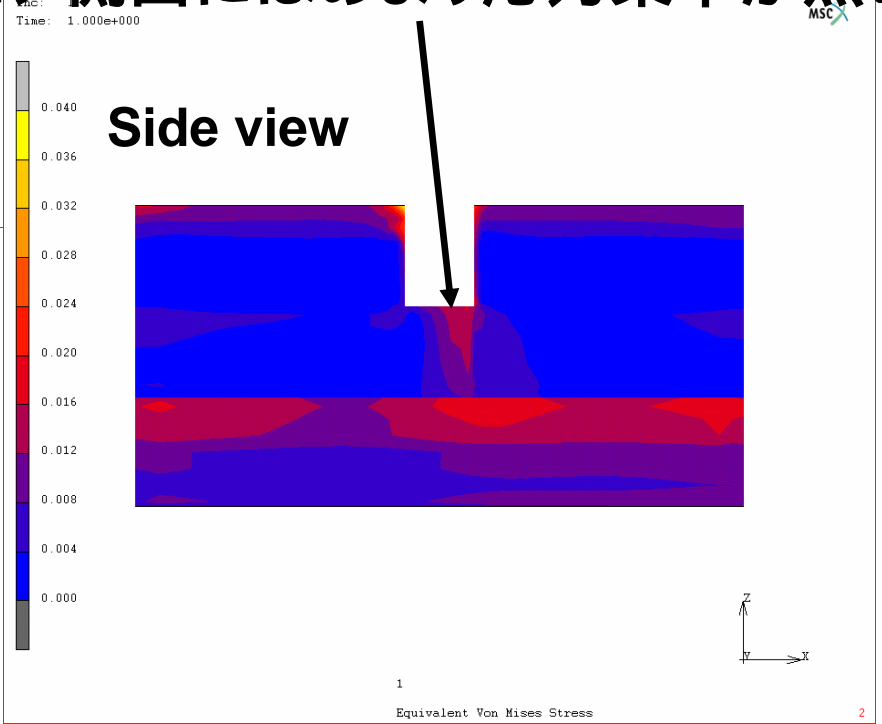
解析結果 (Cu变形图)



解析結果 (Low-k変形図)



トレンチの上部側面が最も大きい
次にトレンチ底部の途中が大きな値
ビア側面にはあまり応力集中が無い

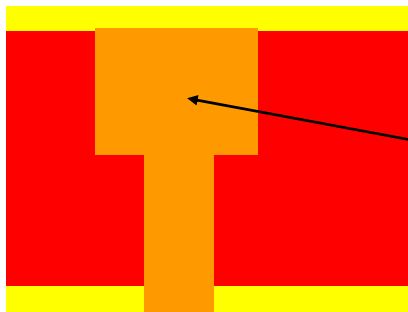


90nm Node (2004) で想定されるILD構造のkとE_{ff}

< Homogeneous-type w/o cap > < Homogeneous-type with cap > < Hybrid-type with hard mask >

Assumptions

Cu D.B height = 50nm
 Hardmask height = NA
 Via height = 210nm
 Trench height = 230nm
 Minimum L/S = 140nm



E_f(Cu/Ta)
 =150/180

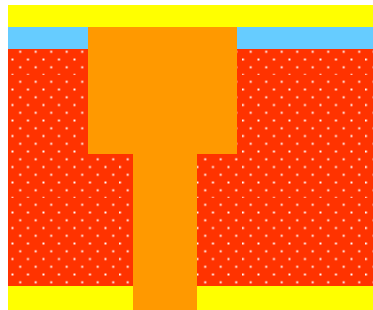
Assumptions

$K_{(Cu\ D.B)}/E_f = 5.0/100$
 $K_{(Hardmask)}/E_f = NA$
 $K_{(via)}/E_f = 3.0/3.0-14.0(9.0)$
 $K_{(trench)}/E_f = 3.0/3.0-14.0(9.0)$
 $K_{eff} = 3.24$

()av.

Assumptions

Cu D.B height = 50nm
 Hardmask height = 50nm
 Via height = 210nm
 Trench height = 230nm
 Minimum L/S = 140nm



Assumptions

$K_{(Cu\ D.B)}/E_f = 5.0/100$
 $K_{(Hardmask)}/E_f = 4.1/70$
 $K_{(via)}/E_f = 2.65/2.0-13.0(8.0)$
 $K_{(trench)}/E_f = 2.65/2.0-13.0(8.0)$
 $K_{eff} = 3.05$

Assumptions

Cu D.B height = 50nm
 Hardmask height = 50nm
 Via height = 210nm
 Trench height = 230nm
 Minimum L/S = 140nm



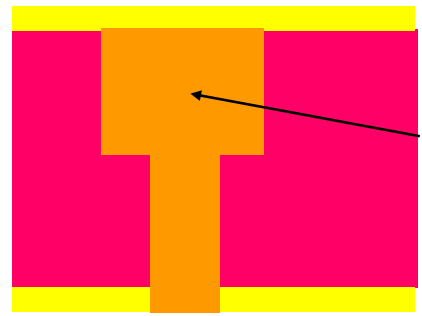
Assumptions

$K_{(Cu\ D.B)}/E_f = 5.0/100$
 $K_{(Hardmask)}/E_f = 4.1/70$
 $K_{(via)}/E_f = 3.7/40$
 $K_{(trench)}/E_f = 2.65/3.3$
 $K_{eff} = 3.54$

65nm Node (2007) で想定されるILD構造のkとE_{ff}

Assumptions

- Cu D.B height = 35nm
- Hardmask height = NA
- Via height = 150nm
- Trench height = 170nm
- Minimum L/S = 100nm



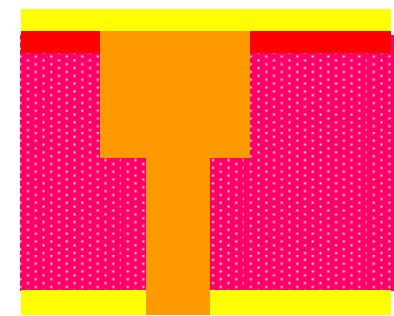
Ef(Cu/Ta)
=150/180

Assumptions

- $K_{(Cu\ D.B.)}/E_f = 4.0/80$
- $K_{(Hardmask)}/E_f = NA$
- $K_{(via)}/E_f = 2.8/2.5-13.0(8.5)$
- $K_{(trench)}/E_f = 2.8/2.5-13.0(8.5)$
- $K_{eff} = 2.96$

Assumptions

- Cu D.B height = 35nm
- Hardmask height = 35nm
- Via height = 150nm
- Trench height = 170nm
- Minimum L/S = 100nm

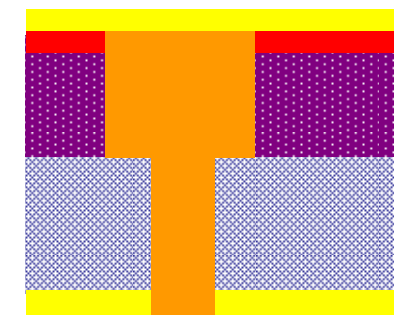


Assumptions

- $K_{(Cu\ D.B.)}/E_f = 4.0/80$
- $K_{(Hardmask)}/E_f = 3.0/3.0-14.0(9.0)$
- $K_{(via)}/E_f = 2.65/2.0-13.0(8.0)$
- $K_{(trench)}/E_f = 2.65/2.0-13.0(8.0)$
- $K_{eff} = 2.83$

Assumptions

- Cu D.B height = 35nm
- Hardmask height = 35nm
- Via height = 150nm
- Trench height = 170nm
- Minimum L/S = 100nm



Assumptions

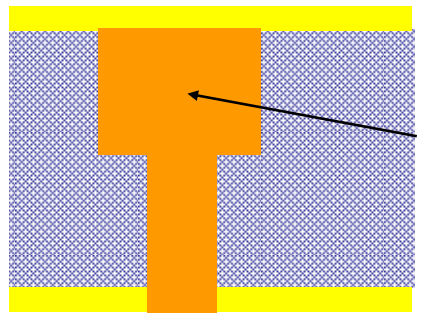
- $K_{(Cu\ D.B.)}/E_f = 4.0/80$
- $K_{(Hardmask)}/E_f = 3.0/3.0-14(9.0)$
- $K_{(via)}/E_f = 2.5/1.7-13(7.5)$
- $K_{(trench)}/E_f = 2.4/3.1$
- $K_{eff} = 2.71$

()av.

45nm Node (2010) で想定されるILD構造のkとE_{ff}

Assumptions

- Cu D.B height = 25nm
- Hardmask height = NA
- Via height = 110nm
- Trench height = 125nm
- Minimum L/S = 70nm



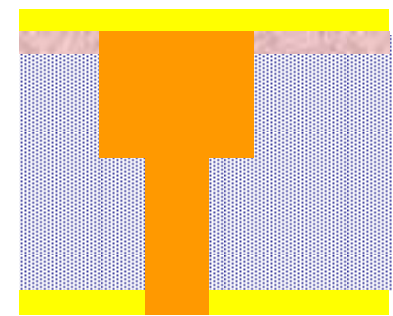
Eff(Cu/Ta)
= 150/180

Assumptions

- $K_{(Cu\ D.B)} / E_f = 3.5/70$
- $K_{(Hardmask)} / E_f = NA$
- $K_{(via)} / E_f = 2.4/1.5-12.5(7.0)$
- $K_{(trench)} / E_f = 2.4/1.5-12.5(7.0)$
- $K_{eff} = 2.54$**

Assumptions

- Cu D.B height = 25nm
- Hardmask height = 25nm
- Via height = 110nm
- Trench height = 125nm
- Minimum L/S = 70nm

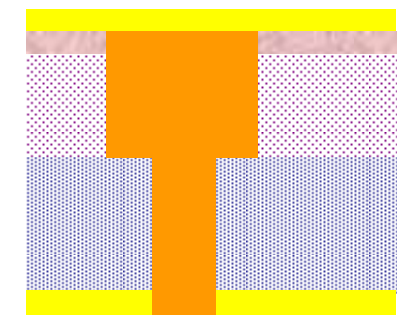


Assumptions

- $K_{(Cu\ D.B)} / E_f = 3.5/70$
- $K_{(Hardmask)} / E_f = 2.5/1.7-13.0(7.5)$
- $K_{(via)} / E_f = 2.2/1.2-12.0(6.5)$
- $K_{(trench)} / E_f = 2.2/1.2-12.0(6.5)$
- $K_{eff} = 2.40$**

Assumptions

- Cu D.B height = 25nm
- Hardmask height = 25nm
- Via height = 110nm
- Trench height = 125nm
- Minimum L/S = 70nm



Assumptions

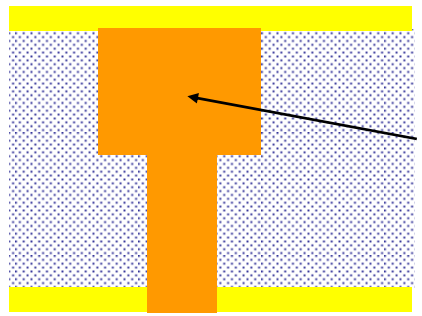
- $K_{(Cu\ D.B)} / E_f = 3.5/70$
- $K_{(Hardmask)} / E_f = 2.5/1.7-13(7.5)$
- $K_{(via)} / E_f = 2.2/1.2-12(6.5)$
- $K_{(trench)} / E_f = 2.0/1.9$
- $K_{eff} = 2.31$**

()av.

32nm Node (2013) で想定されるILD構造のkとE_{ff}

Assumptions

- Cu D.B height = 20nm
- Hardmask height = NA
- Via height = 80nm
- Trench height = 90nm
- Minimum L/S = 50nm



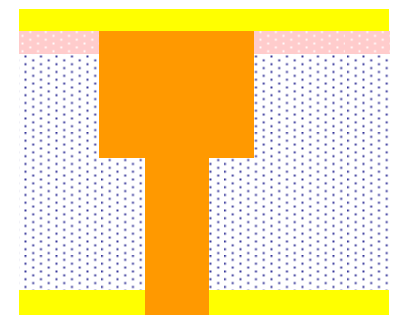
← Ef(Cu/Ta)
= 150/180

Assumptions

- $K_{(Cu\ D.B)}/Ef = 3.0/60$
- $K_{(Hardmask)}/Ef = NA$
- $K_{(via)}/Ef = 2.2/1.2-12.0(6.5)$
- $K_{(trench)}/Ef = 2.2/1.2-12.0(6.5)$
- $K_{eff} = 2.31$

Assumptions

- Cu D.B height = 20nm
- Hardmask height = 25nm
- Via height = 80nm
- Trench height = 90nm
- Minimum L/S = 50nm

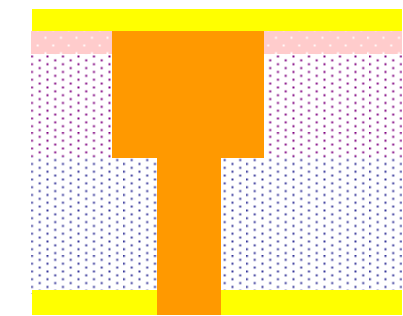


Assumptions

- $K_{(Cu\ D.B)}/Ef = 3.0/60$
- $K_{(Hardmask)}/Ef = 2.2/1.2-12.0(6.5)$
- $K_{(via)}/Ef = 1.9/0.8-11.0(6.0)$
- $K_{(trench)}/Ef = 1.9/0.8-11.0(6.0)$
- $K_{eff} = 2.09$

Assumptions

- Cu D.B height = 20nm
- Hardmask height = 25nm
- Via height = 80nm
- Trench height = 90nm
- Minimum L/S = 50nm

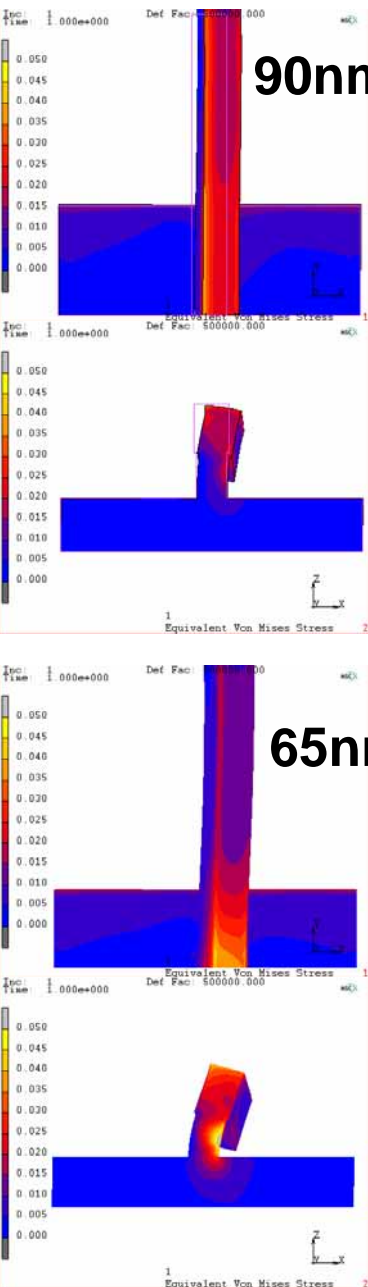


Assumptions

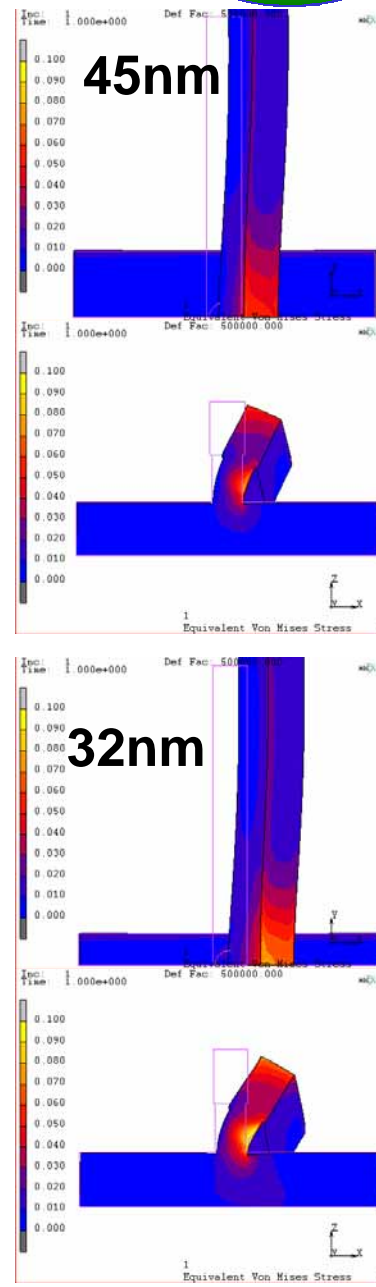
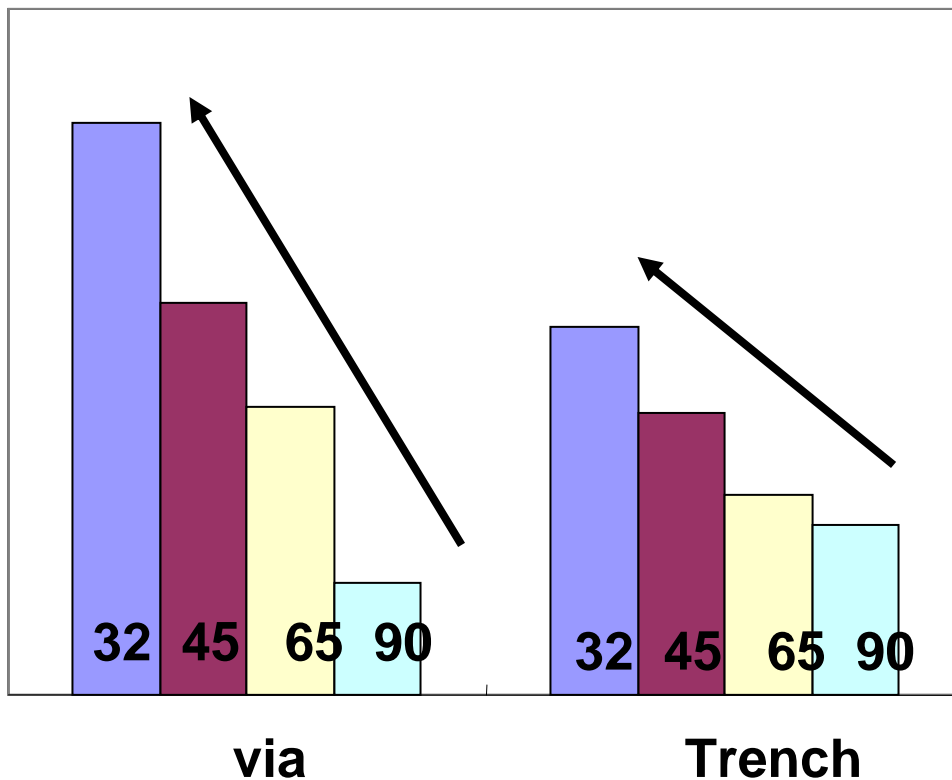
- $K_{(Cu\ D.B)}/Ef = 3.0/60$
- $K_{(Hardmask)}/Ef = 2.2/1.2-12(6.5)$
- $K_{(via)}/Ef = 1.9/0.8-11(6.0)$
- $K_{(trench)}/Ef = 1.7/1.3$
- $K_{eff} = 2.02$

()av.

各ノードごとのCu内応力

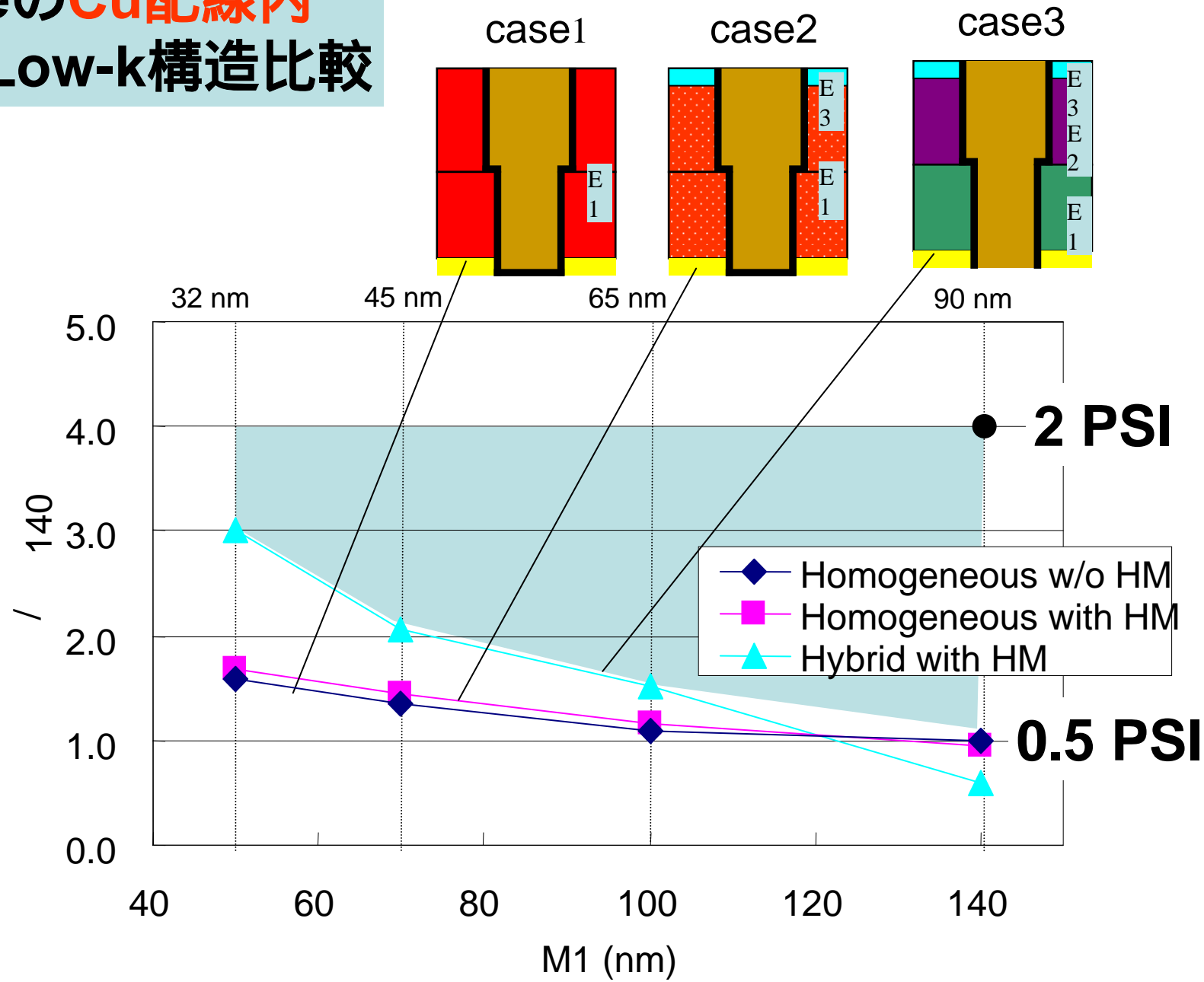


Von Mises Stress

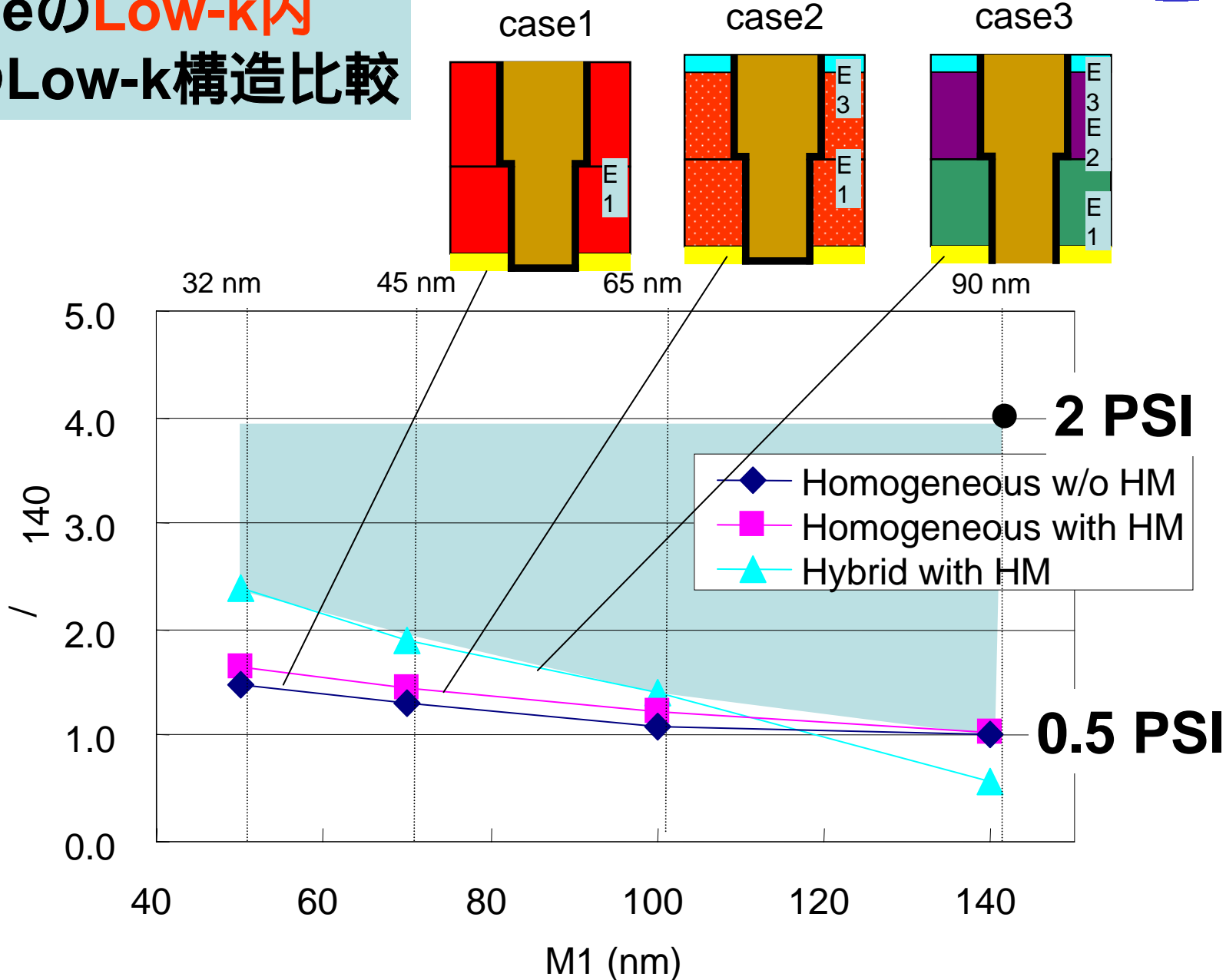


- ・ビア部の応力の増加が顕著
- ・トレンチでも32nmでは90nmの約2倍の応力がかかる

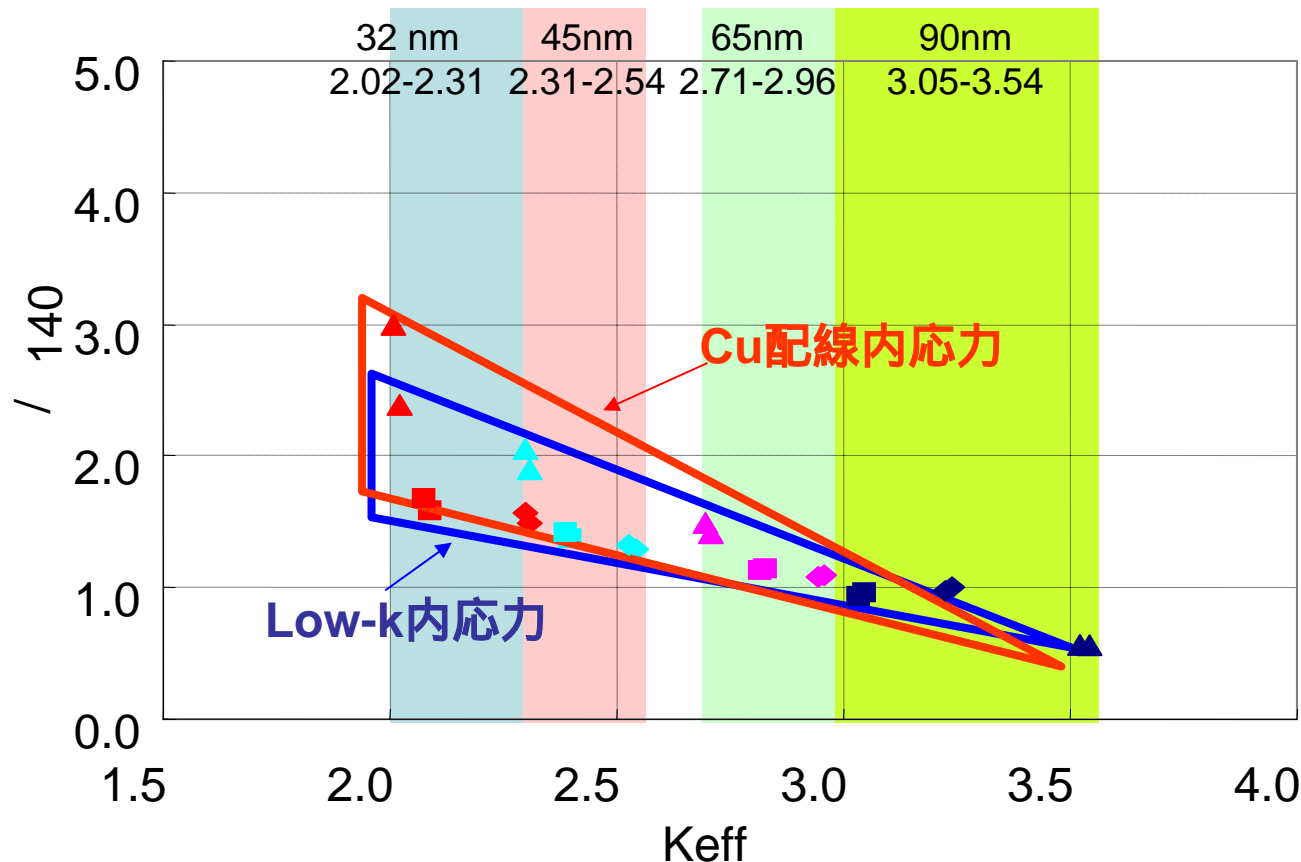
各NodeのCu配線内 応力のLow-k構造比較



各NodeのLow-k内 応力のLow-k構造比較



Low-k化の応力への影響まとめ



- $k_{eff} = 2-2.5$ では、現状より応力が2-3倍に増加
 CMP, パッケージ工程などでの応力対策が重要

Low-k化の応力への影響まとめ

- 1 K_{eff} がノードと共に小さく選択されるために、ヤング率だけから評価される強度には余裕がなくなってくる。
- 2 また許容値はCu配線の降伏点やLowkの強度(ヤング率)だけでいえるものではなく破壊靱性値(Fracture Toughness)を大きい有機膜(PAR)を選んだり、密着性などいろいろな物性値を考慮して決定すべきと判断する。
- 3 今回は、STRJの求める'論理的に説明できる数値の提供'の一貫として先ずはヤング率で代表される強度対CMP圧力の結果を解析しました。

5. まとめと2005年度の課題

ITRS2004アップデート(ITRS)

電子散乱効果による配線比抵抗上昇を要求値に反映
誘電率(k値)の色分けを変更
配線電流密度(J_{max})の修正
DRAM向けコンタクト、ビアの接触比抵抗の要求値変更
配線ピッチトレンド(ローカル、インターミディエート)調査
メモリ対応の配線ロードマップ見直し(台湾TWG)

Cu/Low-k配線の課題(STRJ)

Low-k材の機械的強度低下がCMPに与える影響を解析

2005年度の課題

- ・ 洗浄に対する要求値検討: SEAJより特別委員参加(ITRS)
- ・ 2010以降のRBWに対するPotential Solution検討(STRJ)