

LER/LWR計測の標準化

WG4(配線)/WG5(リソ)/WG6(PIDS)/WG11(計測)
クロスカット活動報告

-65nm以降のデバイスパフォーマンスの決め手-

WG11

松下電器産業 藤井

LER/LWRのロードマップ数値

Table 77a Lithography Technology Requirements—Near-term UPDATED

Year of Production	2003	2004	2005	2006	2007	2008	2009
Technology Node		hp90			hp65		
DRAM							
CD control (3 sigma) (nm)	12.2	11	9.8	8.6	8	7	6.1
MPU							
WAS Gate CD control (3 sigma) (nm)	◆ 4.0	3.3	2.9	2.5	2.2	2	1.8
IS Gate CD control (3 sigma) (nm)	◆ 4.0	◆ 3.3	2.9	2.5	2.2	2	1.8
ASIC/LP							
CD control (3 sigma) (nm)	5.8	4.7	4	3.3	2.9	2.5	2.2

Table 78a Resist Requirements—Near-term UPDATED

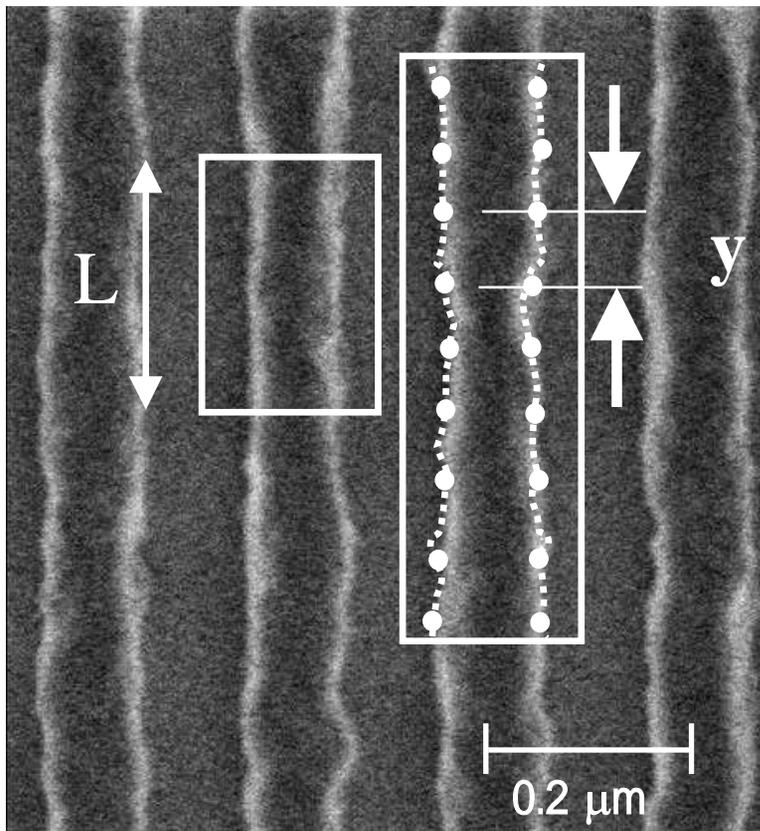
WAS	Line Width Roughness (nm, 3 sigma) <8% of CD *****	◆ 3.6	3	2.6	2.2	2	1.8	1.6
IS	Line Width Roughness (nm, 3 sigma) <8% of CD *****	5.2	4.2	3.6	3.2	2.8	2.6	2.2

2004年UPDATE版でLER/LWRの数値を改訂した。

目次

1. LER/LWR計測標準化の必要性
2. 長周期エッジラフネスの重要性
 - * トランジスタへの影響
 - * ラフネスの空間周波数分布
3. 最適計測仕様
4. クロスカット活動概要
 - * Lithography/PIDS/Interconnect
5. まとめ

1. LER/LWR計測条件と計測値



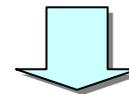
Line-Edge Roughness (LER)

材料・プロセス起因と思われる、
ラインエッジの局所的なゆらぎ
(直線からの変動)

Line-Width Roughness (LWR)

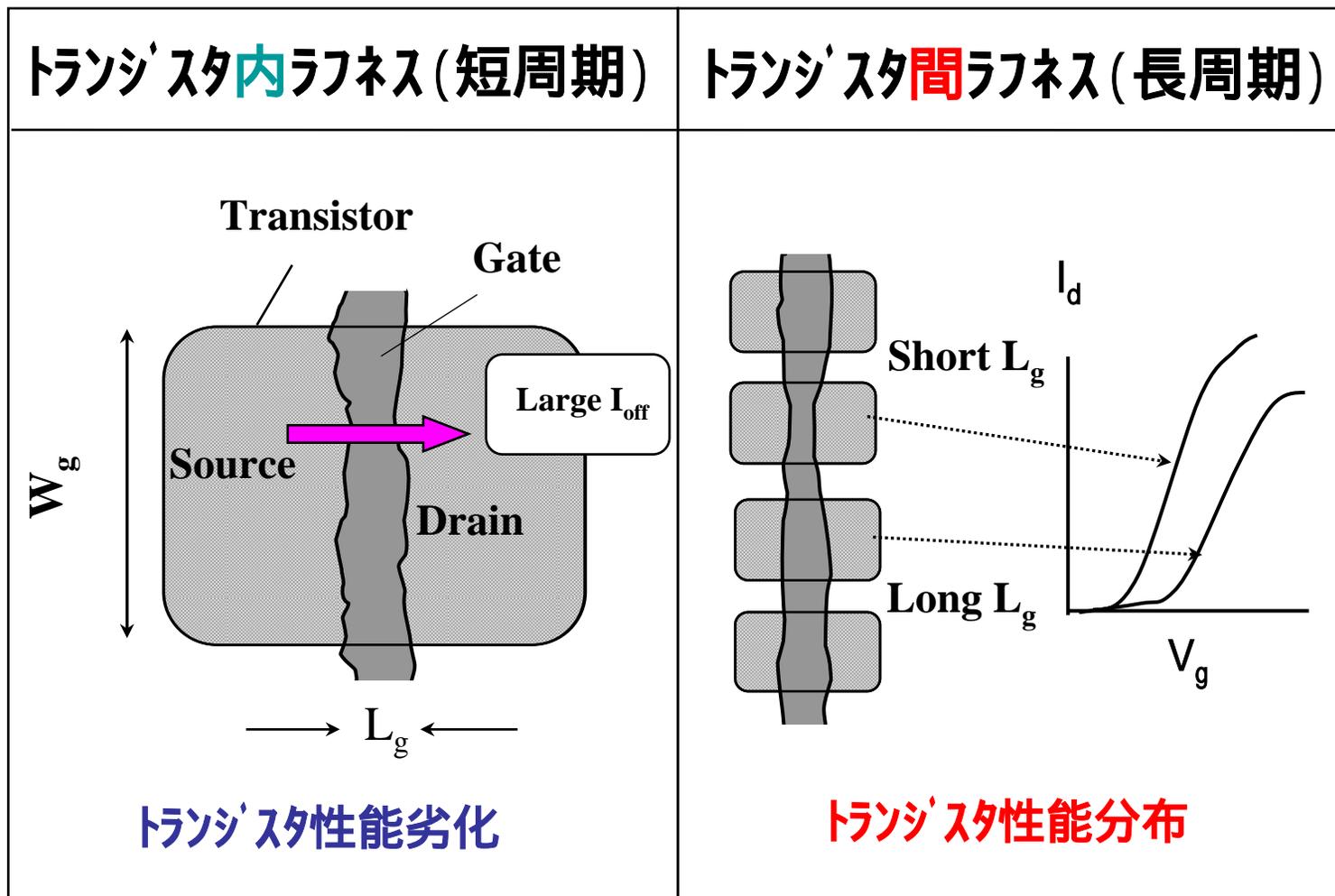
ライン左右のエッジのLERにより生じる
ライン幅の局所的なゆらぎ

計測値: L 、 y に大きく依存

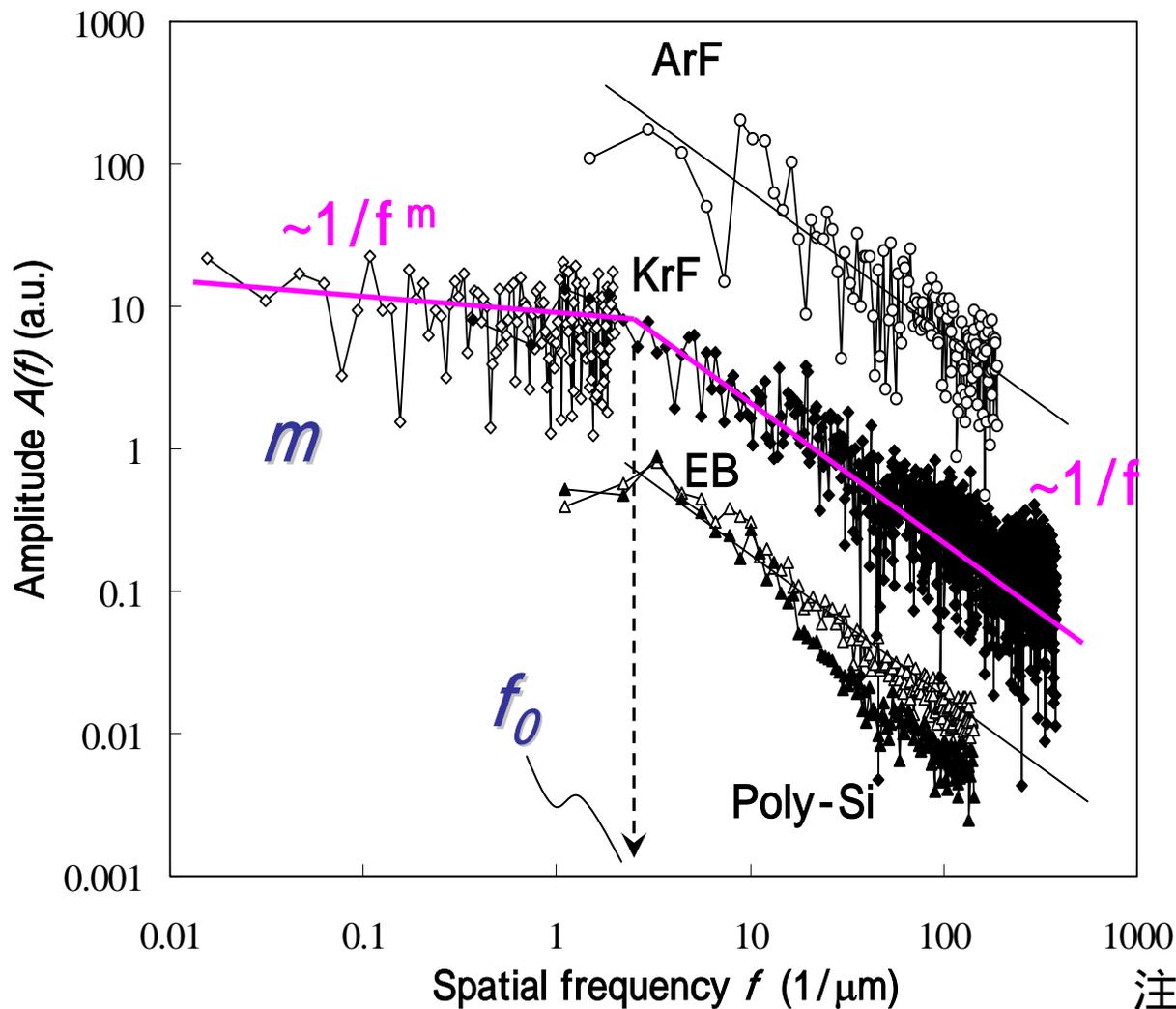


計測の標準化

2-1. ゲートエッジラフネスのトランジスタへの影響



2-2. ゲートエッジラフネスのスペクトル



- ・共通のスペクトル形状を持つ。
- ・ラフネスは長周期でも観測され、長周期ラフネスは無視できない。

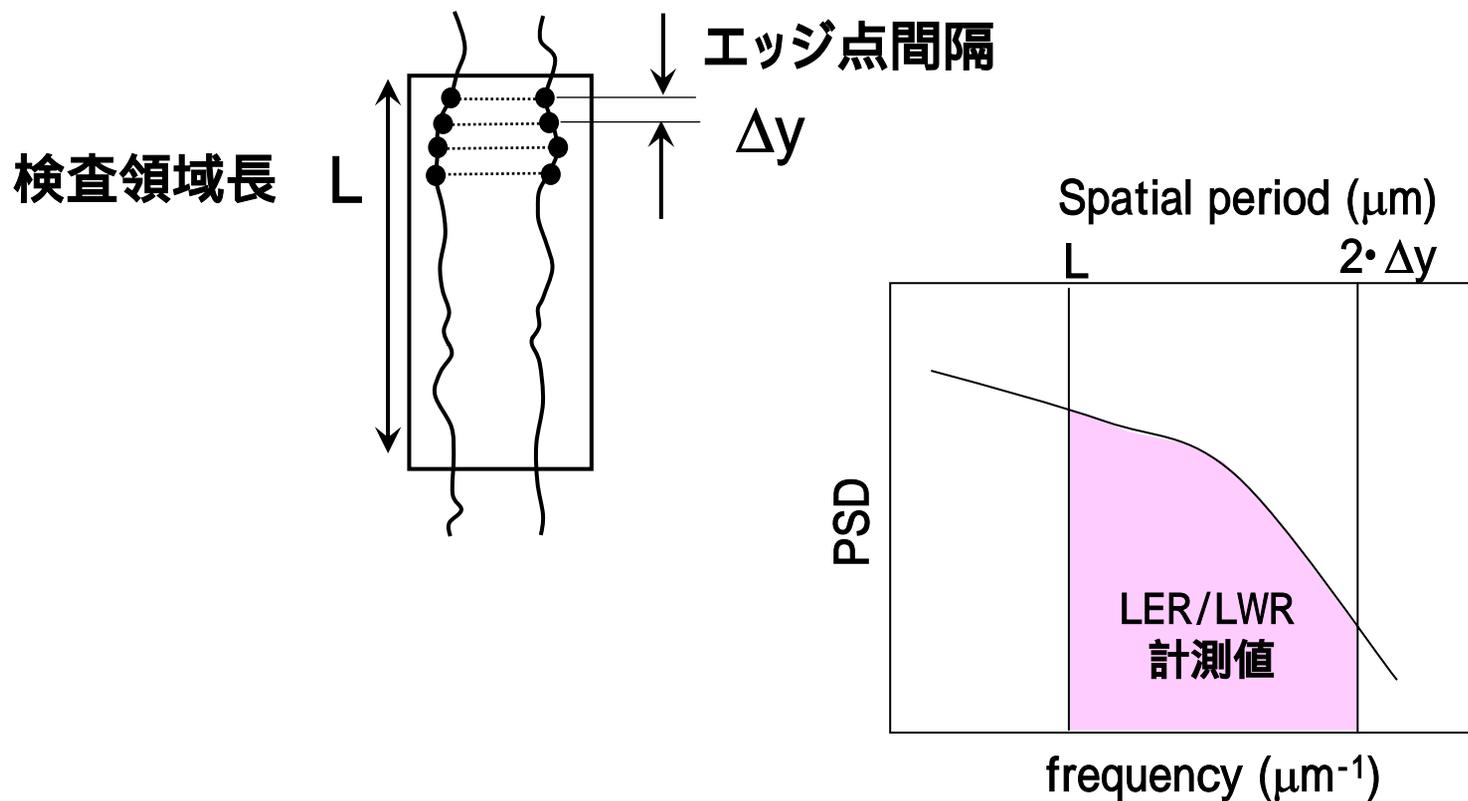
m : 0 to 0.2
 f_0 : 1 to $8 \mu\text{m}^{-1}$

Typical value
 $m=0.1, f_0=2-3$

注: LER/LWRで違いはない

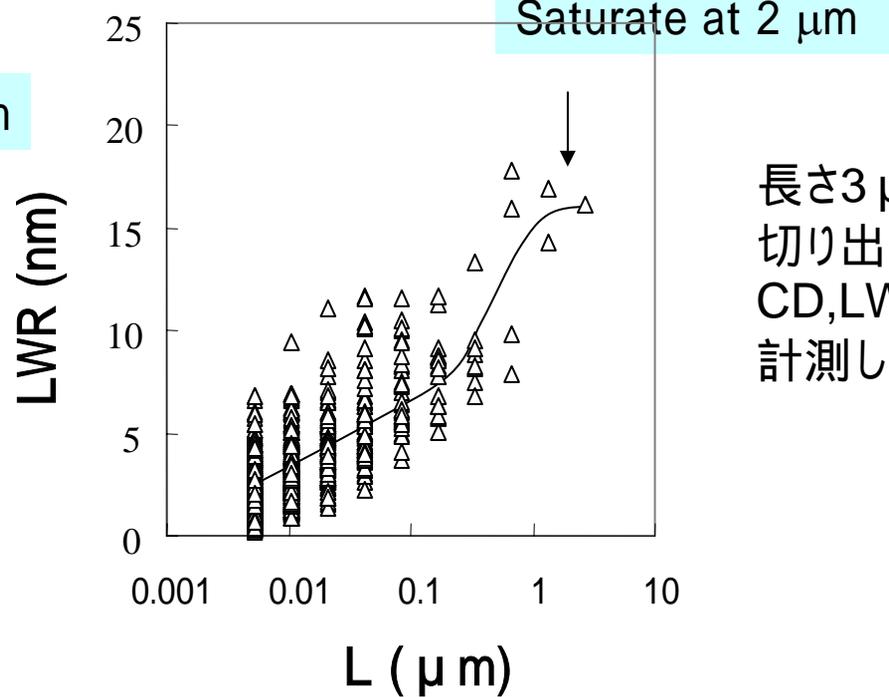
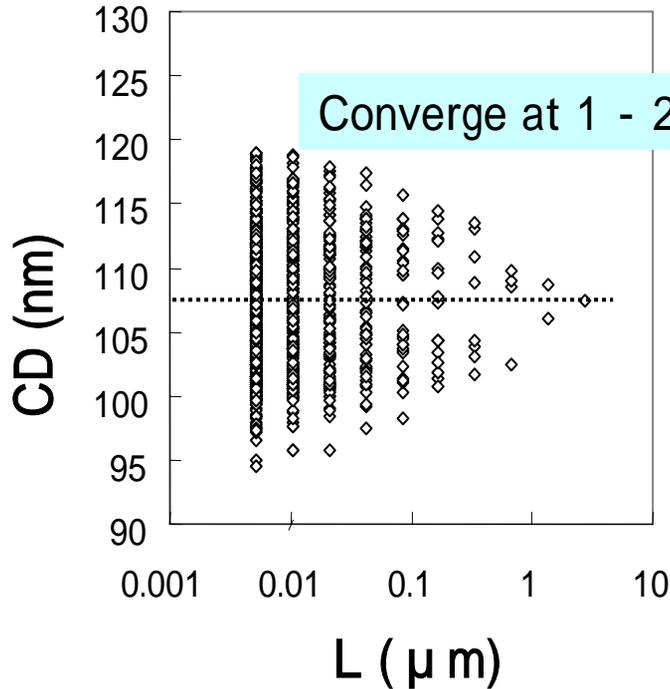
3-1. 計測パラメータ

- エッジ検出のための重要な計測パラメータ



3-2. 検査領域長 L

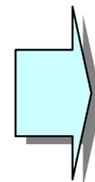
CD及びLWRの計測値と検査領域長 L



長さ3 μm から
切り出して、
CD, LWRを
計測した。

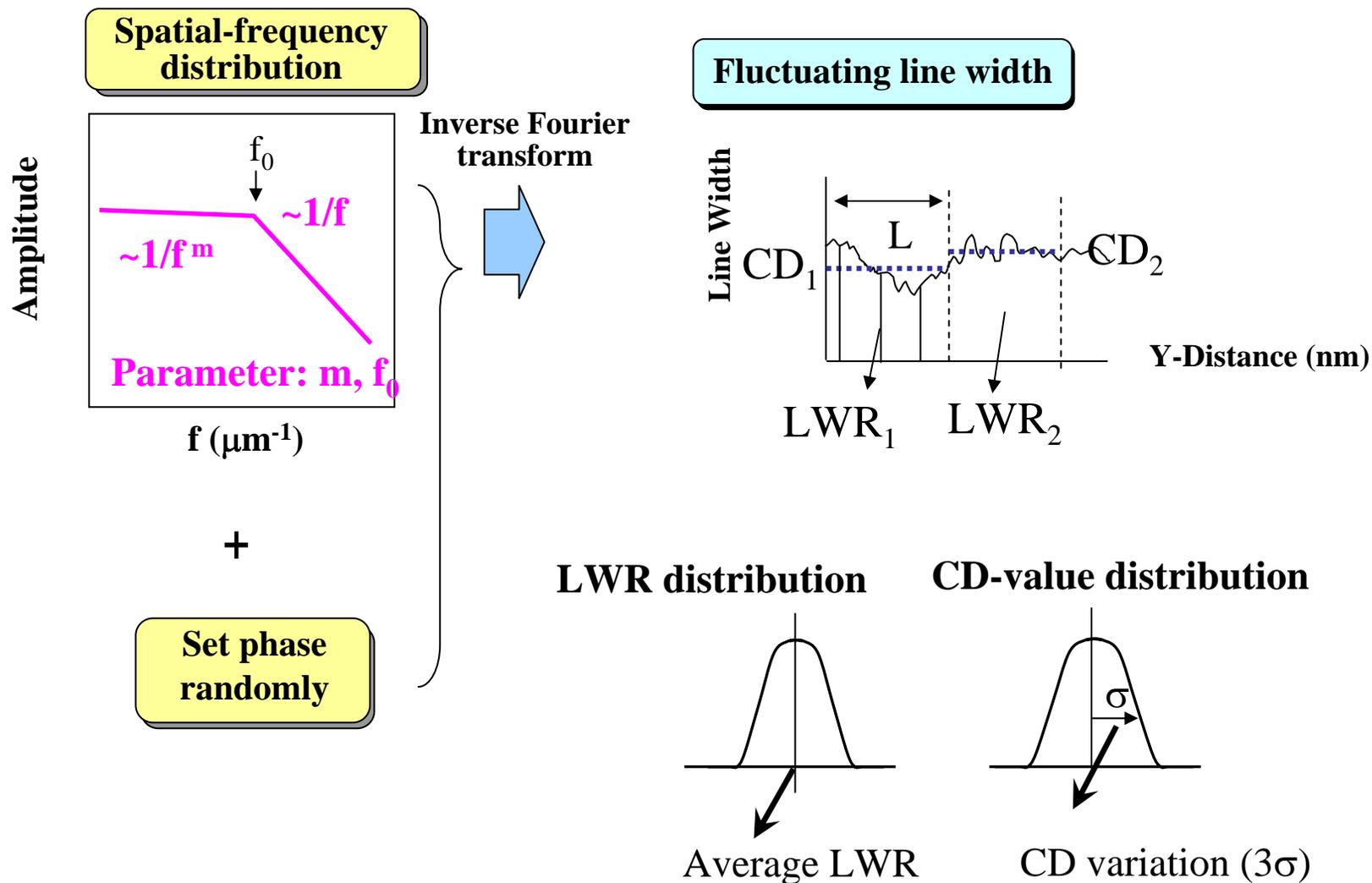
- (1) CD計測値のばらつき大 (\rightarrow $L=2 \mu\text{m}$ で抑えられる)
- (2) LWR は $L < 1 \mu\text{m}$ では L に強く依存
- (3) LWRの増加は $L > 2 \mu\text{m}$ では小さくなる

より大きな L に対して検証要

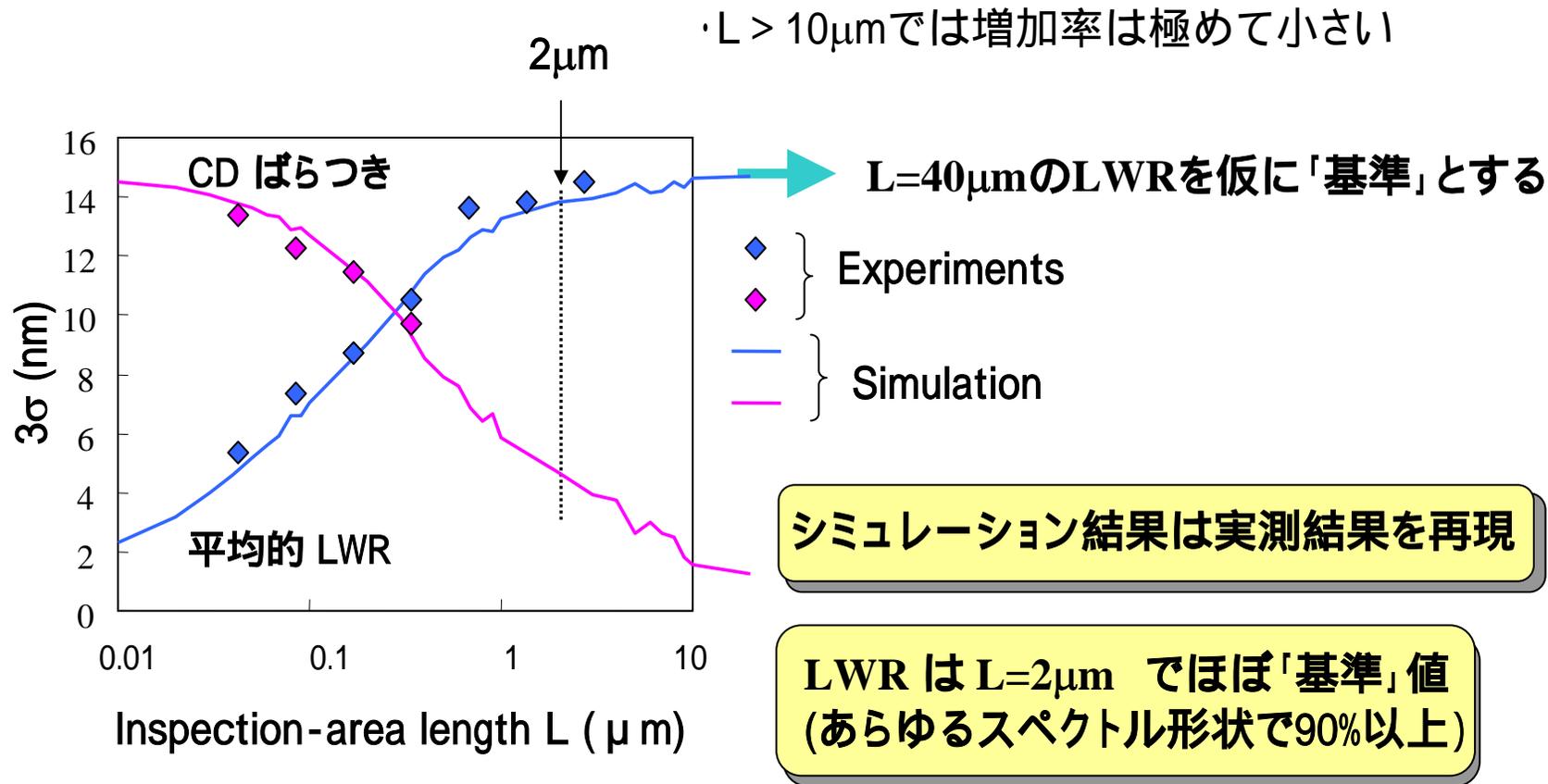


スペクトル形状に基づいた
シミュレーション

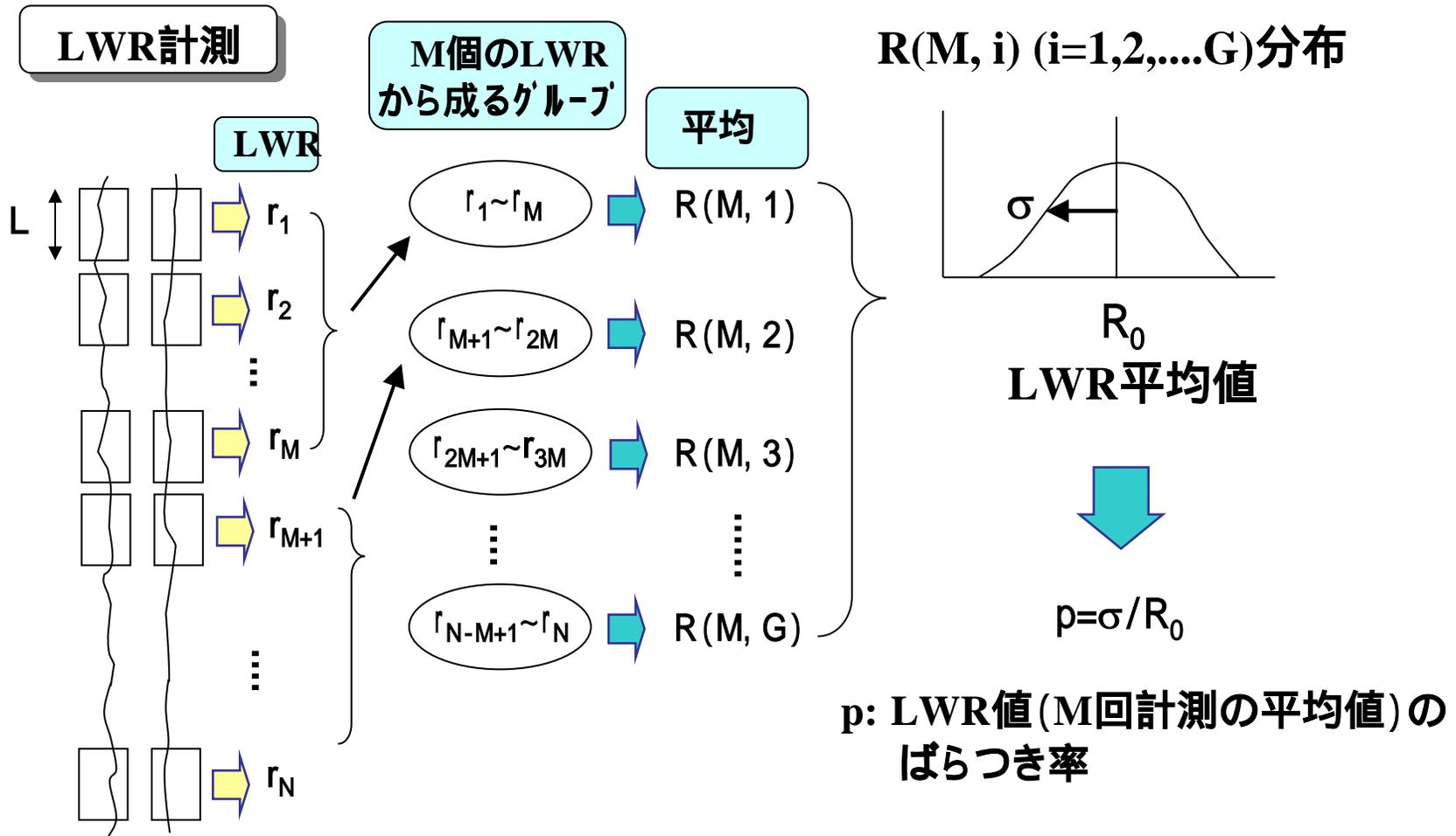
3-3. LWR及びCDばらつききのシミュレーション



3-4. LWRとCDばらつきのL依存性 (実測シミュレーション)

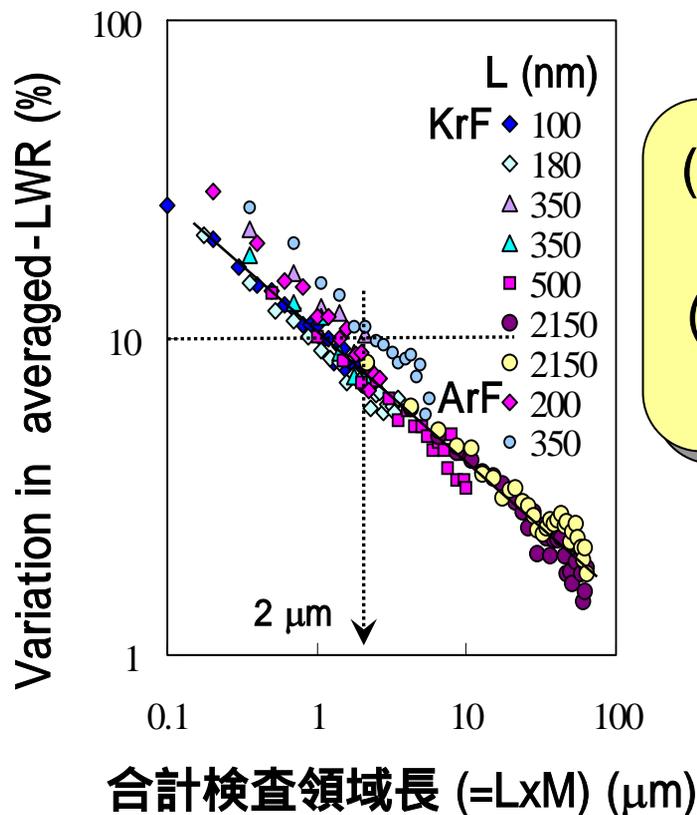


3-5. 計測箇所によるLWRばらつき

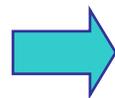


3-6. LWRばらつきと計測回数M

M回計測時のLWRばらつき率と合計検査領域長(実測値)



- (1) 平均LWR値のばらつき率は $L \times M$ (合計検査領域長)で決まる。
- (2) 平均LWR値のばらつき率は $L \times M \geq 2 \mu\text{m}$ で10%以下になる。



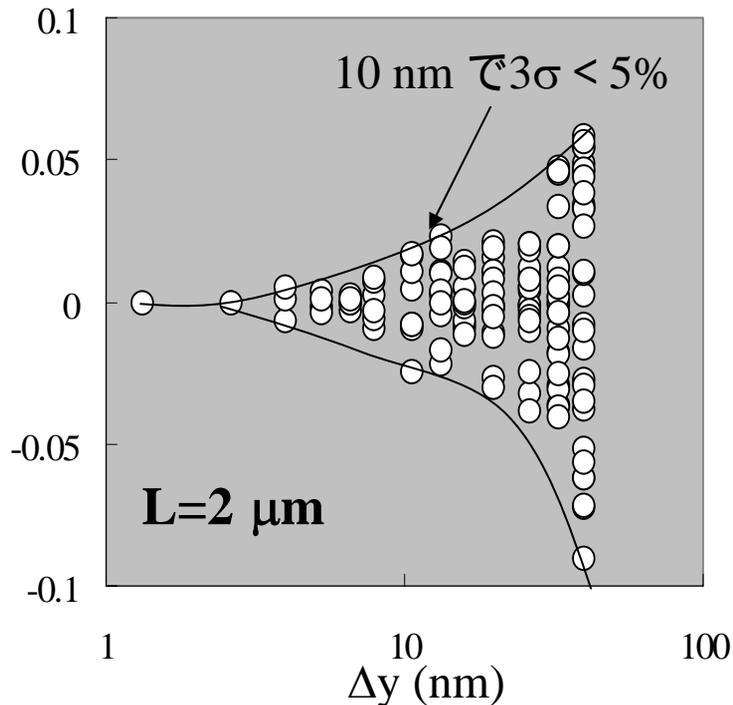
2 μm 計測(1回)なら場所によるばらつきが小さい

3-7. エッジ点間隔 Δy

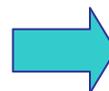
最小 Δy ($=1.318 \text{ nm}$) で
算出したLER

Δy ($> 1.318 \text{ nm}$) で
算出したLER

$$\left. \begin{array}{l} \rightarrow \sigma_0 \\ \rightarrow \sigma(\Delta y) \end{array} \right\} \text{Error} = \frac{\sigma(\Delta y)}{\sigma_0} - 1$$



$L = 2 \mu\text{m}$



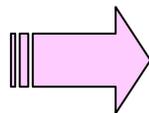
$\Delta y = 10 \text{ nm}$

3-8. 結論

- ・LER/LWR計測値は計測パラメータL及び y に依存する。
- ・最も適当と思われるパラメータ値は以下の通り

2 μ m長 計測	長周期ラフネスまでカバー
		場所によるばらつきも小
10nm間隔サンプリング	短周期ラフネスを十分にカバー

- ・LER/LWR計測時には計測領域の長さ(L)及びエッジのサンプリング間隔(y)を明示する必要
- ・標準条件はL=2 μ m, y =10nm



SEMI 規格化

4. クロスカット活動概要

‘04/5 WG5&11 内容説明とSEMI TFへの参加依頼

‘04/6 WG5&11 内容詳細検討

・LERの定義、短周期成分計測のニーズ検討他

‘04/8 WG5&11 SEMI原案検討

・2 μ mライン計測の実プロセス上の問題
(2 μ mのラインの有無、計測装置機能等)

‘04/10WG5, 6&11 内容詳細検討

・実プロセス上問題なし(PIDS)
・CD計測へのLWRの影響をどうするか？ 別テーマ

‘04/11/30-12/1 ITRS-Tokyo meeting

・ゲート(LWR)に対して本案採択
・配線(LER)についても検討要

‘05/1WG4, 5&11 配線ラフネス計測方法の検討

・電子散乱による抵抗率増大 / TDDBの2項目を検討しつつ進める
・現状データでは2 μ mを10nm間隔で計測すれば十分(審議継続)

WG4(配線)とのクロスカット結論

配線特性への影響

- TDDDBへの影響

IEDM論文(2003) Noguchi(Hitachi)

- 配線抵抗への影響

周期よりも振幅が問題か

- 配線抵抗に効くのは平均自由行程以下のLER
【Cu中の電子の平均自由行程は34nm】
- 平均自由行程で3点以上測定が妥当(揺らぎの周期は2 μ m)
- 34nmの中で3点取得するためには $(34 \div 3) = 11.5$ nm
よって10nm刻みとしたい
- LWR(長周期)は、配線では気にしていない
- TDDDBに関しては、データをもとに再度議論する

WG4 - WG11間の議論を継続

5. まとめ

- ・LER/LWR計測標準化(案)提示を完了

- ・ゲートエッジラフネス評価方法としてコンセンサスを得た
STRJ WG5(リソ)、WG6(PIDS)、WG11(計測)

- ITRS Litho、PIDS、Metrology 各TWG

- @ITRS東京会議(04/12)

- ・配線エッジラフネス評価方法に関しても、検討中

- STRJ WG4(配線)、WG11(計測)

- ITRS Interconnect-TWG @ ITRS東京会議(04/12)

- ・LER/LWR計測標準化

エッジに沿って2 μ mの領域を10nm間隔でサンプリング

デバイス性能に重要な長周期成分 計測精度を左右する短周期成分	}	実測・シミュレーションにより 定量的に検討
-----------------------------------	---	--------------------------

- ・Lithography Table78aのLWRの数値を改訂した

- ・本案をSEMIスタンダードとして規格化を図る

References

ゲートエッジラフネスとトランジスタ性能の関係に関する報告:

- (1) P. Oldiges, Q. Lin, K. Petrillo, M. Sanchez, M. Jeong, and M. Hargrove, Digest of SISPAD 2000, (2000)131.
- (2) K. K. Young, S. Y. Wu, C. H. Wang, C. T. Lin, J. Y. Cheng, M. Chiang, S. H. Chen, T. C. Lo, Y. S. Chen, J. H. Chen, L. J. Chen, S. Y. Hou, J. J. Liaw, T. E. Chang, C. S. Hou, J. Shih, S. M. Jeng, H. C. Hsieh, Y. Ku, T. Yen, H. Tao, L. C. Chao, S. Shue, S. M. Jang, T. C. Ong, C. H. Yu, M. S. Liang, C. H. Diaz, and J. Y. C. Sun, IEDM Tech. Dig., 2000 (2000)563.
- (3) C. H. Diaz, H. Tao, Y. Ku, A. Yen, and K. Young, IEEE Electron Device Letters, 22, (2001)287.
- (4) S. Xiong, J. Bokor, Q. Xiang, P. Fisher, I. Dudley, and P Rao, Proc. SPIE 4689, (2002)733.
- (5) S. Xiong, J. Bokor, Q. Xiang, P. Fisher, I. Dudley, P. Rao, H. Wang, and B. En, IEEE Trans. Semiconductor Manufacturing 17, (2004)357.
- (6) T. Linton, M. Chandhok, B. J. Rice, and G. Schrom, IEDM Tech. Dig., 2002 (2002)303.
- (7) J. A. Croon, G. Storms, S. Winkelmeier, I. Pollentier, M. Ercken, S. Decoutere, Q. Sansen, and H. E. Maes, IEDM Tech. Dig., 2002 (2002)307.
- (8) G. Eytan, O. Dror, L. Ithier, B. Florin, Z. Lamouchi, and N. Martin, Proc. SPIE, 4689, (2002)347.

References

ゲートエッジラフネスとトランジスタ性能の関係に関する報告(続き):

- (9) A. Yamaguchi, R. Tsuchiya, H. Fukuda, O. Komuro, H. Kawada, and T. Iizumi, Proc. SPIE 5038, (2003)689.
- (10) A. Yamaguchi, K. Ichinose, S. Shimamoto, H. Fukuda, R. Tsuchiya, K. Ohnishi, H. Kawada, and T. Iizumi, Proc. SPIE 5375, (2004)468.
- (11) J. Y. Lee, J. Shin, H. W. Kim, S. G. Woo, H. K. Cho, W. S. Han, and J. T. Moon, Proc. SPIE 5376, (2004)426.

LER/LWRの計測パラメータに関する報告:

(上記9,10のほかに)

- (1) T. Marschner, A. Lee, S. Fuchs, L. Volkel, and C. Stief, Proc. SPIE, 5375, (2004)477.
- (2) B. D. Bunday, M. Bishop, D. McCormack, J. S. Villarrubia, A. E. Vladar, R. Dixon, T. Vorburger, and N. G. Orji, Proc. SPIE, 5375, (2004)515.