

# 2005年版ロードマップの背景と内容

～ パラレルパスへ ～

WG6: Process Integration, Developments,  
and Structures (PIDS) WG

富士通 杉井

# WG6メンバー



**リーダー： 杉井寿博(富士通)**

**サブリーダー： 澤田静雄(東芝)**

**幹事： 井田次郎(沖)**

**委員： 堀敦(松下)、小倉基次(松下)、今井清隆(NEC EL)、  
長島直樹(ソニー)、尾田秀一(ルネサス)、中村孝(ローム)、  
白田理一郎(東芝)、只木芳隆(日立)、久本大(日立)、  
田原修一(NEC)、赤坂泰志(Selete)  
佐々木隆興(セイコーエプソン)、武田安弘(三洋)**

**特別委員： 平本俊郎(東京大学)、芝原健太郎(広島大学)  
高木信一(東京大学)、田中徹(東北大学)  
吉見信(SOITEC Asia)**

**RF担当委員： 亀井孝浩(沖)、清田幸弘(ソニー)  
青柳秀雄(ローム)、久本大(日立)**

# WG6のスコープ

---

- **ロジック, メモリ**
    - ロジック: 高性能タイプ(HP)、低消費電力タイプ(LOP、LSTP)
    - メモリ: DRAMと不揮発性メモリ (Flash, FeRAM, MRAM, --)
  - **ワイアレス通信用RFとミックストシグナル/アナログ技術**
    - 2003 ITRSから
    - アナログミックストシグナル、RFトランシーバ、パワーアンプ、ミリ波
  - **新探究デバイス (Emerging Research Devices)**
    - RMの延長上あるいはRMを越える新概念の研究・発明を加速
- 
- 午後に平本先生(東大)が紹介
  - 2006年度からWG12として独立

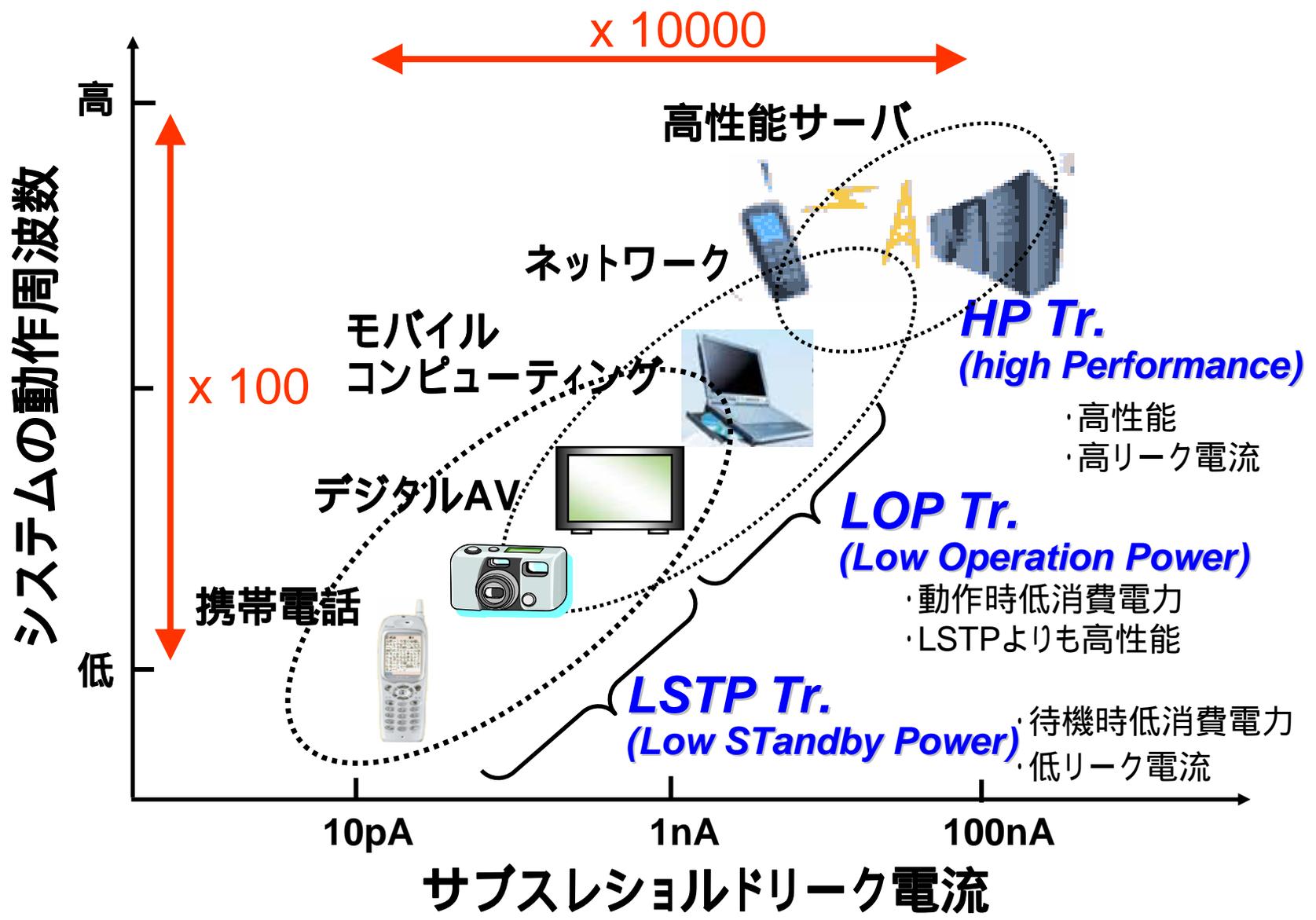
# 本日の内容

---

## 2005年版RMの背景と内容

- 1) ロジックトランジスタRM
- 2) DRAM RM
- 3) 不揮発性メモリ(NVM)RM
- 4) RFとアナログ/ミックストシグナル  
(RF & AMS)RM

# ロジック用トランジスタの分類: HP, LOP, LSTP



# RM作成における重要性能指標

トランジスタ タイプ	HP-Tr	LOP-Tr	LSTP-Tr
重要性能 指標	$CV_{dd}/I_{on}$ (速度性能)	$CV_{dd}^2$ (動作時電力)	$I_{off}$ (待機時電力)

トランジスタの  
基本パラメータ

- ・ オン電流 ( $I_{on}$ )、オフリーク電流 ( $I_{off}$ )
- ・ 電源電圧 ( $V_{dd}$ )、ゲート容量 ( $C$ )

## トランジスタのオン電流、 $I_{on}$

### 移動度

- ・ 縦方向電界
- ・ フォノン散乱
- ・ ラフネス散乱
- ・ ピエゾ効果

### しきい値

- ・ オフリーク電流
- ・ 短チャネル効果
- ・ チャネル濃度
- ・ ゲート酸化膜厚
- ・ サブスレシヨルド係数

### ゲート酸化膜厚

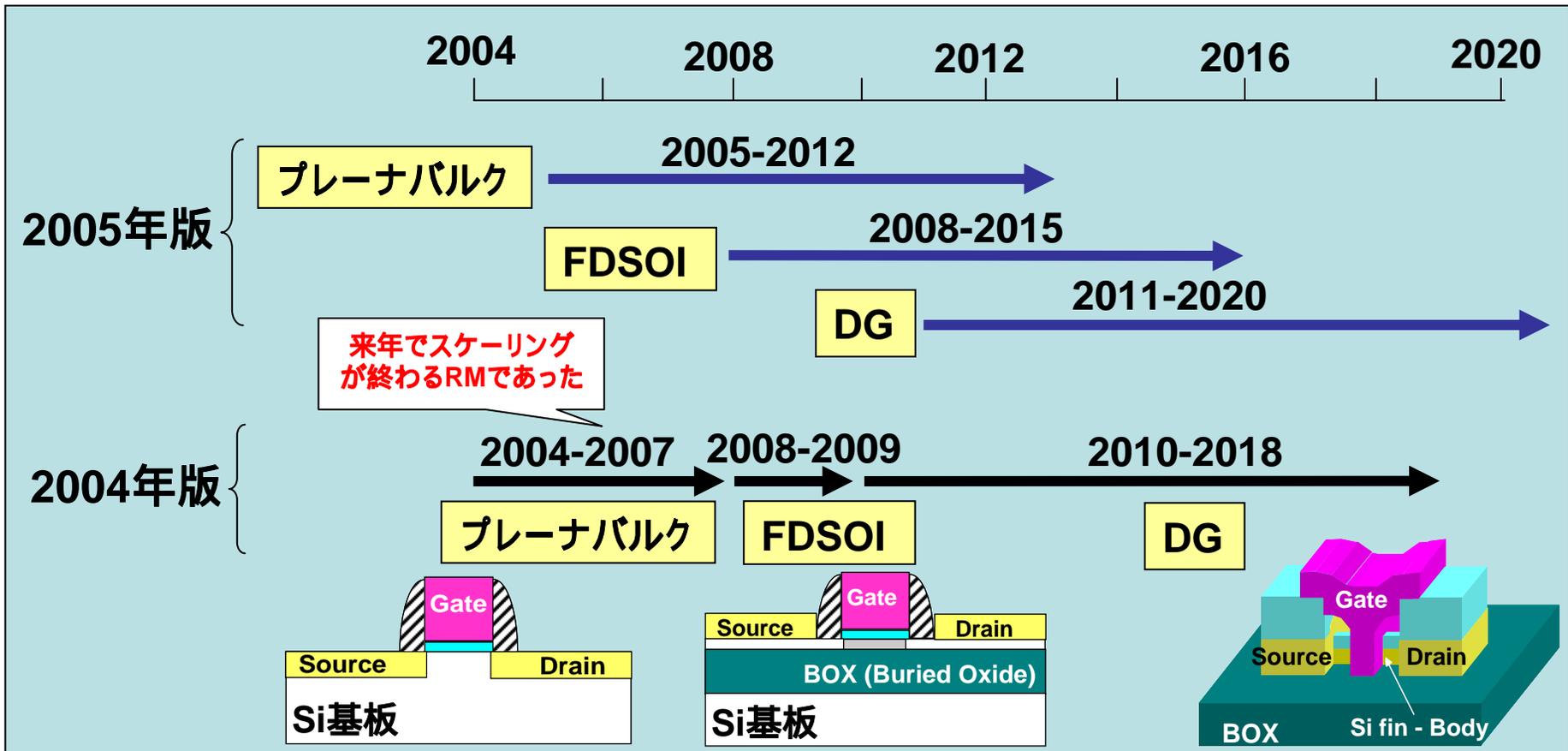
- ・ EOT
- ・ ゲート電極空乏化
- ・ 反転層厚

### 飽和速度

### 寄生抵抗

# 2005 ITRS HPトランジスタの特徴

- 1) 従来とおり、性能向上率17%/年を維持 ( $CV_{dd}/I_{on}$ 重視)
- 2) 2008年からパラレルパスのRM (多様性に対応)
- 3) プレーナバルク構造で、できるだけ引っ張る代償としてオフリーク電流 ( $I_{off}$ )を増加



# HPトランジスタの技術要求の特徴



1. High-k導入時期を1年後ろ倒し2008年に、メタルゲートも同じ(開発状況から)
2.  $T_{inv}$ のスケーリングはプレーナバルク(PB)が最もアグレッシブ(性能向上率維持)
3.  $I_{off}$ は04年版から増大(プレーナバルクの延命、マルチVtを想定)

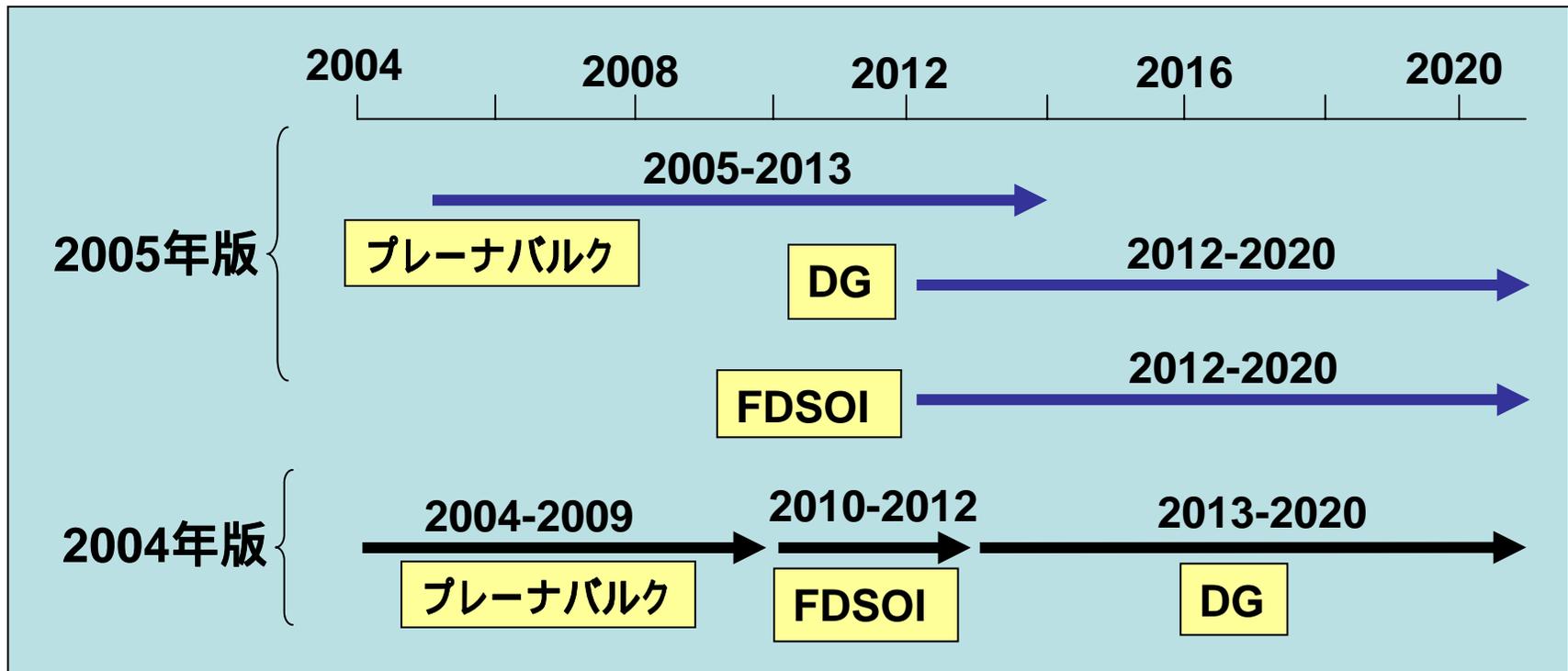
High-k + メタルゲートの導入

アグレッシブなスケーリング

量産開始年		2005	2006	2007	2008	2009	2010	2011	2012
電氣的なゲート絶縁膜厚、 $T_{inv}$ (nm)	Was	1.8	1.7	1.3	1.2	1.2	1.1	1.1	1.1
	Is(PB)	1.93	1.84	1.84	1.19	1.03	0.92	0.75	0.75
	Is(FD)				1.3	1.2	1.1	1.0	0.9
	Is(DG)							1.2	1.1
オフリーク電流、 $I_{off}$ ( $\mu A/\mu m$ )	Was	0.05	0.05	0.07	0.07	0.07	0.1	0.1	0.1
	Is(PB)	0.06	0.15	0.2	0.2	0.22	0.28	0.32	0.34
	Is(FD)				0.17	0.19	0.22	0.22	0.29
	Is(DG)							0.1	0.11
オン電流、 $I_{on}$ ( $\mu A/\mu m$ )	Was	1090	1170	1510	1530	1590	1900		1790
	Is(PB)	1020	1130	1200	1570	1810	2050	2490	2300
	Is(FD)				1486	1625	1815	2015	2037
	Is(DG)							1899	1932

# 2005 ITRS LSTPトランジスタの特徴

1. オフリーク電流 ( $I_{off}$ ) の低減で、待機時消費電力を低減  
代償として性能向上率を低下: 17%/年 14%に(業界標準)
2. 当分の間はプレーナバルク構造で引っ張る  
代償としてFDSOI/DGよりはオフリーク電流を大に



# LSTPトランジスタの技術要求の特徴

1.  $I_{off}$  は2010年まで10pA/ $\mu$ mを維持(LSTPの特徴を強調)
  2. LSTPのゲート長はHPの3年遅れ 4年遅れ
  3. High-k導入時期を2年後倒し(2008年から)
  4. メタルゲート導入時期はHigh-kと同じタイミング
- } 性能向上率  
を緩和した結果

量産開始年		2005	2006	2007	2008	2009	2010	2011
ゲート長 (nm)	Was	53	45	37	32	28	25	23
	Is	65	53	45	37	32	28	25
電氣的なゲート 絶縁膜厚、 $T_{inv}$ (nm)	Was	2.8	2.6	2.3	1.9	1.8	1.7	1.7
	Is	2.73	2.63	2.53	1.93	1.82	1.71	1.72
オフリーク電流 (A/ $\mu$ m)	Was	15p	20p	25p	30p	40p	60p	60p
	Is	10p	10p	10p	10p	10p	10p	12p

1年後退

今年、High-kは採用されない

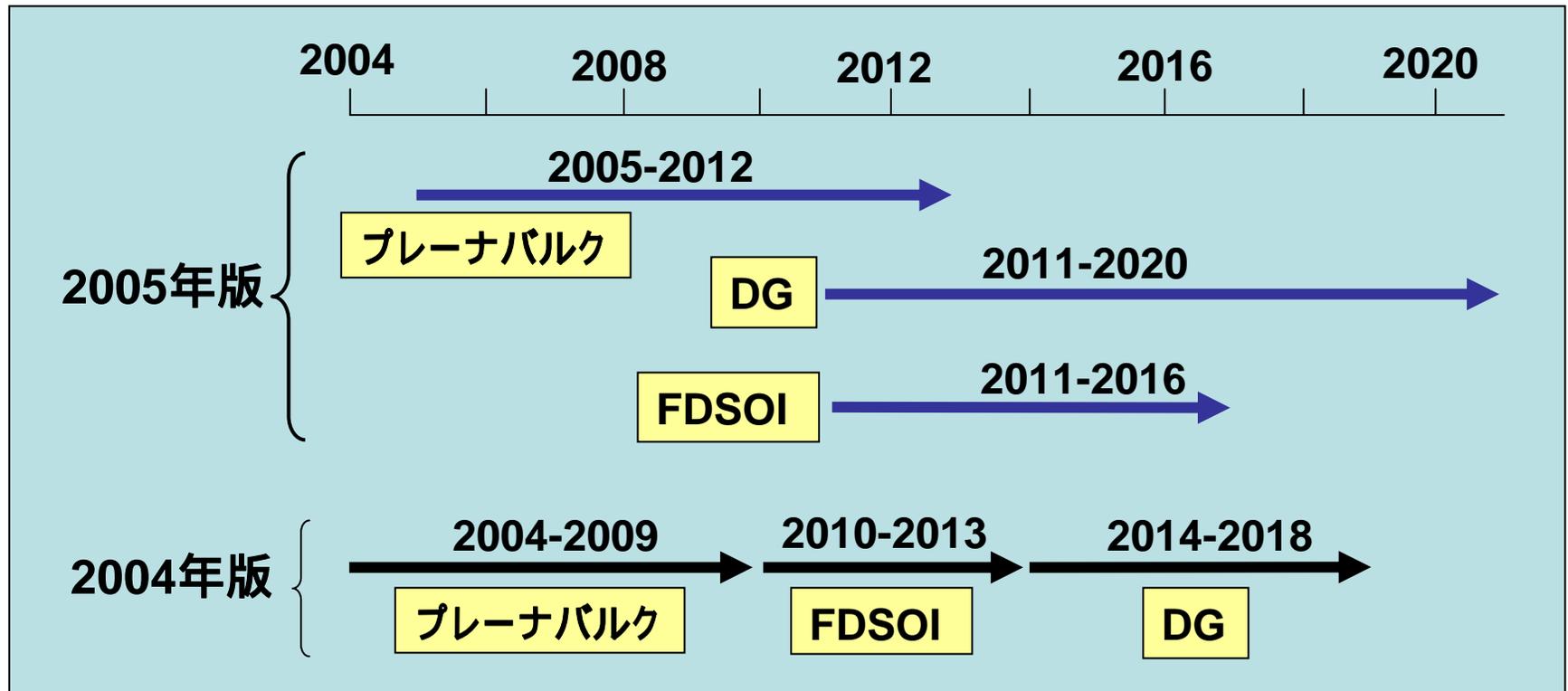
High-k + メタルゲート導入

10pAを維持

# 2005 ITRS LOPトランジスタの特徴



1. 2011年からパラレルパスのRM(多様性に対応)
2. 当分の間はプレーナバルク構造で引っ張る  
代償として性能向上率を低下:17%/年 14%に(業界標準)

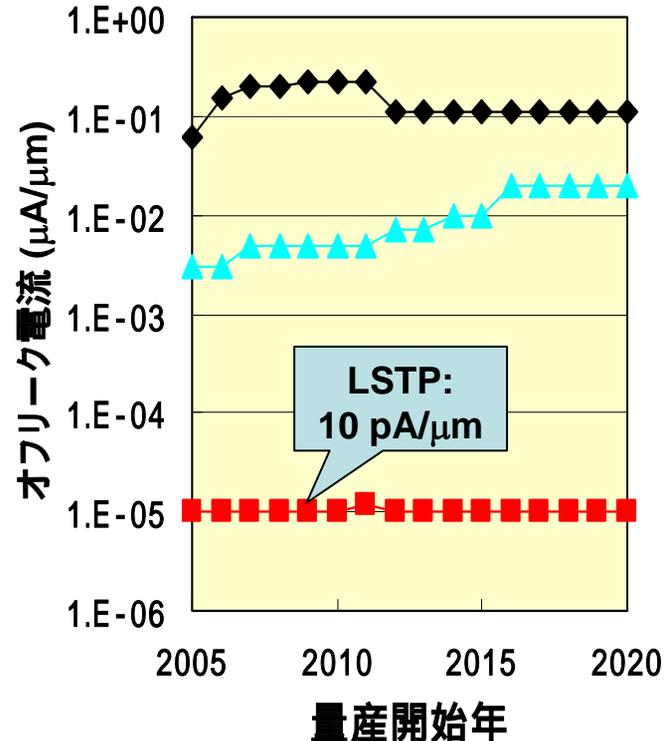
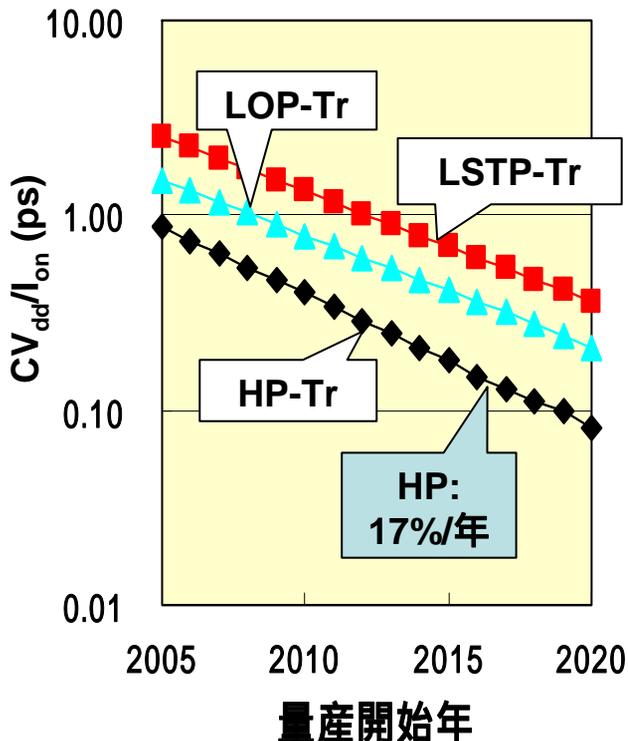
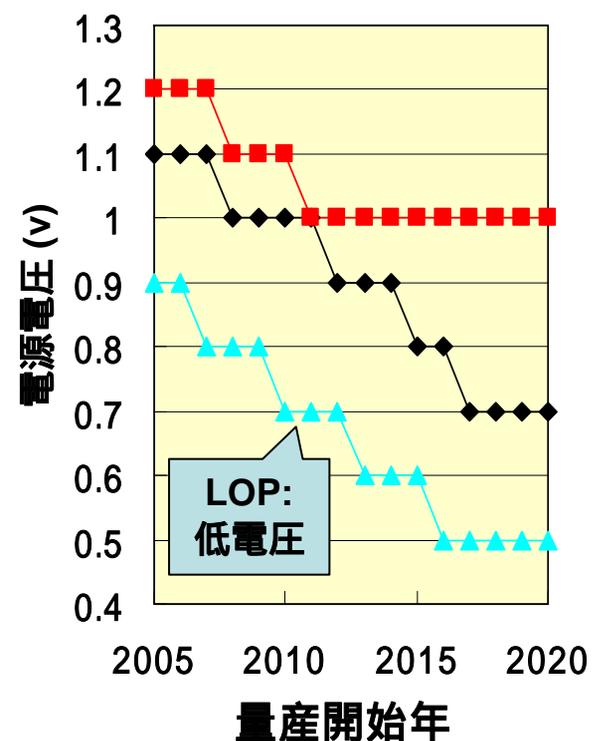


# 2005 ITRS ロジック用トランジスタまとめ

電源電圧、 $V_{dd}$   
(動作時消費電力)

トランジスタ遅延時間、  
 $\tau = CV_{dd}/I_{on}$

オフリーク電流、 $I_{off}$   
(待機時消費電力)



# DRAMロードマップ作成方針

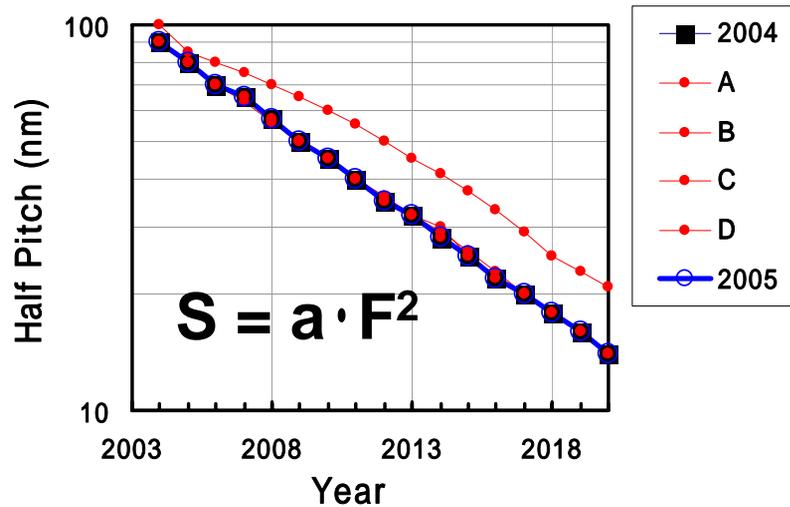
DRAM技術ロードマップのアンケート調査を元に、  
2番手ルールで2005年版を作成

- アンケート送付先  
日、米、韓、欧の大手DRAMメーカー
- 調査項目

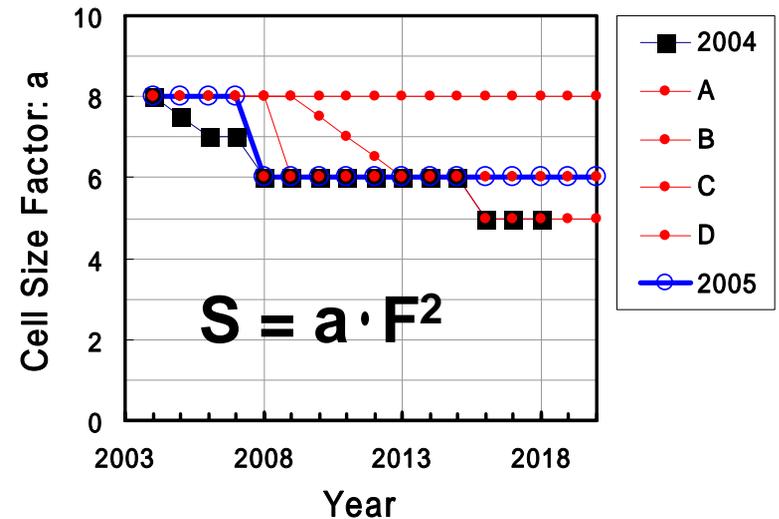
1. DRAM half pitch
2. Cell size :  $S$
3. Cell size factor :  $a$
4. DRAM Product (bit) :  $b$
5. Chip size :  $A_{chip}$
6. Area factor [ =  $A_{cell} \times b / A_{chip}$  ]
7. Retention time
8. Storage Capacitance :  $C_s$
9. Voltage of capacitor
10. Gate oxide thickness of cell tr.
11. Maximum word-line level
12. Effective electric field of gate insulator
13. Negative word-line use
14. Capacitor structure
15. Capacitor insulator material
16. Effective capacitor insulator thickness
17. Physical cap. insulator thickness

# アンケート結果とRM

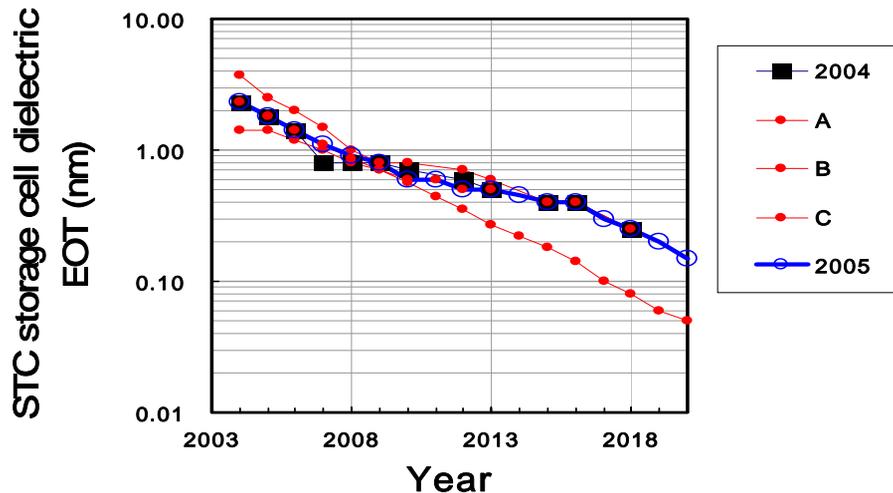
ハーフピッチ (F): 2004年版と同じ



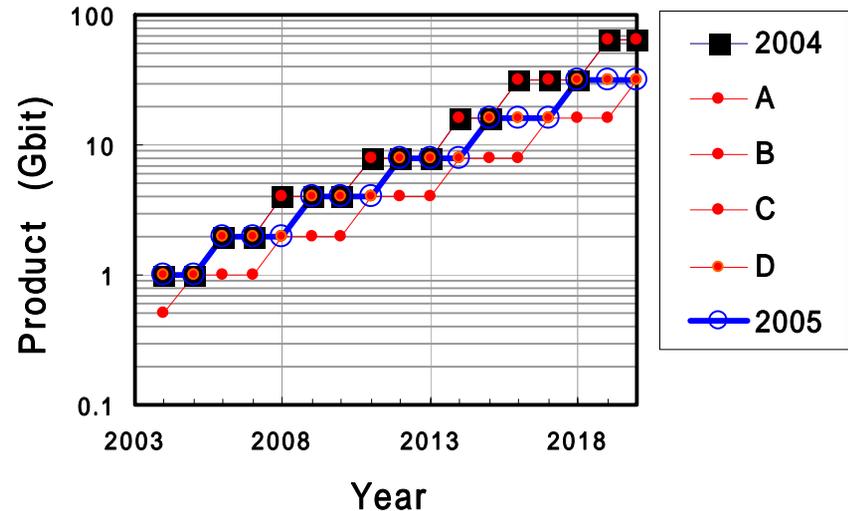
セルサイズファクタ (a): 2007年まで8F<sup>2</sup>



キャパシタ膜厚: 2004年版と大差なし



チップ規模 (Gb): 大容量化は遅れる



# 2005年版DRAM-RMまとめ

1. ハーフピッチ： 2004年版と同じ
2. セルサイズファクタ： 2007年まで8F<sup>2</sup>、2008年から6F<sup>2</sup>へ
3. 汎用DRAM： 大容量化は遅れる

## 1)ハーフピッチ (nm)

	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018
Was	80	70	65	57	50	45	40	35	32	28	25	22	20	18
Is	80	70	65	57	50	45	40	35	32	28	25	22	20	18

## 2)セルサイズファクタ, a

Was	7.5	7	7	6	6	6	6	6	6	6	6	5	5	5
Is	8	8	8	6	6	6	6	6	6	6	6	6	6	6

## 3)セルサイズ (um<sup>2</sup>)

Was	4.8E-02	3.6E-02	2.8E-02	1.9E-02	1.5E-02	1.2E-02	9.6E-03	7.7E-03	6.1E-03	4.8E-03	3.8E-03	2.5E-03	2.0E-03	1.6E-03
Is	5.1E-02	4.1E-02	3.2E-02	1.9E-02	1.5E-02	1.2E-02	9.6E-03	7.7E-03	6.1E-03	4.8E-03	3.8E-03	3.0E-03	2.4E-03	1.9E-03

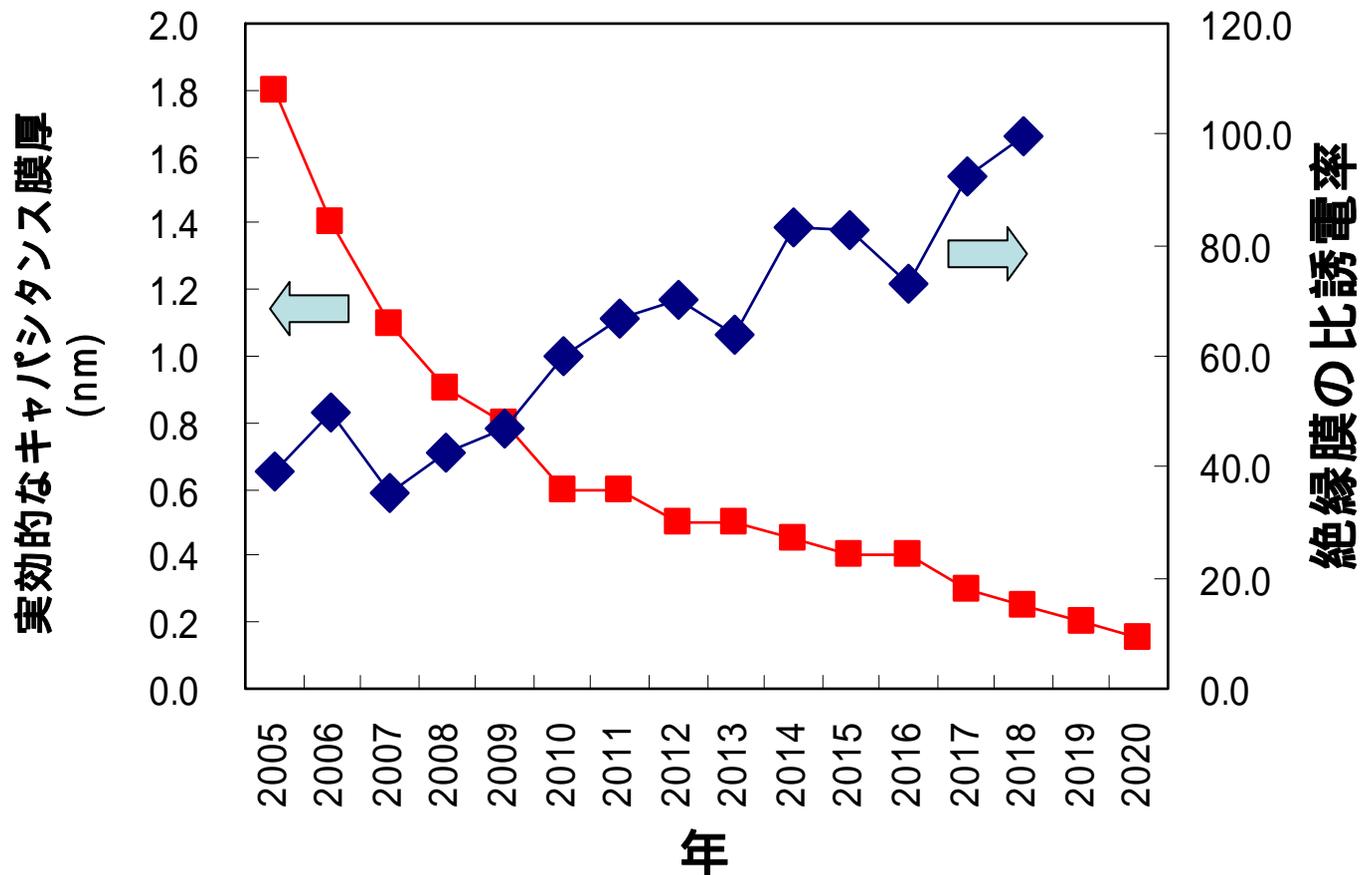
## 4)チップ規模 (Gb)

Was	1	2	2	4	4	4	8	8	8	16	16	32	32	32
Is	1	2	2	2	4	4	4	8	8	8	16	16	16	32

# DRAMのスケーリングの課題

## キャパシタ絶縁膜のスケーリング

(キャパシタ絶縁膜の比誘電率の継続的な増大)



# Flash NANDの世の中の動向とRM

## 技術動向

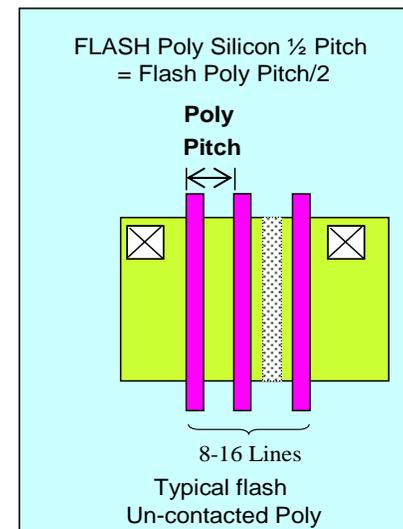
二社が ~ 73nmルールのNANDを 05年に量産開始

( 04年のロードマップでは 05年は80nm、 06年に70nmと予測。

実際は1年近く前倒し)

## 05年ロードマップの考え方

- 世の中の動向に即したものに変更
- Flashが微細化のドライバに



	Was/Is	2005	2006	2007	2008	2009	2010
DRAM half pitch (nm)	Is	80	70	65	57	50	45
Flash half pitch (nm)	Was	80	70	65	55	50	50
	Is	76	64	57	51	45	40
Max # of bit/cell	Was	4	4	4	4	4	8
	Is	2	2	2	2	2	4

	Was/Is	2011	2012	2013	2014	2015
DRAM half pitch (nm)	Is	40	35	32	28	25
Flash half pitch (nm)	Was		39	35		28
	Is	36	32	28	25	23
Max # of bit/cell	Was	8	8	8	8	8
	Is	4	4	4	8	8

# PIDSで扱うその他の不揮発性メモリ



Flash NOR、FeRAM、SONOS/NROM、  
MRAM、**PCRAM(Phase Change RAM)**

## PCRAM

– **New in 2005 PIDS: mainstream production expected soon.**

## [NORとPCRAMの比較]

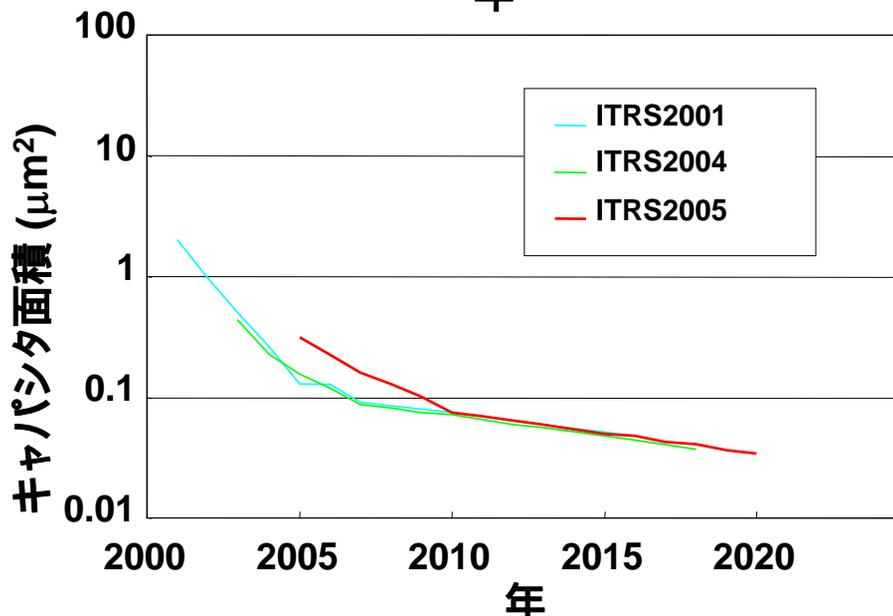
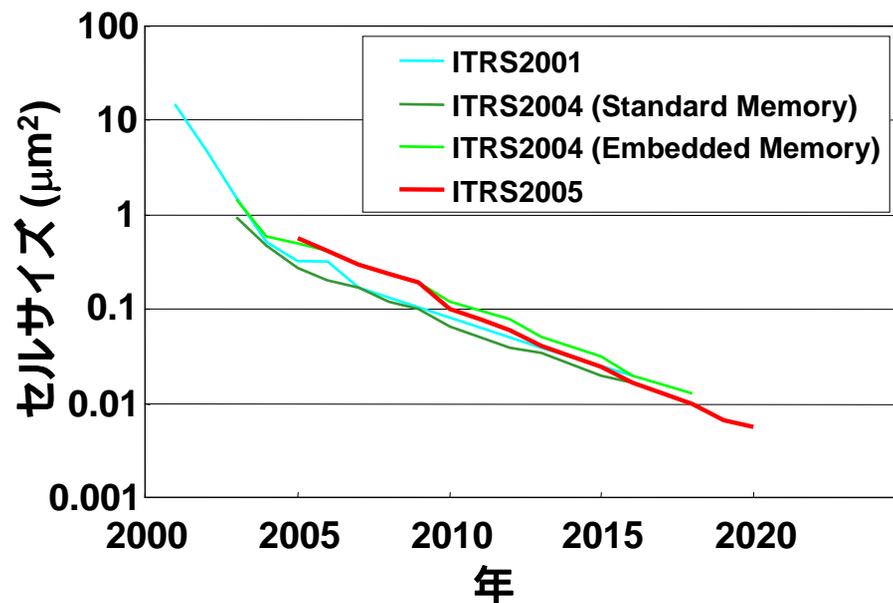
	2005	2006	2007	2008	2009	2010	2011	2012	2013
NOR Flash セルサイズ( $\mu\text{m}^2$ )	0.064	0.049	0.042	0.034	0.028	0.021	0.017	0.013	0.011
PCRAM セルサイズ( $\mu\text{m}^2$ )	0.14	0.073	0.054	0.038	0.029	0.022	0.017	0.012	0.01
Flash多値化	2	2	2	2	2	4	4	4	4
PCRAM多値化	1	1	2	2	2	4	4	4	4

# FeRAM: ITRS2005とITRS2004の比較



## 05年ロードマップの考え方

- ・ 学会レベル 製品レベル
- ・ キャパシタ3D化時期 2006年 2009年
- ・ StandardとEmbeddedの区別をなくす
- ・ キャパシタ面積の縮小化を後倒し
- ・ Qswの最大値設定: 40 30( $\mu\text{C}/\text{cm}^2$ )
- ・ Feature Sizeを前倒し(周辺CMOS依存)



# FeRAMのスケーリングの課題

## ➤ スイッチング電荷量の不足。

2009年頃からキャパシタの3D化が必要となる。

側壁へのキャパシタ形成必要。

さらにセルサイズ縮小をするにはキャパシタの高アスペクト化が問題。

加工精度向上が必要

解決策

- ・ MOCVDなど側壁への電極, 強誘電体成膜法を導入
- ・ 強誘電体のスイッチング電荷量を増大させる。  
(現状) PZT: 約 $35\mu\text{C}/\text{cm}^2$ 、バルク値 $>90\mu\text{C}/\text{cm}^2$   
SBT: 約 $15\mu\text{C}/\text{cm}^2$ 、バルク値 = 不明  
BiFeO<sub>3</sub>など巨大残留分極材料も研究されている

## ➤ 低電圧化。

2010年頃から動作電圧が1.0V以下へ。

(現状) PZT: 1.5 ~ 1.8V程度

SBT: 1.1 ~ 1.5V程度で動作報告

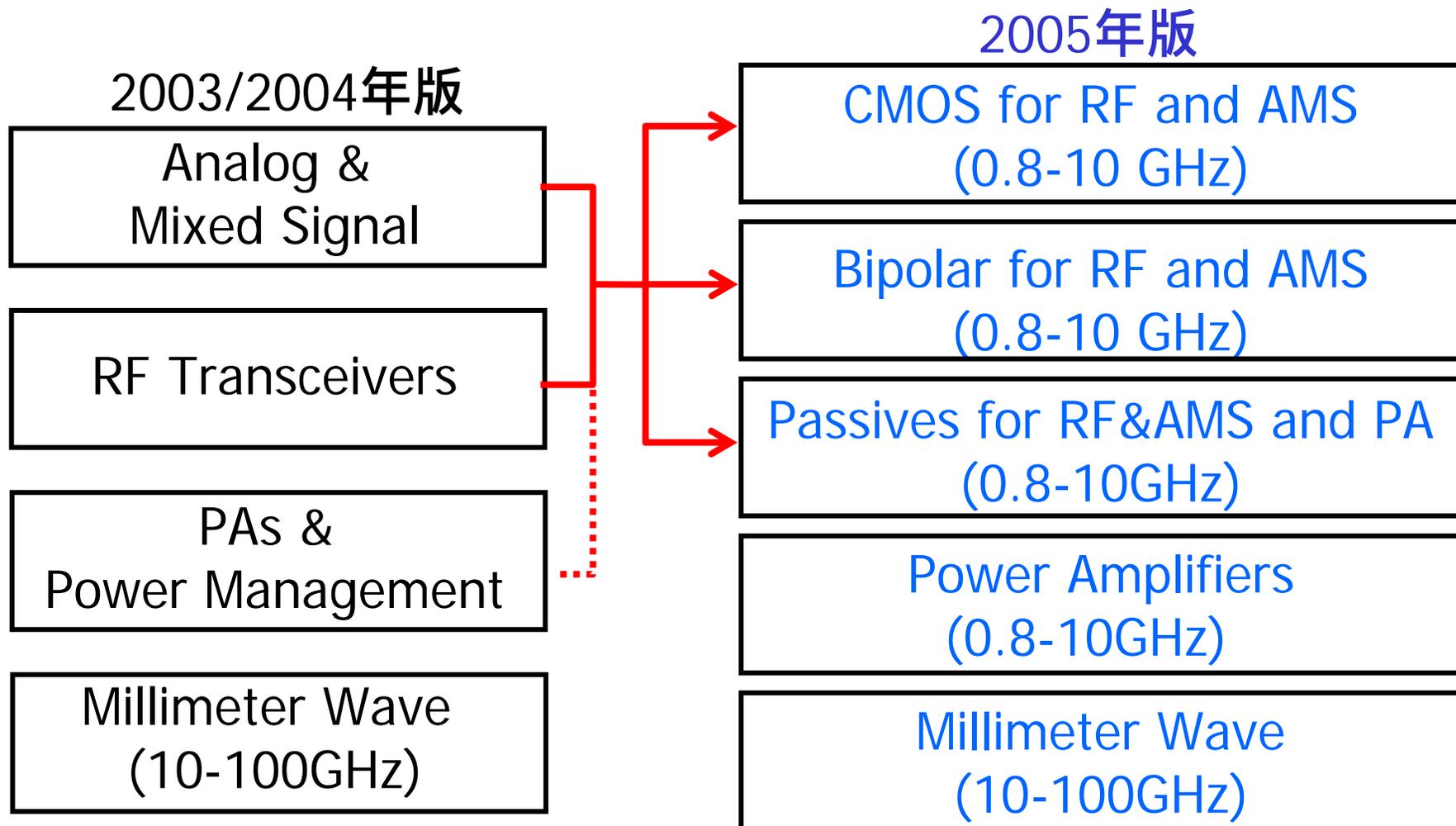
解決策

- ・ 薄膜化による低電圧化 背反としてリーク増大、 $Q_{\text{sw}}$ 減少
- ・ 抗電圧の低い材料の開発

# 2005年版作成のポイント

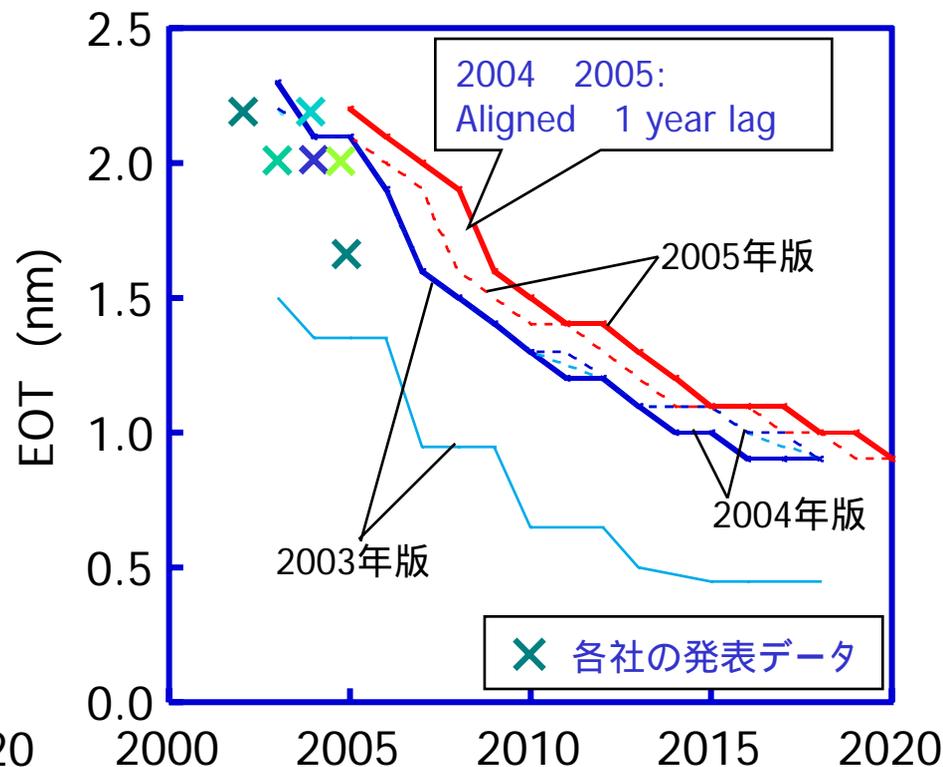
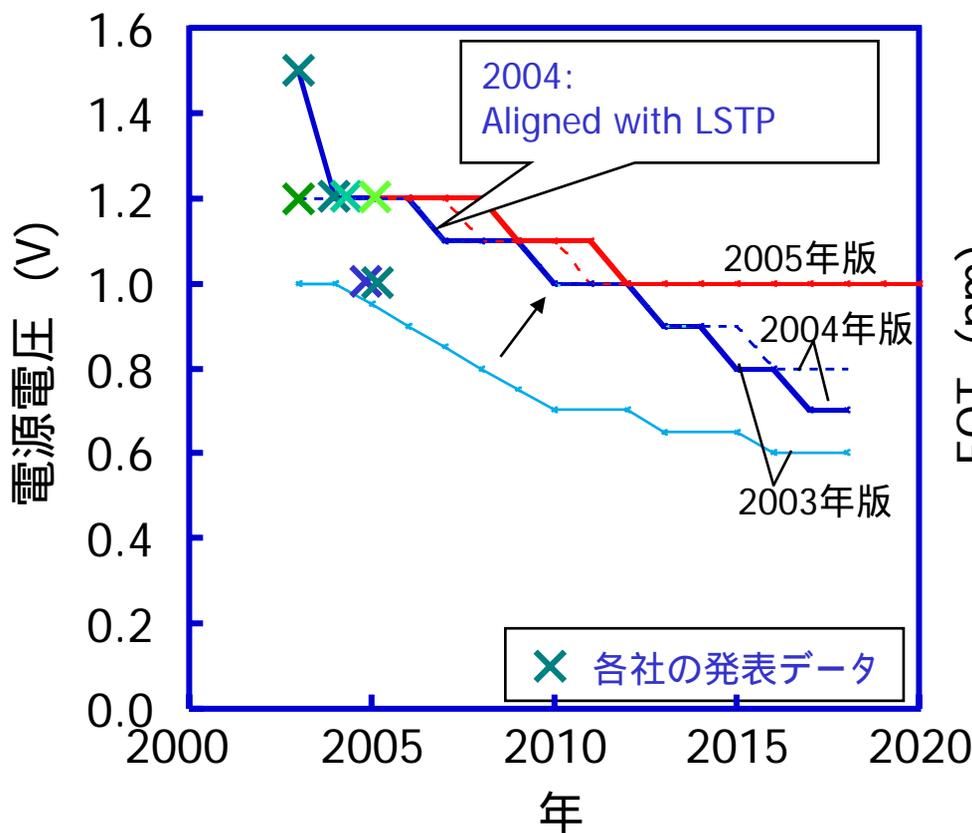
サブGr編成:

AMS, Transceiver, PAの一部(passive)を、デバイス主体に再編



# AMS CMOSロードマップ予測の推移

2004年版: 発表データから、ベースモデルをLOPからLSTPに変更  
 2005年版: RF Transceiver併合によりLSTPから1year遅れに修正



実線: AMS, 破線: LSTP

- ロジック-RM: パラレルパスで多様化に対応、  
プレーナ・バルク構造で引っ張る
- DRAM-RM: セルサイズファクタを現実的に  
大容量化は遅延
- NAND-RM: 微細化のドライバに
- NVM-RM: PCRAMを追加, 2010年頃にNORを  
キャッチアップ
- FeRAM: 製品レベルのRMに(微細化を後倒しに)
- RF & AMS: サブGrをデバイス主体に再編、  
AMSはLSTPトランジスタを採用