

DFTとATEとの更なる融合

テストコスト削減のための
チップ設計からテストイングまで

WG2 (テスト) リーダ
(株) ルネサステクノロジ
西村安正

報告のアウトライン

1. 2005年度活動メンバと方針
2. ITRS2005のトピックス
3. DFT-SWG活動
4. ATE -SWG活動
5. 2005年度活動まとめ

1. 2005年度活動メンバと方針

DFT-SWG(9名)

委員 : 富士通、ルネサス、松下、NECEL、沖、東芝、ローム

特別委員 : 首都大学東京、STARC

ATE-SWG(18名)

委員 : 富士通、ルネサス、松下、NECEL、シャープ、
セイコーエプソン、東芝

特別委員 : 徳島文理大学

SEAJ
(装置側)と
より一層の
協働の為

: アドバンテスト、横河電機、シバソク、日本マイクロニクス、
東京エレクトロン、GTI、アジレントテクノロジー、
浜松ホトニクス、日本エンジニアリング

活動方針

“DFTとATEとの更なる融合 (続)”

ーテストコスト削減のためのチップ設計からテストングまでー

とITRS2005への貢献

2. ITRSのトピックス

2-1. ITRS 2005: テスト改訂概要

ITRS 2005 テスト章改訂

- ◆ 信頼性スクリーニング内容更新
- ◆ ロジックのATE／製品テーブル統合
- ◆ テストソケットとテストボード新規追加
- ◆ RFの、アナログ／Mixed Signalからの独立
- ◆ テストコストドライバー章の拡充

ements

2	2013
	32
	32
	13
3	1,546
3	140
	16
0.9	0.6-0.9
01	18626

Part 2: High Volume Microprocessor Test Requirements

I/O data rate (GT/s)	0.1 - 3	0.1 - 6	0.1 - 6	0.1 - 6	0.2 - 12	0.2 - 12	0.2 - 12	0.2 - 15	0.2 - 15
I/O types	Slow speed scan / DFT, source synchronous, clock forwarding, clock embedded				Slow speed scan / DFT, clock forwarded, clock embedded				
Total device power consumption (W)	200	200	300	300	300	300	300	300	300
Power supply	1-6	1-6	1-6	1-4	1-4	1-3	1-3	1-3	1-3
Power supply	0.6-2.0	0.6-2.0	0.6-2.0	0.6-12	0.6-12	0.6-12	0.6-12	0.6-12	0.6-12
Power supply	64-256	64-256	64-512	64-512	64-512	64-512	64-512	64-1024	64-1024
Functional vector memory (M-vectors per pin)	16-128	16-128	16-128	16-128	16-256	16-256	16-256	16-256	16-512

統合された
ロジックテーブル

ATE :
Automatic Test Equipment

2-2. ITRS 2005: テストの重要ファクター

デバイストレンド

- ◆ デバイスI/Fのバンド幅 (データレートとピン数)
- ◆ 高集積化 (SoC、MCP、SiP、3Dパッケージ)
- ◆ パッケージ (外形状、電気・機械的特性)
- ◆ 入力・応答のテストモデルに当てはまらないデバイスアーキテクチャ
– 電力制御、冗長性

新たな技術の統合

- ◆ RF、アナログ、光学、MEMS (ディスプレイや携帯電話で使用)

テスト工程の複雑化

- ◆ デバイスのカスタム化のための、テストフロー最適化
- ◆ 製造工程からのより有益で、より早いフィードバック

テストコスト上の制約

- ◆ 境界条件: 最大限許容可能なDPM (Defects Per Million)

2-3. ITRS 2005: テストの主要な課題

歩留まり解析のためのテスト

- ◆ 今後ますます重要だが、不良の物理解析上の制約が大きくなる

信頼性スクリーニング

- ◆ より効果的なバーンイン、Iddq、ストレステストの課題
- ◆ 45nm以降で問題が深刻化 (リーク電流の急増など)

システマティック欠陥の増加

- ◆ 『ハード欠陥』ではない、局所的な不均一さとして現れる

総合的な製造テストコストの考慮と最適化

- ◆ テスト効率の改善と維持
 - マルチコア、3Dパッケージなどの、複雑化への対応
 - テストプログラム発生自動化
 - テストデータ量の管理: ATPG圧縮や並列テスト
 - さらなる同測テスト数増加上の障壁
 - 低速テストの利用

ATPG: Automatic Test Pattern Generation

■■■■ 日本の貢献 ■■■■

DFTサブ活動より

＊SoC要求Tableの定量化

ATEサブ活動より

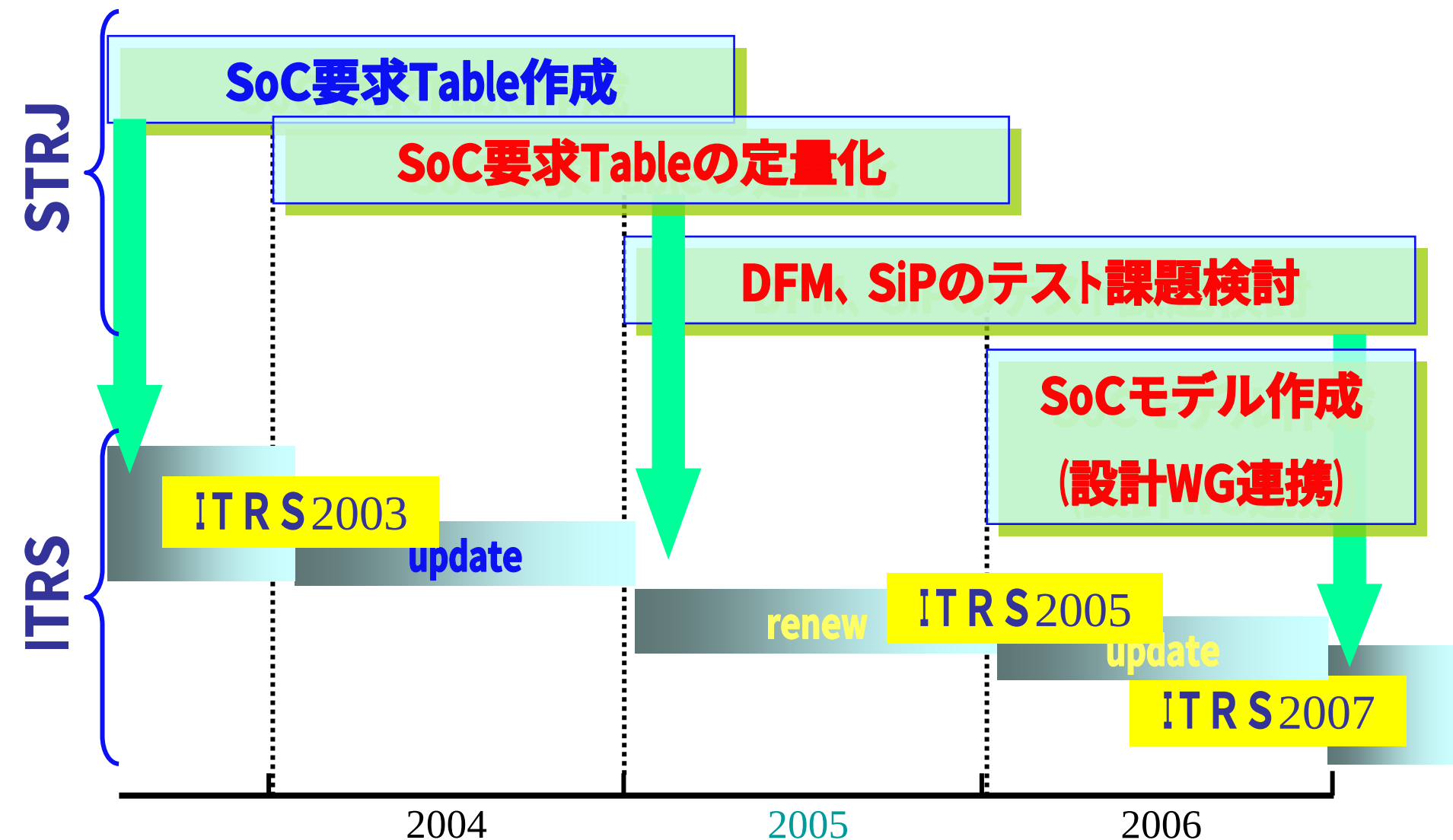
＊WLB!ロードマップTableと

説明文を新規掲載

＊プローブカードTableのアップデート

3. DFT-SWG活動

●STRJ活動とITRSの関係



3-1. ITRS2005への貢献

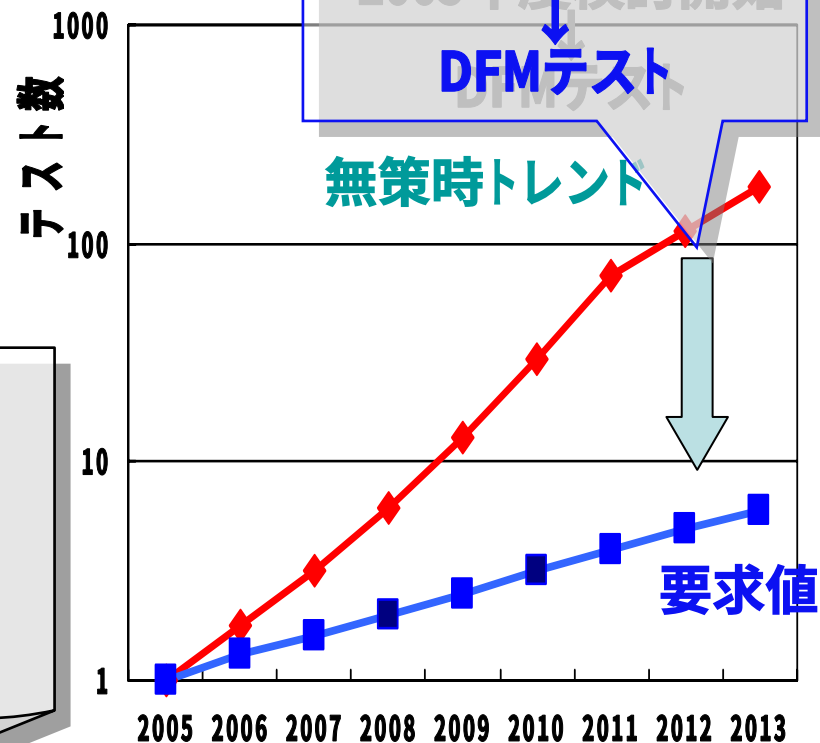
●SoC要求Tableの定量化

Table25a System on Chip Test Requirements—Near-term Years ITRS2005

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	80	70	65	57	50	45	40	36	32
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)(contacted)	90	78	68	59	52	45	40	36	32
MPU Physical Gate Length (nm)	32	28	25	22	20	18	16	14	12
Embedded Cores: Logic – Random Pattern Logic BIST									
Area investment beyond scan (%) [2]	3.1	3.1	3.1	3.1	3.1	3.1	3.1	3.1	3.1
Embedded Cores: Logic – Compressed Deterministic Pattern Test									
Area investment beyond scan (%) [3]	1.1	1.2	1.3	1.4	1.5	1.6	1.7	1.8	1.9
Test pattern length (number of captures) [4]	1.0	1.3	1.6	2.0	2.5	3.1	3.9	4.9	6.3
Test pattern length compression ratio [5]	1.0	1.4	2.0	3.1	5.2	9.1	15.8	28.2	50.1

STRJ2004の下記成果を反映

- **Area investment for BIST, Compressed test, Memory**
- **Test pattern length & volume**



品質確保のためのディレイテスト数 ($\propto$ コスト) 増加

3-2. DFMテストの課題と展望

●DFM時代のテストへのインパクト

DFM: Design for Manufacturability
or
Design for Money

新プロセス

CMP、CD、RET、Cu、
IDL、Low-k、..

新設計手法

Lithoフレンドリ、低電力、
低Vth、SSTA (統計的STA)、..

パラメトリック欠陥

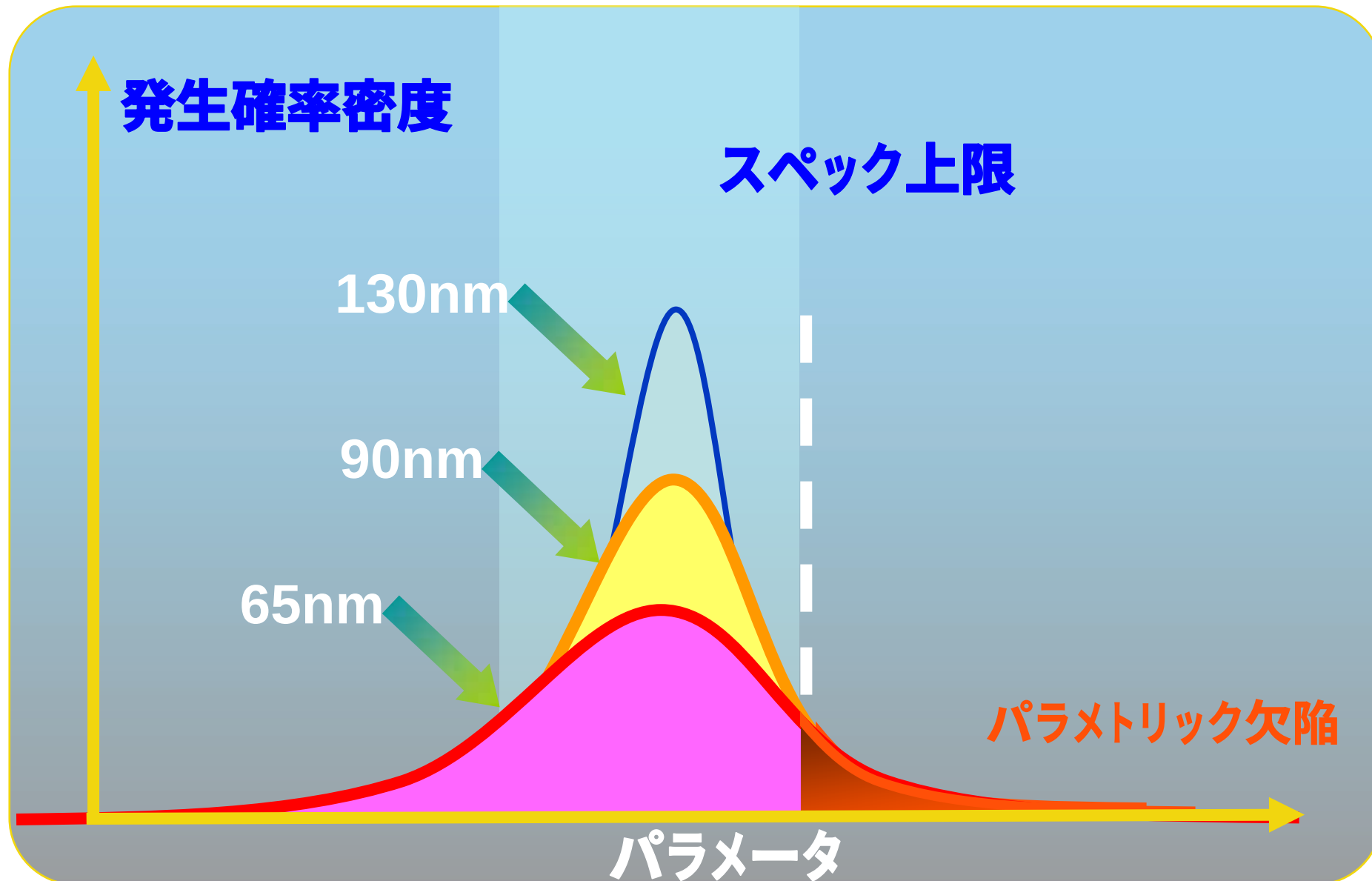
チップ内バリエーション、
NBTI、HCI、ボイド、
スクラッチ、..

SoC

パラメトリック故障

ディレイ、クロストーク、
 ΔI 、 $L di/dt$ 、
ソフトエラー、..

●製造バラツキによるパラメトリック欠陥の増大



●パラメトリック欠陥と従来テストによる検出可能性

物理現象			縮退	Iddq	ディレイ
従来欠陥 (ショート, 断線)			○	○	△
パラメトリック欠陥	パラメータ変動	Leff, Weff, Vt シフト	×	×	△ small
		配線抵抗	×	×	△ small
	配線欠陥	抵抗性欠陥			△ small
		ボイド	△	△	△ small
	ゲート欠陥	酸化膜 ショート	△	△	△ small
		HCI *Hot Carrier Injection	×	×	×~△

既存テストでの検出が困難化！

●DFM時代に対応する新テスト技術

従来テストに加え、新テスト技術 (DFx) の開拓が必要

— Infrastructure IP

- ・ 歩留まり、信頼性向上のためのオンチップテスト用ハード／ソフト
- ・ 資産化、流通による開発効率向上

— At-Speed Test

- ・ 高精度(微小ディレイ対応)のディレイテスト技術
- ・ 特性欠陥、設計欠陥 (システムティック欠陥) 考慮のテスト技術

— Statistical Test, Adaptive Test

- ・ Go/NoGoテストからの脱却
- ・ 統計データ活用によるプロセス変動考慮
- ・ コストエフェクティブで柔軟なテスト

DFx

DFT: Design for Testability

DFY: Design for Yield

DFD: Design for Debug,
Design for Diagnosis

DFR: Design for Reliability

●Infrastructure IP

■パラメトリック要因の 歩留り損失対応

◆セルフリペア、キャラクタライズによる歩留り、信頼性の向上



DFY/DFR

◆大量の収集データによるデータマイニング



DFY

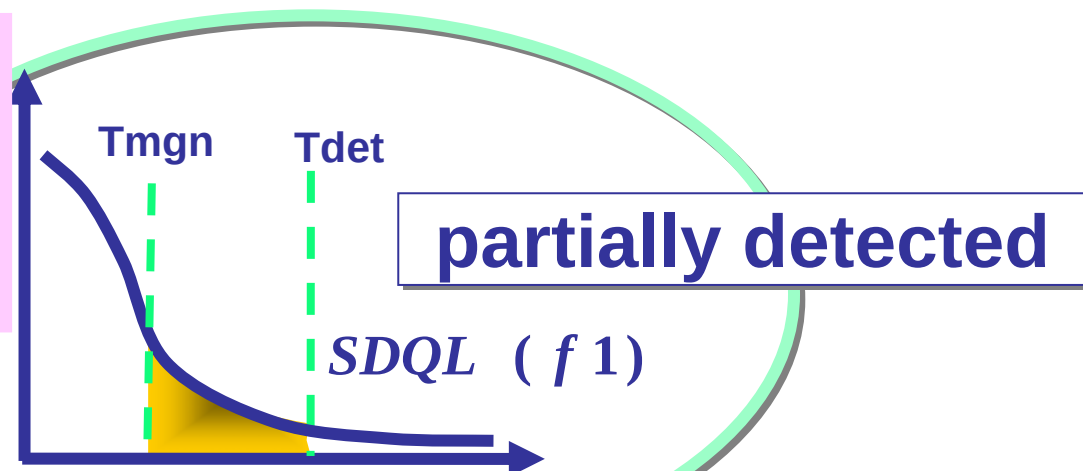
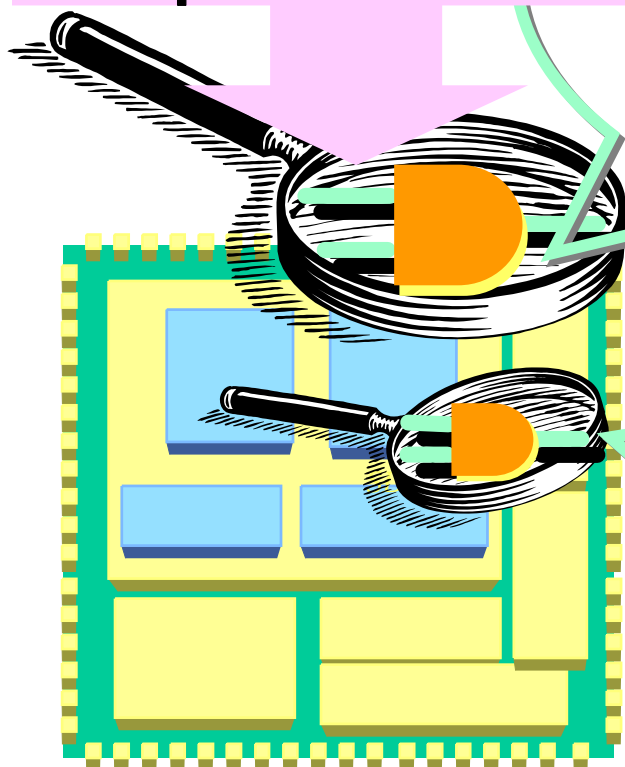
■開発効率の向上



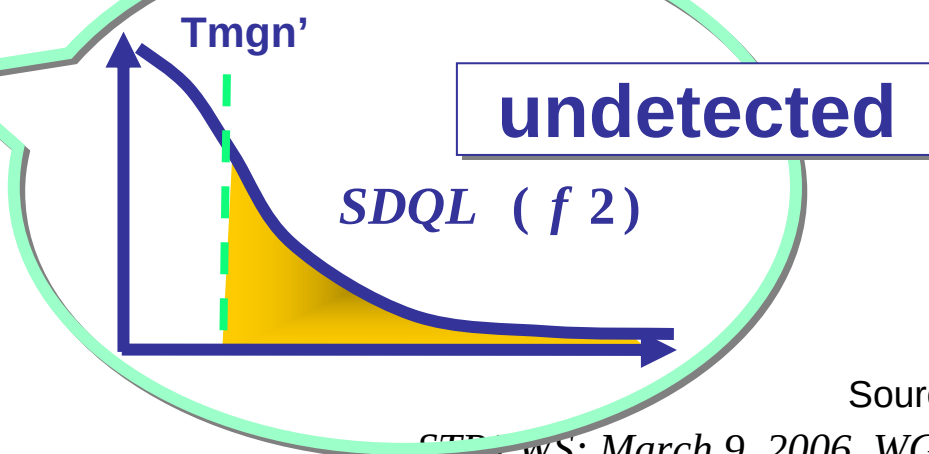
● At-Speed Test ～テスト品質の評価手法～

小さいAC欠陥を考慮した指標: Statistical Delay Quality Level

- ・デザインの遅延分布
- ・テストタイミング
- ・テストパターンの質
- ・Fab.process



$$SDQL(Chip) = \sum_{i=1}^{2N} SDQL(f_i)$$

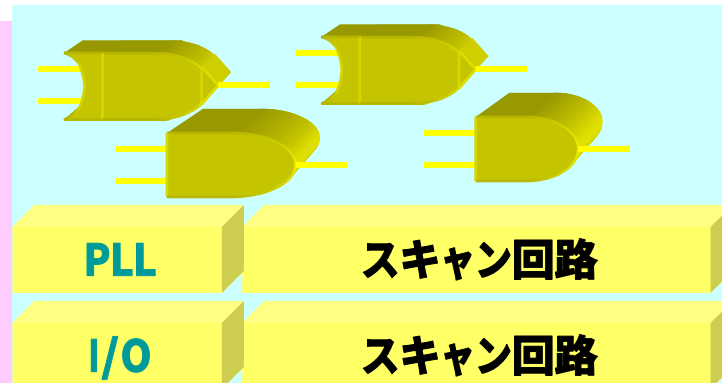
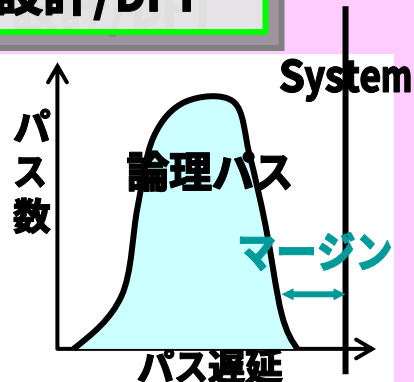


Source: Sato, ITC05

●At-Speed Test ～テスト品質の向上～

テスト規格決定 (テスト
電圧、テスト周波数、
温度など) の容易化

設計/DFT

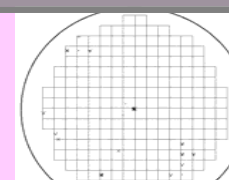


テスタ



テスト条件
テスト周期/電圧/温度
テスタ制限
タイミング/電圧
DUTボード

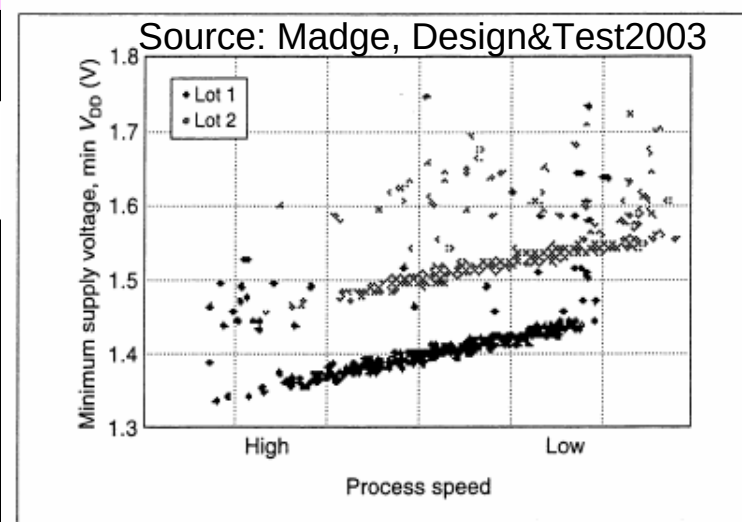
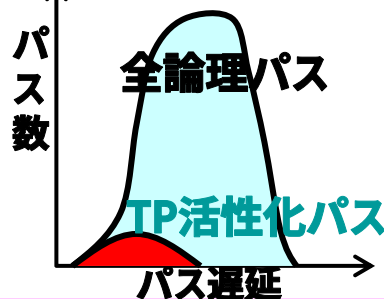
プロセス変動



ロット間/チップ間
/チップ内ばらつき

テストパターン

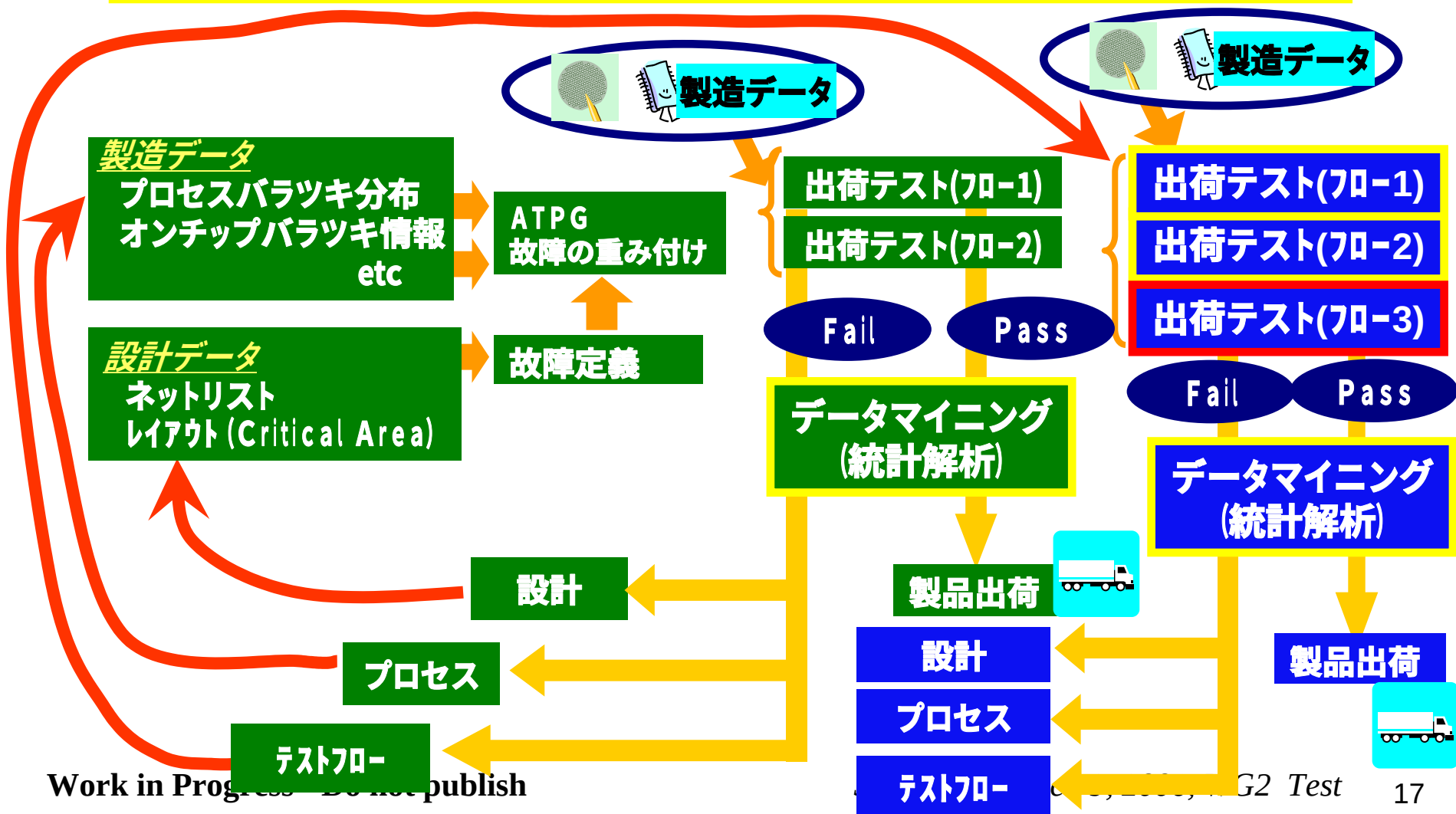
同一/異クロックパス
クロックのエッジ



データ収集・統計結果の分析

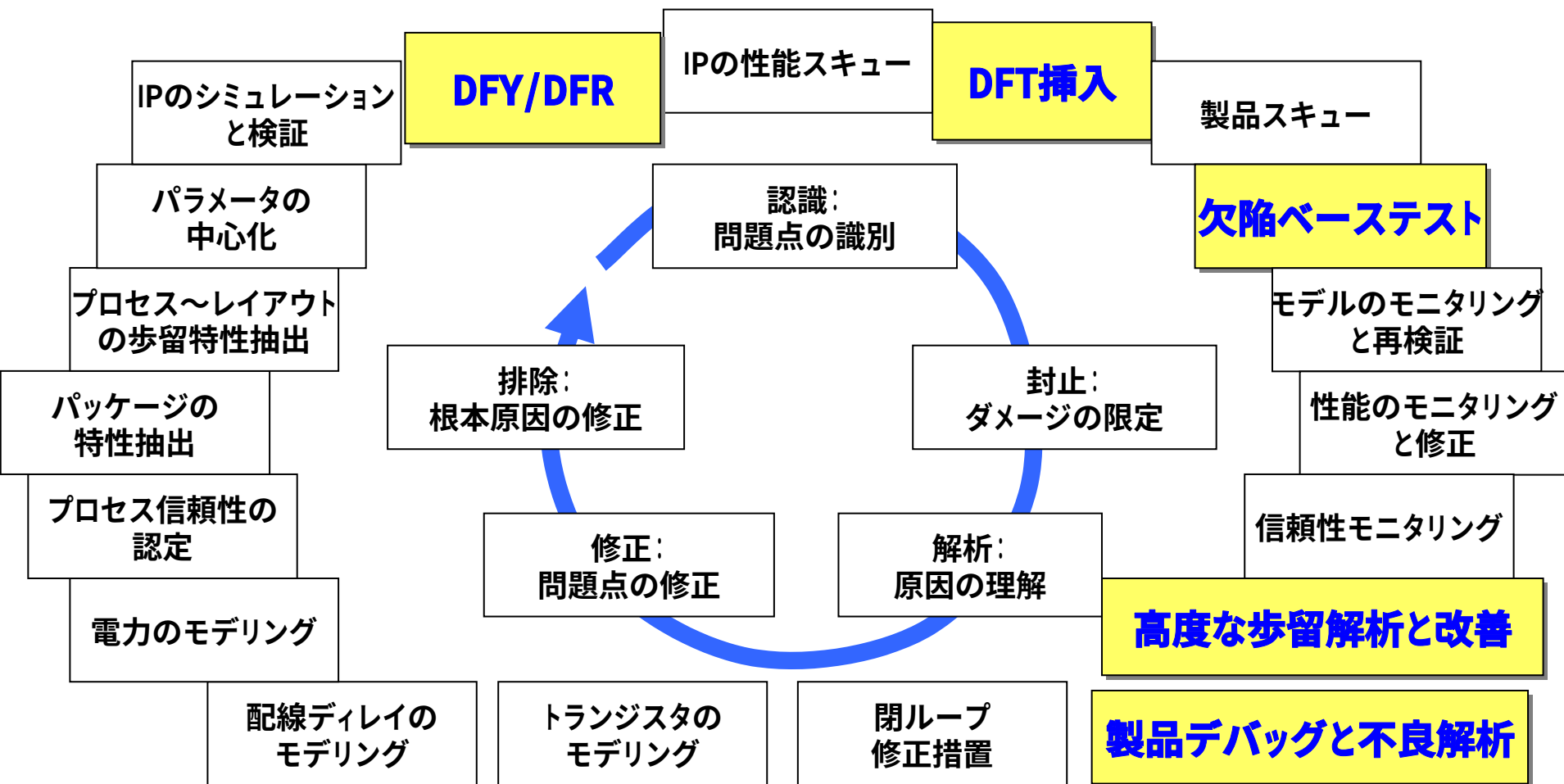
● Statistical / Adaptive Test

設計／製造／量産テスト結果データなどに基づく
統計解析とテストフローへのフィードバックによる
テストコスト・テスト品質の改善が必要



●DFMへの設計・製造・テスト統合化サイクル

■ サイクル潤滑剤としてのDFT・テストの役割が重要



(Source: Madge Design&Test 2005)

4. ATE-SWG活動

●ATE活動目標

2004年度

真の課題を探求し、2005年度のRM化に繋げる

2005年度

課題の共有と言葉/レベル合せを進め、
コストと品質を踏まえたRM化で ITRS2005 に貢献する

検討項目 ◆ ITRSへの貢献
◆ DFT テスタ
◆ SiP テスティング

課題の共有 ◆ デバイスRM
言葉/レベル合せ ◆ 勉強会/講演会

4-1. ITRS2005への貢献

●WLBI (Wafer Level Burn In)

*2003年度 WLBI 要求の分析

- ◆ SiP/MCM の組立技術の向上でKGDニーズの増大
- ◆ バーンイン/テスト/実装のコスト低減

*2004年度 課題の洗出しと ITRSへの提案

- ◆ 電源電流の増大に伴う、偏在発熱分布の抑制
- ◆ チップの多ピン化に対する低加重安定コンタクト
- ◆ コスト要因の定量化
- ◆ ITRS 東京会議に於いて、
日本発のテーマとして合意

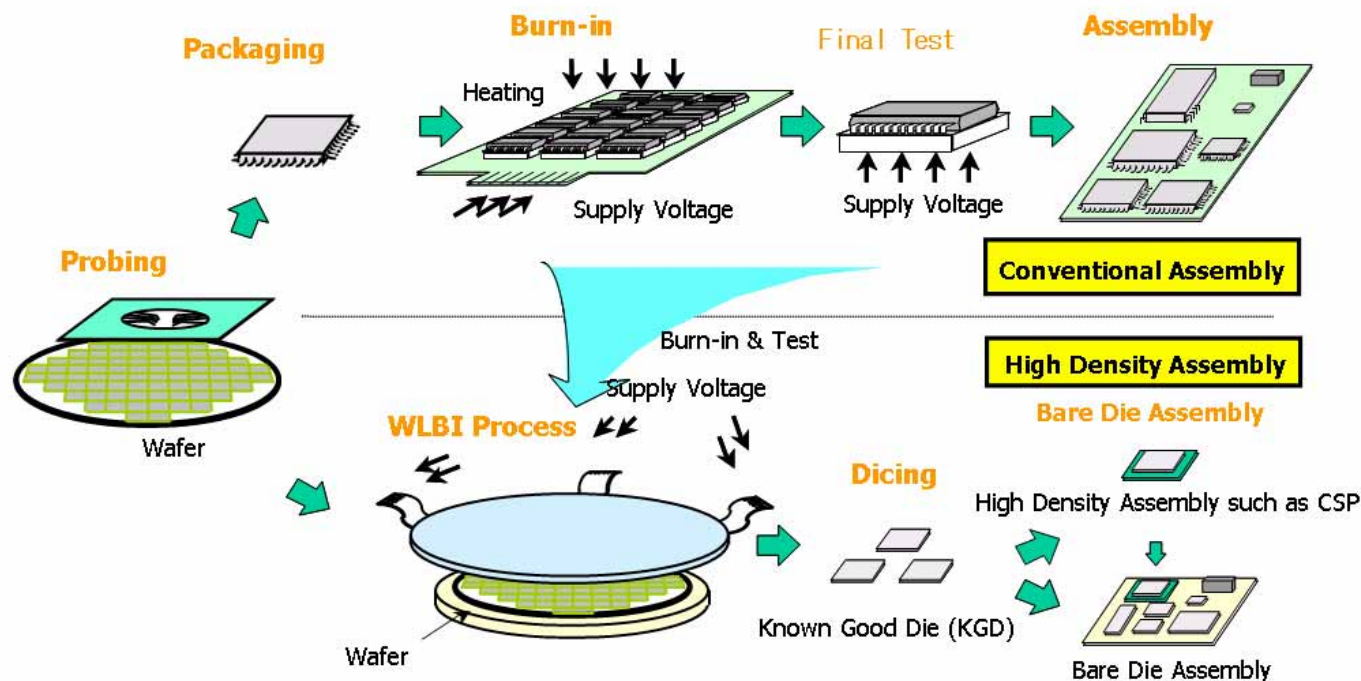
Dec. 2004 ITRS Tokyo

WLBI Request from Device Makers

1. Burn-in Needs Increase as Device Performance and Design Rule Progresses
 - ◆ Process Miniaturization and New Material Introduction Increase Initial Failure
 - ◆ Difficulty of Initial Failure Screening by Voltage Due to Power Voltage Fall
2. KGD (Known Good Die) Needs Increase with Diversification of Mount Type, SiP, WLCSP, Flip Chip Mounting
3. Cost Merit of Full Wafer Contact Burn-in Method
 - ◆ Merit of Wafer Size-up

＊ 2005年度 ITRSへの提案ポイント

1. 2003年度、2004年度に『SEAJ半導体製造装置技術ロードマップ委員会 検査WG WLBI-SWG』との連携により検討したWLBIロードマップを2005年度の連携活動で最新の動向／デバイス要望を加味してリファイン
2. Key Challengeとして日本から提案
3. ITRS2005 Burn-in Table オーナー Vanoverloop氏と内容の吟味／協議
4. ITRS2005に初めてWLBIが掲載



* ITRS2005に掲載 (WLBI Table)

WLBI SEAJ/STRJ合同合宿検討結果

Burn-in ITRS検討結果

2006.8.27 SEAJ/STRJ																
Table: WLBI Requirements																
Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020
Technology Node (nm)	90	70	65	57	50	45	40	35	32	28	25	22	20	18	16	14
MPL/ASD: M (nm)	85	75	67	60	54	48	42	38	34	30	27	24	21	19	17	15
WLBI Technology																
Maximum Wafer Size(mm)	300	300	300	300	300	300	300	300	300	450	450	450	450	450	450	450
Thermal Control																
Maximum Burn-in Temp.(deg.C)	150	150	175	175	175	175	175	175	175	175	175	175	175	175	175	175
Temp.Uniformity in Wafer(deg.C)	±3	±3	±3	±3	±3	±3	±3	±3	±3	±3	±3	±3	±3	±3	±3	±3
Pin Electronics																
Driver																
Driver Vol. Accuracy(mV)	50	50	50	50	50	50	50	50	50	50	50	50	50	50	50	50
T _r /T _{low} (V)	5	5	5	5	5	5	5	5	5	5	5	5	5	5	5	5
Signal(mV)	±3	±3	±3	±3	±3	±3	±3	±3	±3	±3	±3	±3	±3	±3	±3	±3
Comparator																
Comparator Accuracy(mV)	50	50	50	50	50	50	50	50	50	50	50	50	50	50	50	50
Signal(mV)	±3	±3	±3	±3	±3	±3	±3	±3	±3	±3	±3	±3	±3	±3	±3	±3
Contactor																
LOC (ex. for Commodity Memory)																
Minimum Pad Pitch(μm)	80	80	65	65	65	65	65	65	65	65	65	65	65	65	65	65
Minimum Pad Size(μm)	60	60	50	50	50	50	50	50	50	50	50	50	50	50	50	50
Max.Num.of Probe	70k	70k	70k	70k	70k	70k	70k	70k	70k	70k	140k	140k	140k	140k	140k	140k
Peripheral & Area Array (ex. for SoC)																
Minimum Pad Pitch(μm)	100	100	100	80	80	80	80	80	80	80	80	80	80	80	80	80
Minimum Pad Size(μm)	45	40	40	35	35	35	35	35	35	35	35	35	35	35	35	35
Max.Num.of Probe	125k	125k	150k	150k	150k	150k	150k	150k	150k	150k	300k	300k	300k	300k	300k	300k
Low-End Microcontroller																
Input/Output frequency(MHz)	75	75	75	75	75	75	75	75	75	75	75	75	75	75	75	75
Power supply voltage range(V)	0.7-6	0.7-6	0.7-6	0.7-6	0.7-6	0.7-6	0.7-6	0.7-6	0.7-6	0.7-6	0.7-6	0.7-6	0.7-6	0.7-6	0.7-6	0.7-6
Power dissipation(W per I/O)	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10
Maximum number of signal I/O	32	32	32	32	32	32	32	32	32	32	32	32	32	32	32	32
Commodity Memory																
Input/Output frequency(MHz)	50	50	50	50	50	50	50	50	50	50	50	50	50	50	50	50
Power supply voltage range(V)	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4
Power dissipation(W per I/O)	20	20	20	20	20	20	20	20	20	20	20	20	20	20	20	20
Maximum number of signal I/O	32	32	32	32	32	32	32	32	32	32	32	32	32	32	32	32
DFT (BIST) SoC																
Input/Output frequency(MHz)	20	20	20	20	20	20	20	20	20	20	20	20	20	20	20	20
Power supply voltage range(V)	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4	0.6-4
Power dissipation(W per I/O)	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10	10
DFT (BIST) SoC	32	32	32	32	32	32	32	32	32	32	32	32	32	32	32	32
Vector memory depth(M vectors)	16	32	32	64	64	64	64	64	64	64	128	128	128	256	256	256

Year of Production	Near-term										Long-term									
	2005	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020				
LOC (ex. for Commodity Memory)	80	70	65	57	50	45	40	35	32	28	25	22	20	18	16	14				
MPL/ASD: Metal 1 (excl. V Pad)	85	75	67	60	54	48	42	38	34	30	27	24	21	19	17	15				
MPL Physical Gate Length (nm)	82	72	64	56	49	43	38	34	30	27	24	21	19	17	15	14				
Check input frequency (MHz)	400	400	400	400	400	400	400	400	400	400	400	400	400	400	400	400				
Off-chip data frequency (GHz)	25	25	25	25	25	25	25	25	25	25	25	25	25	25	25	25				
Power Dissipation (W per I/O)	600	600	600	600	600	600	600	600	600	600	600	600	600	600	600	600				
Power supply voltage range (V)	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5				
High Performance ASIC / Microprocessor / Graphics Processor	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5				
Low-End Microcontroller	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5				
Mixed-Signal	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5	0.5-2.5				
Maximum number of signal I/O	32	32	32	32	32	32	32	32	32	32	32	32	32	32	32	32				
High Performance ASIC	32	32	32	32	32	32	32	32	32	32	32	32	32	32	32	32				
High Performance Microprocessor / Graphics Processor / Mixed-Signal	32	32	32	32	32	32	32	32	32	32	32	32	32	32	32	32				
Commodity Memory	32	32	32	32	32	32	32	32	32	32	32	32	32	32	32	32				
Maximum current (A)	25	25	25	25	25	25	25	25	25	25	25	25	25	25	25	25				
High Performance Microprocessor	25	25	25	25	25	25	25	25	25	25	25	25	25	25	25	25				
High Performance Graphics Processor	25	25	25	25	25	25	25	25	25	25	25	25	25	25	25	25				
Mixed-Signal	25	25	25	25	25	25	25	25	25	25	25	25	25	25	25	25				
Burn-in Socket	25	25	25	25	25	25	25	25	25	25	25	25	25	25	25	25				
Pin Count	25	25	25	25	25	25	25	25	25	25	25	25	25	25	25	25				
Pitch (mm)	25	25	25	25	25	25	25	25	25	25	25	25	25	25	25	25				
Power Consumption (A/Fat)	25	25	25	25	25	25	25	25	25	25	25	25	25	25	25	25				

◆ Burn-in ITRS2005 Tabl 31a,31b
 WLBIのキーテクノロジーである
 Wafer一括コンタクト技術を掲載
 *最大BI温度
 *最小パッドピッチ
 *最大プローブ数
 *許容電力

Burn-in ITRS2005一部抜粋

Wafer Level Burn-In	2005	2006	2007	2008	2009	2010	2011	2012	2013
Maximum Burn-in Temp.(deg.C)	150±3	150±3	175±3	175±3	175±3	175±3	175±3	175±3	175±3
Contactor - LOC (ex. Comm. Mem.)									
Minimum Pad Pitch(μm)	80	80	65	65	65	65	65	65	65
Minimum Pad Size(μm)	60	60	50	50	50	50	50	50	50
Max.Num.of Probe	70k	70k	70k	70k	70k	70k	70k	70k	70k
Contactor - Peripheral, Area Array (ex. SoC)									
Minimum Pad Pitch(μm)	100	100	100	80	80	80	80	80	80
Minimum Pad Size(μm)	45	40	40	35	35	35	35	30	30
Max.Num.of Probe	125k	125k	150k	150k	150k	150k	150k	150k	150k
Power Consumption (W/PUT - Low-End Micom, DFT/BIST SoC)	10	10	10	10	10	20	20	20	20

4-2. DFT テスタ

◎テストの課題：

高速化 ・ 多ピン化 ・ 多機能化 ・ 低価格化

☆2004年度の活動： テスタの低価格化について議論

⇒ DFT SWGと共同でDFTテストの構成(案)を作成

DFTテストの特徴

- ・Logic部 : 低速(50MHz) , 精度要求しない
- ・Pin数 : 32Pin/DUT × 1024Pin/System
- ・Analog機能 : 無し

DFTテストの活用の際

汎用テスト+DFTテスト
の2pathが基本

2005年度の活動

DFTテストを使用した場合の コストメリット。。

- ・DFTテストの価格
- ・生産数量との関係
- ・DFTテスト測定可能な割合

**パラメータに
検討！**



●DFTテストで測定可能なテストの割合と テスト総投資額(台数)の関係

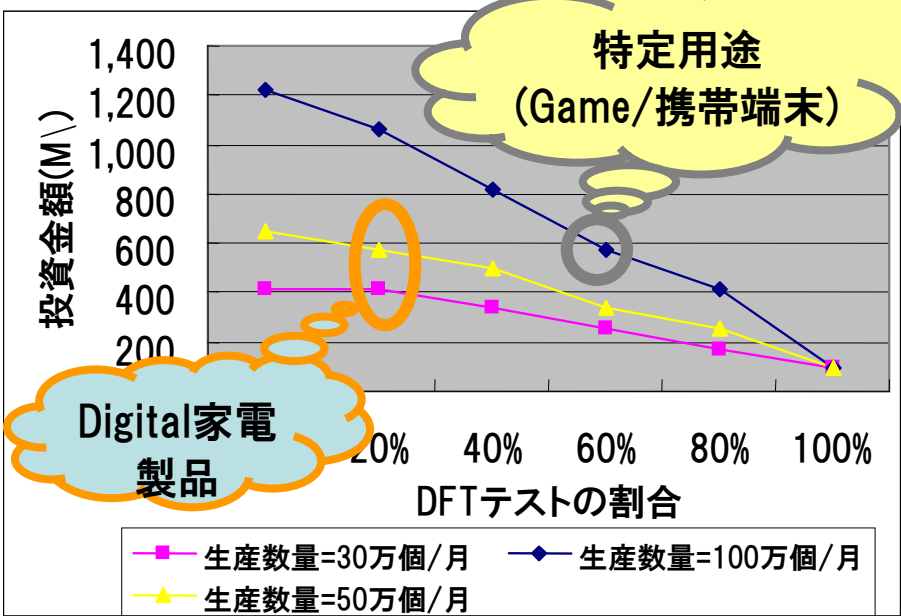
～SoCテストで50秒のテストの一部をDFTテストで行なった場合～

投資台数=生産数量/(DFTテストの処理能力+汎用テストの処理能力)
 処理能力=((月間秒数×稼働率) / (Test Time + Index Time)) × 多個取り数
 月間秒数=3600秒×24時間×25日 稼働率=0.85 Index Time=2秒(2個取り) 5秒(32個取り)

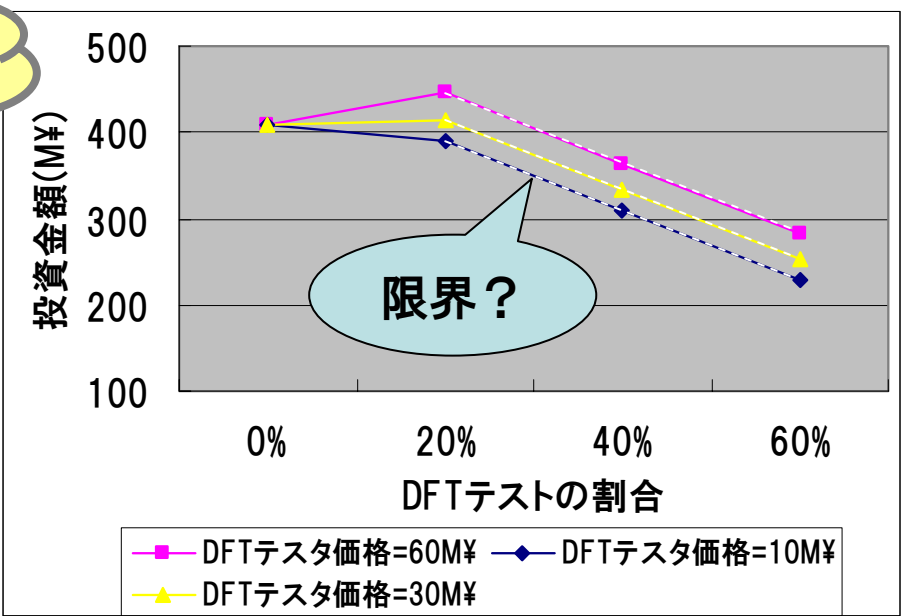
* 試算前提

汎用テスト(2個取り)	60M¥	ハンドラ(2個取り)	20M¥	テストボード	1M¥
DFTテスト(32個取り)	30M¥	ハンドラ(32個取り)	50M¥	立上げ費(1機種)	5M¥

○各生産数量毎の投資額



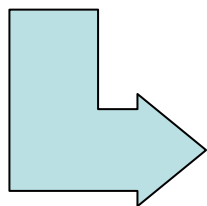
○DFTテストの価格別投資金額



●汎用テスト と DFTテスト での 2pathコストメリット

◎Digital家電向けSoC

- ▶ 製品の性質上 ADC/DAC等が混載されるため、DFTテストで測定可能な割合は 20%程度が限界
- ▶ DFTテスト を使用することによる投資金額の削減効果は少ない



DFTテストでCost Meritを出すには。。。
(1) Analog IPのDFT技術の取り込み
(2) DFTテストの更なる低価格化

◎ 一方。。

特定用途、ゲーム、携帯端末向けSoC

- ▶ DFTテスト を使用することによる投資金額の削減効果が大きい
- ▶ DFTを盛り込み易く、DFTテストでのCover率向上で更なる投資効果が見込める



■ 融合からのポテンシャル・ソリューション 創出に向けて

SiPのテストを対象として

◆ DFTからみたSiPテストの課題

◆ ATEからみたSiPテストティングの課題

本年度活動にて課題を共有

◆◆◆ SiPテストの課題 ◆◆◆

SiPの歩留り課題

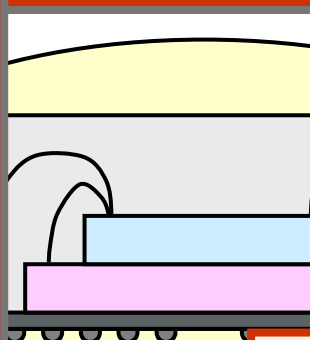
- ◆ ダイ歩留り
- ◆ 未パッケージチップ (ベアダイ)
- ◆ KGD (Known Good Die)
- ◆ テスタ精度起因の歩留り損失

Source:

Zorian ITC 2004 Tutorial

SiPの品質と信頼性

- ◆ ソフトエラー、ノイズ
- ◆ SiPレベルのファンクションパターン作成
- ◆ SiPの性能テスト・パラメトリックテスト
- ◆ ウェーハレベルのバーニン



ダイレベルのテストビリティ

- ◆ BIST・バウンダリスキャン
- ◆ SoC の主流は圧縮パターンテストへ
- ◆ バウンダリスキャンなし部品の対策
- ◆ Infrastructure IPの組み込み

SiPレベルのテスト戦略

- ◆ テクノロジ依存しないテスト戦略
- ◆ 設計段階での戦略立案と、構造的テストの組み込み
 - ◆ ウェーハ、ダイ、パッケージ、フィールドで使用
 - ◆ BISTやバウンダリスキャンの階層的な適用
 - ◆ 構造的at-speedテスト
- ◆ ベアダイを扱う上での問題

SiPの故障診断と不良解析

- ◆ 診断・不良解析の困難化
- ◆ SiP内不良部特定
 - ◆ ダイのBIST・バウンダリスキャン再利用
- ◆ 診断・不良情報収集用 Infrastructure IP
 - ◆ 取得データ解析と、不良位置特定技術
 - ◆ セルフリペア技術
- ◆ フリップチップのための裏面解析技術

◆◆◆ SiP テスティング ◆◆◆

技術

複雑なSiPをどんなテストで
測定したらいいの？
汎用テストでは難しい
専用テスト？

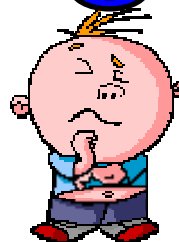
自動でハンドリング可能な外形。
段取り換えが容易？
同時測定も可能？

生産数が少ないとエンジニア
リング費用、NREが大きくなる。
コスト低減をどうしたらいい？

SiPの内部測定はどうしたらいい？
JTAGを組み込めば大丈夫？
JTAGが内蔵されていない
チップは？

特性をSiPで救済・調整すれば
仕様を満足できる。
冗長手段はある？
低コストで実現可能？

品質とコストとの
トレード・オフ
考慮要！



SiPテスト坊や

信頼性

チップメーカーはKGD/KTDで
どこまで保証してくれるの？
KGDなら大丈夫？
SiP用のチップならOK？

KGDチップでSiPを作っても、
特性変動・組立不良
はテスト要？
どこまでテストすればいいの？

部品1個故障でも不良になる。
不良チップは交換したい。
不良箇所の特定、交換技術は
あるの？

経済

5. 2005年度活動まとめ

＊DFTとATEとの更なる融合

- テストコスト削減のためのチップ設計から
 テスティングまで - との方針で月一度の会合と
 秋合宿を通し、メンバ間でDFM、DFTテスト、
 SiPテストの課題に対する深堀と共有化を達成

＊ITRS2005への貢献

- DFTより、SoC要求Tableの定量化
- ATEより、WLBI Tableを新規掲載



2006年度WG2活動へ

●●壁の打破、 更なる融合！

ーテストコスト削減のためのチップ設計からテストングまでー
そして、ポテンシャルソリューションを！！



ATPG
故障の重み

故障定義

ネットリスト
レイアウト (Critical Area)

設計

プロ

テストフロー

テスト坊や

Work

ish

出荷テスト(70

出荷テスト(70

Fail

データマイニ
(統計解析)

製品出荷

ご静聴ありがとうございました