

ばらつきを克服する設計技術

京都大学情報学研究科
通信情報システム専攻
小野寺秀俊

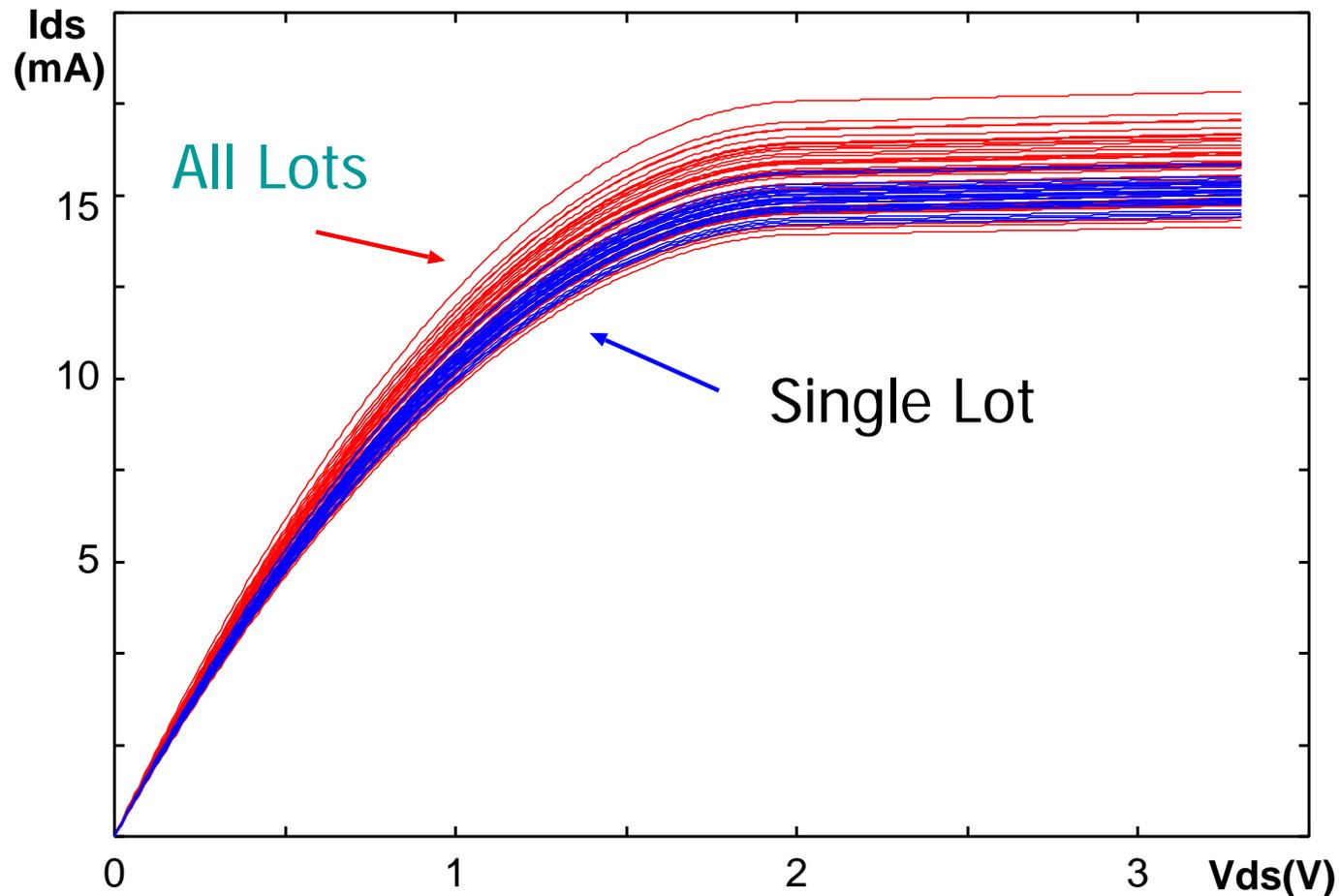
ばらつき克服する設計技術

- ばらつきを観察する
 - 0.35 μm
 - 0.18 μm
 - 0.13 μm
- ばらつきを再現する
- ばらつきが回路特性に及ぼす影響
- 設計・回路技術でばらつきを克服する
 - 統計的特性解析技術
 - 規則性の導入
 - プログラマブルアレー構造

ばらつきを観察する

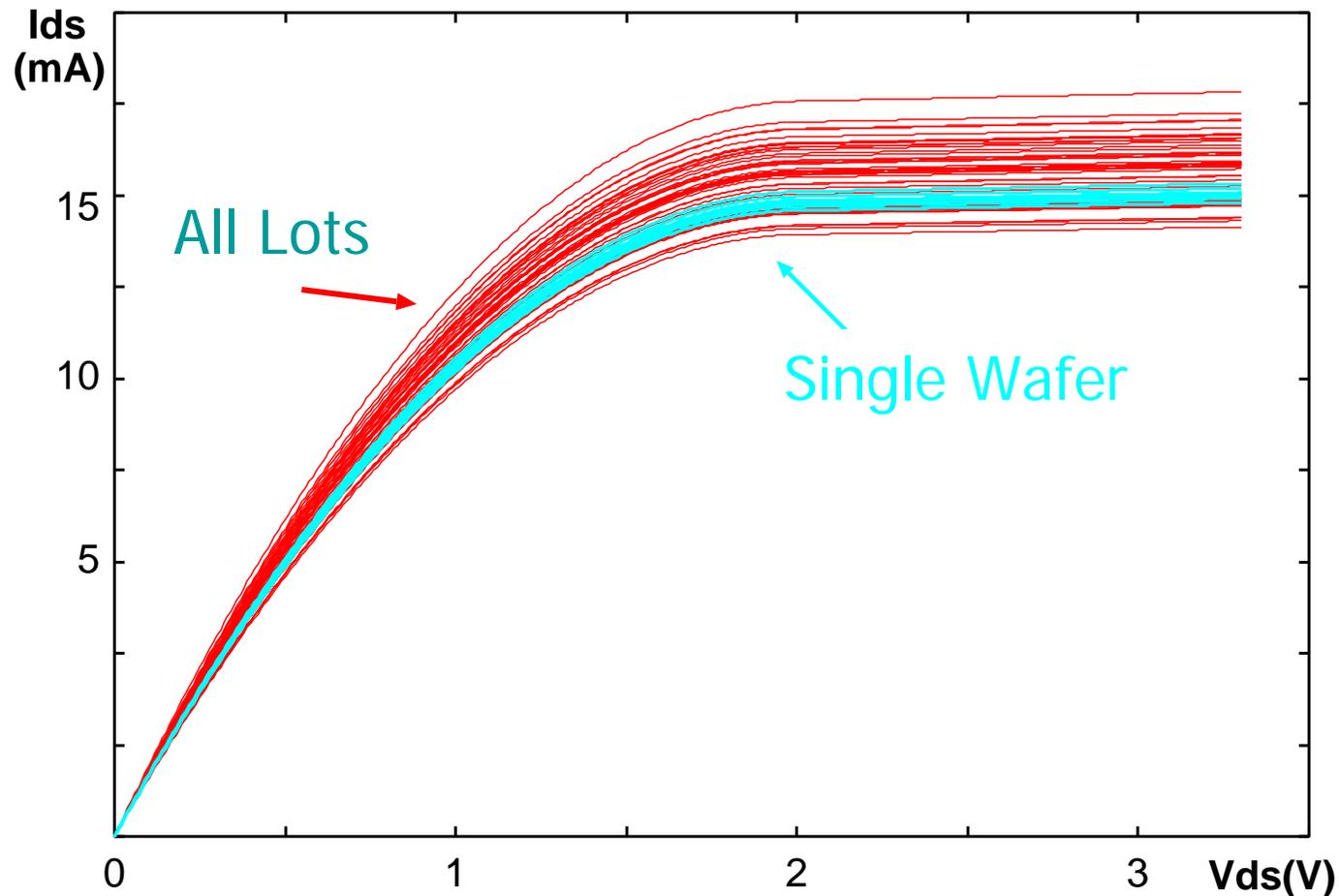
- 0.35 μm
 - Lot-to-Lot, Wafer-to-Wafer, Die-to-Die(D2D)
 - 多くは D2D
- 0.18 μm
 - システムティックなチップ内ばらつきが存在 (WID: Within Die)
 - D2D vs. WID
- 0.13 μm
 - D2D vs. WID

0.35 μm : Good Old Days



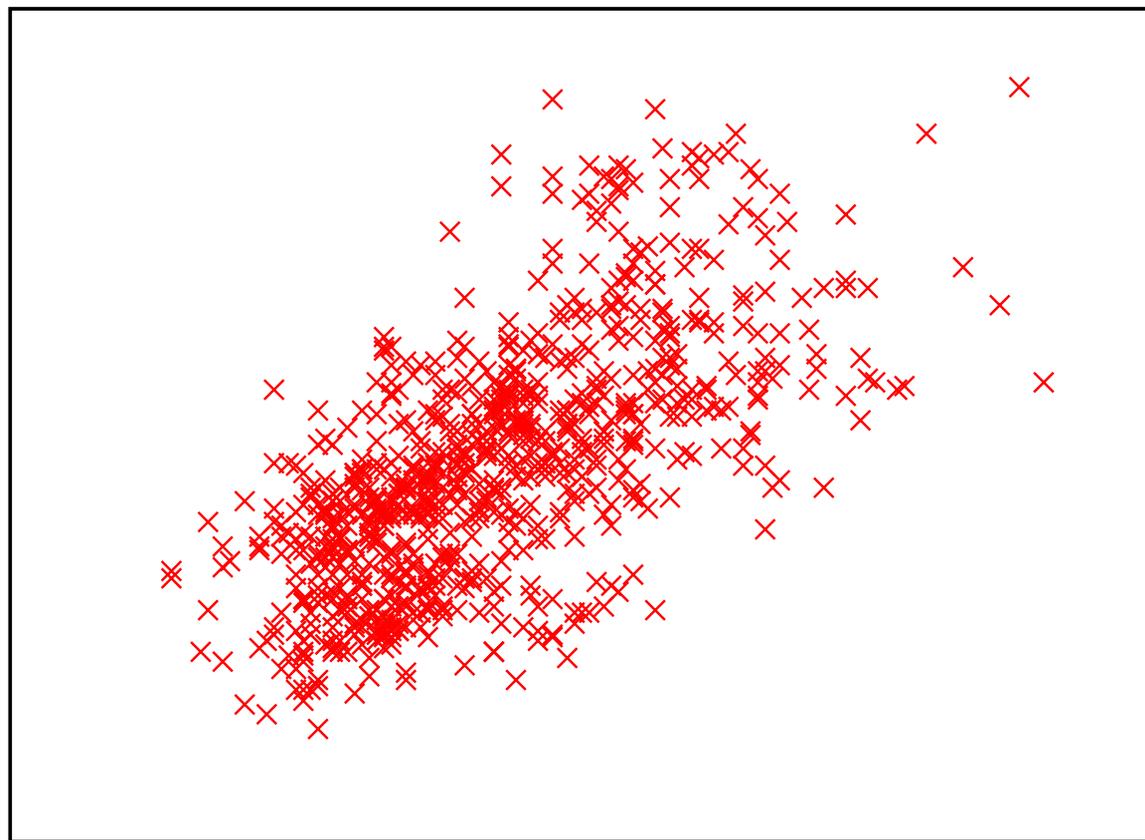
58 Lots,
797 Wafers

0.35 μm , 大部分がD2D



58 Lots,
797 Wafers

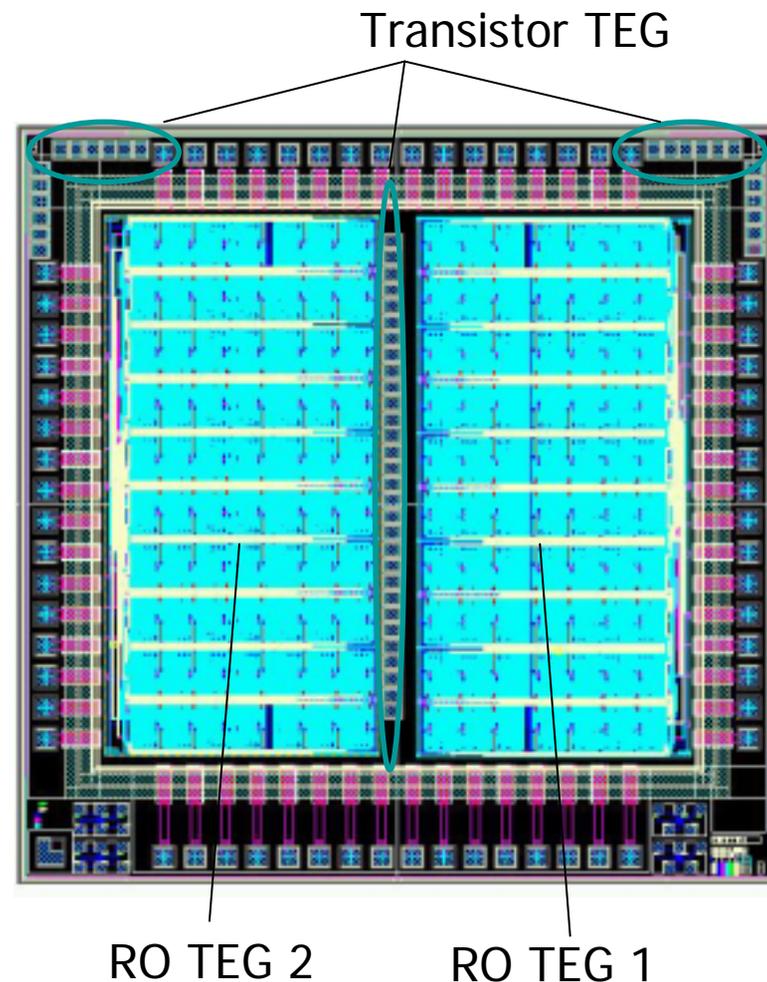
0.35 μm I_{d_sat} (pMOS vs nMOS)



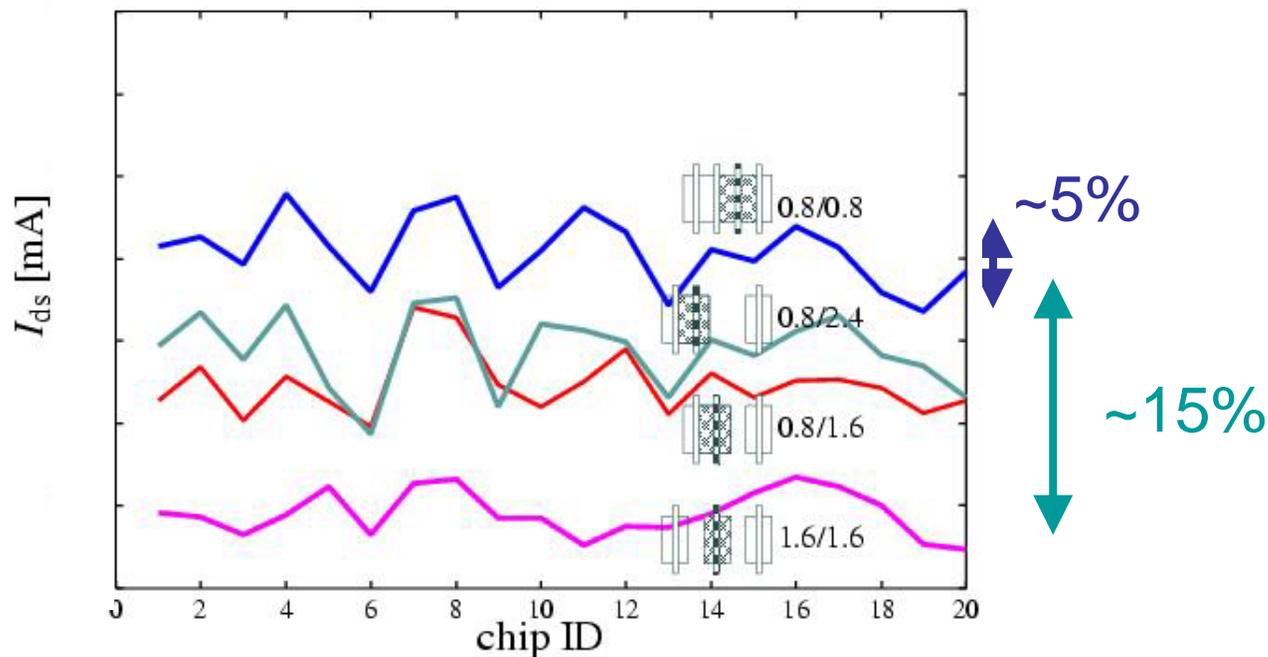
- 相関を含むモデル化が重要(どのように予想できるか?)

0.18 μm

- ばらつき評価 TEG
0.18 μm , 2.9 mm 角, 20 チップ
- トランジスタTEG
 - I_{ds} ばらつきの測定
 - 16 Transistors/chip
- Ring OSC TEGs
 - 発振周期のばらつき測定
 - 20 種類のRO 合計2,800個

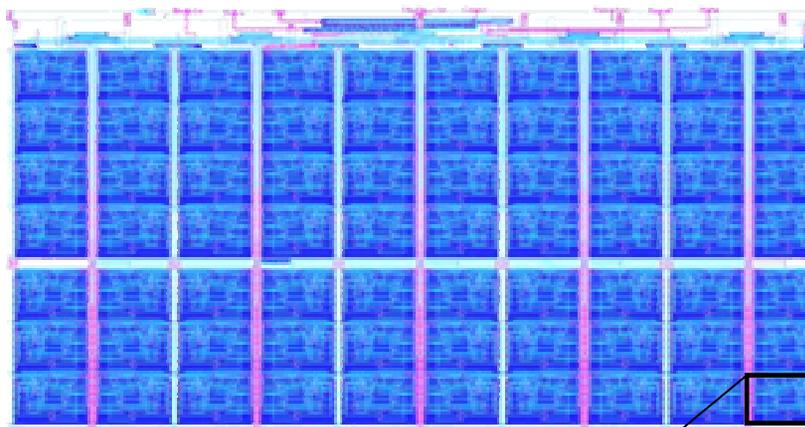


0.18 μm , システムティックなWID ばらつき

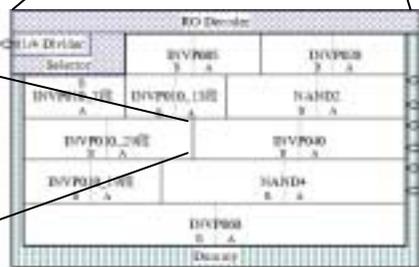
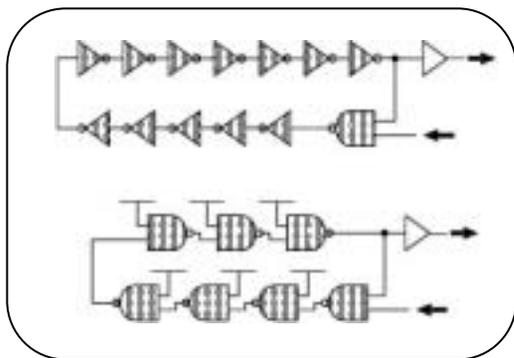


- 各レイアウトスタイル内で約 5% のばらつき
- 稠密なレイアウトと疎なレイアウトで、約 15% の差
- レイアウト依存の(システムティックな)ばらつきのモデル化が重要

0.18 μ m: Ring OSC TEG



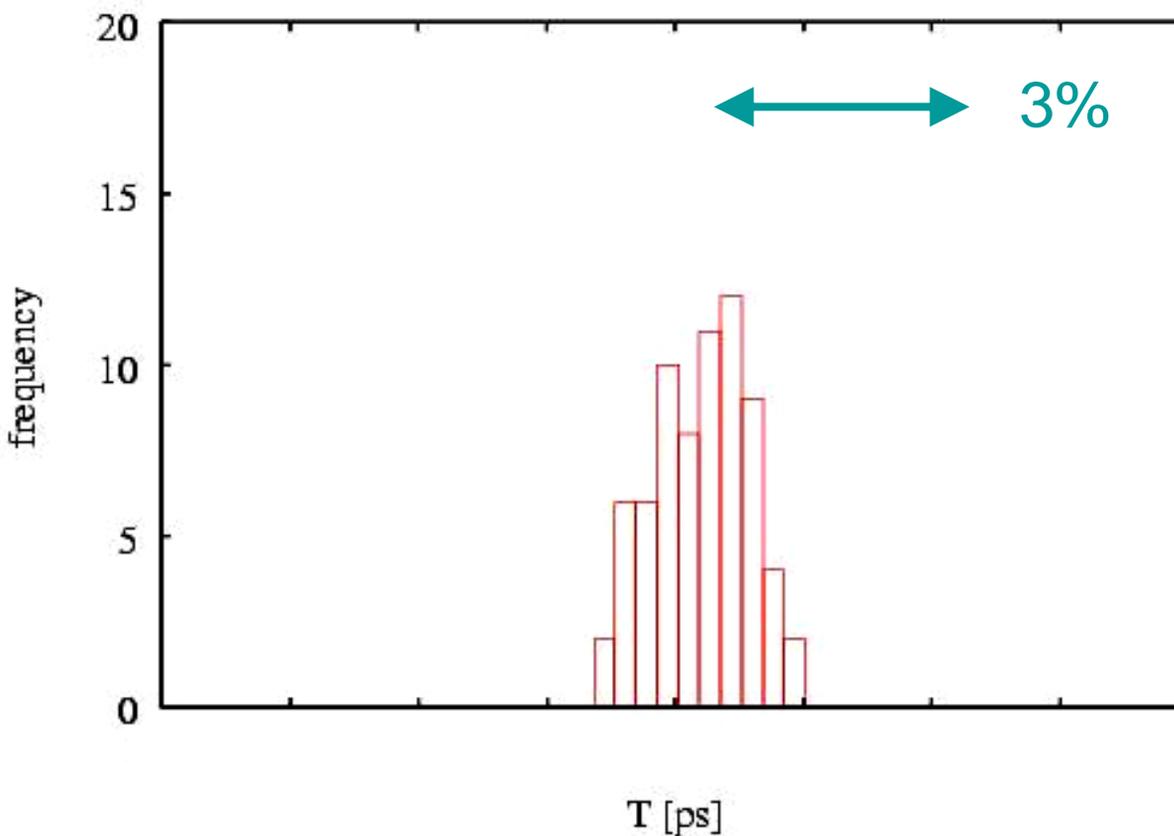
7 x 10 Sections



10 types of ROs

- 発振周期のばらつき
の測定
- Inv のRO
 - 段数: 7, 13, 19, 29
 - 駆動力: 5, 10, 20, 40, 60,
- NAND2, NAND4
のRO

発振周期のヒストグラム: チップ内(WID)

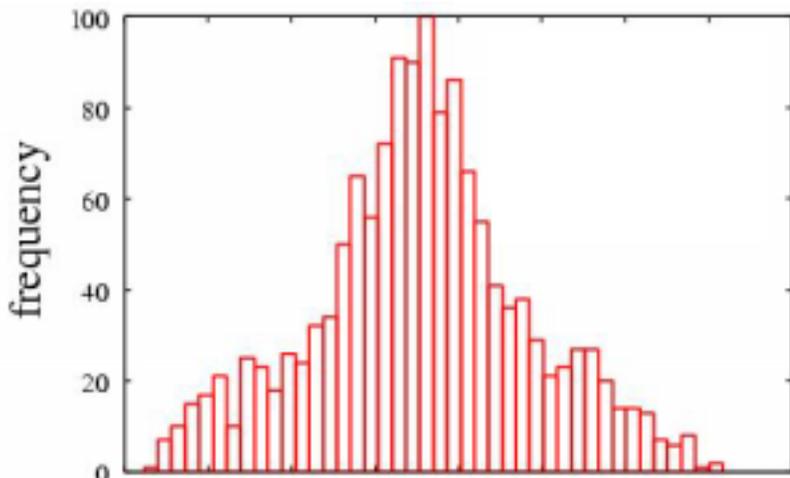


段数: 19
駆動力: 010
合計70 回路

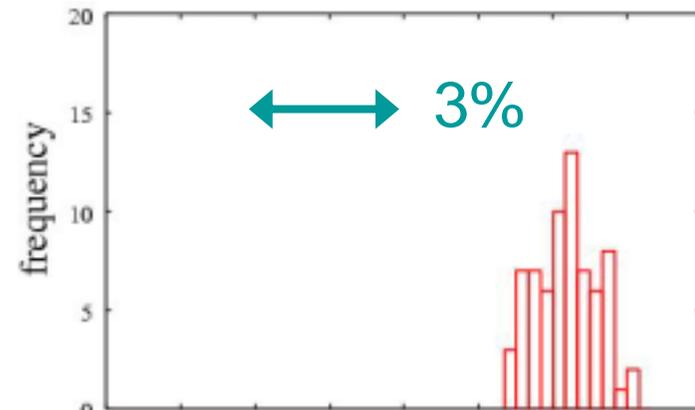
- チップ毎に平均値は異なるが、ばらつきの幅はほぼ同じ

発振周期のヒストグラム

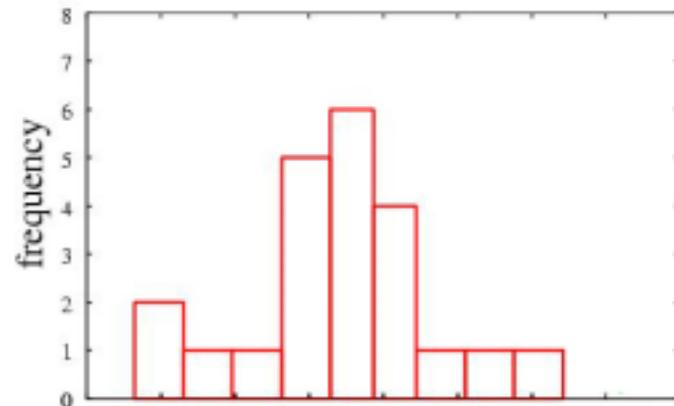
駆動力:010, 19 段



全チップでのばらつき



チップ内ばらつき(WID)



チップ間ばらつき(D2D)

- チップ間ばらつき(D2D)は、チップ内ばらつき(WID)の約3倍

発振周期のチップ面内分布

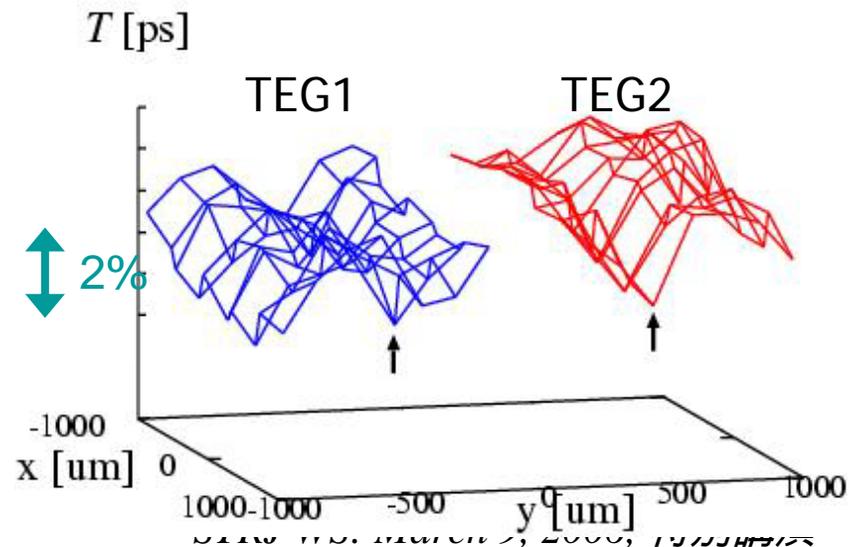
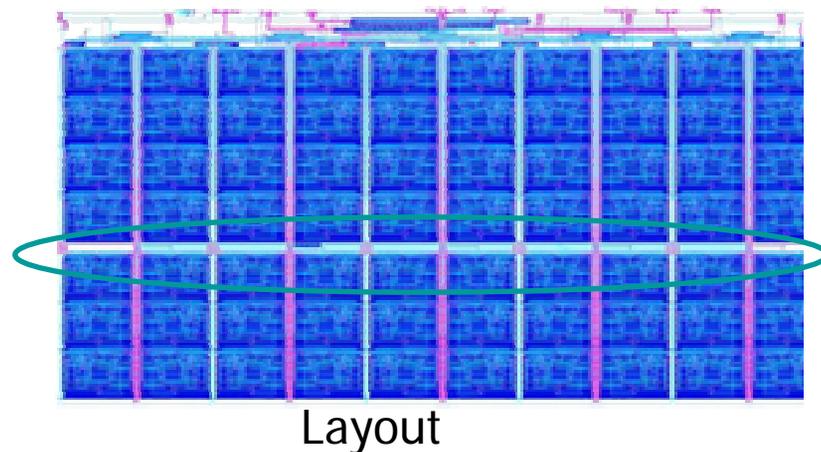
- 電源線近傍で発振周期の低下を観測
ポリ密度: 小さい

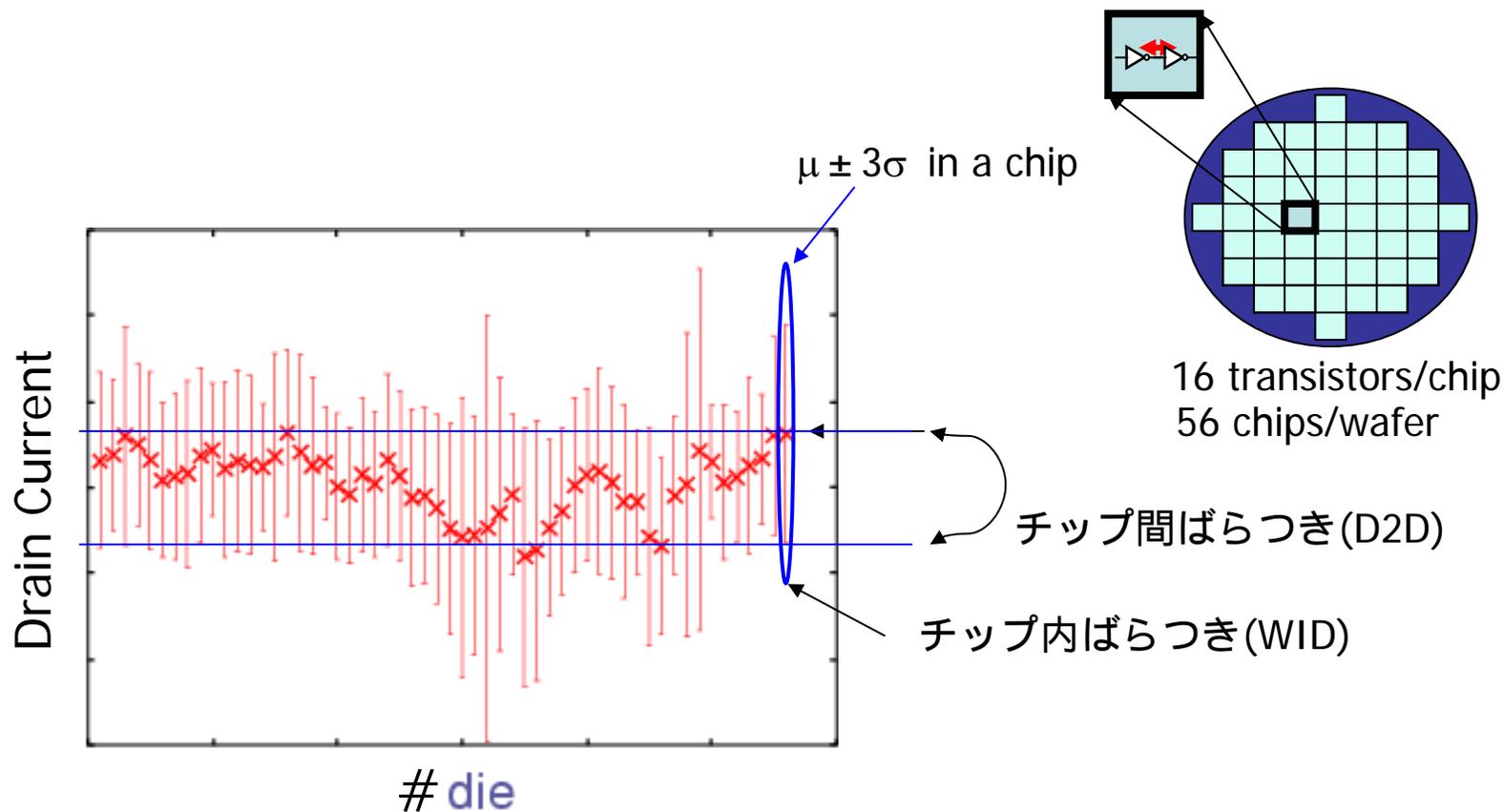


I_{ds} : 大きい
発振周期: 短い

- 発振周期に約 1% の差
TEG 1 < TEG 2
- ポリ密度に1%の差
TEG 1 < TEG 2

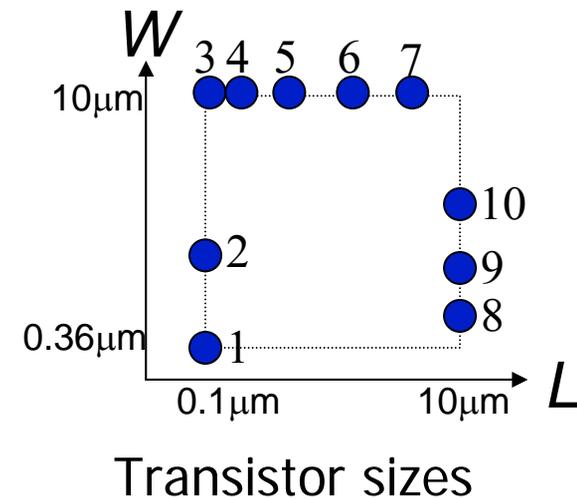
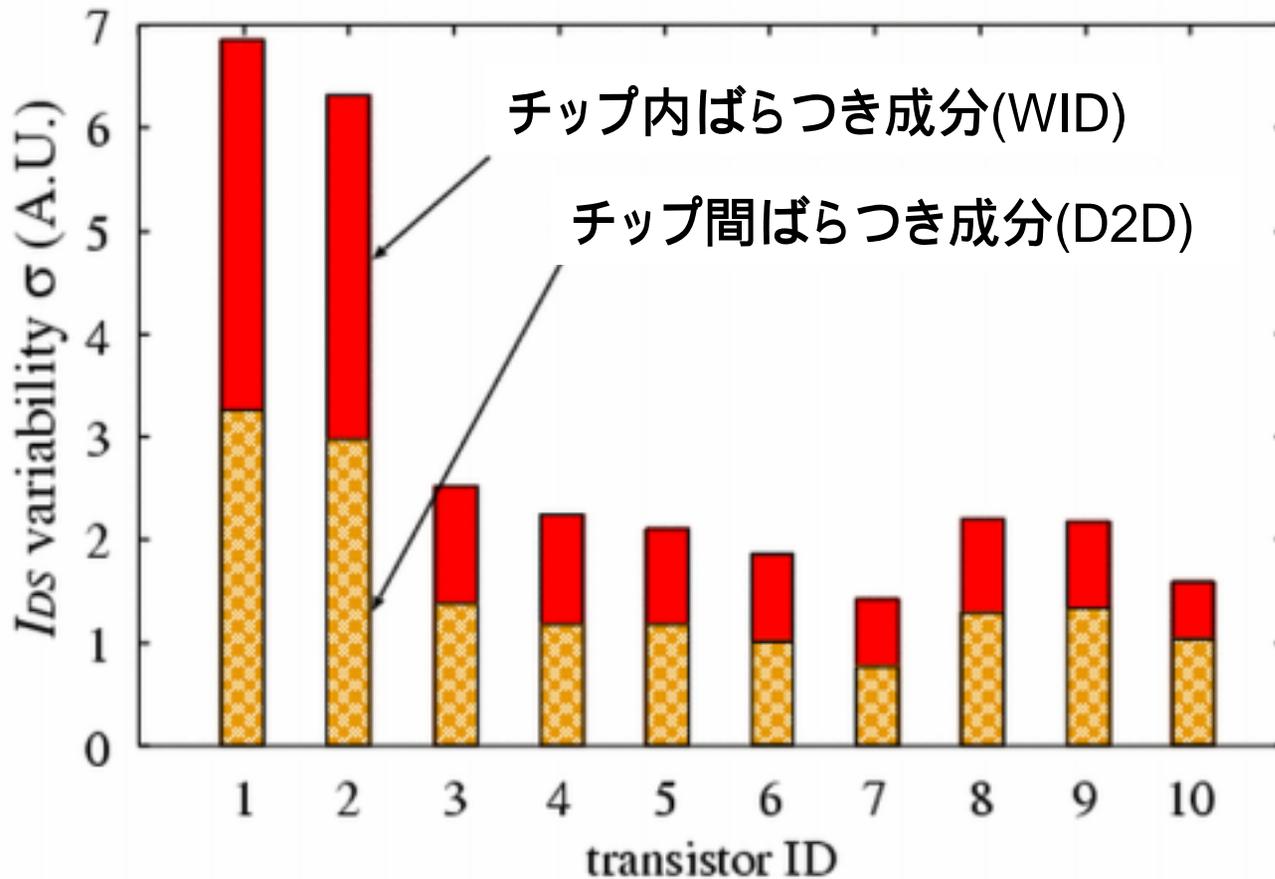
- レイアウト依存ばらつき



0.13 μm 

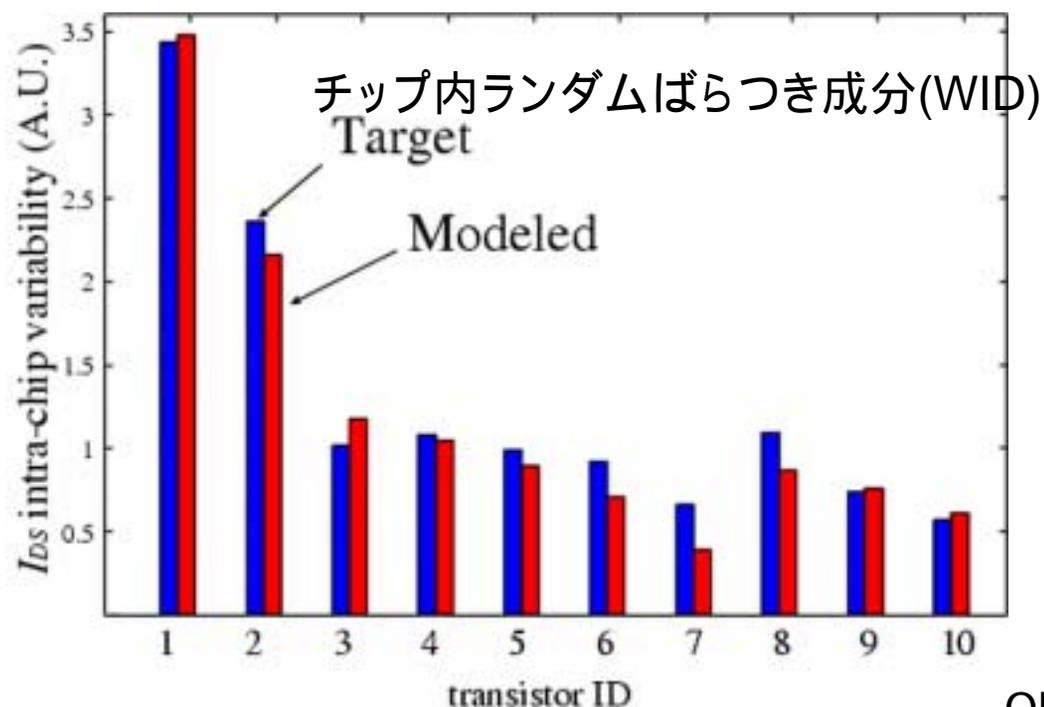
チップ内ばらつき (WID) がチップ間ばらつき (D2D) より大きくなる

0.13 μm : I_{ds} ばらつき

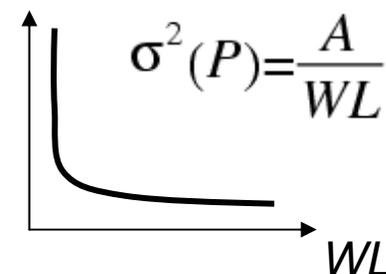


チップ内ばらつき成分のモデル化

I_{ds} ばらつきの寸法依存性



$V_{DS}=0.1(V)$, $V_{GS}=1.0(V)$



[Pelgrom, et al., J-SSC 1989]

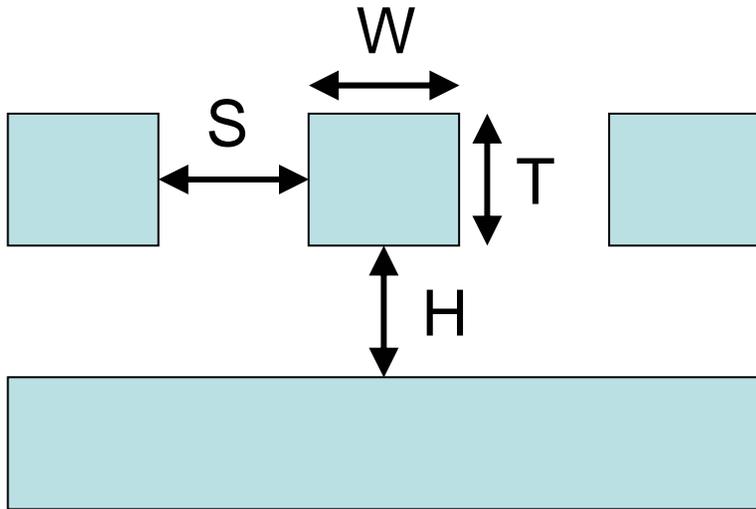
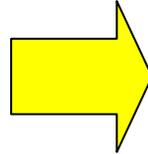
Okada et.al., JJAP, p.131, 2005

ばらつき克服する設計技術

- ばらつきを観察する
- ばらつきを再現する
 - 配線のばらつき
 - トランジスタのばらつき
- ばらつきが回路特性に及ぼす影響
- 設計・回路技術でばらつきを克服する

配線のばらつき

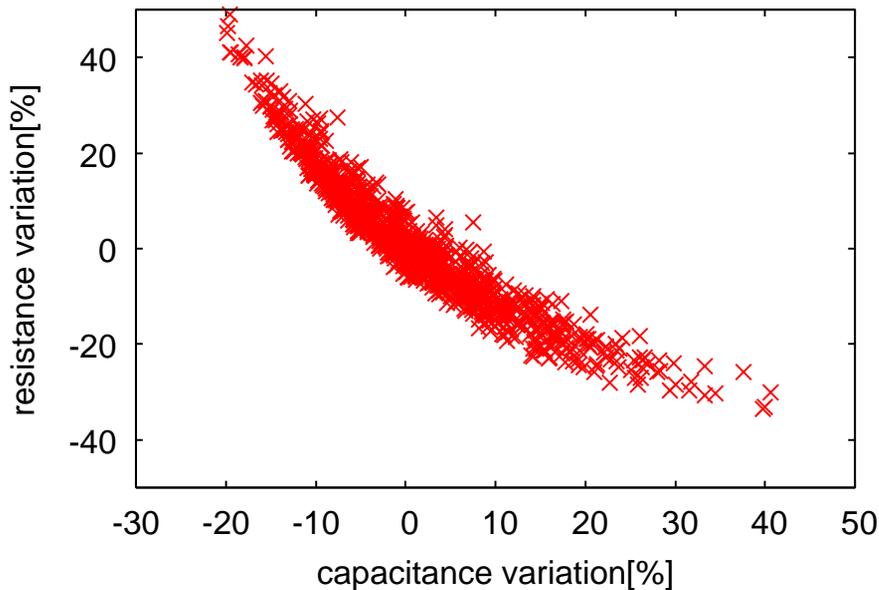
配線構造のばらつき



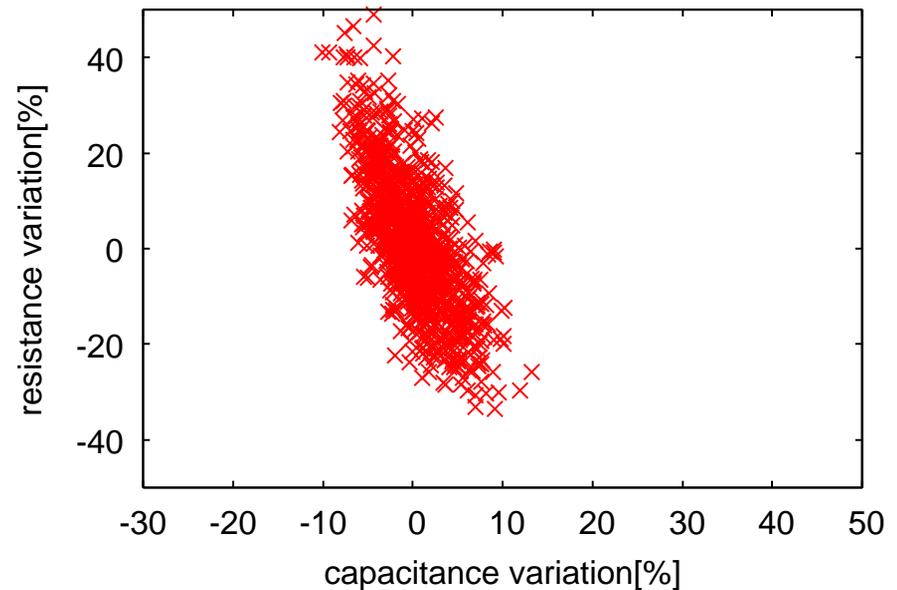
- C, R のばらつき
 - CとRは統計的に独立でないモンテカルロ解析
- 遅延時間のばらつき
 - ドライバも含めたワー
ストケース解析(後述)

配線容量と配線抵抗のばらつき

- ITRS2005 Intermediate配線 W,T,H : $3\sigma=30\%$

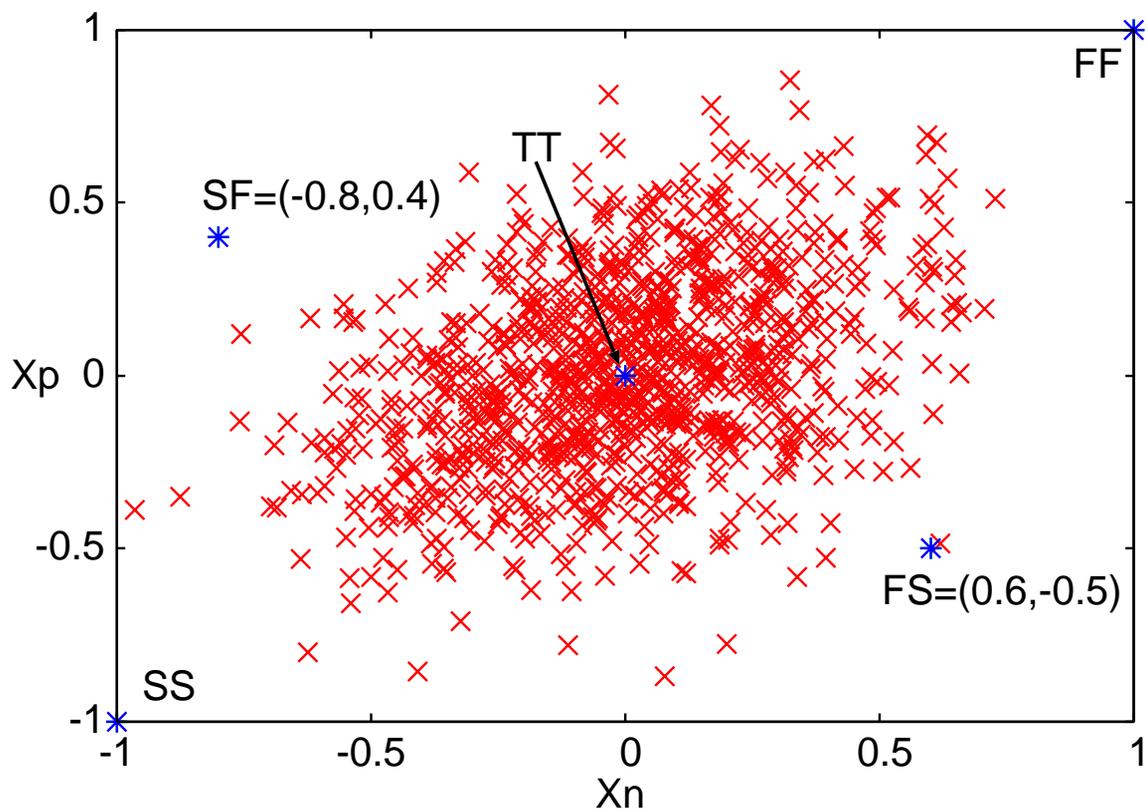


- $S=W$
(トラック使用率100%)



- $S=7W$
(トラック使用率25%)

トランジスタのばらつきを再現する



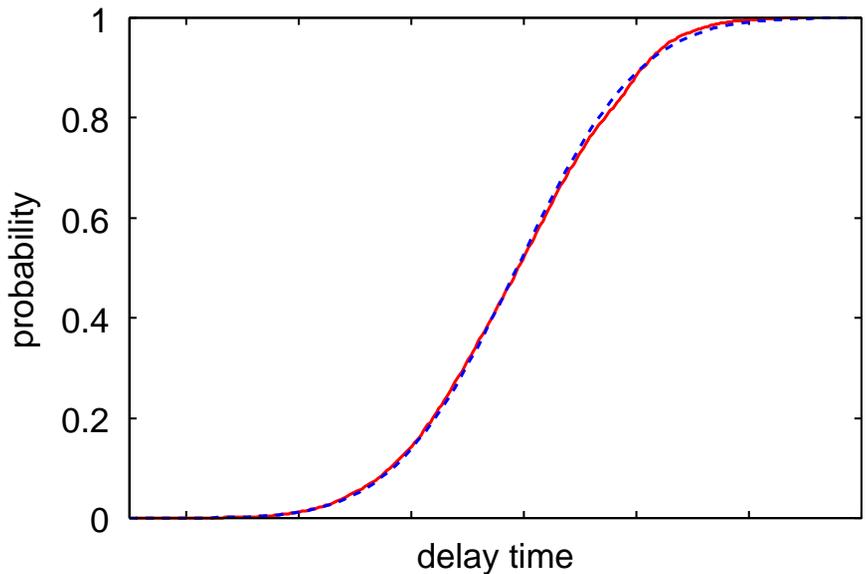
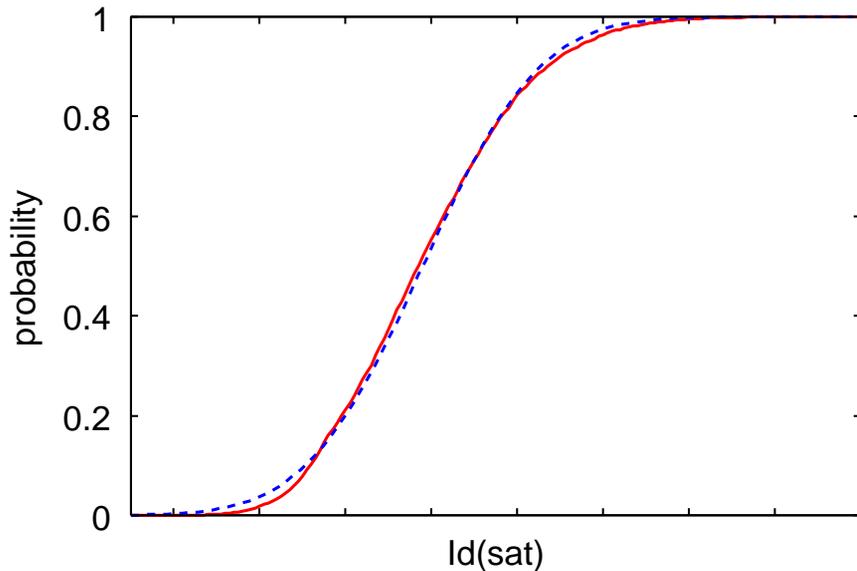
- FF, SS, TT, SF, FS の I_{dsat} から nMOSとpMOSのばらつきと相関を再現する

ばらつき克服する設計技術

- ばらつきを観察する
- ばらつきを再現する
- ばらつきが回路特性に及ぼす影響
 - 論理ゲートの遅延分布
 - 論理ゲート+配線の遅延分布
 - 回路全体の遅延分布
- 設計・回路技術でばらつきを克服する

論理ゲートの遅延分布

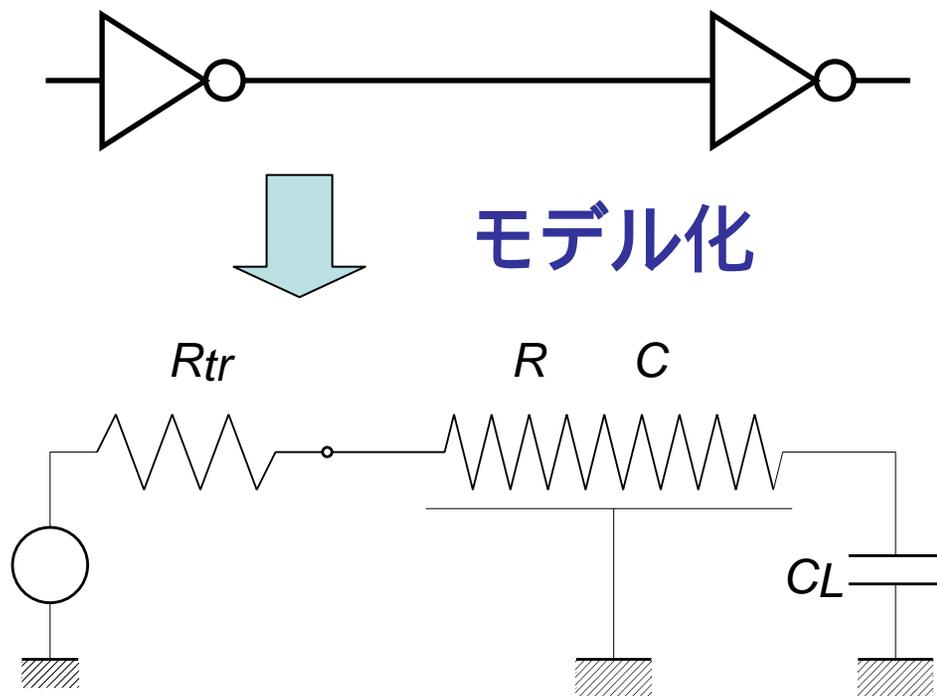
- Monte Carlo解析で求めた累積分布関数(CDF)とガウス分布(青の破線)の比較



- nMOS I_{dsat} のCDF

- Inv (FO4)遅延時間のCDF

(論理ゲート+配線)の遅延分布



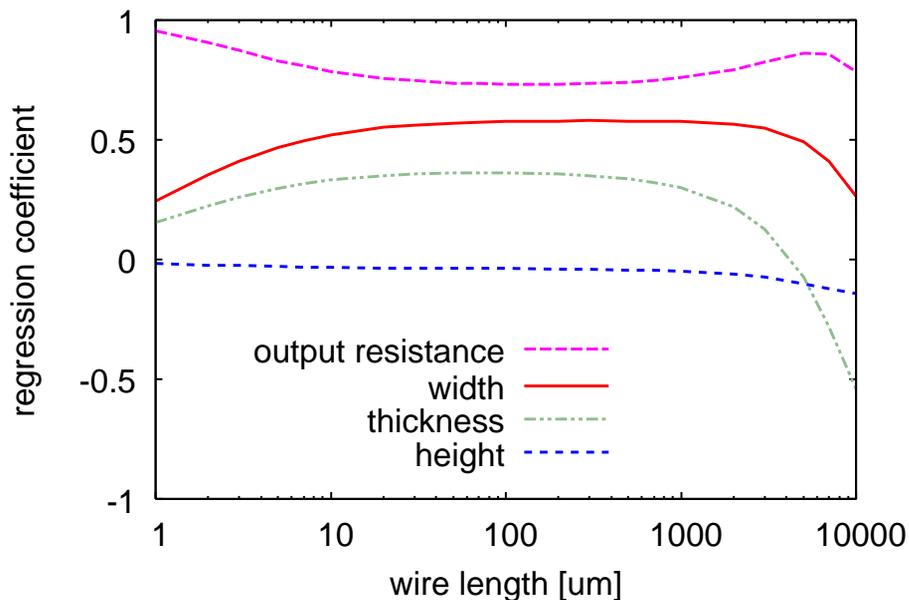
- 配線のW,T,Hとドライバ(R_{tr})が独立にばらつく

- 遅延時間のワーストケース解析

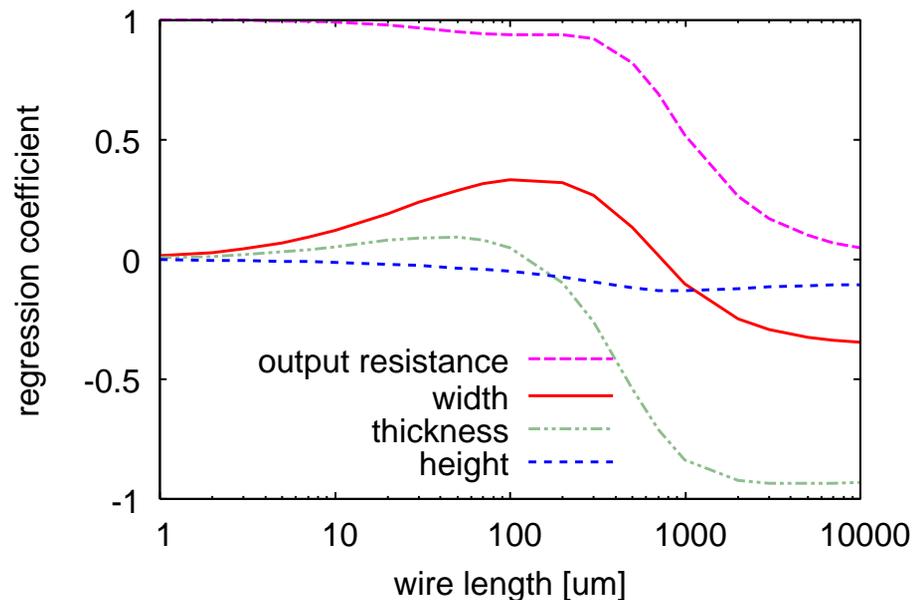
$$D = 0.4RC + 0.7(R_{tr}C + R_{tr}C_L + RC_L)$$

遅延時間のワーストコーナー

- Intermediate配線 $S=W$ ($l_{opt} = 94\mu\text{m}$, $X_{opt}=32$)



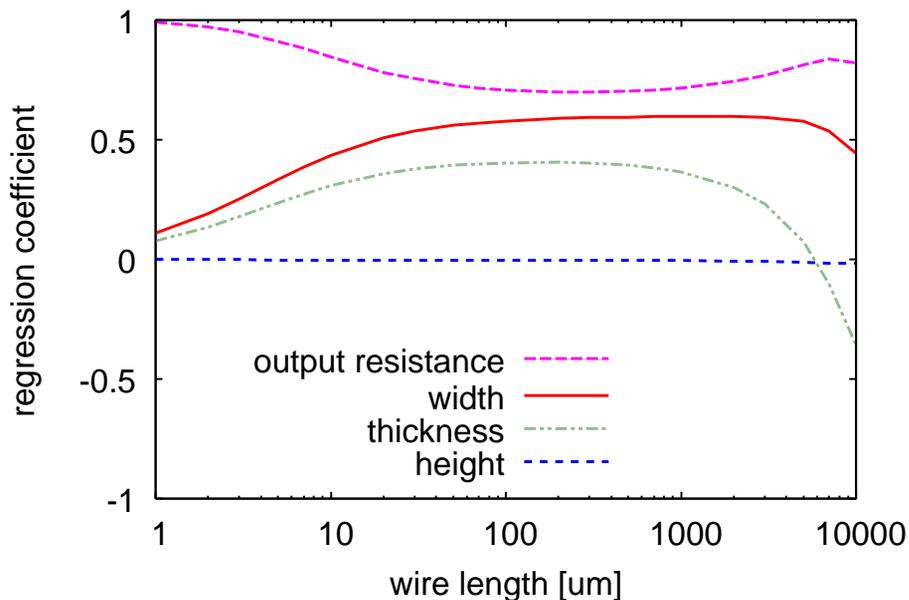
ドライバ駆動力 X1



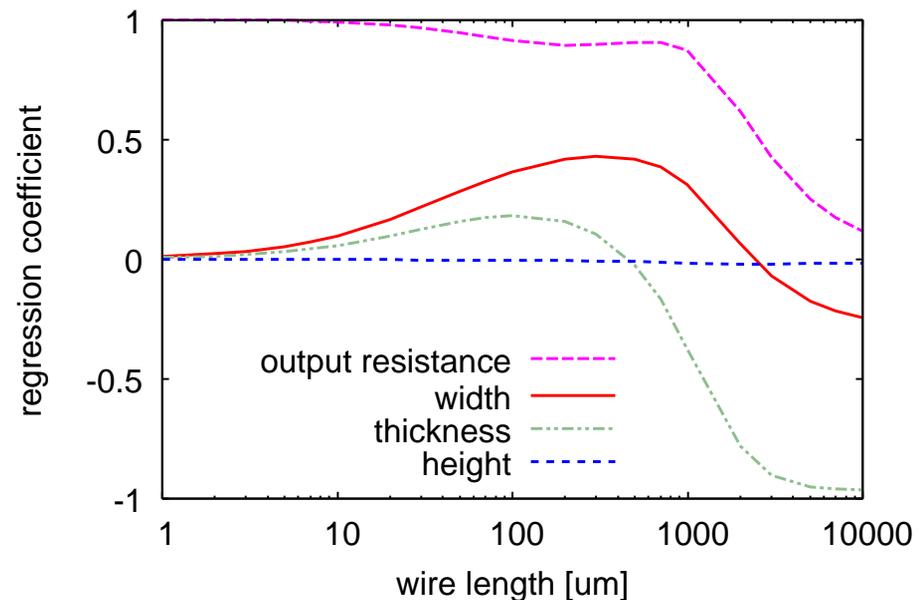
ドライバ駆動力 X16

遅延時間のワーストコーナー

- Global 配線 $S=W$ ($l_{opt} = 160 \mu\text{m}$, $X_{opt} = 67$)



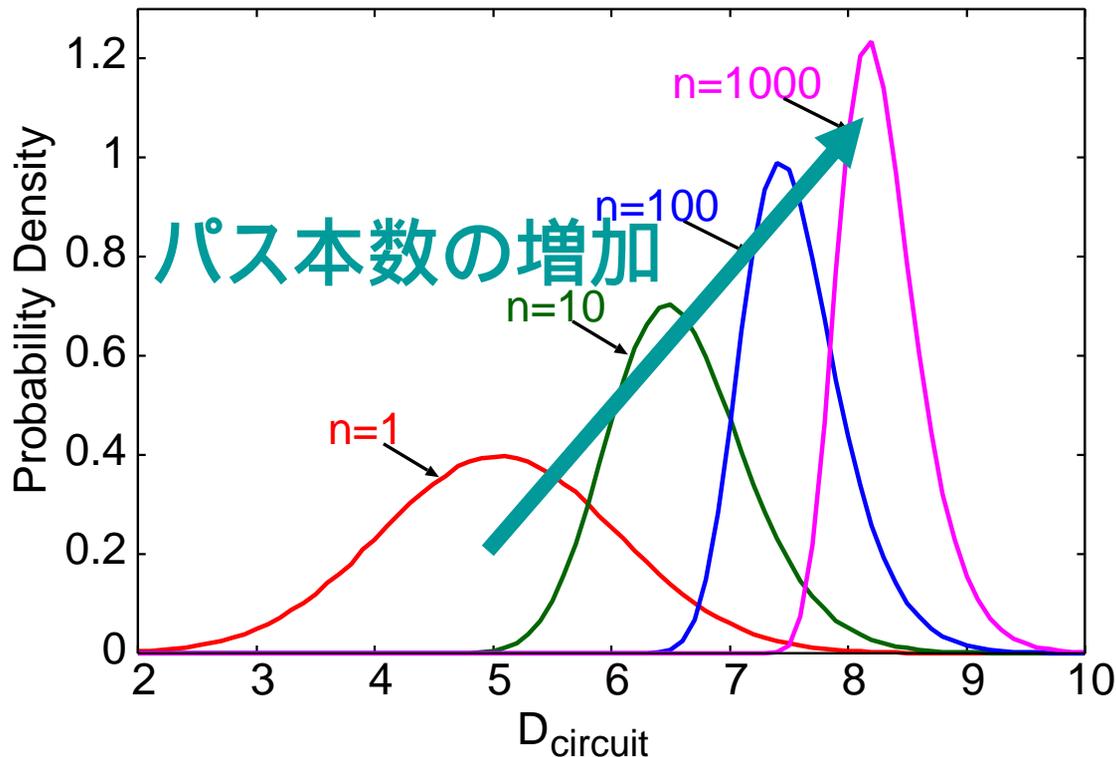
ドライバ駆動力 X4



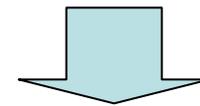
ドライバ駆動力 X32

回路全体の遅延分布 パス本数の影響

$$D_{circuit} = \max_i D_i \quad (i=1, 2, \dots, n) \quad D_i : N(5, 1)$$



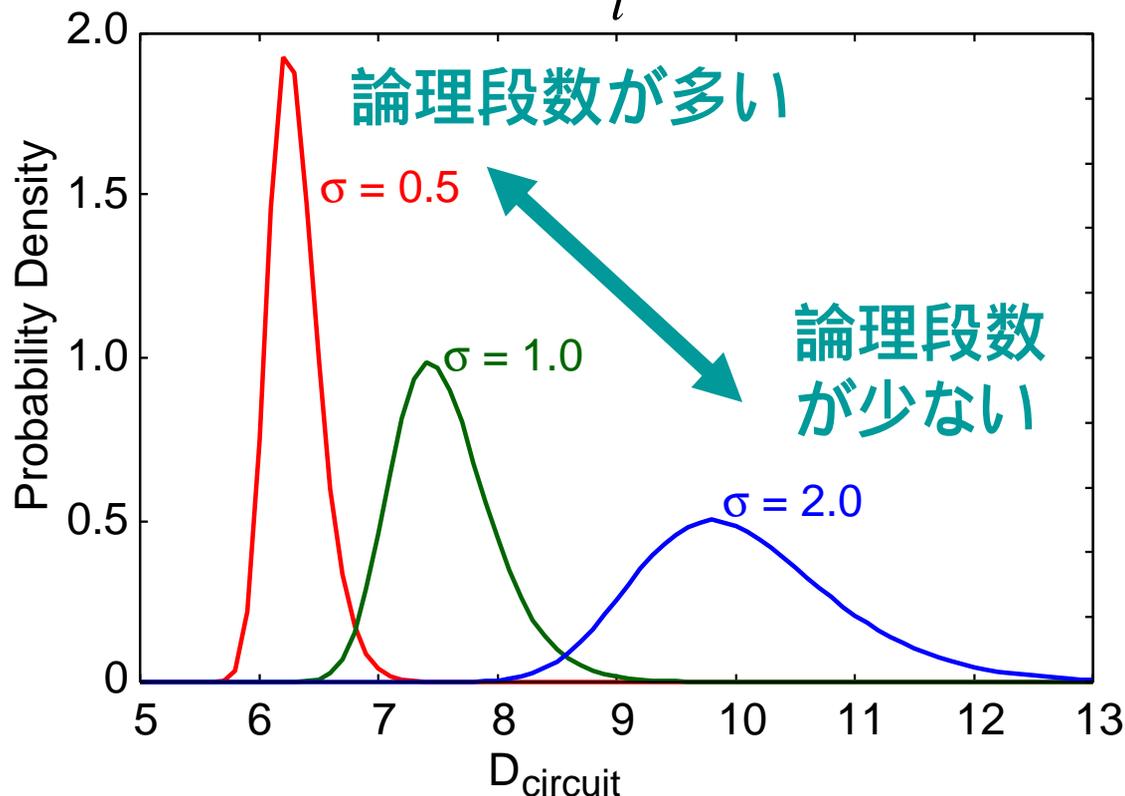
パスの本数
の増加



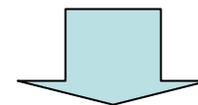
回路遅延の増加

回路全体の遅延分布 論理段数の影響

$$D_{circuit} = \max_i D_i \quad (i=1,2,\dots,100) \quad D_i : N(5, \sigma)$$



論理段数が
少ない

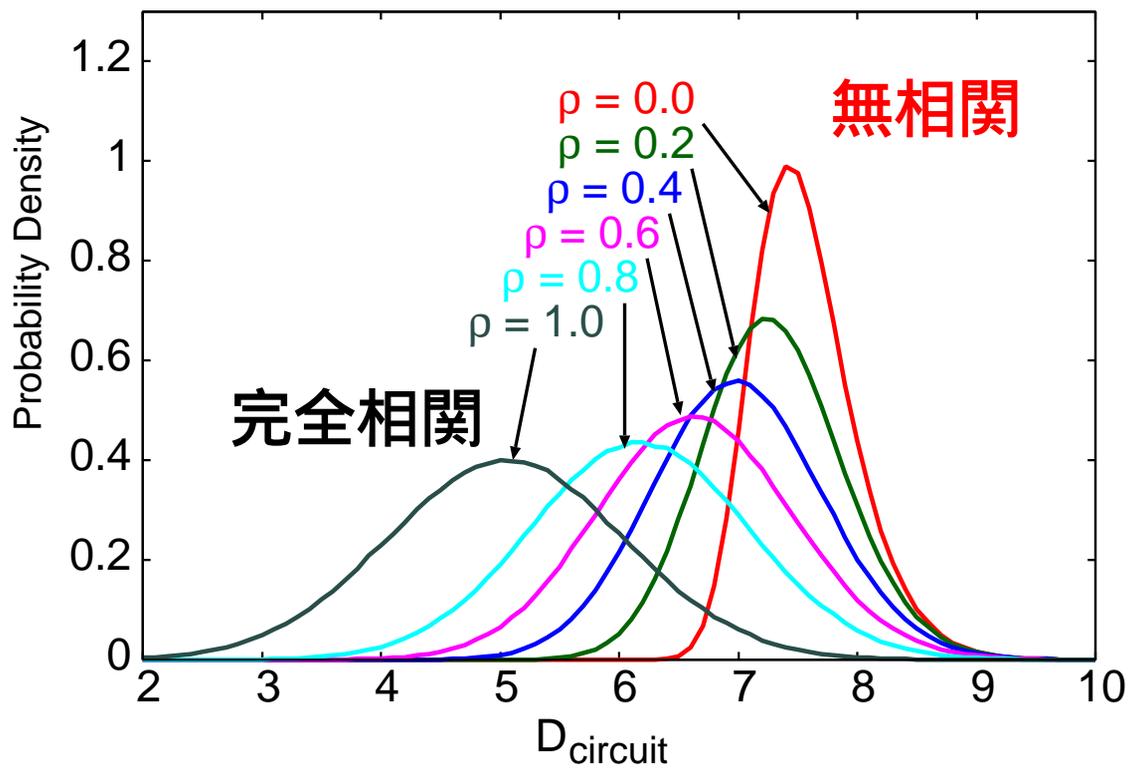


遅延ばらつき
大きい

回路全体の遅延分布 パス相関の影響

$$D_{circuit} = \max_i D_i \quad (i=1,2,\dots,100) \quad D_i : N(5, \sigma)$$

相関: ρ



- パス遅延には相関が存在
 - 共通のゲートや配線を通過
 - P, V, Tの空間的相関

チップ内ランダムばらつきの影響

- Good News
 - 論理段数多くなると遅延ばらつきの相対値は減少する
- Bad News
 - クリティカルパス数の増加とともに遅延増加量が増大する
 - 回路の並列度高いと影響大きい(例えばメモリ)
 - 性能最適化(高速・低消費電力化)回路で影響大きい

ばらつき克服する設計技術

- ばらつきを観察する
 - 0.35 μm
 - 0.18 μm
 - 0.13 μm
- ばらつきを再現する
- ばらつきが回路特性に及ぼす影響
- 設計・回路技術でばらつきを克服する
 - 統計的特性解析技術
 - 規則性の導入
 - プログラマブルアレー構造

設計・回路技術でばらつきを克服する

- システマティックばらつき (D2D, WID)
 - モデル化して設計時に除去する
 - 製造後に補償するなど対策はいろいろ
(「倍半分」を乗り切ってきた)
- チップ内のランダムなばらつき (WID)
 - 設計のパラダイムシフト
 - 設計技術でばらつきを克服する
 - メモリーに多大な影響
 - 回路技術でばらつきを克服する
 - 接地/電源電圧の制御によるマージン改善(Yamaoka et.al., ISSCC04/05)など

設計技術でばらつきを克服

- システムティックばらつきはモデル化して除去
- D2D, WID ACVは製造後に補償
 - 基板バイアスなど
- チップ内ランダムばらつきは統計的設計手法で対処
- 複雑度を下げ、ばらつきを最大限制御
 - 規則的構造の導入(性能に与える影響は?)
- プログラマブルアレー構造でばらつきを補償
 - 特性自己診断機能付きLUT/演算器/PEのアレー

ばらつきに対するこれまでの扱い

統計的
プロセスデータ

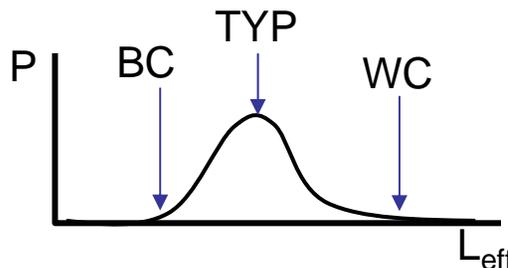
コーナー
ファイル

ゲート
キャラクタライズ

ゲート遅延/SI
モデル

チップレベル
解析

- プロセスのコーナーパラメータを設定する
- すべての遅延時間は決定論的に決まる



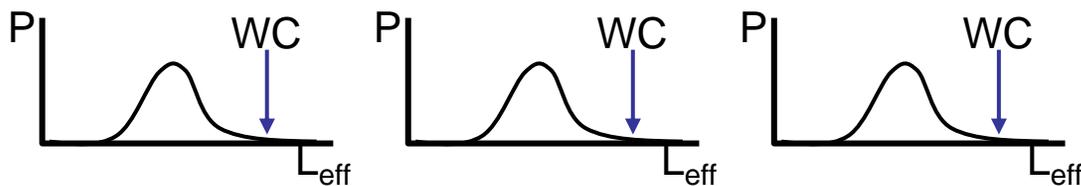
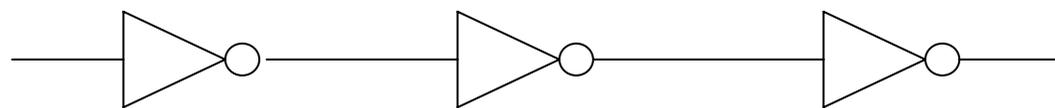
プロセス

設計

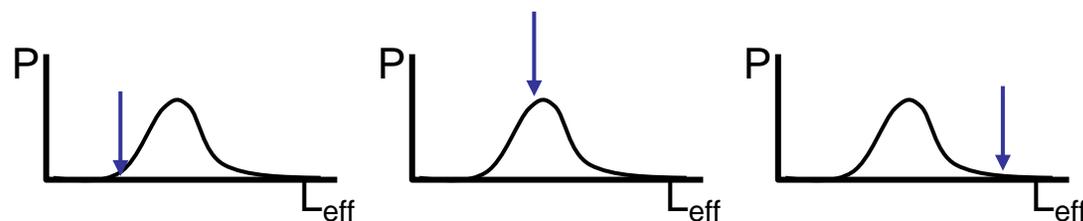
- シリコンのばらつきを設計者
に対して隠蔽する

コーナー解析の問題点

統計的STA



← コーナー条件



← 製造後

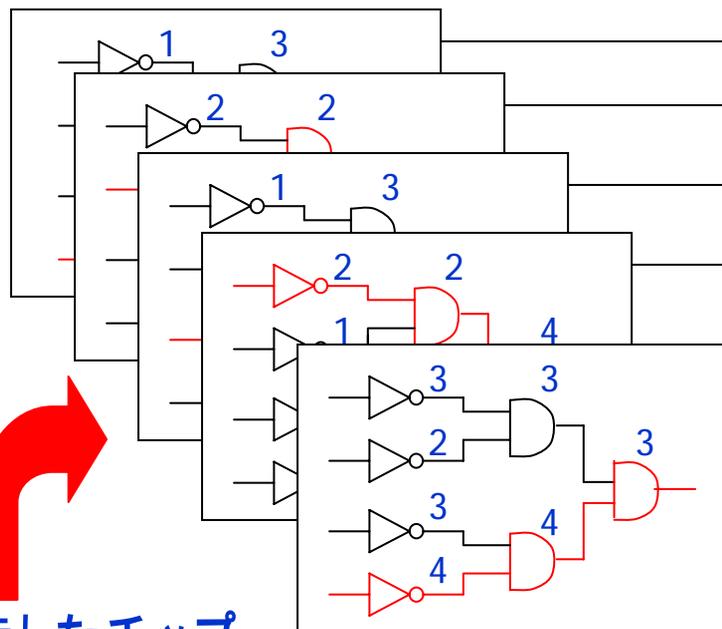
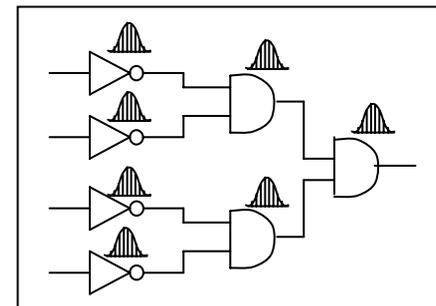
- 全てのゲートが最悪値を取る可能性小さい
- 悲観的な解析 過剰余裕 誤ったクリティカルパス
- コーナー数の増加

統計的タイミング解析 (統計的STA)

- サンプル空間

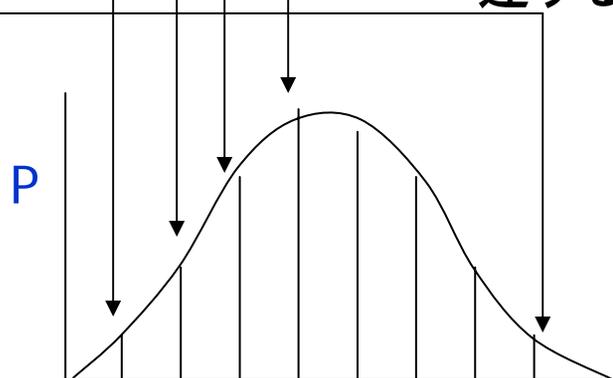
- 設計時にはゲート遅延に不確かさあり
- 製造したチップではゲート遅延は決まっている

設計時のイメージ



製造したチップ

- パス遅延を一本ずつ調べる方法
- 信号最終到着時刻のPDF(CDF)を伝達する方法



回路遅延

性能 vs. 規則性



- 性能を最適化したDFF

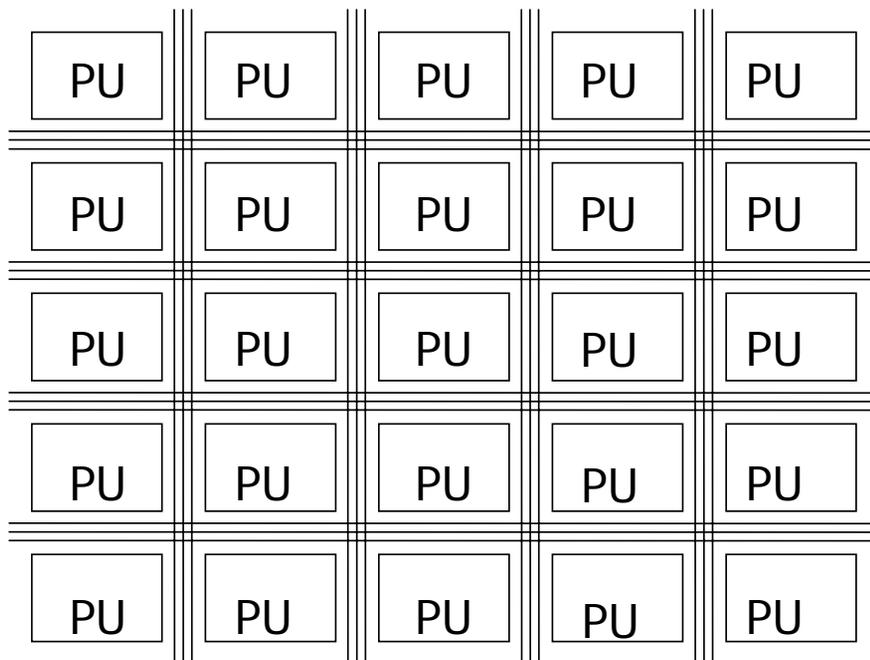
性能 vs. 規則性

- トランジスタ寸法の規格化

	D-Q delay (rise)[ps]	D-Q delay (fall)[ps]	Power (正規化)	Size (正規化)
standard(010)	320	320	1.00	1.00
W=0.45	790	560	0.32	0.79
W=3	350	370	2.76	1.22
W=3&W=0.45	350	440	1.31	1.22
	400	290	1.82	1.22
	400	380	0.40	1.22

- レイアウトへの規則性導入
 - 面積増加 vs. 製造容易性向上

プログラマブルアレー



- マクロレベルでの規則性
- 各PUは特性(遅延、消費電力)の自己診断機能を持つ
- 特性に応じた機能の割付
- 論理レベル冗長性
- LUTでの例
 - Katsuki, et.al. CICC05

- Processing Unit (PU): LUT, 演算器, PE, etc.

ばらつき克服する設計技術

- ばらつきを観察(0.35, 0.18, 0.13 μm)
- ばらつきを再現(配線、トランジスタ)
- ばらつきが回路特性に及ぼす影響
 - ゲート、ゲート+配線、回路全体の遅延ばらつき
- 設計技術でばらつきを克服する
 - システムティックばらつきはモデル化して除去
 - 統計的特性解析技術
 - 規則性の導入
 - 複雑度を下げてばらつきを最大限制御
 - プログラマブルアレー構造
 - 特性自己診断機能付きLUT/演算器/PEのアレー

謝辞

- 本発表で使用した実験データやシミュレーションデータの一部は、本学学生の子岡健人君、河野武志君、牟田博和君、福岡孝之君らによる。