

STRJ-WG4(配線)報告

微細化の深耕と *Beyond Cu/Low-kの展望*

(株) ルネサステクノロジ
宮崎 博史

用語集

3D: Three Dimensional Integration

ALD: Atomic Layer Deposition

CNT: Carbon Nanotube

EM: Electromigration

Intermediate配線: 中間層配線

Jmax: 最大許容電流

Low-k: 低誘電率材料

RF: Radio Frequency

SM: Stress Migration

WG4 (配線WG) 構成

リーダー : **中村 友二** (株) 富士通研究所
サブリーダー : **柴田 英毅** (株) 東芝セミコンダクタ社
国際委員 : **上野 和良** 芝浦工業大学
: **山崎 治** シャープ (株)

委員

青井 信雄 松下電器産業 (株)
影山 麻樹子 沖電気工業 (株)
金村 龍一 ソニー (株)
中尾 雄一 ローム (株)
廣井 政幸 NECエレクトロニクス (株)
宮崎 博史 (株) ルネサステクノロジ
山下 富生 三洋電機 (株)

コンソーシアム

今井 正芳 Selete

特別委員

辻村 学 (株) 荏原製作所
福永 明 (株) 荏原製作所
西村 栄一 東京エレクトロンAT (株)
門倉 好之 (株) アルバック
磯部 晶 (株) 東京精密

1. はじめに

WG4 (配線WG) の活動概要

2. 微細化技術の深耕

- 配線技術の現状
 - ・ RC遅延
 - ・ クロストーク
 - ・ 電子散乱効果
 - ・ Jmax
- ITRS2006改訂
 - ・ Low-k Bulk値の表記法
 - ・ 配線消費電力の指標掲載

3. Beyond Cu/Low-kの展望

- エマージング技術の調査
 - ・ Air Gap
 - ・ CNT
 - ・ Wireless
 - ・ 光配線

4. まとめ、今後の活動予定

WG4 (配線WG) の活動概要

●方針: 論理的根拠に基づいた、合理的かつ現実的な 配線技術ロードマップを目指す

2006年

4/ 6~7 ITRS-Spring Meeting

4/25 第1回STRJ-WG4委員会

5/23 第2回STRJ-WG4委員会

[エマージング技術特別講演]

6/4 IITC会議

6/30 第3回STRJ-WG4委員会

Air Gap 野口純司氏 (日立)

7/10~12 ITRS-Summer Meeting

8/25 第4回STRJ-WG4委員会

CNT 栗野祐二氏 (富士通)

10/ 6 第5回STRJ-WG4委員会

Wireless 吉川公鷹教授 (広島大)

※ Cu/Low-k技術 総論 (柴田副主査)

11/10 第6回STRJ-WG4委員会

光配線 西研一氏 (NEC)

12/4~ 5 ITRS-Winter Meeting

2007年

1/19 第7回STRJ-WG4

2/8 ITWG ※ Cu/Low-k技術

微細化技術の深耕：WG4の取り組み

配線構造

Cu

Low-k

2001 グローバル配線
逆スケーリング

2002 電子散乱効果
電流密度 J_{max}

ボイド・ポア計測

2003 配線層数 電子散乱効果
電流密度 J_{max} k 値
(大幅改訂)

2004 電子散乱効果
電流密度 J_{max} k 値
(色分け修正) 機械強度

2005 配線ピッチ 電子散乱効果
電流密度 J_{max} k 値
(実効値の構造依存) 機械強度

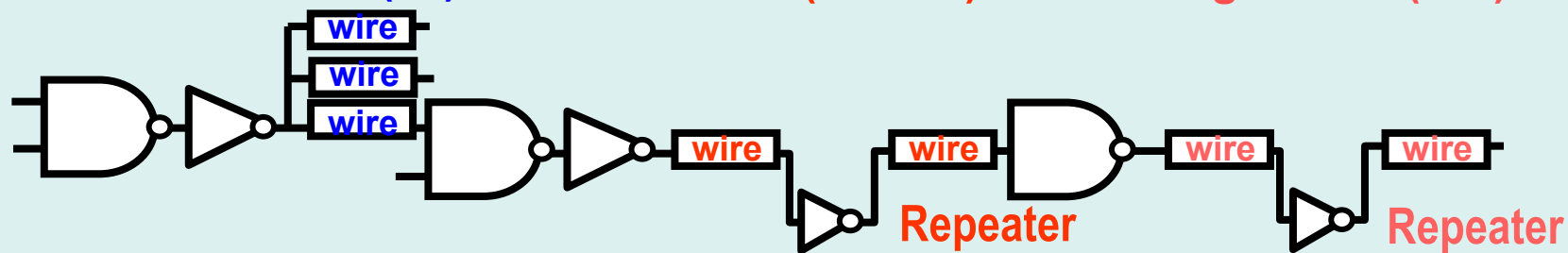
2006 k値
(表示法) 消費電力

信号遅延の問題を「配線構造」「配線抵抗」「配線容量」「電流密度」の4つの観点からとらえ、継続的に議論してきた。

Intermediate (IM)

Global (→SGM)

Long Global (GM)



$$\tau_{\min.}(1/f_{\max.}) = \tau (\text{gate delay with IM}) \times (\text{Logic depth}) + \tau (\text{SGM, GM})$$

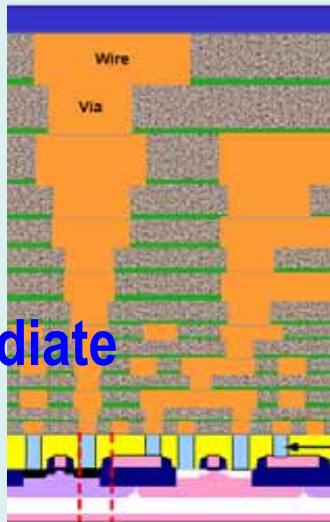
$$\tau (\text{gate delay with IM}) = k_1 R_T C_T + k_2 R_T C_W I_{\text{avg}} + k_3 R_W C_T I_{\text{avg}} + k_4 R_W C_W I_{\text{avg}}^2$$

$$\tau (\text{SGM, GM}) = k_5 \sqrt{R_{LW1} C_{LW1} R_T C_T I_{\text{long1}}^2} + k_6 \sqrt{R_{LW2} C_{LW2} R_T C_T I_{\text{long2}}^2}$$

Global

Intermediate

M1



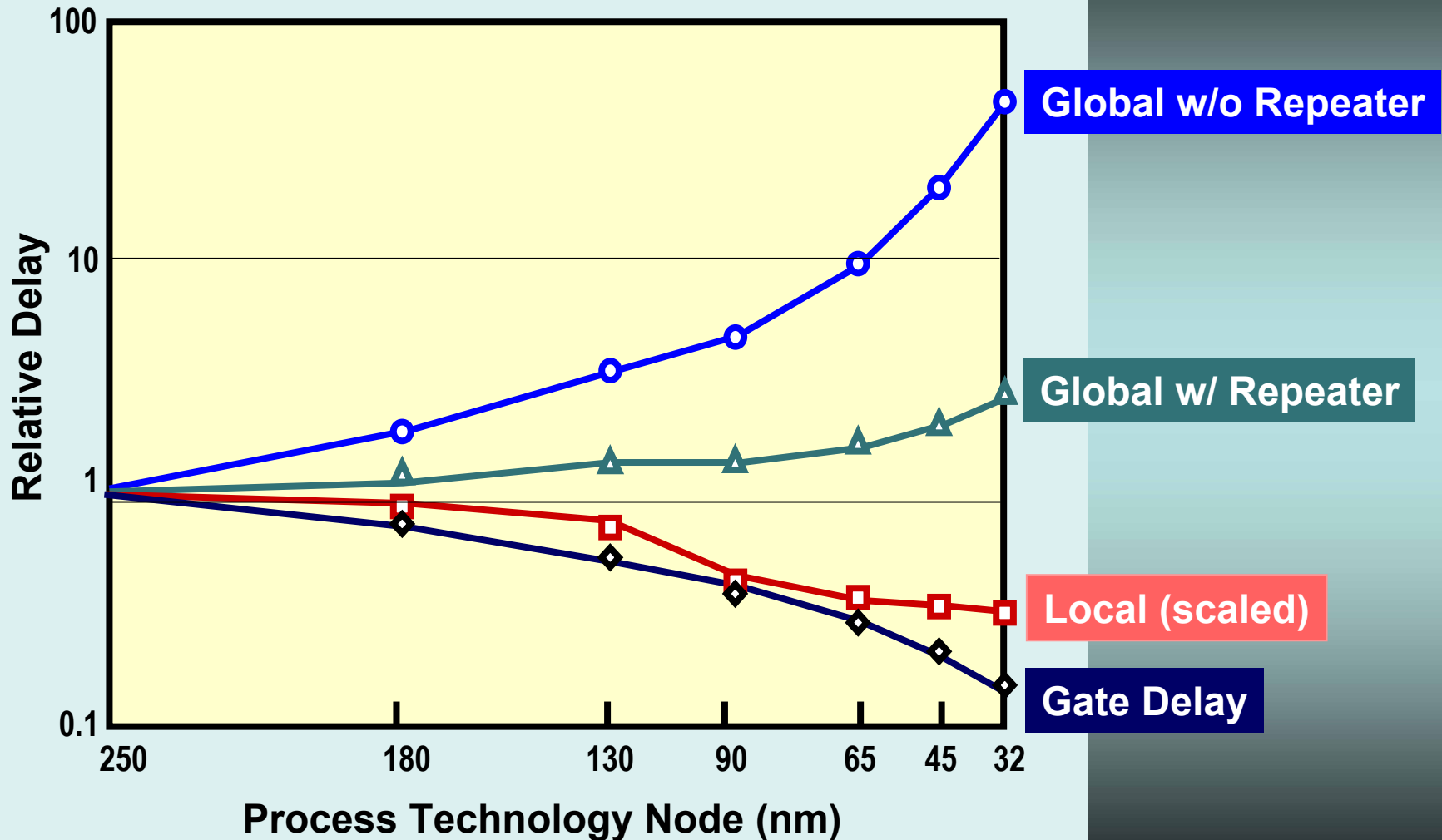
■ 配線長の比較的短いIntermediate配線においては配線容量 (C) (アーキテクチャによれば配線抵抗・容量積 (RC) も) が、配線長の長いGlobal配線ではRC積が、それぞれクリティカルパスの遅延時間に大きく影響する。

■ 長距離配線は、最適Repeaterの挿入によって配線長の1乗への改善が図られるが不十分。幅と膜厚の逆スケーリングが必要である。

■ 世代毎に遅延時間30%改善を達成できるように、配線容量と配線抵抗のスケーリングが考えられている。

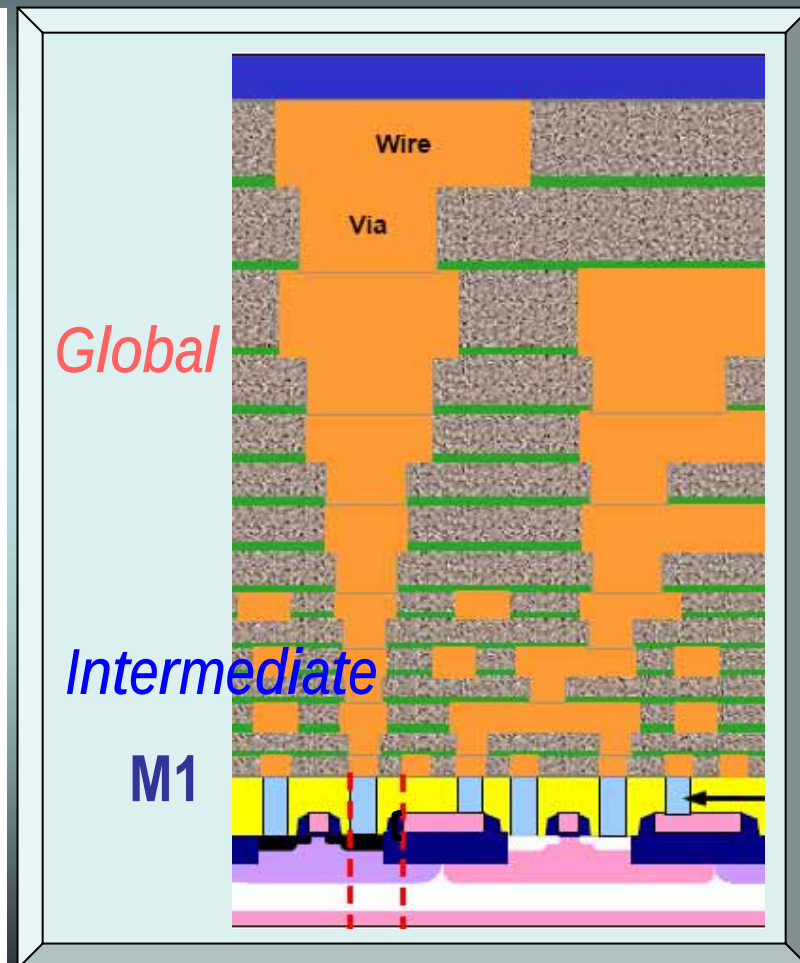
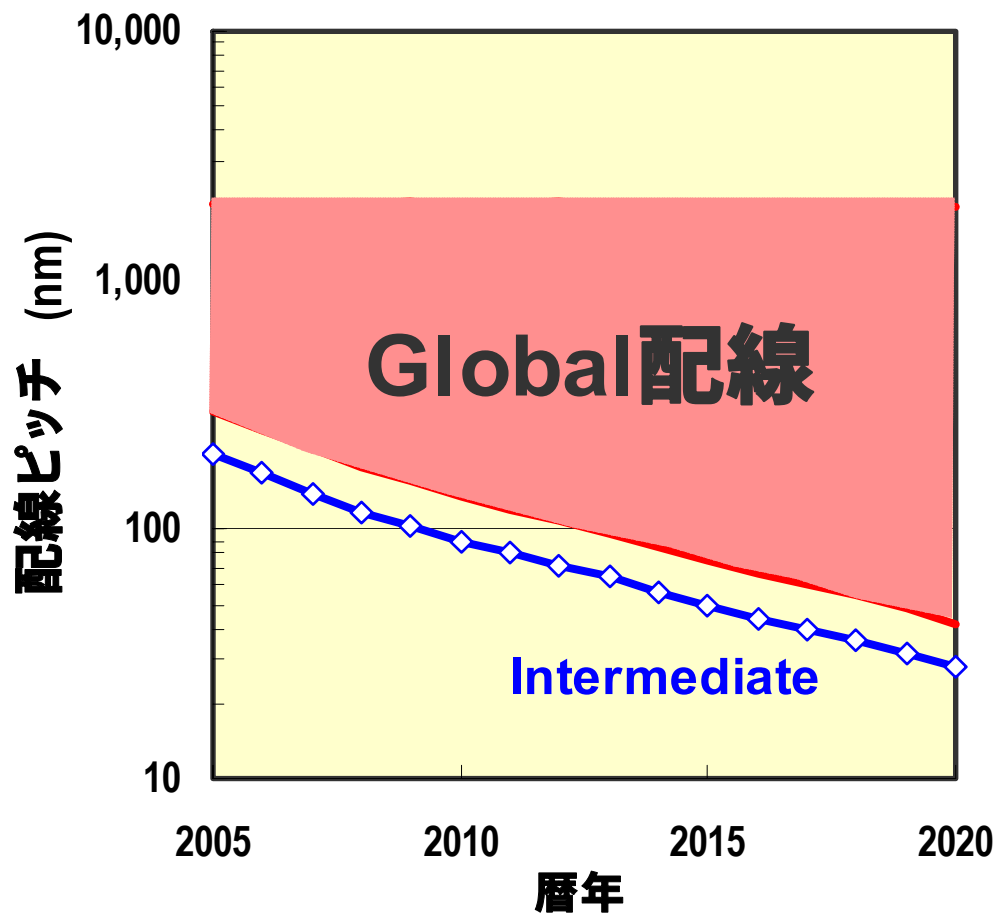
遅延時間の推移予想

リピータ挿入によって配線遅延は改善される。



Global配線における逆スケーリング則

Global配線のRC遅延低減は材料物性値の改善では改善できないため、下層配線のように微細化・薄膜化を推進するのではなく、積極的には配線幅と膜厚をむしろ幅広・厚膜化することが有効である。



電気特性に関するその他の問題について

・クロストーク

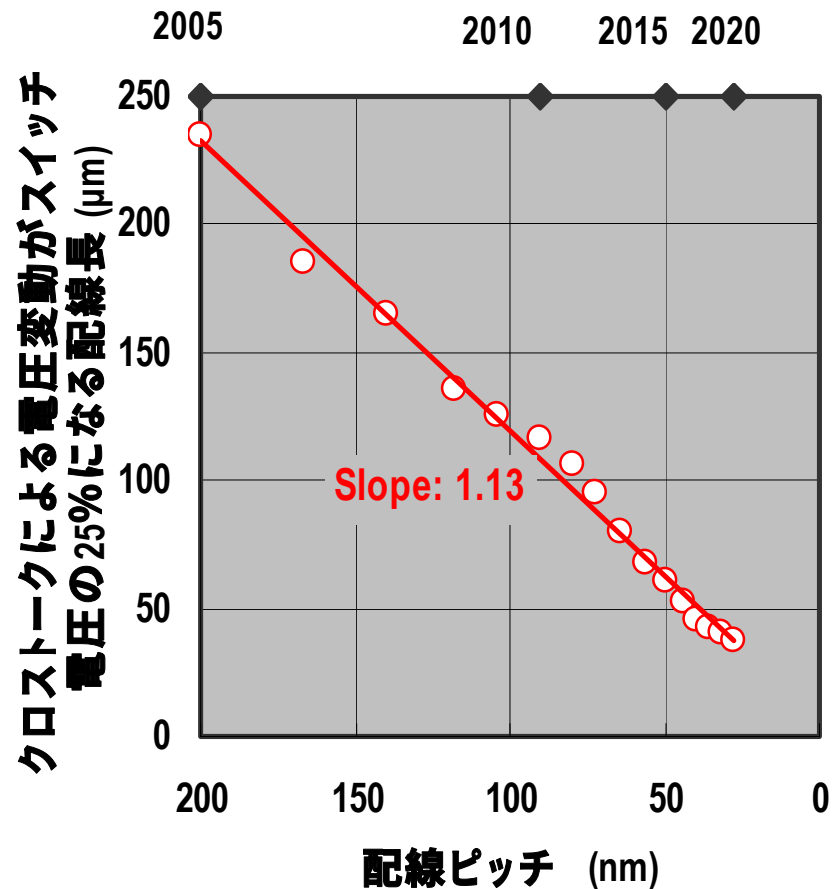
クロストークの指標がITRSロードマップに2005年度版から掲載されている。

供給電圧がスケーリングあるいは減少されるに従って、クロックと信号配線層で問題になってきた。

2020 年における最小グローバル配線の配線長限界は、2005 年の配線長の30%未満である。

クロストークの課題解決のためには、設計分野との協力が必要となる。

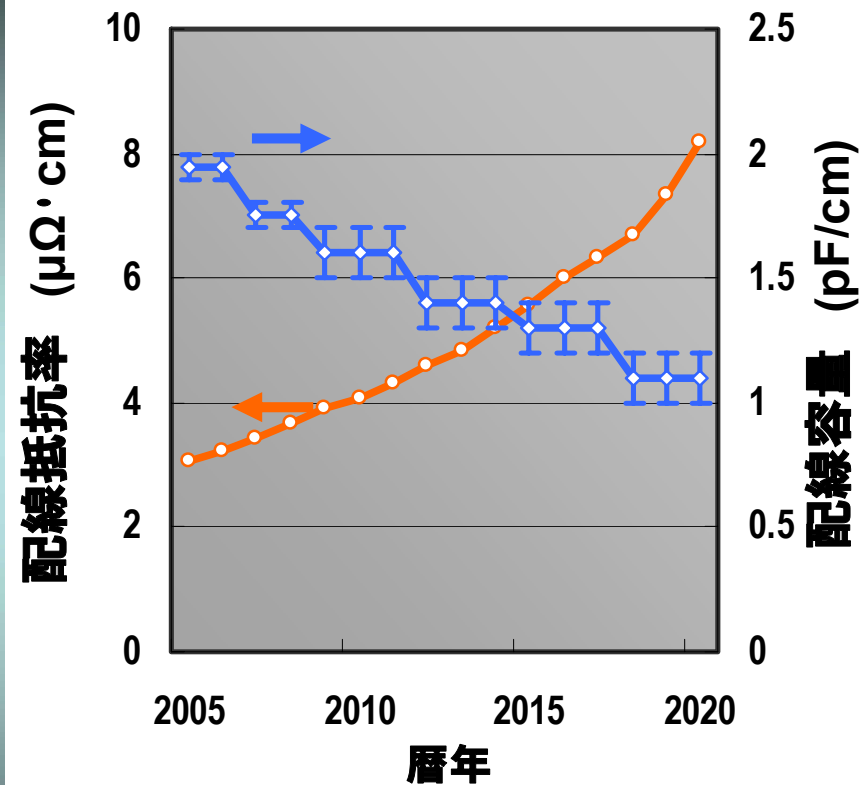
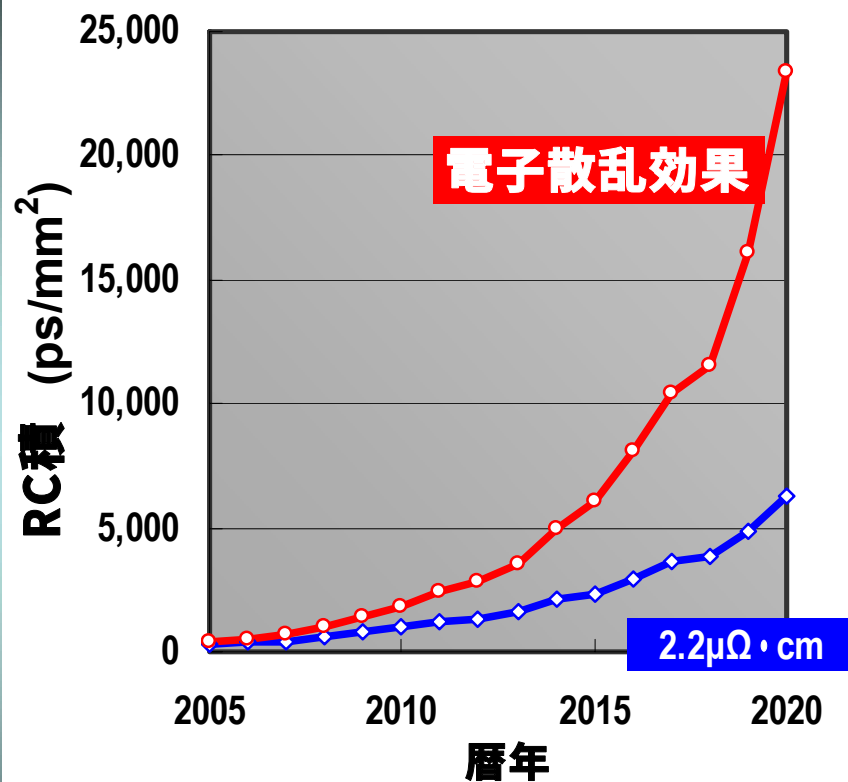
クロストークの予想



※ その他にも、周波数やIR-dropの問題がある。

抵抗率サイズ効果を加味した RC遅延と容量要求値の見直し

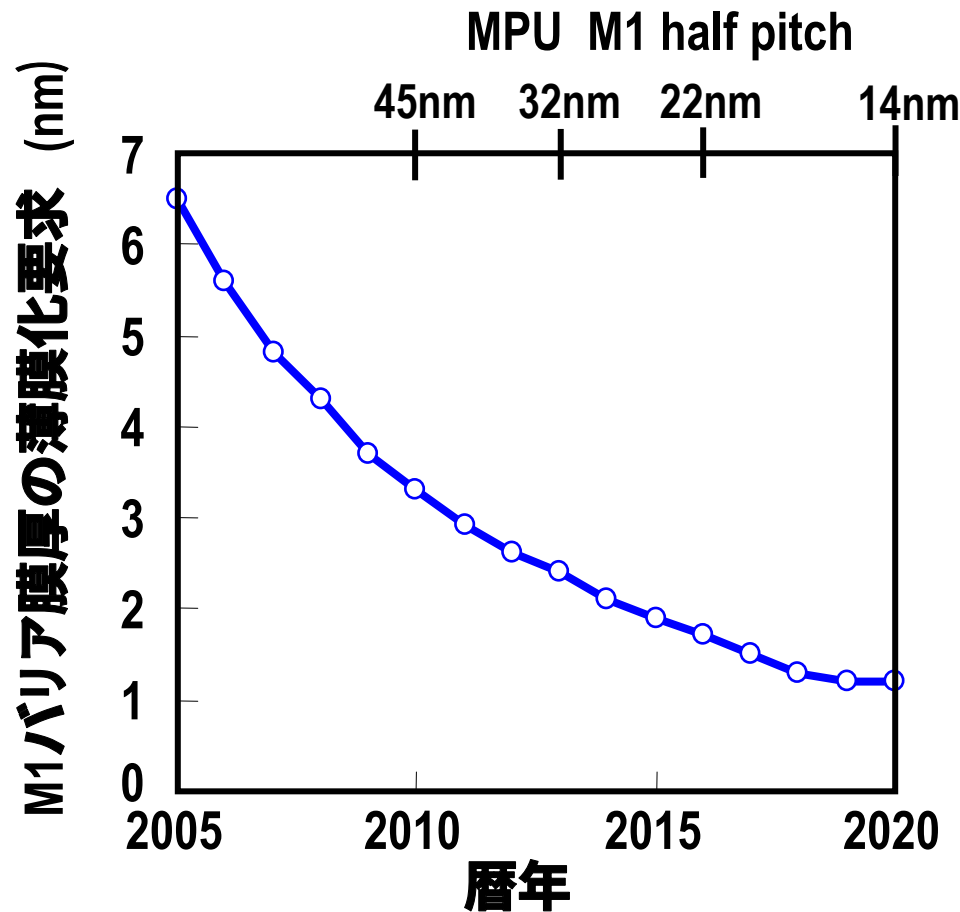
Intermediate配線



電子散乱効果によって電気抵抗が急増するため、Low-k化の推進によって配線容量を着実に低減していく必要がある。

バリア膜厚効果による配線抵抗率の増大

バリア膜厚の分だけ配線断面積が減少 → 配線抵抗が増加

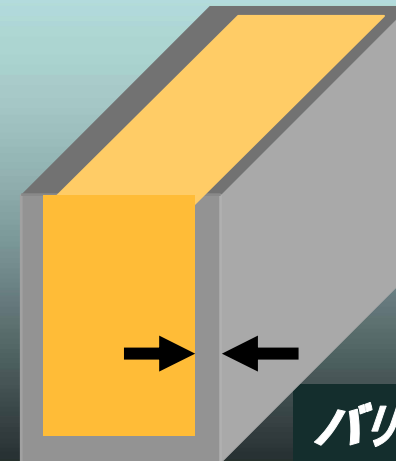


期待される薄膜化技術

スパッタ

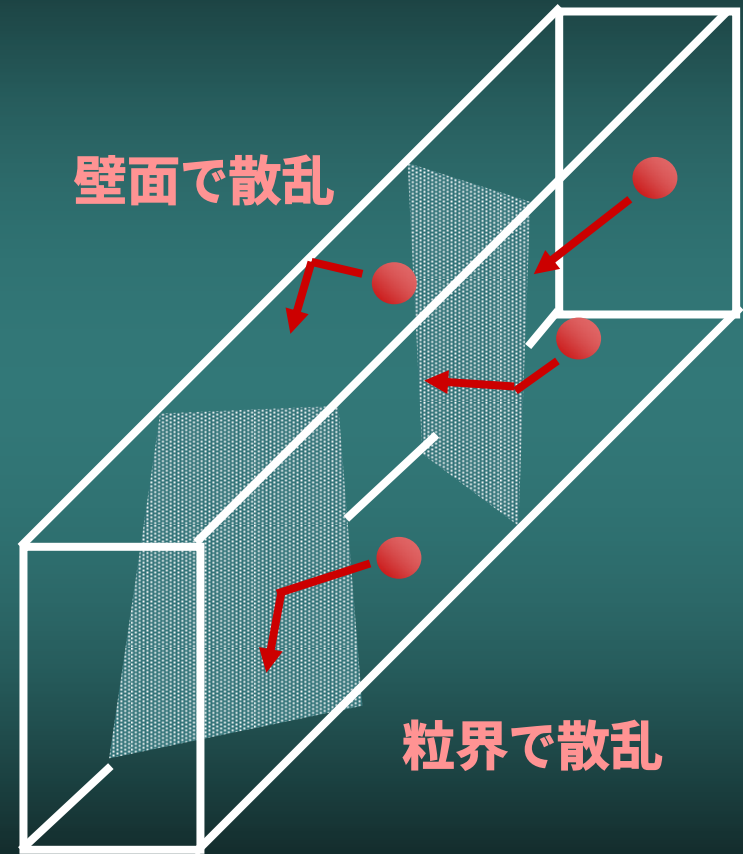
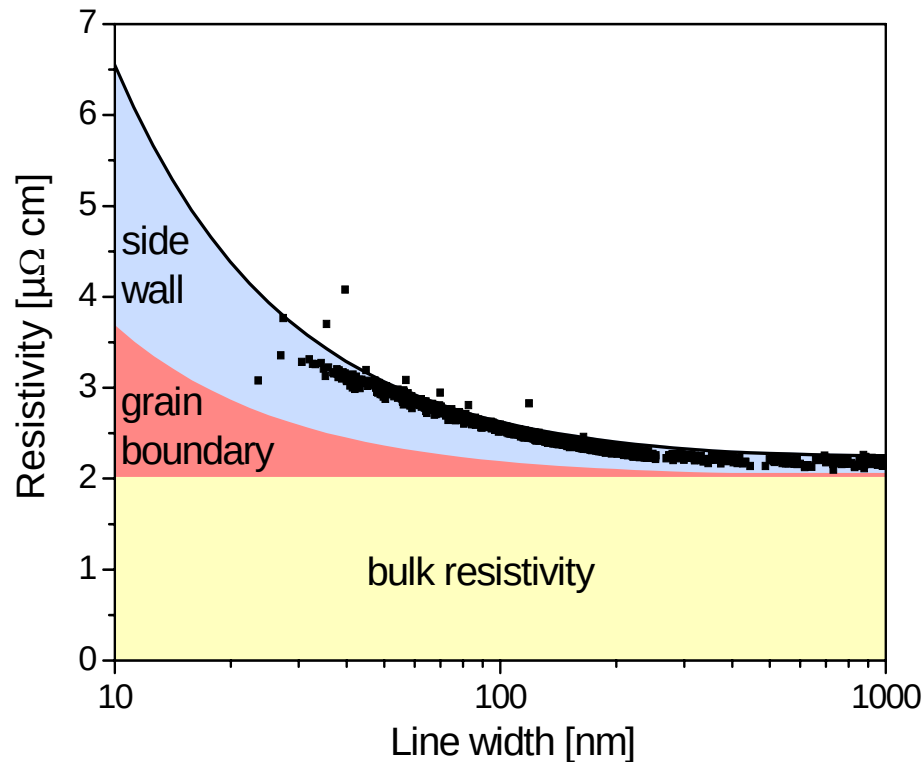
ALD

自己形成



バリア膜厚

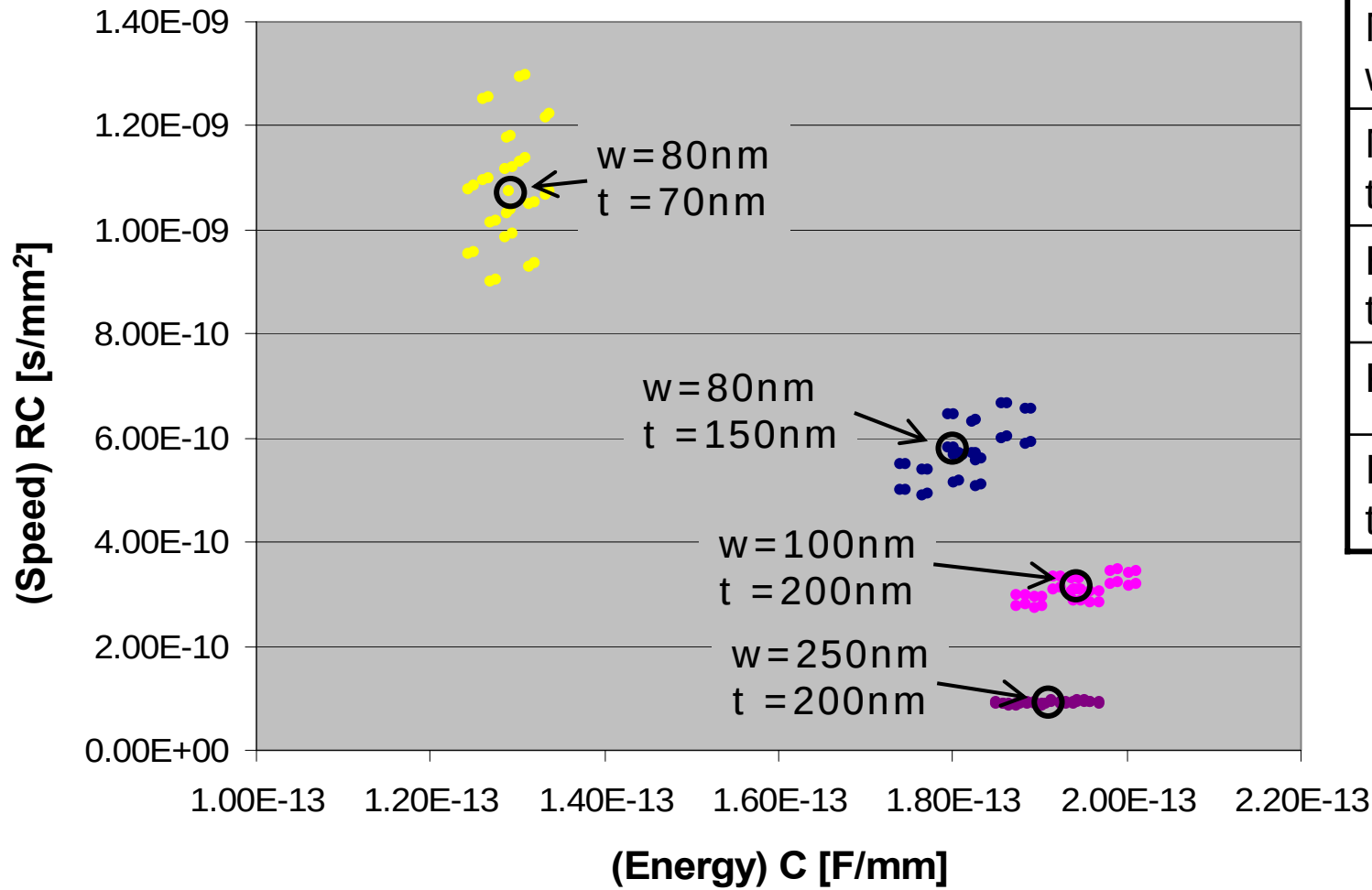
粒界や配線側面における電子散乱が抵抗率増大の原因
結晶制御や界面制御によって改善の余地は残されている。



W. Steinhögl *et al.*; J. Appl. Phys., 97, 023706 (2005)

RCばらつきの机上検討

他のプロセスばらつきを考慮しても±10%程度に留まる。

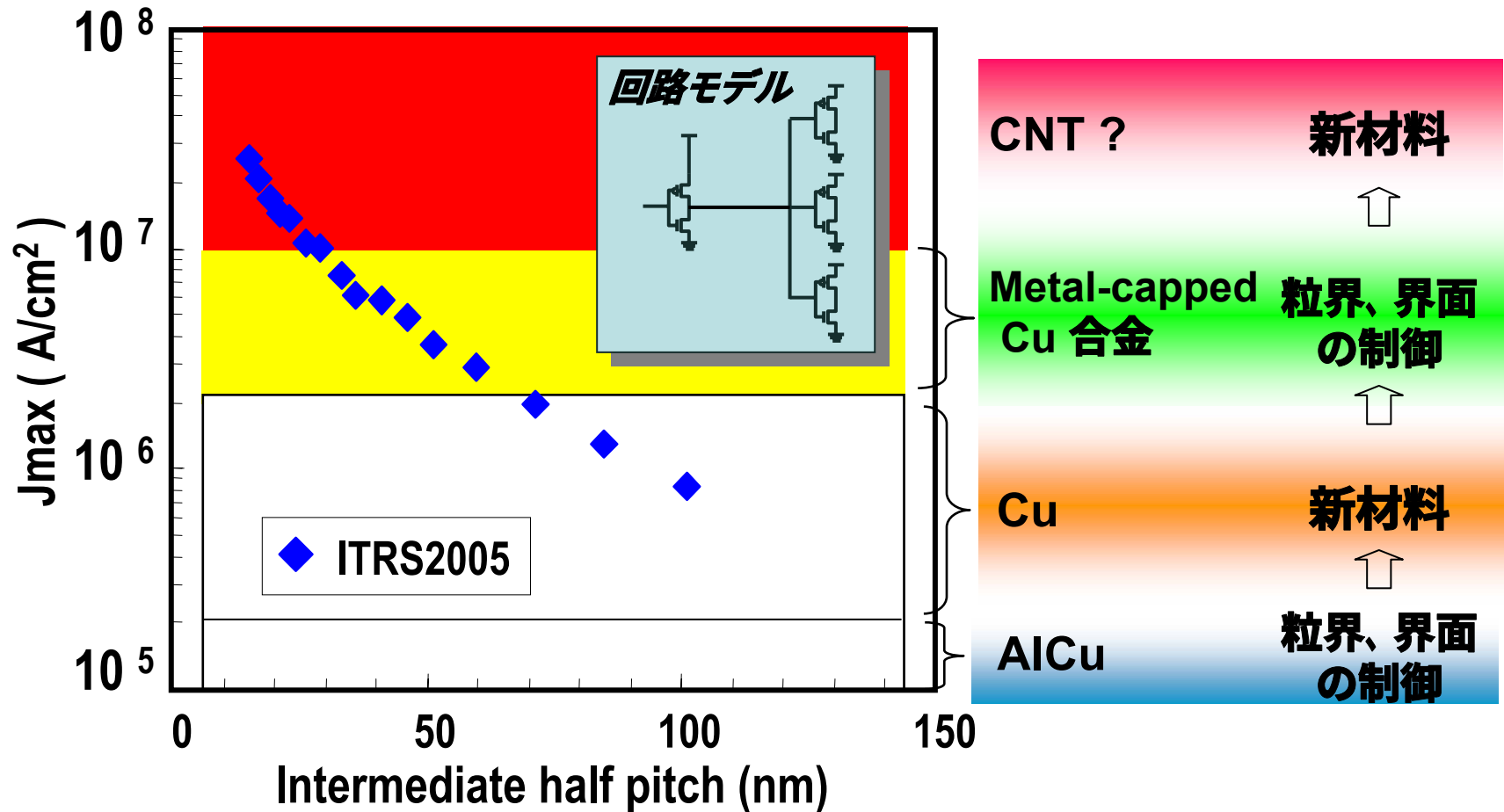


Metal width	± 6nm
Metal thk	± 4nm
Barrier thk	± 2nm
Keff	± 0.1
ILD thk	± 4nm

Courtesy of imec

*J*_{max}の検討

- ・ マルチコア化の影響 (例えば配線長) について議論の結果、*J*_{max}の軽減にはほとんど寄与しないという結論になった。
- ・ 周波数トレンドについては今後も注意し必要があれば改訂する。



配線の特性/信頼性課題

●機械的強度 (Young率, 硬度) が低い

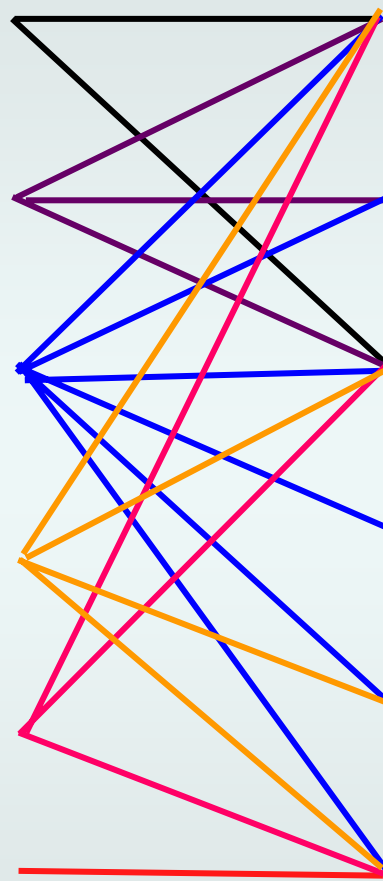
●吸湿性が高い

●プラズマ
ダメージ耐性が低い

●界面密着性が弱い

●熱膨張係数が大きい

●熱伝導率が低い



■界面剥離、Crack

■配線容量の増大

■SM/EM信頼性劣化

■配線間リーク増大

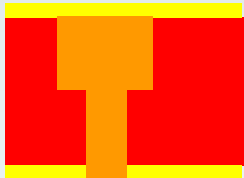
■TDDB信頼性劣化

■温度Cycle試験不良

<2005> (keff=3.1-3.4 in ITRS2005)

Assumptions

Cu D.B height = 50nm
Hardmask height = NA
Via height = 150nm
Trench height = 170nm
Minimum L/S = 100nm



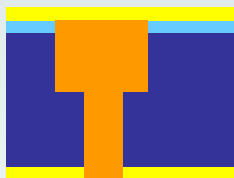
Assumptions

$K_{(Cu\ D.B)} = 5.0$
 $K_{(Hardmask)} = NA$
 $K_{(via)} = 3.0$
 $K_{(trench)} = 3.0$

K_{eff} 3.33

Assumptions

Cu D.B height = 50nm
Hardmask height = 50nm
Via height = 150nm
Trench height = 170nm
Minimum L/S = 100nm



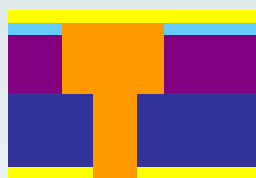
Assumptions

$K_{(Cu\ D.B)} = 5.0$
 $K_{(Hardmask)} = 4.1$
 $K_{(via)} = 2.8$
 $K_{(trench)} = 2.8$

K_{eff} 3.35

Assumptions

Cu D.B height = 50nm
Hardmask height = 50nm
Via height = 150nm
Trench height = 170nm
Minimum L/S = 100nm



Assumptions

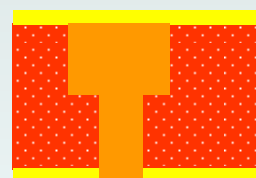
$K_{(Cu\ D.B)} = 5.0$
 $K_{(Hardmask)} = 4.1$
 $K_{(via)} = 2.7$
 $K_{(trench)} = 2.8$

K_{eff} 3.32

<2007> (keff=2.7-3.0 in ITRS2005)

Assumptions

Cu D.B height = 35nm
Hardmask height = NA
Via height = 112nm
Trench height = 126nm
Minimum L/S = 70nm



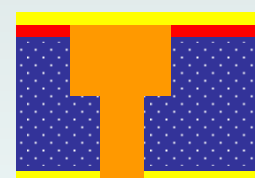
Assumptions

$K_{(Cu\ D.B)} = 4.0$
 $K_{(Hardmask)} = NA$
 $K_{(via)} = 2.7$
 $K_{(trench)} = 2.7$

K_{eff} 2.96

Assumptions

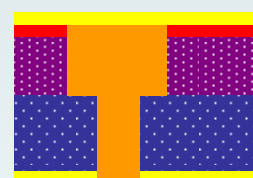
Cu D.B height = 35nm
Hardmask height = 40nm
Via height = 112nm
Trench height = 126nm
Minimum L/S = 70nm



Assumptions

$K_{(Cu\ D.B)} = 4.0$
 $K_{(Hardmask)} = 3.0$
 $K_{(via)} = 2.5$
 $K_{(trench)} = 2.5$

K_{eff} 2.87



Assumptions

$K_{(Cu\ D.B)} = 4.0$
 $K_{(Hardmask)} = 3.0$
 $K_{(via)} = 2.4$
 $K_{(trench)} = 2.5$

K_{eff} 2.83

<2009> (keff=2.5-2.8 in ITRS2005)

Assumptions

Cu D.B height = 30nm
Hardmask height = NA
Via height = 80nm
Trench height = 90nm
Minimum L/S = 50nm



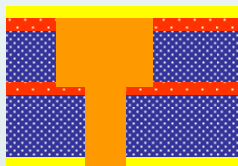
Assumptions

$K_{(Cu\ D.B)} = 3.5$
 $K_{(Hardmask)} = NA$
 $K_{(via)} = 2.4$
 $K_{(trench)} = 2.4$

K_{eff} 2.64

Assumptions

Cu D.B height = 30nm
Hardmask height = 35nm
Via height = 80nm
Trench height = 90nm
Minimum L/S = 50nm



Assumptions

$K_{(Cu\ D.B)} = 3.5$
 $K_{(Hardmask)} = 2.7$
 $K_{(via)} = 2.3$
 $K_{(trench)} = 2.3$
 $K_{(Middle-STP)} = 3.5$

K_{eff} 2.80

Assumptions

Cu D.B height = 30nm
Hardmask height = 35nm
Via height = 80nm
Trench height = 90nm
Minimum L/S = 50nm



Assumptions

$K_{(Cu\ D.B)} = 3.5$
 $K_{(Hardmask)} = 2.7$
 $K_{(via)} = 2.2$
 $K_{(trench)} = 2.3$

K_{eff} 2.62

実効誘電率の算出

年次推移は配線容量のトレンド決定に使われる最も重要なデータ

典型的な3種類の多層構造について、Aggressive、RealisticなシナリオでLow-k物性値の組み合わせを求めた。

2005.6.5 Interconnect TWG Meeting
TOSHIBA Shibata

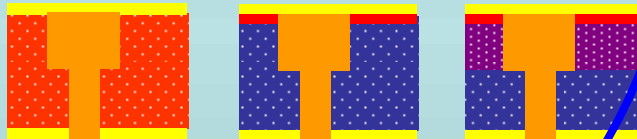
low- k のバルク値の範囲で表現

Year of Production	2005	2006	2007	2008	2009	2010	2011	2012	2013
Interlevel metal insulator (minimum expected) – bulk dielectric constant (κ)	≤ 2.7		≤ 2.4	≤ 2.4	≤ 2.2	≤ 2.2	≤ 2.2	≤ 2.0	≤ 2.0
Interlevel metal insulator – bulk dielectric constant (κ)	≤ 3.0	3.0	2.3-2.7	2.3-2.7	2.1-2.4	2.1-2.4	2.1-2.4	1.8-2.1	1.8-2.1

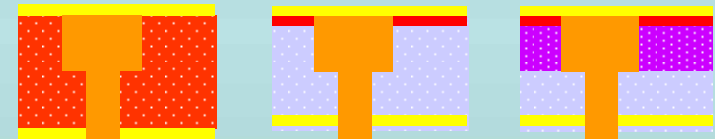
Was

Is

Realistic case in 2007



Aggressive case in 2007



Structure	Homogenous	Homo. w/HM	Hybrid
k: Cu D.B	4.0	4.0	4.0
k: Hardmask	NA	3.0	3.0
k: via	2.7	2.5	2.4
k: trench	2.7	2.5	2.5
keff	2.96	2.87	2.83

Structure	Homogenous	Homo. w/HM	Hybrid
k: Cu D.B	4.0	4.0	4.0
k: Hardmask	NA	3.0	3.0
k: via	2.5	2.3	2.3
k: trench	2.5	2.3	2.3
keff	2.76	2.72	2.72

材料開発の目標であるAggressiveな値と、実製品の推移を測るRealisticな値の両方が分かるように工夫した。

Dynamic Power Metric

動機

- ・ high-performance MPUの性能を制限する大きな要因
- ・ チップ全体のDynamic powerに対する配線の関与が急増
- ・ 代替技術 (Optical, CNT, RF, etc.) との性能比較

指標としての適性

- ・ シンプルで定量的であること
- ・ 配線パラメータを反映していること
- ・ 設計・製品に依存しない普遍性を備えていること

ITRS2006改訂(消費電力)

消費電力の表現法	k値	Vdd	寸法	周波数	設計パラメータ依存性
容量 (pF/μm)	Y	N	N	N	・設計パラメータに依存しない
容量 (nF/cm ²)	Y	N	Y	N	・設計パラメータに依存しない
エネルギー (fJ/bit・μm)	Y	Y	N	N	・設計パラメータに依存しない
エネルギー (fJ/bit・cm ²)	Y	Y	Y	N	・設計パラメータに依存しない
電力密度 (W/cm ²)	Y	Y	Y	Y	・周波数の設計パラメータ依存性が不明 ・activity factorを使う
NAF (GHz)	Y	N	N	Y	・設計パラメータが必要 ・製品品種に依存
総配線消費電力 (W)	Y	Y	Y	Y	・設計パラメータが必要 ・製品品種に依存 ・省電力技術に依存

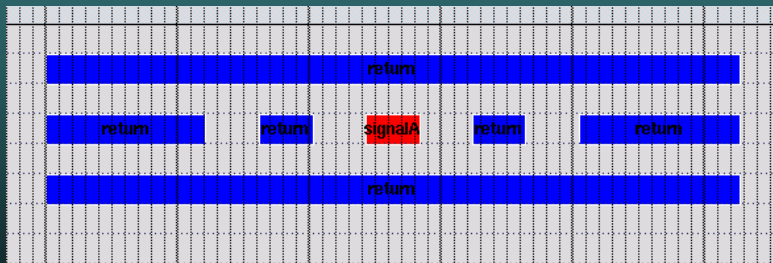
採用した消費電力の指標

$$P \text{ [W/GHz} \cdot \text{cm}^2]$$

$$= CV^2 \cdot a \cdot (1\text{GHz}) \cdot \{ e_w \cdot (1\text{ cm}^2) / p \}$$

C : 単位長さあたりの容量, V : 電源電圧, p : 配線ピッチ,

a : average activity, e_w : wiring efficiency



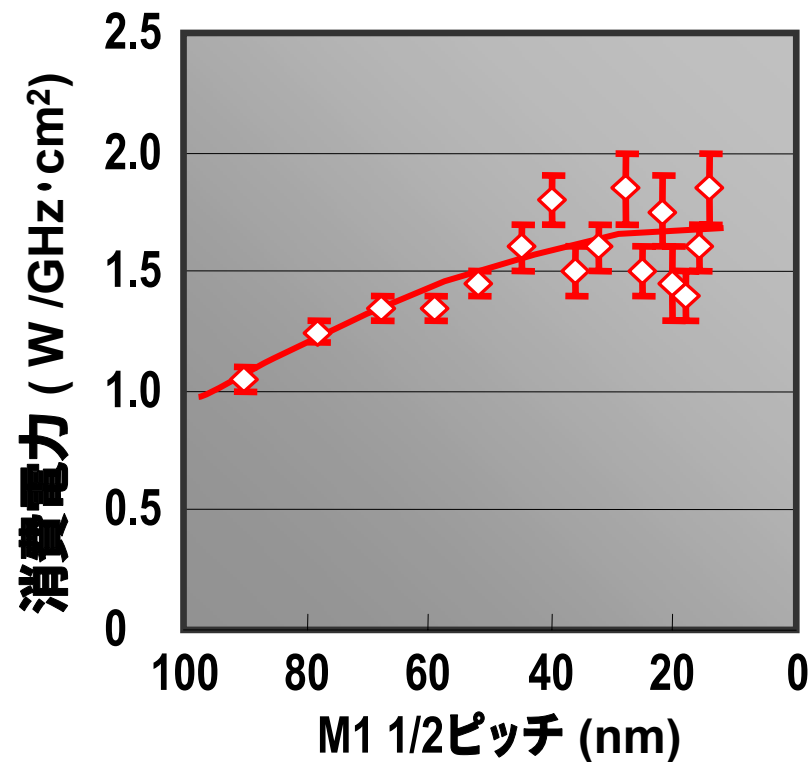
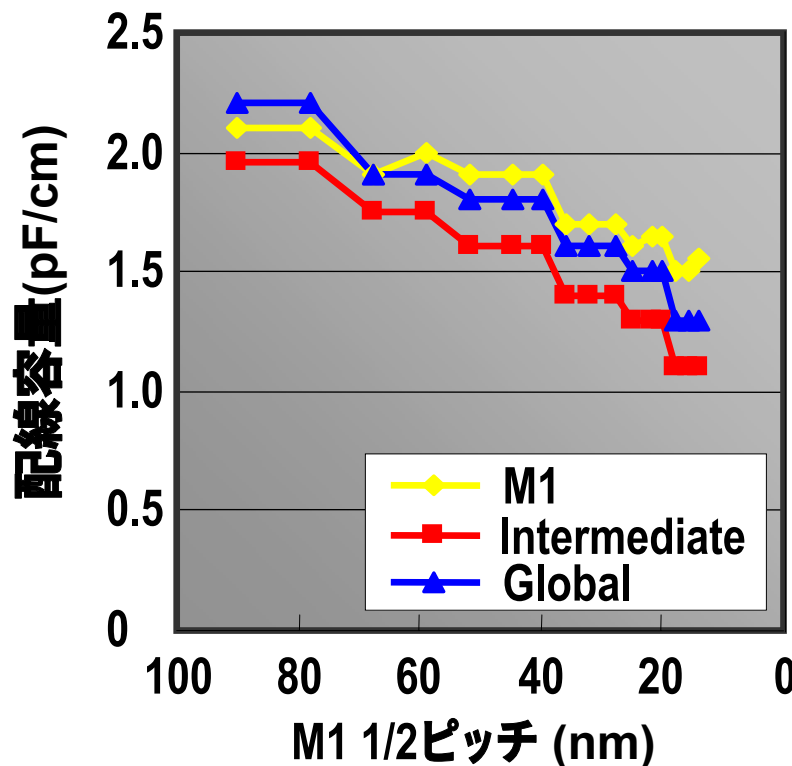
計算に用いた多層配線構造

- 周波数と面積で規格化
- 設計要素も少し織り込んだ

$$P [W/GHz \cdot cm^2] = CV^2 \cdot a \cdot (1GHz) \cdot \{e_w \cdot (1 cm^2) / p\}$$

C:単位長さあたりの容量, V:電源電圧, p:配線ピッチ,

a: average activity, e_w : wiring efficiency



世代とともに単位長さあたりの容量が減少する場合でも、配線密度増加の効果によって単位面積あたりの消費電力は増加する。周波数を掛けると、この効果はいっそう加速される。

Emerging技術の調査

2010以降、

**Cu/Low-kの代替として、
RC遅延、損失／ノイズなどの問題に貢献する**

Potential Solutionを検討する。

Emerging Interconnects の分類

- Air gaps
- Other conductors with better resistivity at narrow linewidth

Evolutionary

More
Moore

- Carbon nanotubes (CNT)
- RF/microwave
- Optical
- 3 Dimensional Integration
- Package Intermediated Interconnect
- Nanowires

Emerging

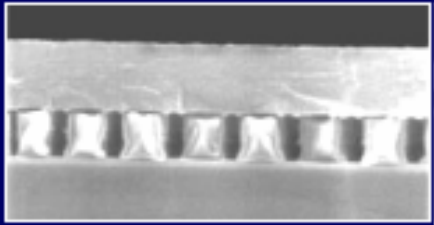
More
Than
Moore

- Terahertz photonics
- Molecules
- Spin conductors
- Superconductors
- Quantum Entanglement

Exploratory

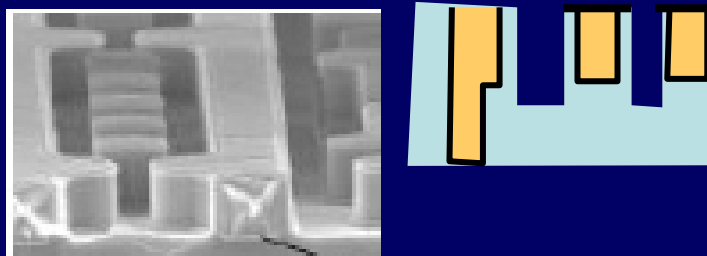
Air Gap; 究極のLow-k材料(1)

A. 分解方式



配線形成後に絶縁膜を分解する

B. マスク方式

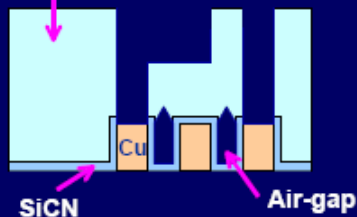


エアギャップ形成用にマスクを追加

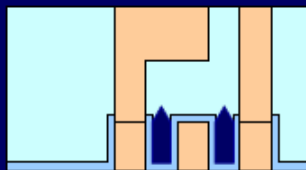
C. 日立で開発したDD対応Air Gap

(a) DD Dry Etching

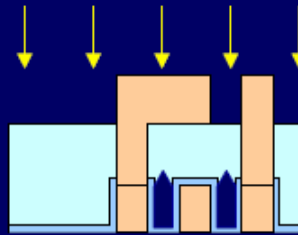
CVD Film: FSG/SiO
SOD Film: SiLK™



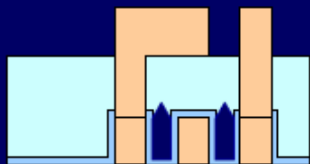
(b) Cu Deposition Cu-CMP



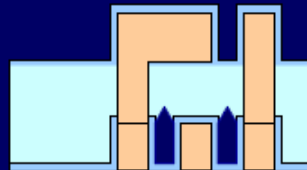
(c) Etch-Back



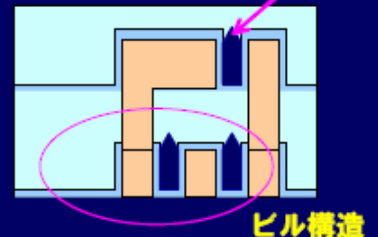
(d) Wet Cleaning H₂ Annealing



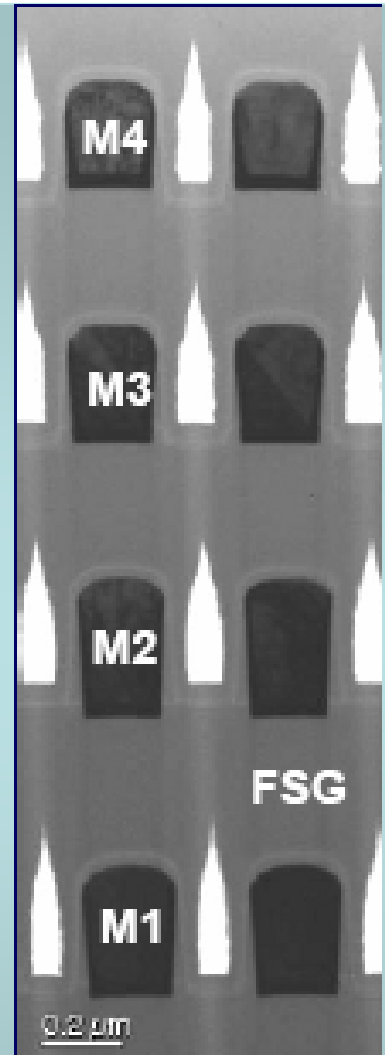
(e) SiCN Deposition



(f) CVD, SiO₂-CMP

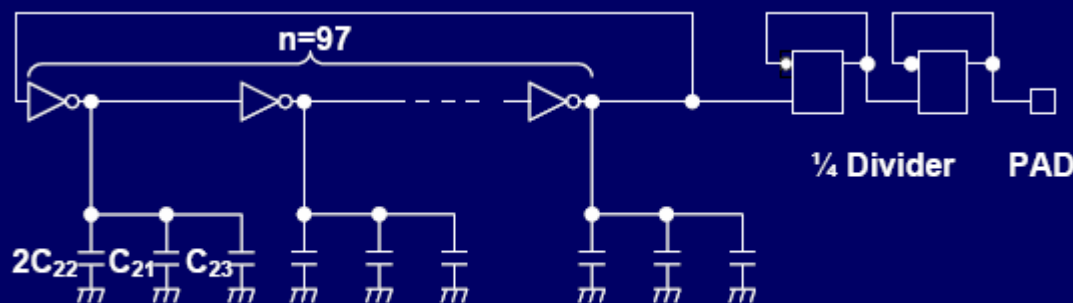


ビル構造

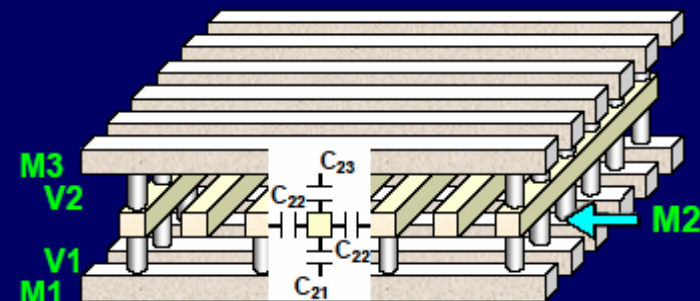


ご講演：
(株)日立製作所
野口純司 氏

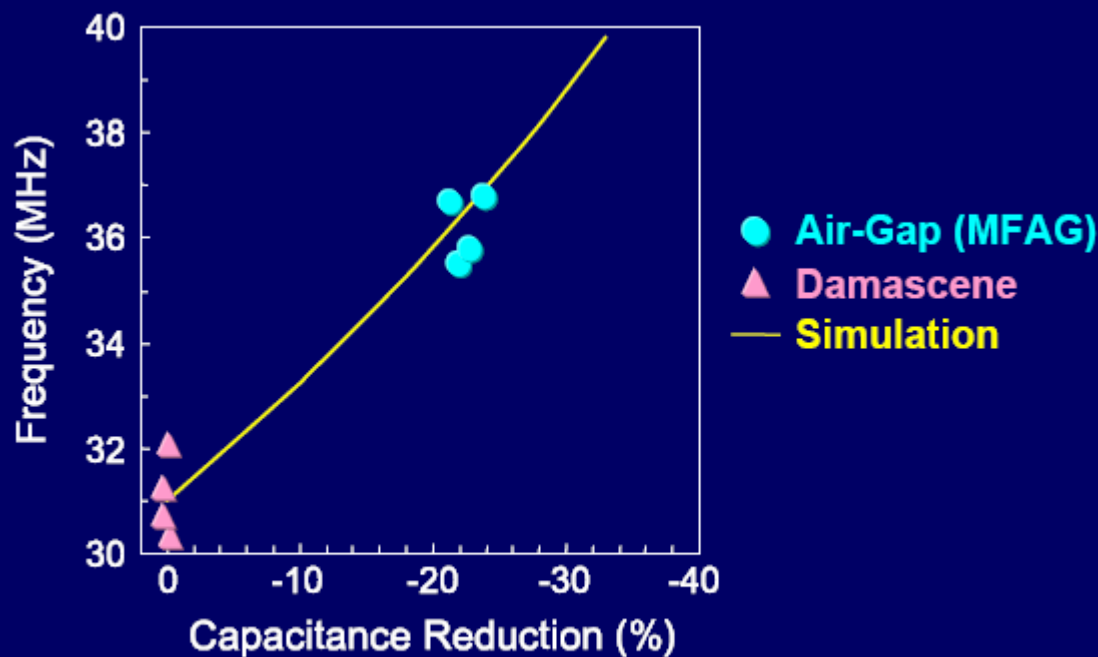
Air Gap ; 究極の Low-k 材料 (2)



(a) リングオシレータ概略図



(b) 配線構造



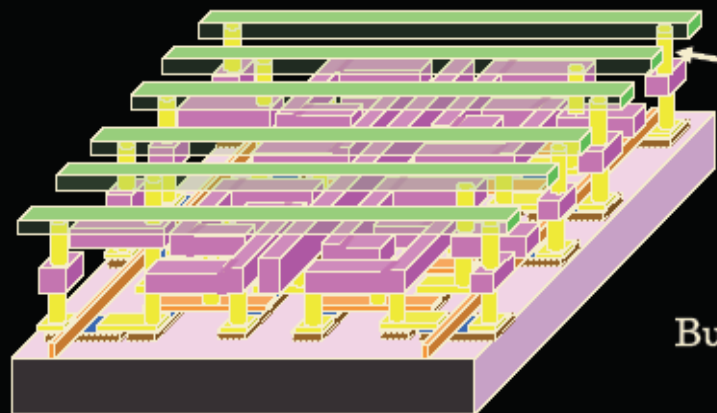
<リングオシレータ動作周波数測定結果>

配線容量を20%低減した
ことで18%高速動作した

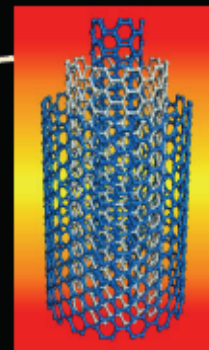
シミュレーション予想と一致

ご講演 : (株)日立製作所 野口純司 氏

CNT; Via高電流密度化への期待 (1)



CNTs via
Bundle of MWNT



Co particles

CNTs

SiO₂

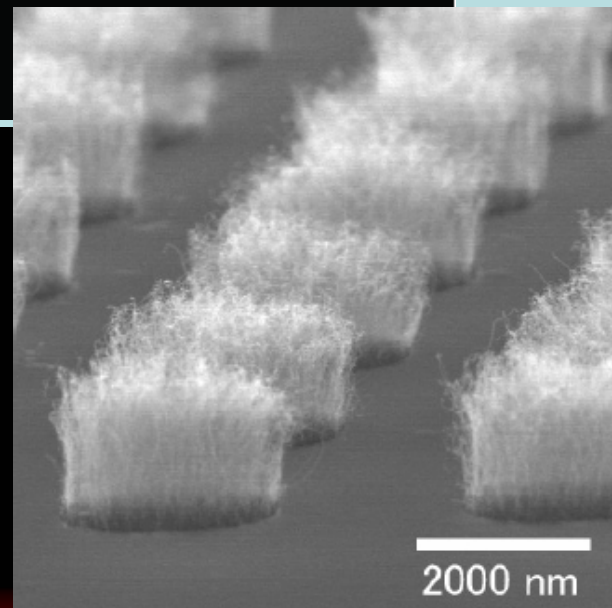
Ti

Ta

Cu

SiO₂

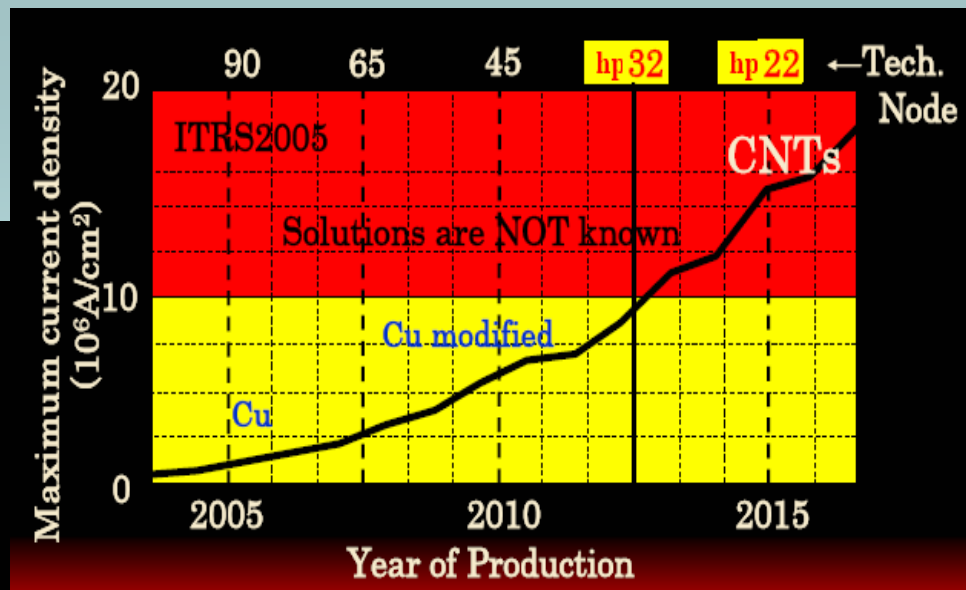
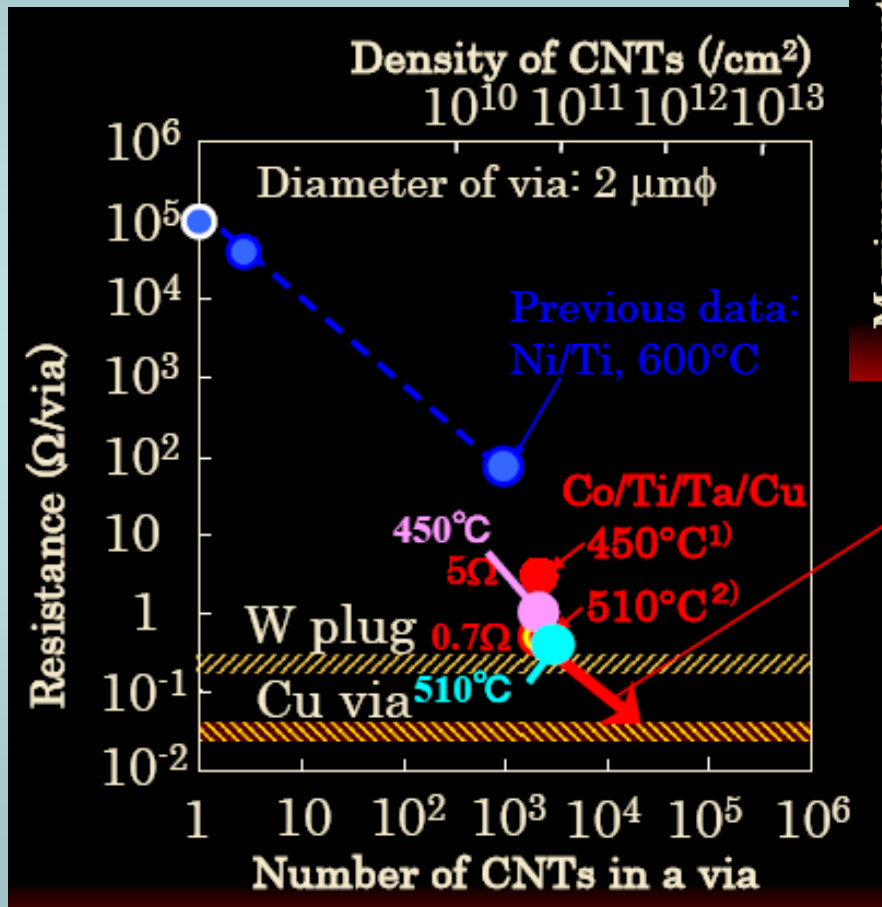
Si



ご講演：(株)富士通研究所 栗野祐二 氏
富士通(株)、Selete - MIRAI

CNT; Via高電流密度化への期待 (2)

hp32nm以降の解として、
 $>10^7 \text{ A/cm}^2$ を目指す



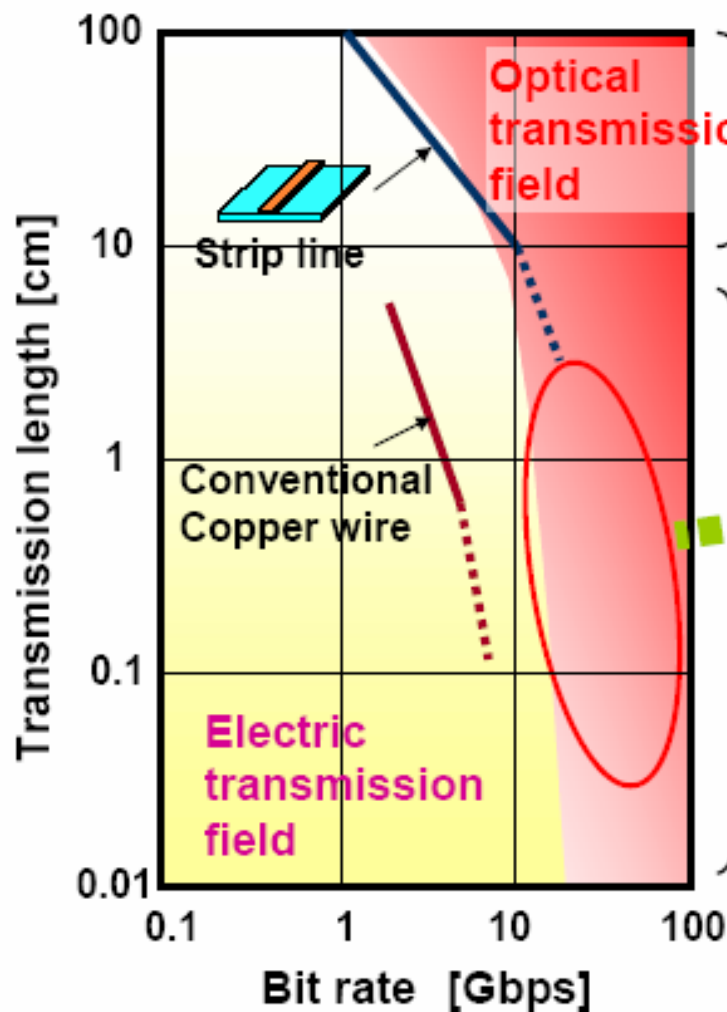
CNT密度を増大することによって
 Via抵抗を低減することが課題



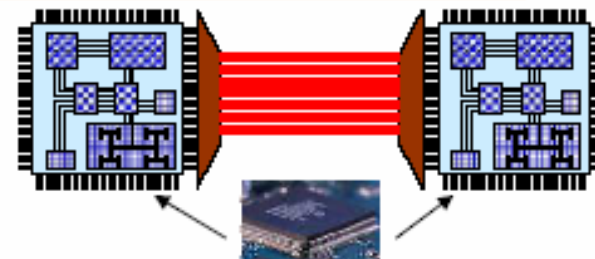
触媒金属層とCNT成長条件の最適化

ご講演：(株)富士通研究所 栗野祐二 氏
 富士通(株)、Selete - MIRAI

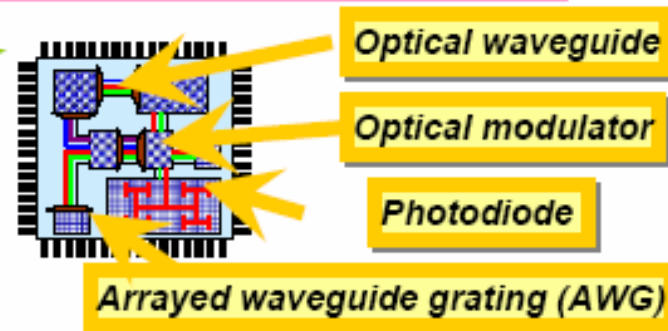
光配線; 多重・高速信号伝送 (1)



Inter-chip optical interconnect



Intra-chip optical interconnect



LSI intra-chip connection

On-chip interconnect with WDM (wavelength division multiplexing)

オンチップ用の多様な基本素子の開発が精力的に進められている

ご講演: NEC基礎環境研究所 西 研一 氏
MIRAI - Selete

光配線; 多重・高速信号伝送 (2)

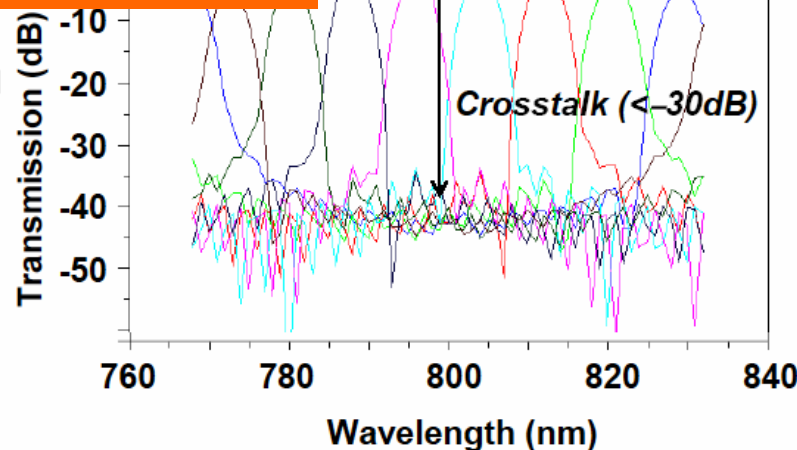
光スイッチ

変調器

光源

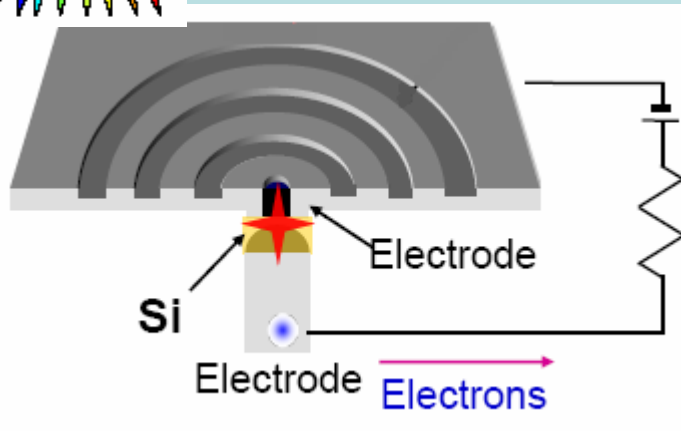
導波路
微細化・多重化

100 μ m

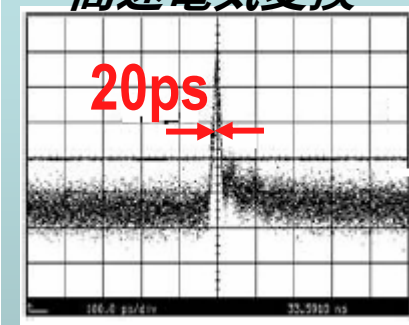


技術課題

- ・素子の小型化
- ・Siプロセスとの整合性
- ・コスト
- ・実装方法



高速電気変換



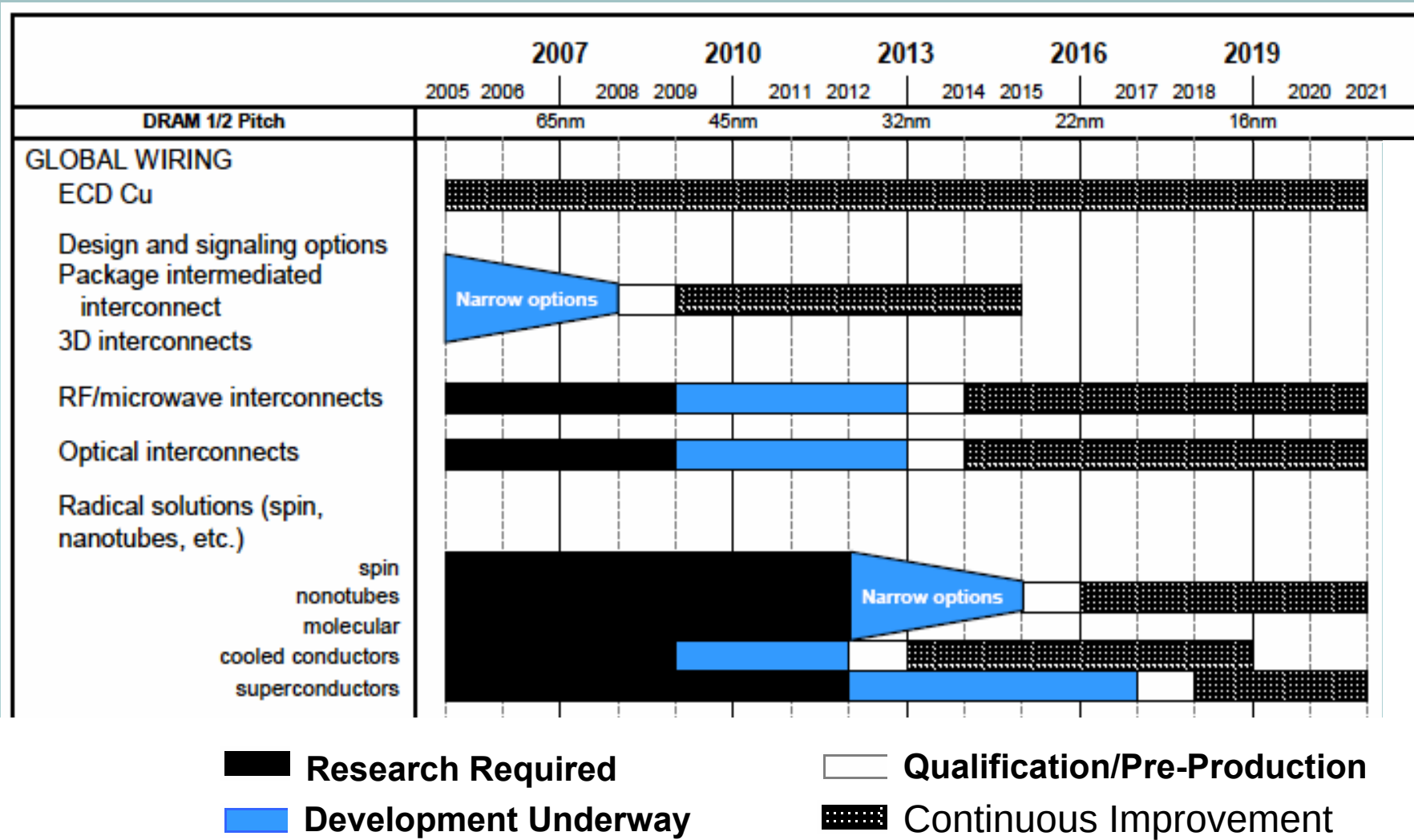
ご講演: NEC基礎環境研究所 西 研一 氏

MIRAI - Selete

受光素子

表面プラズモン・アンテナ

ITRS2005版にみるEmerging技術開発ロードマップ



まとめ

<微細化の深耕>

- Cu/Low-k配線の微細化に伴う技術課題の明確化と定量化
 - ・Intermediate配線及びGlobal配線におけるRC遅延の増大の問題
 - ・高周波化に伴うクロストーク問題
 - ・電子の散乱効果によるCu電気抵抗率の上昇と改善策
 - ・Jmaxの増大と材料革新の必要性
- ITRS2006改訂
 - ・「消費電力」について定量的かつ普遍性のある指標 ($\text{W/GHz} \cdot \text{cm}^2$) を掲載
 - ・Low-k Bulk値の表記方法を改訂

<Beyond Cu/low-kの展望>

- Cu/Low-k配線の微細化限界を打破できる有力なEmerging技術 (Air Gap、CNT、Wireless、光配線) の最新動向を外部講師を招いて調査

<今後の取り組み方針>

- ITRS2007改訂に向けたMore Mooreの議論とJapan-TWGの貢献
- Emerging 配線技術の継続調査と有力候補技術のRoadmapへの組み込み