

DFT(テスト設計)とATE(テスト装置)との融合 品質とコストの両立する テスト技術ロードマップに向けて

WG2(テスト)リーダー・西村安正
(株)ルネサステクノロジ

DFT: Design for Testability ATE: Automatic Test Equipment

報告のアウトライン

- 1 . 2006年度活動メンバ
- 2 . ITRSのテストWG
- 3 . DFTサブWG活動
- 4 . ATEサブWG活動
- 5 . 2006年度活動まとめ

1. 2006年度活動メンバ

* : 2006年 交替、新任

< DFTサブ >

委員： 江守道明(富士通)、内田亘(ルネサス)*、小林拓也(松下)

中村芳行(NECエレ)*、牛久保政憲(沖・サブリーダー)

正田剛史(ソニーLSI)*、安藏顕一(東芝)

平野正樹(ローム・幹事)

特別委員： 佐藤康夫(日立・国際担当)、畠山一実(STARC)

< ATEサブ >

委員： 島林和彦(富士通)*、西村安正(ルネサス・リーダー)

前川道生(松下・サブリーダー)、田村智昭(NECエレ)*、

五十殿宏二(シャープ)*、渡邊均(セイコーエプソン・幹事)

伊藤修一(東芝)*

特別委員： 多田哲生(徳島文理大)、木村伸一(アドバン)*

山崎光夫(シバツク・国際担当)、江口光一(日本マイクロニクス)

相吉克彦(東京エレクトロン)、佐藤正幸(GTI)、鈴木宏叔(浜松ホト)

堀部久夫(日本エンジニアリング)、高溝久明(横河電機)*

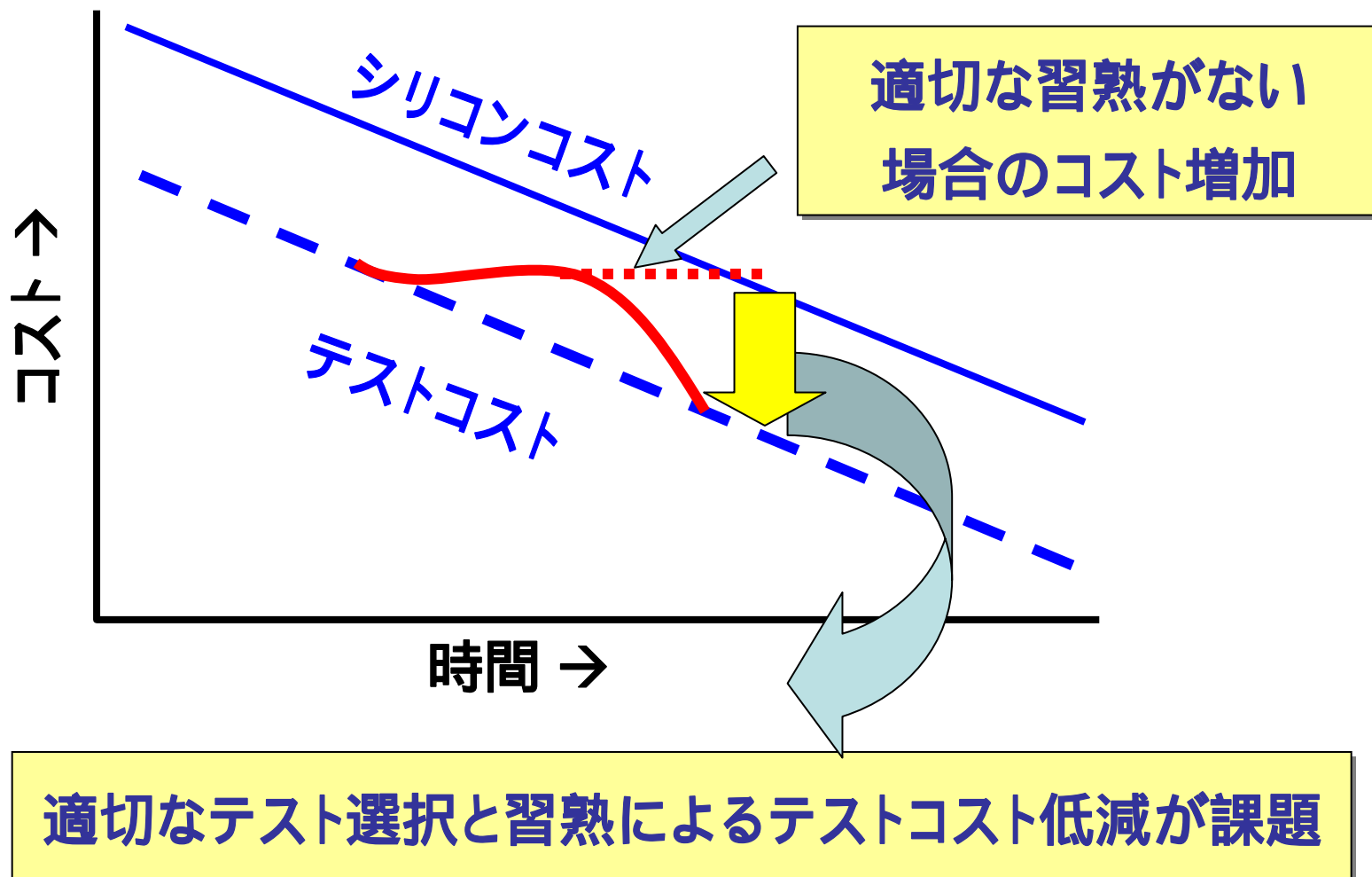
高橋弘行(アドバン)*、大里衛知(日本マイクロニクス)*

- DFT: Design for Testability、テストのことを考えた設計
- ATE: Automatic Test Equipment、大型テスト他テスト装置全般の呼称
- DFM: Design for Manufacturing、製造のことを考えた設計
- WLBI: Wafer Level Burn-In、ウエーハを一括して加速度テスト(バーンイン)すること
- オーバーキル: 実動作と無関係なテストの為のテスト等による歩留り悪化
- スキャンBIST: スキャンBuilt in Self Test、チップ内蔵のスキャン手法のセルフテスト
- BOST: Built Out Self Test、テストの計測機能を補完する為にテスト・ボード上に搭載したもの
- KTD: Known Tested Die、電氣的テストしたことを保証するダイ
- KGD: Known Good Die、信頼性を含めて保証されたダイ
- TAT: Turn Around Time、ある仕事が完了するまでに要する工期
- シリアルATA: Serial Advanced Technology Attachment、ATAはANSI(アメリカ標準化機構)で規格化が進んでいるIDE(ハードディスクインターフェースのひとつ)の正式な規格
- HDMI: High Definition Multimedia Interface、高品位テレビ(HDTV)とマルチチャンネルオーディオを一つのコネクタとケーブルに統合するコンシューマ製品向けインターフェイス
- DDR2: Double Data Rate 2、クロック周波数の2倍のデータレートで動作するメモリ
- システムティック不良: 製造装置の不具合や性能限界が原因で発生する不良
- パラメトリック不良: テスト条件(電圧、温度など)により発生する不良
- Loop Back: タイミングテストの手法の一つで信号をループバックすることに因んだ呼称
-
- PKG: Package、パッケージ 以下、パッケージの呼称(フルネームのみ記載)
- TSOP: Thin Small outline Package
 - QFP: Quad Flat Package
 - BGA: Ball Grid Array
 - FBGA: Fine pitch Ball Grid Array
 - CSP: Chip Scale Package

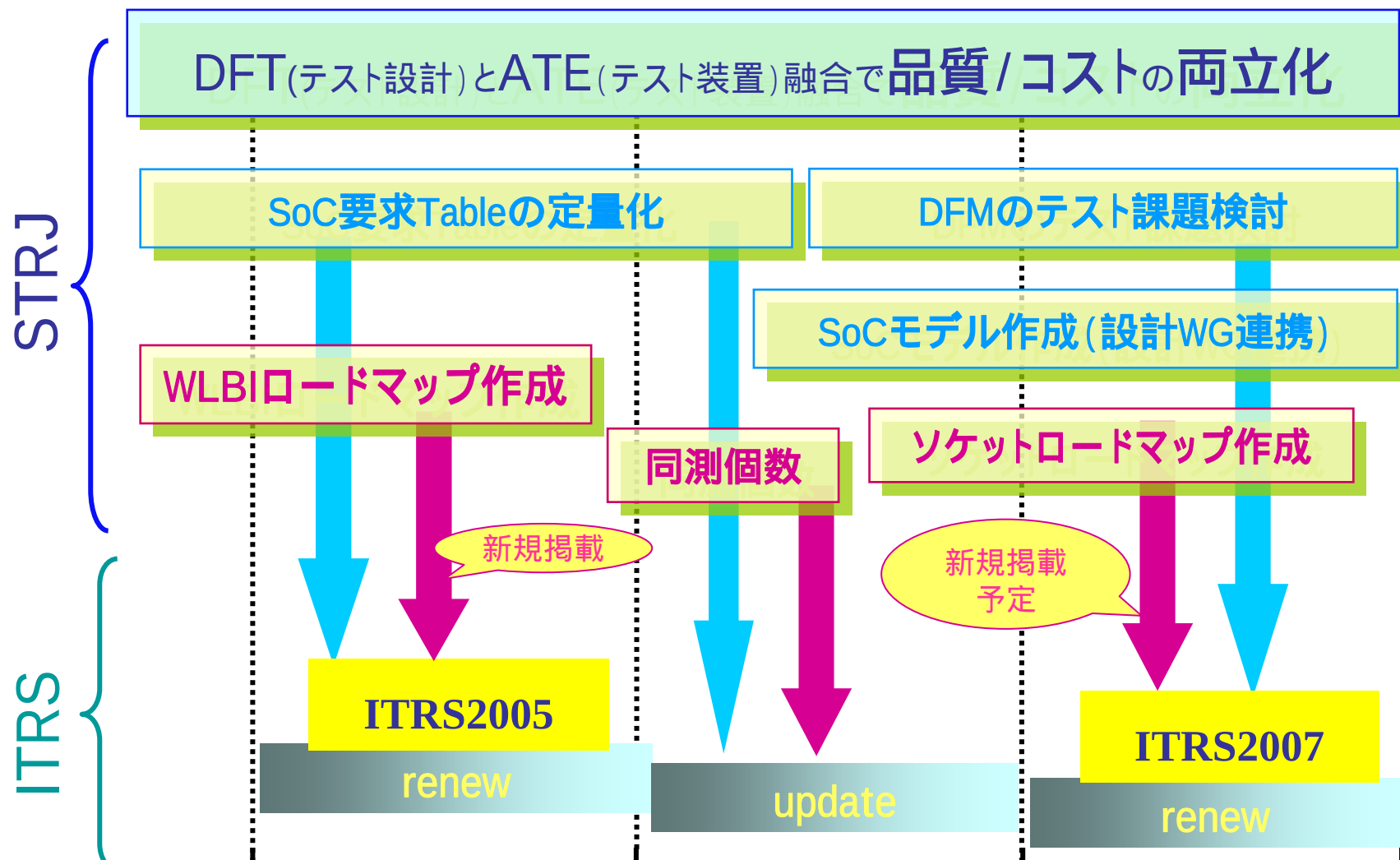
2. ITRSのテストWG

- ITRS2006でのテスト課題

新デバイスにおける開発初期でのテストコスト増加



● STRJからの貢献 ~ DFT & ATE ~



STRJからのメッセージ(テストへの意識改革)

回路オーバーヘッド(必要悪) から DFTエリア・インヴェストメント(価値源泉) へ

3. DFTサブWG活動

SoCテストの技術課題を見直し、読者(EDAベンダなど)が容易に理解できる実践的なロードマップ作成、同時に ITRS2006/2007へ貢献

検討項目

SoCテストの課題

* テスト品質・歩留・信頼性

* テスト設計生産性

DFT技術課題抽出用SoCモデル

SoCテストの課題
SoCモデル

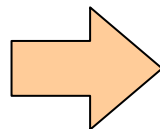
勉強会/合宿
設計WG(WG1)と連携

● SoCテスト

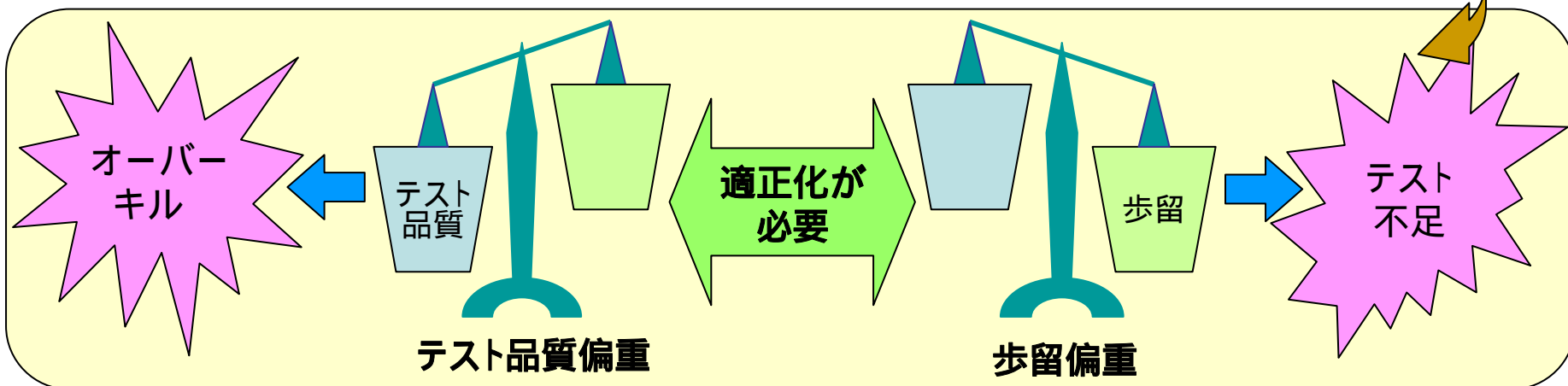
< 背景 >

プロセスの微細化

↓
・欠陥の多様化
・故障発生率の増加



× テスト設計生産性低下
× テストコスト増加
× **テスト品質と歩留低下**



■ テスト品質・歩留・信頼性

製品ごとの要求に合わせた適正化が課題

→ 大規模・微細化に対応した技術の掘下げが必要

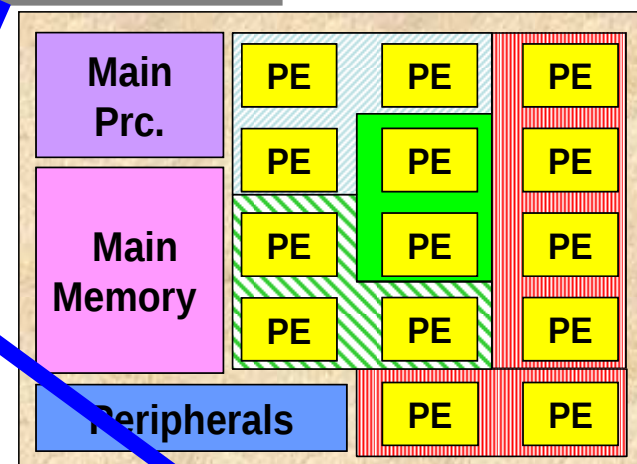
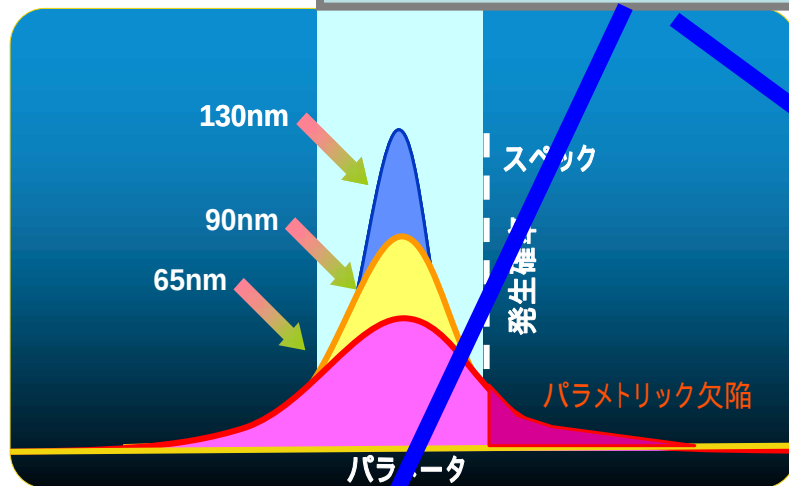
■ テスト品質・歩留・信頼性の課題

微細化の進展

大規模化

故障の多様化・複雑化

SoC仕様の複雑化



多様な物理欠陥に
対応したテスト
(故障のモデル化)

テスト状態と
実使用状態の
乖離

製品ライフタイム
でのテスト、信頼性
設計 (将来課題)

多様な物理欠陥に対応したテスト(故障のモデル化)

複数の拡張故障モデルによる総合的なテスト品質指標の確立

実際の物理的欠陥による不良動作

クロストーク/ノイズ
オープン/ショート

乖離が増大

故障モデルの拡張

拡張された故障モデルの要件

- ・レイアウトの考慮
- ・回路情報の考慮
- ・統計的手法への対応

不良除去効果と故障検出率の乖離
= 新たなテスト品質指標

新たな品質指標の要件

- ・故障密度の考慮
- ・計算機負荷の抑制

- * 故障モデルで想定していない不良の見逃し
- * 故障検出率とテスト品質が必ずしも一致しない

システムティック不良
パラメトリック不良

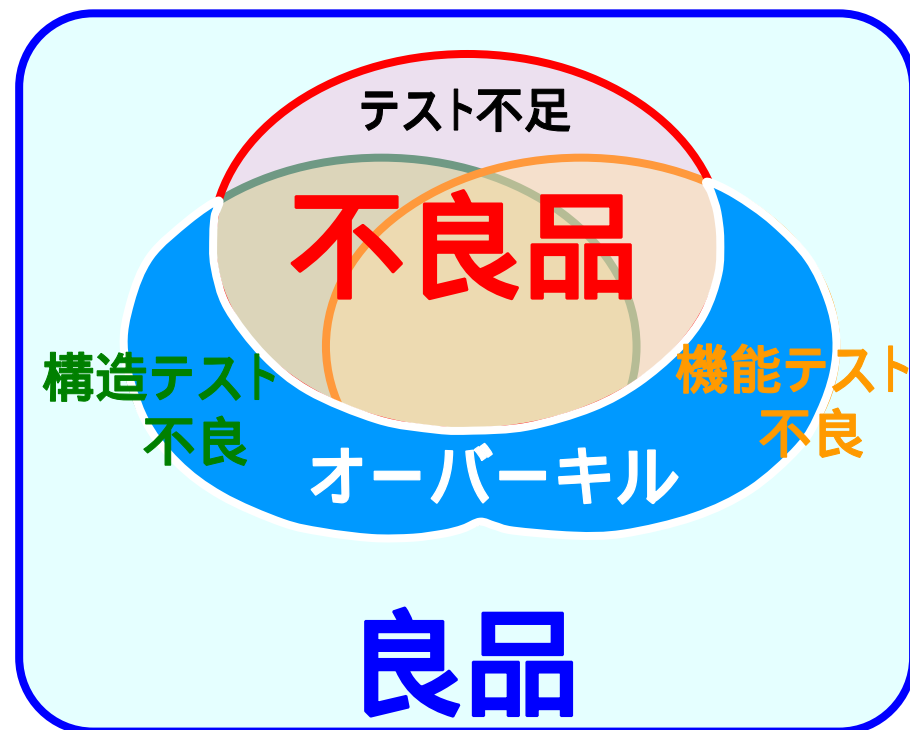
論理的な故障モデル

- ・縮退故障モデル
- ・遷移遅延故障モデル
- etc.

テスト状態と実使用状態の乖離

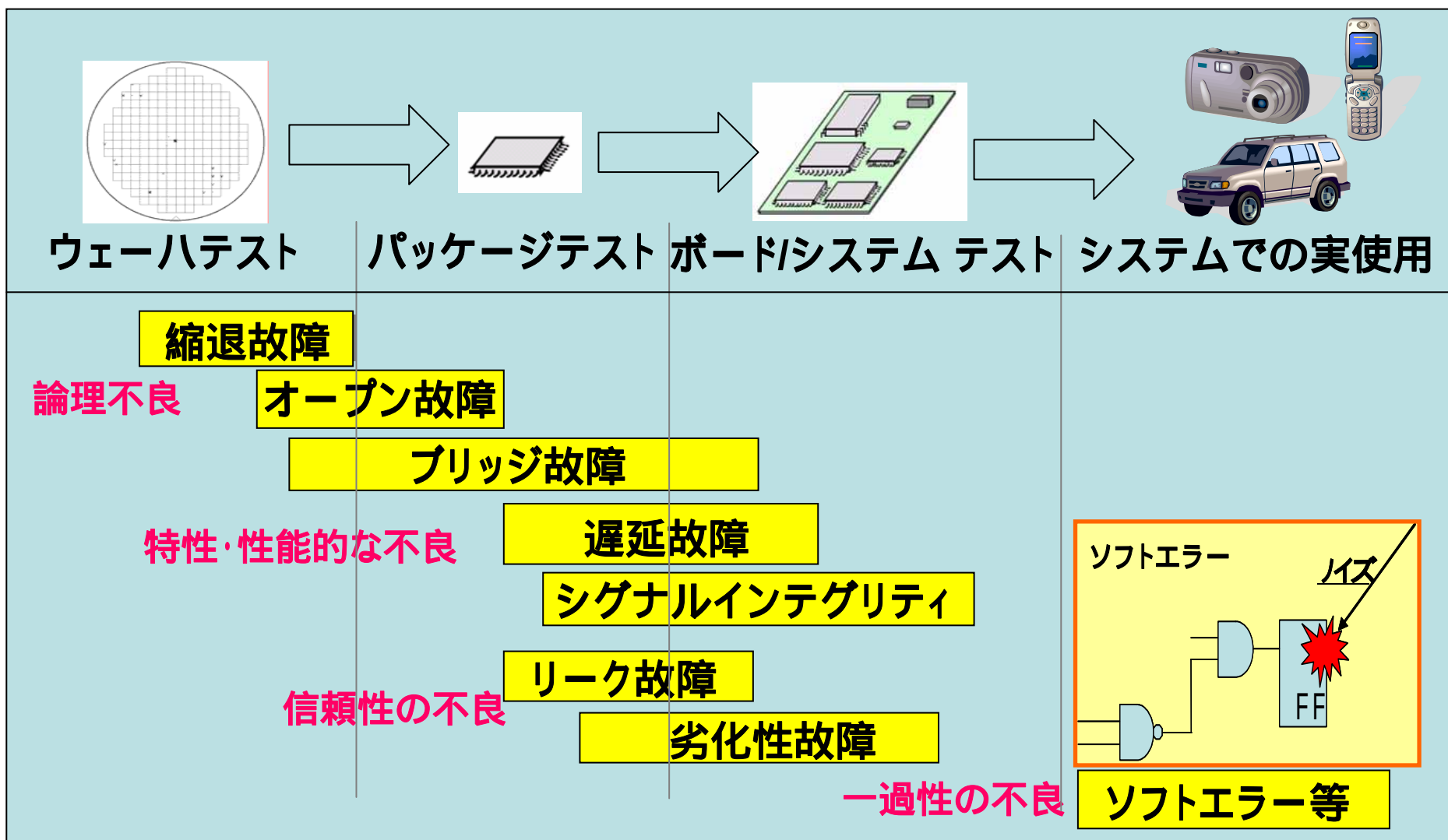
構造テスト/機能テストと良品/不良品の関係

テスト種別	テスト対象	問題・懸念点
構造テスト (スキャン、 BIST)	テスト動作 (主として、 製造不良)	テスト起因の オーバーキル 一例： テスト時の 動作電流増大
機能テスト	機能動作 (実使用状態 に近い： 製造不良、 設計不良)	テスト人手作成 による工数増大 カバレッジ定義無 (品質予測低下)



製品ライフタイムでのテスト、信頼性設計

SoCの信頼性向上: 製品のライフタイム全体を考慮



4. ATEサブWG活動

将来課題の共有とポテンシャルソリューション検討で、
コストと品質を踏えたテスト技術ロードマップ作成、
同時に ITRS2006/2007 へ貢献

検討項目

同測個数精査

SiPテスト

高速IOテスト

ソケットロードマップ

ディスプレイドライバ

テスト開発の経済性

課題の共有

ソリューション検討

勉強会/合宿

WG内/WG外アンケート

● ソケットロードマップ

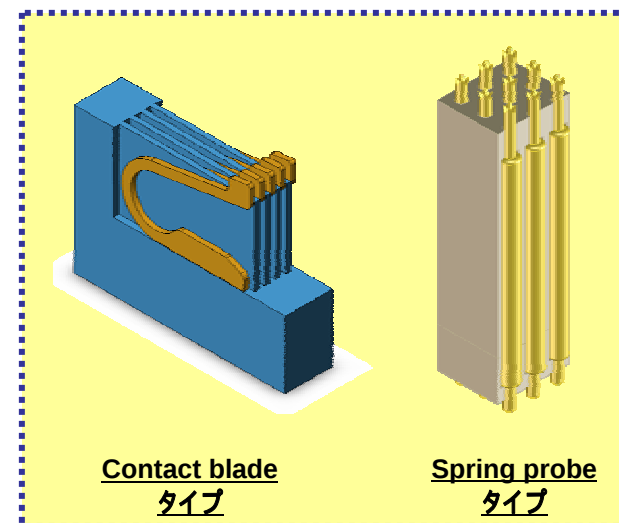
< 背景 >

* コンタクト技術(ソケット)はテストの基本であり、且つ、ITRSから要望のあったテストソケットロードマップをSEAJ検査WGと連携で検討

* ITRS台湾(昨年12月)で提案を行いITRS2007に新規掲載で合意

PKGタイプ・アプリケーションに使用される主コンタクタータイプ

PKGタイプ	アプリケーション	コンタクタータイプ
TSOP	Flash (NAND)	Contact blade
QFP	SoC (ASSP/ASIC)	検討中
BGA	DRAM	Spring probe
	Flash (NOR)	検討中
	SoC	Spring probe (50ohm)
FBGA/CSP	DRAM	検討中
	SoC	検討中



一例) BGA – SoC – Spring probe (50 ohm) のロードマップ

Table26: Logic (High volume microprocessor)	2006	2007	2008	2009	2010	2013	2016	2019
PKG Pitch (mm)	0.8	0.8	0.8	0.8	0.65	0.65	0.5	0.5
PKG Pin count	2,600	2,600	2,800	2,800	3,000	3,600	4,200	4,200
PKG I/O data rate (GT/s)	0.1-6	0.1-6	0.1-6	0.2-12	0.2-12	0.2-15	0.2-20	0.2-40
Spring probe (50 ohm)								
Impedance (ohm)	50	50	50	50	50	50	50	50
Contact stroke (mm)	0.3	0.3	0.3	0.3	0.3	0.3	0.3	0.3
Contact force (N)	<0.4	<0.4	<0.4	<0.4	<0.3	<0.3	<0.2	<0.2
Contact resistance (mohm)	100	100	70	70	50	50	50	50

● SiPテスト

2005年度活動

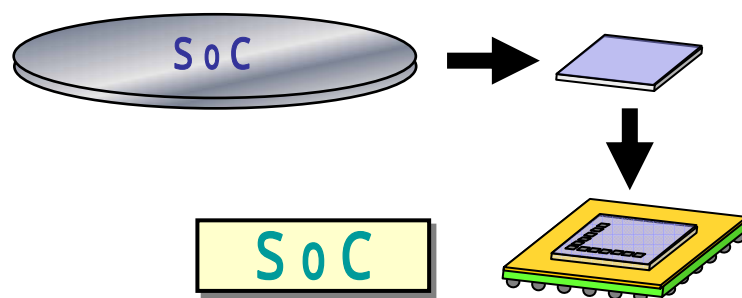
DFT/ATE間でSiPテスト
課題を共有



2006年度活動

具体的なSiPモデルを設定しテスト
コストと品質を考慮した課題マップ
作成とソリューション検討を実施

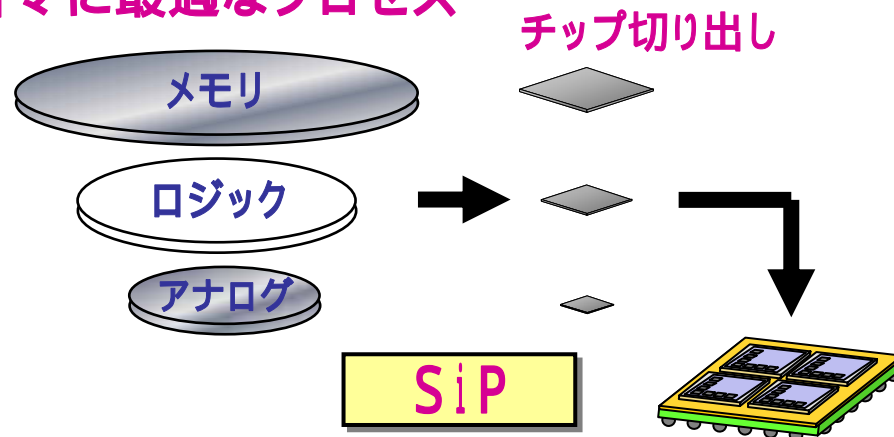
高集積 / 高性能LSIを
実現する2つのアプローチ
混載プロセス



【テストからみたSoCとSiP】

- * 1つのチップに全ての機能を集積
- * チップコスト大
- * 統一思想でのテスト設計が容易

各々に最適なプロセス



- * 各構成要素に最適なプロセスでチップ化後、
1つのパッケージに集積
- * 実装コスト大
KGD,KTD(チップレベルでの品質保証)必要
コスト低減のテスト戦略がより重要

品質とコスト

は

技術

どんなテストで測定したらいいの？
高速IOはどう測ったらいいの？
他社チップ相互間のDFT？

コスト

同測は可能？
低コストで実現可能？
KGDでもテスト必要？

品質とコストの
トレード・オフ
必要！

品質

チップメーカーはKGD/KTDで
どこまで保証してくれるの？
KGDなら大丈夫？
どうやって解析するの？

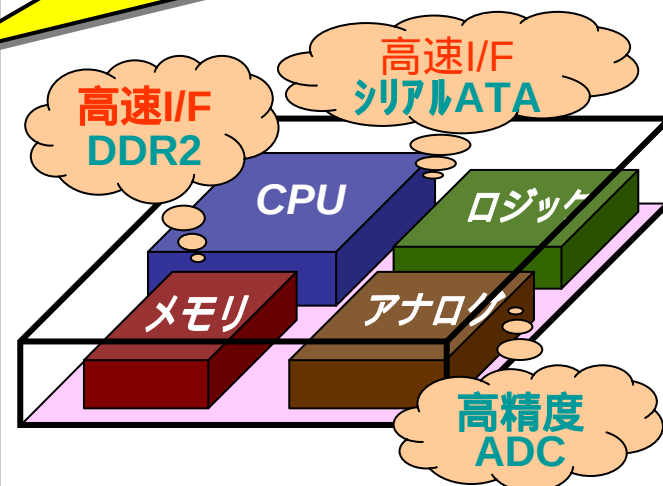
SiPテスト坊や

【具体的SiPモデル(DSC)】

DSC: Digital Still Camera

SiPモデル	構成要素	特徴	
	CPU	高速	32bit RISC
	Graphic Engine User Logic	10Mピクセル	Logic
	Memory	CCDデータ取り込み CCDデータ補正、圧縮	100Mbit 強
	AD Converter	Sensor Analog Digital 変換	16bit ADC
	Motor Driver	高速モーター駆動	Driver
	Data Bus	CCDデータ転送 → SoC Core 画像データ転送 → 内部DRAM → ストレージ	Serial / parallel Interface
	Serial Data Bus	USBデータ転送 → PC、Printer	Serial / parallel Interface
	Monitor Driver	Monitor Data転送 → Cameraモニター	Serial Interface LCD Driver
	Analog Data Output	Video出力(NTSC、PAL)	Analog AMP
	Power Management	待機状態 / 動作状態 ストロブ充電	Detector / Regulator Analog SW

具体的モデルを想定し
課題を深堀



品質/コストへの影響をマップ化

DSC 対応 SiP IP		ATE					
		High End		Mid Range		Low End	
		品質	コスト	品質	コスト	品質	コスト
Logic	CPU 32bit RISC	○	×	○	○	×	—
	Log	○	×	○	△	△	○
	Use	○	×	○	△	○	○
	SRAM	○	×	○	○	△	○
Memory	DRAM	○	×	○	△	△	○
	Flash	△	×	△	△	△	○
	ADC	○	×	○	△	×	—
Analog	DAC	○	×	○	△	×	—
	AMP	○	×	○	△	×	—
	Sencer AMP(〜uV Range)	△	×	△	△	×	—
	Digital AMP	○	×	○	△	○	○
	Video/Audio AMP	○	×	○	△	×	—
	PLL	○	×	△	△	×	—
	Parallel I/F =<500MHz	○	×	○	○	△	○
High Speed I/F	500MHz - 1.5GHz	○	×	×	—	×	—
	Over 1.5GHz	△	×	×	—	×	—
	Serial I/F =<500MHz	○	×	○	○	△	○
	500MHz - 3GHz	○	×	×	—	×	—
Power Control	Over 3GHz	○	×	×	—	×	—
	Regulator	△	×	△	△	△	○
	Analog Switch	△	×	△	△	△	○

品質的には可だが
コスト的に不可は X

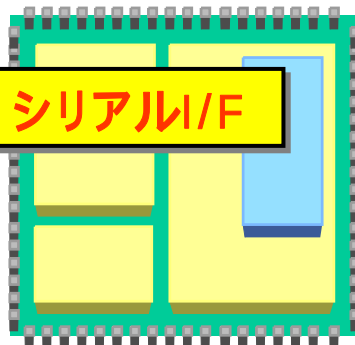
品質的に不可

高速I/FのテストをMid Range ATEで
如何に実現するかが最大の課題

● 高速 I/F テスト

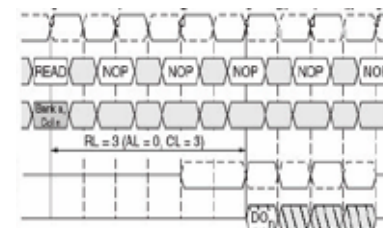
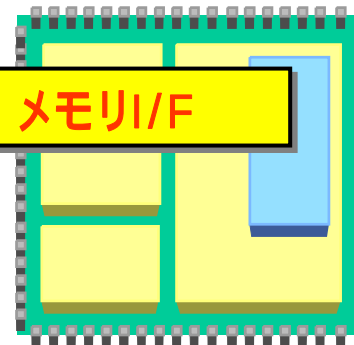
【高速I/Fの種類(大別)】

シリアルI/F



- ・シリアルATA, HDMI, USB2.0,etc
- ・少ピン/小振幅/超高速 ~ 6.4Gbps

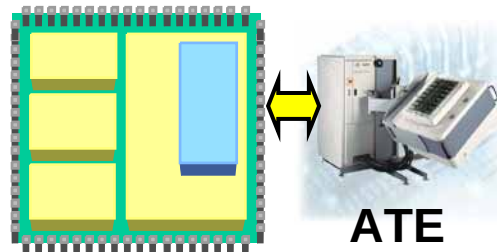
メモリI/F



- ・DDR2, DDR3,etc
- ・比較的多ピン/高速 ~ 1.0Gbps

【高速I/Fの代表的なテスト手法と特徴】

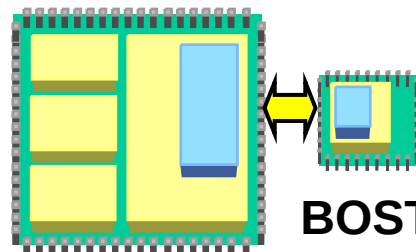
高速ATE



ATE

- ・高品質
- ・解析容易
- ・高価(設備/治具)

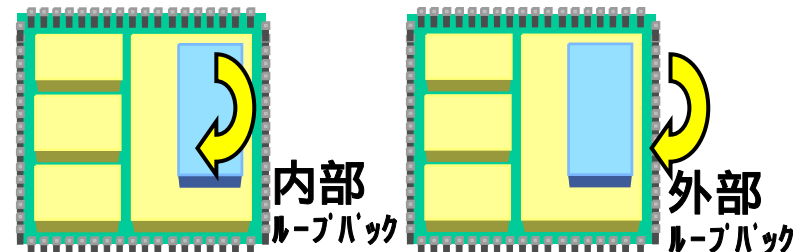
BOST(対向)



BOST

- ・限定品質
- ・解析困難
- ・安価(設備)

BIST(ループバック:内部/外部)



内部
ループバック

外部
ループバック

- ・限定品質
- ・解析困難
- ・安価(設備/治具)
- ・ウェーハ検査容易

- ・限定品質
- ・解析困難
- ・安価(設備)

勉強会(レベル合わせ)
シリアルATA, DDR2



ソリューション毎に量産テストにおける
技術/コスト/品質/TAT/解析性を検討

		ATE					ATE不使用	
		High End	Mid Range				計測器 PC制御	実機テスト
			BOST (対向)	外部計測器	BIST (ループバック)	実機と2パス		
ウェーハで出来るか？(超高速,小振幅,ジッタ等)		×(治具起因)	×(治具起因)	×(治具起因)	○(制約あり)	×	×	×
コスト面	量産コスト(時間)	×	○	△	○	×	△or×	○
	投資コスト(装置)	×	○	○	○	○	○	○
	テストプログラム/パターン開発	○	○	○	○	○	○	○
	テストボード開発	×	×	×	○	×	×	△
	プローブカード, ソケット開発	×	×	×	○	×	×	×
	設計負担/オーバーヘッド	○	○	○	×	○	○	○
TAT面 (テスト開発のTAT)		○	×	○	○	○	○	○
品質面		○	△*	○	△*	○	×	×
解析(不良時の故障箇所絞り込み、歩留向上のため)		○	△	○	×	×	△	×
測定システムの汎用性		○	△	○	○	×	○	×
プローブカードへの要求		@speed動作	@speed動作	@speed動作	—	@speed動作	@speed動作	@speed動作
ソケットへの要求		@speed動作	@speed動作	@speed動作	@speed動作	@speed動作	@speed動作	@speed動作
備考					送受信前提			

*ジッタ付加、レベルシフト等によるスクリーニングマージン確保手法の確立が必要

品質・コスト・工程上の制約などにより 適切な量産テスト手法を選択

例 *KGD保証を行う場合 BIST(内部ループバック)が有効

*投資額/量産コストを最小化 BOST(特に送信/受信が片方向のみ対応の場合)

BIST(設計負担が許容できる場合)

● サブWG活動まとめ

DFT

SoCテストについて技術課題の抽出整理

～ テスト品質・歩留・信頼性を重点的に検討 ～

- － 多様な物理欠陥に対応したテスト
- － テスト状態と実使用状態の乖離
- － 製品ライフタイムでのテスト、信頼性設計

他WGとの連携開始

- － WG1と連携しSoCモデルを基にDFT技術課題議論

ATE

ITRS2007へ新規掲載するソケットロードマップのドラフト案作成

SiPテストについて技術課題と品質/コストへの影響をマップ化

- － テスト対象モデルをDSCに技術課題抽出整理
- － 各種 (High End、Mid Range、Low End) ATEでのテスト実現可否議論

高速 I/Fテストについて量産における課題とソリューション案整理

- － 量産テスト適用ATE対応で技術/品質/コスト/TAT/解析性議論
- － 高速I/FのテストをMid Range ATEで如何に実現するかが最大の課題

5 . 2006年度活動まとめ

■ DFT(テスト設計)とATE(テスト装置)との融合

～ 品質とコストの両立する

テスト技術ロードマップ ～ に向け

月一度の会合と秋合宿、及び、勉強会を通し、メンバー間で
SoCテスト、SiP/高速IOテスト、テスト経済性の課題に
対する深堀と共有化を達成

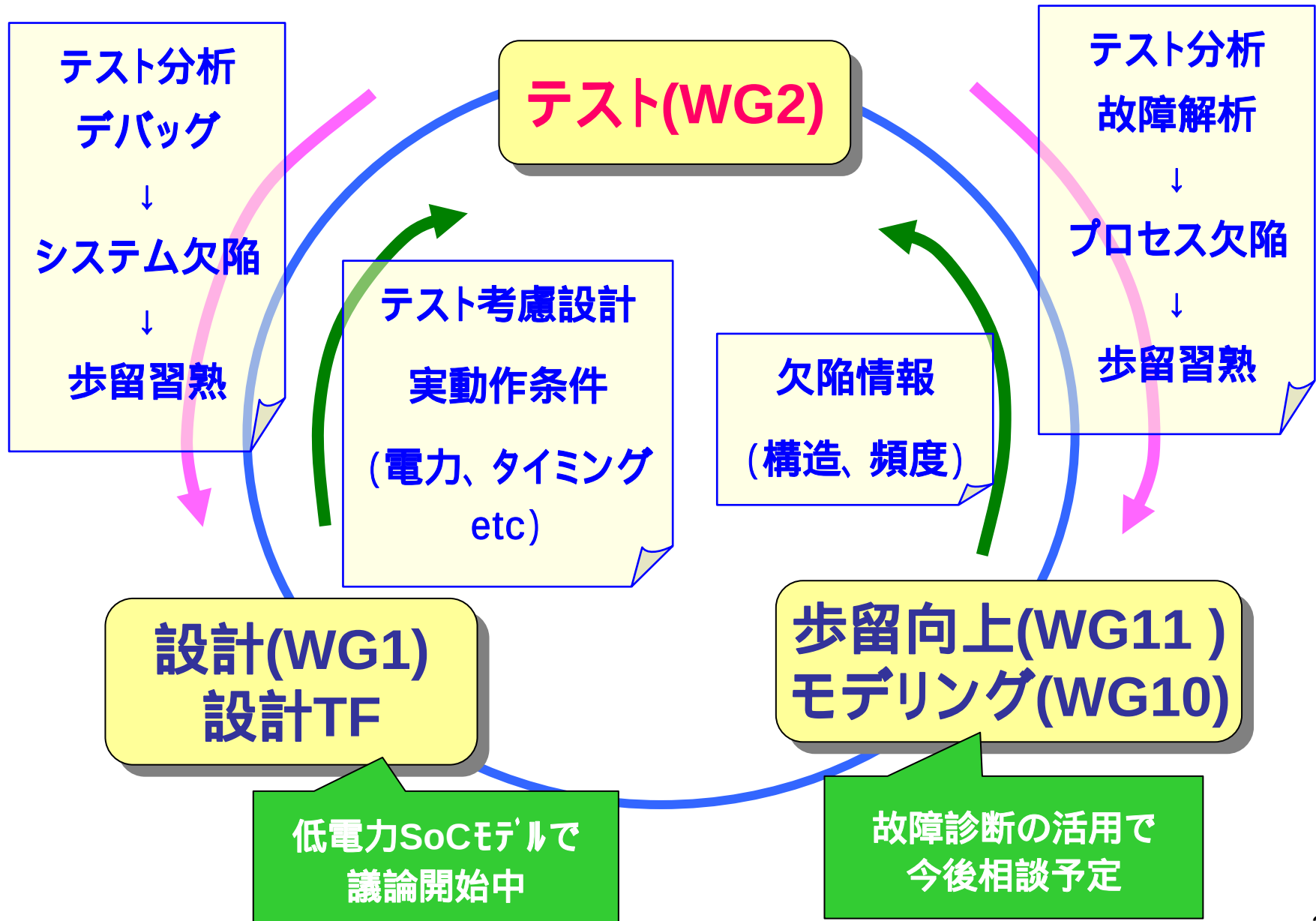
■ ITRS2006への貢献

- DFTより、SoC要求Tableの定量値ブラッシュアップ
- ATEより、同測個数ブラッシュアップ



2007年度WG2活動へ

テストの役割



LCDドライバICロードマップ(大型TV用) 調査アンケート

NO.	項目	2006	2007	2008	2009	2012	2015	2020
1	プロセス ルール							
2	ウェーハサイズ							
3	出力ピン数(先)							
4	出力ピン数							
5	総ピン数							
6	電源ピン数							
7	データピン数							
8	制御ピン数							
9	パッケージ							
10	パッケージ							
11	パッケージ							
12	パッケージ							
13	パッケージ							
14	パッケージ							
15	パッケージ							
16	パッケージ							
17	パッケージ							
18	デバイス							
19	パッケージ							
20	テープ厚(TCP, S)							
21	ファンクション試験方法							
22	出力電圧試験方法							

JEITA (STRJ-WG2)/SEAJ (特別委員)

連携の一環でデバイス動向調査

(第三機関によるアンケート)を行ないました。

ご協力頂いた方々に改めて御礼申し上げます。

ありがとうございました。

引続きのご支援をお願い申し上げます。

アンケート集計結果は活動報告書に記載