

モデリング／シミュレーションWG

デバイス開発へのM&S活用

- MOSFETロバスト特性開発、ばらつき問題への取組み状況 -

WG10 リーダー

麻多 進

WG10メンバー

佐藤 成生、國清 辰也、林 洋一、木村 光紀、青木 伸俊、
藤原秀二、藤井克正、海本博之、小方 誠司、中村 光利、
谷口研二、小谷教彦、大野隆央、
佐野 伸行、三浦 道子

報告内容

はじめに

- M&S (TCAD)のスコープ
- MOSFETロバスト特性開発、ばらつき問題

ITRS2006活動

- Tableの修正
- 2007年に向けての課題

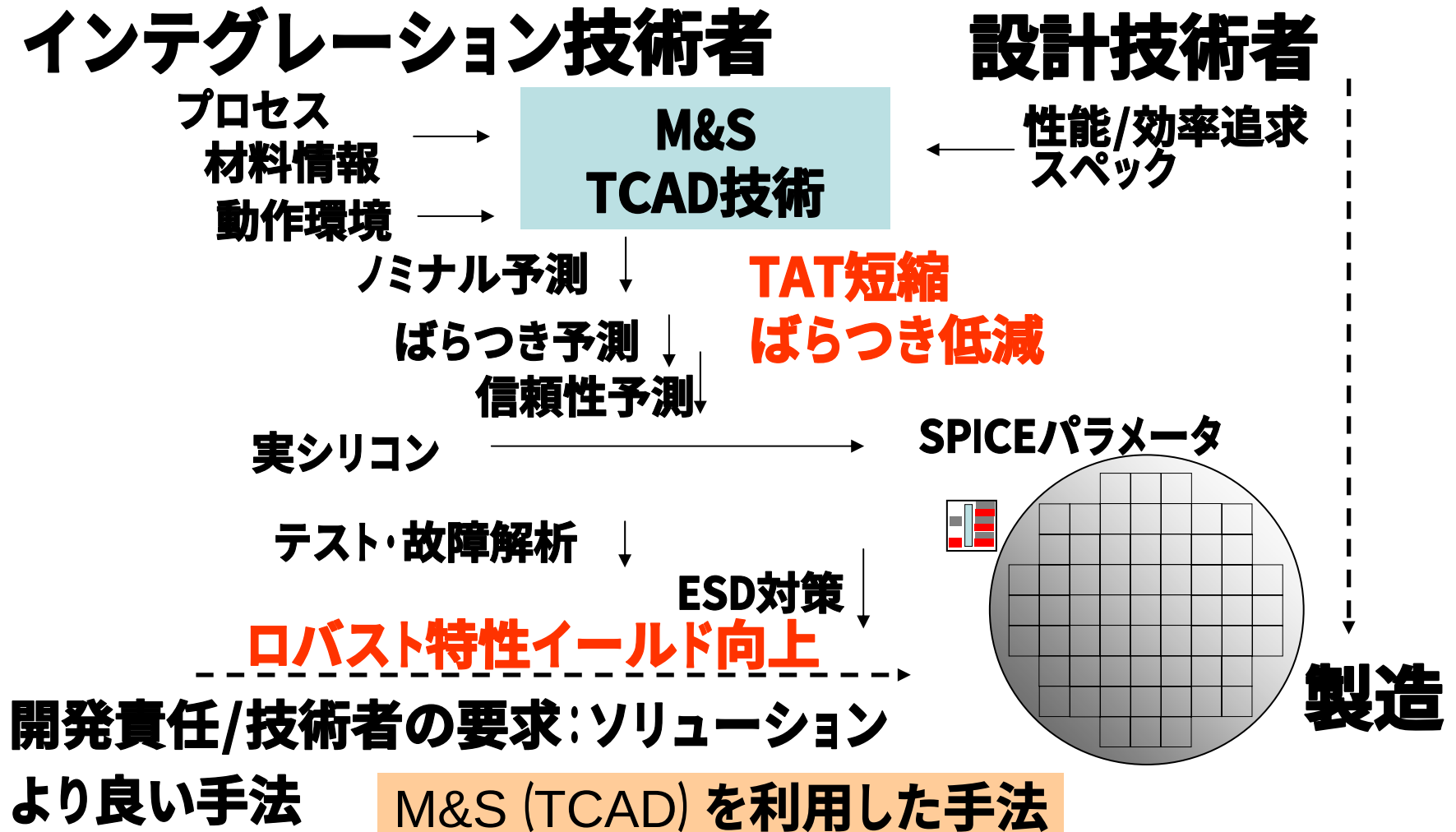
STRJ-WG10活動

- ばらつき予測、ばらつき起源ヒアリング
- Modeling&Simulation関連学会動向調査
- Modeling&Simulation関連学会にみられるTCAD手法/活用例

まとめ

はじめに

■ M&S (TCAD) のスコープ



主な略語用語

M&S	<u>M</u>odeling & <u>S</u>imulation
TCAD	<u>T</u>echnology <u>C</u>AD
CAD	<u>C</u>omputer <u>A</u>ided <u>D</u>esign
EDA	<u>E</u>lectronic <u>D</u>esign <u>A</u>utomation
DFM	<u>D</u>esign <u>F</u>or <u>M</u>anufacturing
IDM	<u>I</u>ntegrated <u>D</u>evice <u>M</u>anufacturer
SoC	<u>S</u>ystem <u>o</u>n a <u>C</u>hip
OPC	<u>O</u>ptical <u>P</u>roximity <u>C</u>orrection
ESD	<u>E</u>lectro <u>S</u>tatic <u>D</u>ischarge
SISPAD	International Conference on <u>S</u>imulation of <u>S</u>emiconductor <u>P</u>rocesses and <u>D</u>evices
Selete	<u>S</u>emiconductor <u>L</u>eading <u>E</u>dge <u>T</u>echnologies, Inc.
SUGERT	<u>S</u>trategic <u>U</u>ser <u>G</u>roup for <u>E</u>uropean <u>R</u>esearch on <u>T</u>CAD

■MOSFETロバスト特性、ばらつき問題

スケーリングによる性能とロバストの両立が難
複雑なばらつき起源→外挿等で予測難

ITRS/STRJ活動

MOSFETのばらつき影響のTCADによる調査

◆2005取組みを継続

目的: 先ず、M&Sロードマップの精度を高める

STRJ TFや他WGへの情報発信と協力依頼

WG10 M&S構成メンバ

氏名	組織	役割	主担当領域
麻多 進	NEC EL	リーダー	Interconnects
佐藤 成生	富士通	国際対応	Device Modeling
國清 辰也	ルネサス	国際対応	Device Modeling
林 洋一	沖	幹事	Design, Manufacturing Yield
木村 光紀	ソニー	委員	Front End Process Modeling
青木 伸俊	東芝		Front End Process Modeling
海本 博之	松下		
藤原 秀二	三洋		
西尾 修	シャープ		
中村 光利	Selete (コンソーシアム)		Numerical Methods
谷口 研二	阪大	特別委員	
小谷 教彦	広島国際大		
大野 隆央	物質・材料機構		Materials Modeling
佐野 伸行	筑波大		Device Modeling
三浦 道子	広島大		Circuit Element Modeling
小方 誠司	アルバック	SEAJ	Equipment Modeling

網掛け: 2006年度変更

ITRS M&S構成

欧州

STM-F, Infineon*, NXP*
J. Lorenz, Fraunhofer IISB*
*+ 8 further TWG members**
**: supported by EC User Group SUGERT*

米国

W. Trybula (SEMATECH)
INTEL, TI, Synopsys,
+ 4 further TWG members

アジア

S. Sato, Fujitsu
Japanese TWG 11 industrial +
5 academic members

J.-H. Choi, Hynix, Samsung

Y.T. Chia, TSMC, Faraday, Macronix, UMC

企業、大学、コンソーシアム、ベンダーの協力体制

ITRS2006活動

➤ Table の修正

difficult challenge / capability / accuracy

➤ 2007年に向けての課題

M&Sの精度の定義：ある世代を代表するCalibration後の精度

■ 技術課題：ソースドレインの活性化

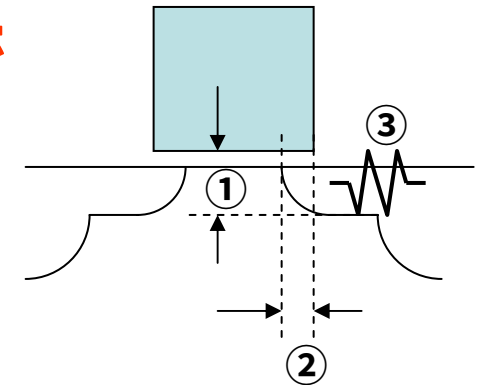
➤ モデリング新アニールへの対応：2007以降赤

➤ 活性化濃度の計測技術

■ ロードマップの課題

➤ ProcessとDeviceの技術レベルの整合性の確認

➤ Vt rolloffの定義見直しが必要

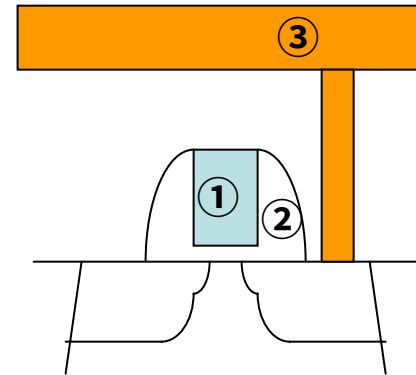


	Process	2005	2006	2007～2009	2010～2013
①	Vertical junction depth simulation accuracy	10%	10%	10%	10%
②	Lateral junction depth simulation accuracy	5%	5%	5%	5%
③	Total source/drain series resistance (accuracy of activation)	5%	5%	5%	5%

	Device	2005	2006	2007	2008～2013
	Length-dependent Vt rolloff accuracy (mV)	15	10	10	7
ADD	Width-dependent Vt rolloff accuracy (mV)	15	10	10	7

■ 技術課題

- 2007年度以降の形状予測技術は存在していない。
- 断面データを入力して特性を計算しているレベル。



	2005	2006	2007～2013
Wafer scale deposition/etching/CMP accuracy	5%	5%	5%
General 2D/3D topography accuracy (% accuracy of feature dimensions)	5%	5%	5%
① Gate 2D/3D topography accuracy (% accuracy of the MPU physical gate length)	1.8%	1.8%	1.8%
② Gate sidewall spacer 2D/3D topography accuracy (% accuracy of sidewall width)	5%	5%	5%
③ Interconnect 2D/3D topography accuracy (% accuracy of MPU/ASIC Metal 1 (M1) ½ Pitch)	5%	5%	5%

Accuracy of sensitivity

感度の精度を新設。要求値が10%とは、あるプロセスで膜厚が5nm変化するとき、この変化量を4.5-5.5nmの範囲で予測すべきと言う意味。

	2005～2006	2007～2009	2010～2013
ADD	Absolute CD prediction accuracy (incl. OP effects) for dense and isolated lines – % of actual CD (=printed gate length)	3%	3%
	Accuracy of sensitivity of CD vs. relevant technology parameters (dose, defocus, pitch,)	10%	10%
	Vertical junction depth simulation accuracy (% of physical gate length)	10%	10%
ADD	Lateral junction depth simulation accuracy: (% of physical gate length)	5%	5%
	Accuracy of sensitivity of junction depth w.r.t. implantation and anneal conditions	5%	5%

感度や機構検証には、モデルの明確化、計測技術がポイント

2007年度版に向けての課題

開発コスト削減の要求値の精査 (35% @2005年)

日本 2003年度に実施済

欧州 2006年度に実施 → コスト削減の実績33%(母数が8件と少ない)

2006年度版積み残し

Calibrationに関する記述

Calibrationの課題として、2010年頃、何が問題になるか？

→ 測定技術がポイントになる。

→ 評価計測の章に、必要な技術が挙げられているかどうかを確認する。

オレンジの提案

ゼブラ：最適化されてなくても既に製造できている

黄：モデル/手法は存在。最適化が必要

赤：モデル/手法が無い(simulation不可)と、製造が不可能

オレンジ：モデル/手法が無く(simulation不可)でも、製造は可能

ITRS M&Sメンバー

欧州・日本以外は低調

報告内容

はじめに

- M&S (TCAD)のスコープ
- MOSFETロバスト特性開発、ばらつき問題

ITRS2006活動

- Tableの修正
- 2007年に向けての課題

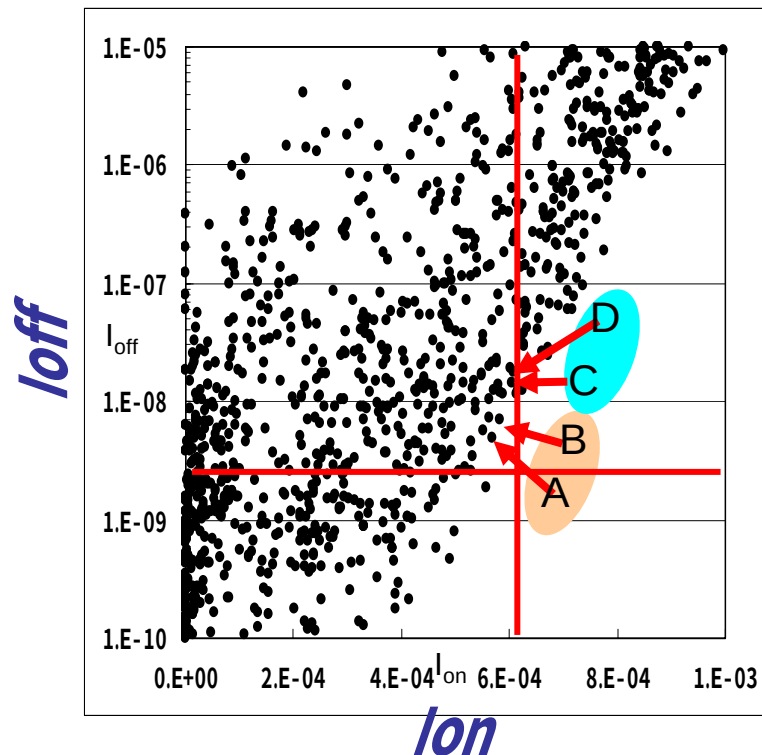
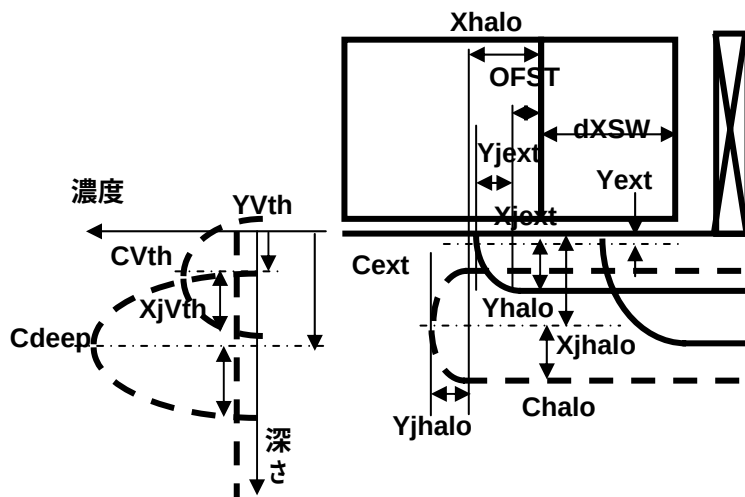
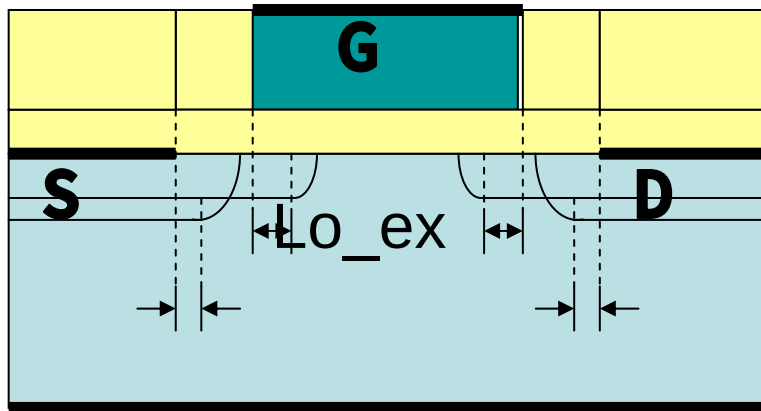
STRJ-WG10活動

- ばらつき予測、ばらつき起源ヒアリング
- Modeling&Simulation関連学会動向調査
- TCAD手法/活用例調査

まとめ

STRJ-WG10活動 経緯

**[ばらつき検討] 目的:M &S ロードマップの精度up
-05年度 ガウス型分布のHalo構造検討 (和田前L報告)**



***Ion*、*Ioff*、*Vth_rolloff* ほぼ同じでも
ばらつき感度が大きく異なる可能性**

[ばらつき検討継続] 目的:M &S ロードマップの精度up

ばらつきに対する予測、ばらつき起源のヒアリング

7/25 STRJ-WG10講演/三浦[11月より]委員 (広大)

MOSFETの特性ばらつき予測とRFのコンパクト・モデリング

プロセスばらつき Parametric Variation: 予測可能

Wafer上MOSFETばらつき例

(H.Masuda et. al., CICC, p.593,2005)

Q/A: ランダムばらつき: 対象デバイスとその周辺デバイスとの相互作用にも起因。レイアウトを含め解析することが必要。予測も可能。

キャリア注入速度を極限 (準弾道) 値にするには？

1. ゲート長 L_g ~ 平均自由行程(λ)程度まで微細化
2. Intrinsic(チャネル) 領域での散乱抑制
3. Extrinsic (S/D) 領域での寄生抵抗の抑制

その際、ばらつきの起源は？

極限MOSにおける電子輸送と特性ばらつきの起源

背景: 既存素子におけるナノスケールとは?

A. Comparable to mean-separation of impurities and electrons

離散性

$$N_d = 10^{18} \text{ cm}^{-3} \Rightarrow 5 \text{ nm}$$

in-homogeneity $\Rightarrow$ separation of long- and short-range parts of potential

B. Comparable to mean-free path of electrons at $T = 300\text{K}$

準弾道性

$$\tau = 74 \text{ fs } (\mu = 450 \text{ cm}^2 / \text{V-s}) \Rightarrow 10 \text{ nm}$$

less frequent scattering $\Rightarrow$ nonlocal electron transport

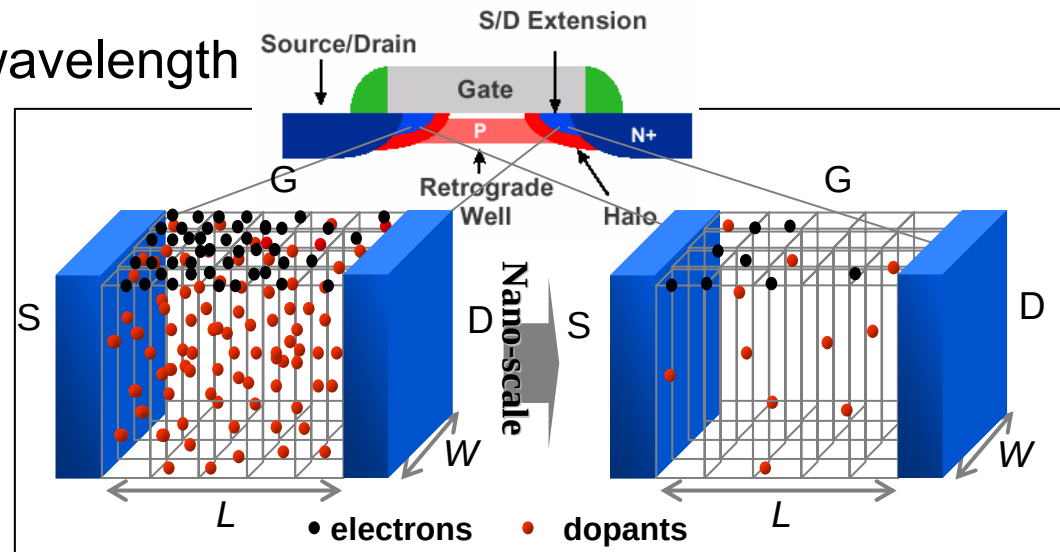
C. Comparable to de Broglie wavelength

$$\lambda \approx 5 \text{ nm at } \varepsilon = 0.1 \text{ eV}$$

量子性

phase coherence
 $\Rightarrow$ phase interference

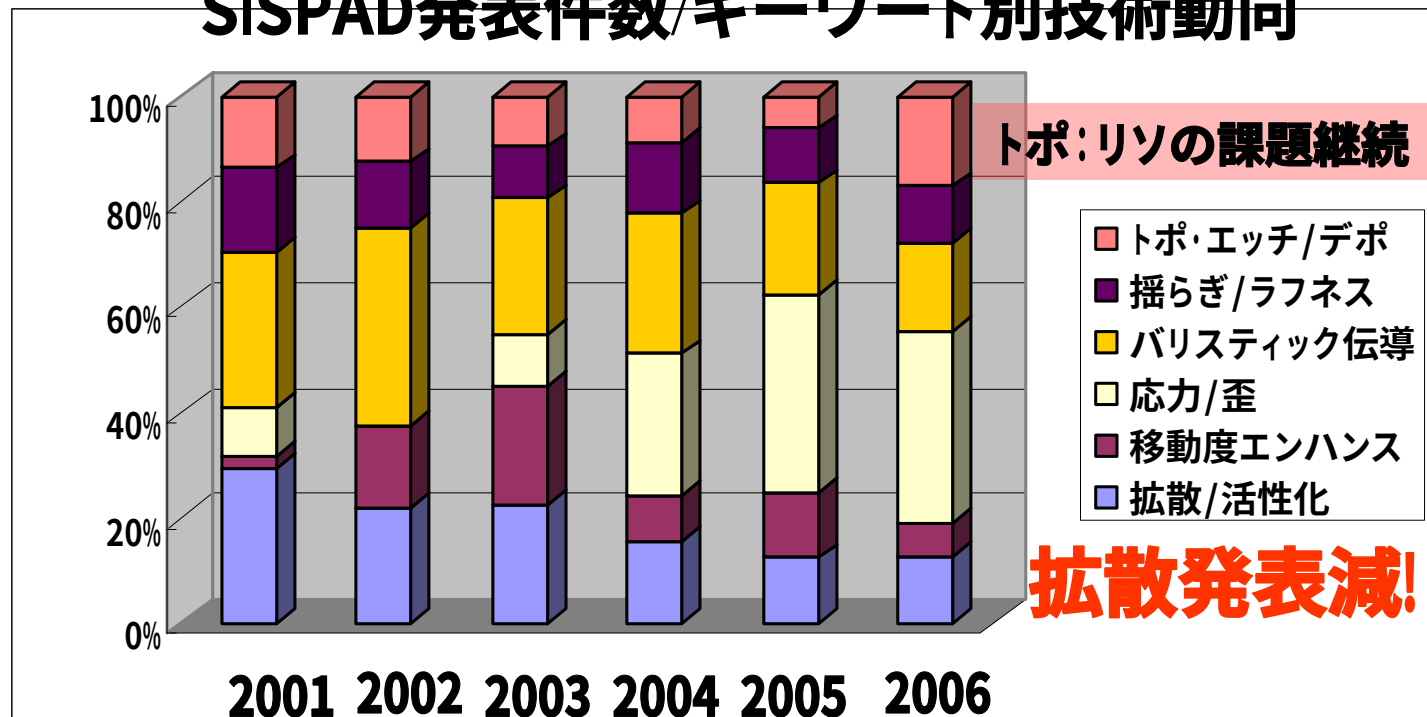
3つの要素がからみ
モデリングは簡単でない。



Modeling & Simulation 関連学会動向調査

International Conference on Simulation of Semiconductor Processes and Devices

SISPAD発表件数/キーワード別技術動向



*
**
#

* 揺らぎ/ばらつき問題継続: 最近欧米勢減。意識に日本とズレ?

** バリスティック伝導: デバイス開発者の期待と意識あわせが必要

応力と移動度エンハンスは、プロセス歪に忠実な電流計算が不十分。
移動度歪依存の機構解析は進展

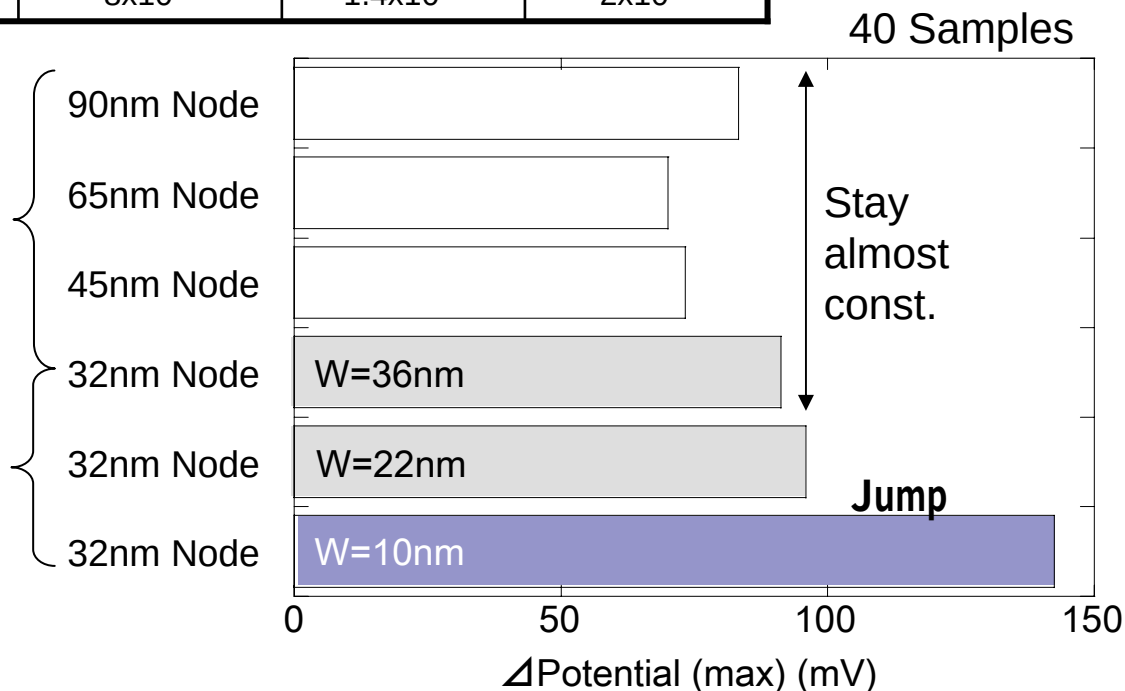
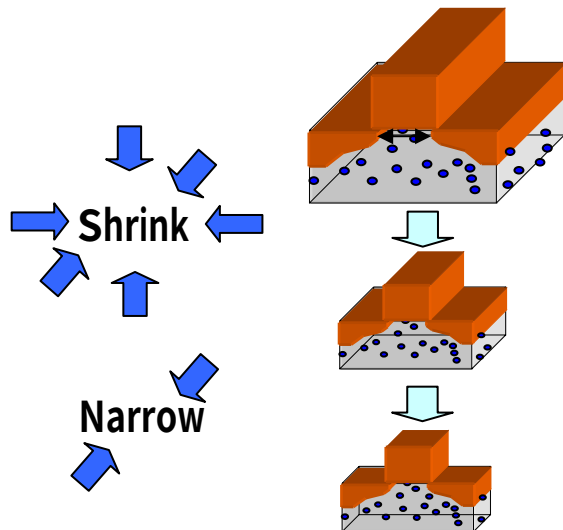
Modeling & Simulation関連学会 に見られるTCAD手法/活用例

SISPAD発表済で国内関係を先ずピックアップ

揺らぎ/ばらつき

2005SISPAD,2-4 Y.Ashizawa et.al., *Fujitsu*

	90nm Node	65nm Node	45nm Node	32nm Node
L(nm)	36	26	18	12
Tox(nm)	1.2	0.9	0.7	0.6
Vdd(V)	1.2	1.1	1.0	0.9
Na(cm ⁻³)	5x10 ¹⁸	8x10 ¹⁸	1.4x10 ¹⁹	2x10 ¹⁹



Modeling & Simulation関連学会 に見られるTCAD手法/活用例

SISPAD発表済で国内関係を先ずピックアップ

揺らぎ/ばらつき

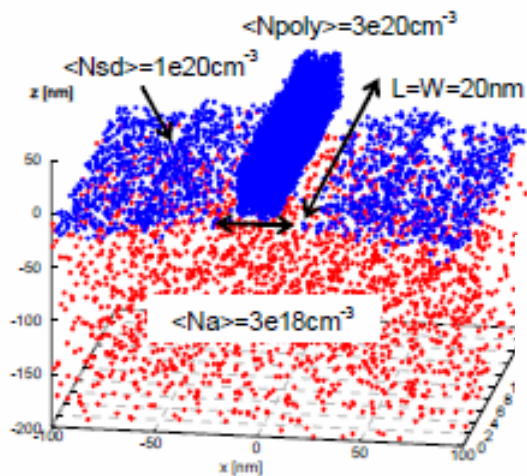


Fig. 6: Generated 3-dimensional impurity profile according to uniform random number. Atomicity of the entire regions including poly-Si gate is considered. X_j s of S/D deep S/D, usually assumed to be extremely shallow in p are set as 15 and 30 nm, respectively, in our simulation.

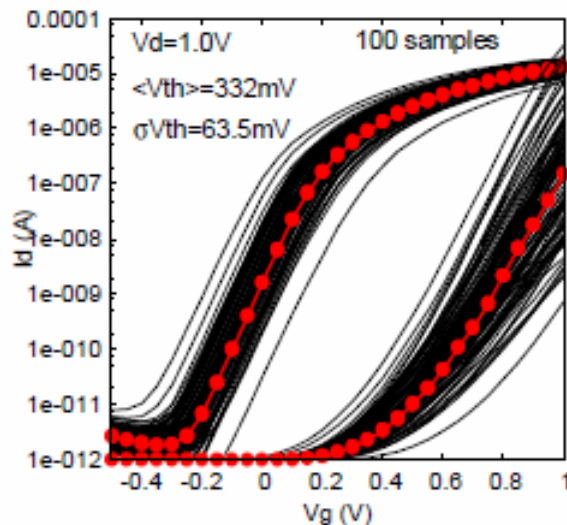


Fig. 7: I_d - V_d characteristics of MOSFETs with Schottky resistance. Red solid circles mean the sample without random fluctuations. Threshold voltage V_{th} is defined as the gate voltage at which I_d reaches $1 \mu\text{A}$.

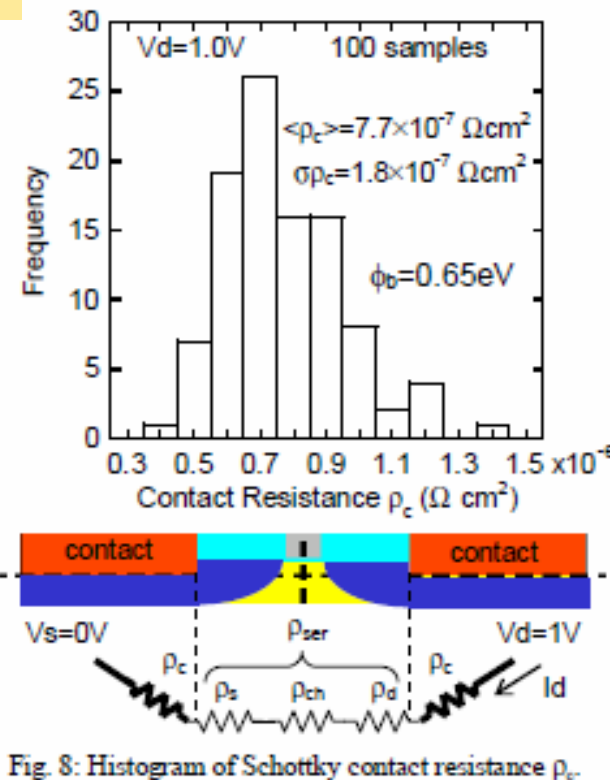


Fig. 8: Histogram of Schottky contact resistance ρ_c .

2006SISPAD, 5-5 S.Toriyama,et.al.,Toshiba

Modeling & Simulation関連学会 に見られるTCAD手法/活用例

SISPAD発表済で国内関係を先ずピックアップ

応力と移動度エンハンス

2006SISPAD,3-1 M.Hane et.al.,NEC

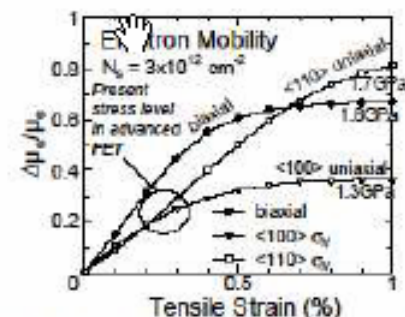
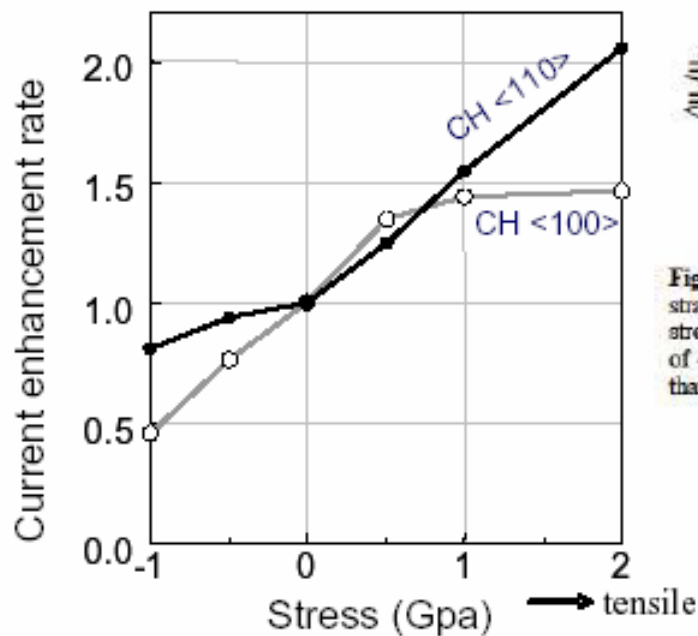
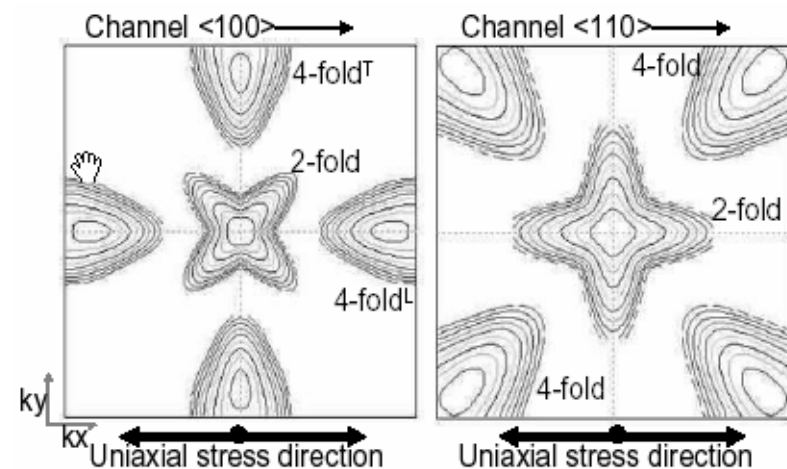


Fig. 19: μ_e enhancement as a function of strain. Stress realizing 1% strain for each stress condition is described. At high stress of ~ 1.5 GPa, $\langle 110 \rangle$ uniaxial stress is better than biaxial stress due to m^* change.

Similar tendency to the mobility analysis (Uchida, IEDM 2005)

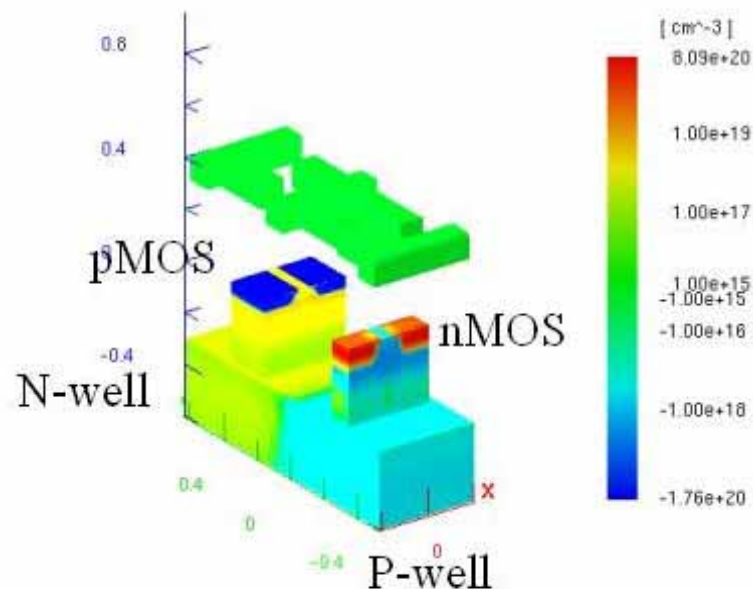
<100>, <110> バンド構造 フルバンドMC 応力依存電流計算結果
移動度歪依存の機構解析は進展

Modeling & Simulation関連学会 に見られるTCAD手法/活用例

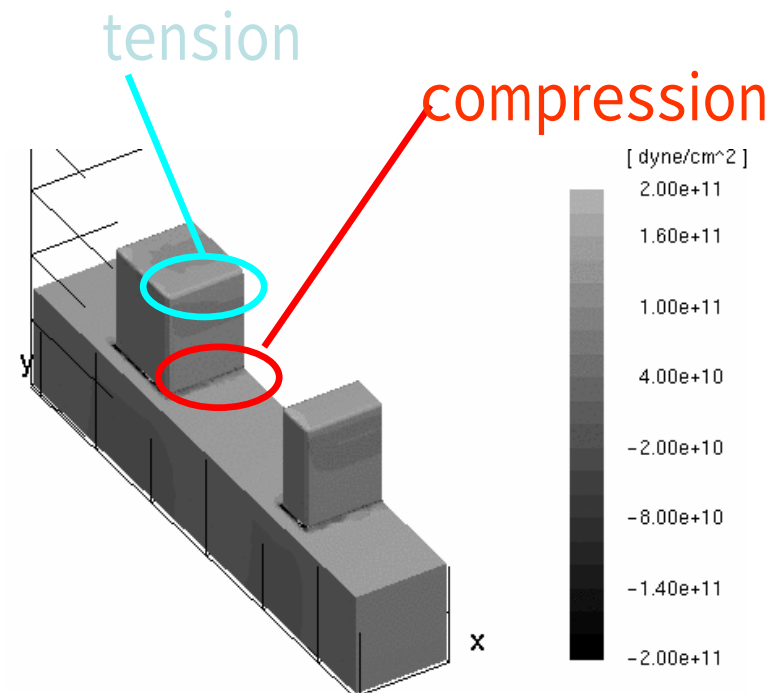
SISPAD発表済で国内関係を先ずピックアップ

3次元プロセスシミュレータ開発

2006SISPAD, 13-2 M.Fujinaga et.al., *Selete*



CMOSインバータ不純物分布



トレンチ酸化応力計算

フルプロセス歪解析とDFMをどう結びつけるか？ 今後也要強化

IEDM2006

T. Noda et al.,
Matsushita,
IMEC

**Analysis of Dopant Diffusion and Defect Evolution during sub-millisecond Non-melt
Laser Annealing based on an Atomistic Kinetic Monte Carlo Approach**

Simulation

手法

Atomistic

KMC :Kinetic Monte Carlo

にて、サブ・ミリ秒アニーリング Bの拡散の浅接合解析を実行

実測

SSRM: Scanning Spread Resistance Microscopy

走査型 拡がり抵抗 顕微鏡

にて、キャリアプロファイル

等を観測比較

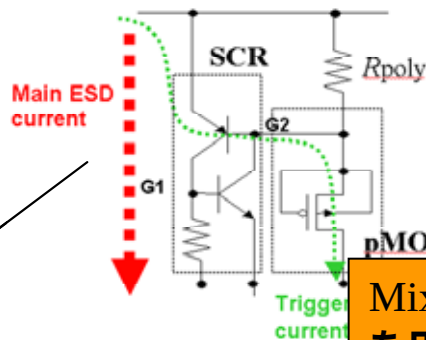
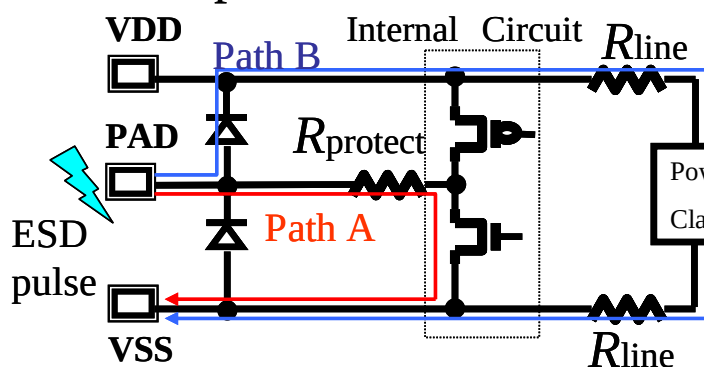
Modeling & Simulation関連学会 に見られるTCAD手法/活用例

ロバストTr ESD保護素子設計例

SISPAD発表済で国内関係を先ずピックアップ

2005SISPAD, 6-1H. Hayashi et.al., Oki

ESD test protection circuit



SBL:
Salicide-block
Length
 L_n, L_p :
Base length of SCR

Mixed-Modeシミュレーション
を用いて保護回路最適化

Parameters

Power Clamp

pMOS: L, W, SBL

SCR : L_n, L_p, W

R_{poly}

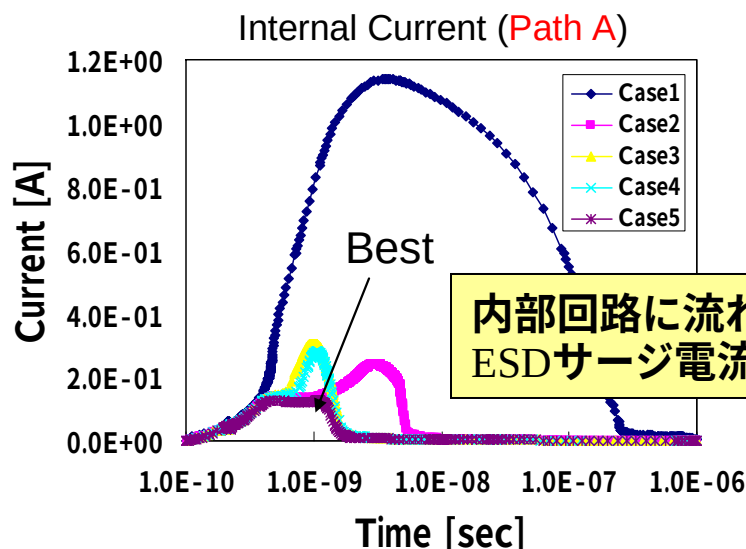
$R_{protect}$
 R_{line}

赤字は
パラメータ

Optimization

Limitation

Area penalty



内部回路に流れる
ESDサージ電流

ESSDERC2006 N. Yasutake, *Toshiba*

A High Performance pMOSFET with Two-step Recessed SiGe-S/D Structure for 32nm node and Beyond

N. Yasutake, T. Ishida, K. Ohuchi, N. Aoki, N. Kusunoki, ¹S. Mori, ¹I. Mizushima, T. Morooka, ¹K. Yahashi, S. Kawanaka, K. Ishimaru and H. Ishiuchi

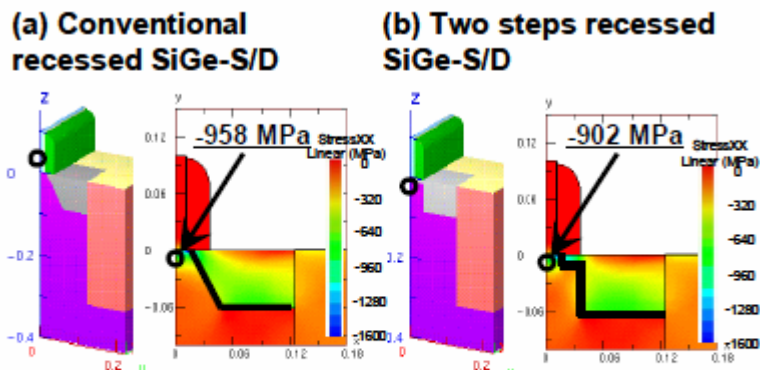


Fig. 4 3-D stress simulation of (a) conventional recessed SiGe-S/D, (b) Two steps recessed SiGe-S/D.

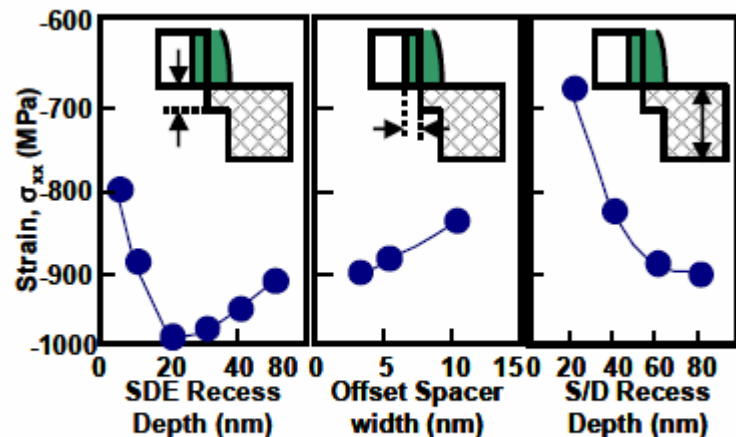


Fig. 5 Dependence of pMOSFET structure to channel strain.

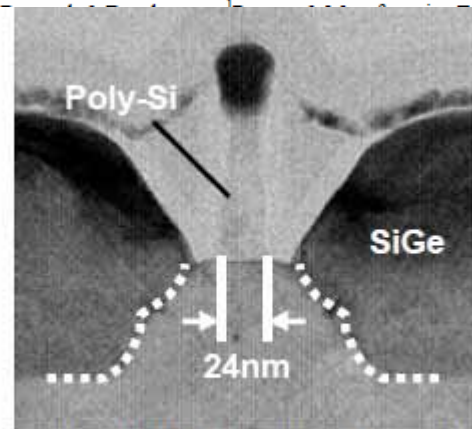


Fig. 8 Cross-sectional TEM of optimized two-step recessed SiGe-S/D pMOSFET.

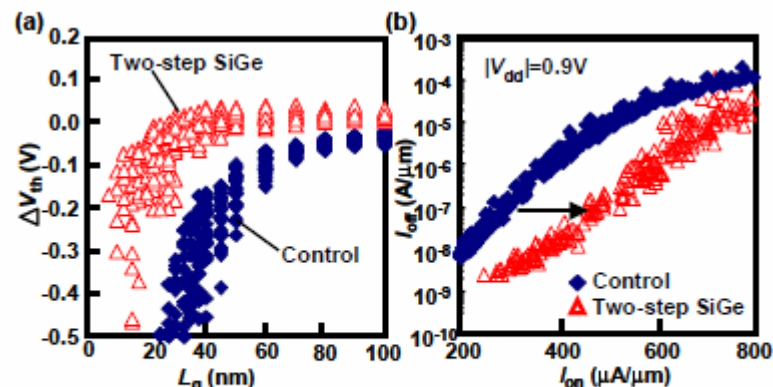


Fig. 9 Improvement of pMOS performance with two-step recessed SiGe-S/D. (a) V_{th} roll-off ($\Delta V_{th} = V_{th} - V_{th}@L_g = 300 \text{ nm}$), (b) $I_{on} - I_{off}$ characteristics ($|V_{dd}| = 0.9 \text{ V}$).

まとめ

■ M&Sのロードマップ

- ◆ ソースドレイン活性化は、モデリングが赤
- ◆ 精度要求する際、ばらつきが影響
感度や機構検証には計測技術がポイント

■ STRJ活動

- ◆ 2005取組みを継続
- ◆ M&S関連学会 (SISPAD) 動向を調査
- ◆ ばらつきへ今後更に必要な予測技術や起源理解についてヒアリング実施。WG活動へご参加依頼

まとめ (続き)

■ ばらつき問題

- ◆ 揺らぎ/ばらつき問題継続：最近欧米勢の発表減。興味や意識にズレ？問題は深い。積極的取組み必要

■ 応力と移動度エンハンス

- ◆ プロセス歪に忠実な電流計算が不十分
移動度歪依存の機構解析は進展

■ バリステック伝導

デバイス開発者の期待と意識あわせ必要

まとめ(続き)

開発責任/技術者の要求:ソリューション、より良い手法

M&S (TCAD) を利用した手法

ロバスト特性の設計・テスト・故障対策・イールド向上へフィードバック

◎TCAD手法現状/活用例 (既発表からピックアップ)

- ◆ロバスト特性やばらつきに関する実用的発表が増えている。
- ◆拡散は学会発表が減ったが、ロバストやばらつき問題を扱う際の基礎的な領域で、未だ未だ、課題あり。
計算技術や計測技術が学会レベルで見えて来た。
- ◆3Dプロセスシミュレータ開発は、今後も要強化
特にDFMに結びつける開発
- ◆モデリング、ツール開発は大学、コンソーシアム、ベンダーの協力が不可欠