

ITRS 2007 の概要

半導体技術ロードマップ専門委員会 (STRJ) 委員長

石内秀美 (東芝)

主要略語一覧(アルファベット順)

- ERD: Emerging Research Devices 新探究デバイス
- ERM: Emerging Research Materials 新探究材料
- EUV: Extreme Ultra Violet
- FEP: Front End Process (ITRSの章の名前でもある)
- High-k: 高誘電率(比誘電率の記号としてkを使うことから)絶縁膜。MOSFET用のゲート絶縁膜
- ITRS: International Technology Roadmap for Semiconductors 国際半導体技術ロードマップ
- JEITA: 社団法人 電子情報技術産業協会 (Japan Electronics and Information Technology Industries Association)
- Low-k: 低誘電率(比誘電率の記号としてkを使うから)絶縁膜。多層金属配線用絶縁膜
- M1: Metal-1 最下層(第1)の金属配線層
- MPU: Micro Processor Unit マイクロプロセッサ
- NTRS: National Technology Roadmap for Semiconductors 米国のSIAが編集した半導体技術ロードマップ
- PIDS: Process Integration, Devices and Structures (ITRSの章の名前)
- SIA: Semiconductor Industry Association 米国半導体工業会
- STRJ: Semiconductor Technology Roadmap committee of Japan 半導体技術ロードマップ専門委員会。JEITA半導体部会 半導体技術委員会 の専門委員会

STRJ, ITRSの歴史と現状



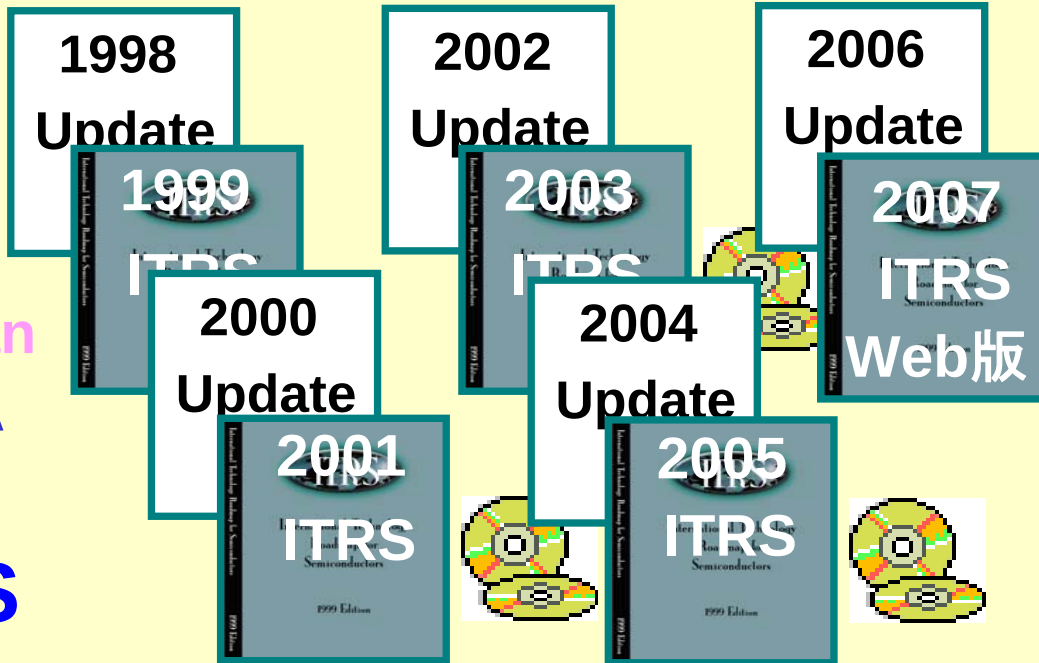
1990

1998 1999 2000 2001 2002 2003 2004 2005 2006 2007



Europe
Japan
Korea
Taiwan
USA

ITRS



STRJ

1998年発足

タスクフォース、クロスカット活動

半導体産業・技術開発の経済性委員会

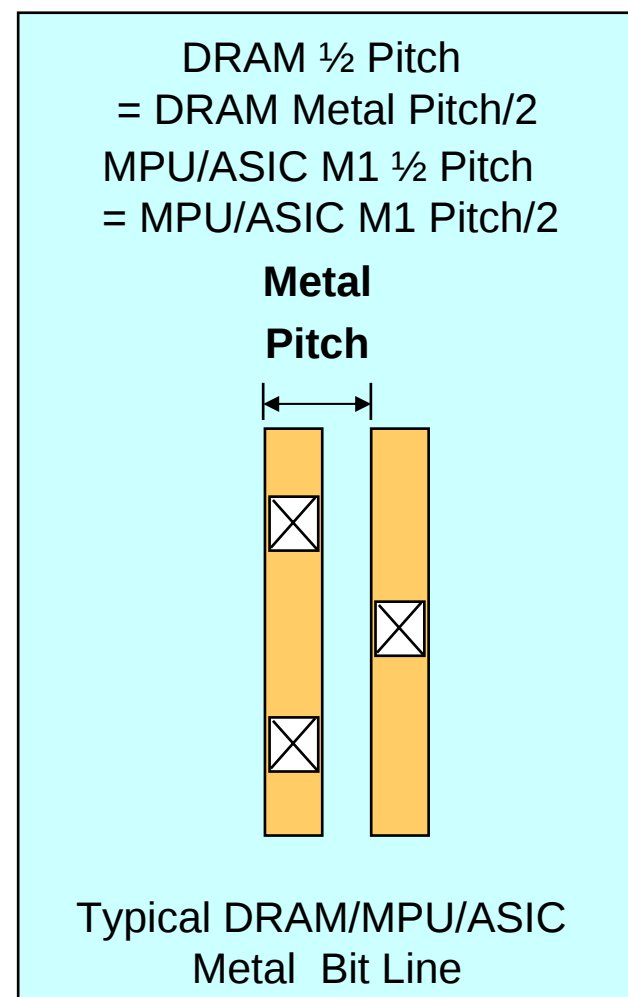
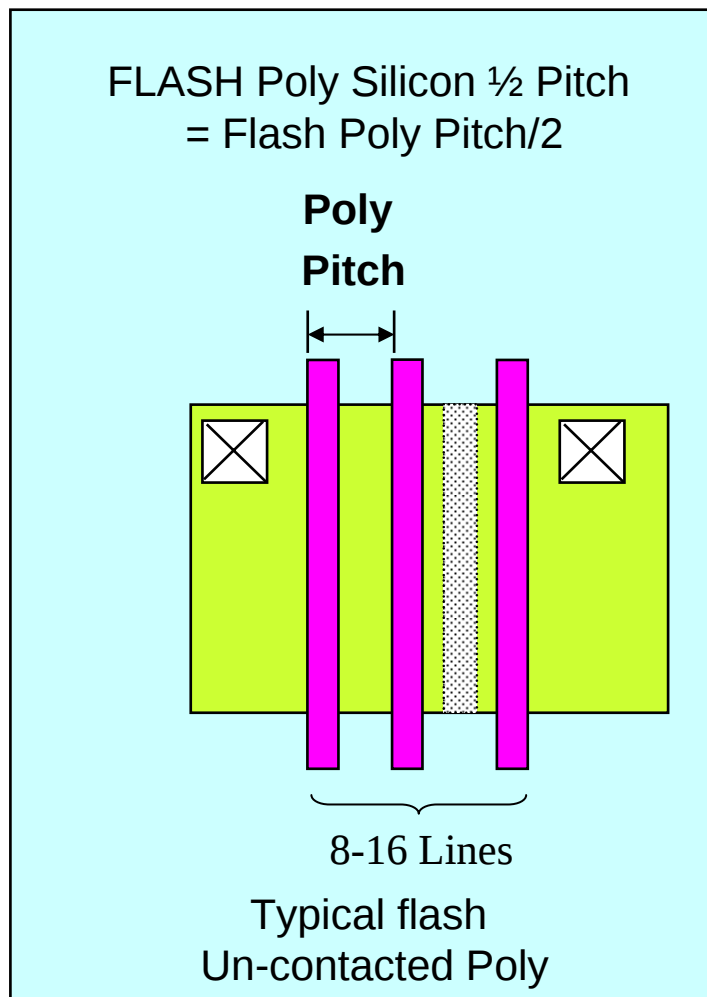
1999	2000	2001	2002	2003	2004	2005	2006	2007
STRJ報告	STRJ報告	STRJ報告	STRJ報告	STRJ報告	STRJ報告	STRJ報告	STRJ報告	STRJ報告

ITRS 2007 Editionの改訂の概要

- DRAMの微細化トレンドは従来と同じ。セルサイズは2006年以降は6F2というサーベイの結果が出ているので、2007年版では、この値を採用する
- NAND Flashメモリの微細化トレンドを1年前倒し。2008年のハーフピッチを45nmとする
- MPUとロジックLSIにおけるHigh-k/Metalゲートの採用時期は、HP、LOP、LSTPとも2008年とする
- ハーフピッチ45nm世代のリソツール候補は、波長が193nmの液浸（液体は水）リソグラフィー、この技術とダブルパターニングとの組合せ、の2候補とする。32nm世代は2006年改訂版から変化なし
- 450mmシリコンウェーハの導入時期については、ITRS 2007年版では2012年のままとしているが、議論は継続中で、導入時期は2012年から2015年ごろとExecutive Summaryには記載する予定
- ERMの章を新規に作成

2007 Definition of the Half Pitch - **unchanged**

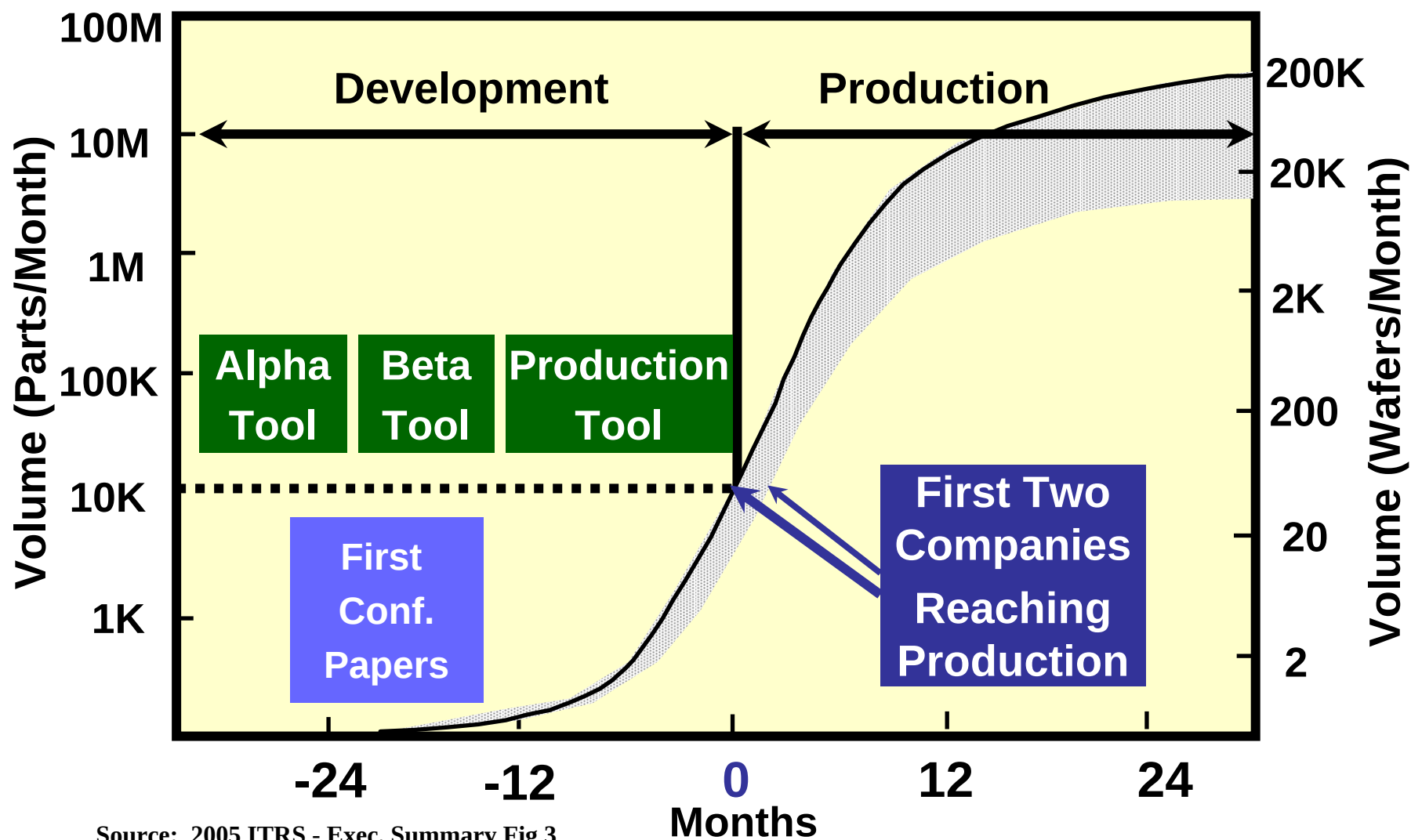
[No single-product “node” designation; DRAM half-pitch still litho driver; however, other product technology trends may be drivers on individual TWG tables]



Source: 2005 ITRS - Exec. Summary Fig 2

Fig 3

Production Ramp-up Model and Technology



Source: 2005 ITRS - Exec. Summary Fig 3

2007 ('07-'22) ITRS Technology Trends DRAM M1 Half-Pitch : 3-year cycle

Updated

Year of Production	2000 <i>[Actual]</i>	2001	2002 <i>[Actual]</i>	2003	2004	2005	2006	2007	2008	2009	2010	2012	2013	2015	2016	2018	2019	2020	2022
Technology - Contacted M1 H-P (nm)	180	151	130	107	90	80	71	65	57	50	45	32	22	16	14	11			

2-Year Technology Cycle
['98-'04]

3-Year Technology Cycle

2005 ITRS Flash Poly Half-Pitch Technology: 2.0-year cycle until **2yrs** ahead of DRAM @ 45nm/'08

Year of Production	2000 <i>[Actual]</i>	2001	2002 <i>[Actual]</i>	2003	2004	2005	2006	2007	2008	2009	2010	2012	2013	2015	2016	2018	2019	2020	2022
Technology - Uncontacted Poly H-P (nm)	180	151	130	107	90	76	65	57	50	45	32	22	16	13	10				
								'07	'08	'09	'10	'11	'14	'17	'20				
								IS: 53	45	40	36	32	22	16	11				

2-Year Technology Cycle ['98-'06]

3-Year Technology Cycle

2005 ITRS MPU M1 Half-Pitch Technology: 2.5-year cycle; then equal DRAM @45nm/2010

Year of Production	2000	2001	2002 <i>[July'02]</i>	2003	2004	2005	2006	2007 <i>[July'08]</i>	2008	2009	2010	2012	2013	2015	2016	2018	2019	2020	2022
Technology - Contacted M1 H-P (nm)	180	157	136 <i>[130]</i>	119	103	90	78	68 <i>[65]</i>	59	52	45	32	22	16	14	11			

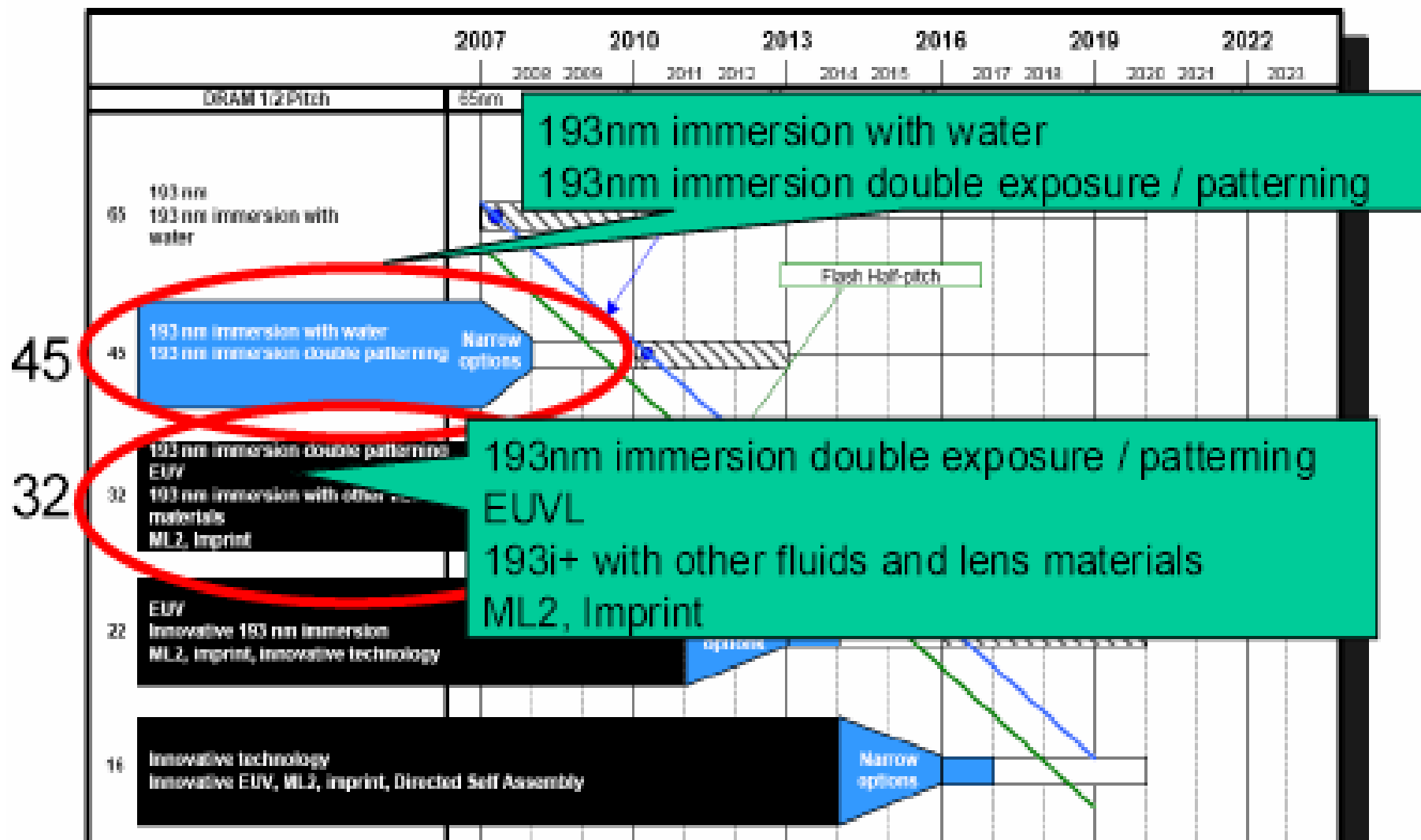
3-2-Yr Cycle] 2.5-Year Technology Cycle

3-Year Technology Cycle

Work in Progress - Do not publish

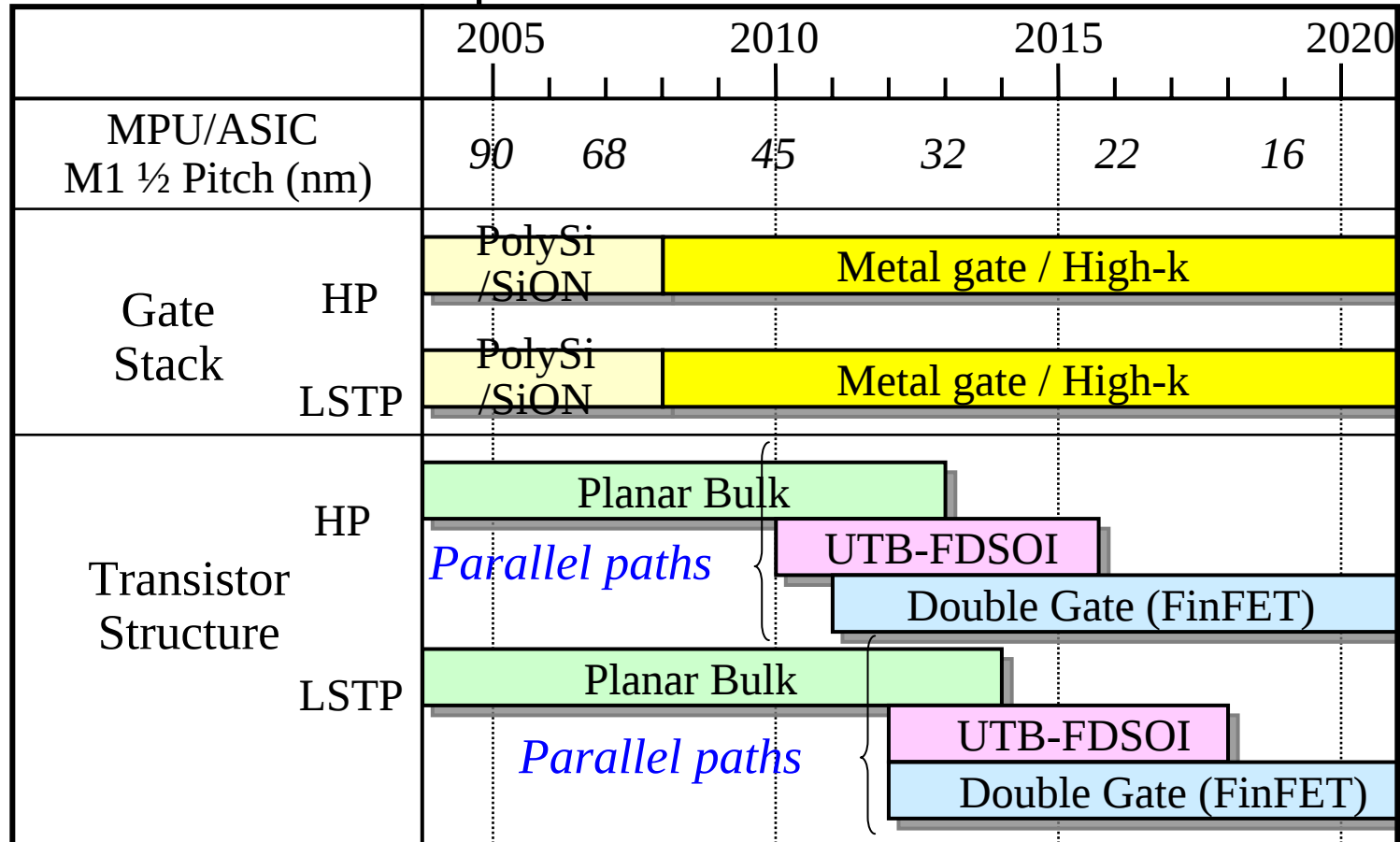
STRJWS: March 6, 2008, IRC 7

Potential Solutions (2007 Update)

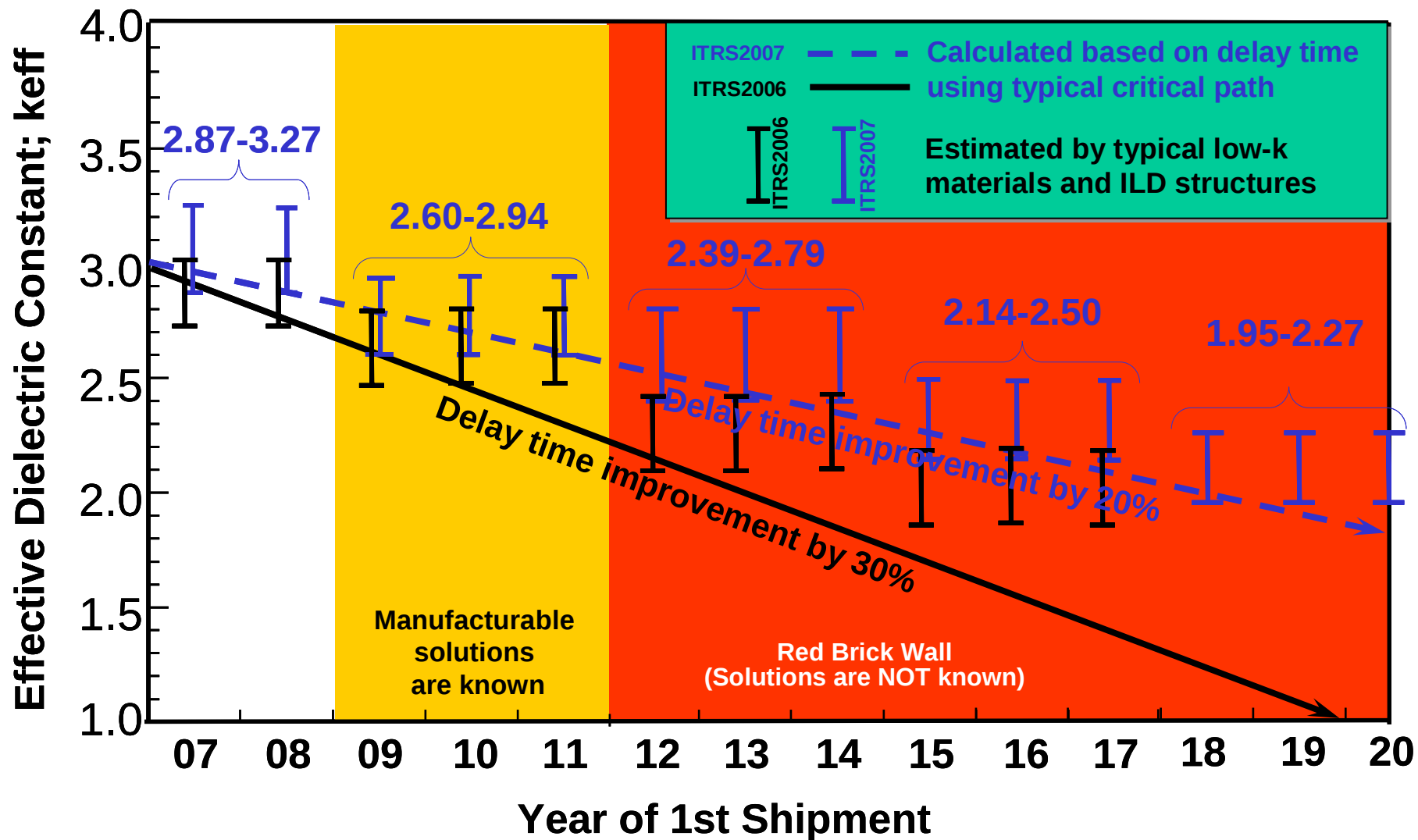


High-kゲート絶縁膜と金属ゲート電極

In order to maintain scaling trend of $f_i = 1/[CV/I]$,
equivalent scaling with material and structural innovations are required



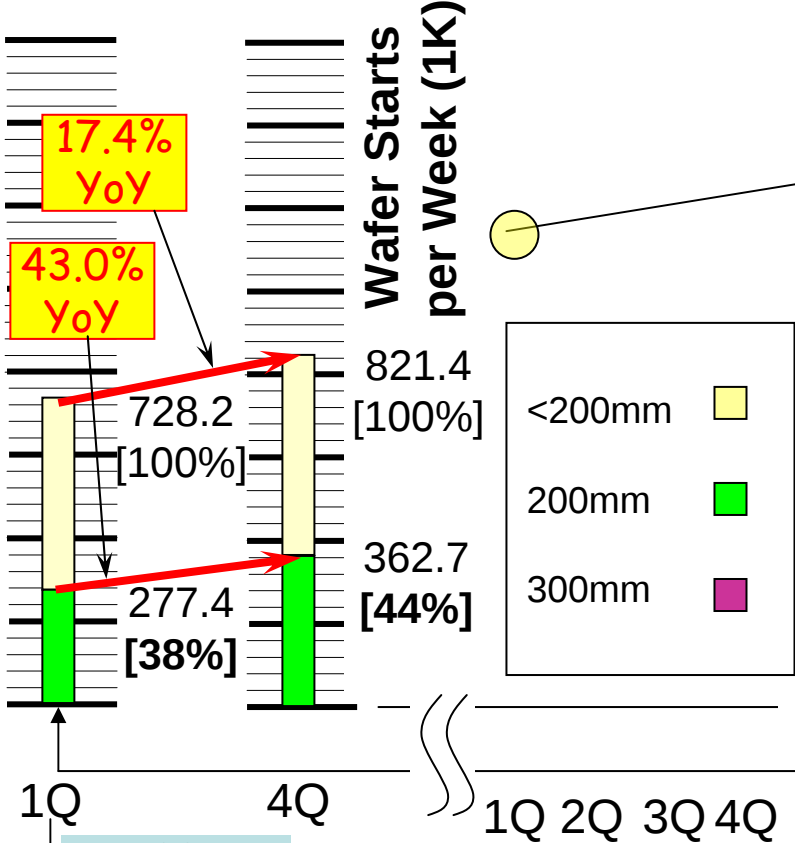
Low-k update



2007 ITRS

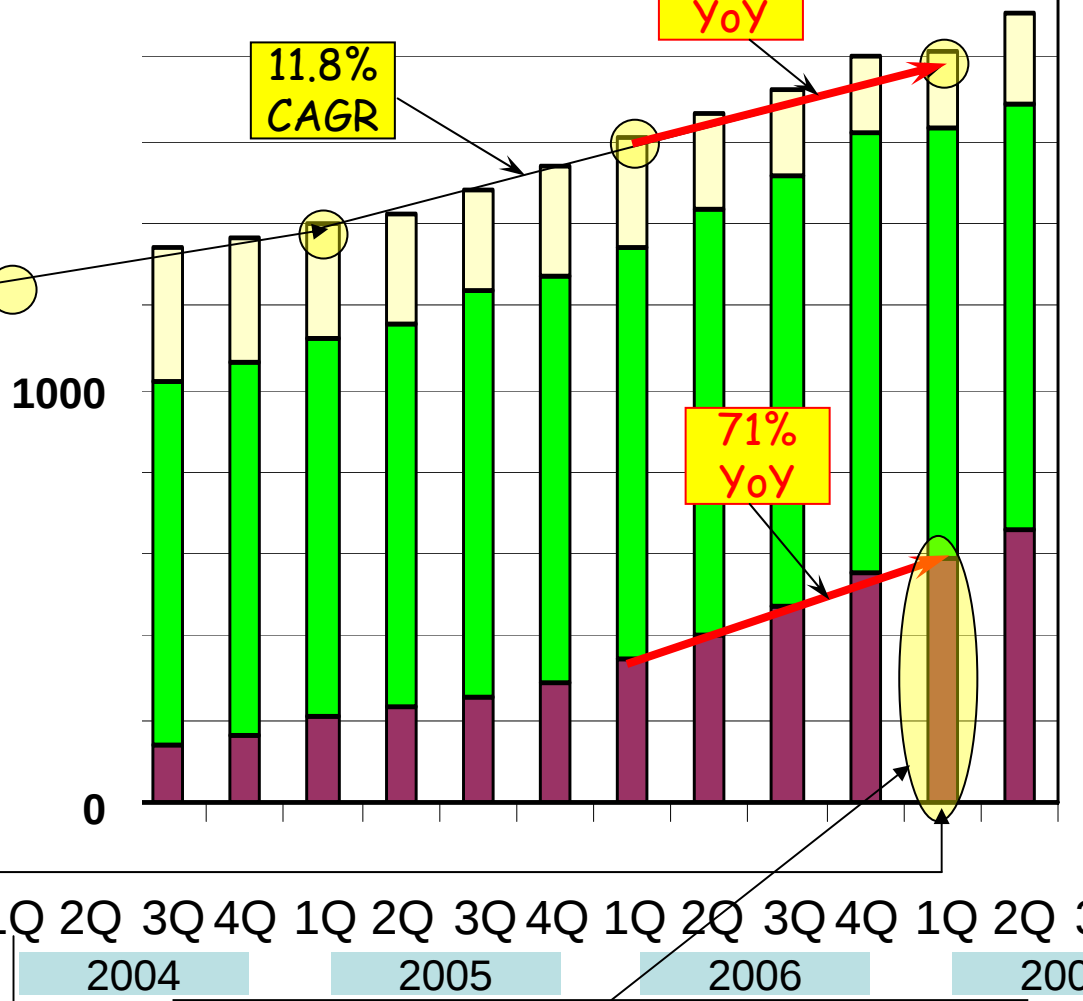
SICAS 300mm

Tracking – 3Q07 Update:
[Total MOS only – 8" Equivalent]



MOS Capacity By Wafer Size

2000



1991->2001: 10 years intro->intro
Wafer Generation

200mm/1Q97
SICAS Tracking Begins
(6yrs after Intro)

300mm/1Q04
(3yrs after Intro)

1Q07: 300mm = 33% of Total MOS
200mm = 56% of Total MOS
<200mm = 11% of Total MOS

Emerging Research Materials (ERM、新探究材料)

- ITRSではWG (Working Group)としてERDから独立
- ITRS 2007 Editionで独立の章へ
- STRJでもWG13 (Working Group 13)としてERDから独立
- ERMのカバーする範囲
 - ERD (Emerging Research Devices)のための新規探究材料
 - 他のWGにかかわる新規探究材料
 - 内容
 - Low-Dimensional Materials
 - Macromolecules
 - Directed Self Assembly
 - Spin Materials
 - Complex Metal Oxides
 - Interfaces and Heterointerfaces
 - Environment, Safety, and Health
 - Metrology
 - Modeling and Simulation

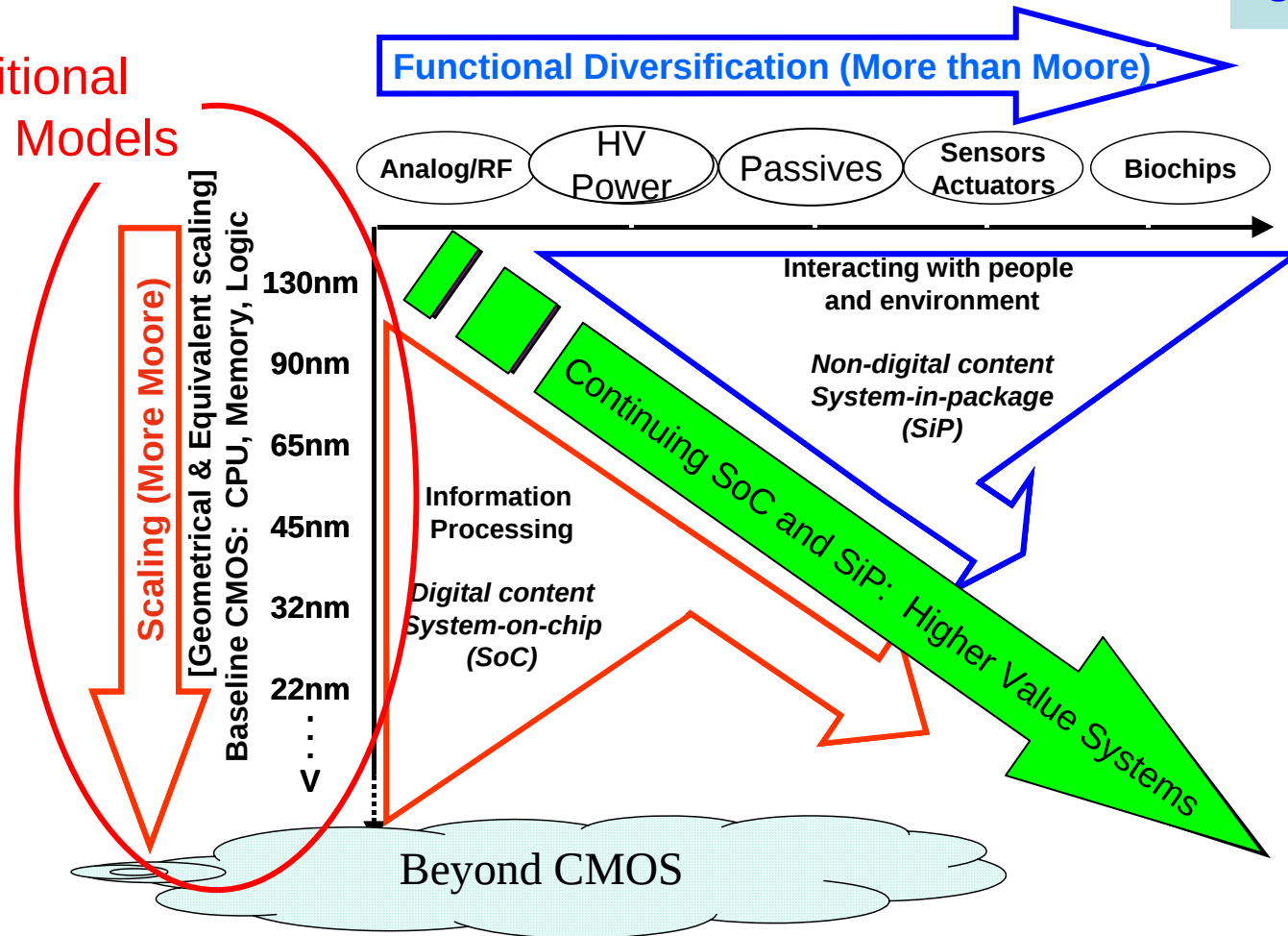
2007 ITRS Executive Summary Fig 5

[updated for 2007]

[2007 –
add Definitions;
Update Graphic]

Moore's Law & More

Traditional
ORTC Models



2007 ITRS Definitions:

“More Moore” and “More than Moore”

1. Scaling (“More Moore”)

- a. **Geometrical (constant field) Scaling** refers to the continued shrinking of horizontal and vertical physical feature sizes of the on-chip logic and memory storage functions in order to improve density (cost per function reduction) and performance (speed, power) and reliability values to the applications and end customers.
- b. **Equivalent Scaling** which occurs in conjunction with, and also enables, continued Geometrical Scaling, refers to 3-dimensional device structure (“Design Factor”) Improvements plus other non-geometrical process techniques and new materials that affect the electrical performance of the chip.

2. Functional Diversification (“More than Moore”)

Functional Diversification refers to the incorporation into devices of functionalities that do not necessarily scale according to “Moore's Law,” but provide additional value to the end customer in different ways. The “More-than-Moore” approach typically allows for the non-digital functionalities (e.g. RF communication, power control, passive components, sensors, actuators) **to migrate from the system board-level** into a particular package-level (SiP) or chip-level (SoC) potential solution.

2007 ITRS “Moore’s Law and More” Alternative Definition Graphic

*Baseline
CMOS*

Memory

RF

*HV
Power*

Passives

*Sensors,
Actuators*

*Bio-chips,
Fluidics*

“More Moore”

“More than Moore”

Computing &
Data Storage

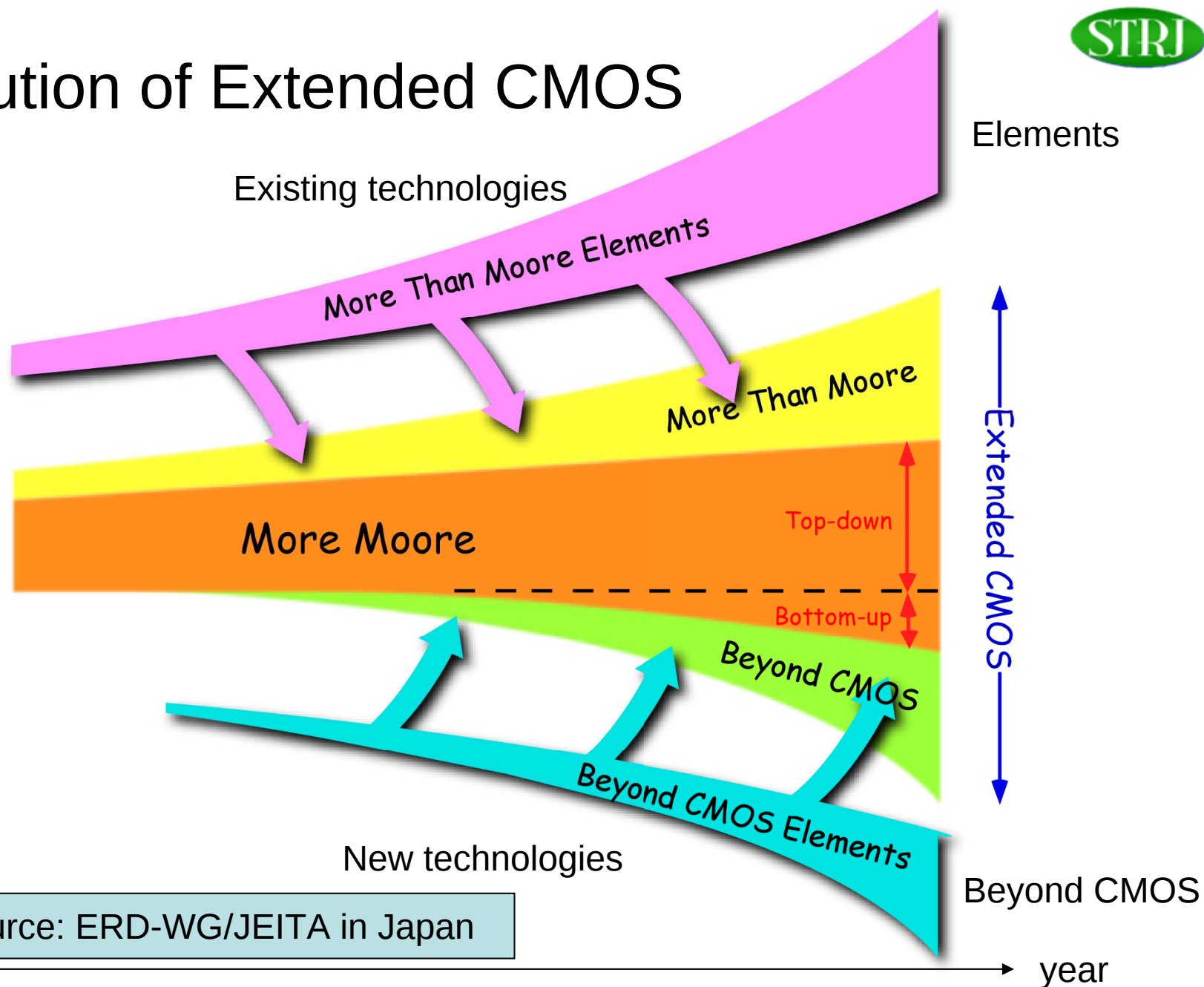
Sense, interact,
Empower

Heterogeneous Integration

System on Chip (SOC) and System In Package (SIP)

Source: ITRS, European Nanoelectronics Initiative Advisory Council (ENIAC)

Evolution of Extended CMOS



さらに詳しい資料については下記を参照願います

- ITRSの公式ホームページ
 - <http://www.itrs.net/> または <http://public.itrs.net/>
 - ITRS 2007 Editionはじめ、ITRSの最新情報
- JEITAのロードマップのホームページ
 - <http://strj-jeita.eliasp.net/strj/index.htm>
 - ITRS 2005の日本語訳(過去の版の和訳もあり)
 - ITRS 2007の日本語訳は2008年6月ごろ公開予定
 - ITRSの過去の版(英文)へのリンク
 - STRJ(半導体技術ロードマップ専門委員会)の活動情報