

テスト技術ロードマップ

－ DFTとATEとの融合による品質とコストの両立 －

WG2(テスト)リーダ
(株)ルネサステクノロジ
西村 安正

DFT: Design for Testability ATE: Automatic Test Equipment

報告のアウトライン

1. 2007年度活動メンバ
2. ITRS2007メッセージとSTRJからの貢献
3. DFT-SWG活動
4. ATE -SWG活動
5. DFTとATEとの融合討議
6. 2007年度活動まとめ
7. 付録

1. 2007年度活動メンバ

* : 2007年 交替、新任

<DFTサブメンバ>

委員： 江守道明(富士通)、内田亘(ルネサス)、小林拓也(松下)、
中村芳行(NECEL)、牛久保政憲(沖・サブリーダー)、
正田剛史(ソニーLSI)、安藏顕一(東芝)、
望月義明(ローム・幹事) *

特別委員： 佐藤康夫(日立・国際担当)、畠山一実(STARC)

<ATEサブメンバ>

委員： 金瀬雅裕(富士通) *、西村安正(ルネサス・リーダー)、
前川道生(松下・サブリーダー)、田村智昭(NECEL)、
五十殿宏二(シャープ)、渡邊均(セイコーエプソン・幹事)、
伊藤修一(東芝)

特別委員： 多田哲生(徳島文理大)、木村伸一(アドバンテスト)、佐藤正幸(太陽誘電)、
山崎光夫(シバツク・国際担当)、江口光一(日本マイクロニクス)、
鈴木宏叔(浜松ホトニクス)、堀部久夫(日本エンジニアリング)、
高溝久明(横河電機)、高橋弘行(アドバン)、大里衛知(日本マイクロニクス)、
牧下裕之(横河電機) *、田岡健(東京エレクトロン) *

- DFT: Design for Testability、テストのことを考えた設計
- ATE: Automatic Test Equipment、大型テスト他テスト装置全般の呼称
- TP: Test Program、大型テストでテストを実行するプログラム
- スキャンBIST: スキャンBuilt-In Self-Test、チップ内蔵のスキャン手法のセルフテスト
- MBIST: Memory Built-In Self-Test、チップ内蔵のメモリのセルフテスト
- BOST: Built-Out Self-Test、テストの計測機能を補完する為にテスト・ボード上に搭載したもの
- KTD: Known Tested Die、電氣的テストしたことを保証するダイ
- KGD: Known Good Die、信頼性を含めて保証されたダイ
- Loop Back: タイミングテストの手法の一つで信号をループバックすることに因んだ呼称
- CDR: Clock DATA Recovery、データに埋め込まれたクロックを抽出し再生する機能
- ADC: Analog to Digital Converter、アナログ信号からデジタル信号への変換器
- DAC: Digital to Analog Converter、デジタル信号からアナログ信号への変換器
- PLL: Phase Locked Loop、入力信号や基準周波数と、出力信号との周波数を一致させる回路
- Rx/Tx: Receiver、受信機/受信機能 / Transmitter、送信機/送信機能
- FMEA: Failure Mode & Effects Analysis、故障モード影響度解析手法の一つ
-
- PKG: Package、パッケージ 以下、パッケージの呼称(フルネームのみ記載)
- TSOP: Thin Small outline Package
- QFP: Quad Flat Package
- BGA: Ball Grid Array
- FBGA: Fine pitch Ball Grid Array
- CSP: Chip Scale Package

2. ITRS2007からのメッセージ

■デバイスの動向

- * デバイスインターフェースの高速化
- * デバイス統合の高度化 (SoC, SiP, MCP, 3次元パッケージ)
- * パッケージの複雑化

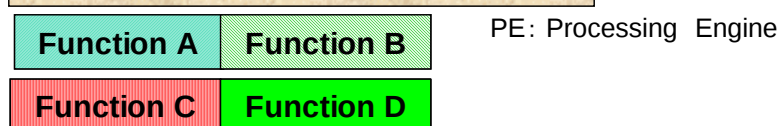
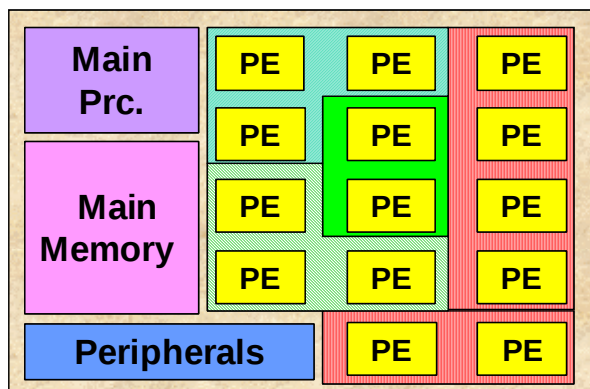
■テスト工程の複雑さ増大

- * 製造バラツキ補正のためのデータフィードバック
- * “Adaptive Test”実現のためのテストフロー構築

■テストコストのスケーリング維持

- * 同測数増大の物理的限界
- * テスト治具費用の増大
- * テストコストとテスト品質とのトレードオフ
- * 様々な機能コアテストのBIST化によるコスト低減

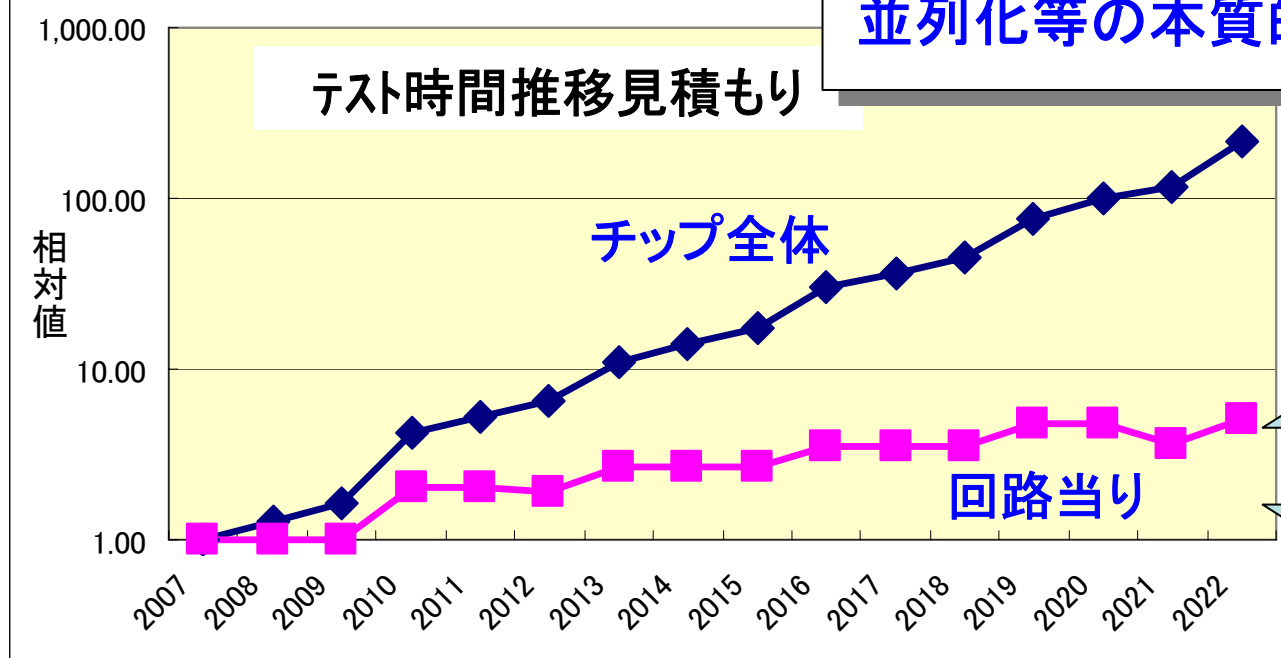
●DFTからの貢献 ～SoCモデルへのDFT要求～



System Driver: SoC Power Efficient Model
 (携帯電子機器等)をベースにDFT要求を明確化した。
 (注、WG1と連携)

＜主な境界条件＞
 規模増大、テスト品質維持向上、スキャン速度向上

テスト時間増加によるコスト増加
 ↓
 並列化等の本質的なコスト低減技術要



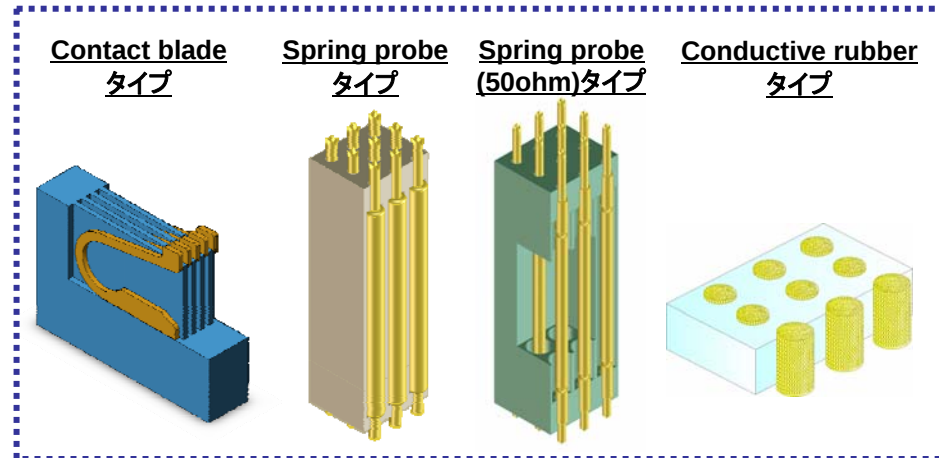
一定化に必要な
時間低減比率

●ATEからの貢献 ～ソケットロードマップ～

ITRS_STRJ_SEAJの連携で日本から提案したソケットロードマップを ITRS2007に新規掲載した。

PKGタイプ・アプリケーションに使用される主コンタクタータイプ

PKGタイプ	アプリケーション	コンタクタータイプ
TSOP	Flash (NAND)	Contact blade
QFP	SoC	検討中
BGA	DRAM	Spring probe
	SoC	Spring probe (50ohm)
		Conductive rubber



一例) BGA – SoC – Spring probe (50 ohm) のロードマップ

Logic (High volume microprocessor)	2007	2008	2009	2010	2013	2016	2019	2022
Lead pitch (mm)	0.8	0.8	0.8	0.65	0.65	0.5	0.5	0.5
PKG I/O data rate (GT/s)	6	6	12	12	15	20	40	40
Spring probe (50 ohm)								
Impedance (ohm)	50	50	50	50	50	50	50	50
Contact stroke (mm)	0.3	0.3	0.3	0.3	0.3	0.3	0.3	0.3
Contact force (N)	<0.4	<0.4	<0.4	<0.3	<0.3	<0.2	<0.2	<0.2
Contact resistance (m ohm)	100	70	70	50	50	50	50	50

3. DFT-SWG活動

テスト設計の現状分析と提言をまとめた

<活動背景>

DFT技術ロードマップ検討の一環として、技術の掘り下げ、新規課題の抽出

→ 社内設計&テスト現場での問題事例を調査 & 分析

<調査 & 分析方法>

- * 問題事例把握のためメンバ各社へのアンケート実施

- * 問題事例をテスト設計作業工程に分類 ⇒ 課題の抽出 & 提言

<課題の抽出結果>

- * DFT単独の課題

- * 各分野にまたがる課題(1) – 具体例(設計・DFT) –

- * 各分野にまたがる課題(2) – 具体例(設計・DFTとテスト) –

<まとめと提言>

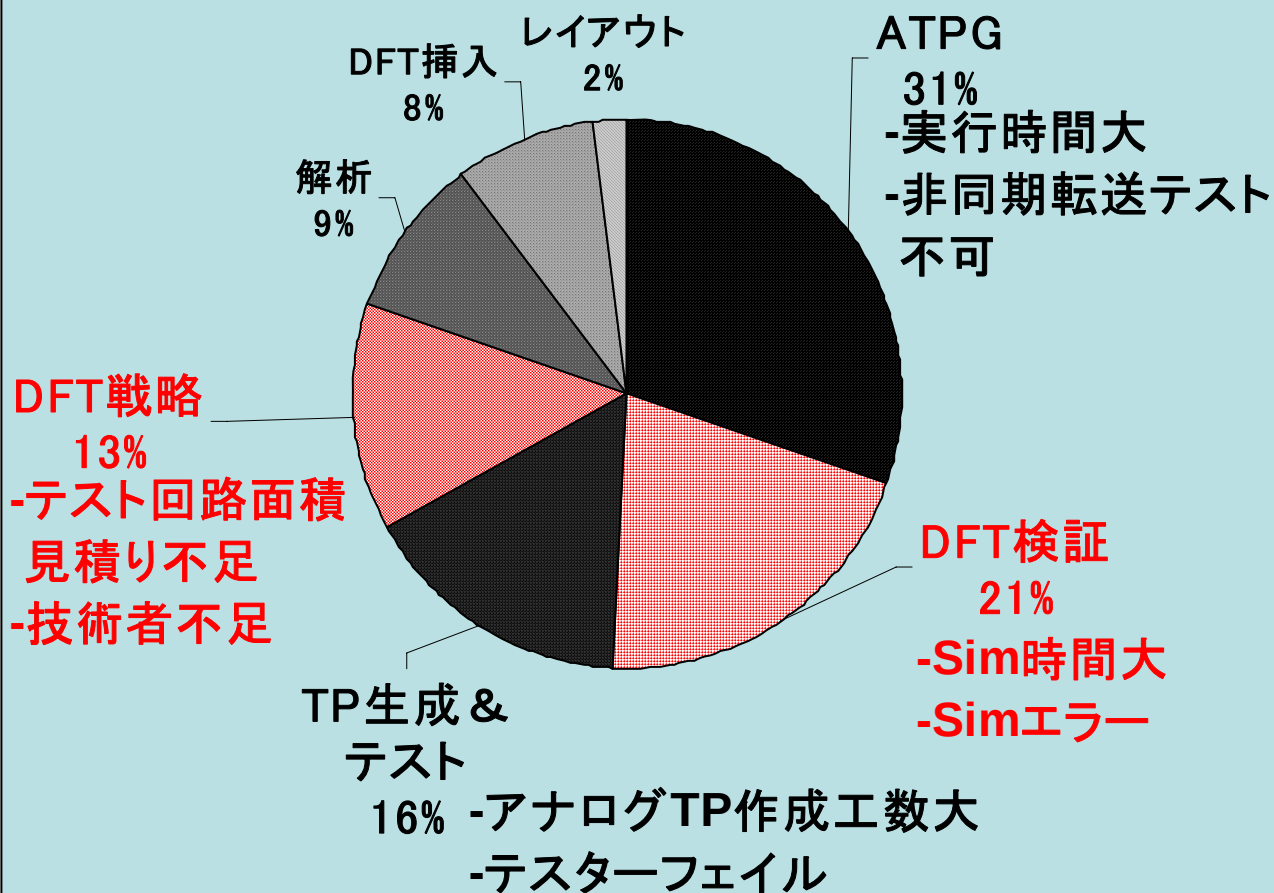
尚、

発表時間の関係で、DFT単独の課題、各分野またがる課題(1)は付録に添付させて頂きました。その詳細説明は07年度活動報告書をご覧ください。

●アンケート結果(問題事例)

～130nm、90/65nm製品の問題事例(110件)を分析～

DFT検証 & 戦略工程(従来注力していなかった検討範囲)で問題が多数



製品設計

テスト設計

フロー

作業

製品企画

仕様設計

RTL設計

論理合成

設計検証

Layout

設計

設計検証

試作&

テスト

量産&

テスト

DFT戦略

DFT挿入
ATPG

DFT検証

TP生成 &
テスト
解析

新規の検討範囲

●課題の抽出結果

～ 各関連分野による分類 ～

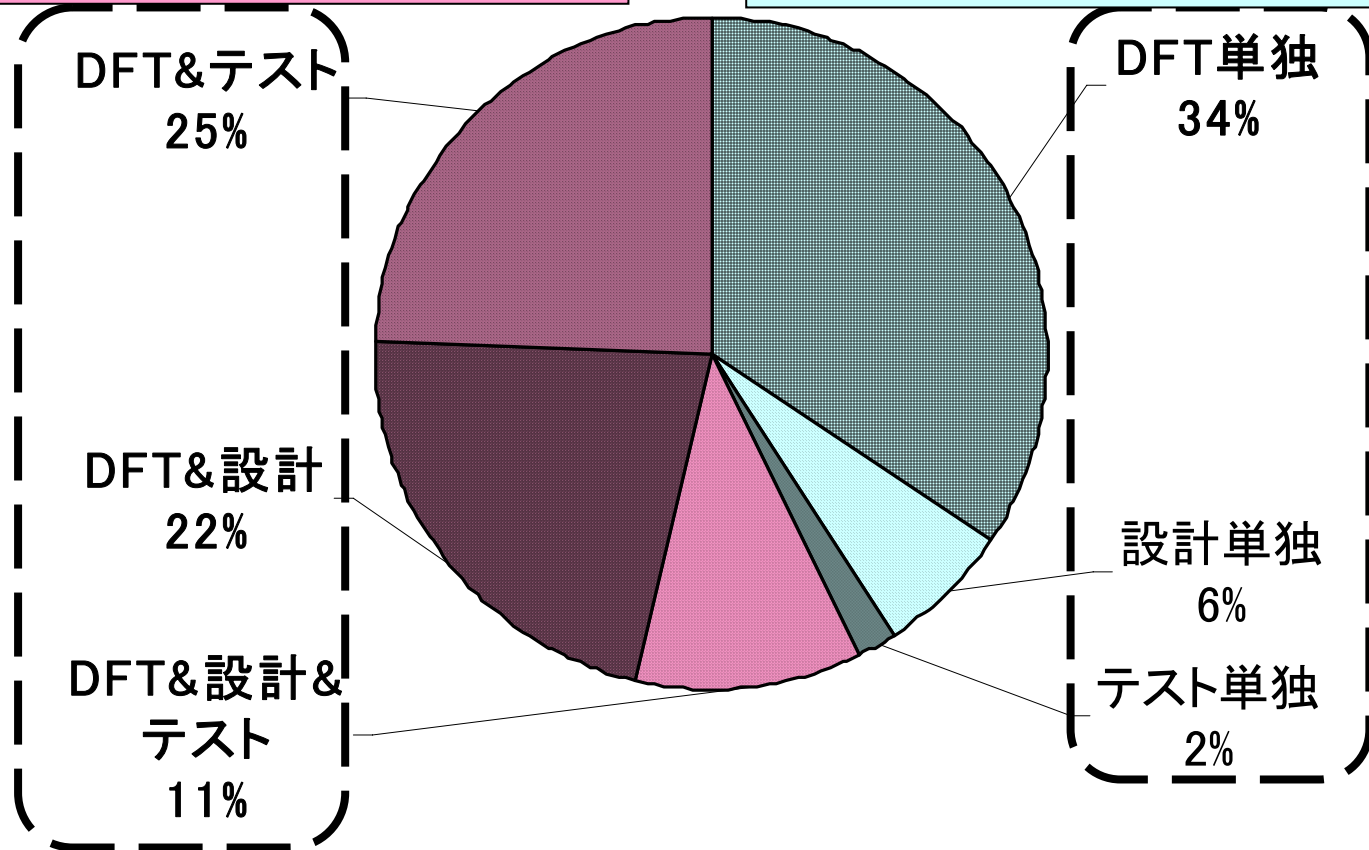
90/65nmで新たに発生した課題

各分野にまたがる課題で複数分野で対応する必要有り

130nm～ 90/65nm(現在)への継続課題

DFT単独の課題:

- EDAツール機能・能力不足
- EDAツール未対応(人手対応)



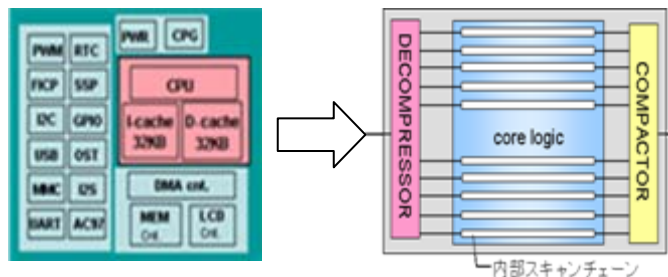
●各分野にまたがる課題(2) ～具体例(設計・DFTとテスト)～

•テストパターン問題によるテストフェイル

- 入力信号のタイミング、ストロブ位置が不適(設計起因の問題)
- スキャンパターンによるIR-drop発生(DFT起因の問題)
- ピン間スキューによるタイミングずれ未考慮(ATE起因の問題)

テストパターン作成

設計・DFT



テストパ
ターン

テスト

ATE



設計・DFTとATEにまたがる一貫した検証環境

●まとめと提言

■まとめ

SoCテストは、設計・DFT・装置・手法の各要素技術の集大成

SoCの大規模化/複雑化/高速化によるテストの課題と解決策

- ・ 個々の要素技術における課題
個々の要素技術の改良/発展により解決
- ・ 複数の要素技術にまたがる課題
全体テスト戦略を実施する一貫テスト開発環境で解決

■提言

製品設計とテストの統合化(分業化したテスト技術の再統合)

- ・ マネジメントと開発体制の整備
- ・ マルチスキルの人材育成
- ・ DFT/ATE統合テスト開発環境の整備

4. ATE-SWG活動

SiPテストとテスト経済性のチーム討議

<活動背景>

メンバが19名と多く、且つ、興味ある項目が複数のため

<SiPテスト検討>

- * 2010年度SiPをモデルに構成要素毎に分解し
FMEA (Failure Mode & Effect Analysis) 評価を実施
- * 課題の抽出結果

<テスト経済性>

- * テスト開発から生産において、本当にコストのかかる
工程を見出してコスト削減のための標準化を推進
- * テスト開発: オンライン検証／評価・解析／メインプログラム開発
- * テスト生産: 不良データの収集／テストプログラム移植／新規装置の立上げ

尚、

発表時間の関係で、SiP FMEA結果とテスト経済性は末尾の付録に添付させて頂きました。その詳細は07年度活動報告書をご覧ください。

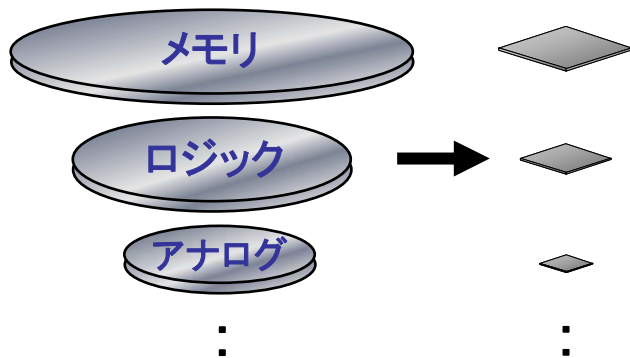
● ATEサブ2007年度活動 ～ SiPテスト検討 ～

2つの視点から2010年に向けたSiPテストのあり方を検討

- ① 実装ロードマップより最新のSiP実装の技術要素を理解
- ② SiPを構成する半導体チップテストへの要求
 - ・ハード的要求 (Through Via / 薄研削Wafer 等)
 - ・ソフト的要求 (KGD / Testability 等)
- ③ SiP完成後のテストへの要求
 - ・ハード的要求 (両面電極、MEMS、センサー)
 - ・ソフト的要求 (Testability / Screening / SiP DFT 等)
- ④ ②、③の要求に対するポテンシャルソリューションの検討

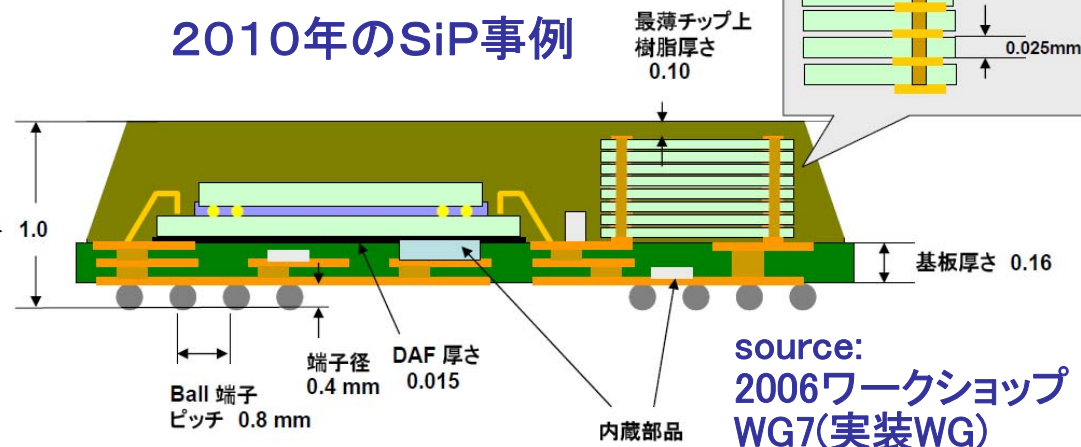
①実装へ良品チップを供給

各々に最適なプロセス



②実装後のSiPデバイスを検査

2010年のSiP事例



● SiPテスト検討の重要課題

1. SiP構成部品の総合的(統合的)シミュレーション

- 構成ICチップ、CSP基板、外付け部品を含めたデバイスシミュレーションが必要。
- テスタ測定環境を含めた統合的テストシミュレーションが必要。

2. 使用状態を想定したテストの実施

- テスタ測定環境下でのEMI、EMC、PI、SI、構成ICチップの相互動作を再現したシステムテストの考え方が必要。・・・具体的な内容(テスターで、故障診断、実動作選別、etc)

3. SiP組立仕様完全性の確認

- SiP後に100%仕様を外部観測できなくなる。
- 構成部品の完全性を保証した上での工程設計がより重要になる。インターポーザ基板等の電気的特性テストが必要。
- スクリーニングにおける、電源仕様からの加速性、クロックマネジメント、発熱の問題から初期品質が確保されたKGDが必要。

4. 構成チップのリペア技術、冗長設計の必要性

- リペア技術、冗長設計による不良コストの低減。
- Analog I/F部分、高速 I/F部分のエラーキャンセル手法によるシステム信頼性の向上。

5. DFTとATEとの融合討議

議論の発端

- ◆ なぜDFTが進み、メモリは安くなっているのにテストコストやATE価格は下がらないのか？

現状の認識

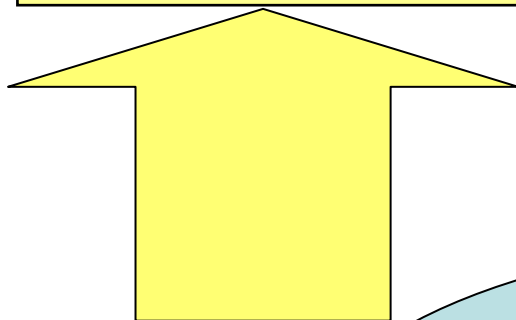
- ◆ 参加しているIDMの代表的なSoC/ASICのテストタイムを分析
- ◆ 従来のロジック中心のDFT手法でカバーされているエリアを明確化
- ◆ ATEプライスの大雑把な構成要素を示しテストタイムと比較

今後何に取り組めばよいのか？

- ◆ DFT手法が未着手/不十分なエリアはどこか？
- ◆ ATEでの測定にコストが掛かりすぎているエリアはどこか？

5-1. テストタイムの分析例

- ①従来のDFT手法によって効率向上したのはスキャン及びBIST部分
- ②メモリの集積度アップ/性能向上/低価格化が直接寄与するのは①の部分が主



議論の元になったデータは
当日報告させていただきます。

ATEサブまとめ 参考データ

5-2. テストタイム比率の推移予測

スキャン/アナログ/HS-IFが比率増大傾向



議論の元になったデータは
当日報告させていただきます。



注) スキャンに関しては更なる圧縮技術展開前提

5-3. ATEの構成要素

<前提条件>

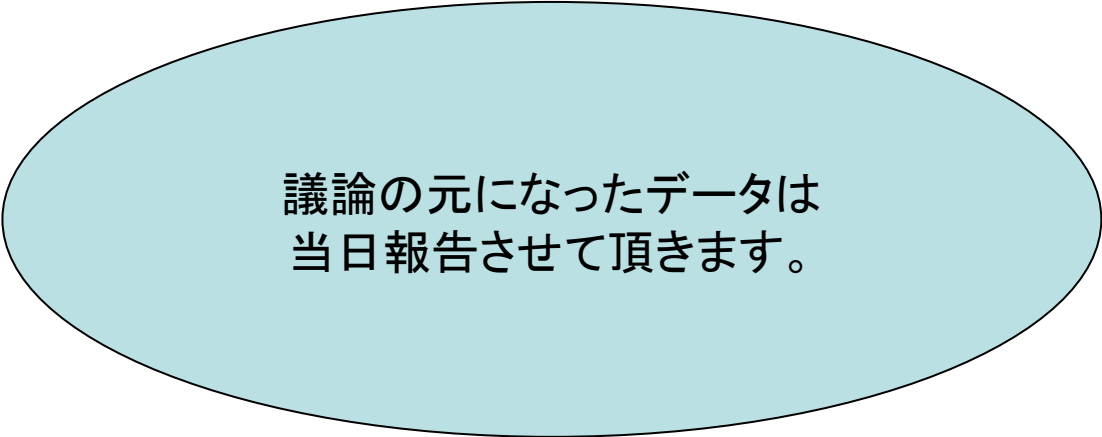
- ・スキャン : 4GW(128MW × 32ch)ベクタメモリ
- ・MBIST : 最大テストレートは400Mbps
- ・DC : ロジックピンのパーピンDC測定機能
- ・ACタイミング : ロジックピンのタイミング測定機能及び周波数カウンタ機能
- ・DGT/AWG : 分解能は16ビット
- ・高速IF : 4Gbps超の専用モジュール

議論の元になったデータは
当日報告させていただきます。

単位 : a.u

5-4. テストタイム

- ◆ 高速IFのテストは時間は短いが高コストは高い！
- ◆ ファンクションテストは秒単価は低いけどテストタイムは長め！
- ◆ DCは秒単価は低いけどテストタイム自体は長め！



議論の元になったデータは
当日報告させていただきます。

5-5. テストコスト低減施策(実施済)

■ ATEサイド

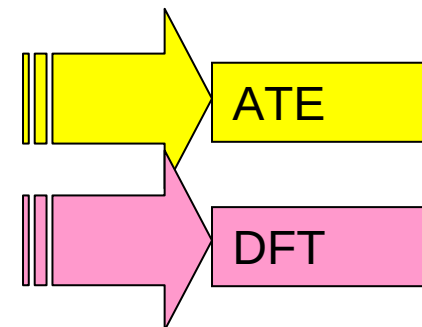
- * 500Mbps以下のファンクションテスト
- * スキャン/BISTへの対応
- * パーピンDC測定機能
- * 高密度実装による多ピン化

■ DFTサイド

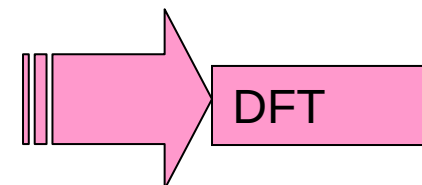
- * スキャン/BISTの導入とパターンサイズの圧縮
- * 遅延故障モデルのスキャン

5-6. 今後注力すべきエリア

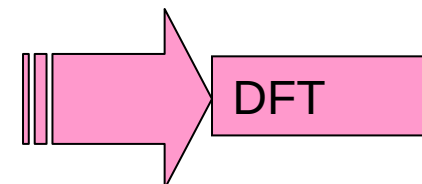
◆ 高速IFのテスト機能の低価格化と
テスト効率化



◆ アナログ回路のテスト効率化



◆ ロジック回路の更なる効率向上



5-7. ATEサイドでの対応

■高速IFテスト機能の低価格化

* 高額化理由

- 高速動作(4Gbps以上)
- 複雑な機能(CDR/ソースシンクロナスなど)
- 高速IF用モジュール1枚のチャンネル数が少ない
(高速IF用モジュール数の増加/シリアル測定化)
- 新規開発費の償却

* 低価格化のために

- 実装密度の向上によるチャンネル数増
- 複数個同測機能の強化/テストボードの工夫
- モジュールの標準化や3rdベンダー開発品の展開
- 1モジュールで各種プロトコルへ対応

5-8. DFTサイドでの対応(1/3)

■高速IFテストの効率向上

* Rx/Tx両方向IP搭載デバイス

- ファイ(入出力段)の直前までのスキャン化
- BIST回路の外部からの制御性向上
- マージン測定(ジッターなど)機能
- 外部ループバック時のファイの制御性向上

* Rx/Tx片方向IPのみ搭載デバイス

- BIST内蔵(例:RxデバイスにTxの一部搭載)
- BIST回路の外部からの制御性向上
- BOST用デバイスの標準化(ATEとの共同)

DFTサイドでの対応(2/3)

■アナログ回路のテストの効率化

* データコンバージョン(ADC,DAC)

- ループバックテストを意識した設計
- コンカレントテストを意識した設計
- パラメトリックテストを置き換える手法の開発

* PLL(今後協調して検討予定)

- テストモードでの逡倍率確認
- ジッター測定の容易化設計
- BOST用デバイスの標準化

DFTサイドでの対応(3/3)

■ロジック回路のテストの効率化

* スキャンデータ圧縮/テスト実行時間短縮

- ACスキャンでもパターン圧縮する技術改良
- スキャンテスト用ピン数の削減
- スキャン時のスイッチング分散(IR Drop)
- コンカレントテストを意識した設計

* ファンクションテストの効率向上

- 非同期回路の同期テスト化(サイクリズ対応)
- コンカレントテストを意識した設計

＜DFTとATEとの融合討議のまとめ＞

- ◎ これまでのDFT技術の発展により、無対策では膨大なテストパターンサイズ、テストタイムを要するロジック部分のテストは大幅に効率向上した。
 - ◎ メモリ価格の低減はATE側のスキャン/BISTのテスト機能の低価格化を可能とした。
 - ◆ 今後は高速インターフェースやアナログ回路、及びロジックの更なるテスト効率向上が必要
- DFTとATEで協調/融合して今後も検討継続

6. 2007年度活動まとめ

* DFT(テスト設計)とATE(テスト装置)との融合による 品質とコストの両立に向け

月一度の会合と秋合宿、及び、勉強会を通し、メンバー間で
DFT技術、SiPテスト、テスト経済性、の諸課題把握、及び、
DFTとATEとの連携でテストコスト(ATEコスト)低減化に
対する深堀と共有化を達成

* ITRS2007への貢献

- DFTより、DFTを取込んだSoCモデル提案
- ATEより、ソケットロードマップ提案



2008年度WG2活動へ

付録

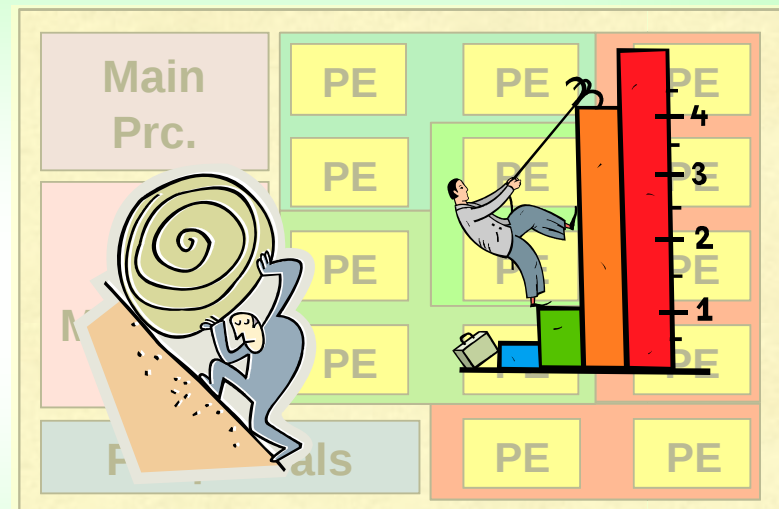
- プレゼン時間の関係で上映しなかった今回のWG2活動報告に関連する資料を以下に添付しました。
- 2007年度活動報告書のテスト章と併せてご覧頂けると幸甚でございます。

●DFT単独の課題 ～ EDAツール機能・能力不足 ～

大規模化・複雑化



テストモードの複雑化



- ◆ATPG時間の増加
- ◆設計・検証の工程が複雑化(工程破綻)
- ◆Sim検証時間が非現実的(数ヶ月以上)
- ◆タイミング設計の問題が増加

- EDAツールの進化(高速化、新規項目や大規模・複雑化への対応)
- 設計手法・検証方法のイノベーション

●DFT単独の課題 ～EDAツール未対応(人手対応)～

問題事例

DFT対象外回路のテスト
アナログ、非同期転送部、
マルチサイクルパス

⋮

顧客不良
実装不良とチップ内不良切り分け
チップ内不良の解析
テストでの不再現

⋮

**DFT-DRCの論理修正難による
設計工数大**

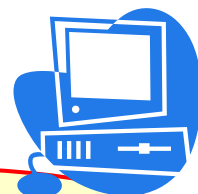
課題

将来ツール化？

ファンクションテスト追加
(非同期転送テストなど)

システム(実使用)考慮のテスト
必要性増加
(今後顧客不良増加の懸念)
不良検出率(テスト品質)指標
の標準化

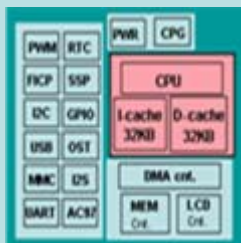
DFT設計スキルアップ



●各分野(設計・DFT・テスト)にまたがる課題

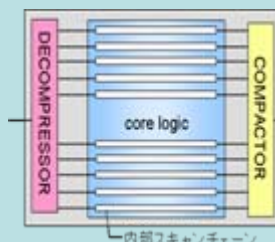
・問題が複雑化 ⇒ 複数分野での解決策が必要

設計



- ・大規模化/複雑化
⇒ TAT短縮が必要
⇒ 高位設計移行
- ・高速化/マージン減少
⇒ SSTAが必要

DFT



- ・故障モデル複雑化
⇒ テストパターン強化が必要
⇒ テストパターン圧縮が必要
- ・SI/PIの影響が顕在化
⇒ SI/PI考慮手法が必要

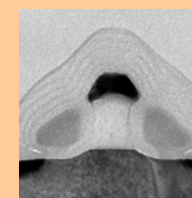
テスト・解析



- ・装置/治具複雑化
⇒ 標準化が必要
- ・製品歩留が低下傾向
⇒ 量産診断が必要

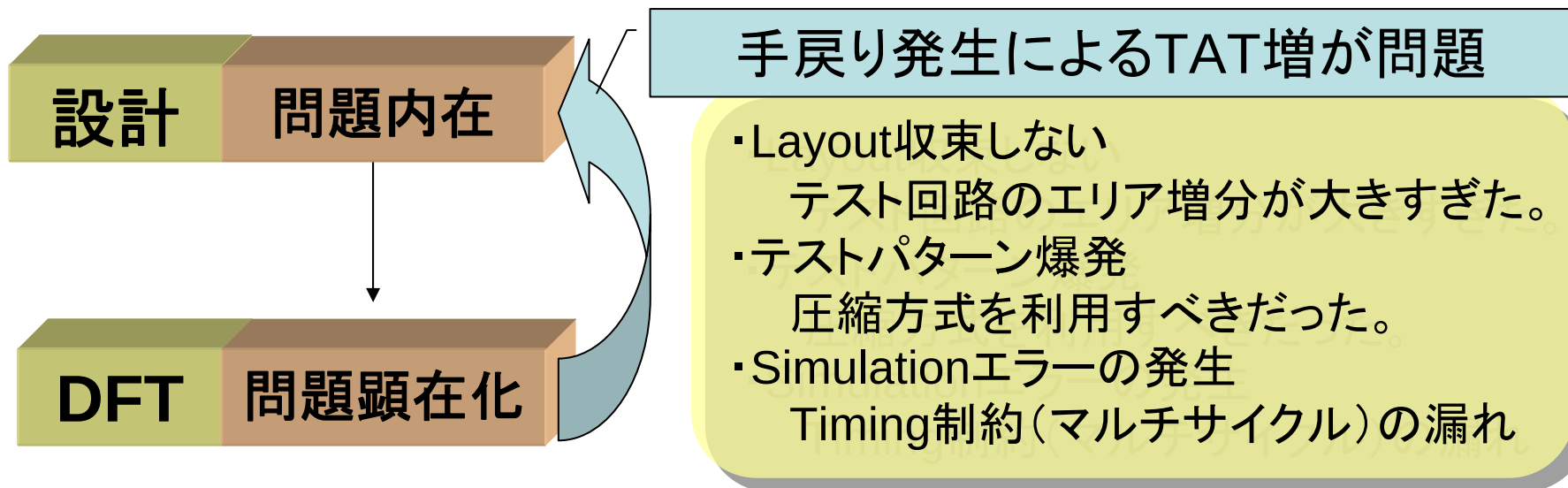
製造

- ・プロセス微細化 ⇒ 微細化欠陥の考慮が必要
- ・バラツキが増大 ⇒ 製造容易性の考慮が必要



●各分野にまたがる課題(1)

～具体例(設計・DFT)～



テスト戦略が重要

- ・見積もり
テスト回路増分、テストデータ量
- ・タイミング制約の作成(設計→DFTへの情報伝達不足)
システム動作時のマルチサイクル指定等を反映する

● SiPテスト検討

2010年度SiPをモデルに構成要素毎に分解しFMEA的な評価を実施した。

SiP FMEA (Failure Mode & Effect Analysis)

潜在的不良モード	潜在的不良の影響	影響度	不良原因のメカニズム	発生度	予防	検出	検出度	重要度
内部接続端子のオープン、ショート	断線、短絡機能不良	5	インターポーザ配線不良 ボンディング不良	3	インタポーザ単独検査 組立中間検査	LSIテスト検査 DFT(BIST)	1	15
内部接続端子の高抵抗接続	高速動作のタイミング不良 ACカップリング的動作による動作不安定	3	インターポーザ配線不良 ボンディング不良	3	検出困難 インタポーザ単独検査	実動作考慮したLSIテスト検査 実動作試験	3	27
相互チップ間の温度影響	温度ドリフトの発生 ・Analog特性の変動 ・ACタイミングの変動	5	シミュレーションとの不整合	3	チップ間の発熱を考慮したシミュレーションの実施	実動作考慮したLSIテスト検査 実動作試験	1	15
相互チップ間の残留応力、チップ内の局所的応力集中	温度ドリフトの発生 ・Analog特性の変動 ・ACタイミングの変動	5	シミュレーションとの不整合	3	応力シミュレーション 回路配置の最適化 低応力材料の使用	実動作考慮したLSIテスト検査 実動作試験	1	15
動作時の相互ノイズ影響	ノイズ誤動作	5	PI、SI、GNDバウンズ SiP内のEMI、EMC SiPノイズ対策が不十分 電源容量不足	3	ICの耐ノイズ設計 PKGの耐ノイズ設計 ノイズシミュレーション	実動作考慮したLSIテスト検査 実動作試験	1	45
共通端子(電源、GND)端子の一部接続欠落、オープン	過渡的な動作不良 (同時スイッチング時) SI、PI特性の劣化	3	インターポーザ不良 ボンディングオープン	3	インターポーザ単独検査 組立中間工程検査 (外観、ICT)	実動作考慮したLSIテスト検査 実動作試験 オープン/ショートテスト	5	45

●テスト経済性

目的

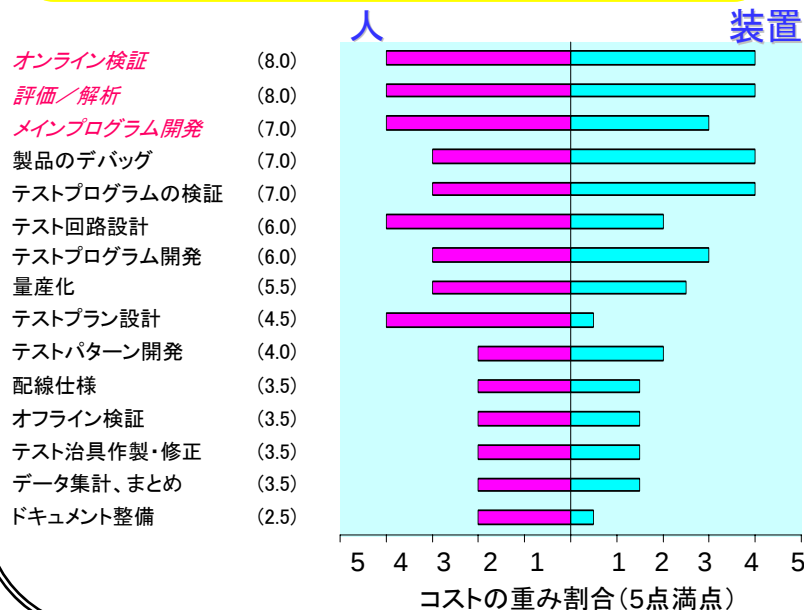
テスト開発から生産において、本当にコストのかかる工程を見出してコスト削減のための標準化を推進する。

ポイント

- ・テスト開発：オンライン検証／評価・解析／メインプログラム開発
- ・テスト生産：不良データの収集／テストプログラム移植／新規装置の立ち上げ

アンケートによるテスト開発・テスト生産の工程別コスト割合（人と装置で分離。5段階表記）

テスト開発における工程別コスト割合



テスト生産における工程別コスト割合

