

ロジックおよびメモリデバイスの スケージングトレンド

Working Group 6

PIDS (Process Integration, Developments, and Structures)

NECエレクトロニクス株式会社

今井 清隆

March 6, 2008

WG6メンバー

リーダー : 今井 清隆(NECエレクトロニクス)

サブリーダー : 澤田 静雄(東芝)

幹事 : 久本 大(日立)

委員 * 各SWGリーダー

• Logic : *尾田 秀一(ルネサス) 杉井 寿博(富士通) 小倉 基次(松下)
井田 次郎(沖) 武田 安弘(三洋) 田川 幸雄(ソニー)
栄森 貴尚(Selete) 今井 清隆(NECエレ)

• Memory : *井上 裕文(東芝) 澤田 静雄(東芝) 掘 敦(松下)
三富士 道彦(ローム) 只木 芳隆(日立) 笠井 直記(NEC)

• RF & A/MS : *久本 大(日立) 亀井 孝浩(沖) 清田 幸弘(ソニー)
for Wireless 藤沢 雅憲(ローム)

特別委員 : 平本 俊郎(東京大学) 高木 信一(東京大学)
芝原 健太郎(広島大学) 田中 徹(東北大学)
吉見 信(SOITEC Asia) 赤坂 泰志(東京エレクトロン)

メンバー人数: 24名

WG6スコープ

■ Logic

- ✓ 高性能タイプ(HP)
- ✓ 低消費電力タイプ(LOP、LSTP)

■ Memory

- ✓ DRAM
- ✓ 不揮発性メモリ (Flash, FeRAM, MRAM, --)

■ RF & A/MS for Wireless Communications

- ✓ RFトランシーバ、パワーアンプ、ミリ波
- ✓ アナログミックスドシグナル

* ITRSではPIDS (Logic & Memory) とRF&A/MSはそれぞれ別のWGとして活動。

技術動向調査

次世代デバイス情報を各分野の専門家の方々からヒアリングし、RM作成に反映。

開催日	2007年度技術ヒアリングテーマ	講師
2007.04.13	3次元集積化技術	田中先生(東北大)
2007.06.25	WG内調査: VLSIシンポジウム報告	芝原先生(広島大) 堀氏(松下)
2007.07.23	ばらつき	羽根氏(NEC)
2007.08.31	ミリ波CMOS	藤島先生(東芝)
	More Moore	岩井先生(東工大)
2007.09.26	Dual-port 8Tr SRAM Body bias control SOI SRAM	石倉氏(松下) 平野氏(ルネサス)
2007.10.26	Ballistic Transport	土屋先生(神戸大)
2007.11.28	RTS(Random Telegraph Signal)	山田氏(日立中研)
2007.12.21	IEDM報告	尾田氏(ルネサス)
2008.01.30	HiSIM	三浦先生(広島大)

講師をしていただいた皆様、ご協力ありがとうございました

本日の内容

■ Logic

- ITRS2007版におけるスケーリングトレンド
- 2008年に向けての課題

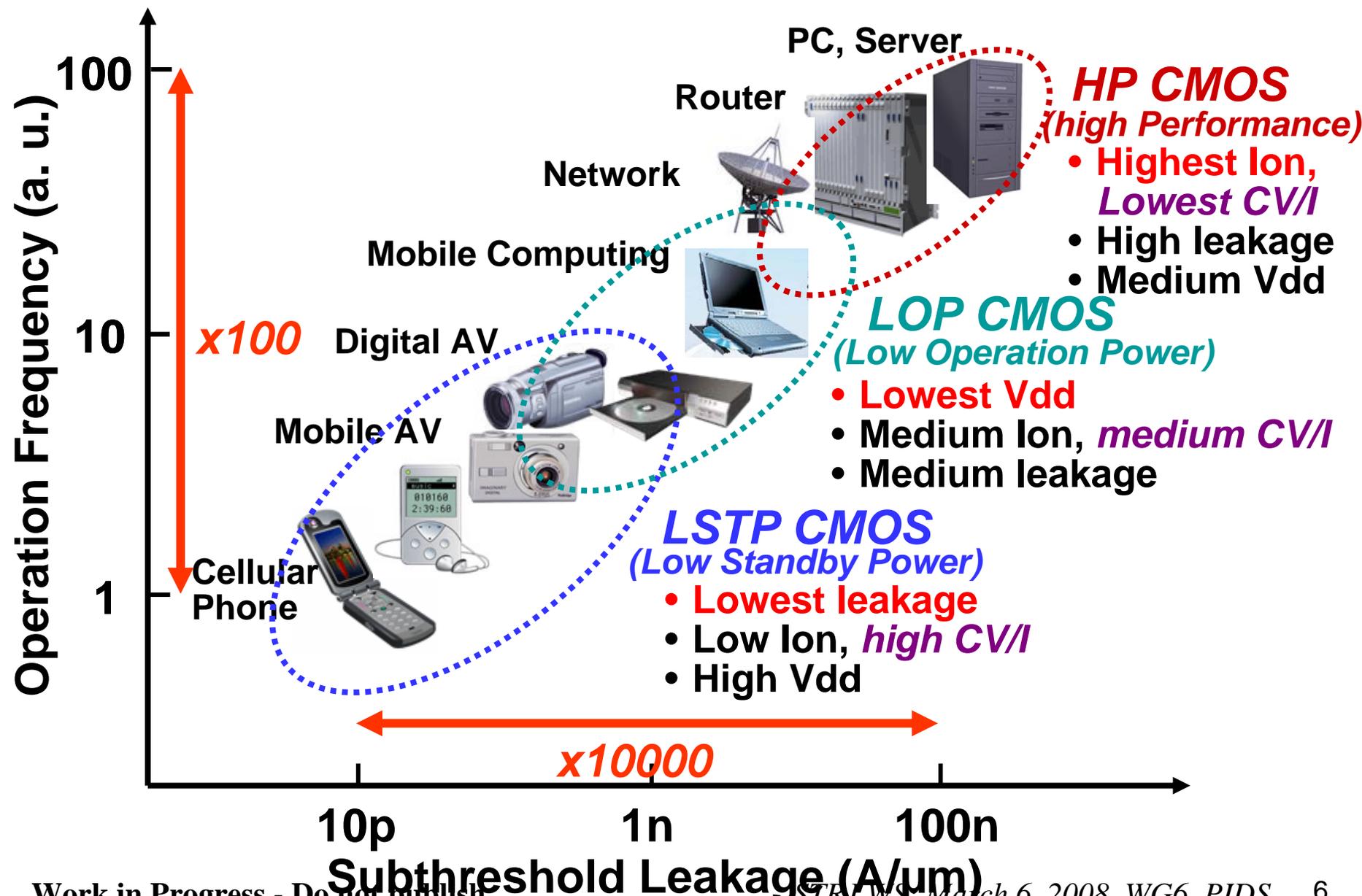
■ Memory

- ITRS2007版における改訂内容
- NAND/DRAMのスケーリングトレンドと2008年に向けての課題

■ RF & A/MS

- ITRS2007版における改訂内容と課題

Logic CMOS Device Categories



HP CMOS

- トランジスタスイッチング速度 ($f_i = 1/[CV/I]$) 改善目標: **年率17%**に設定。
- **2010年**から、**パラレルパス** (Planar Bulk、UTB-FDSOI、Double Gate) シナリオを提示。
 - 主な変更点
 - メタルゲート/High-k導入時期を**2008年**に変更。(06年版に対して2年前倒し)
 - R_{sd} (ソースドレイン寄生抵抗)を現実的な値に見直し。

LSTP CMOS

- トランジスタスイッチング速度 ($f_i = 1/[CV/I]$) の改善目標: **年率14%**に設定。
- **2012年**から、**パラレルパス** (Planar Bulk、UTB-FDSOI、Double Gate) シナリオを提示。
 - 主な変更点
 - サブスレッシュホールドリーク電流上限値を10 pA/um から **30 pA/um**に緩和。
 - 2007年の電源電圧を1.2Vから**1.1V**に、2009年の電源電圧を1.1Vから**1.0V**に変更。

HP Logic Technology Requirements Table

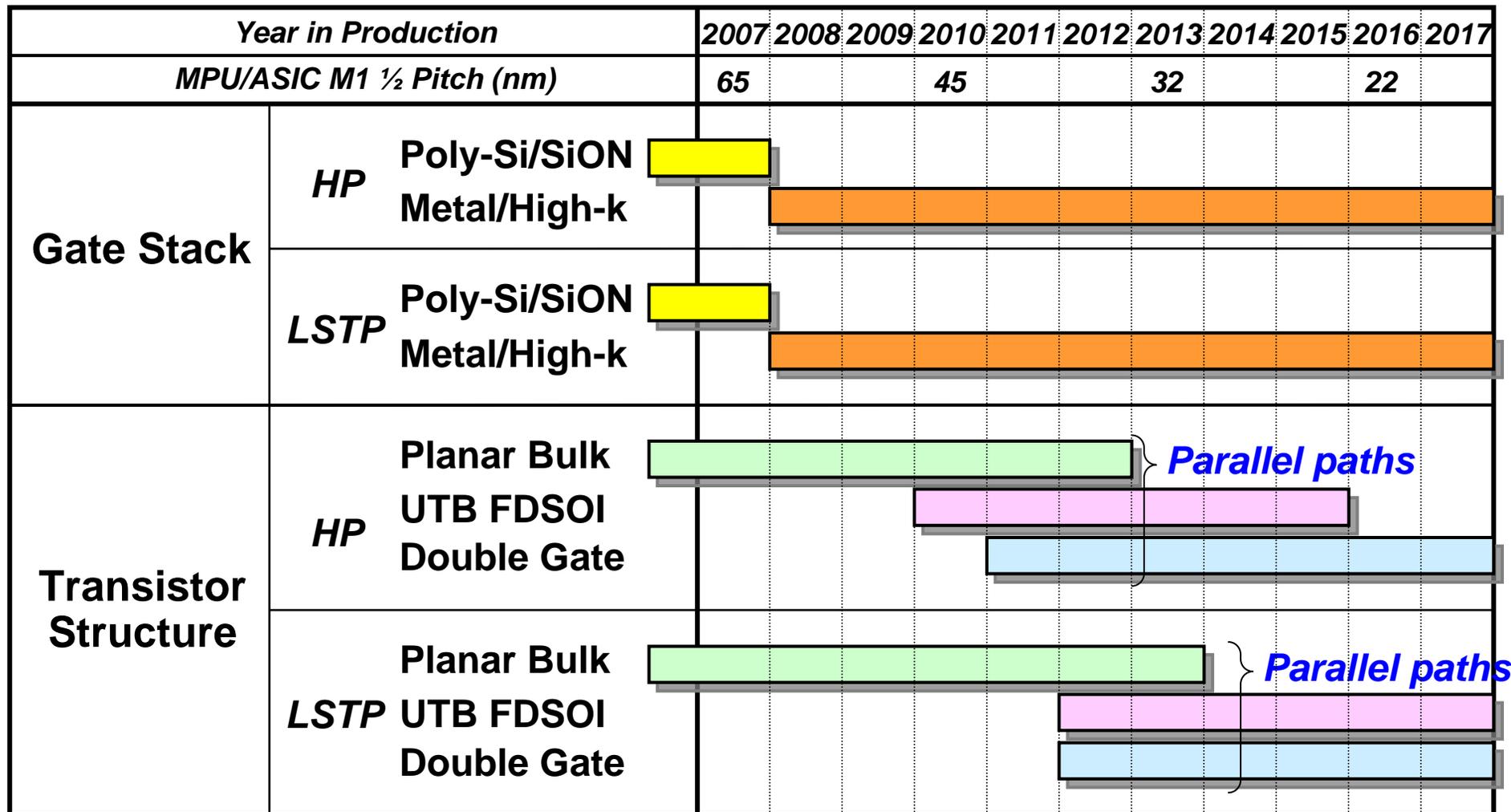
<i>Year of Production</i>			2007	2008	2009	2010	2011	2012	2013
<i>Metal 1 1/2 Pitch (nm)</i>		<i>is</i>	68	59	52	45	40	36	32
<i>Lg: Gate Length (nm)</i>		<i>is</i>	25	22	20	18	16	14	13
<i>V_{dd}: Supply Voltage (V)</i>		<i>is</i>	1.1	1.0	1.0	1.0	0.95	0.9	0.9
<i>T_{inv} (nm)</i>	Planer Bulk	<i>was</i>	1.84	1.70	1.6	0.92	0.75	0.75	
		<i>is</i>	1.84	1.21	1.04	0.93	0.82	0.76	
	UTB FD	<i>is</i>				1.1	1.0	0.95	0.9
	Double Gate	<i>is</i>					1.2	1.1	1.0
<i>R_{sd} (Ω-μm)</i>	Planar Bulk	<i>was</i>	140	140	120	105	80	70	
		<i>is</i>	200	200	200	180	180	180	
<i>I_{sd, leak} (μA/μm)</i>	Planar Bulk	<i>is</i>	0.34	0.71	0.70	0.64	0.74	0.68	
	UTB FD	<i>is</i>				0.33	0.52	0.62	0.56
	Double Gate	<i>is</i>					0.2	0.34	0.37
<i>I_{d, sat} (μA/μm)</i>	Planar Bulk	<i>is</i>	1211	1513	1639	1807	1824	1762	
	UTB FD	<i>is</i>				1948	2000	1944	2109
	Double Gate	<i>is</i>					1917	1943	2204

LSTP Logic Technology Requirements Table

Year of Production			2007	2008	2009	2010	2011	2012	2013
Metal 1 1/2 Pitch (nm)		<i>is</i>	68	59	52	45	40	36	32
Lg: Gate Length (nm)		<i>is</i>	45	37	32	28	25	22	20
Vdd: Supply Voltage (V)		<i>was</i>	1.2	1.1	1.1	1.1	1.0	1.0	1.0
		<i>is</i>	1.1	1.1	1.0	1.0	1.0	1.0	0.95
T_{inv}	Planar Bulk	<i>was</i>	2.53	1.93	1.82	1.71	1.72	1.61	1.51
		<i>is</i>	2.52	1.93	1.84	1.73	1.62	1.51	1.41
	UTB-FDSOI	<i>is</i>						1.7	1.6
	Double Gate	<i>is</i>						1.8	1.7
$R_{sd} (\Omega\text{-}\mu\text{m})$		<i>is</i>	180	180	180	180	180	180	180
$I_{sd, leak}$ (pA/ μm)	Bulk Planer	<i>was</i>	10	10	10	10	12	16	21
		<i>is</i>	30.3	30.3	30.5	30.7	30.2	30.2	30.3
	UTB-FDSOI	<i>is</i>						31.4	30.9
	Double Gate	<i>is</i>						11.5	24.4
$I_{d, sat}$ ($\mu\text{A}/\mu\text{m}$)	Planar Bulk	<i>is</i>	465	569	501	528	542	560	519
	UTB-FDSOI	<i>is</i>						608	669
	Double Gate	<i>is</i>						550	612

MG/HKおよびDGの導入時期

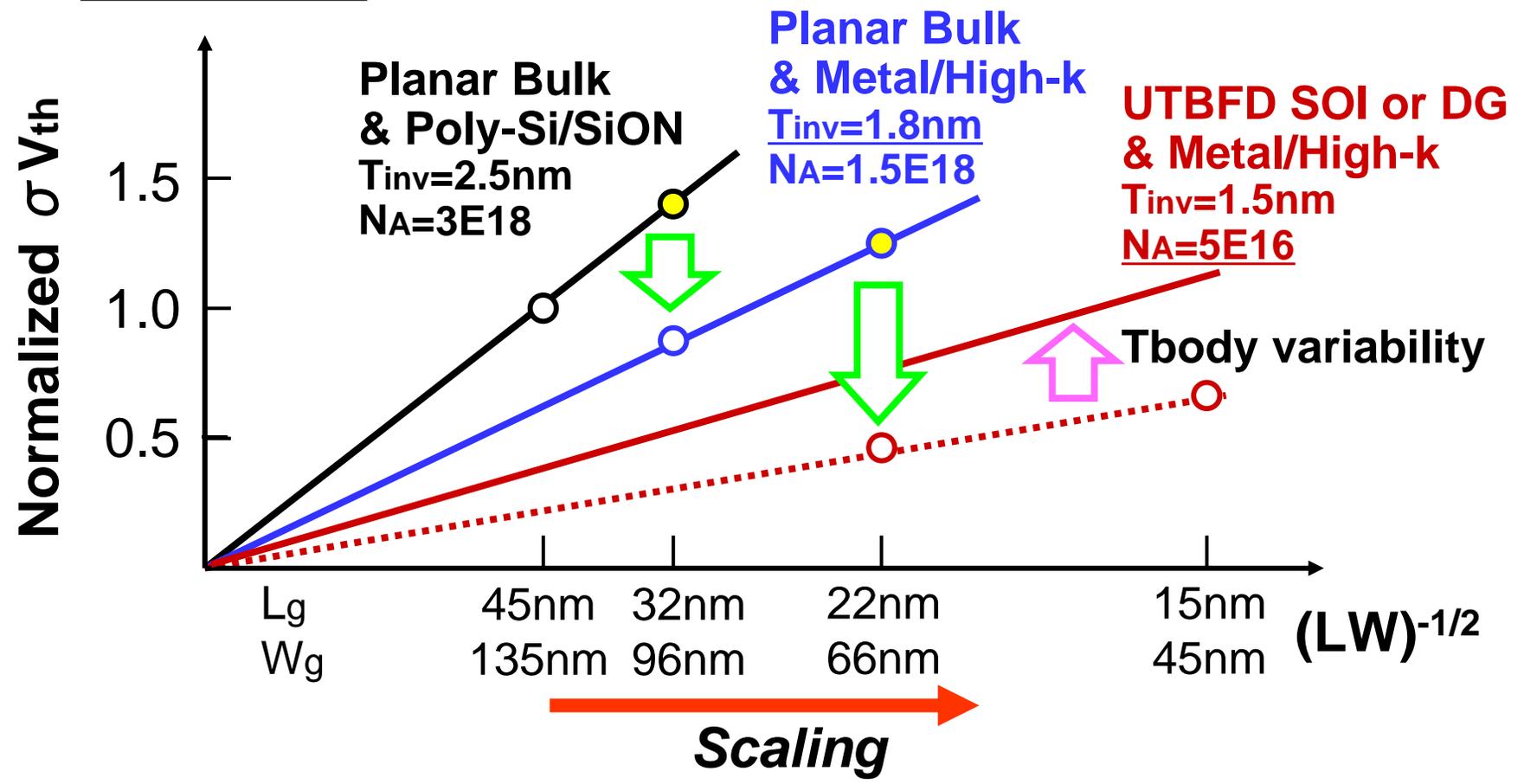
- MG/HK: Thinner T_{inv} → Higher Ion, Smaller σV_{th}
- FDSOI/DG: Un-doped channel → Quasi-ballistic transport, Smaller σV_{th}



不純物ゆらぎによるVthランダムばらつき

MG/HK技術とDG技術の導入によりしきい値電圧Vthのランダムばらつきを低減

LSTP Device



Assumption: Random dopant fluctuation is main source of random variability
 Line width roughness of L_g and W_g is not considered in this estimation.

標準バリスティック動作を実現するためのデバイス構造

1. Gate length (L_g) scaling
 $L_g \sim$ Mean free path (λ)
→ Aggressive L_g scaling to 20nm or less
2. Suppression of carrier scattering in intrinsic (=channel) region
→ Un-doped channel
→ Fully depleted: UTB FDSOI, DG
3. Reduction of parasitic resistance in extrinsic (=source/drain) region
→ Potentially, Schottky S/D

K. Natori

JJAP Vol. 42 (2003) pp. 2063

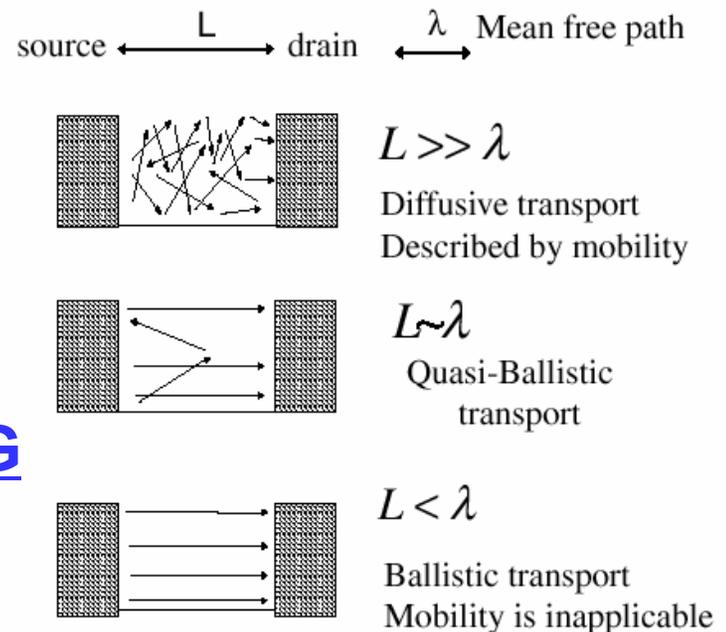


Fig. 1. Classification of carrier transport in MOSFETs.

Key issues to 2008

- **High performance Logicのゲート長 (L_g) スケーリングトレンドの修正。**
- **Ballistic enhancement factor 向上シナリオ:
Alternative channel material (Ge, III-V)
Alternative channel structure (Si nanowire)
の導入。**

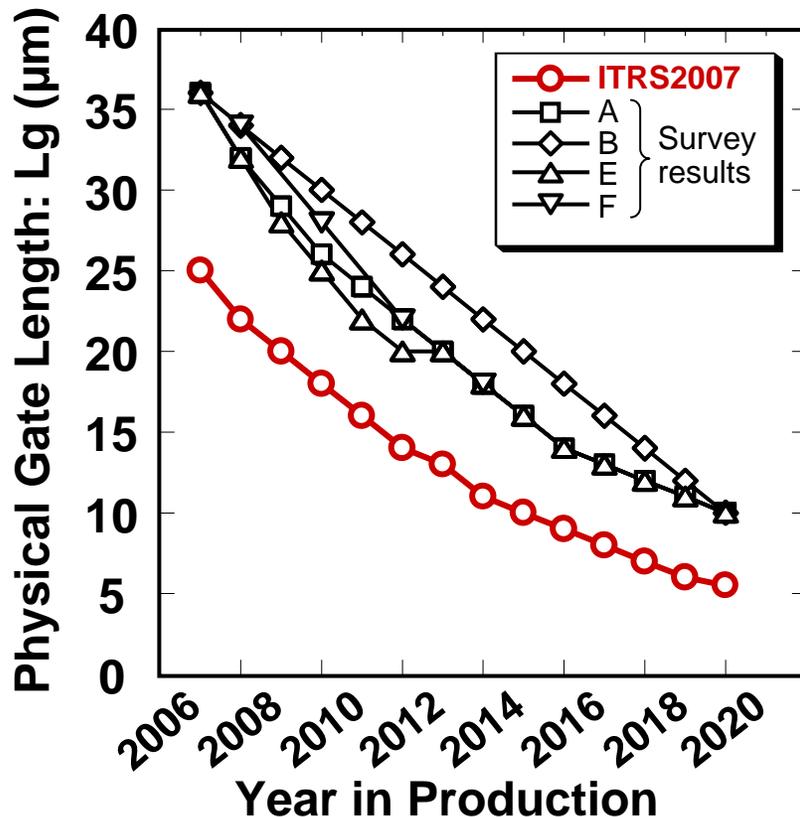
ゲート長スケーリング調査結果(日本)

HP in ITRS2007: 実際のトレンドよりも3年程度先行し過ぎている。

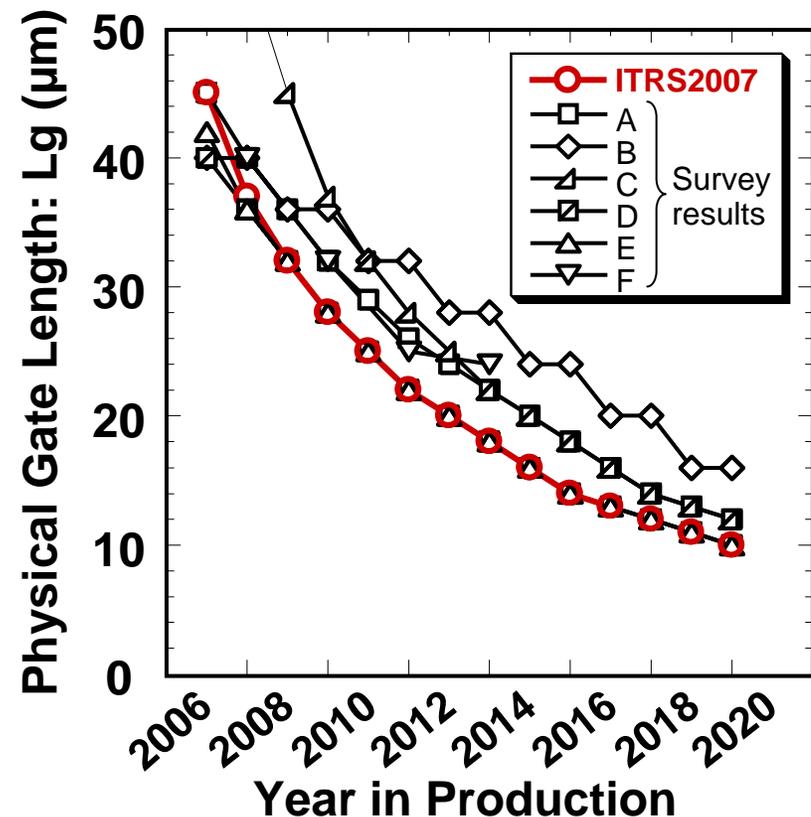
LSTP in ITRS2007: 実際のトレンドとほぼ一致。

→ 米国、EU、台湾での調査結果を加えてReviewし、2008年版に反映させる予定。

High Performance Logic



Low Standby Power Logic



HP Logic Ballistic Enhancement Factor

2015年以降にBallistic Enhancement Factorは1.5を越える値が要求されており、Siチャネルの2次元バリスティック伝導では達成できない可能性が高い。



新規チャネル材料: Geチャネル、III-V族チャネル →ソース端での注入速度の向上
 新規トランジスタ構造: Nanowire →一次元バリスティック伝導

Year in Production	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021
Metal $\frac{1}{2}$ Pitch	40	36	32	28	25	22	20	18	16	14	13
Lg (nm)	16	14	13	11	10	9	8	7	6	6	18
<i>Effective Ballistic Enhancement Factor</i>											
Bulk Planer	1	1									
Double Gate	1.17	1.25	1.31	1.37	1.53	1.67	1.87	1.99	1.97	2.11	2.11
Requirement	Quasi-ballistic transport					Vinj enhancement 1-D ballistic transport					
Innovation	Double Gate (FinFET)					Ge channel, III-V channel Nanowire					

本日の内容

■ Logic

- ITRS2007版におけるスケーリングトレンド
- 2008年に向けての課題

■ Memory

- ITRS2007版における改訂内容
- NAND/DRAMのスケーリングトレンドと2008年に向けての課題

■ RF & A/MS

- ITRS2007版における改訂内容と課題

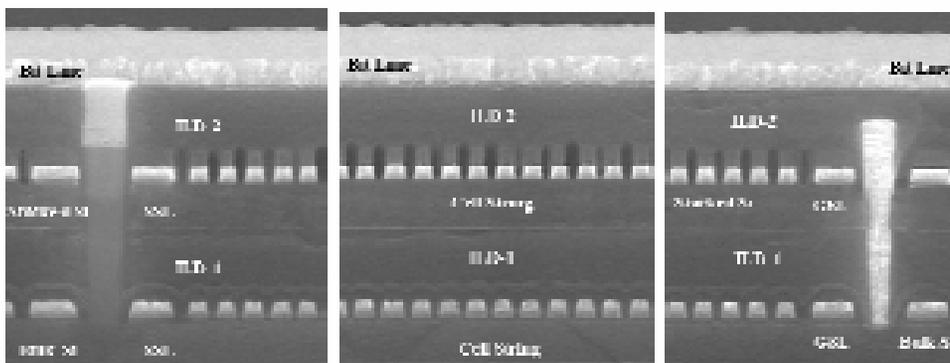
2007年度版 ITRS メモリRMの改訂内容

- 2007年版では検討の結果以下の項目を見直した。
NVMは従来一つの表で運営してきたが、技術・アプリケーションの差が顕著になっている事指摘されてきた。
 - NVMをNAND、NOR及びNon-charge-storage memoriesの3つにテーブルを分離。さらにそれぞれのテーブルの中で技術を細分化。
 - NOR/NAND に関しては、フローティングゲート構造と窒化膜ストレージ型（チャージトラッピング型）デバイスとして技術方向を細分化明確化した。
 - NANDに対してはさらに将来技術動向として3D構造/MLCの動向も明記した。
 - Emerging NVMは“Non-charge-storage memories”として再編し、FeRAM, MRAM and PCRAMを表にまとめた。
- 従来は行っていなかったNAND/NORのサーベイを2007年版から行い、スケーリングの動向の精度を上げた。
- FeRAM, PCRAM についてはUpdateを行ったが、MRAMについては技術動向の大幅な変化が見られなかった為今回は見直しは行っていない。
- DRAMに関しては見直しは無い。

2007年度版 -NAND Flashサーベイまとめ①-

スケーリングの観点において、NANDがテクノロジードライバとしての重要な位置を占めることから、スケーリングと構造のトレンドを主眼としたサーベイを大手メーカーに行った。

- ✓ 2006年版と比較して一年の前倒しでスケーリングトレンドが進むこと予測され、結果的に**DRAM**に対し**2年分HP**が前倒しとなる。
- ✓ 技術的には**3bit/cell**が**2bit/cell**から**4bit/cell**へ移行する中間的なソリューションとして提供される。
- ✓ セル技術としては従来の**Floating Gate**型のセルから**CT(チャージトラップ)型**のセルに移行する。
- ✓ 最終的に**3D構造**で**CT型**のセルへの移行は**2013年**となる見通しである。



3D構造CTタイプNANDセル
出典:S. M. Jung, Samsung
IEDM06, p. 37-44.

2007年度版 -NAND Flashサーベイまとめ②-



2007年版 NAND Tableより抜粋

Year of Production	2007	2008	2009	2010	2011	2012	2013
DRAM ½ Pitch (nm) (contacted)	65	57	50	45	40	35	32
NAND Flash							
NAND Flash technology node – F (nm)	51	45	40	36	32	28	25
Number of word lines in one NAND string	32	32	64	64	64	64	64
Cell type (FG, CT, 3D, etc.) [3]	FG	FG	FG	FG/CT	CT	CT	CT-3D
A. Floating Gate NAND Flash							
Maximum number of bits per cell (MLC)	2	2	3	4	4	4	4
B. Charge trapping NAND Flash (MANOS or Barrier Engineering)							
Maximum number of bits per cell (MLC)				4	4	4	4

32nmHPはNANDは2011年となり、DRAMの2013年から2年前倒しとなる。

FG型からCT型のセルへの移行は2010年。

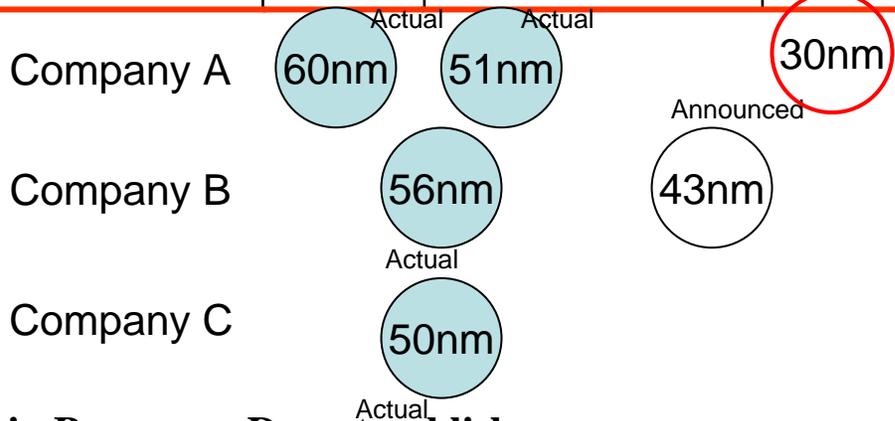
3bit/Cellは2009年、以降は4bit/cellとなる

3D型のセルの採用は2013年。

ITRS2007 -妥当性検証と今後のスケーリングトレンド-

ITRS 2005									
2004	2005	2006	2007	2008	2009	2010	2011	2012	2013
90nm	76nm	64nm	57nm	51nm	45nm	40nm	36nm	32nm	28nm
ITRS 2005	$x1/\sqrt{2}$ (x0.71)	←	x0.794	←	←	x0.794	←	←	←
Cell Size	Half in 2years	Half in 3years			Half in 3years				

ITRS 2007									
ITRS 2007	2006	2007	2008	2009	2010	2011	2012	2013	
	64nm	54nm	45nm	40nm	36nm	32nm	29nm	25nm	
	Cell size	Half in 2years		Half in 3years			Half in 3years		



ITRS 2007は各社のスケーリングトレンドを上手くトレース出来ているが、技術進歩が早く、2009年以降が本来の3年周期のトレンドとなるかも含めサーベイはMainor Updateの2008年についても行う。

2008年に向けての課題と計画 -NVM-

- 2008年に向けての課題
 - NANDはテクノロジードライバーか？の議論
大手各社にサーベイを実施。継続して各WGと協議を続けていく。

NAND flash is the litho driver (サーベイに対する大手メーカーからの回答)

- 51nm NAND has driven the introduction of 193nm immersion technology.
- 36nm NAND is driving the introduction of double patterning technology.
- The driver for the introduction of EUV will be again NAND.

- 新規セル構造のCT (charge trapping)と3-D構造への移行時期は継続してサーベイを続けていく。
- Random telegraph noise limitationに関する問題が言及された。
- PCRAM の製品化時期は2008/2009か？
- NORについては2008年はサーベイは行わない。
- NANDについては、技術革新が早いため、Minor updateの2008年もサーベイを行う。

2007年度版向けのDRAMサーベイ項目

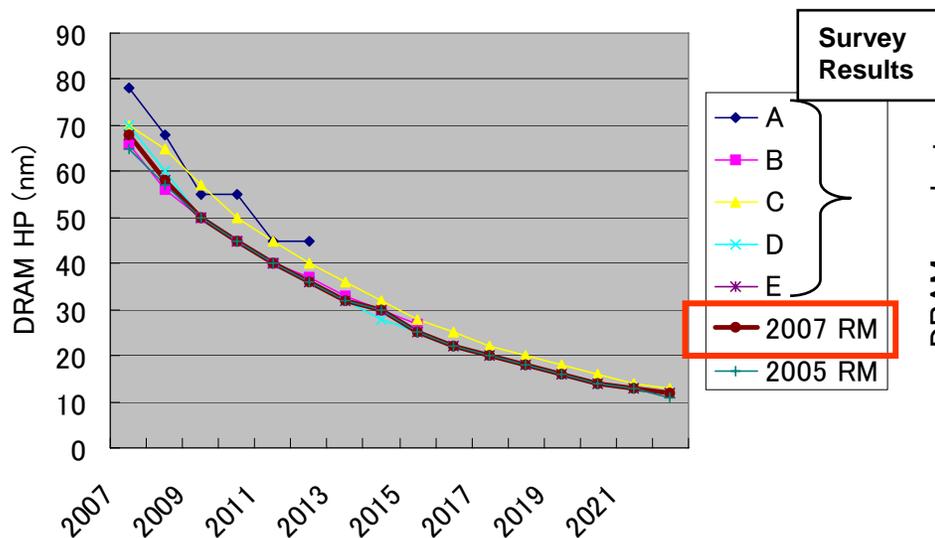
- ● ● 1. DRAM half pitch (minimum feature size : F)
- ● ● 2. Cell size : A_{cell}
- ● ● 3. Cell size factor : a [$A_{cell} = a F^2$]
- ● 4. DRAM Product (bit) : b
- 5. Chip size : A_{chip}
- ● 6. Area factor [= $A_{cell} \times b / A_{chip}$]
- ● 7. Retention time
- ● 8. Storage Capacitance : C_s
- 9. Voltage of capacitor
- 10. Gate oxide thickness of cell transistor
- 11. Maximum word-line level
- 12. Effective electric field of gate insulator
- 13. Negative word-line use
- 14. Capacitor structure
- 15. Capacitor insulator material
- 16. Effective capacitor insulator thickness
- ● 17. Physical capacitor insulator thickness
- 18. Support FET (EOT, Ion, V_t)
- 19. Array FET structure

- | |
|-----------------|
| ● Overall Table |
| ● PIDS Table |
| ● FEP Table |

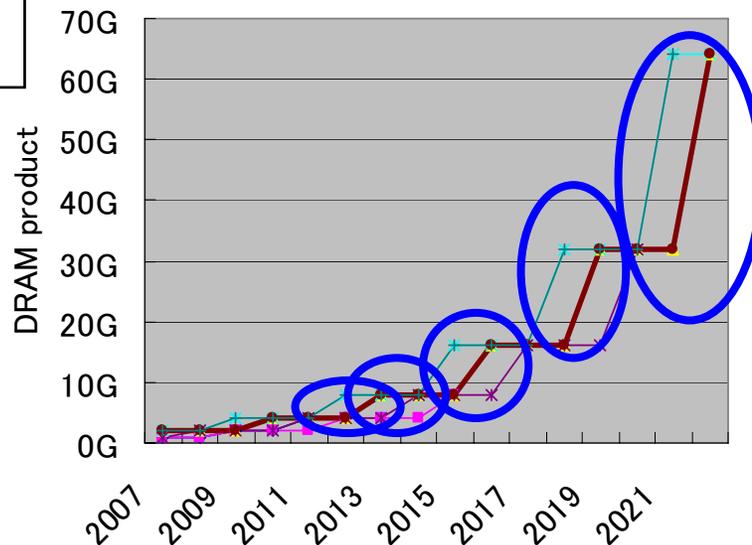
2007年度版 -DRAMサーベイまとめと方向性-

- スケーリングトレンドは2005/2006年版から変化無く、**3年サイクルを維持**。(2007年65nm、2010年45nm)
- 技術トレンド
 - Cell size factor ($a=(\text{cell area})/F^2$)
 - 2005年までは $a=8$ 、2006年からは既に $a=6$ となっている。
 - 2005年版に対し2年前倒し
 - DRAM product generation: 2005年ITRSに対し1年後ろ倒し、**4Gb DRAM**は2005年ITRSの2009年からITRS2007では**2010年**となる。
 - Capacitor equivalent oxide thickness, T_{eq} は2005年ITRSから変化無し。**Ultra-high-k dielectric (new material)**は**2010年以降**必要となる。

<スケーリングトレンド>



<製品トレンド>

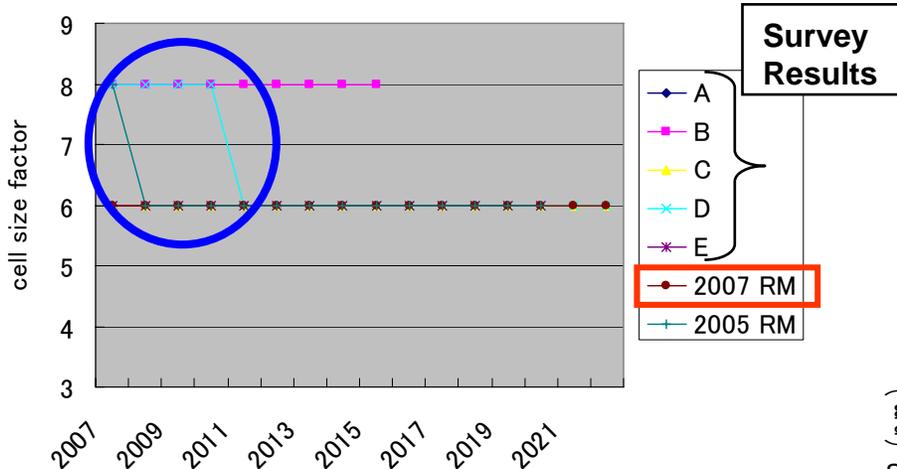


	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016
2007 RM	2	2	2	4	4	4	8	8	8	16

2005年版を維持

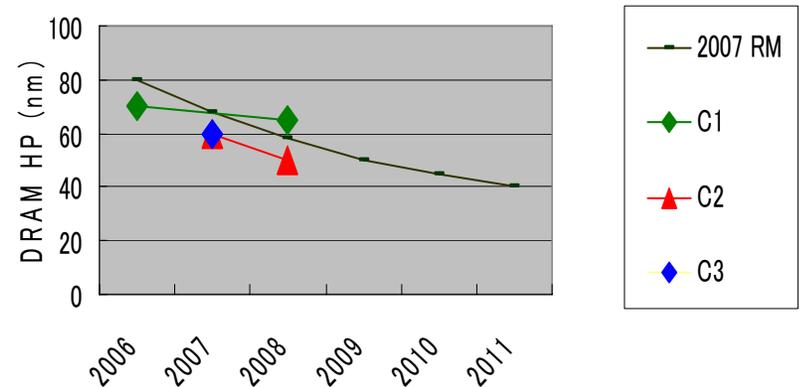
2005年版に対し一年遅れ

<Cell size factorトレンド>



6F²セルは2006年から実現
(ITRS2005に対し2年前倒し)

<ITRS2007と各社のスケールリングトレンド>



ITRS2007は各社
スケールリングトレンドと一致

本日の内容

■ Logic

- ITRS2007版におけるスケーリングトレンド
- 2008年に向けての課題

■ Memory

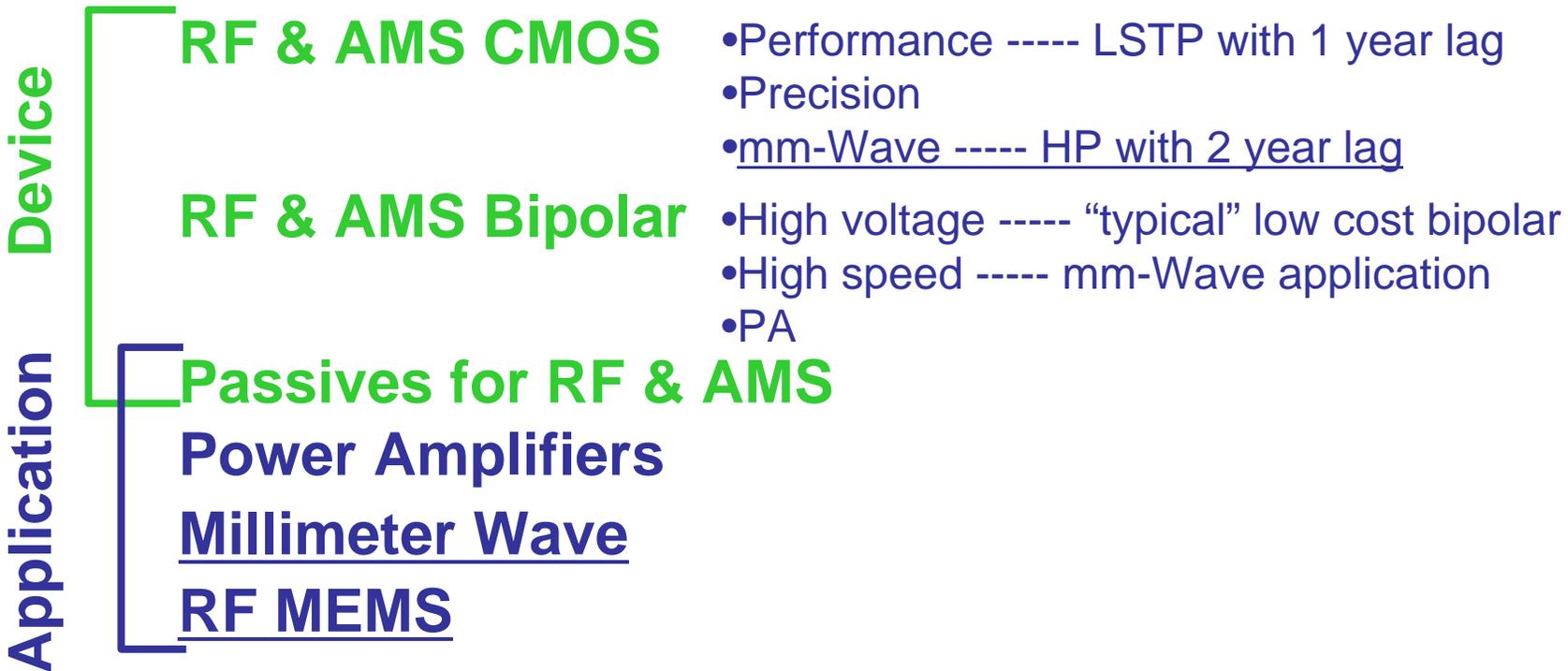
- ITRS2007版における改訂内容
- NAND/DRAMのスケーリングトレンドと2008年に向けての課題

■ RF & A/MS

- ITRS2007版における改訂内容と課題

ITRS2007年版 RF &AMS変更内容

- デバイスとアプリ各々を主体としたテーブルを用意。
→ 同じデバイスを重複して記載
- New Points (1) CMOSテーブルに、**mm-Wave CMOS**を追加
(2) **RF MEMS**テーブルを新たに作成。



ミリ波CMOSのRequirements Table

- CMOS高周波特性の向上からミリ波分野が産業視野に。
- PIDS HPTランジスタから2年遅れでテーブル化。
- Logicとは耐圧要求が異なるため再検討が今後の課題。

