

SiPの現在と将来

実装WG (WG7)

NECエレクトロニクス／中島 宏文

略語集

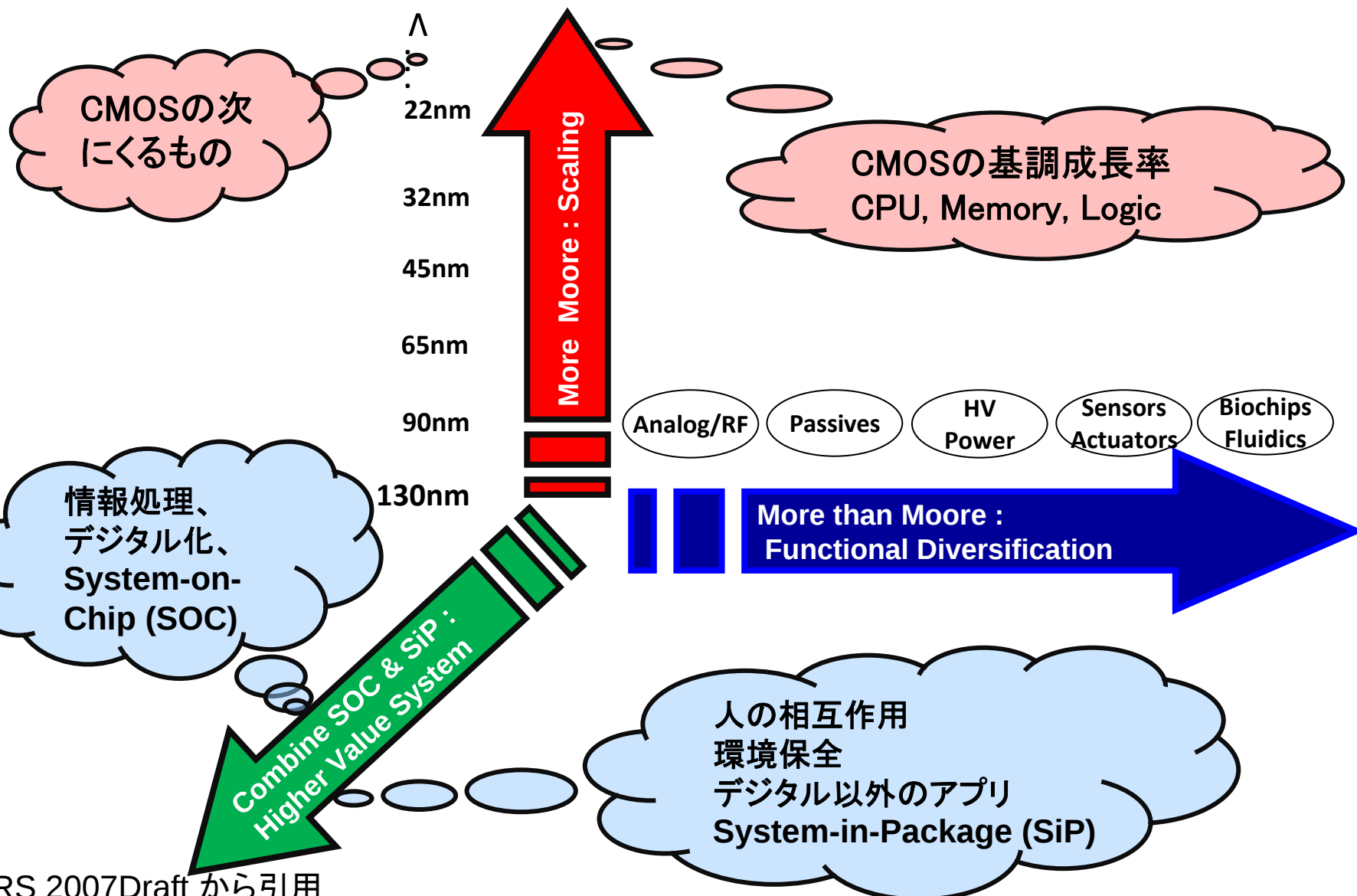
SoC: System on a Chip
SiP: System in a Package
3D: Three dimensional
WLP: Wafer level package
TSV: Through Silicon Via
PoP: Package on package
FBGA: Fine-pitch Ball Grid Array
FCBGA: Flip Chip Ball Grid Array

2008年度 WG7メンバ

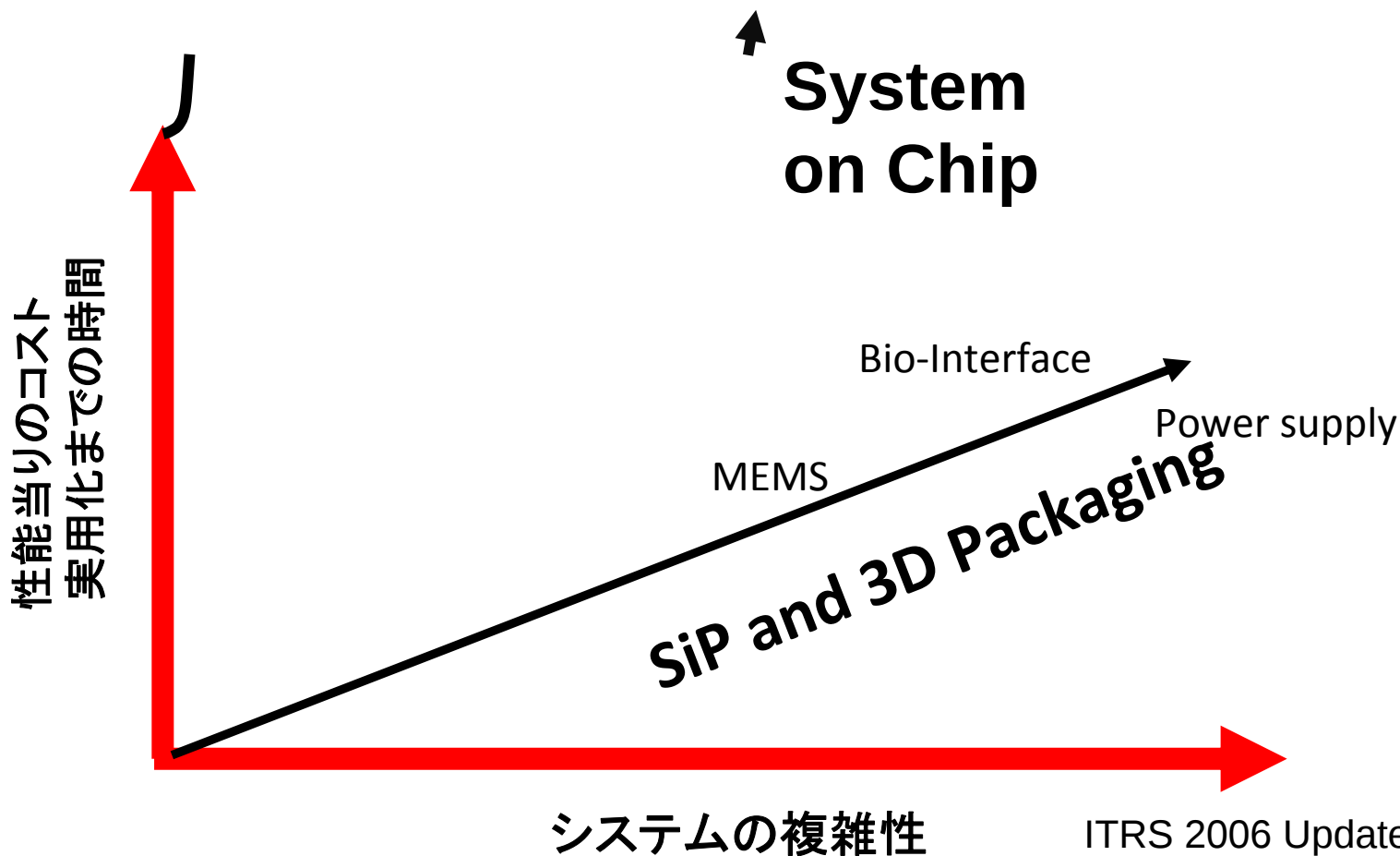


リーダー： 春田 亮（ルネサス）
サブリーダー： 中島 宏文（NECエレ）
国際対応委員： 宇都宮 久修（ICT）、中島兼務
委員： 春口 秀哉（シャープ）、木村 通孝（ルネサス）
西山 和夫（ソニー）、松浦 雅夫（ソニー）
小林 治文（沖電気）、久保 貴則（京セラ）
高田 隆（パナソニック）、春日 壽夫（NECエレ）
上田 茂幸（ローム）、吉田 英治（富士通）
大塚 雅司（東芝）、臼井 良輔（三洋）
大槻 哲也（エプソン）、
特別委員： 前原 信治（日特）、林 智雄（東京精密）
広瀬 正起（住友重機）

1. ムーアの法則持続のための牽引力は？

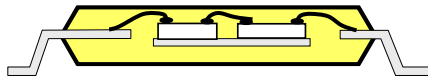
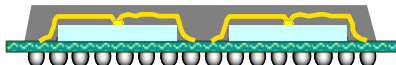
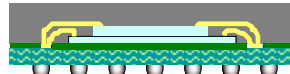
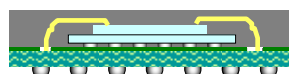
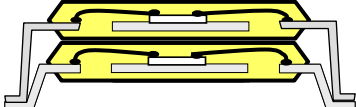
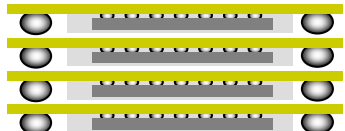
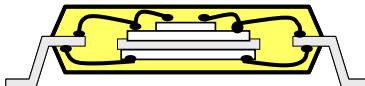
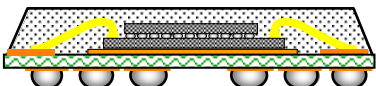
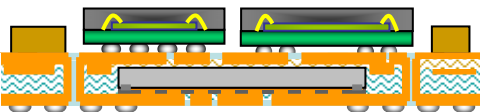
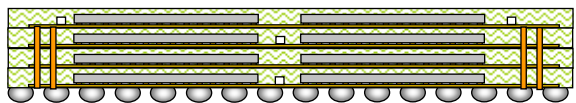


1.1 システムレベルの集積化



パッケージング技術は電気・熱特性やコスト面での制約ではあるが、ムーアの法則を超える手段でもある。

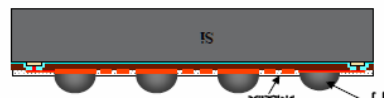
1.2 SiP構造の多様化

Side by side				
		QFP Package	BGA Package	Flip Chip Module
Stacked type	Inter-connection via substrate			
		QFP Type	Wire Bonding Die Stacked	Wire Bonding + Flip Chip
				
	Stacked SOP	Package on Package	Package in Package	
	Direct connection between dice			
		QFP Type	Wire Bonding + Flip Chip (CoC)	Through Silicon Via
Embedded				
		Chip Embedded + Package on Surface	3D Chip Embedded type	

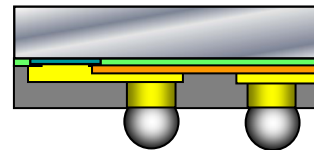
ITRS 2007 Draft から引用

ウェーハレベルのシステム集積化

最も研究が活発におこなわれ、
研究報告されている技術。



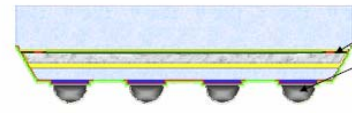
フリップチップ類似



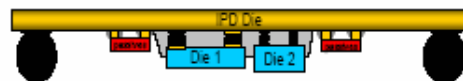
銅ポスト・樹脂コート



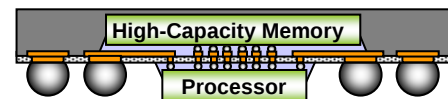
イメージセンサ・TSV



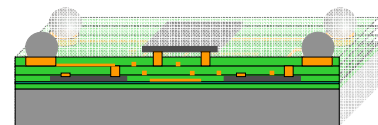
イメージセンサ・メッキ配線



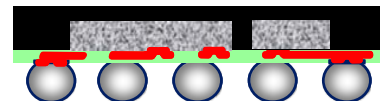
シリコン上の受動素子集積



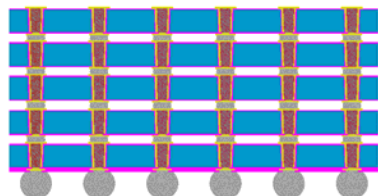
ウェーハビルドアップ配線形成



シリコン上エンベデッド



Fan out WLP



TSV積層チップ

1. 最小浮遊容量、
インダクタンスによる
ノイズの低減

2. 小型軽量

3. I/Oバッファ最小化に
よる消費電力低減

4. 資材コスト低減

ITRS 2007 Draft から引用

1.3 SiPの高密度化

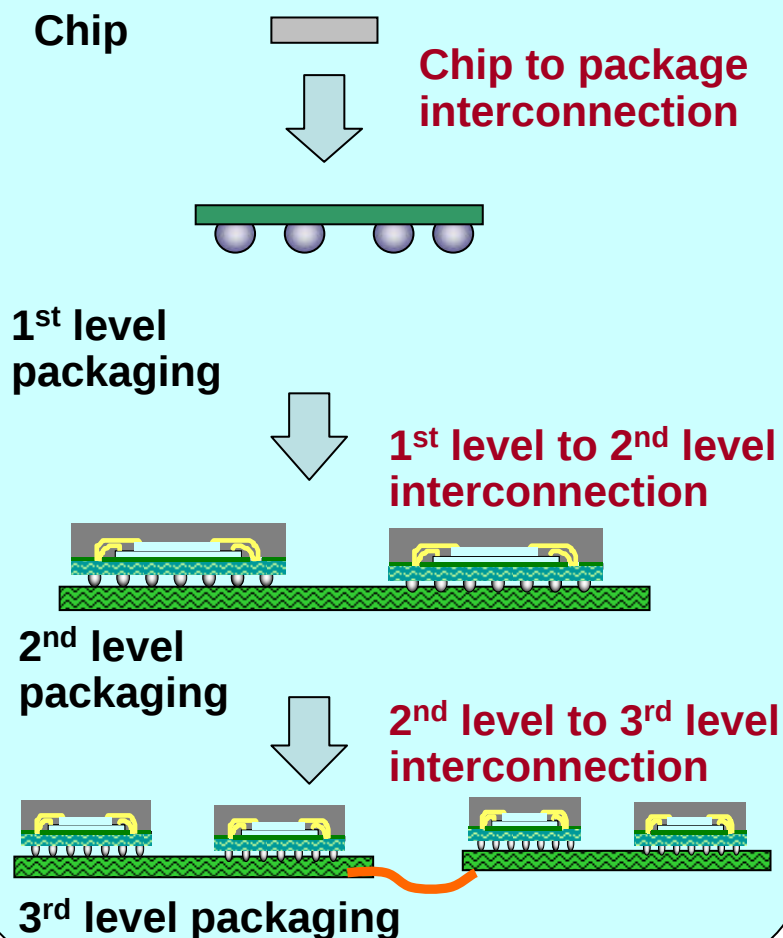
- FBGAの端子数が単調増加しているのに対して、**ハンドヘルド用SiPが800ピンで飽和**している。BISTによりチップ間接続配線の分だけ外部端子数が抑制できる。
- 高性能デバイス用SiPの積層チップ数は**放熱特性によって制約**されている。
- ロードマップに**TSV**が追加。

年	2007	2008	2009	2010	2011	2012	2013	2014	2015
低コスト・ハンドヘルドSiPの端子数	700	800	800	800	800	800	800	800	800
高性能用途SiPの端子数	3050	3190	3350	3509	3684	3860	4053	4246	4458
RF SiPの最大端子数	200	200	200	200	200	200	200	200	200
低コスト・ハンドヘルドの積層チップ数	7	8	9	10	11	12	13	14	14
高性能デバイスの積層チップ数	3	3	3	4	4	4	5	5	5
低コスト・ハンドヘルド用SiPのチップ数	8	8	9	11	12	13	14	14	14
高性能デバイス用SiPのチップ数	6	6	6	7	7	7	8	8	8
最小TSV ピッチ	10.0	8.0	6.0	5.0	4.0	3.8	3.6	3.4	3.3
TSVの最大アスペクト比	10.0	10.0	10.0	10.0	10.0	10.0	10.0	10.0	10.0
TSV の小径側穴径最小値 (um)	4.0	4.0	3.0	2.5	2.0	1.9	1.8	1.7	1.6
最小TSV ピッチの時のTSV層厚さ	50	20	15	15	10	10	10	10	8
受動部品の最小部品外形(um)	1005	600x 300	600x 300	400x 200	400x 200	400x 200	200x 100	200x 100	200x 100

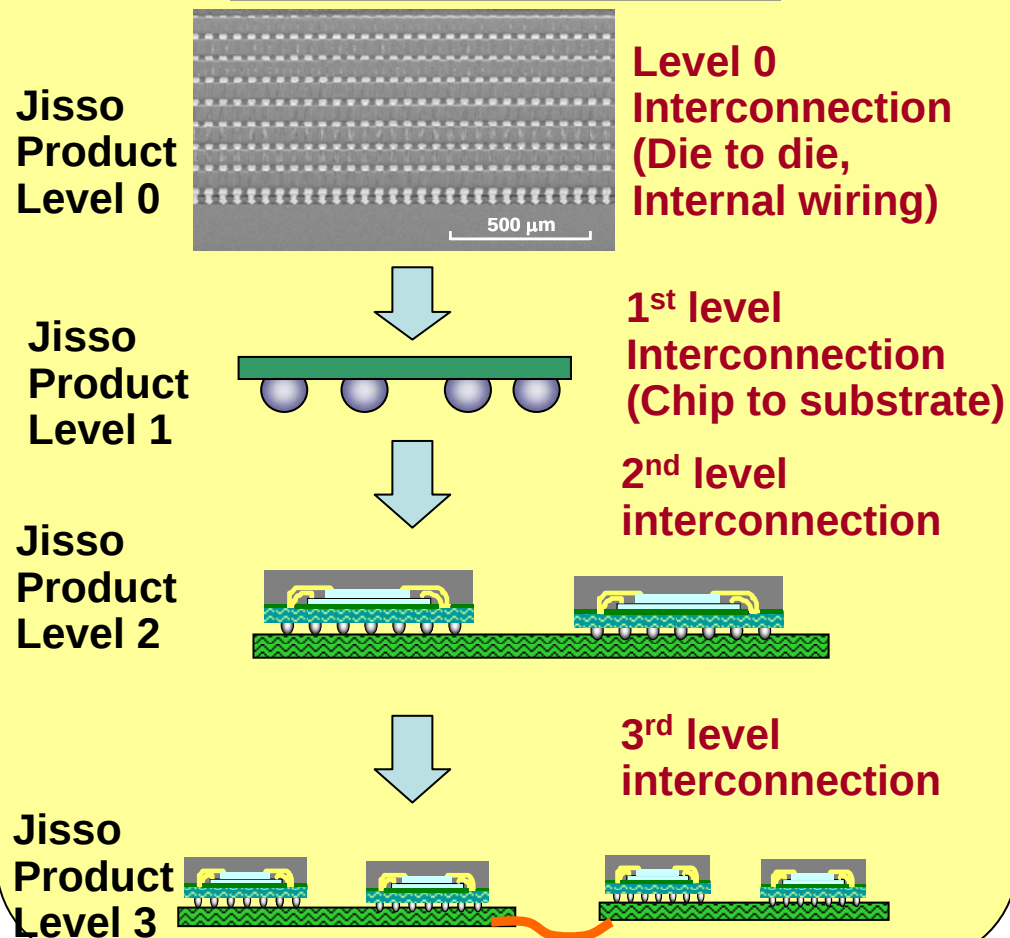
チップ間接続がより重要に

Level 0 (チップ間接続)の追加

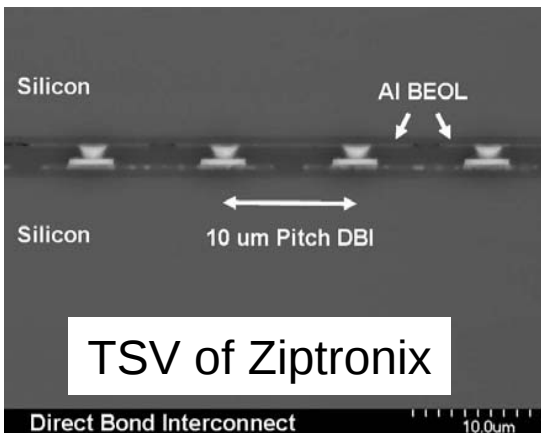
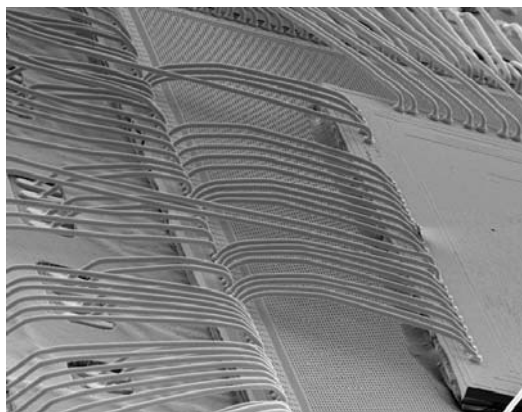
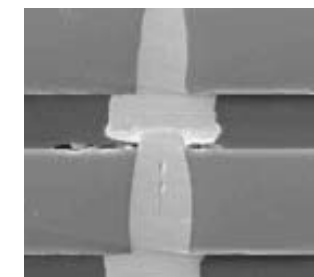
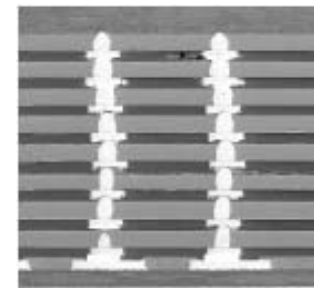
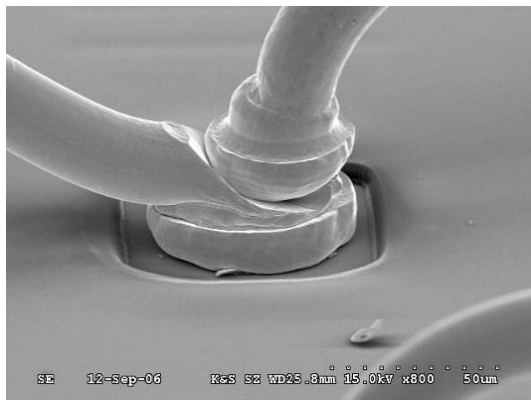
Classical Interconnection Level (1990)



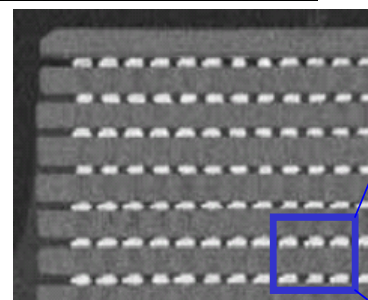
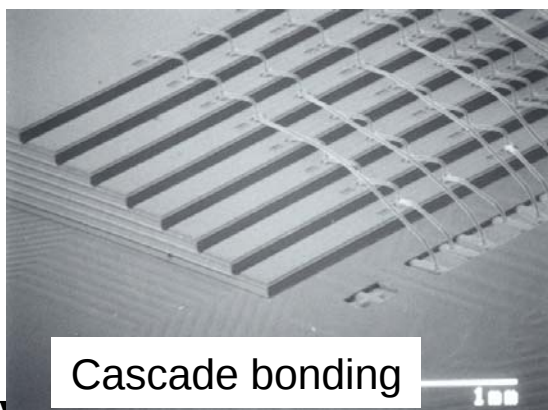
Jisso Interconnection Level (2007)



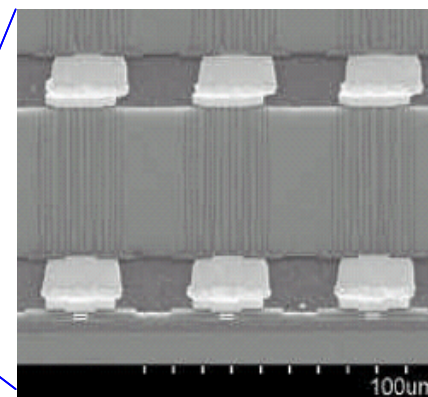
チップ間ボンディング



Samsung TSV
50 micron thick



NEC El/Elpida/OKI



TSV Pitch and Connection Level

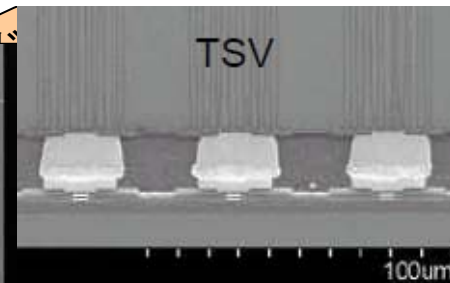
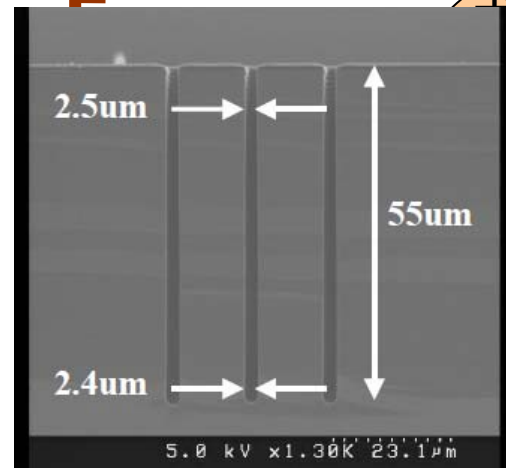
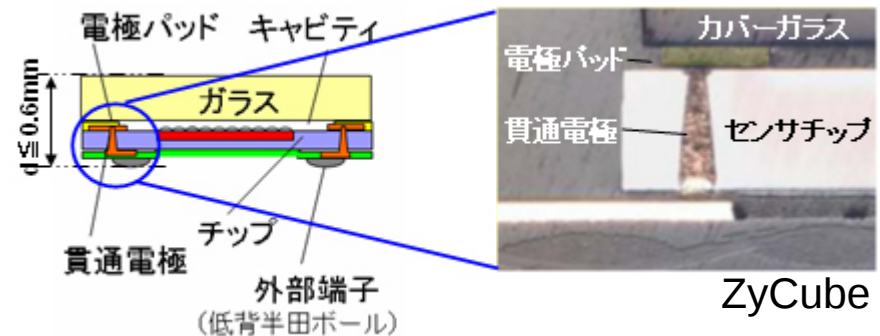
- ・トランジスタレベルの三次元接続
- ・回路ブロックレベルの三次元接続
- ・基板実装レベルの接続

接続レベル

パッケージ
の外部端子

ブロック間
接続

トランジスタ
間 接続



NEC El/Elpida/Oki

50

500

TSV Pitch (μm)

ウェーハ薄化

ウェーハ薄化の必要性

1. パッケージの薄化
2. TSVの生産性向上 (TSVのコスト低減)
 - ・ TSVの穴掘時間が短縮できる。
 - ・ TSVの穴埋め時間が短縮できる。
3. 穴深さと穴径の均一性が期待できる。

薄化の課題

1. ウェーハ研削後のハンドリング
2. ウェーハ抗折強度劣化による信頼性低下

ウェーハ厚 200 mm/300 mm

単位: um

年	2007	2008	2009	2010	2011	2012	2013	2014	2015
一般製品の最小ウェーハ厚	50	50	50	50	45	40	40	40	40
スマートカードなど極薄パッケージ用 ウェーハの最小厚さ	20	20	15	15	10	10	10	10	8

1.4 高速化

メモリとロジック間の外部データ転送周波数は、低コストハンドヘルド製品でもコストパフォーマンス用途製品並みに高くなる。

チップから基板への外部データ転送周波数

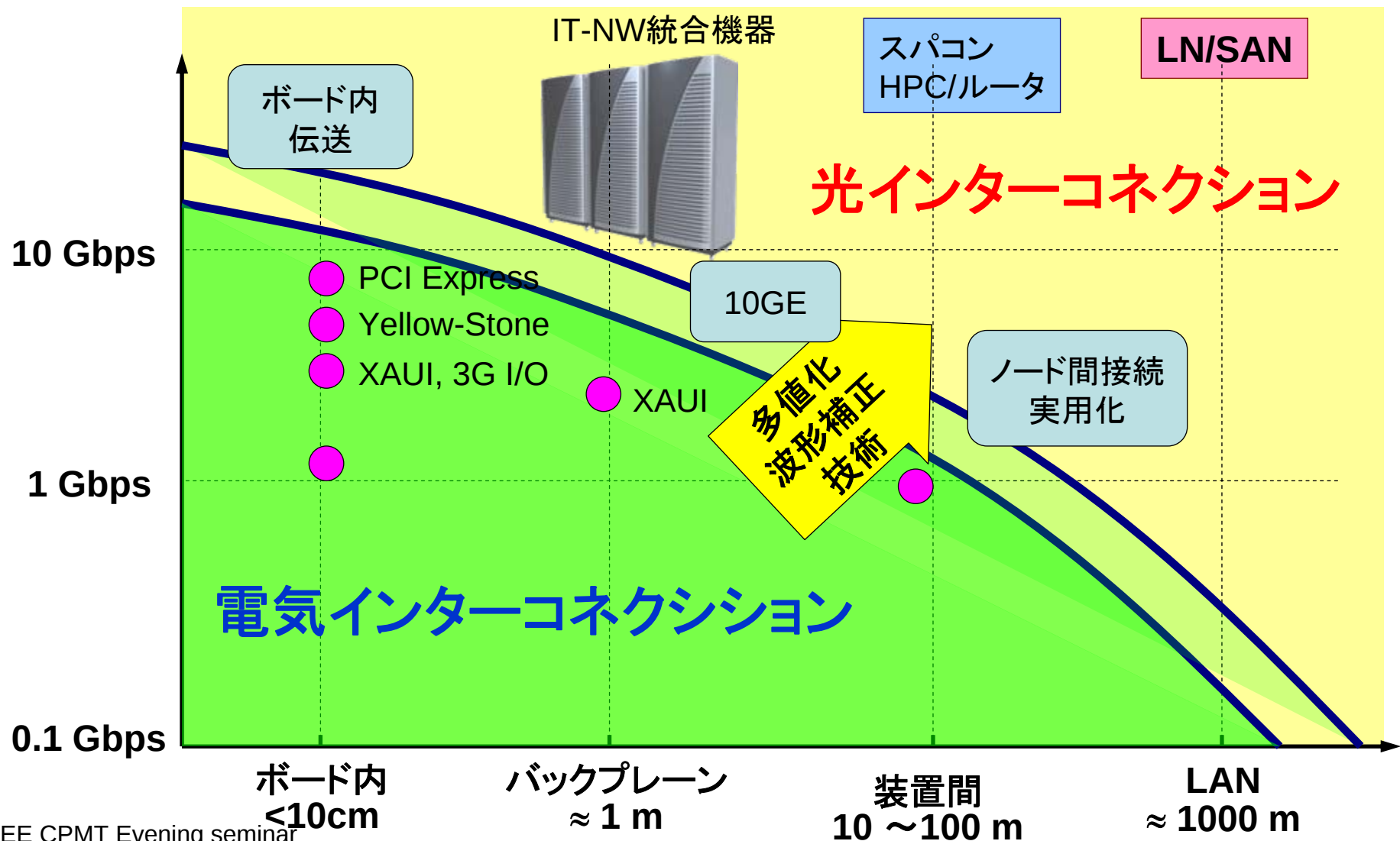
単位: MHz

生産年	2007	2008	2009	2010	2011	2012	2013	2014	2015
低コストーロジック間接続 低コストーメモリとロジック間	100 667	100 800	100 800	125 800	125 800	125 1000	125 1000	125 1000	125 1000
コストパフォーマンス 分岐接続バス	733	800	800	800	800	1000	1000	1000	1000
高性能用途 ポイント間差動伝送	4883	6104	7629	9537	11921	14901	18626	23283	29104
車載用途	106	106	115	125	125	125	125	125	150

ITRS 2007 Draft から引用

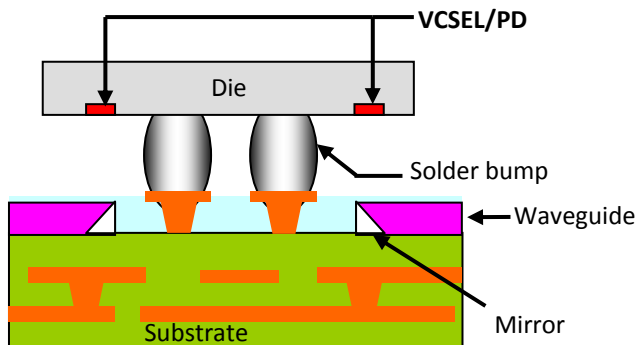
光と電気インターコネクションの領域

データ転送レート的高速化に伴って、光インターコネクションがボード内まで侵入。

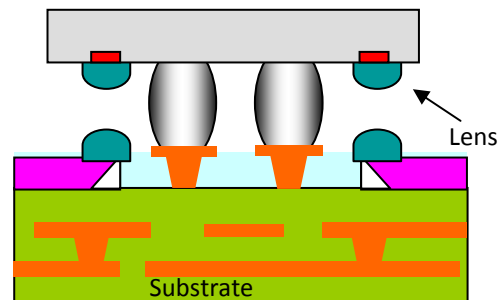


チップ間光伝送を実現する光導波路のコンセプト

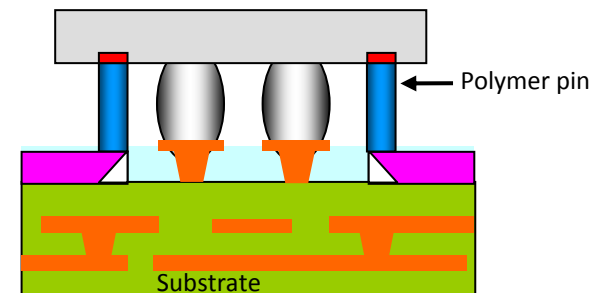
- 500 Gbps以上で必要となるチップ間光データ転送
- 下記コンセプトのいくつかは実際に米国で研究段階にある。
- 必要になるのは500 Gbpsからか？



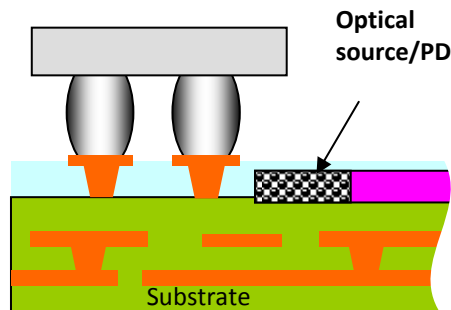
Quasi free-space optical I/O



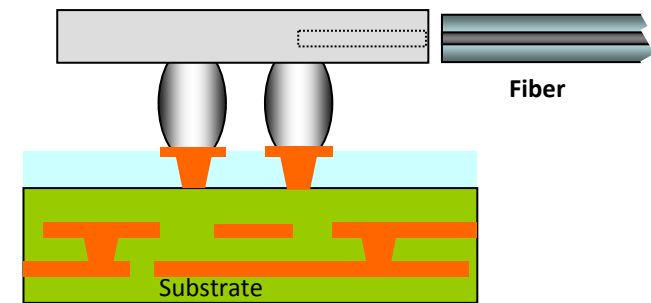
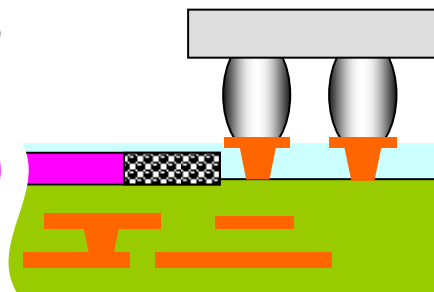
Lens assisted quasi free-space optical I/O



Surface-normal optical waveguide I/O



Board-level integrated optical devices



Fiber-to-the-chip

1.5 SiPの放熱の課題

SiPのチップ積層数は熱密度によって制限される。
SiPの放熱手段の開発が必要。

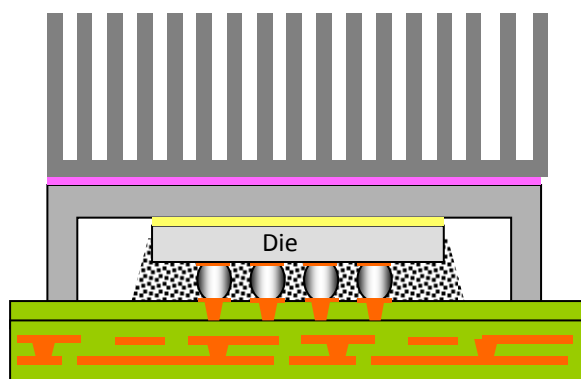
- 高性能化によって熱密度が高くなる。
放熱先として大きな体積が必要。
→体積増加
→配線長の増長
→信号遅延とノイズ発生
→データ転送レート制限
→目的のデータ転送レートに達するため更に消費電力必要。

年	2007	2015	2016	2017	2018	2019	2020	2021	2022
低コスト・ハンドヘルドの積層チップ数	7	14	14	14	14	14	14	14	14
高性能デバイスの積層チップ数	3	5	14	14	14	14	14	14	14
低コスト・ハンドヘルド用SiPのチップ数	8	14	14	14	14	14	14	14	14
高性能デバイス用SiPのチップ数	6	8	14	14	14	14	14	14	14

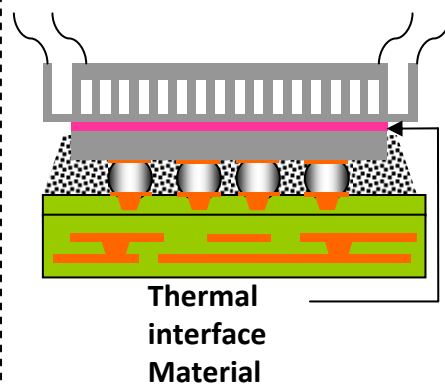
熱密度による制限

放熱は液体冷却が必須になるか？

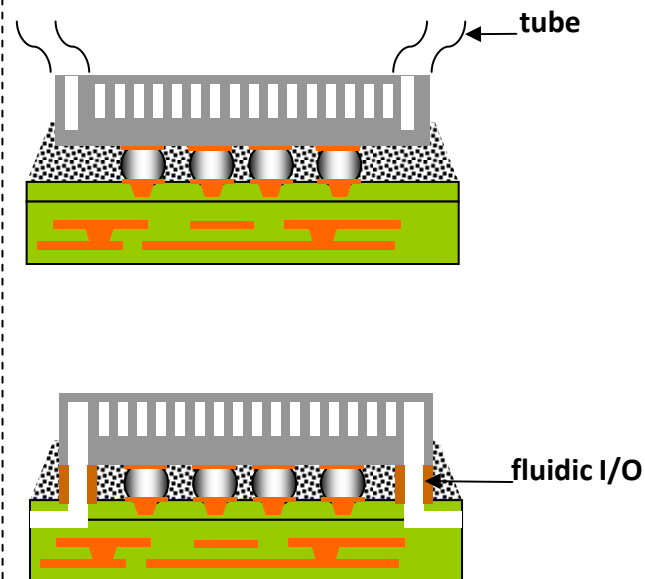
従来の放熱構造



チップ裏面に液体冷却
モジュールをTIMによっ
て貼り付け



チップ裏面にマイクロ
チャネルを形成して液
体冷却



CMOS技術によって液体冷却をチップに組み込んだ例

ITRS 2007 Draft から引用

2. SiPの現在

パッケージ概要

Thin
Light
small

High
speed

Large
memory

Solder
joint
reliability

Communication
Server, Game



PC, Peripheral,



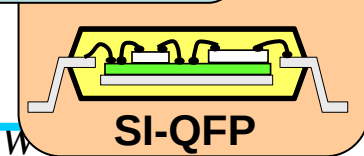
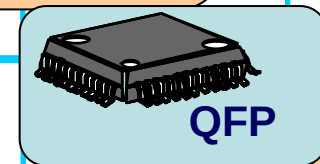
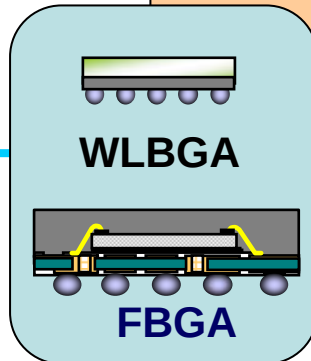
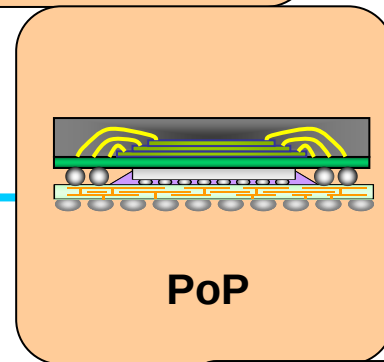
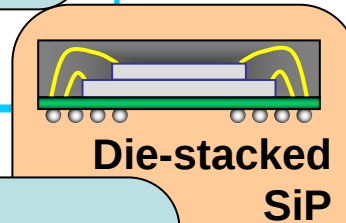
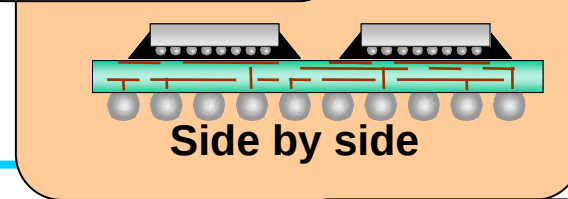
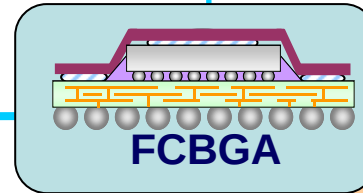
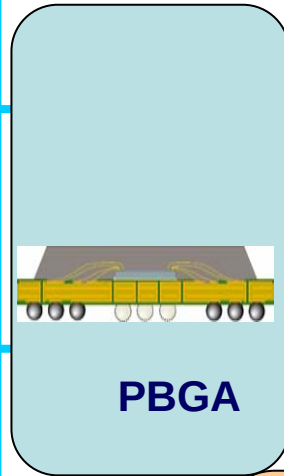
Digital AV



Portable Equipment



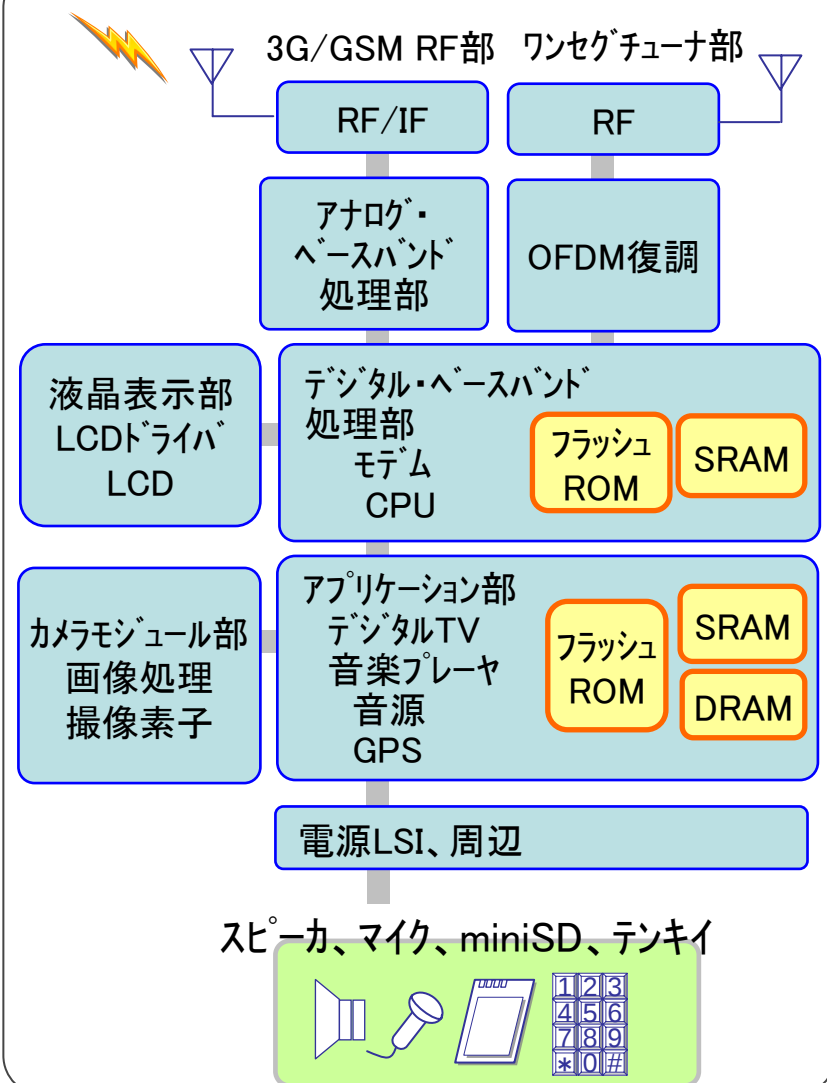
Automotive



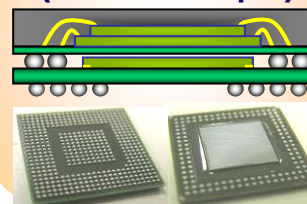
携帯電話用SiP例

■ 携帯電話の小型・薄型化に貢献

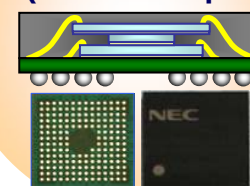
第3世代携帯電話の機能ブロック図



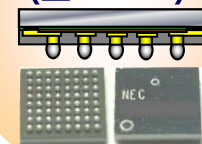
PoP
DBBアプリ統合LSI
(□14mm/529pin)



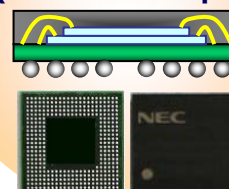
Stacked SiP
カメラモジュール制御
(□8mm/180pin)



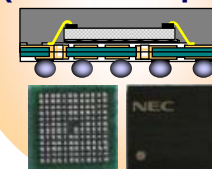
WLBGA
OFDM復調
(□3-5mm)



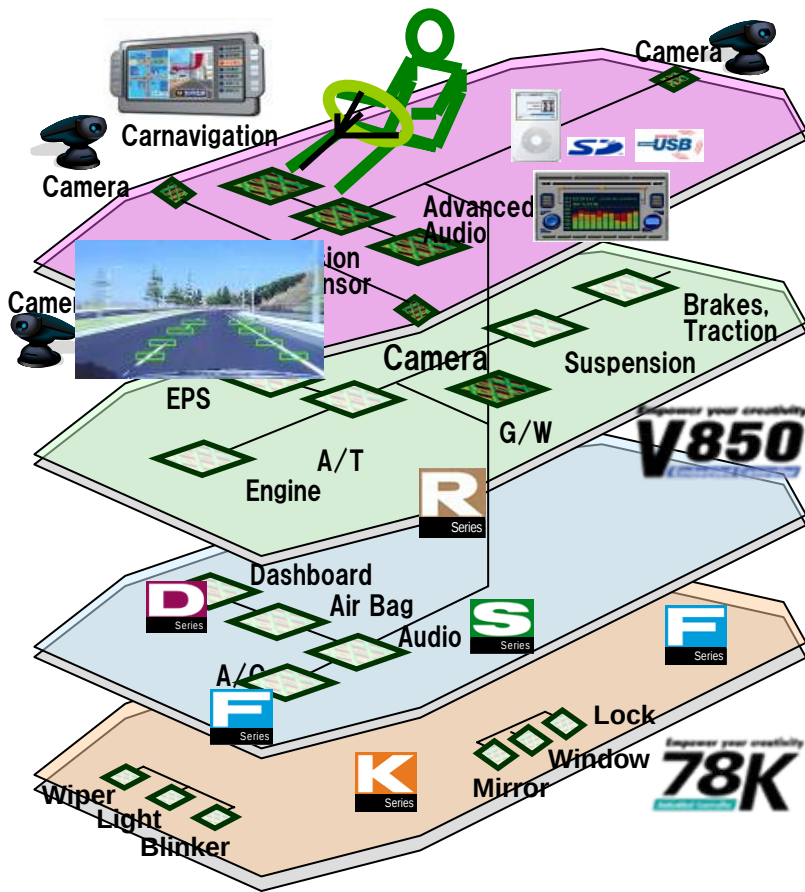
Stacked SiP
電源LSI、周辺
(□9.5mm/301pin)



FBGA
音源LSI
(□6mm/141pin)



車載用LSI例

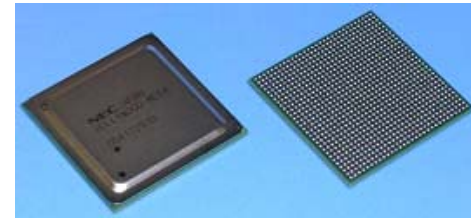


Car-
Multimedia

Powertrain

Body Electronics
Car Audio

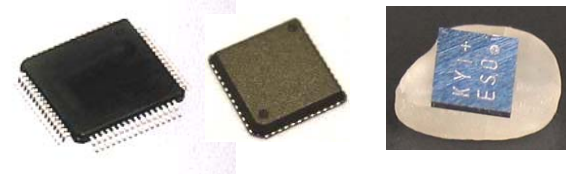
Low-End Body
Electronics



FC-BGA/SiP

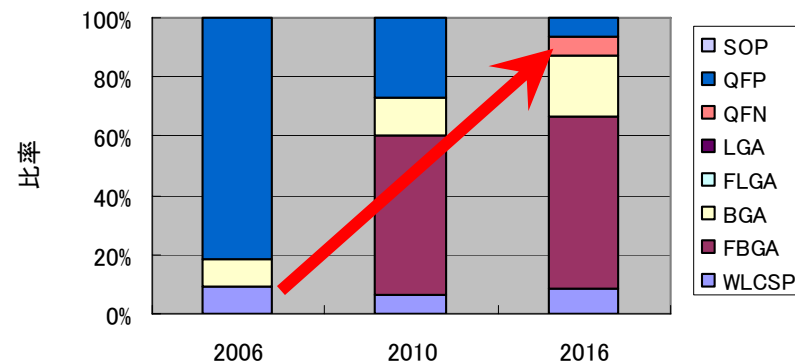


ワイヤーFBGA



QFP/SOP⇒QFN/DFN、FBGA/LGA/WLP

エンジンルーム内ECU

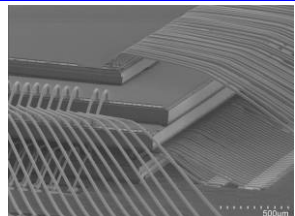


自動車の新システムには各種センサー、ECU等の電子部品が不可欠であり、今後も増加傾向。各種用途に合わせて、PKGの種類も多様化。

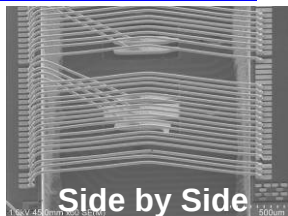
SiPの要素技術

小型・薄型化を実現するSiP要素技術

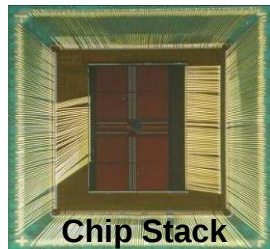
多彩なワイヤーボンディング技術



狭ピッチ・Low-k対応

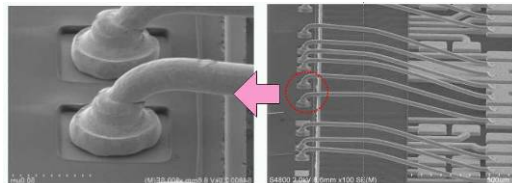


Side by Side



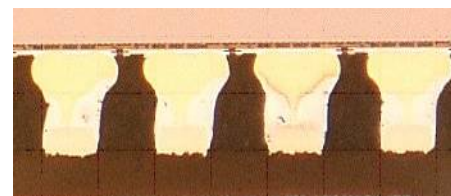
Chip Stack

チップ間ボンディング

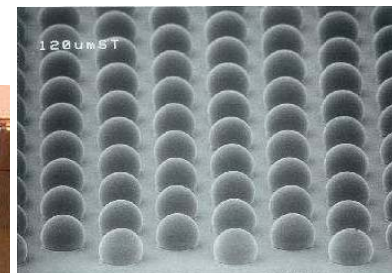


低ループボンディング

Flip Chip技術



Au-はんだFC

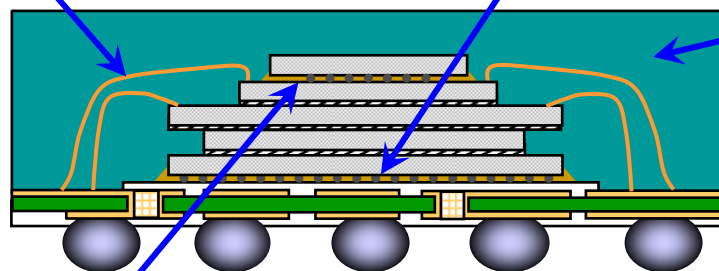


C4(はんだFC)

樹脂封止技術

ワイヤー変形を発生させない
樹脂封止

- ・高流動樹脂
- ・新方式(圧縮成形、TOPゲート)



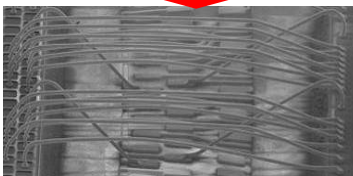
設計技術(3D検証)

設計段階の詳細なワイヤリング(3D)
検証と実製品へのフィードバック

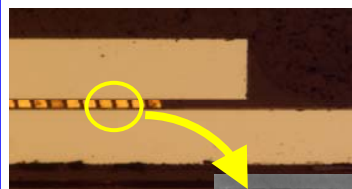
《設計》



《実製品》



COC(Chip On Chip)技術

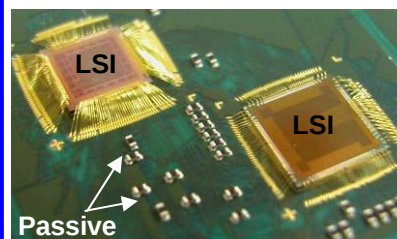


50umピッチ
COC接合

Bump
Bump

Passive混載技術

SMT活用で様々な部品
を混載



薄ウエハ(チップ)技術

微細・薄型
インターポザー技術

ダイアタッチ材料

3. 開発すべき要素技術

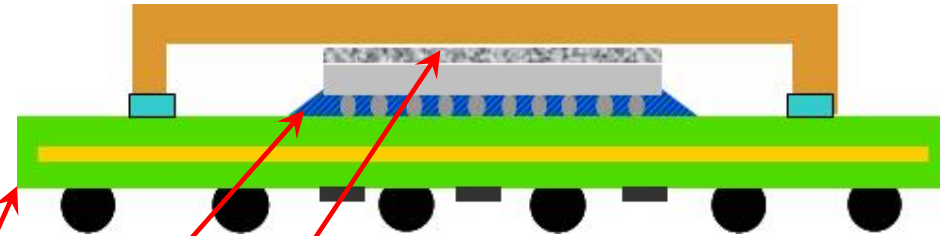
3.1 主な課題

- 薄いウェーハとチップのハンドリング
- 新規開発パッケージでも低い価格設定せざるを得ず、開発コストの回収が困難。
- SiPやTSVなどの協調設計ツールの開発
- 高い熱密度への対策、特に三次元パッケージの放熱構造
- SiPの高速大容量データ転送
- 新材料開発への取り組み → 3.2

ITRS 2007

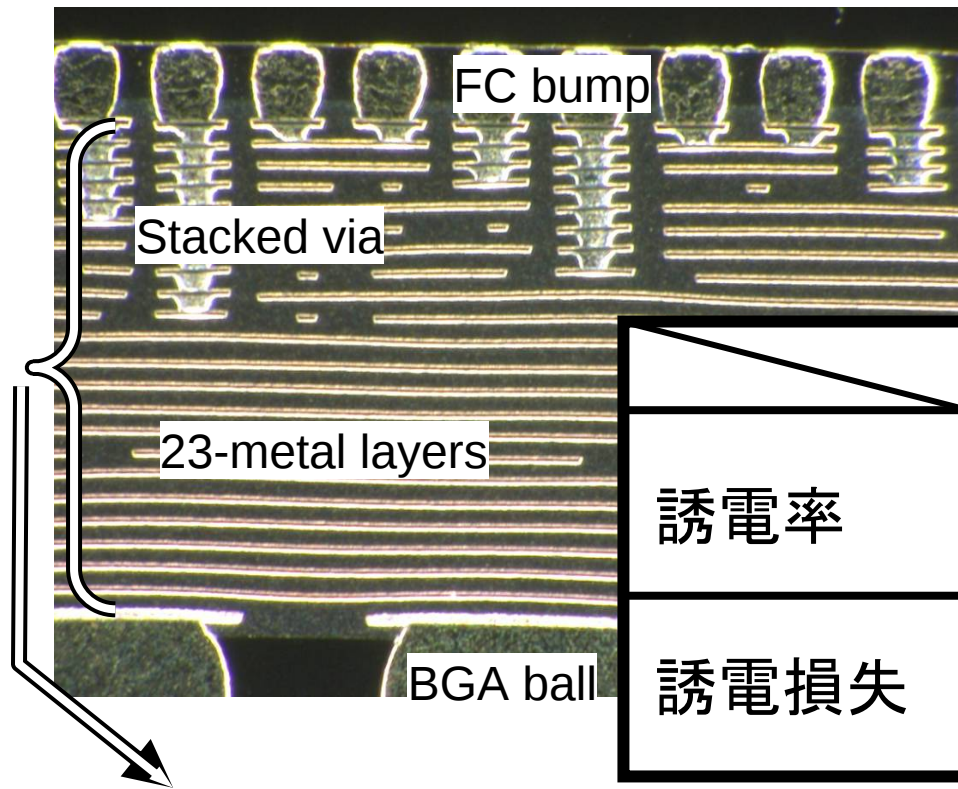
Difficult challengeから引用

3.2 パッケージに必要な新材料開発



パッケージ材料	要求項目	事例
基板	高速伝送 →シグナルインテグリティ	← ①
樹脂	モールドはトランスファから圧縮成型へ →圧縮モールド用樹脂の改善 樹脂の成型収縮の抑制	← ②
ワイヤ	被覆ワイヤのボンディング性改善とコスト低減 車載用デバイスの高温環境耐性	
熱伝導材 (TIM)	熱伝導率改善 DAFの薄化、DBG用DAFの切断合理化	← ③
アンダーフィル材	Low k材層の剥離対策アンダーフィル材	
はんだボール	微量ドーパントによる落下耐性改善 金属間化合物成長のコントロール	

① 40GHzに耐える基板開発



	有機基板	セラミック	ビルドアップ基板
誘電率	3.2	4.2 – 5.7	3.2 - 3.5 (BU) 3.5 - 4.7(Core)
誘電損失	0.0018	0.0018 – 0.003	0.01-0.03 (BU) 0.002 -0.016 (core)

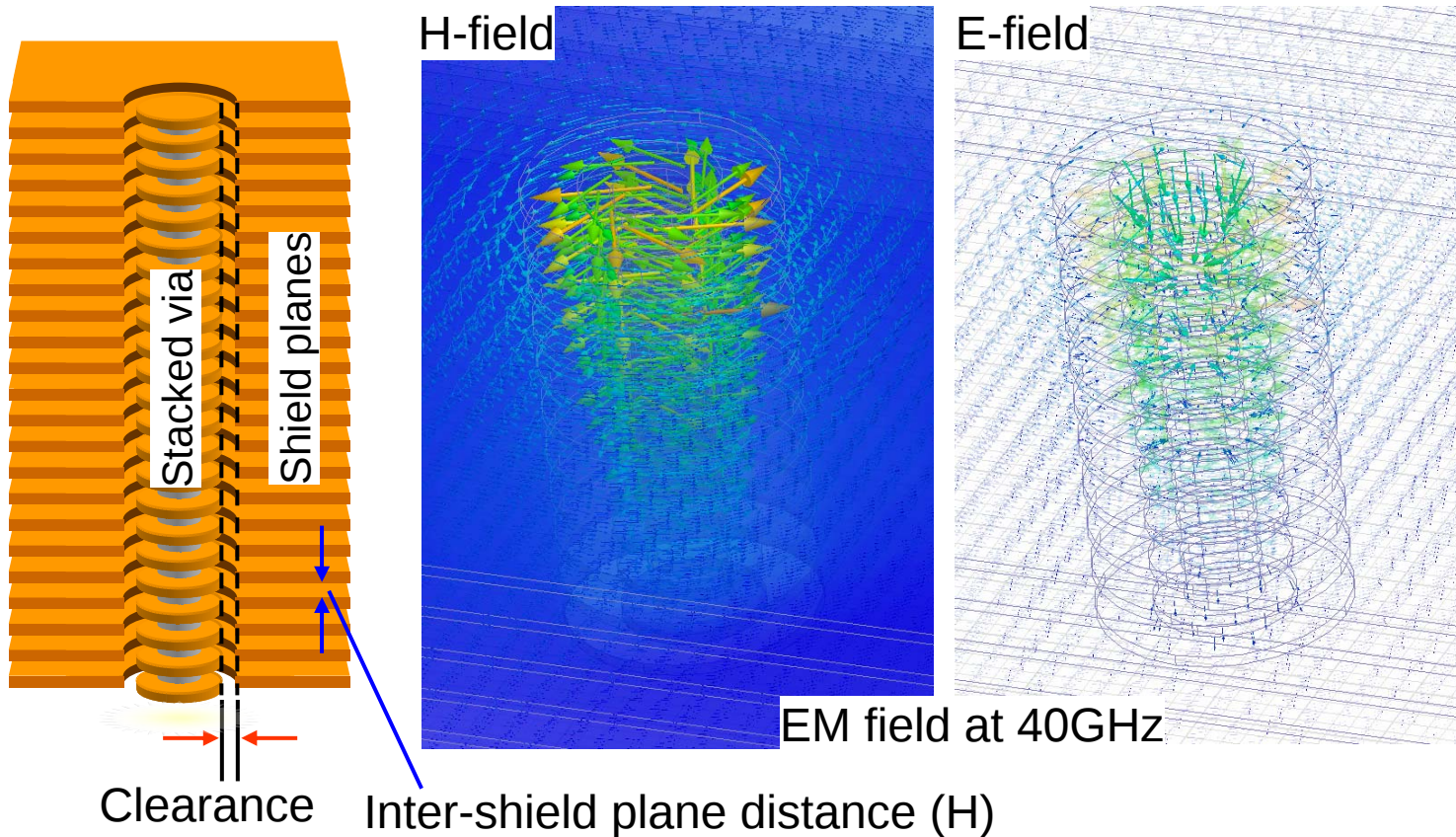
Insulator: Thermo plastic resin

- 誘電率がビルドアップよりも低い
- 誘電損失がセラミックよりも低い
- 全層使用可能
- 多層でも安価な基板

引用元:IMAPS2007 Ryuichi Oikawa
Multi-decade Gigabit SiP with over 20 metal
layer PALAP FCBGA substrate

スルホールの擬似導波路による40GHz伝送

多層レーン内を走るスタックビアがあたかも擬似導波路を形成している。ただし、完全な周期的構造が必要

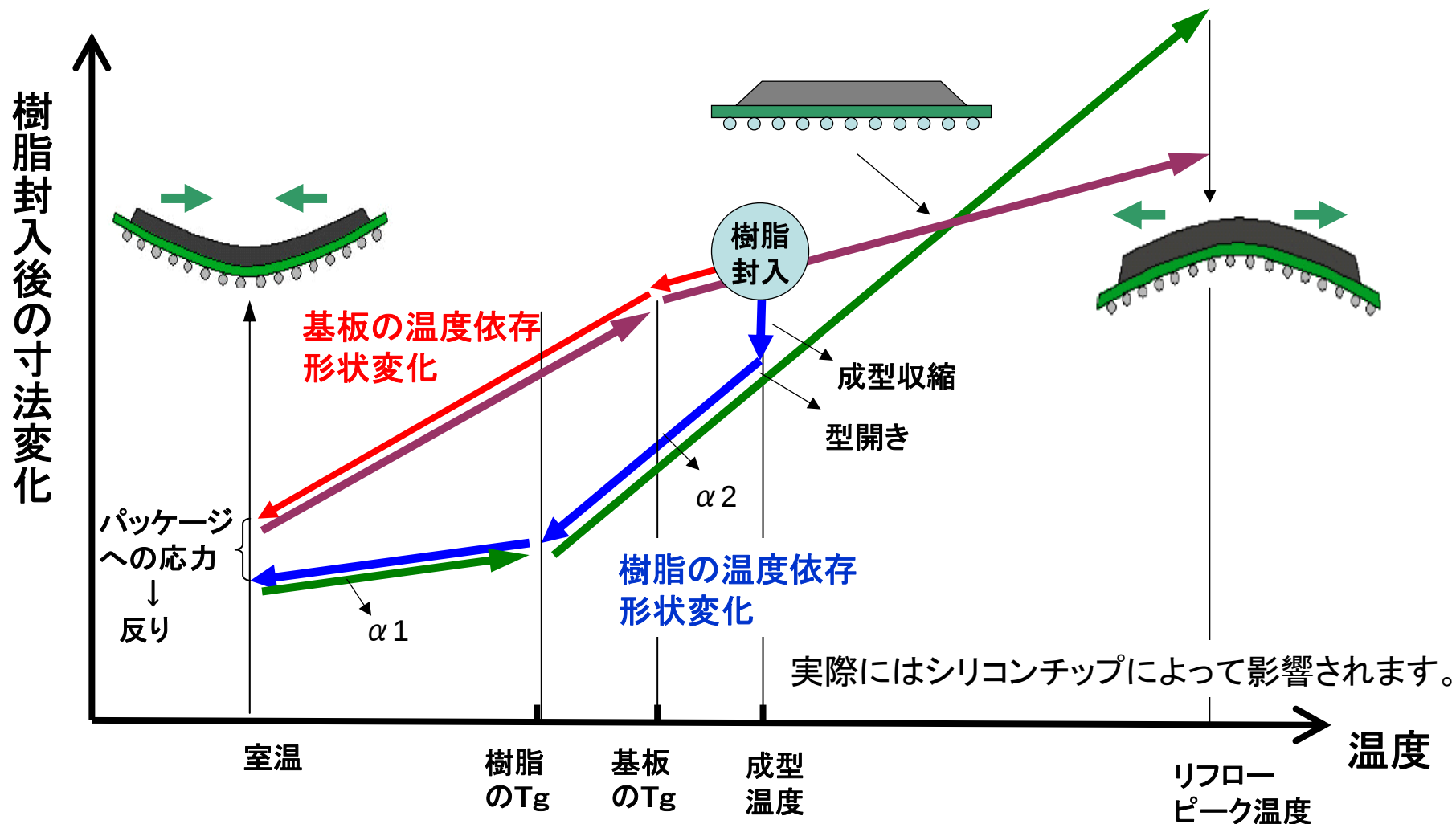


引用元:IMAPS2007 Ryuichi Oikawa

Multi-decade Gigabit SiP with over 20 metal layer PALAP FCBGA substrate

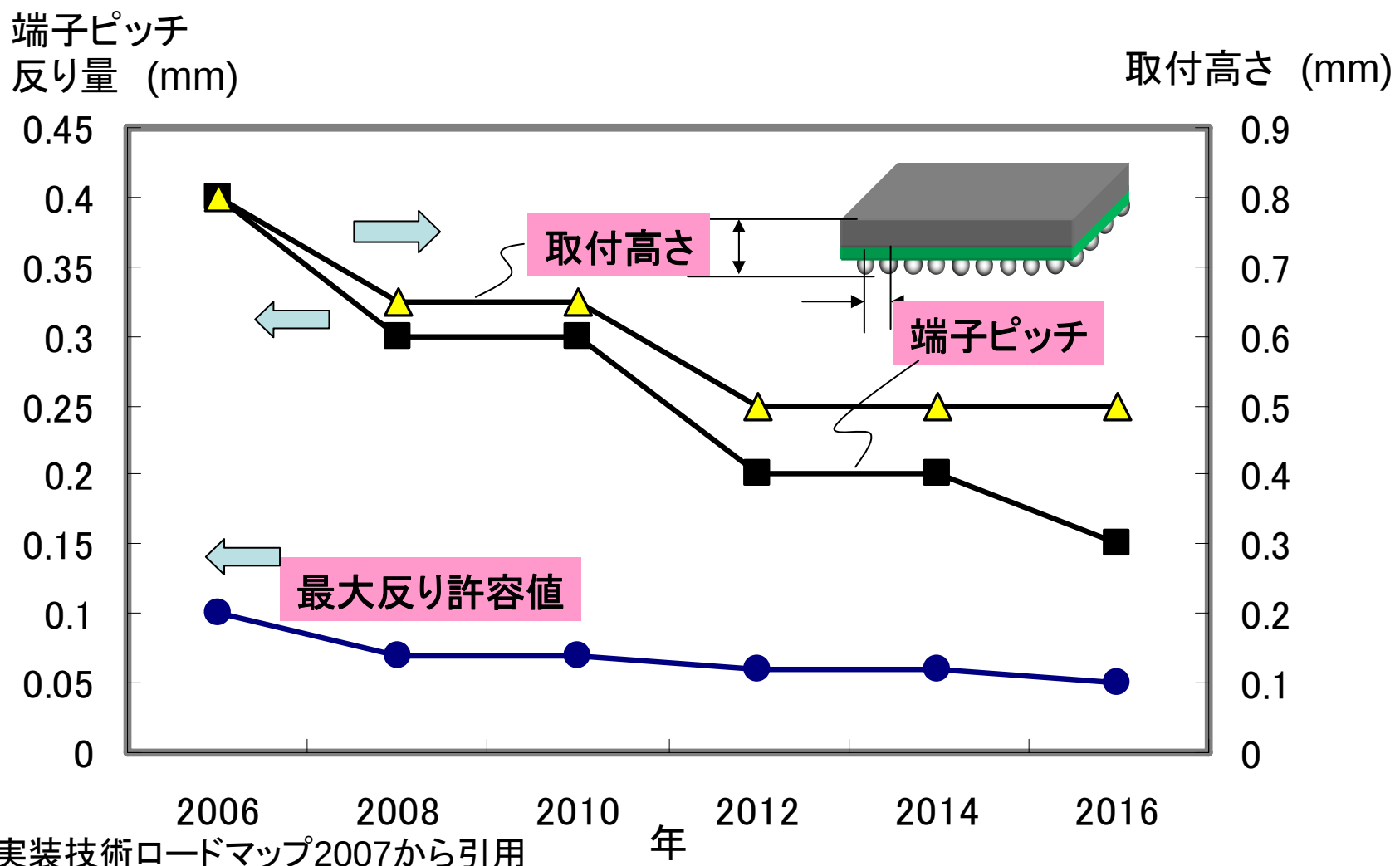
② リフロー時のパッケージ反り挙動

PBGAの場合、モールド金型にパッケージ基板が置かれて、樹脂が注入する時点からストレスフリーで理想的にフラットな状態とする。樹脂の成型収縮と熱膨張率によって室温時のそり量となり、リフローによって温度が上昇して反り形状が変化する。



端子ピッチ縮小に伴う熱時反りの抑制

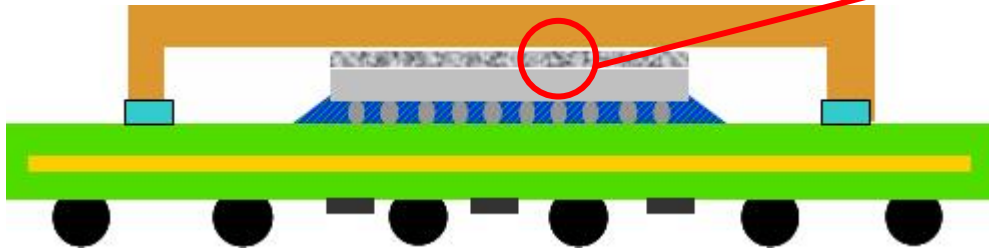
端子ピッチの縮小に伴い、リフロー時のパッケージ反り量を抑制する必要がある。
封入樹脂とパッケージ基板の開発が推進されている。



日本実装技術ロードマップ2007から引用

③ Thermal interface material

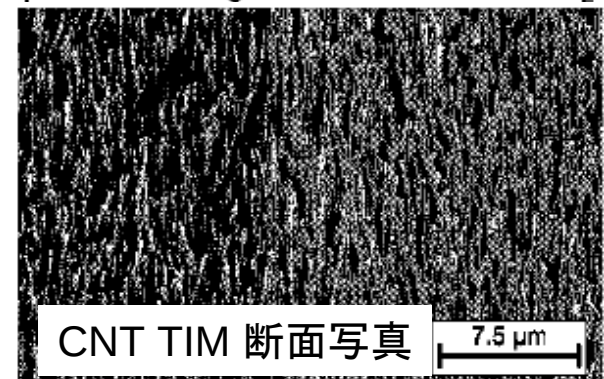
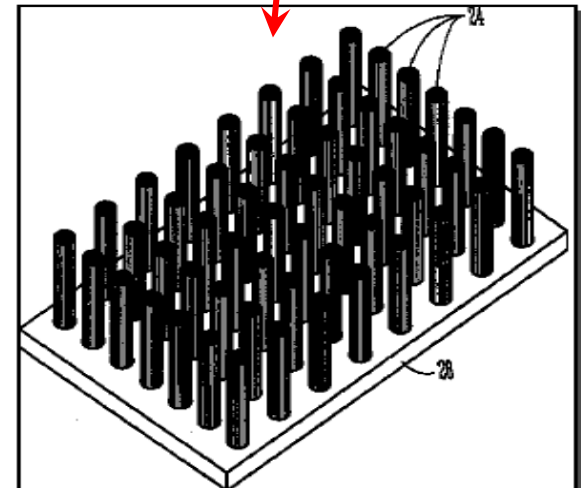
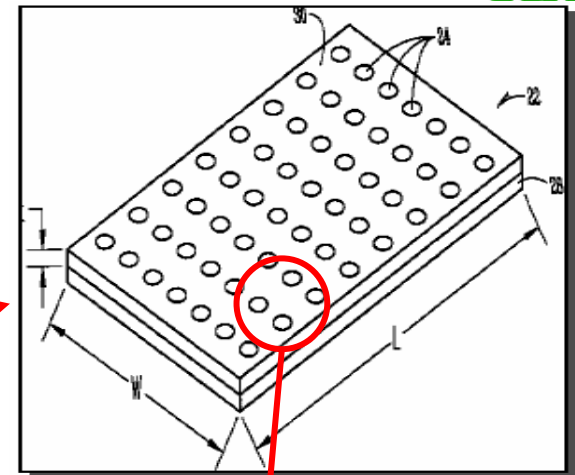
既に特許も押えられている
カーボンナノチューブ製TIM



TIM	熱伝導率
一般の導熱媒体	10 W/m
カーボンナノチューブ	3000 W/m

<特許>

WO2007137099 - 2007-11-29 NANOCONDUCTION INC
WO2007137097 - 2007-11-29 NANOCONDUCTION INC
WO2007137095 - 2007-11-29 NANOCONDUCTION INC
US2007155136 - 2007-07-05 Intel Corp
JP2006131903 - 2006-05-25 IBM
JP2003249613 - 2003-09-05 Intel Corp



4. まとめ

1. 実装スペース確保のためにメモリとロジックを1つのパッケージに搭載した消極的なSiPから、システムインパッケージのコンセプトに基づいて、**より積極的にシステムを目指した製品**が実用化されている。
2. ITRSの描く将来像を実現するためには研究開発すべきテーマが多い。その中でも既に開発に着手したものとして、
 - ① 高性能用途SiPに必須な三次元SiPの**放熱構造開発**については、IBMとIMECが既に共同研究している。この技術の実用化なしに高速・高性能デバイス向け**TSVを実用化**出来ない。
 - ② パッケージのピッチ縮小に伴い、リフロー時のパッケージ反りを低減する必要がある。そのために**樹脂の成型収縮率**の低減と、**パッケージ部材のバランス**を取ることが必要である。
 - ③ パッケージ用新規材料開発の中で、現在ブームのようにになっている**カーボンナノチューブ**を用いたTIMは2003年に既にIntelから特許が出ている。