

モデリング／シミュレーションWG

M&Sによるデバイス開発加速

— デバイス・材料モデリングと計算パワーで推進 —

WG10

麻多 進

佐藤 成生、國清 辰也、林 洋一、木村 光紀、青木 伸俊、
藤原秀二、藤井克正、海本博之、小方 誠司、中村 光利、
谷口研二、小谷教彦、大野隆央、
佐野 伸行、三浦 道子、和田哲典

主な略語用語

M&S Modeling & Simulation
 TCAD Technology CAD

DFM Design For Manufacturing
 ESD Electro Static Discharge
 DIBL Drain Induced Barrier Lowering
 NBTI Negative Bias Temperature Instability
 SISPAD International Conference on
 Simulation of Semiconductor Processes and Developments
 Selete Semiconductor Leading Edge Technologies, Inc.
 ENEXSS Environment for Exploration of Semiconductor Simulation

M&S WG 構成メンバー

氏名	組織	役割	主担当領域
麻多 進	NEC EL	リーダー	Interconnects
佐藤 成生	富士通	国際対応	Device Modeling
國清 辰也	ルネサス	国際対応	Device Modeling
林 洋一	沖	幹事	Design, Manufacturing Yield
木村 光紀	ソニー	委員	Front End Process Modeling
青木 伸俊	東芝	委員	Front End Process Modeling
泉 直希	ローム	委員	Device Modeling
海本 博之	松下	委員	
藤原 秀二	三洋	委員	
西尾 修	シャープ	委員	
中村 光利	Selete	コンソーシアム	Numerical Methods
谷口 研二	阪大	特別委員	
小谷 教彦	広島国際大	特別委員	
大野 隆央	物質・材料機構	特別委員	Materials Modeling
佐野 伸行	筑波大	特別委員	Device Modeling
三浦 道子	広島大	特別委員	Circuit Element Modeling
小方 誠司	アルバック	SEAJ	Equipment Modeling
和田 哲典	TCAD-I	特別委員	Design, Manufacturing Yield

報告内容

- はじめに
 - M&Sの課題/学会動向
- 課題への取組み
 - ITRS 2007 M&S改訂
 - 材料モデリング
 - 揺らぎ/ばらつき
 - その他活用事例
- まとめ

はじめに

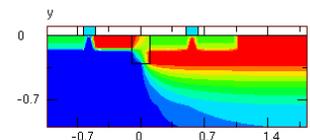
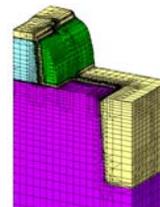
■M&Sのスコープ

材料 装置

プロセス・デバイスモデリング

数値解析技術

構造・メッシュ例
(Selete ENEXSSに
よる生成、計算例)



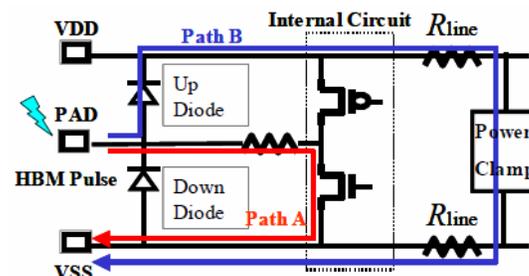
■M&Sの主な課題

High-k/metalゲート、歪特性、

揺らぎ/ばらつき、

ロバストTr設計

(ESD、発熱...)



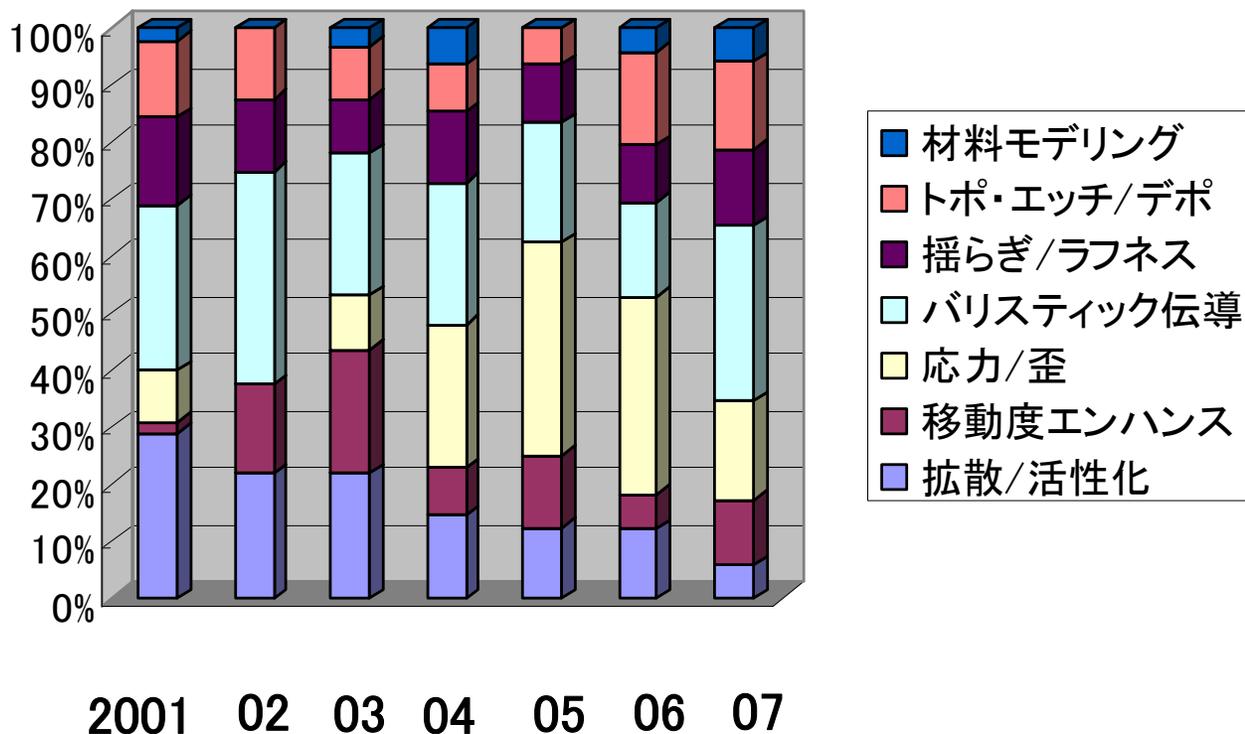
耐ESD設計 SISPAD2005, 6-1

モデリングとシミュレーションパワー、開発加速

M&Sの課題／学会動向

International Conference on Simulation of Semiconductor Processes and DeVICES

発表件数/キーワード別技術動向



材料モデリング → High-k/Metal Gate

揺らぎ/(ラフネス)ばらつき

活用事例

報告内容

- はじめに

- M&Sの課題/学会動向

企業、大学、コンソーシアム、
ベンダーの協力体制

- 課題への取組み

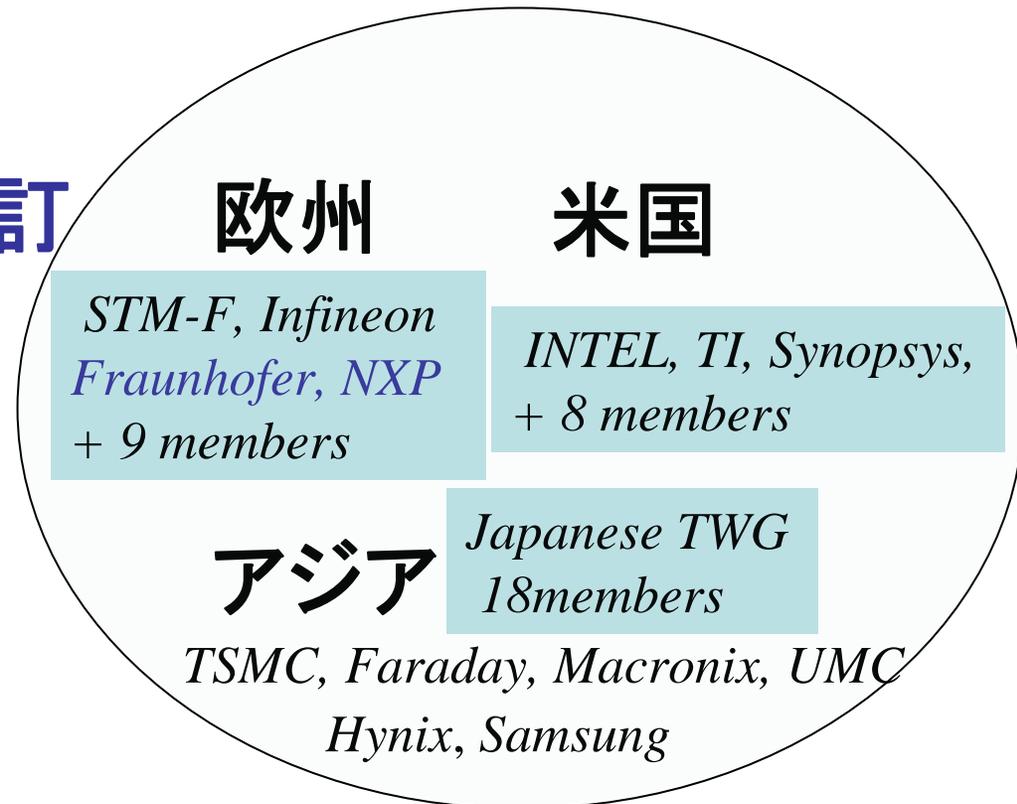
- ITRS 2007 M&S改訂

- 材料モデリング

- 揺らぎ/ばらつき

- その他活用事例

- まとめ



ITRS 2007 M&S改訂

キーメッセージ

Difficult challenge/Accuracy*の見直し

- リソのsimulationのshort term 項(EUV)一部修正
- 回路レベルのばらつきモデリングはshort term 課題
材料モデリングが要求されている
- Emerging Research Materials (ERM)モデリング対応
(Nanotubes, Nanodots, Graphene, ... Strongly correlated
electron state material)

*M&Sの精度の定義：ある世代を代表するCalibration後の精度

報告内容

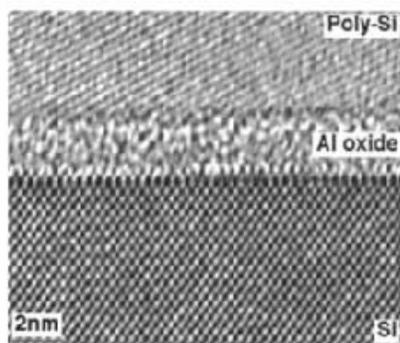
- ・ はじめに
 - M&Sの課題/学会動向
- ・ **課題への取組み**
 - ITRS 2007 M&S改訂
 - **材料モデリング**
 - 揺らぎ/ばらつき
 - その他活用事例
- ・ まとめ

材料モデリング

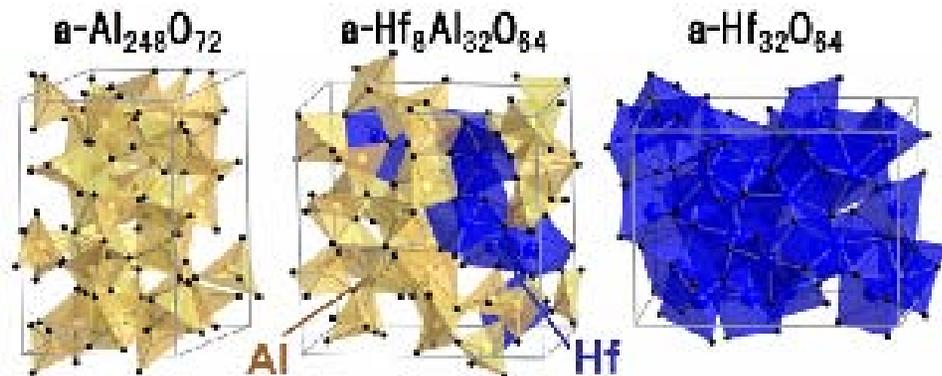
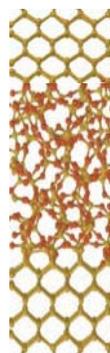
材料モデリング状況の把握。ERM貢献への試み

STRJ-WG10材料関連モデリング講演会 2007年11月30日

1) ナノシミュレーション・システムの概要: 大野隆央委員(物材機構)



(a) ゲート絶縁膜断面解析



(b) High-k α -HfAlOモデル構造

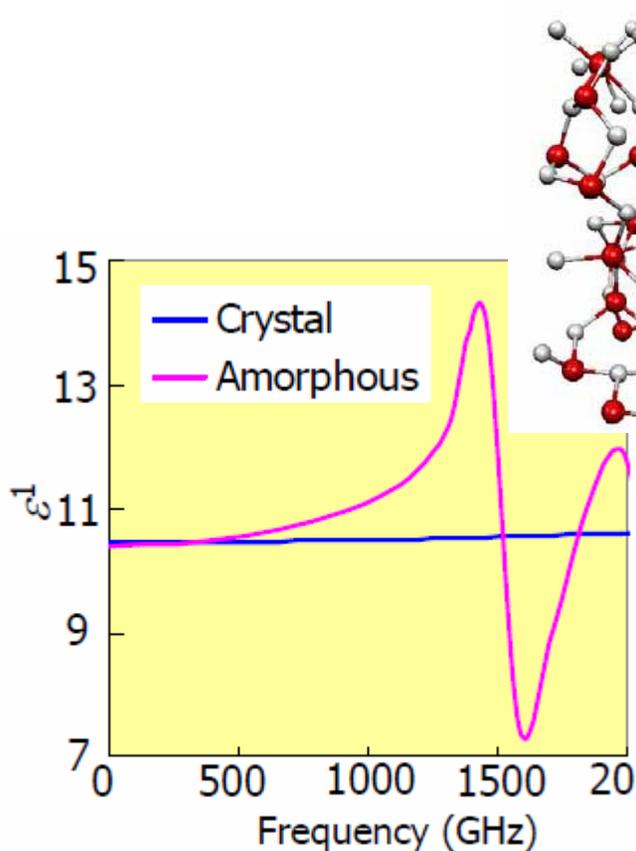
戦略的基盤シミュレーション開発と戦略的革新シミュレーション(計6年のプロジェクト)プログラム開発と実用性の証明を行い、開発したソフトウェアは公開。

バイオ、ナノ、High-k、Low-kなどをテーマ。

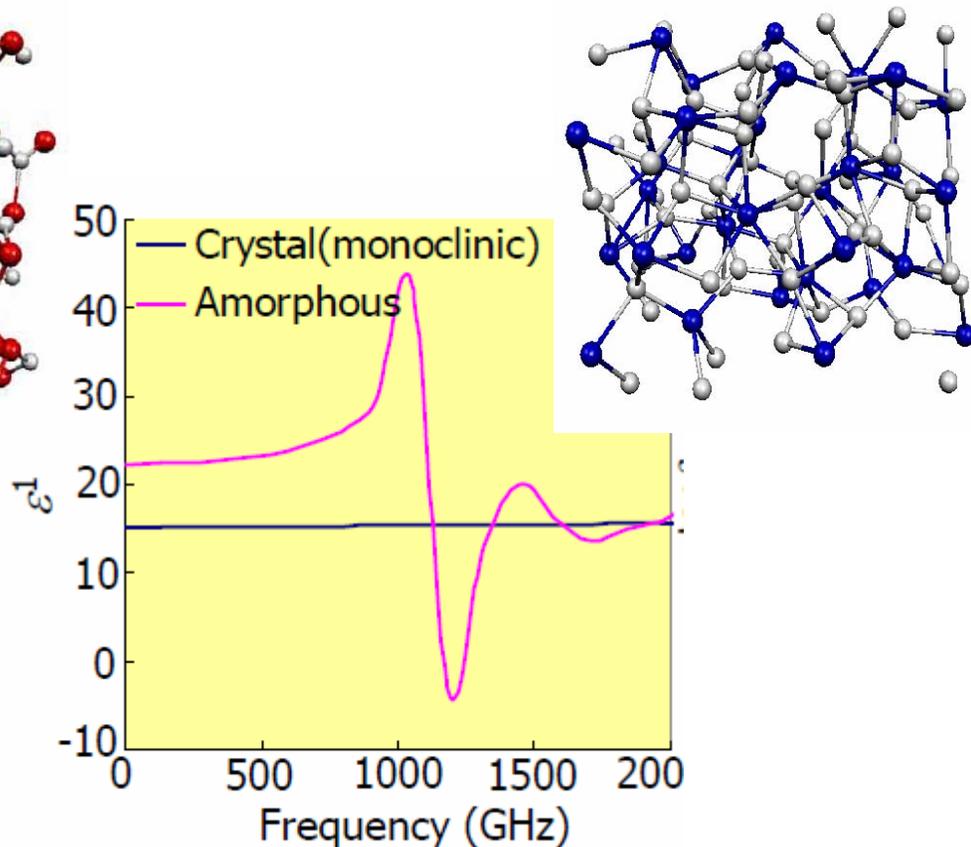
第一原理量子計算手法。MOS系の計算は、古典計算とのハイブリッド手法で実施。

材料モデリング

2) 誘電体材料設計： 濱田智之氏(日立基礎研)



(a) Al_2O_3 の誘電率計算結果
(実測 8.2~11.0)



(b) HfO_2 の誘電率計算結果
(実測 16~25)

アモルファスHigh-kの低周波側誘電率は結晶より大(実測も対応)

報告内容

- ・ はじめに
 - M&Sの課題/学会動向
- ・ 課題への取組み
 - ITRS 2007 M&S改訂
 - 材料モデリング
 - 揺らぎ/ばらつき
 - その他活用事例
- ・ まとめ

揺らぎ/ばらつき

WG3/WG10合同ヒアリング (2007. 8.9)

ばらつきに対する予測、ばらつき起源のヒアリング

「デバイスプロセスからのDFMへのアプローチ」

高田秀希氏(日本シノプシス)

「65 nm世代トランジスタの特性ばらつきと抽出方法」

菅野道博氏(ソニー)

VL2007, 6A-2 M. Kanno et. al., Sony

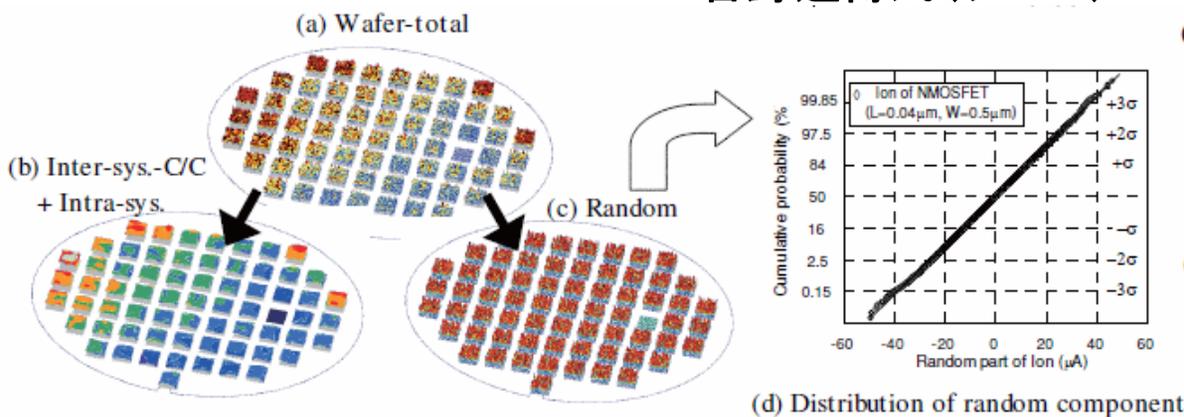


Fig.4 Schematics of wafer mapping by use of Tr array
TEG. 65nm process nMOS (L=40nm and W=0.5μm)

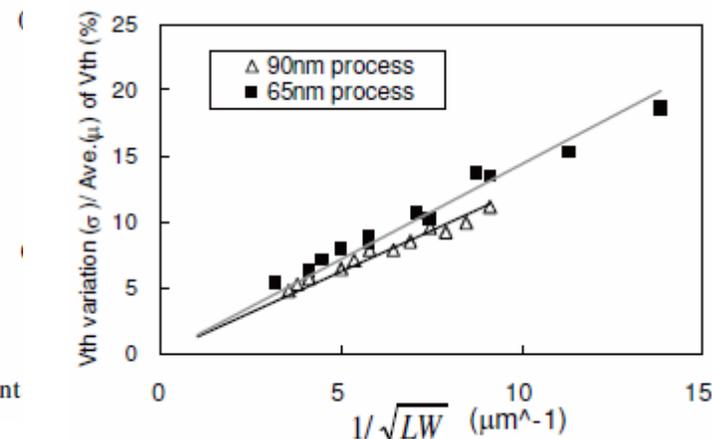


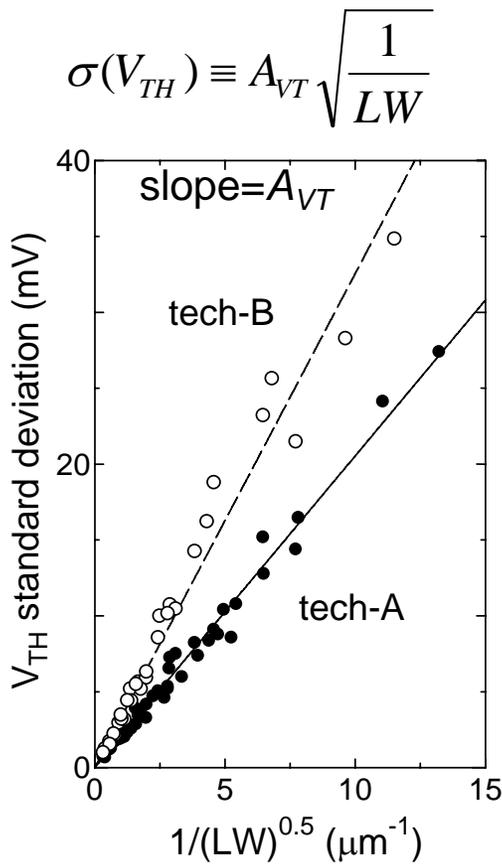
Fig.7 Pelgrom plots of
90 and 65nmnMOSFETs.

ばらつき定量化手法、起源をより明らかにする。

揺らぎ/ばらつき

Pushing Understanding Random Threshold Voltage Fluctuation by Comparing Multiple Fabs and Technologies

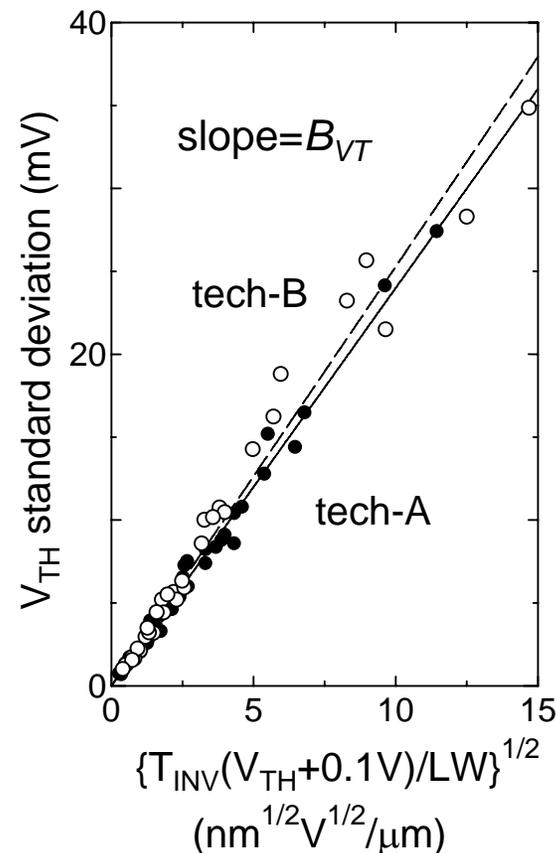
IEDM2007, 18-1 K. Takeuchi et. al., *MIRAI-Selete, NEC*



(a) Pelgrom plot

$$\sigma(V_{TH}) \equiv B_{VT} \sqrt{\frac{T_{INV}(V_{TH} + 0.1V)}{LW}}$$

0.35 μm , 65nm、
HP to LSTP
 V_{BS} 等で、
傾き B_{VT} は殆ど一定。
N-FETs 傾きは
P-FETs 傾きより大。
説明は今後の課題



(b) Proposed normalized plot

Fig.3. Plots for N-FETs

検討課題: V_{th} ばらつき 濃度プロファイル影響等

揺らぎ/ばらつき

SRAM critical yield evaluation based on comprehensive physical / statistical modeling, considering anomalous non-Gaussian intrinsic transistor fluctuations

VL2007, 3A-1 M. Miyamura et. al., NEC

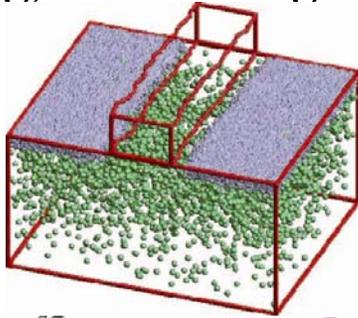


Fig. 1. Typical atomistic process simulation incorporating random discrete dopant atoms and LWR as the source of intrinsic fluctuation

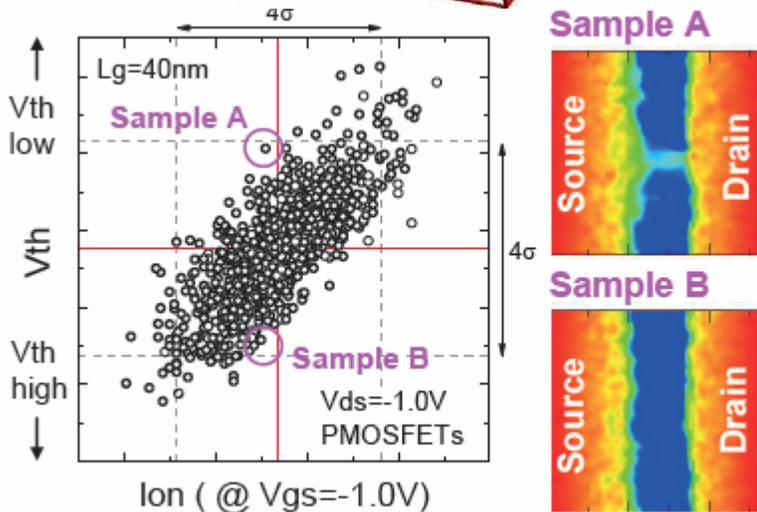


Fig. 6. Typical examples of large- V_{th} -deviation with almost identical I_{on} .

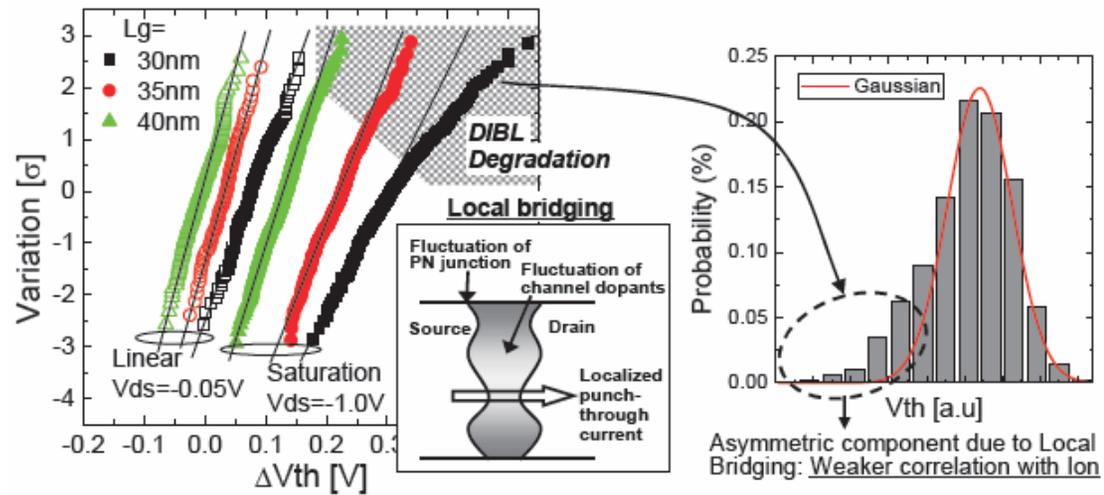


Fig. 7. V_{th} distribution DIBL degradation for shorter L_g

Fig. 8. V_{th} distribution Showing Non-Gaussian tail

Atomistic-3D-TCADで V_{th} 非ガウシアン裾の起源を解明

揺らぎ/ばらつき

High Performance CMOS Variability in the 65nm Regime and Beyond

IEDM2007, 21-6 S. Nassif et. al., IBM

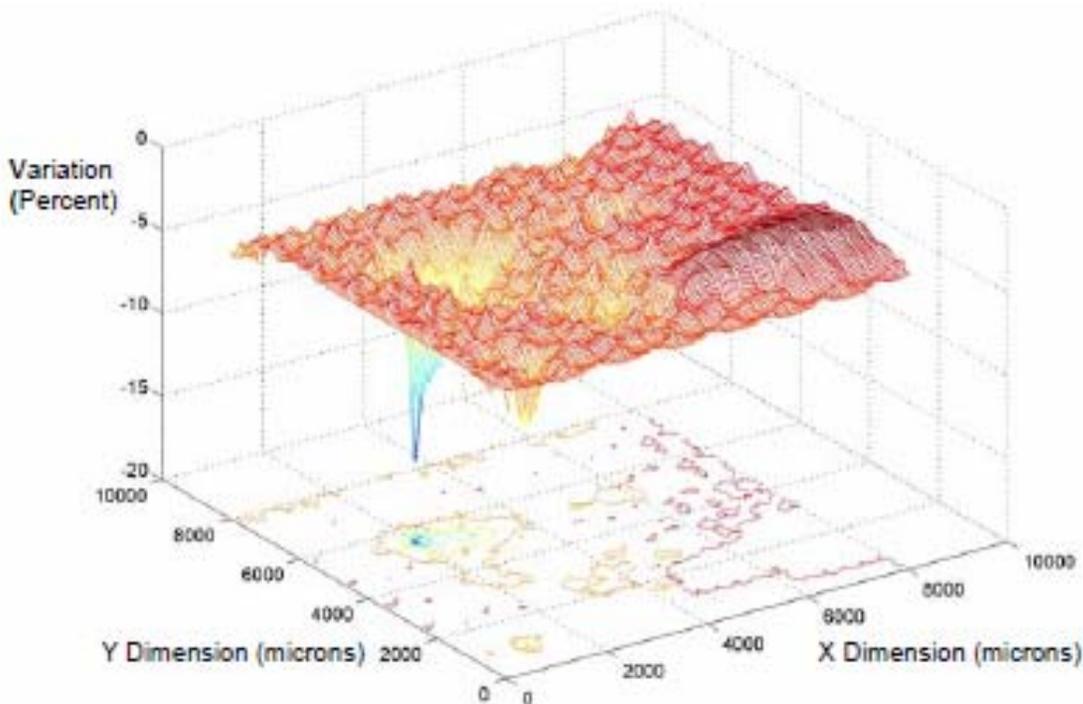


Figure 1 . Percentage VDD variation within an ASIC design (simulated).

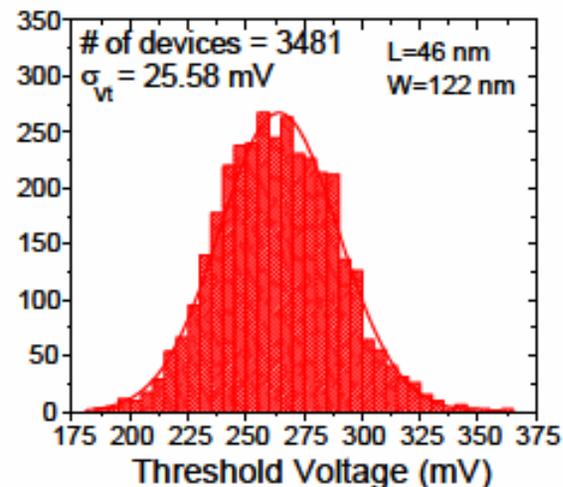


Figure 2. Threshold voltage histogram for FETs in IBM's 90nm technology.

ばらつきの影響を回路レベルでシミュレーション (Delay Impact 3 σ 見積り:
 Litho 20%, .., NBTI 15%, Chip Electrical Mean Variation 15%, Across Chip Lpoly 15%,
 Self Heating/Temperature 12%, Supply Voltage 17%, Line-to-line Coupling 10%, ..)

報告内容

- ・ はじめに
 - M&Sの課題/学会動向
- ・ 課題への取組み
 - ITRS 2007 M&S改訂
 - 材料モデリング
 - 揺らぎ/ばらつき
 - **その他活用事例**
- ・ まとめ

デバイス開発におけるM&S活用事例

Pushing Planar Bulk CMOSFET Scaling to its Limit by Ultimately Shallow Diffusion-Less Junction

IEDM2007 K. Uejima et. al., NEC,NECEL

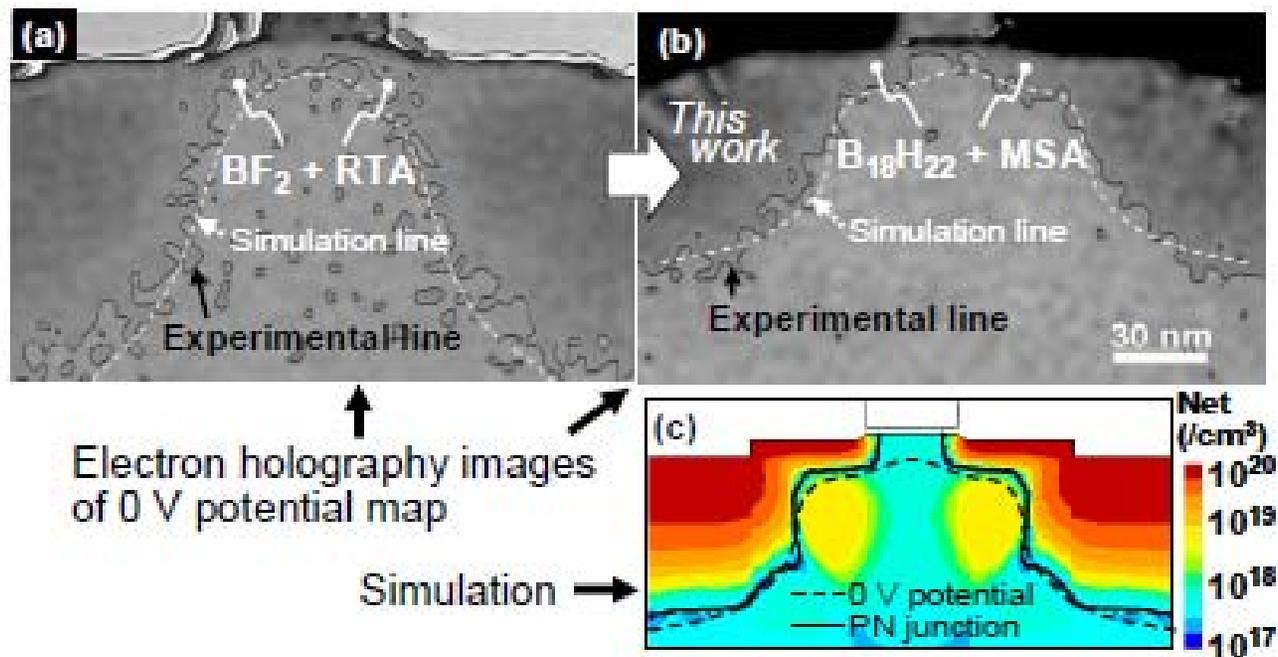


Fig.2. Cross-sectional 0 V potential maps of PFETs fabricated (a) by conventional spike RTA process and (b) by msec annealing (MSA) . The electron holography imaging has proven device concept based on predictive TCAD simulation (c).

Simと実測Electron holographyとは良く対応

デバイス開発におけるM&S活用事例

Discrete-Dopant-Fluctuated Threshold Voltage Roll-Off in Sub-16nm Bulk FinFETs

SSDM2007, B-8-4 Yiming. Li et. al., *National Chiao Tung U.*

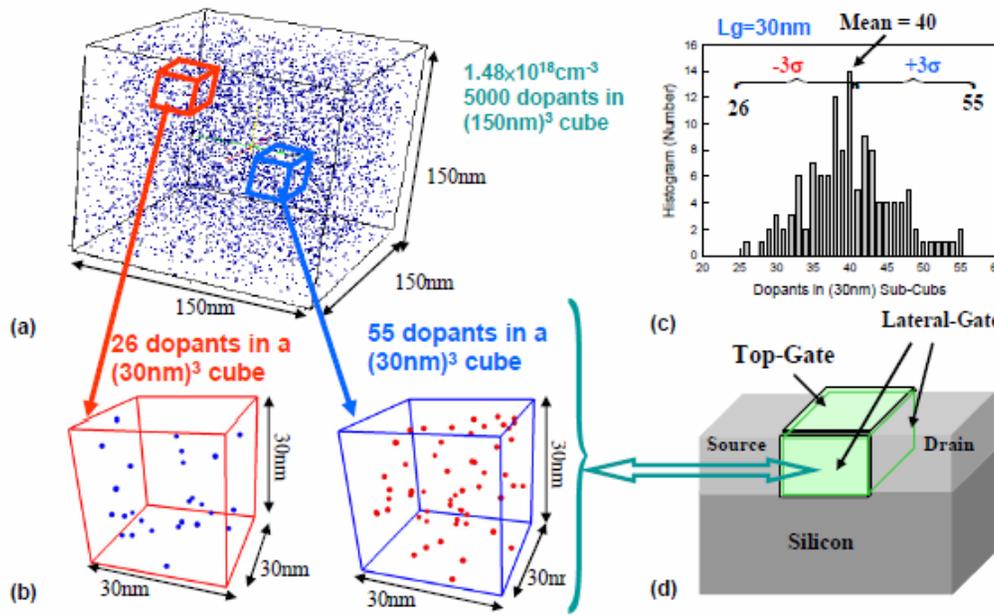


Fig.1. Discrete dopants distributions

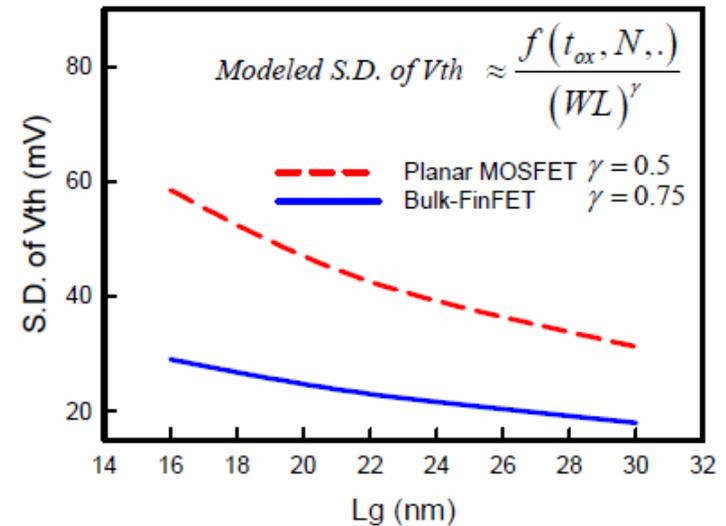


Fig.6. V_{th} S.D. of the bulk FinFETs and the planar MOSFETs .

計算結果: Bulk FinFET V_{th} ばらつきはplanar MOSFETに比べ小さく、WL依存性も違う。

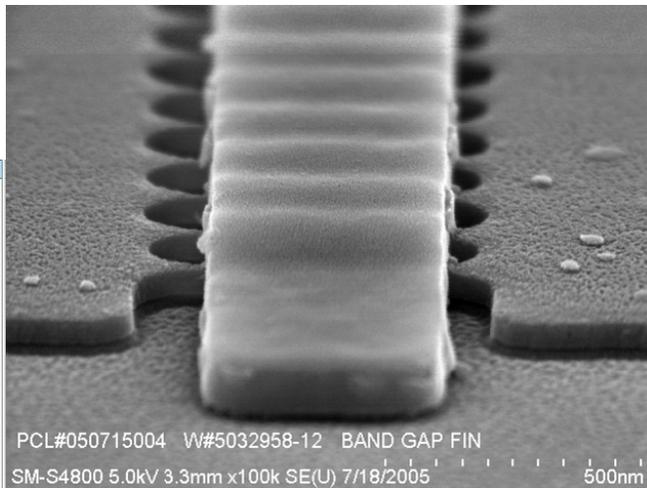
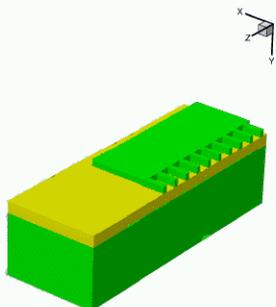
Multi-Gate MOSFET

Self Heating Simulation of Multi-Gate FETs

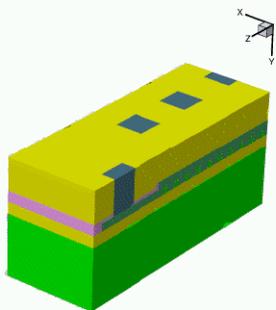
Fig. 1. SEM picture.

2-20 Fin
L90nm,H55nm
W213nm

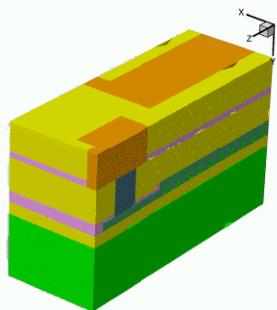
n027.grd - n027.T.dat



n027.grd - n027.T.dat



n027.grd - n027.T.dat



n027.grd - n027.T.dat

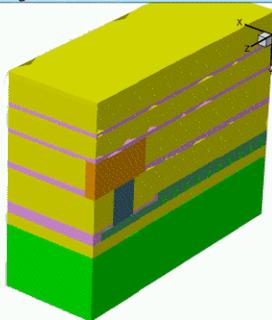


Fig. 2. Various steps of the device generation

Work in Progress - Do not publish

ESSDERC2006, W. Molzer et. al., *Infineon*

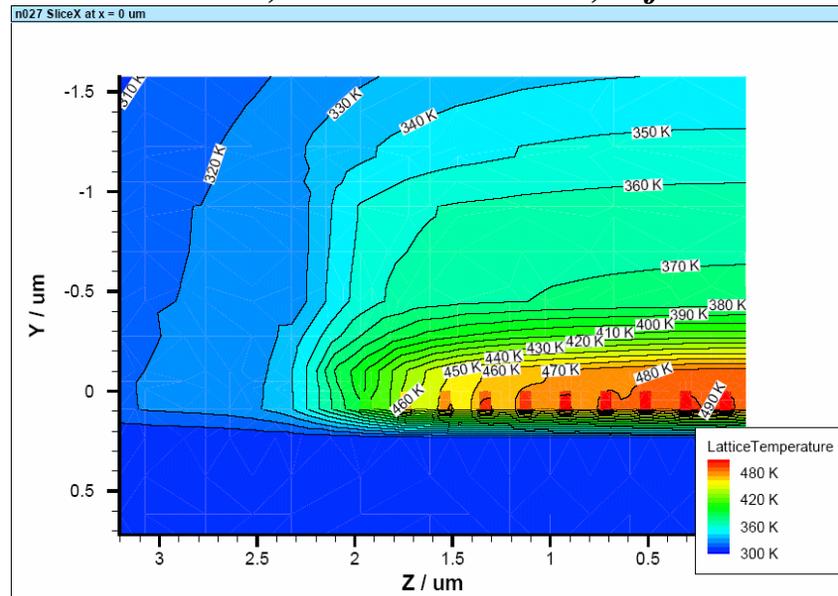


Fig. 3. 2D plot of the temperature distribution

Simでデバイス特徴 ばらつき、回路特性
(バルクにESD素子インテグ)予測

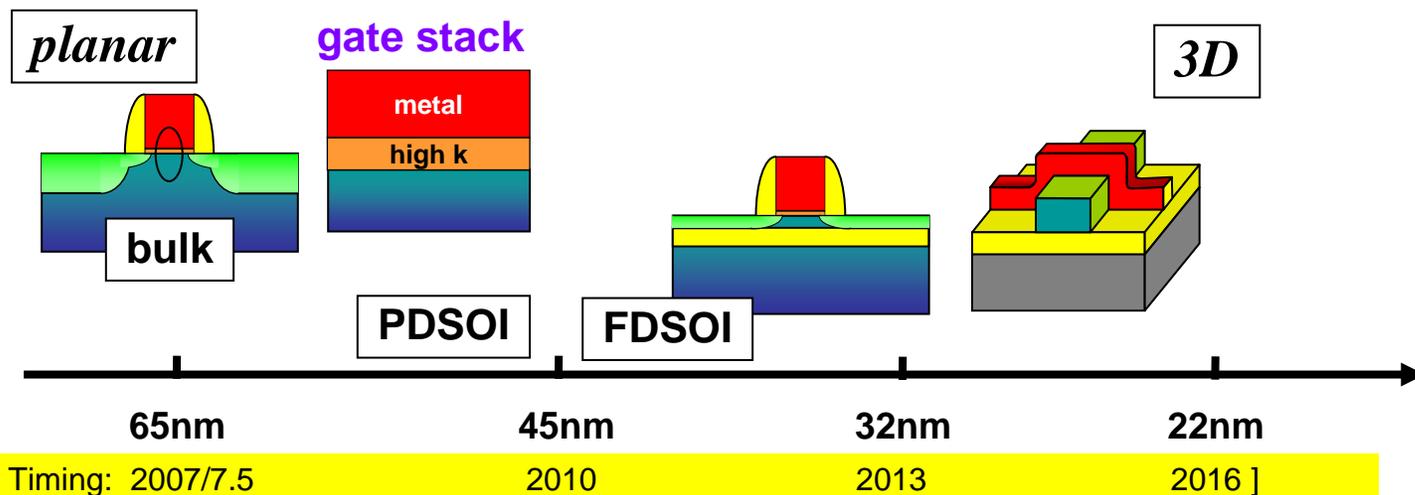
ESSDERC2006, G. Knoblinger et. al., *Infineon*

まとめ

- **ITRS M&S活動**
2007M&Sを改訂した。
キーメッセージ: 回路レベルばらつきモデル
- **STRJ 2007 M&S活動**
材料モデリング、ばらつき問題の
解析、調査を行い、
M&Sの現状課題と活用事例を示した。

今後

[Examples of “Equivalent Scaling” from ITRS PIDS/FEP TWGs]



[ITRS DRAM/MPU Timing: 2007/7.5

2010

2013

2016]

Source: ITRS, European Nanoelectronics Initiative Advisory Council (ENIAC)

等価スケールリング課題への寄与
ITRS2008 M&S テーブル精度

材料モデリング、M&S (TCAD) 活用を推進する。

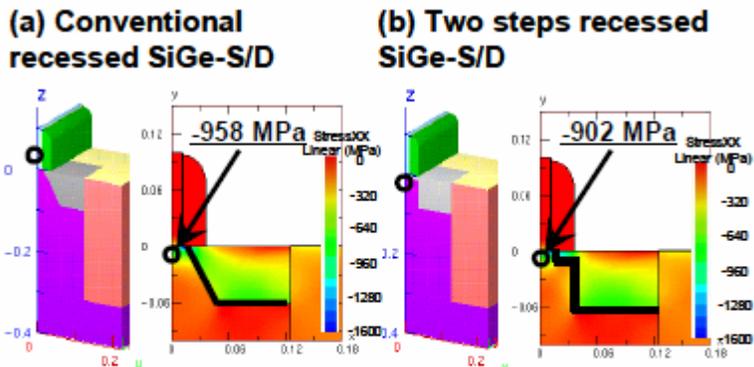
ご参考資料

デバイス開発におけるM&S活用事例

A High Performance pMOSFET with Two-step Recessed SiGe-S/D Structure for 32nm node and Beyond

N. Yasutake, T. Ishida, K. Ohuchi, N. Aoki, N. Kusunoki, ¹S. Mori, ¹I. Mizushima, T. Morooka, ¹K. Yahashi
S. Kawanaka, K. Ishimaru and H. Ishiuchi

ESSDERC2006 N. Yasutake, *Toshiba*



歪と電気特性に関してリセス深さを最適化

Fig. 4 3-D stress simulation of (a) conventional recessed SiGe-S/D, (b) Two steps recessed SiGe-S/D.

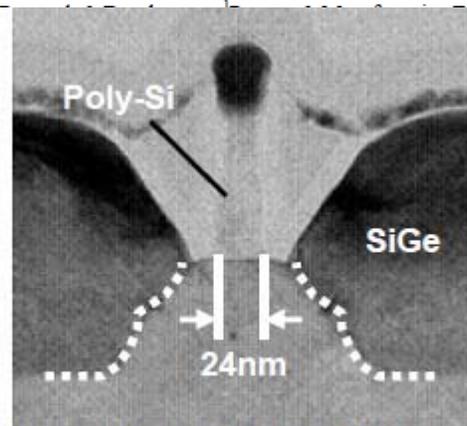


Fig. 8 Cross-sectional TEM of optimized two-step recessed SiGe-S/D pMOSFET.

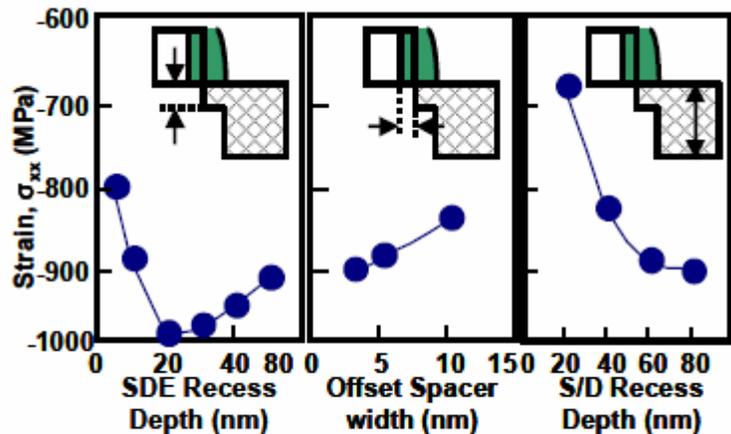


Fig. 5 Dependence of pMOSFET structure to channel strain.

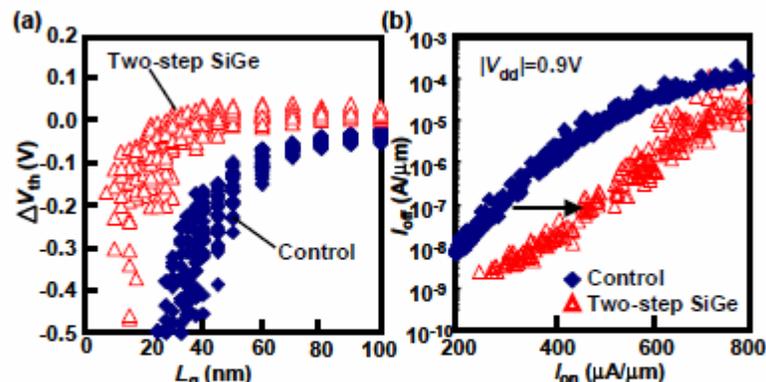
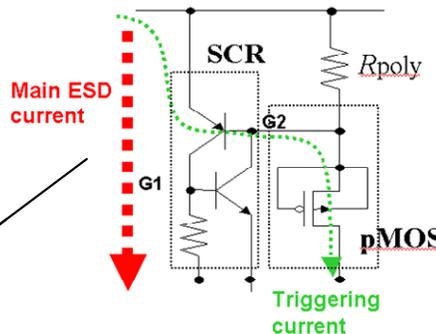
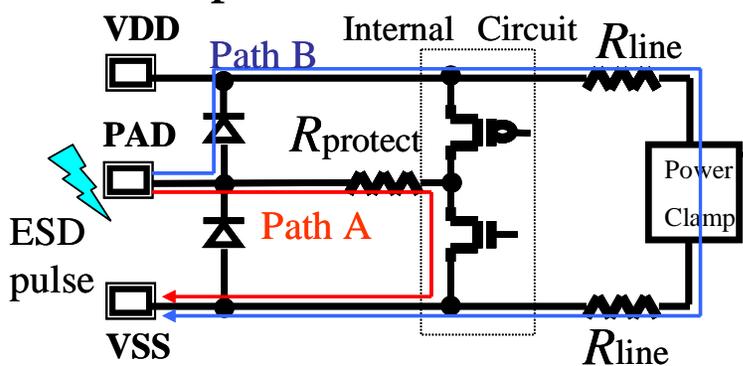


Fig. 9 Improvement of pMOS performance with two-step recessed SiGe-S/D. (a) V_{th} roll-off ($\Delta V_{th} = V_{th} - V_{th} @ L_g = 300 \text{ nm}$), (b) $I_{on} - I_{off}$ characteristics ($|V_{dd}| = 0.9 \text{ V}$).

ロバストTr ESD保護素子設計例

Mixed-Modeシミュレーション を用いて保護回路最適化

ESD test protection circuit



SBL:
Salicide-block
Length
 L_n, L_p :
Base length of SCR

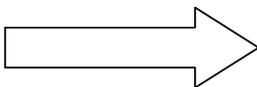
Parameters

Power Clamp
pMOS: L, W, SBL
SCR : L_n, L_p, W
 R_{poly}

$R_{protect}$
 R_{line}

赤字は
パラメータ

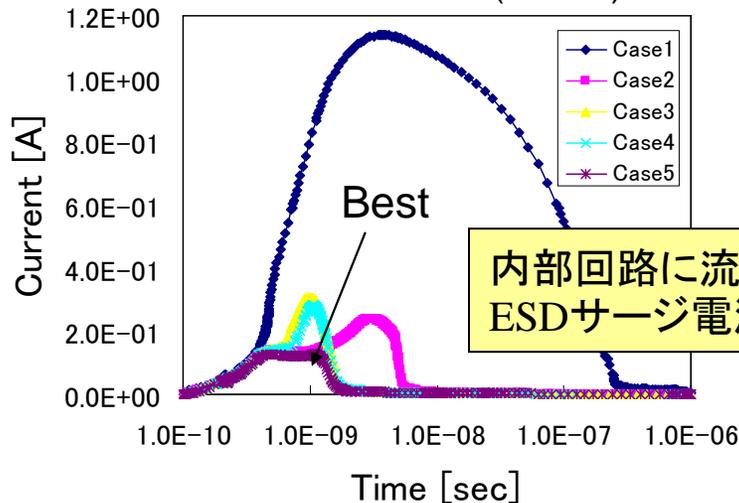
Optimization



Limitation

Area penalty

Internal Current (Path A)

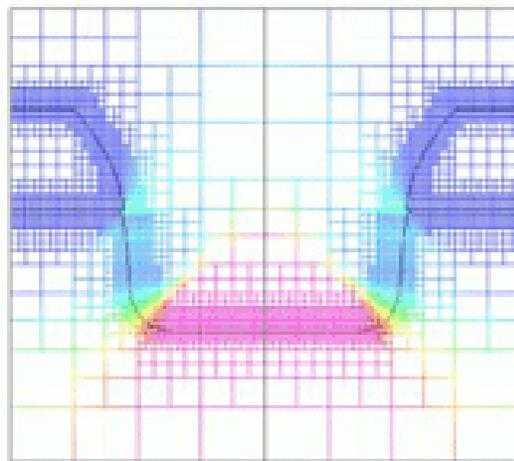


内部回路に流れる
ESDサージ電流

デバイス開発におけるM&S活用事例

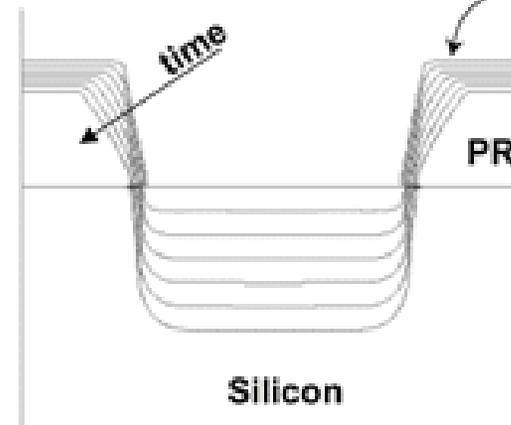
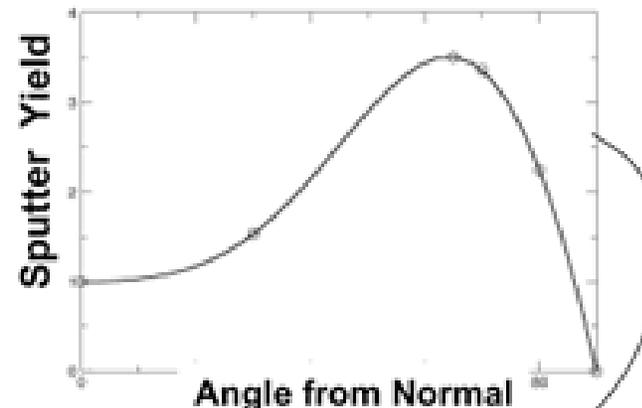
装置/形状シミュレーション

- Two materials, unique reaction mechanism for each material:
 - Angular dependent sputtering of photoresist by Cl^+ ion
 - Linear etching of silicon by Cl neutral and ion



Grid Adapted to Resist and Si,
Colored by Si Etch Rate

Photoresist Sputter Yield Curve



Sub-Micronデバイス形状シミュレーションの例 (株ウェーブフロント殿ご提供)

反応速度定数などの基礎データ要整備

(<http://www.seaj.or.jp>) 参照