

SOCの低消費電力設計技術の 課題と解決策

ー設計生産性向上との両立に向けてー

2009年 3月 5日

JEITA半導体技術ロードマップ専門委員会 (STRJ)
設計ワーキンググループ (WG1)

目次

◆はじめに

- ワーキングメンバ、スコープ、ミッションなど

◆国際活動

- ITRS2008アップデートなど

◆国内活動

- Consumer Portable SOCモデルの見直し
- SOCの低消費電力設計技術の課題と解決策

◆まとめ

- ・ SLD: System Level Designの略
- ・ L/C/P: Logic/Circuit/Physical Designの略
- ・ DFM: Design For Manufacturabilityの略で、歩留まり等の製造性考慮設計のこと。
- ・ RTL: Register Transfer Levelの略。回路をフリップフロップ＋組み合わせ論理回路で表現したレベルのこと。現在の論理回路設計は主にこのレベルの記述を使用する。
- ・ SOC: System On Chipの略
- ・ EDA: Electronic Design Automationの略
- ・ CTS: Clock Tree Synthesisの略
- ・ DFT: Design For Testの略で、テスト容易化設計のこと。
- ・ ATPG: Automatic Test Pattern Generatorの略で、LSIテストで使うパターンを自動生成するEDAツール。
- ・ BIST: Built-In Self Testの略で、テスト容易化設計(DFT)技術の一つ。メモリーに対する「メモリーBIST」や論理回路に対する「ロジックBIST」などがある。
- ・ At Speedテスト: 回路の高速化に伴い重要性が増してきた「遅延故障」に対するテスト技術。
- ・ DVFS: Dynamic Voltage and Frequency Scalingの略で、システムの処理負荷の重さに応じて、電源電圧とクロック周波数を動的に制御して消費電力低減を図る技術。
- ・ AVS: Adaptive Voltage Scalingの略で、SOCの動作条件をモニターし、動作条件に応じて、最適な電圧を供給し、消費電力低減を図る技術。

設計WG(WG1)メンバー

隅谷 三喜夫(リーダ)
パナソニック
松崎 正己(サブリーダ)
富士通マイクロエレクトロニクス
樋渡 有(国際担当)
東芝
柏木 治久(国際担当)
半導体理工学研究センター
豊田 忠雄(幹事)
シャープ
中山 勝敏
ルネサステクノロジ
澁谷 洋志
NECエレクトロニクス
森井 一也
三洋半導体
柿本 勝
ソニー
唐澤 純一
セイコーエプソン

浅井 健史
ローム
山本 一郎
OKIセミコンダクタ
石橋 孝一郎
ルネサステクノロジ
浅田 善己
富士通マイクロエレクトロニクス
斎藤 利忠
東芝
朝重 浩喜
パナソニック
小野 信任
ジーダット
今井 正治
大阪大学

計18名(赤:旧設計TFから参加)

設計WGのスコープ

SOC設計全般の広範囲な技術分野を担当

System Level Design

- 仕様から最適なHW/SWに分割し、HWに関してはRTL記述を生成する

Logic / Circuit / Physical Design

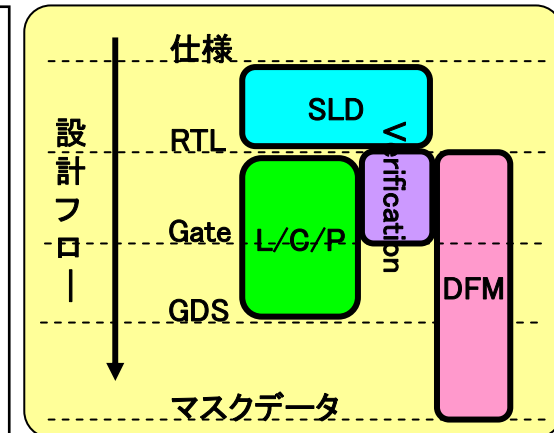
- RTL記述から製造可能な設計品質のレイアウトデータ(GDS II)を生成する

Design Verification

- RTL記述の機能と性能を仕様に基づき検証する

Design For Manufacturability

- プロセスの物理現象モデルに基づき、製造可能性/歩留まりを検証/最適化する。



設計WGのミッション

◆国際活動：ITRSのSystem Drivers章とDesign章を担当

- System Drivers章
 - ・ ITRSの全ての技術分野をドライブするLSI商品を定義
- Design章
 - ・ 設計技術に対する将来課題と課題解決策の提示

◆国内活動

- SOC構造・規模を時間軸で定量化し、ロードマップ検討の基礎として提示
- 設計技術課題(「設計生産性」や「消費電力」の観点)を時間軸で定量評価し、解決策を提案(ロードマップ作成)
- 【旧設計TF】ITRSロードマップをSOC特性から見て定量評価



◆期待される効果

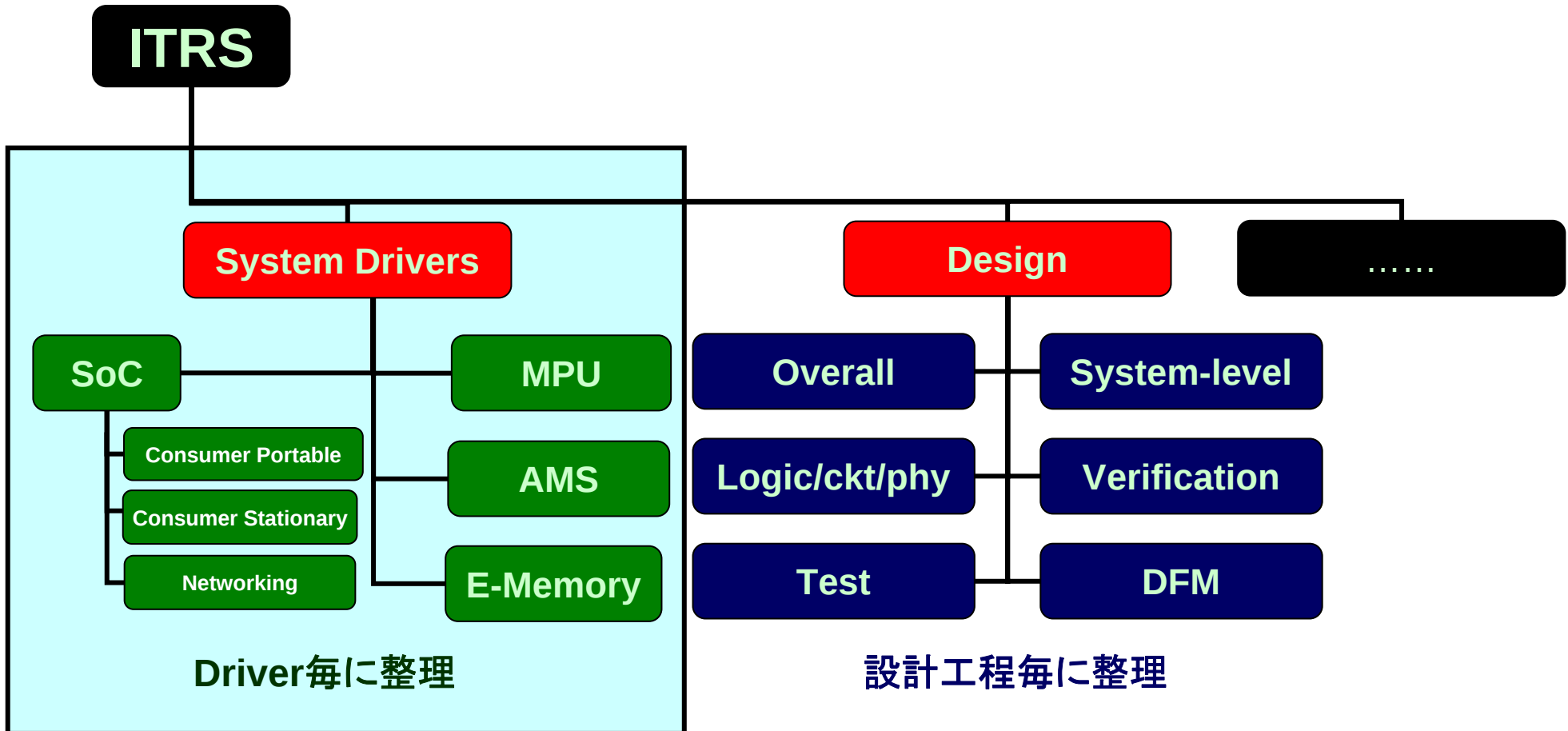
- ITRSロードマップのSOC設計に与える影響を定量化し、発信
- ITRSロードマップ見直しのきっかけをつくる
- 設計技術革新(EDA自動化技術)の加速を支援(EDAベンダーへ)

設計WGの活動内容(2004～2007年度)

	国際活動 (ITRSへの主な貢献)	国内活動	
		設計WG	旧設計TF
2004年度		SOC設計生産性ロードマップの策定 ・ロードマップ策定のためのSOCモデル設定 ・システム/アーキ分野の課題抽出と解決策提案	
2005年度	System Drivers章 Consumer Portable SOCを提案 Design章 課題項目の確認と修正案提示	SOC設計技術ロードマップの見直し ・SLD,L/C/P,Verification,DFMの4分野で重要な技術課題の明示と解決策の提案	低電力SOCのロードマップ ・DFMの検討とばらつきのSOC性能への影響を評価
2006年度	System Drivers章 Consumer Stationary SOCを提案 Design章 SLDとVerificationの課題の項目値の確認と修正案提示	設計遅れ要因変化の分析と提言 ・設計遅れ要因変化(3年間)の分析と課題解決策提言 DFMのSOC設計への影響考察 ・SOC設計へのばらつきの影響の考察(パス遅延ばらつき評価モデルの構築)	低電力SOCのロードマップ ・配線分布/抵抗の予測とSOC性能への影響を評価
2007年度	System Drivers章 Consumer Portable & Stationary SOCの数値の見直し Design章 LCPとDFMの課題の項目値の確認と修正案提示	SOC設計技術ロードマップの詳細化/定量化 ・論理検証と物理設計の2分野で「設計生産性向上」の観点でロードマップを詳細化/定量化	配線性能とSOC性能の関係 ・ITRSの配線性能から見たムーアの法則の限界

System Drivers章

製造技術および設計技術をドライブするLSI商品を定義



Design章の構成

～設計技術のロードマップ～

General Challenges

シリコン複雑度とシステム複雑度への対応

Productivity

Power

DFM

Interference

Reliability

Key Design Challenges

5つの大きな課題

Mapping

**System
design**

**Logic/circuit
Physical D**

**Design
verification**

**Design
Test**

DFM

目標を定量化するための枠組み(=設計工程)

ITRS2008 Overview

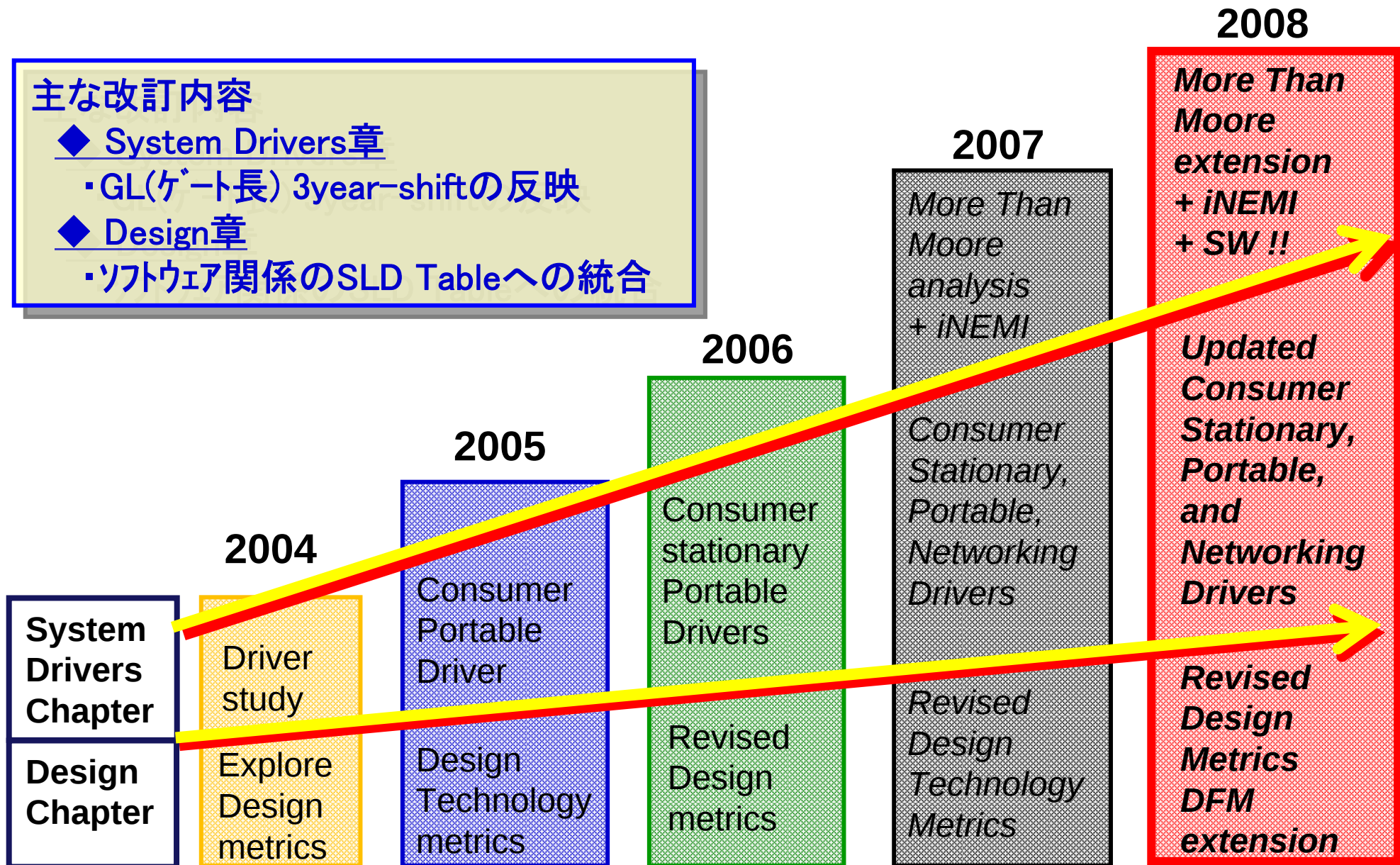
主な改訂内容

◆ System Drivers章

- ・GL(ゲート長) 3year-shiftの反映

◆ Design章

- ・ソフトウェア関係のSLD Tableへの統合



System Drivers章トピックス

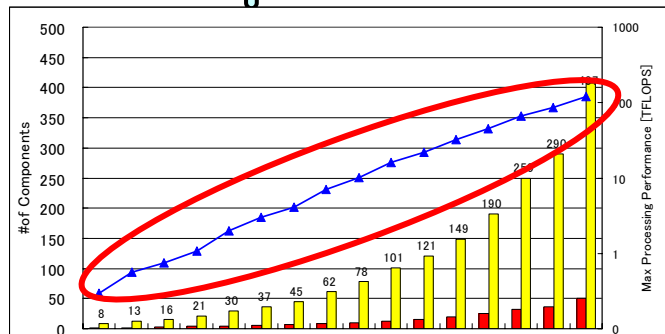
◆GL(ゲート長) 3year-shiftの反映

- MPUの周波数トレンド → 影響なし

System Drivers章での周波数トレンドの記述変更なし: $1.25\times$ per technology generation

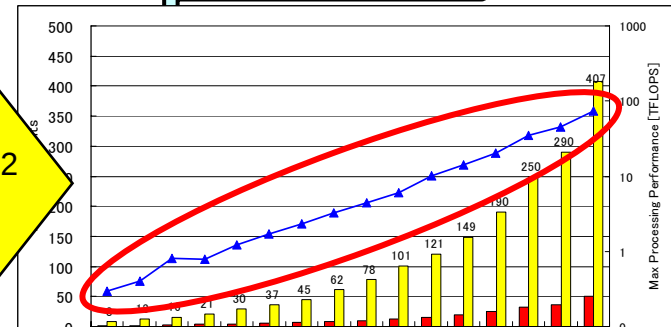
- SoCモデルのトレンド(下記はConsumer Stationary SOCでの例)

ITRS2007

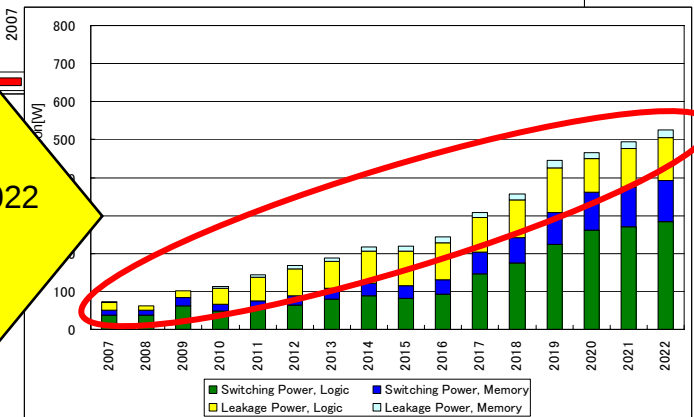


性能(TFLOPS)@2022
120 → 74.1

ITRS2008



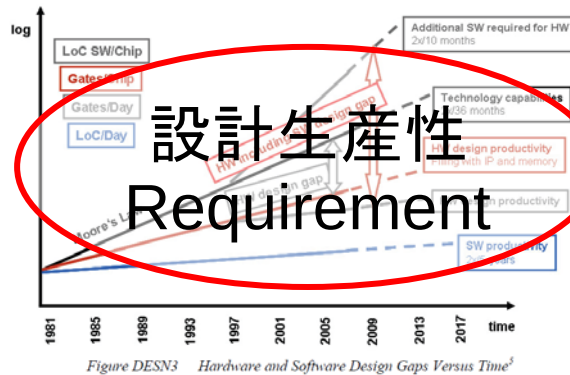
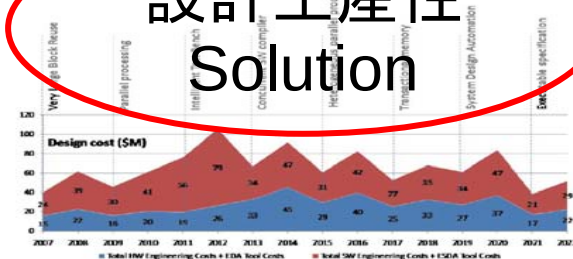
消費電力(W)@2022
689 → 526



Design章トピックス

◆ ITRS2007では図として散在していたソフトウェア設計生産性のRequirementとSolutionをSLDのTableに統合

ITRS2007

設計生産性
Solution

ITRS2008

SLD Requirement Table

	2010	2012	2014	2016	2018	2020	2022	2024	2026
Design Reuse									
Design block reuse [1] % of all logic	36%	36%	38%	40%	41%	42%	44%	46%	48%
Platform Based Design									
Available platforms [2] Normalized to 100% in the start year [3]	87%	83%	75%	70%	65%	63%	62%	60%	55%
Platforms supported [4] % of platforms fully supported by tools [5]	10%	25%	35%	50%	67%	84%	78%	80%	85%
High Level Synthesis									
Accuracy of high level estimates (performance, area, power, cost) [6] % versus measurements	60%	63%	66%	70%	73%	76%	80%	83%	85%
Reconfigurability									
Not reconfigurable	28%	28%	30%	35%	38%	40%	42%	45%	48%
Reconfigurable									
Analogue/Mixed Signal									
Analogue automation [8] % versus digital automation [9]	17%	17%	24%	24%	27%	30%	32%	36%	38%
Modeling methodology, description languages, simulation environments [10] % vs. digital	55%	58%	60%	62%	65%	67%	70%	73%	76%

Manufacturable solutions exist, and are being optimized
Manufacturable solutions are known
Feasible solutions are known
Manufacturable solutions are NOT known

SLDのTable
へ統合

SLD Solution Table

	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022
Parallel processing										
Intelligent testbench										
Concurrent SW infrastructure										
Heterogeneous parallel processing										
Transactional memory										
System design automation (SDA)										

Research Required Development Underway Qualification/Production Cost/Time Improvement

The legend indicates the time during which research, development, and qualification/production should be taking place for the solution.

2008年度国内活動

「SOCの消費電力」をテーマに活動

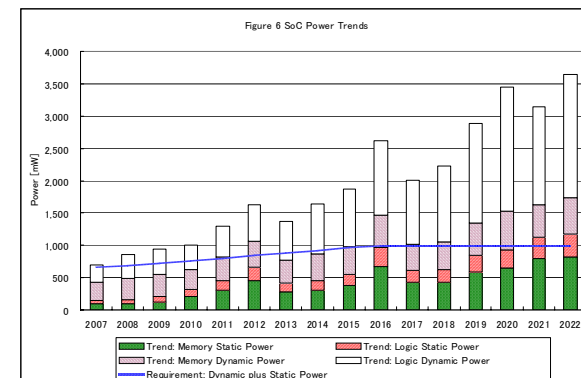
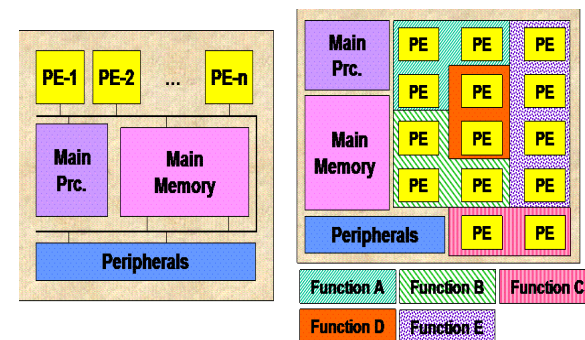
■ 具体的活動内容

- ・最近のアーキテクチャトレンドに基づく、
Consumer Portable SOCモデルの見直し
- ・新SOCモデルに基づく消費電力トレンドの計算
- ・**設計生産性**に対する低消費電力設計技術の
課題と解決策のロードマップとしての整理

【参考】過去の消費電力に関する活動内容

- ・2003年度：設計TFで低電力SOCの消費電力を見積もり
- ・2005年度：設計WGで設計TFの見積もり式を用いて
Consumer Portable SOCで消費電力を見積もり
- ・2006年度：Consumer Stationary SOCで消費電力を見積もり
- ・2007年度：消費電力設計技術の物理設計工程の
設計生産性への影響を定量化

見直し前(ITRS2008)の Consumer Portable SOCモデル と消費電力トレンド

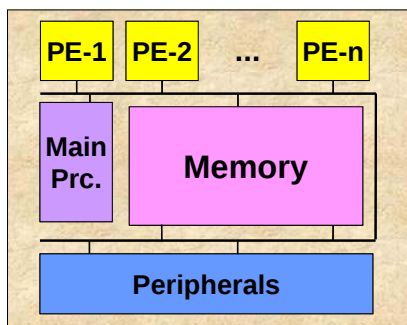


Consumer Portable SOCモデルの見直し

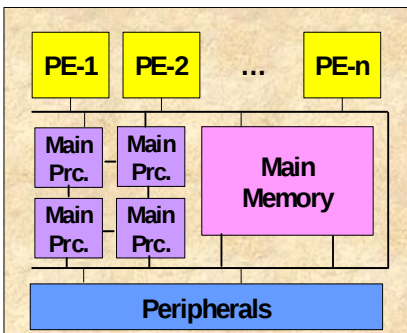
■最近の技術動向を調査・ヒアリングし、
SOCモデルのアーキテクチャ構造と数値パラメータを見直し

アーキテクチャ構造

見直し前



見直し後



数値パラメータ

見直し前

- 面積
 - ▶ Die Size: 49mm²(一定)
 - ▶ 面積オーバーヘッド: 28%(一定)
 - ⌘ オーバヘッド: I/O、アナログ、電源系
- Main Processor
 - ▶ 回路規模: 一定
 - ⌘ 1M Gate Logic、512kbit Memory
 - ▶ 搭載個数: 1個(一定)
- Processing Engine (PE)
 - ▶ 回路規模: 一定
 - ⌘ 250k Gate Logic、64k bit Memory
 - ▶ 搭載個数: 面積条件が許す最大個数搭載
- Main Memory
 - ▶ 容量: PE数に比例
 - ⌘ PE当たり 1M bit
- Peripherals
 - ▶ SoC外とのインタフェース用回路
 - ⌘ I/O回路はオーバーヘッドに含む
 - ▶ 回路規模: 1M Gate(一定)

見直し後

- 面積
 - ▶ Die Size: 49mm²(2008)から44mm²(2023)へ縮小
 - ▶ 面積オーバーヘッド: 28% (2008)から9%(2023)へ縮小
- Main Processor
 - ▶ 回路規模: 一定
 - ⌘ 1M Gate Logic、512kbit Memory
 - ▶ 搭載個数: マルチコアのトレンドを反映
 - 1-4(2008)から10-14(2023)へ増加

見直し内容

- ・Main Processor搭載個数
→マルチコア化の
トレンド反映
- ・Die Sizeと面積オーバーヘッド
も見直し

消費電力トレンドの再計算

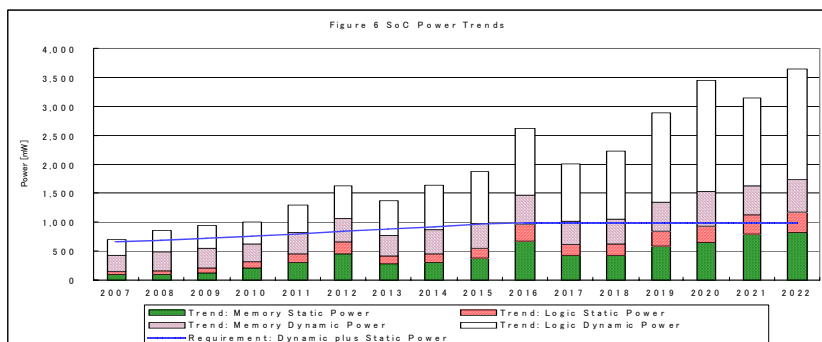
- 新SOCモデルに基づき、消費電力トレンドを再計算
- エコロジーへの対応として、消費電力の要求値を半減(1W→0.5W)

再計算後も消費電力は**要求値を大幅未達**

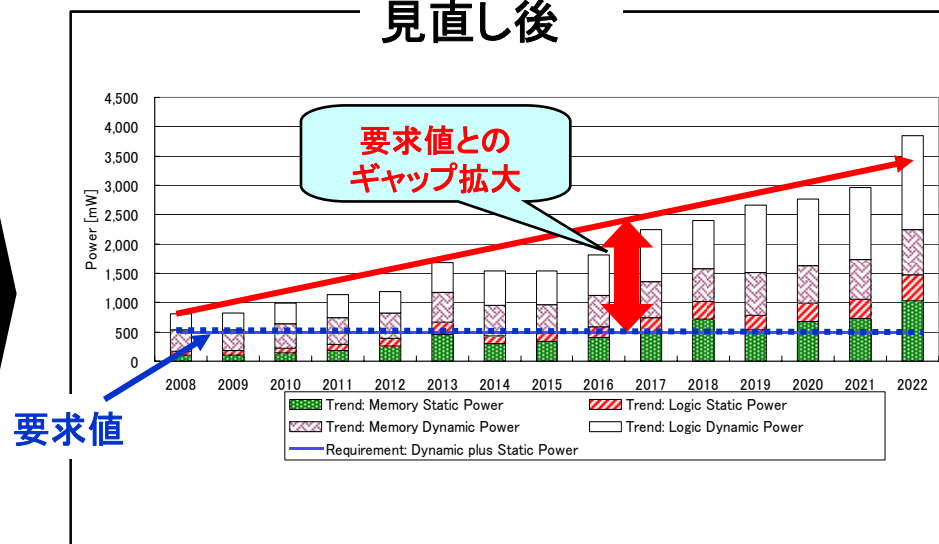
→ 設計技術の革新による低消費電力化が急務！！

■ 消費電力トレンド

見直し前



見直し後



低消費電力設計とは？

消費電力 =	$1/2 \cdot \alpha \cdot C_L V_{dd}^2 f$	スイッチング電力	} Dynamic Power
	$+ \alpha \cdot V_{dd} I_{cell} f$	貫通電力	
	$+ V_{dd} \cdot I_{leakage}$	リーク電力	} Static Power
	$+ V_{dd} \cdot I_{DC}$	DC電力	

消費電力を下げるということは

- ・無駄な動作を削減する
- ・無駄に速い部分を遅くする

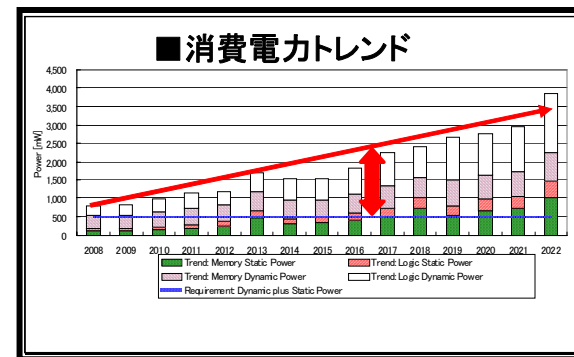
具体的には

- ・Dynamic Power削減のために
 - 負荷容量を削減する、信号の振幅を小さくする、電源電圧を低くする、動作率を下げる、動作周波数を下げる
- ・Static Power削減のために
 - V_{th} を高くする、電源電圧を低くする、電源を遮断する

α : 動作率
 C_L : 負荷容量
 V_{dd} : 電源電圧
 f : 動作周波数
 I_{cell} : セル内貫通電流
 $I_{leakage}$: Leak電流
 I_{DC} : 定常電流

設計生産性との両立が必要

- 消費電力の要求値とのギャップを埋めるためには
様々な低消費電力設計技術を駆使する必要あり



消費電力削減のために

- ・負荷容量を削減する
- ・信号の振幅を小さくする
- ・動作率を下げる
- ・Vthを高くする
- ・電源電圧を低くする
- ・動作周波数を下げる
- ・電源を遮断する

低消費電力設計技術

- ・小チップ面積、小トランジスタ
- ・メモリービット/ワード線の小振幅化
- ・クロックゲーティング技術
- ・マルチVt手法
- ・基盤バイアス制御
- ・マルチ電圧手法
- ・DVFS、AVS
- ・電源遮断技術

- そのため低消費電力設計は複雑化し、設計生産性への悪影響が増加



設計生産性に対する低消費電力設計技術の
課題と解決策のロードマップとしての整理

技術説明「クロックゲーティング」

■設計技術概要

- ・動作していない回路のクロック供給を停止する技術
- ・予めレジスタの入力が変化しないと分かっている場合にそのレジスタへのクロック供給を部分的に止めたり(ローカルクロックゲーティング), 休止しているブロックへのクロック供給を止める(グローバルクロックゲーティング)ことで消費電力を削減する

■効果

- ・動作時のスイッチング電力の削減

■設計複雑度(生産性への影響)

- ・グリッチ伝播防止用ラッチやテスト容易化のための付加回路など回路追加が必要
- ・最適な形で如何にクロックをゲーティングするか
- ・クロックゲート回路の故障検出率をいかにあげるかなど

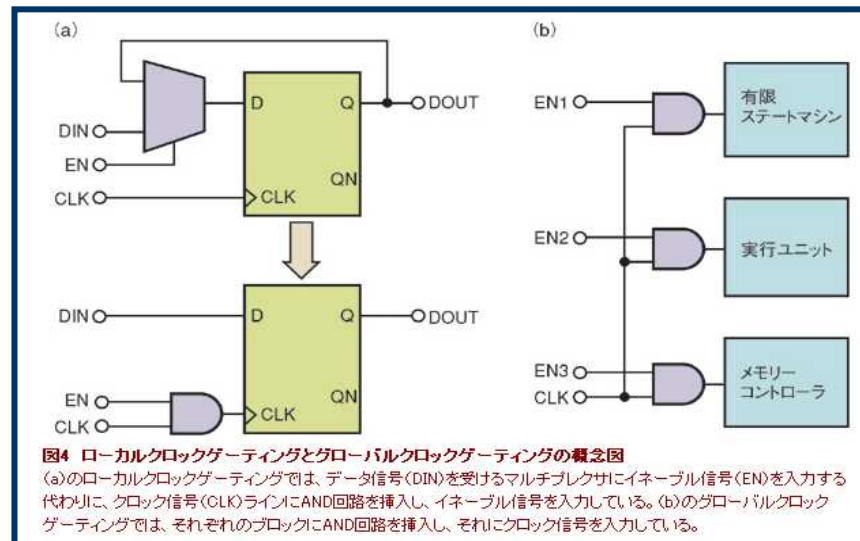


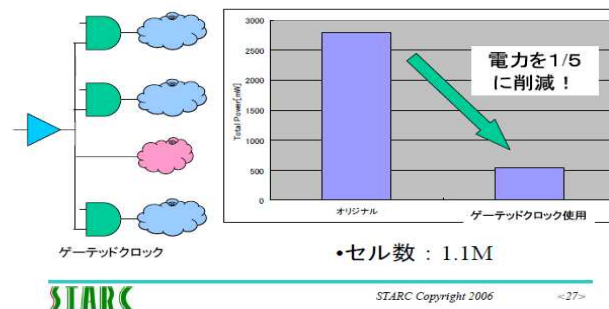
図4 ローカルクロックゲーティングとグローバルクロックゲーティングの概念図

(a)のローカルクロックゲーティングでは、データ信号(DIN)を受けるマルチプレクサにイネーブル信号(EN)を入力する代わりに、クロック信号(CLK)ラインにAND回路を挿入し、イネーブル信号を入力している。(b)のグローバルクロックゲーティングでは、それぞれのブロックにAND回路を挿入し、それにクロック信号を入力している。

出典: EDN Japan 「低消費電力LSIの設計技術」

<http://www.ednjapan.com/issue/2007/09/u3eqp30000014qs1.html>

ゲーテッドクロックによる電力削減例



出典: EDSF2006技術動向セミナー

「サブ100ナノメートルSOCで低消費電力設計を成功させる」

<http://www.edsfair.com/2006/special/pdf/tokusetsu26-1.pdf>

技術説明「基板バイアス制御」

■設計技術概要

- ・製造仕上りに応じて、基板バイアスを制御して閾値電圧 (V_{th}) を最適化する技術
- ・「速度に余裕があれば極力 V_{th} を高めてリーク電流を抑える」との考えに基づき、消費電力を抑える

■効果

- ・動作時のリーク電力の削減

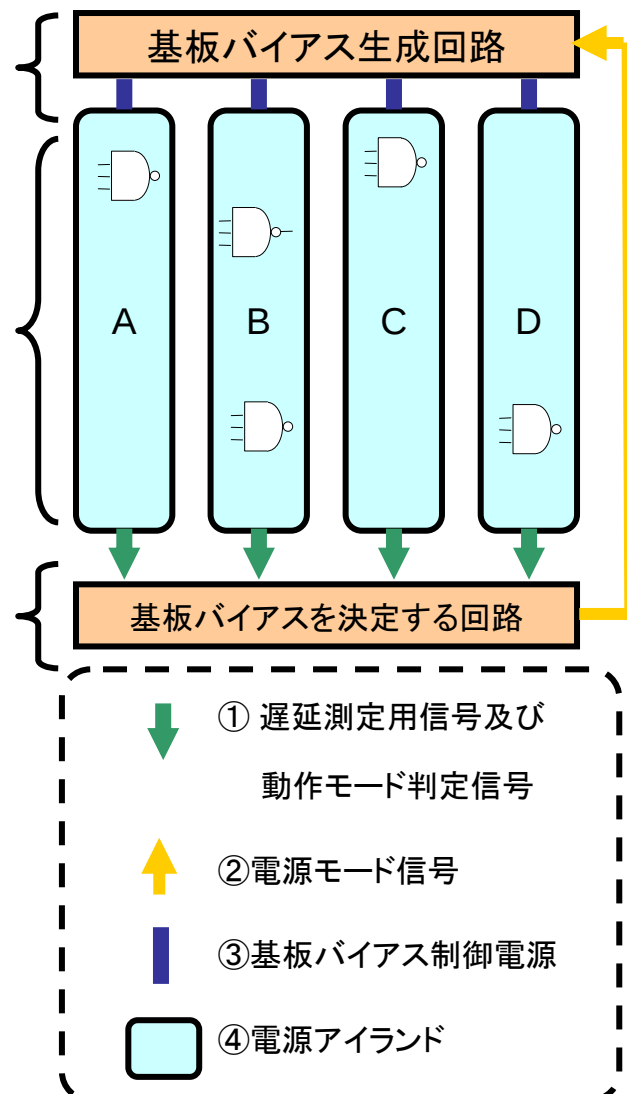
■設計複雑度(生産性への影響)

- ・「速度余裕(製造仕上がり)を計測し、基板バイアスを制御する機構」の組み込みに伴う回路複雑度の増加(同機構をチップ外に設置した場合は、テストやシステム設計にも影響)
- ・基板バイアス制御の効果を最大化するためのセル配置及びクロックツリー生成
- ・基板バイアス制御によるクリティカルパス変動を考慮した At Speed テスト など

基板バイアス電圧を生成する電源回路。
チップ内蔵、チップ外の2通りの実現方法あり。

論理機能の本体部分。
各論理セルは電源アイランド内に配置される。
基板バイアス電圧は電源アイランド毎に調整する

電源アイランドへの基板バイアス電圧を決定する回路。
決定要素は、製造後の測定結果(速度、リーク電流)及びチップ内の動作モードである。
チップ内蔵、チップ外の2通りの実現方法あり。



技術説明「電源遮断(パワーゲーティング)」

■設計技術概要

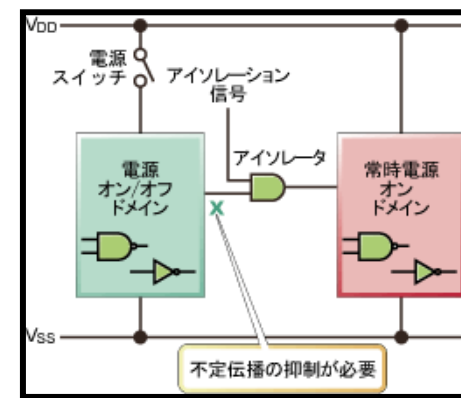
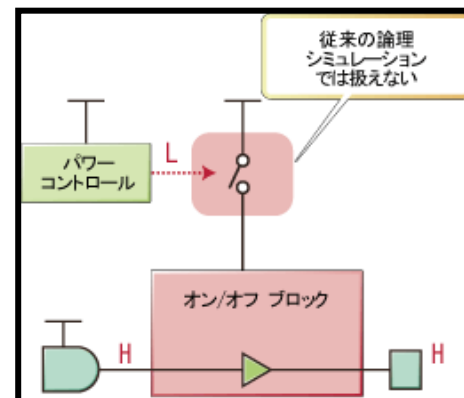
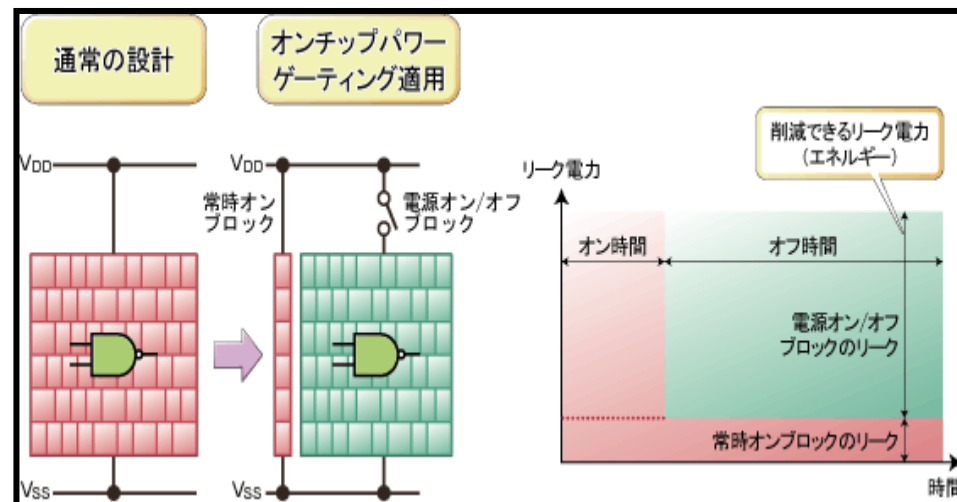
- ・休止中のブロックへの電源供給を遮断することによりリーク電力を激減させる
- ・なかでも, LSI 内部に電源遮断用のスイッチを設ける場合を「オンチップパワーゲーティング」と呼ぶ
- ・電源遮断の手法として「MTCMOS」などがある

■効果

- ・待機時のリーク電力の削減

■設計複雑度(生産性への影響)

- ・電源オン/オフに対するシーケンス確認を含む論理検証が必要
- ・電源アイランド間へのアイソレータの追加と境界接続の確認が必要
- ・突入電流(Rush Current)の抑制が必要
- ・データ退避のためのリテンション回路の追加が必要 など



出典: 富士通マイクロエレクトニクス「低消費電力LSI設計 技術解説」
<http://jp.fujitsu.com/microelectronics/technical/lowpower/>

技術説明「DVFS」(Dynamic Voltage and Frequency Scaling)

■設計技術概要

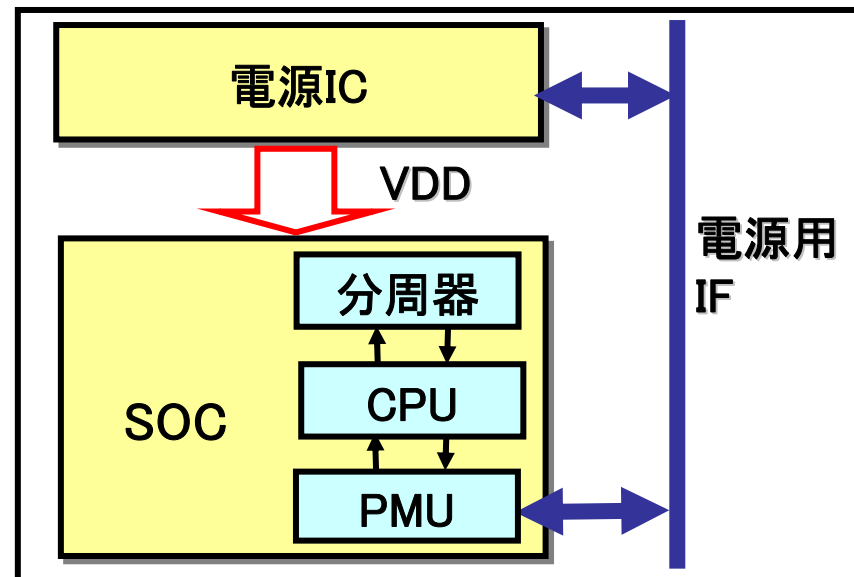
- ・システムの処理負荷の重さに応じて、電圧と周波数を動的に制御する技術
- ・「ゆとりがあるのであれば、極力遅く仕事をする」という考えの元、同じクロック周波数で結果が得られるのであれば、より低い電圧で実行し、消費電力を抑えるというもの

■効果

- ・動作時のスイッチング電力の削減

■設計複雑度(生産性への影響)

- ・システムにどれだけゆとりがあって、どこまでなら電圧と周波数を下げてもシステム動作に影響がないかという動的制御をどうやって実現するか
- ・SOCと電源IC間の通信方式や自動化のための仕様フォーマットの標準化が必要
- ・電源アイランド間へのレベルシフター挿入と境界接続の確認が必要
- ・可変電圧及びマルチ電源対応のタイミング検証を如何に効率化するか(マルチコーナー、マルチモードの最適化)



出典: マイコミジャーナル「ARMプロセッサ活用法 - 低消費電力のための機能「DVFS」IEMの仕組み」
<http://journal.mycom.co.jp/article/2007/11/12/arm/002.html>

技術説明「AVS(Adaptive Voltage Scaling)」

■設計技術概要

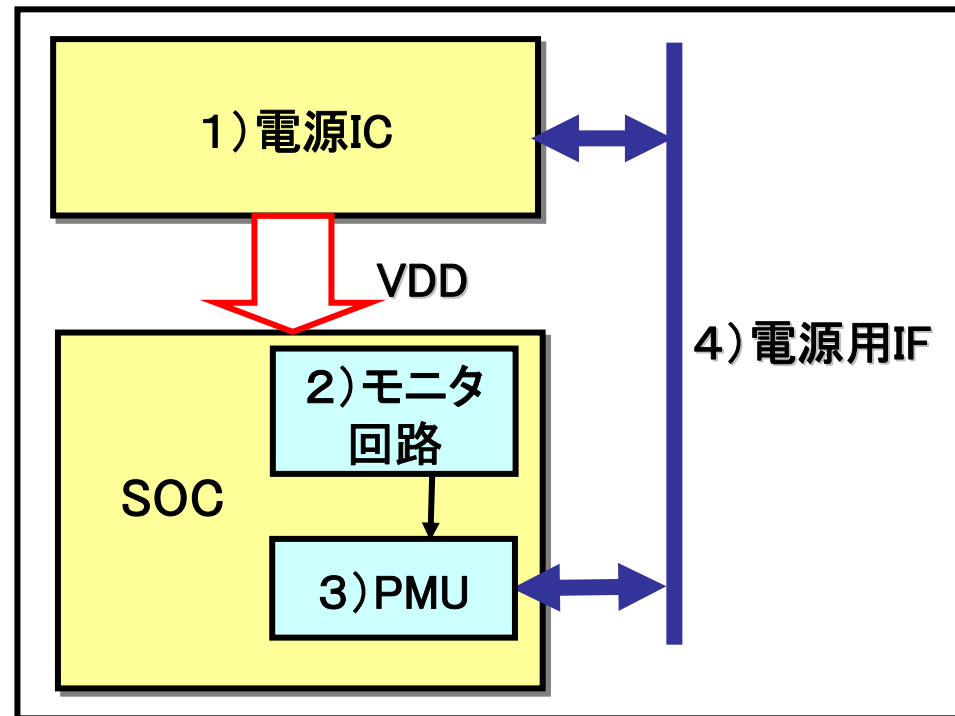
- ・SOCの動作条件(Process, Voltage, Temperature 等)をモニタし、動作条件に応じてSOCに最適な電圧を供給するようにした技術

■効果

- ・動作時のスイッチング電力の削減

■設計複雑度(生産性への影響)

- ・SOCと電源IC間の通信方式や自動化のための仕様フォーマットの標準化が必要
- ・電源アイランド間へのレベルシフター挿入と境界接続の確認が必要
- ・可変電圧及びマルチ電源対応のタイミング検証を如何に効率化するか(マルチコーナ、マルチモードの最適化) など



- 1) AVS対応電源IC: 出力電圧可変の電源IC
- 2) モニタ回路: LSIの動作条件をモニタする。
- 3) PMU(Power Management Unit): LSIに最適な電圧条件を算出し、電源ICを制御する。
- 4) 電源用IF: PMUで算出された電圧条件を電源ICに伝達する。

低消費電力設計技術の課題解決策(1/2)

大項目	設計技術	2008－2012	2013－2017	2018－2022
クロックゲーティング(CG)	インプリ設計(CTS)	クロックツリー最適化挿入技術 RTLでのクロックゲート 自動挿入と等価検証技術	クロックゲート率考慮自動挿入 最適化技術	高位レベルクロックゲーティング 技術 非同期設計との混載設計技術
	テスト設計	クロックゲート回路の 故障検出率向上技術	クロックゲーティング対応の At Speedテスト技術	
基板バイアス制御	工程間I/F 効率化	チップ内仕様の記述標準化と 対応したチップ設計技術	設計と製造(テスト,ボード製造) に関するインタフェース標準化	システムレベルの記述標準化と 対応したシステム設計技術
	インプリ設計(CTS)	クロックスキューの影響を最小 化するクロックツリー生成技術		高位レベルでのクロックツリー 生成技術
	インプリ設計 (自動配置)		電源アイランド毎に基板バイア ス制御の効果を最大化する 自動配置技術	
	インプリ設計 (タイミング)	マルチ電源対応のタイミング 検証技術	マルチ電源対応のタイミング 検証技術の高速化 サインオフコーナー削減	
	テスト設計		クリティカルパス変動を考慮 したAt Speedテスト技術	
電源遮断	検証	電源遮断考慮論理検証	電源遮断考慮論理検証最適化	高位レベル検証手法確立
	仕様記述	パワーフォーマットの標準化	パワーフォーマットの拡張	高位レベル対応フォーマットの 標準化
	テスト設計	電源遮断考慮DFT技術		

低消費電力設計技術の課題解決策(2/2)

大項目	設計技術	2008－2012	2013－2017	2018－2022
DVFS/AVS	電源仕様	SOCと電源ICとの通信方式 や仕様フォーマットの標準化	通信方式の高度化 仕様フォーマットの拡張	高位レベル対応フォーマットの 標準化
	電力管理	可変電圧及びマルチ電源対応 の電力管理技術	可変電圧及びマルチ電源対応 の電力管理技術の高度化	高位レベルでの電力管理技術
	インプリ設計 (電源)	可変電圧及びマルチ電源対応 の電源構造生成技術	可変電圧及びマルチ電源対応 の電源構造生成の高度化	
	インプリ設計 (CTS)	クロックスキューの影響を最小 化するクロックツリー生成技術		高位レベルでのクロックツリー 生成技術
	インプリ設計 (タイミング)	可変電圧及びマルチ電源対応 のタイミング検証技術(マルチ モード、マルチコーナー最適化)	可変電圧及びマルチ電源対応 のタイミング検証技術高速化 サインオフコーナー削減	
	テスト設計		可変電圧及びマルチ電源対応 のDFT技術	
	システム設計		システム考慮DVFS	非同期DVFS
消費電力見積もり		リーク電力見積もりの高精度化 パワーフォーマット対応	RTLレベル電力見積もりの高度 化/高精度化	高位レベル電力見積もりの高度 化/高精度化

低消費電力設計技術ソリューションテーブル(1/5)

2008 2009 2010 2011 2012 2013 2014 2015 2016 2017 2018 2019 2020 2021 2022

クロックゲーティング

クロックツリー生成(CTS)/クロックゲート挿入

クロックツリー最適化挿入

RTLでのクロックゲート自動挿入

等価検証技術向上

クロックゲート率考慮自動挿入最適化

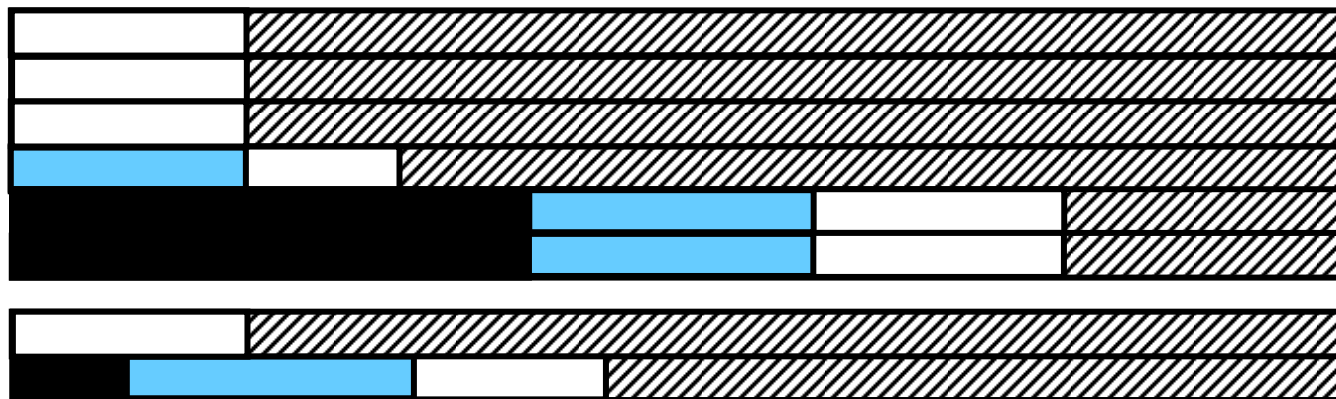
高位レベルクロックゲーティング

非同期設計との混載設計技術

テスト容易化設計

クロックゲート部の故障検出率向上技術

クロックゲーティング対応AtSpeedテスト技術



低消費電力設計技術ソリューションテーブル(2/5)

2008 2009 2010 2011 2012 2013 2014 2015 2016 2017 2018 2019 2020 2021 2022

基盤バイアス制御

工程間インターフェース

チップ内仕様の記述標準化

チップ設計ー製造(テスト)間IF標準化

システム設計ーチップ設計間IF標準化

クロックツリー生成(CTS)

クロックスキュー最小化CTS

高位レベルでのCTS

自動配置

基板バイアス制御対応自動配置

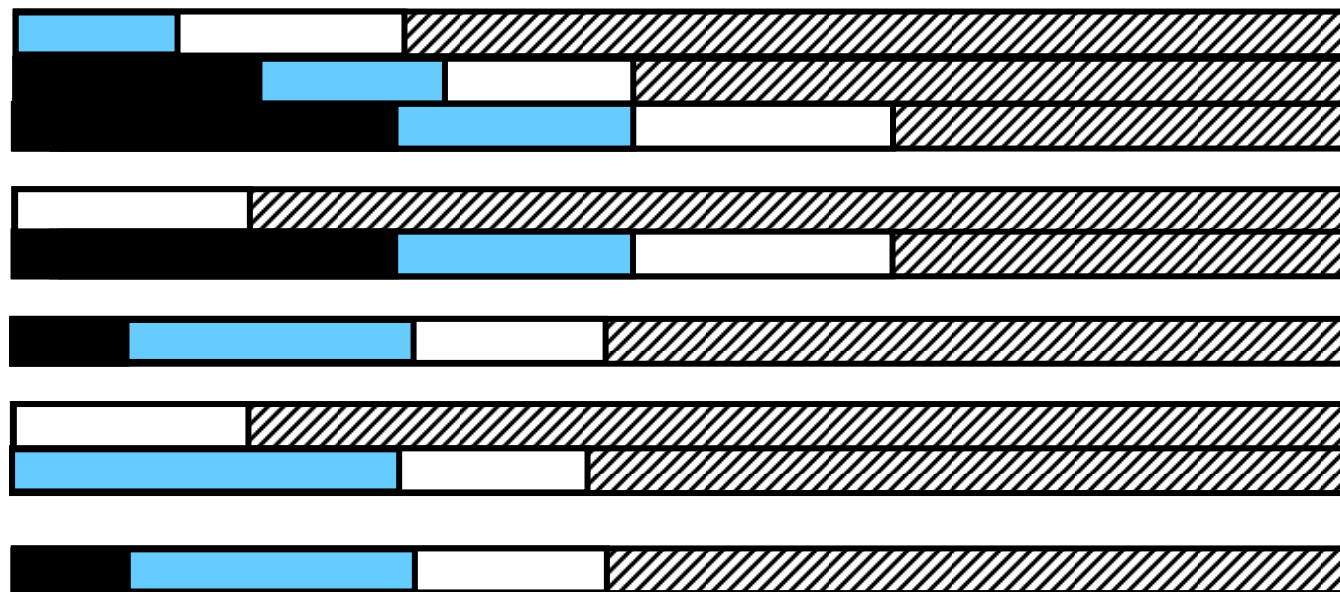
タイミング検証

マルチ電源対応のタイミング検証

サインオフコーナー削減

テスト容易化設計

基板バイアス制御対応AtSpeedテスト技術



低消費電力設計技術ソリューションテーブル(3/5)

2008 2009 2010 2011 2012 2013 2014 2015 2016 2017 2018 2019 2020 2021 2022

電源遮断(パワーゲーティング)

機能論理検証

パワーゲーティング考慮論理検証

パワーゲーティング考慮論理検証最適化

高位レベル検証手法

仕様記述

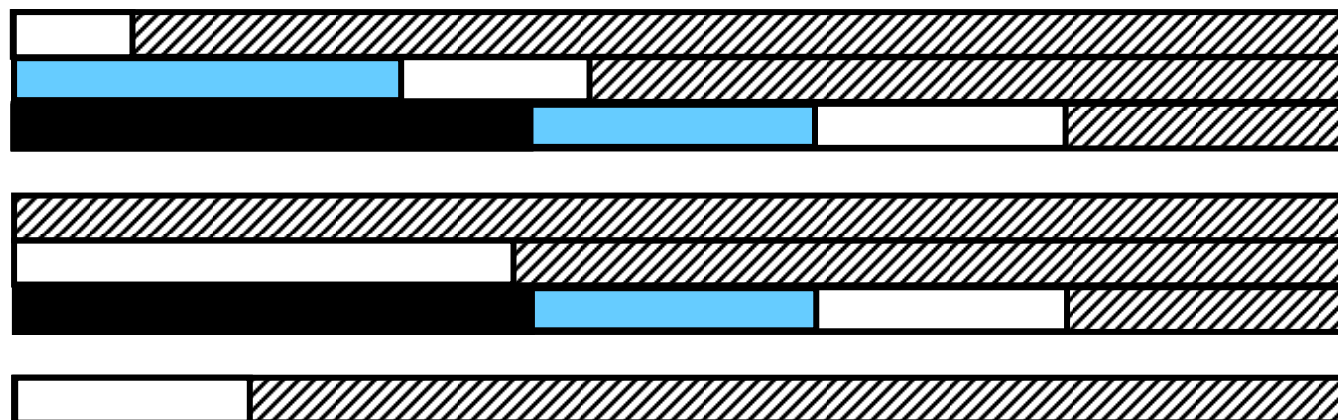
パワーフォーマット標準化

パワーフォーマット拡張

高位設計対応フォーマット

テスト容易化設計

電源遮断考慮DFT技術



低消費電力設計技術ソリューションテーブル(4/5)

2008 2009 2010 2011 2012 2013 2014 2015 2016 2017 2018 2019 2020 2021 2022

DVFS/AVS

電源仕様

電源ICとの通信方式標準化

電源仕様フォーマットの標準化

電力管理

可変電圧/マルチ電源対応管理技術

電源設計

可変電圧/マルチ電源対応電源設計

クロックツリー生成(CTS)

クロックスキュー最小化CTS

高位レベルでのCTS

タイミング検証

マルチ電源対応のタイミング検証

サインオフコーナー削減

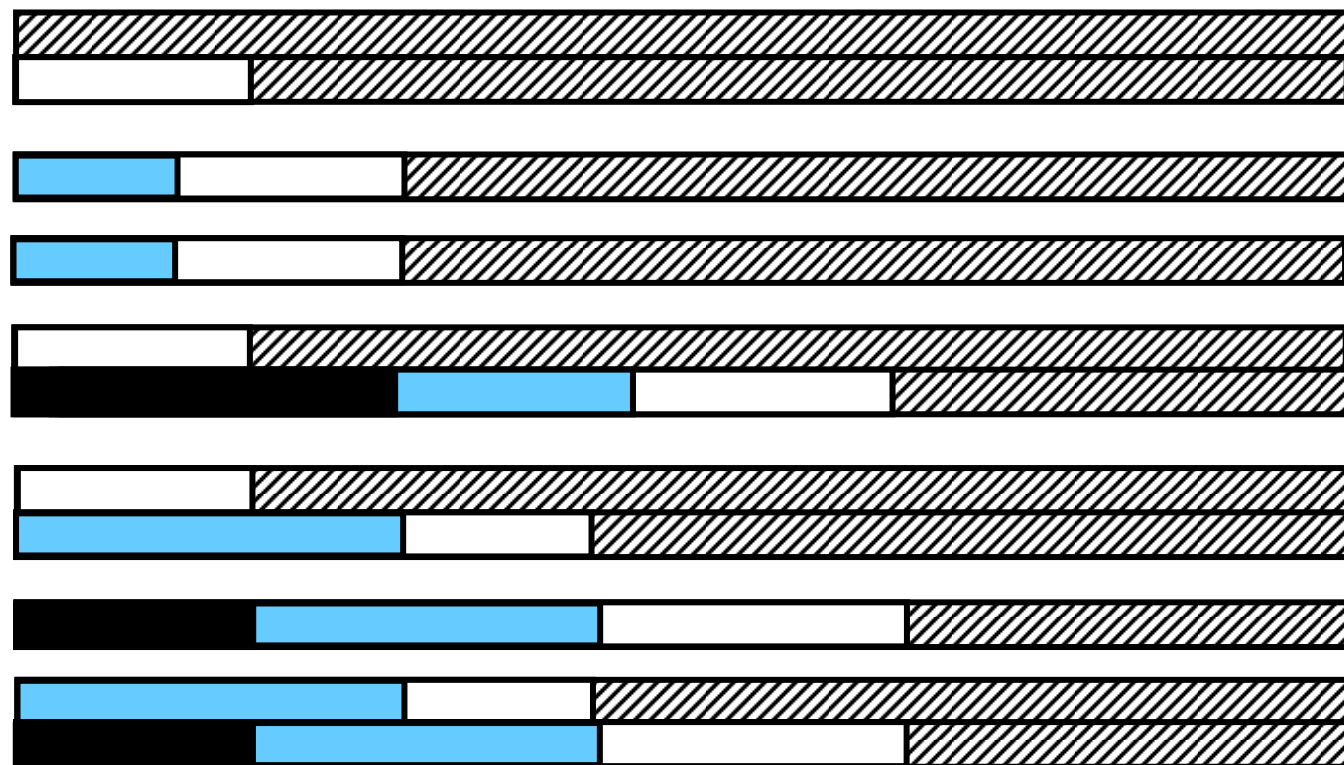
テスト容易化設計

可変電圧/マルチ電源対応DFT技術

システム設計

システム考慮DVFS

非同期DVFS



■ Research Required
 ■ Development Underway
 ■ Pre Production
 ■ Continuous Improvement

低消費電力設計技術ソリューションテーブル(5/5)

2008 2009 2010 2011 2012 2013 2014 2015 2016 2017 2018 2019 2020 2021 2022

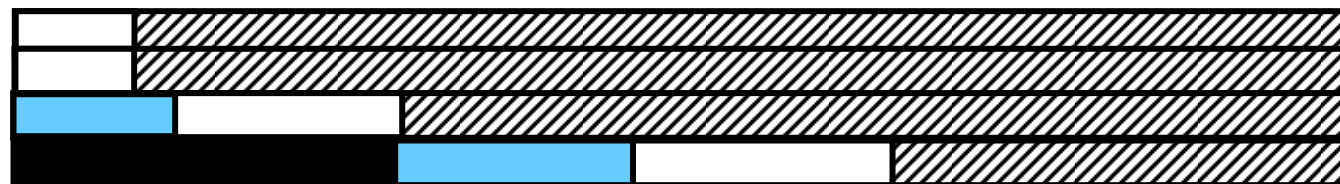
消費電力見積もり

リーク電力見積もりの高精度化

パワーフォーマット対応

RTLレベル見積もりの高度化

高位レベル見積もりの高度化



まとめ

国際活動

■ITRS2008では主に以下の改定を実施

- System Drivers章 : GL(ゲート長)の3year-shiftの反映
- Design章 : ソフトウェア関係のSLD Tableへの統合

国内活動

■「消費電力」をテーマに活動

- 最近のアーキテクチャトレンドに基づき、Consumer Portable SOCモデルを見直し
 - ーマルチコア化のトレンドのMain Processor数への反映など
 - ーエコロジーへの対応として、消費電力の要求値も半減(1.0W→0.5W)
 - ー再計算後も消費電力は要求値を大幅未達成で、技術革新が必要
- 設計生産性に対する低消費電力設計技術の解決策をロードマップとして整理
 - ー「クロックゲーティング」「基板バイアス制御」「電源遮断」「DVFS」「AVS」の設計技術に関して、設計生産性との両立に向けての解決策を提示
 - ーアプリケーションに合わせた複数技術の組合せでの効率的な設計技術確立も重要