

# LSI多様化へのテストの挑戦

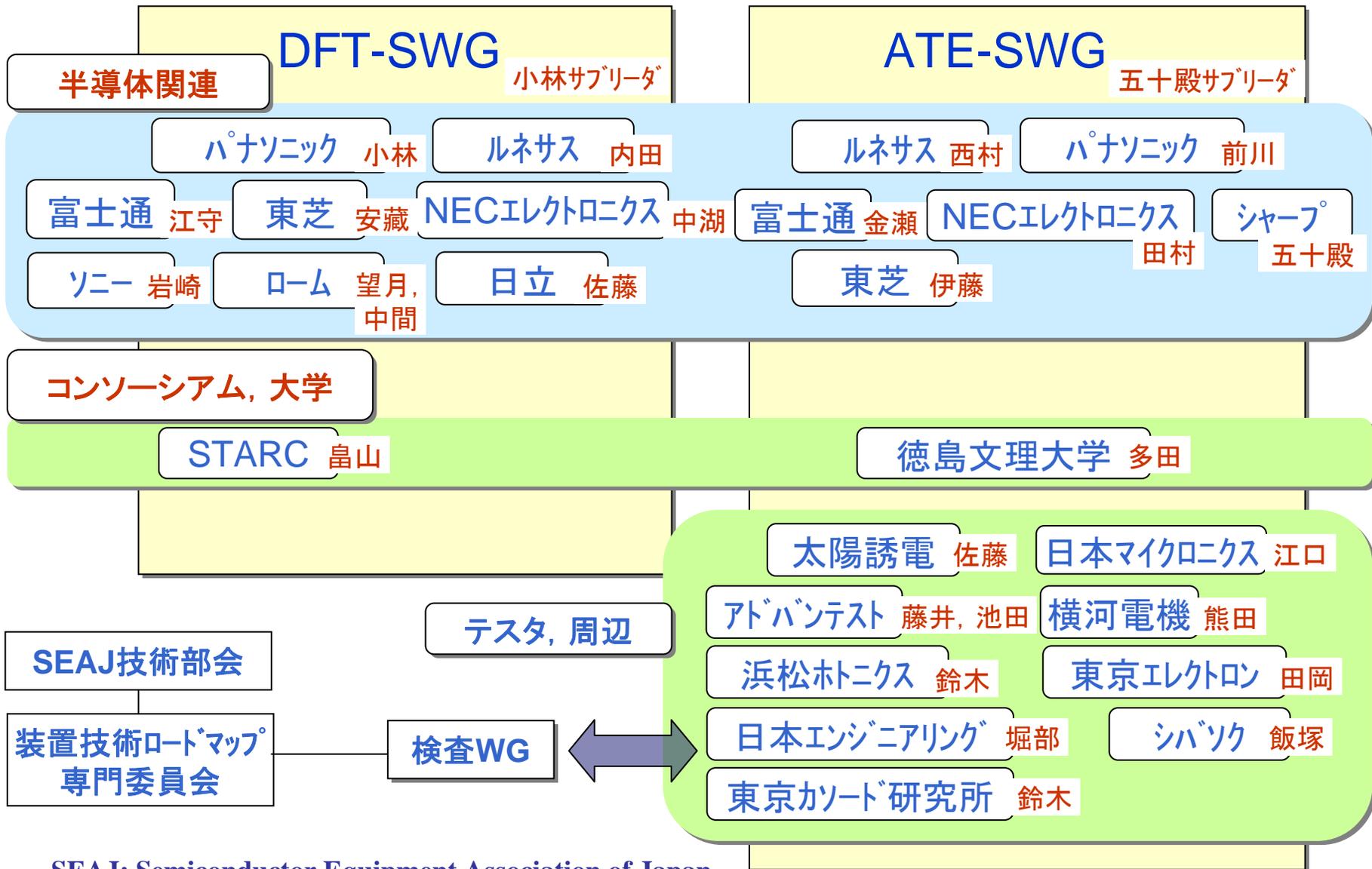
## ～品質とコストのバランスを目指して～

WG2(テスト)リーダー  
(株)日立製作所 佐藤康夫

### 目 次

1. 体制
2. テーマの位置づけ
3. 2008年度活動内容と成果
4. 多様化するテスト(SiP)
5. 多様化するテスト(SoC)
6. まとめと今後の課題

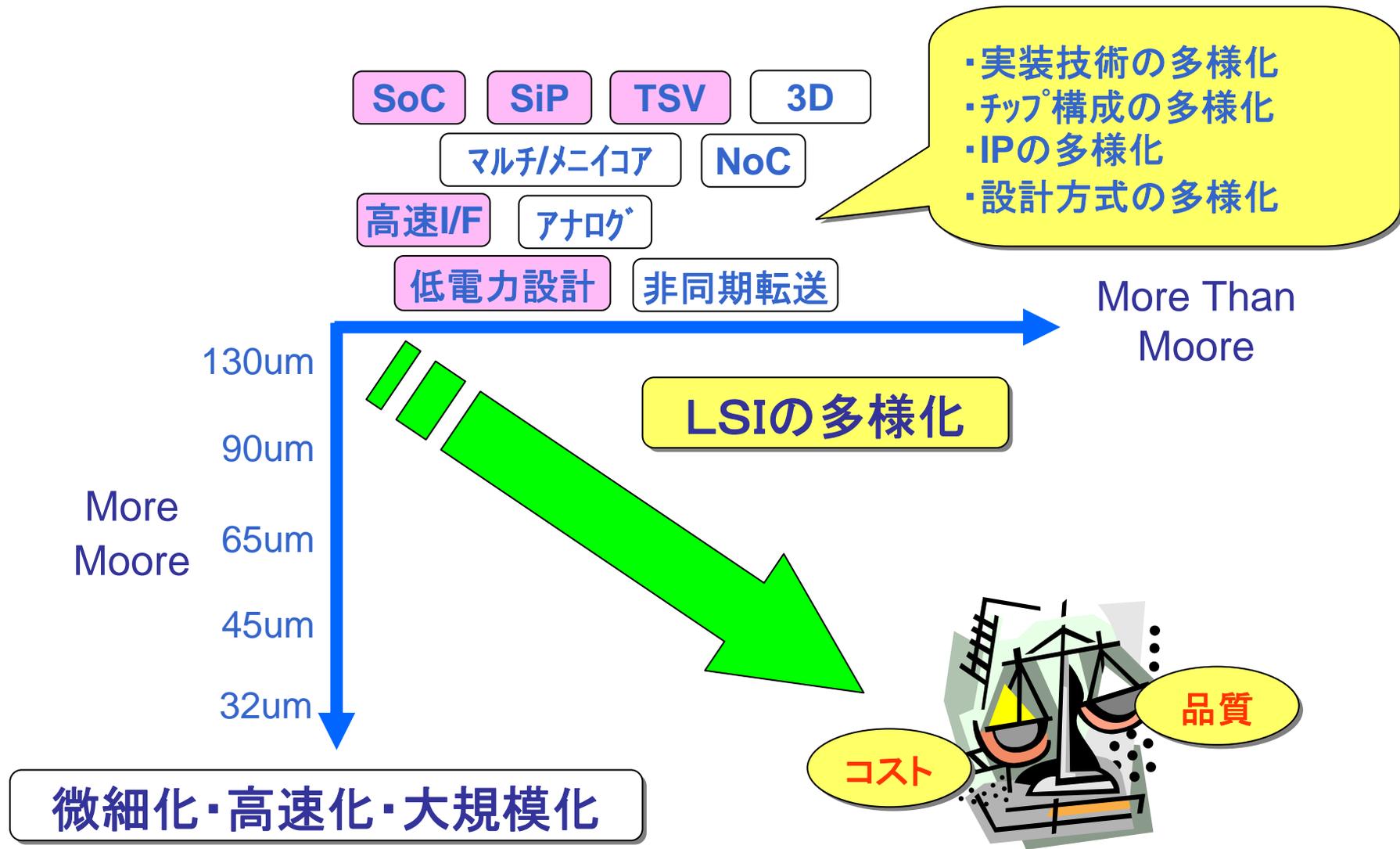
# 1. 体制



SEAJ: Semiconductor Equipment Association of Japan

# 2. テーマの位置づけ

## ■ LSIの多様化へ対応するDFT技術・ATE技術の検討

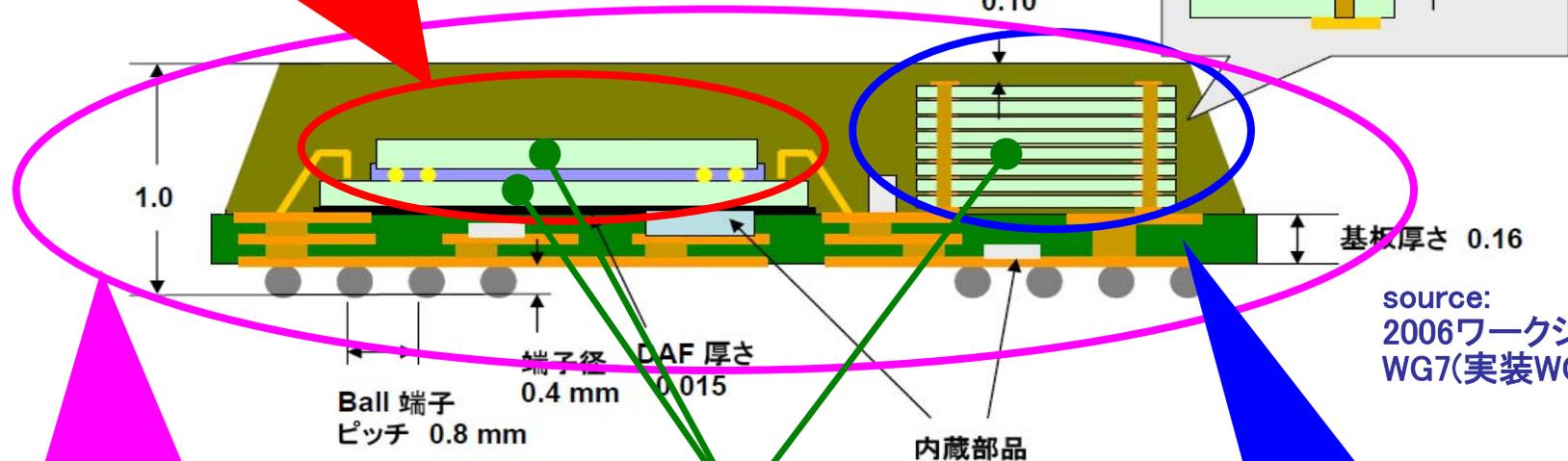


### 3. 2008年度活動内容と成果

区分	活動テーマ	2008 報告書	ITRS	
			2008	2009 (予)
国内活動	SoC	・構造化テスト(スキャン, BIST)の駆使と課題 ・低電力化への取り組み	レ	レ
	高速I/F 【SWG合同】	・ATE/BOST/BISTのバランスによるコスト低減課題	レ	レ
	SiP	チップ状態での品質保証技術とDFTの課題	レ	レ
	コスト	・アダプティブテスト(テスト仕様・フローの適合化) によるコスト低減の可能性	レ	レ
国際活動	SoC 【設計WG合同】	・改訂(クロック・電源設計複雑化への対応, 他)		レ
	DFT 【設計WG合同】	・【設計章】と【テスト章】の記載の整合化 《電話会議など》		レ
	ATE	・小改訂(RF, ミックスドシグナル, 同測テスト)	レ	レ
	周辺	・大改訂(プローバ, ハンドラ, その他全テーブル)	レ	レ

# 4. 多様化するテスト(SiP)

② CoC状態でのテスト



source:  
2006ワークショップ  
WG7(実装WG)

④ SiP完成後のテスト  
(テストエンジン搭載含む)

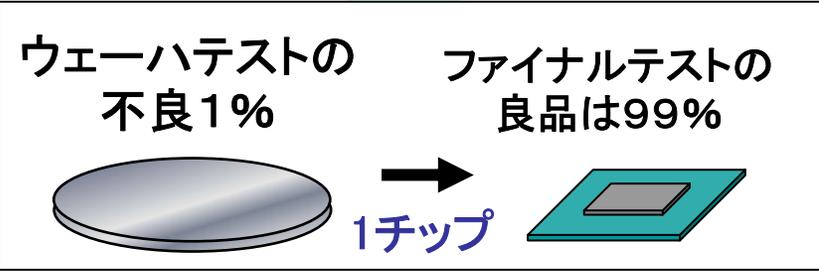
① KGDの供給

③ 積層メモリのテスト

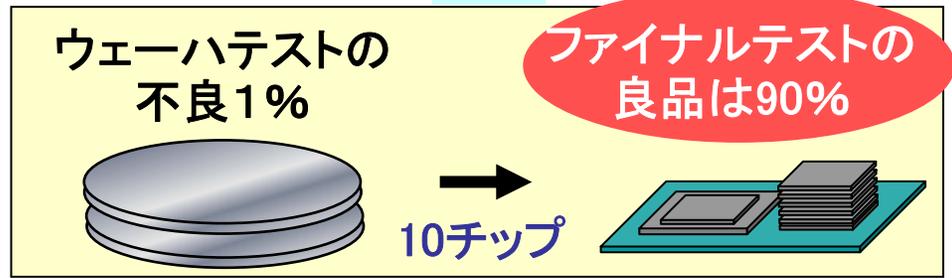
# ①KGD供給における課題

SiPの不良率は個々のチップの不良率の累積  
 ⇒KGDの不良率低減が重要

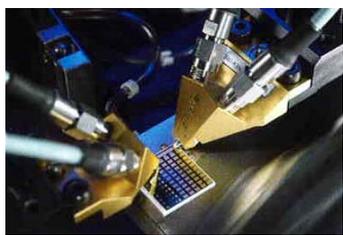
SoC



SiP



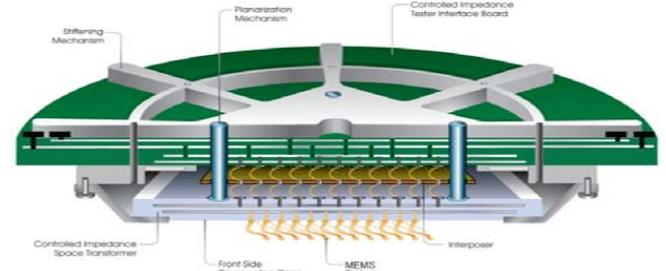
KGD供給の課題	対策案
高周波ウェーハテストの実現	① 高周波 新構造プローブカードの開発・実用化
テストコストの低減	② 多ピン多同測 新構造プローブの低コスト化
ウェーハテストにおける高品質の確保	③ ウェーハレベルバーンイン技術革新・適用拡大



対策①: 数十GHz対応  
コプレーナプローブ



対策②: 多ピン対応垂直プローブ

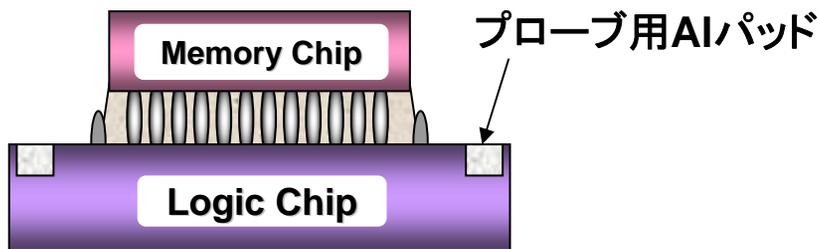


対策③: MEMS型WLBIプローブ

## ②CoC状態でのテストにおける課題

形態	課題	提案
個片チップを接続 (個別のチップ同士を 接続)	下側のチップのパッドに プロービングする際のア ライメント	<ul style="list-style-type: none"> <li>・ N-ショットアライメント                (ダイシングテープなどに再マウント)</li> <li>・トレイ方式                (重なったチップ状態)</li> </ul>
下側のウェーハに上 側のチップを接続 (下側はウェーハ状態)	下側の不良チップの処理 (組み立て側の技術)	<ul style="list-style-type: none"> <li>・不良チップはウェーハマップ                情報で回避可能</li> <li>・従来技術で多数個同測可能</li> </ul>

実装上の課題が大きい

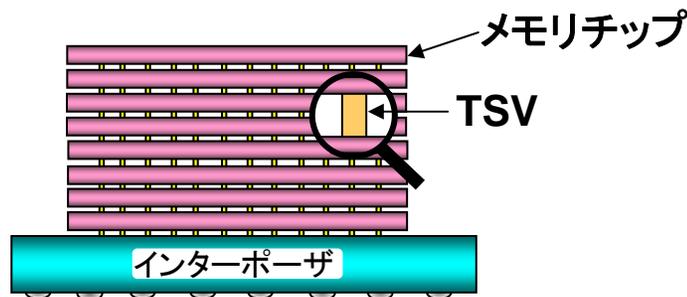


### 今後解決すべき課題

- ・アライメント時間の短縮
- ・多数個同測の実現
- ・上下チップの温度制御
- ・薄いチップのハンドリング など

### ③積層メモリテストにおける課題

方式	課題と提案
<ul style="list-style-type: none"> <li>積層メモリ単体でのテスト方式 TSVのオープン/ショート、 異常抵抗の確認</li> </ul>	<ul style="list-style-type: none"> <li>積層メモリへの接触、 位置合わせ技術の確立</li> </ul> <p>⇒ トレイ方式</p>
<ul style="list-style-type: none"> <li>CoCから積層メモリのテスト方式 CoCから積層メモリの機能、 動作スピード確認</li> </ul>	<ul style="list-style-type: none"> <li>SiP状態での各チップの保証</li> </ul> <p>⇒ テスト I/F設計の標準化</p>



積層メモリのイメージ

## ④SiP完成後テストの課題

課題	提案
<p>システム全体の動作確認</p> <ul style="list-style-type: none"> <li>・実動作テスト(高速テスト)</li> <li>・量産テスト性(低テストコスト)</li> <li>・故障個所の特定</li> </ul>	<p>実動作テストを可能とする 仕組みをSiPに搭載 仕組み＝“<u>テストエンジン</u>”と定義</p>

### ●テストエンジンとは

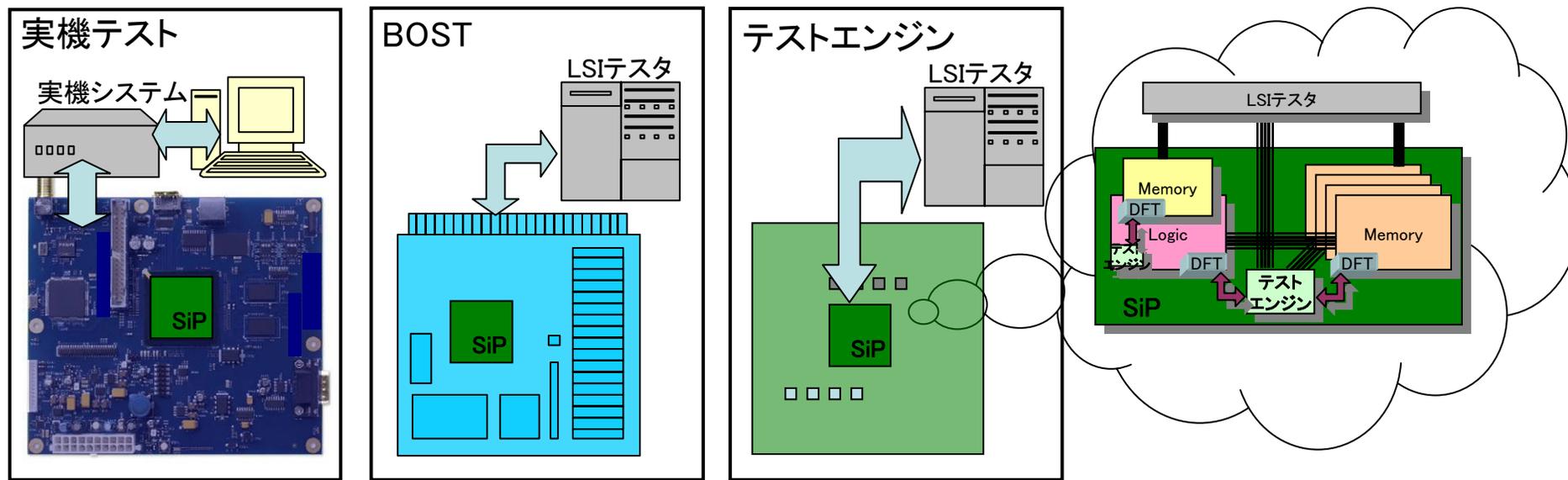
- ・実機をエミュレートする機能を持つチップ
- ・テストエンジンはLSIテストタにより制御
- ・各チップに内蔵されたDFTの制御を行うチップ  
→BISTの制御、チップのアイソレート、Bypass機能等

### 今後解決すべき課題

- ・テストエンジンと各チップに内蔵されたBISTとのI/Fの整備(標準化)
- ・テストエンジンチップ不良時の対応(Repairableチップへの対応)

# ④SiP完成後テストの課題(続き)

## システム全体の動作確認

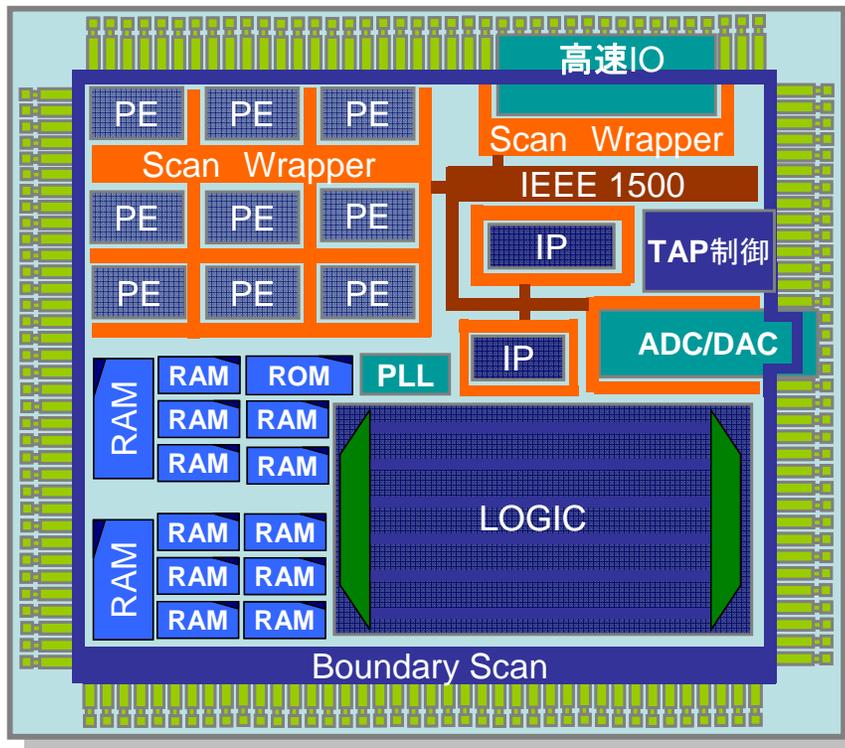


### ●各テスト方法の比較とテストエンジンへの期待

	実機テスト	BOST	テストエンジン
量産テスト性	×	○	◎
テスト品質	◎	△	○
故障解析性	×	×	○

## 5. 多様化するテスト (SoC)

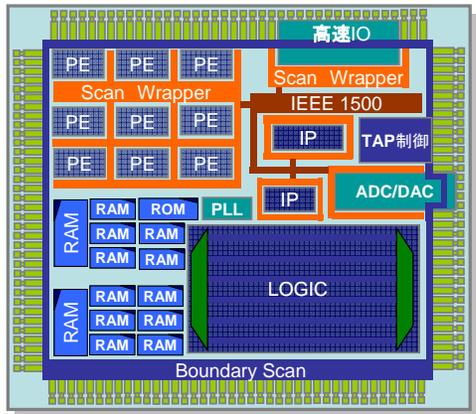
～構造化テストの駆使でどこまでテストできるか?～



現在の構造化テストでは  
不十分なテスト項目の洗い出し

\* DFT-SWGテーマ

# ● SoCのテスト課題



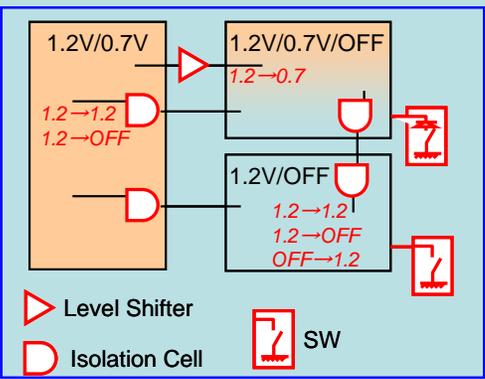
SoC テストのイメージ図

「構造化テスト(スキャン、BIST)を駆使したらどこまでテストできるか」について調査・検討  
⇒ 大きく4つの課題を抽出

## ① SoCの低消費電力化への対応

最近着目されてきた課題

- ・テスト時の消費電力/ノイズ
- ・低消費電力LSIで使われる素子のテスト



低消費電力設計素子

## ② メモリーロジック間のテスト

整理してみた気づきのあった課題

- ・実動作パスに対する遅延テスト

## ③ クロックドメイン間のテスト

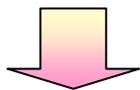
- ・組み合わせが多く、パターン(テスト時間)が膨大になる

## ④ アナログテスト・高速IOテスト

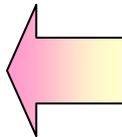
- ・DFTと他テスト手法(ATE/BOST)との使い分けが必要

# テスト時消費電力 > 実動作時消費電力

- ・ テスト動作時の動作率大

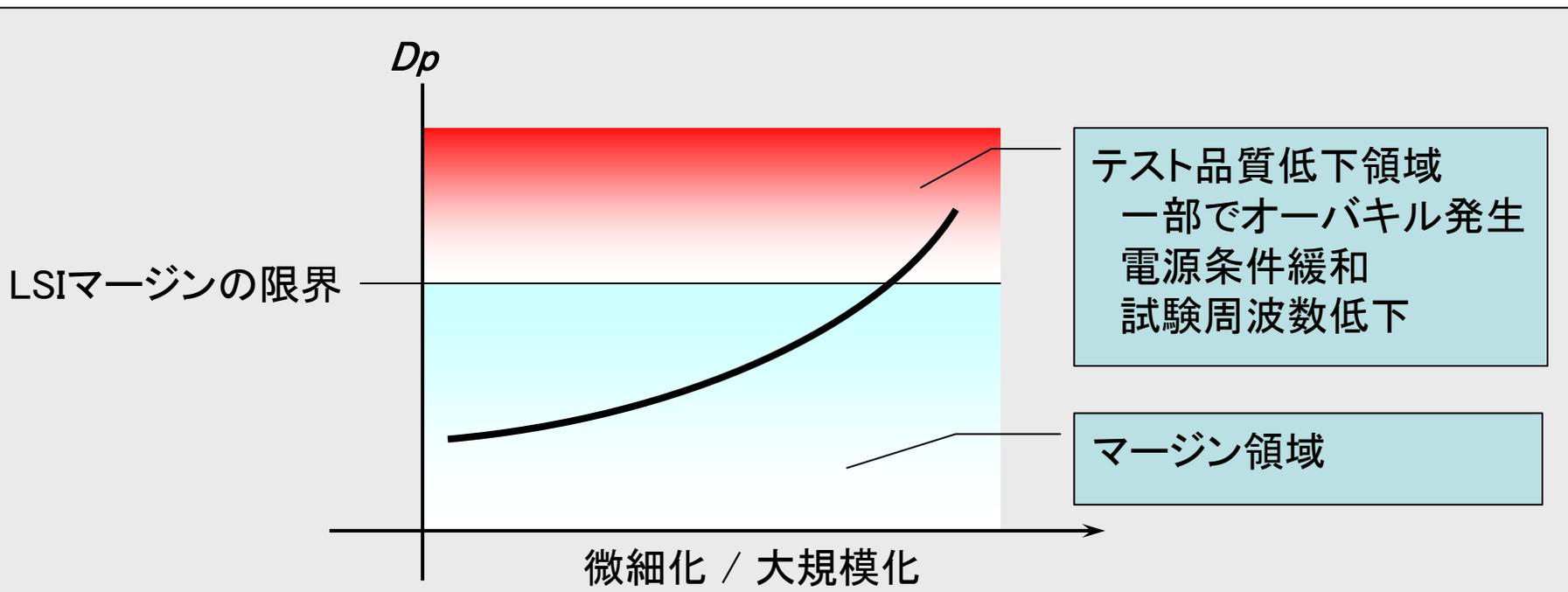


$D_p$ が増大



- ・ 低消費電力設計
- ・ 試験周波数の $U_p$   
(At Speed Test適用)

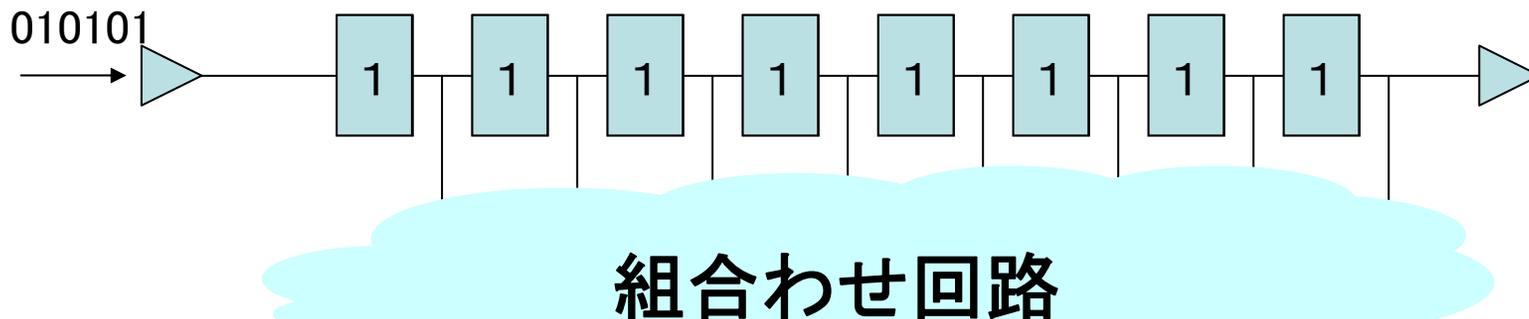
$D_p = \text{システム動作時消費電力/ノイズ} - \text{テスト動作時消費電力/ノイズ}$



# テスト時の消費電力/ノイズ

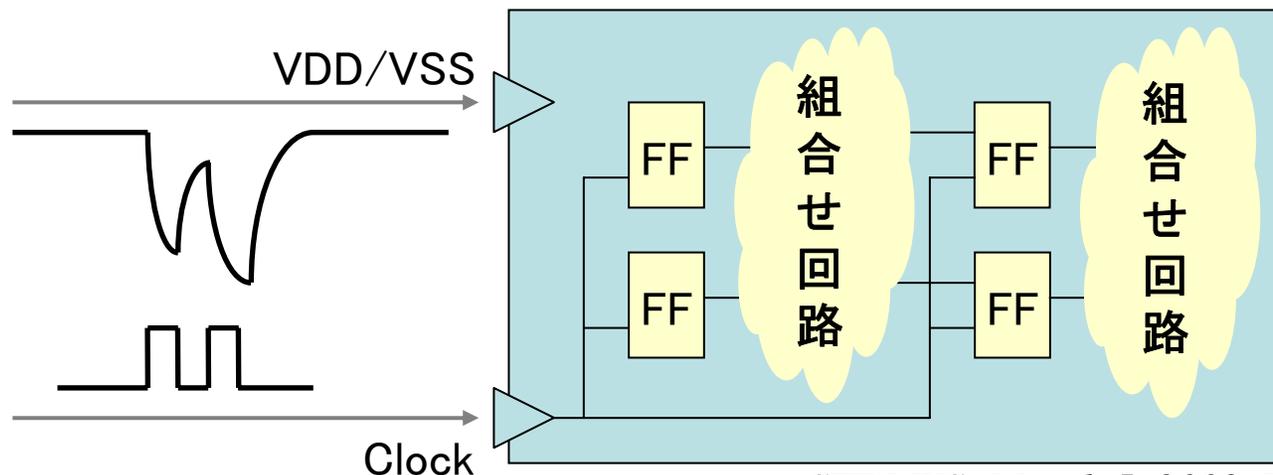
## ●Shift動作時の消費電力

- FFの信号変化によりLSI全体が動作し、消費電力が増加する。



## ●Launch動作時、Capture動作時の消費電力 (at-speedテスト時)

- 一時的なIRDrop (高周波ノイズ)が発生する。



## 現状の対策

	LSI設計対策	テストパターン対策	テスト方法対策
シフト時電力	電源強化 △ (面積コスト増)	トグル低減パターン △ (パターン数増)	シフト周波数低減 LSI内部分割試験 △ (時間増)
キャプチャ時電力	電源強化 △ (面積コスト増)	トグル低減パターン △ (パターン数増)	LSI内部分割試験 △ (時間増)

コスト増を伴わない対策が望まれる

# 低消費電力LSIで使われる素子のテスト

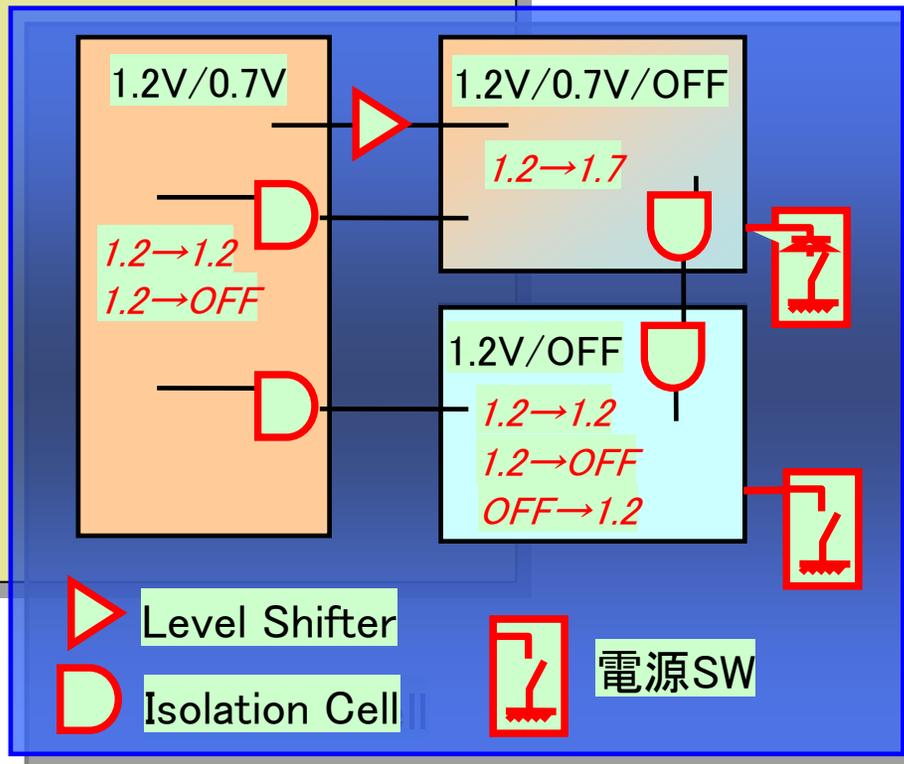
## 低消費電力設計で新たな素子利用が一般化

### 低消費電力設計素子の例

- ・ Isolation Cell
- ・ Level Shifter
- ・ 電源SW

## 現状は各社各様に苦慮

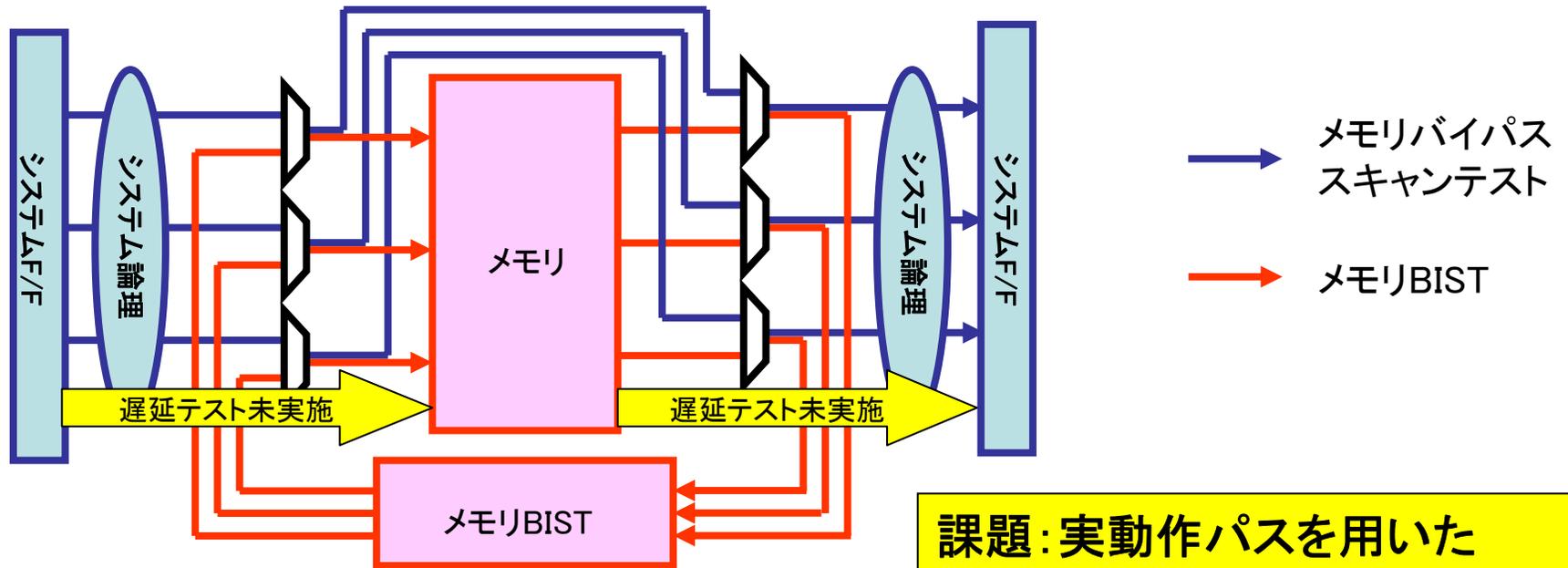
- 設計工数増加
- 不十分なテスト



低消費電力設計素子に対応した

DFT技術と設計環境が必要

## 従来のメモリーロジック間テスト



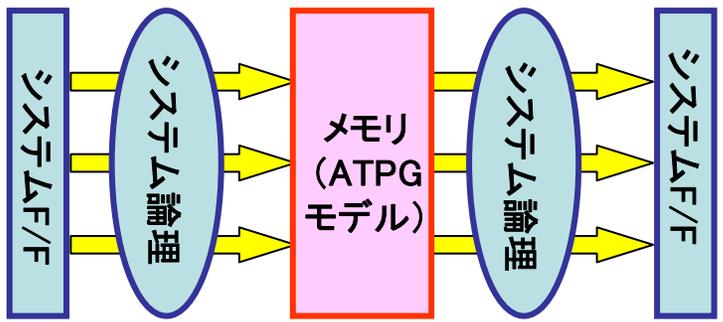
課題: 実動作パスを用いた  
メモリーロジック間の  
遅延テストができていない

- ・ 微細化による遅延故障増加
- ・ 高速化によるタイミングマージンの減少
- ・ 搭載メモリ数増加
- ・ システムのクリティカルパスになりやすい

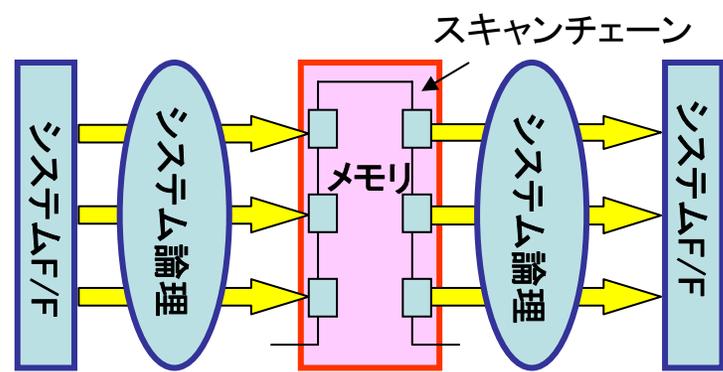
メモリーロジック間の  
遅延テストが重要に

# メモリーロジック間の遅延テスト

現状のロジック～メモリー間の遅延テスト手法



シーケンシャルテスト  
(メモリーを介してのATPG)



メモリー入出力回路のスキャン化

テスト手法	特徴
ファンクションパターン	○システム動作でのテスト ×パターン生成困難
シーケンシャルテスト	○メモリー再設計不要 ×低検出率 ×パターンが長い
メモリー入出力回路のスキャン化	○高検出率 ×メモリーの面積オーバーヘッド大

技術要求 ～更なる開発に期待～

- ・高い遅延故障検出率
- ・小さいパターンサイズ(スキャン圧縮技術適用可能)
- ・小規模回路追加(理想は回路追加なしでシステムと同じ動作)

## 6. まとめと今後の課題

### 1. SiPテストの4つの課題と対応案を検討

- KGD供給によるベアチップ品質の向上  
→新規プローブ技術とWBIによるウェーハテストの実現
- 積層メモリのテスト可能化  
→積層メモリ単体テストとCoCからのテスト手法の確立
- CoC状態でのテスト可能化  
→プロービング上の課題と解決策の提案
- SiP組み立て後のテスト  
→テストエンジンによるSiP標準テスト手法の提案

## 6. まとめと今後の課題(続き)

### 2. SoCテストの4つの課題と対応案を検討

- Power対応テストの実用化

→テスト時の消費電力/ノイズ対応と低消費電力LSIへの対応

- メモリーロジック間のテスト容易化

→小規模DFTによる実動作パスの遅延テスト対応

- クロックドメイン間のテスト容易化(報告書)

→多数の組み合わせの実動作パスへの対応

- アナログテスト・高速IOテスト手法の確立(報告書)

→ATE/BPST/BISTの使い分けによる対応

# 補足資料

# CoC状態でのテスト

CoC状態でのテストが必要となる可能性

- a)CoC後のチップ間のコンタクトの不完全性
- b)CoC接続工程履歴による特性変化
- c)ペアとなるチップの発熱による温度特性変化

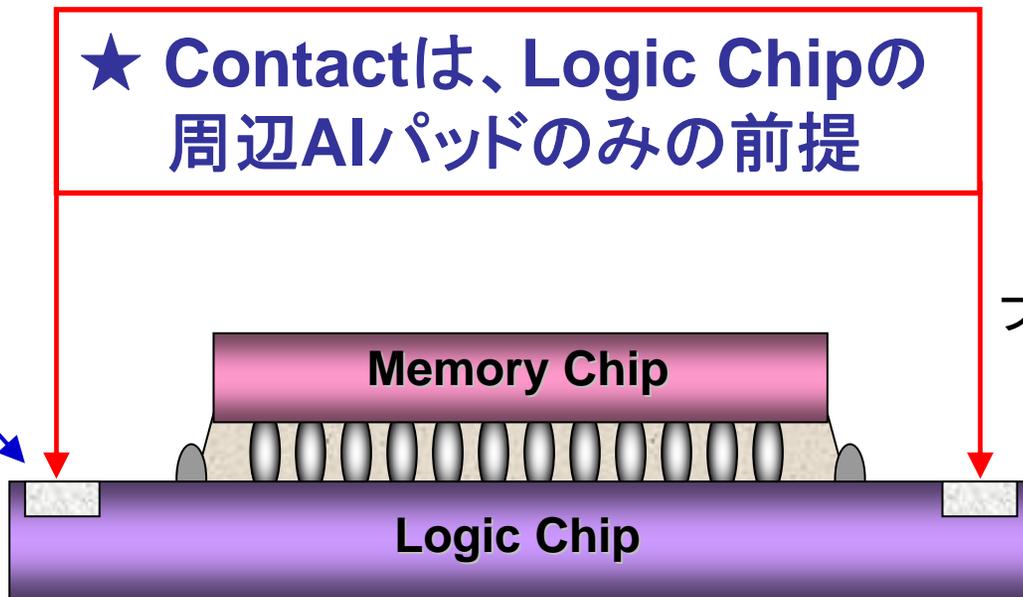
DFTによる対応

- ・バウンダリースキャン回路搭載によりLogic-Memory間のテストを効率・品質良く行う



★ Contactは、Logic Chipの  
周辺AIパッドのみの前提

AI Pad

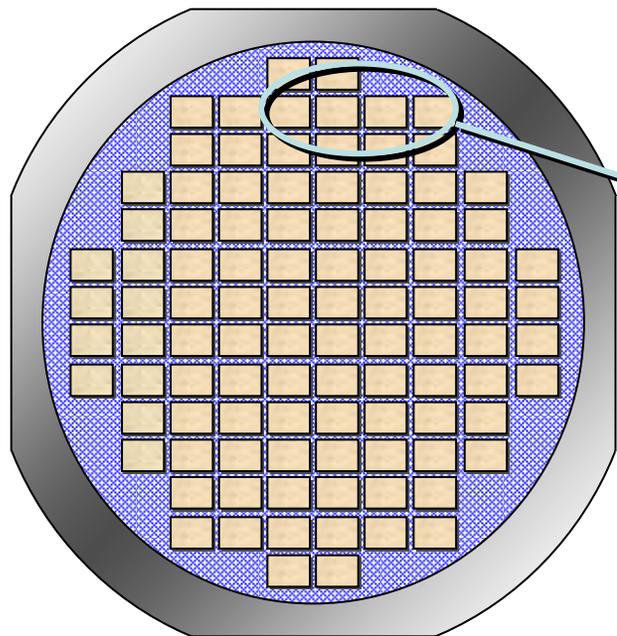


プロービングの手法が課題



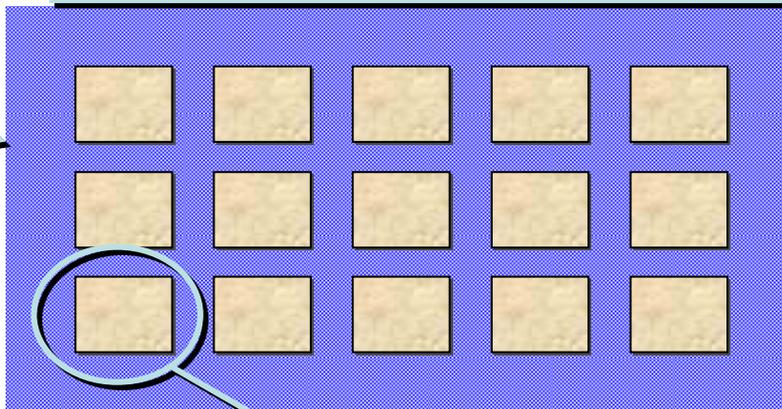
## CoC状態(ダイシングテープ張付)例

チップがダイシングテープ上に再貼り付けされた状態。

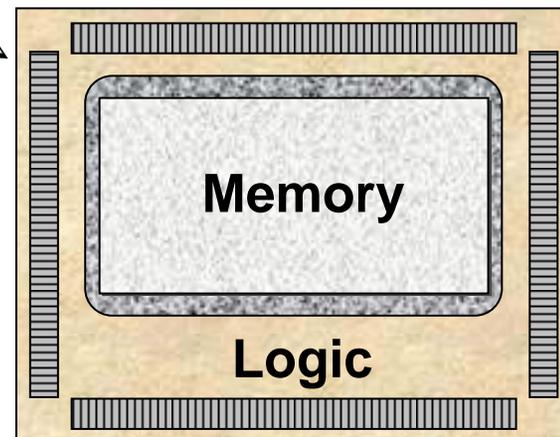


マウンターの位置/ $\theta$ ずれ精度が重要  
ばらつきが小さいことが重要

チップ位置ズレが発生する



★ Logicのパッドにプローブカードで  
コンタクトする

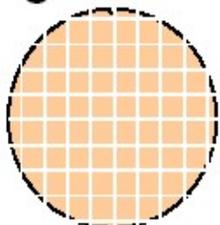


# チッププローバの アライメント 方法

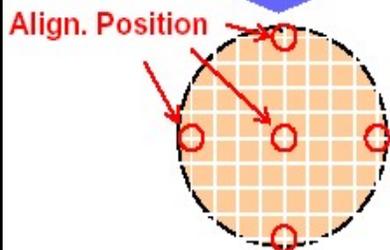
## 【通常のウェーハ】

## 【ダイシングテープ張付状態】

Dicing前  
(Regular Waf.)

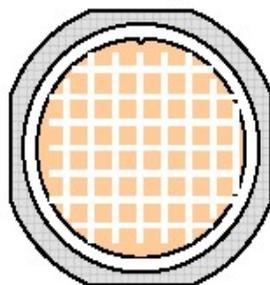


WaferをScaleに  
Stage精度を補正

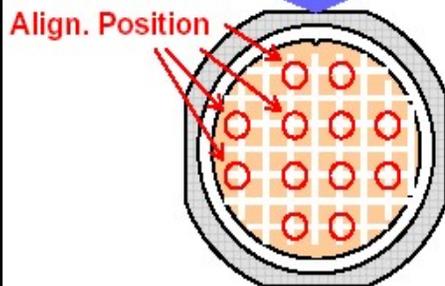


5Point Alignmentにより  
高コンタクト精度を実現

Dicing後



Stage精度補正+Chip/PKG  
ポジション補正が必要

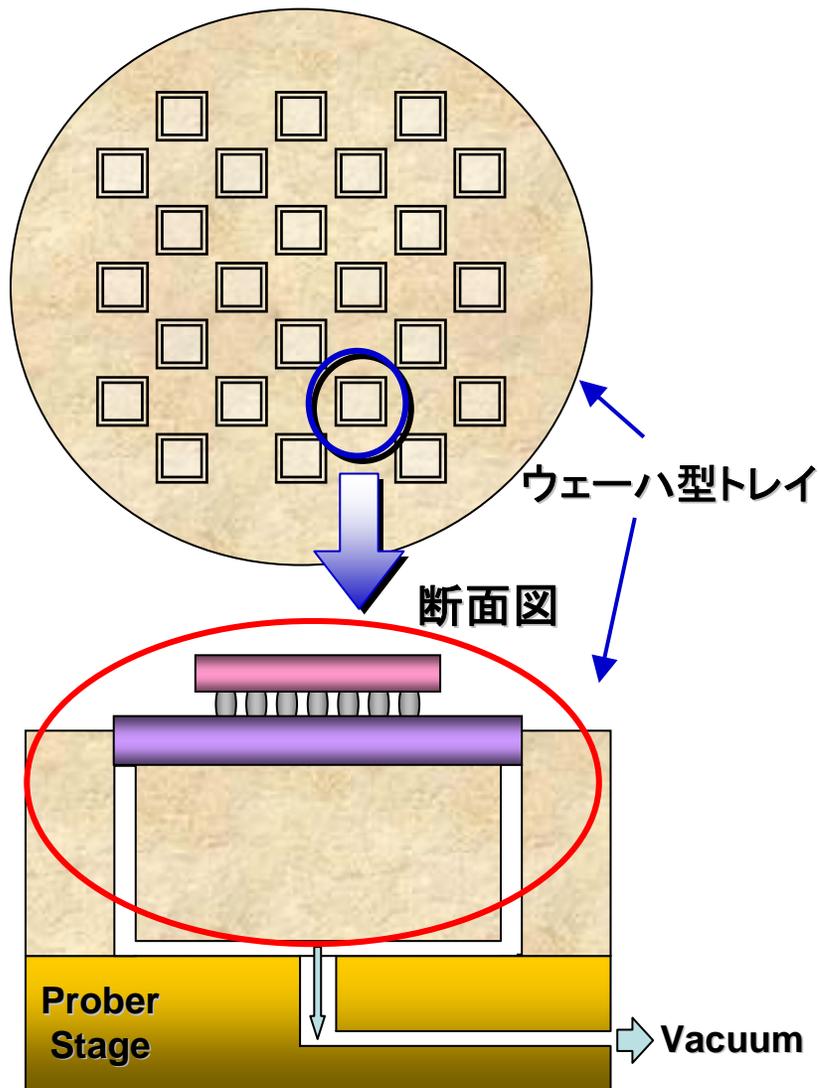


N shot Alignment

- ◆CoC後のチップは、テープに再貼り付けされているため、原則全チップのアライメントが必要
- ◆アライメント時間は  $x, y, \theta$  で約1秒/回
  - ・TAT短縮のためにはマウント時のばらつきを減らすことが重要
- ◆複数個同測は
  - ・パッドサイズ、マウンター精度による

ウェーハ状態でマウントすれば、<図(左右):東京エレクトロン提供>  
アライメントは通常と同じ

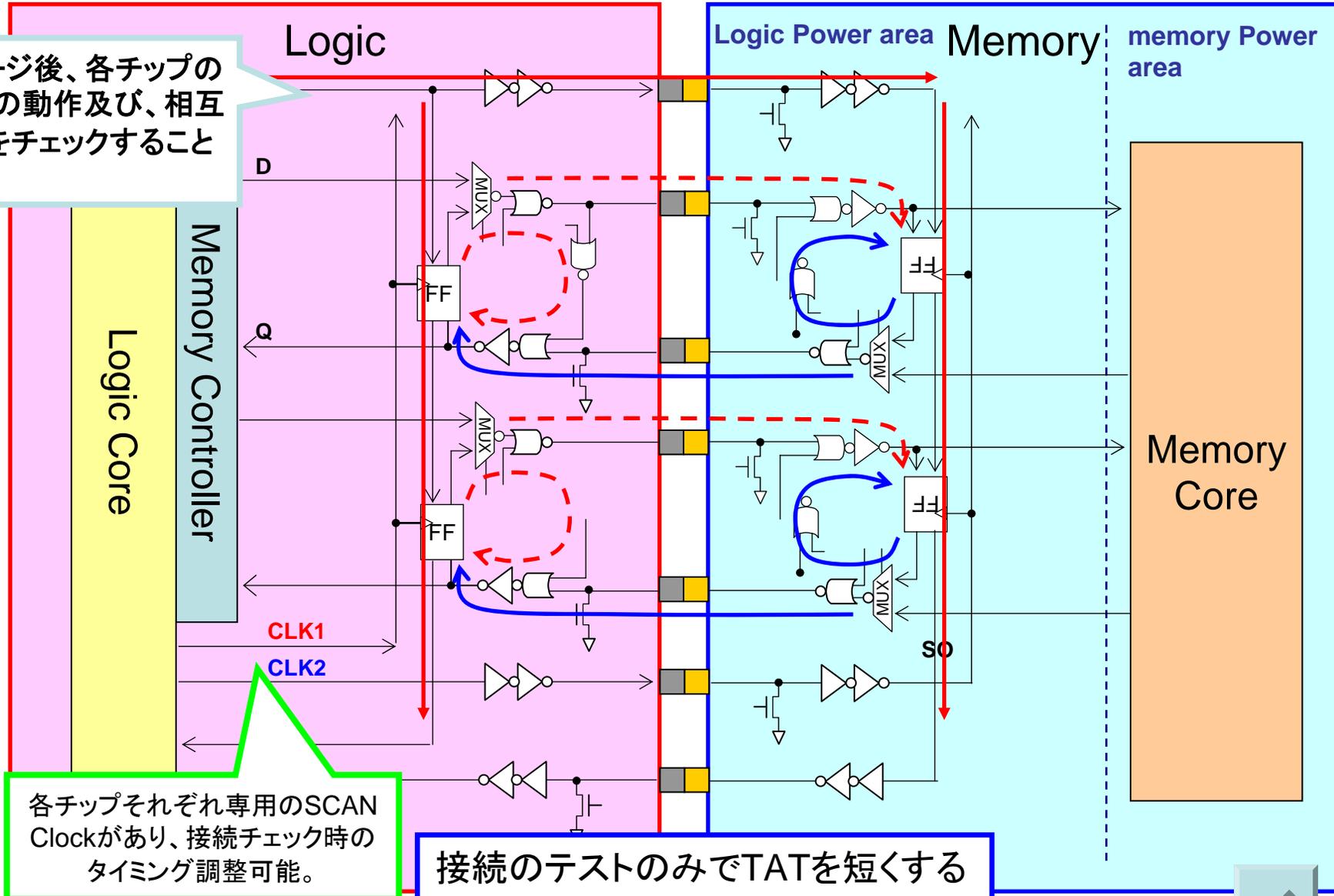
# トレイ方式の概念図



- ◆装置としては、現状の工程で使用されているプローバにて運用可能。
- ◆但し、ステージのVacuum穴位置との関係で、チップを搭載出来る箇所が制限される。このため、トレイあたりの搭載チップ数が制限される。
- ◆トレイの加工精度でチップのX/Y/ $\theta$  位置出しを行う  
(個片チップでの補正要/否は検証が必要)  
アライメントは1チップ毎、TATはトレイの加工精度による。
- ◆トレイの厚さに制限あり
- ◆1個取り対応のみ(位置精度)

# 接続テストDFT設計例 (バウンダリスキャン)

パッケージ後、各チップの I/F回路の動作及び、相互に接続をチェックすることが可能

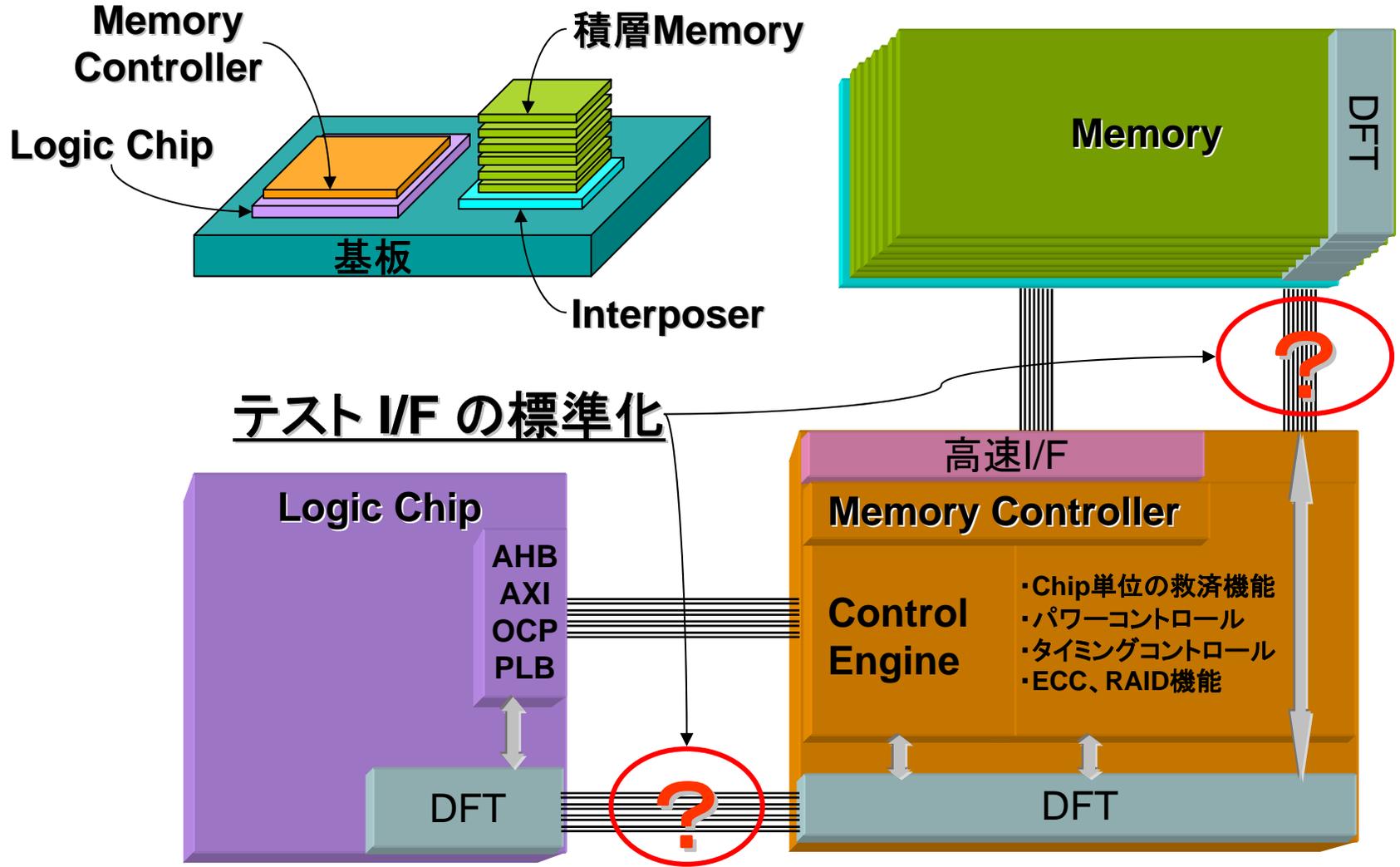


各チップそれぞれ専用のSCAN Clockがあり、接続チェック時のタイミング調整可能。

接続のテストのみでTATを短くする



# CoCから積層メモリのテスト方式(補足)



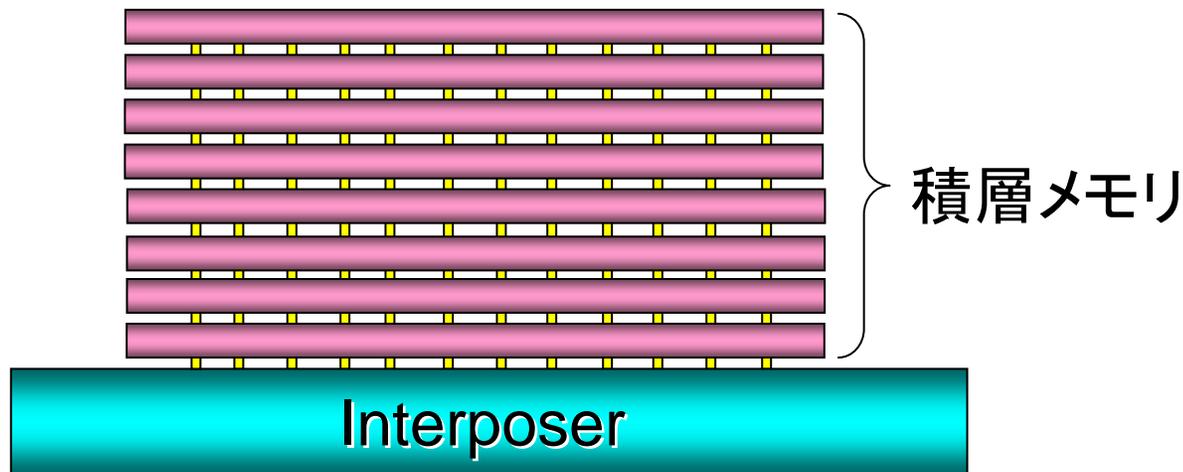
# 積層メモリ単体でのテスト方式(補足)

積層メモリ状態でのテストが必要となる事項。

- 積層後のチップ間のコンタクト(TSV)性の保証。
- 薄膜化/組み立て時のストレスによるメモリ動作保証。
- 熱影響、貫通電極抵抗によるPI/SIの保証。

DFTによる対応

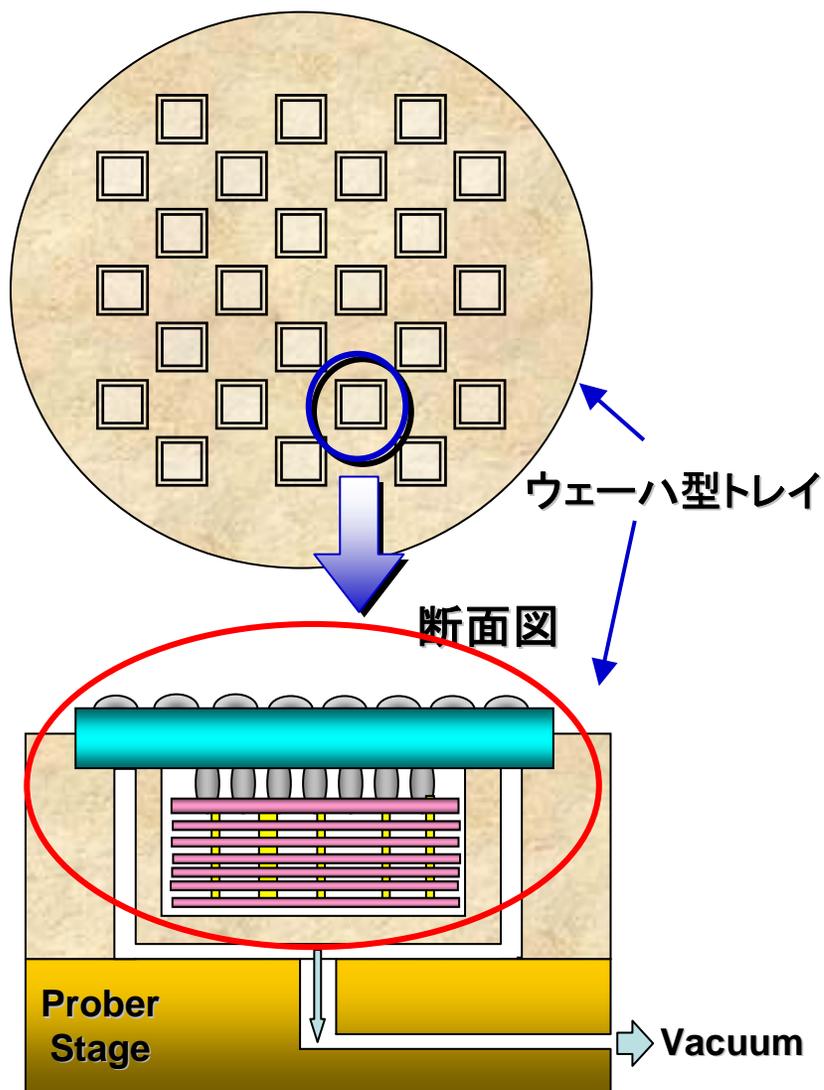
- メモリチップにはBIST(BISR)搭載
- バウンダリースキャン回路搭載によりMemory間のテストを効率・品質良く行う



プロービングの手法が課題

★ Contactは、Interposerの  
Bump前提

## トレイ方式の概念図(積層メモリ)



- ◆装置としては、現状の工程で使用されているプローバにて運用可能。
- ◆但し、ステージのVacuum穴位置との関係で、チップを搭載出来る箇所が制限される。このため、トレイあたりの搭載チップ数が制限される。
- ◆トレイの加工精度でチップのX/Y/ $\theta$ 位置出しを行う(個片チップでの補正要/否は検証が必要)。  
アライメントは1チップ毎、TATはトレイの加工精度による。
- ◆トレイの厚さに制限あり
- ◆1個取り対応のみ(位置精度上)



# 略語・用語説明

DFT: Design for Testability、テストのことを考えた設計

ATE: Automatic Test Equipment、大型テスト他テスト装置全般の呼称

TP: Test Program、大型テストでテストを実行するプログラム

スキャンBIST: スキャンBuilt-In Self-Test、チップ内蔵のスキャン手法のセルフテスト

MBIST: Memory Built-In Self-Test、チップ内蔵のメモリのセルフテスト

BOST: Built-Out Self-Test、テストの計測機能を補完する為にテスト・ボード上に搭載したもの

KTD: Known Tested Die、電氣的テストしたことを保証するダイ

KGD: Known Good Die、信頼性を含めて保証されたダイ

NoC: Network On Chip、ネットワーク機能を搭載したチップ

TSV: Through Silicon Via、シリコン貫通電極

PKG: Package、パッケージ 以下、パッケージの呼称(フルネームのみ記載)

TSOP: Thin Small outline Package

QFP: Quad Flat Package

BGA: Ball Grid Array

FBGA: Fine pitch Ball Grid Array

CSP: Chip Scale Package

CoC: Chip on Chip 複数の半導体チップを1つのパッケージ内部で積み重ねたもの