

ロジック 及び、メモリデバイスの
スケーリングトレンド
～高性能(HP)デバイススケーリングの鈍化

Working Group 6

PIDS(Process Integration, Devices, and Structures)

(株)ルネサステクノロジ

尾田 秀一

March 5, 2009

WG6メンバー

リーダー : 尾田 秀一(ルネサス)
 サブリーダー : 井上 裕文(東芝)
 幹事 : 久本 大(日立)

委員

・Logic : *尾田 秀一(ルネサス) 杉井 寿博(富士通マイクロエレクトロニクス)
 松尾 一郎(パナソニック) 井田 次郎(沖セミコンダクタ)
 今井 清隆(NEC EL) 武田 安弘(三洋)
 田川 幸雄(ソニー) 由上 二郎(Selete)

・Memory : *井上 裕文(東芝) 澤田 静雄(東芝)
 堀 敦(パナソニック) 三富士 道彦(ローム)
 笠井 直記(NEC)

・RF & A/MS for Wireless : *久本 大(日立) 藤沢 雅憲(ローム)
 清田 幸弘(ソニー)

特別委員 : 平本 俊郎(東京大学) 高木 信一(東京大学)
 芝原 健太郎(広島大学) 田中 徹(東北大学)
 吉見 信(SOITEC Asia) 赤坂 泰志(東京エレクトロン)

メンバー人数:22名

WG6スコープ

■ ロジック

- 高性能タイプ(HP)
- 低消費電力タイプ(LOP、LSTP)

■ メモリ

- DRAM
- 不揮発性メモリ (Flash, FeRAM, MRAM, --)

■ ワイヤレス通信用デバイス

- RFトランシーバ、パワーアンプ、ミリ波
- アナログ/ミックスドシグナル

* ITRSではPIDS (Logic & Memory)とWirelessはそれぞれ別のWGとして活動。

技術動向調査

■ 次世代デバイス情報を各分野の専門家の方々からヒアリングし、RM作成に反映

開催	開催日	テーマ	講師
第96回	2008.04.23	ITRS Spring Meeting 報告	ルネサス 尾田 東芝 井上氏
第97回	2008.05.28	High-k/Metal Gate動向 High-k/Metal Gate	Selete 栄森氏 日立 三瀬氏
第98回	2008.07.02	VLSIシンポジウム報告	広島大 芝原先生 TEL 赤坂氏
第99回	2008.07.30	高移動度基板 ERDの最近の動向 ITRS Summer Meeting 報告	東京大 高木先生 東京大 平本先生 ルネサス 尾田、東芝 井上氏
第100回	2008.08.26	FinFET	東芝 齋藤氏
第102回	2008.10.31	ロードマップ雑感	JST 遠藤氏(初代主査)
第103回	2008.11.26	Ge-PMOSFET GOI-MOSFET	NEC EL 竹田氏 富士通研 池田氏
第104回	2008.12.24	Si ナノワイヤー High-k/Metal Gate	東京大 平本先生 ルネサス 門島氏
第105回	2009.01.28	IEDM報告	PIDSからの参加者

■ 講師をいただいた皆様、ご協力ありがとうございました。

本日の内容

■ Logic

- ・2008年度版スケーリングトレンド
高性能(HP)デバイススケーリングの鈍化
- ・2009年度に向けて

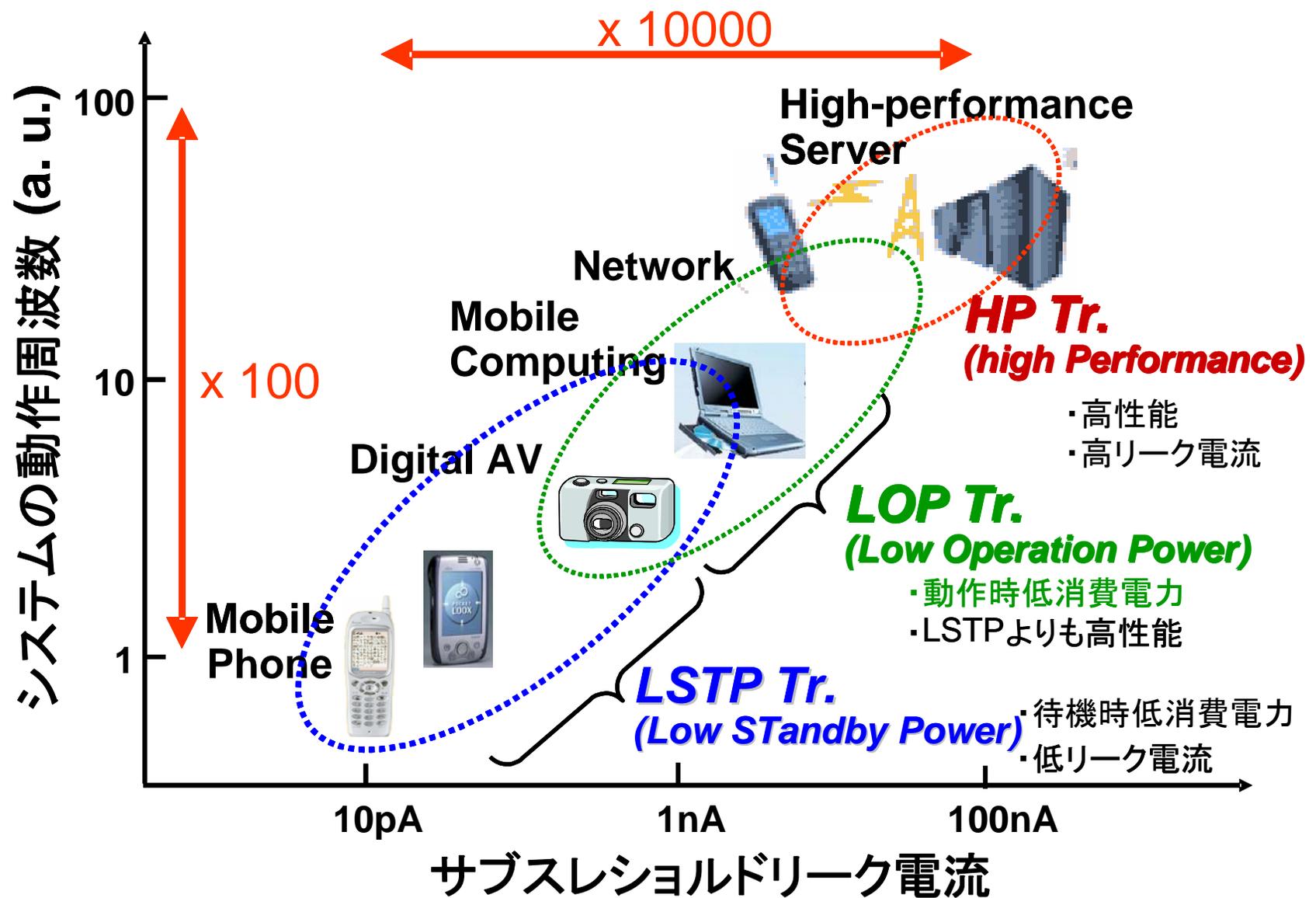
■ Memory

- ・NAND/DRAMのスケーリングトレンド

■ RF & A/MS

- ・RF & A/MSのスケーリングトレンド

ロジック用トランジスタの分類



2008年度版 ロジックスケーリングトレンド

■ HP (High Performance) CMOS

- ・日本PIDSのLgサーベイ結果に基づき、スケーリングを3年遅らせる。
ITRS2007年度版を3年ずらす
- ・High-k/metal gate導入は 2009年 ← 2007年版より1年遅れ
- ・2008年～2010年の3年間は、MASTAR (ITRSのデバイスシミュレータ) で再計算するが、整合性が取れず遅延時間のトレンドには“bump”が発生
- ・完全空乏型SOI、ダブルゲートSOIの導入は、2013年、2015年
← 2007年版より3年、4年遅れ

■ LOP (Low Operation Power) CMOS

- ・スケーリングを2年遅らせる。
- ・High-k/metal gate導入は 2009年 ← 2007年版より1年遅れ
- ・2008年～2010年の3年間は、“bump”が発生
- ・完全空乏型SOI、ダブルゲートSOIの導入は、HPと同時期の 2013年、2015年
← 2007年版より2年、4年遅れ

■ LSTP (Low Standby Power) CMOS

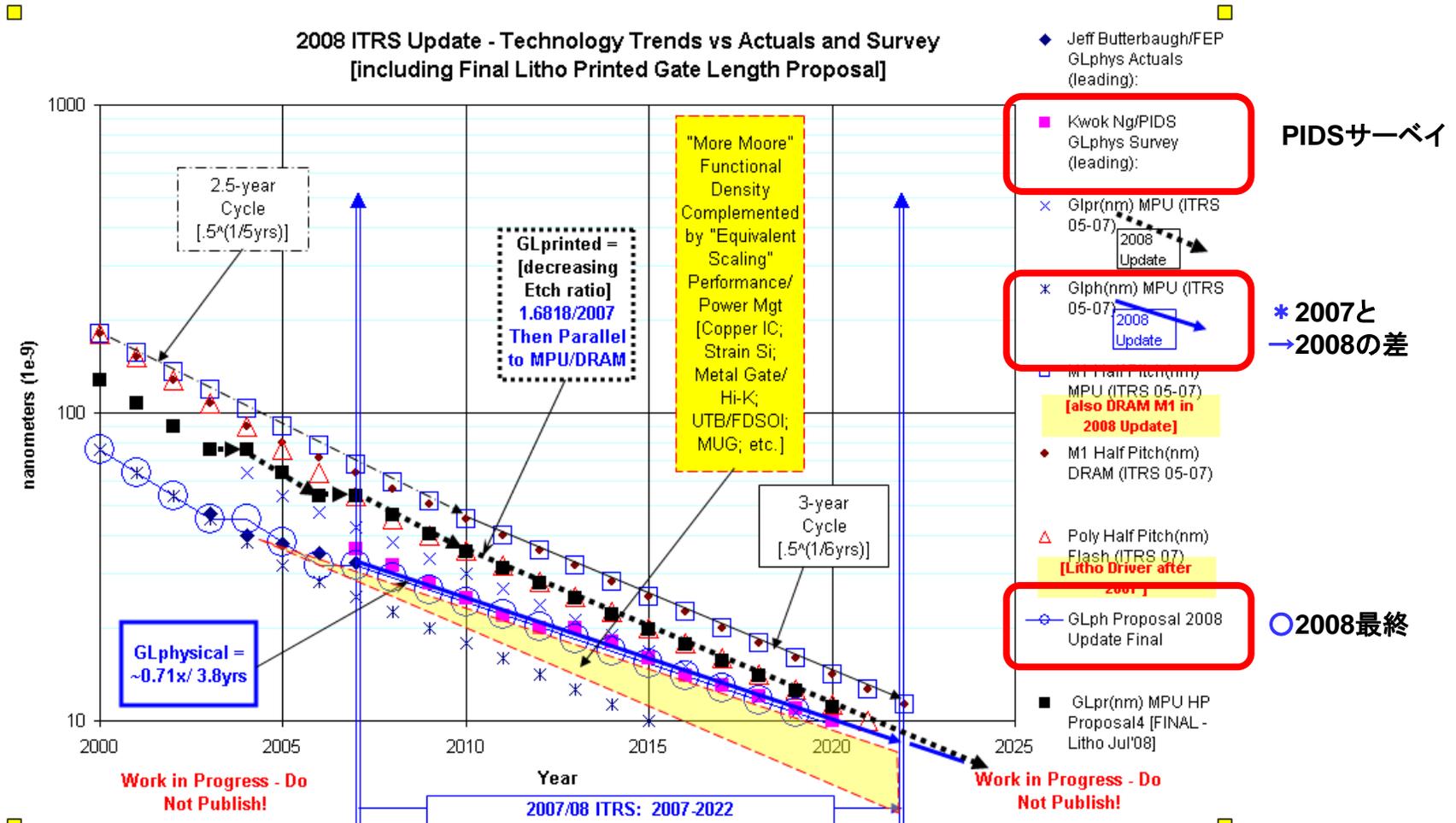
- ・スケーリング変更なし
- ・High-k/metal gate導入は 2008年 ← 2007年版と同じ
- ・電源電圧は、2008年度も1.1V
- ・完全空乏型SOI、ダブルゲートSOIの導入は、HPと同時期の2013年、2015年
← 2007年版より1年、3年遅れ

2008年 ORTC* ロジックゲート長トレンド



*ORTC:Overall Roadmap Technology Characteristics

■ ゲートスケージングの鈍化: Lg=10nmは、2015年から2020年へ



ITRS 2008 update Draft 5

ITRS2008年度版 Update ゲート長とEOT



■ HP CMOS 2007年度版を3年ずらす

	Year of Production	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021
	MPU/ASIC Metal 1 (M1) ½ Pitch (nm) (contacted)	59	52	45	40	36	32	28	25	22	20	18	16	14	13
WAS	L_g : Physical Lgate for High Performance logic (nm) [1]	22	20	18	16	14	13	11	10	9	8	7	6	5.5	5
IS	L_g : Physical Lgate for High Performance logic (nm) [1]	29	27	24	22	20	18	17	15	14	12.8	11.7	10.7	9.7	8.9
	EOT: Equivalent Oxide Thickness [2]														
IS	Extended planar bulk (Å)	12	10	9.5	8.8	7.5	6.5	6	5.3	5					
IS	UTB FD (Å)						7	6.5	6.8	5.5	5	5	5		
IS	DG (Å)								7.7	7	6	6	6	5.9	5.5

■ LOP CMOS 2007年度版を2年ずらす

	Year of Production	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021
WAS	L_g : Physical Lgate for LOP logic (nm) [1]	28	25	22	20	18	16	14	13	11	10	9	8	7	6.5
IS	L_g : Physical Lgate for LOP logic (nm) [1]	32	29	27	24	22	18	17	15	14	12.8	11.7	10.7	9.7	8.9
	EOT: Equivalent Oxide Thickness [2]														
IS	Extended planar bulk (Å)	12	11	10	10	9	8								
IS	UTB FD (Å)						9	8.5	8	8	8	7.3			
IS	DG (Å)								8.5	8	8	8	7.5	7	7

■ LSTP CMOS 変更なし

	Year of Production	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021
IS	L_g : Physical Lgate for LSTP logic (nm) [1] Bulk and DG	38	32	29	27	22	18	17	15	14	12.8	11.7	10.7	9.7	8.9
IS	L_g : Physical Lgate for LSTP logic (nm) [1] UTB FD						20	18	17	16	15				
	EOT: Equivalent Oxide Thickness [2]														
IS	Extended planar bulk (Å)	16	15	14	13	12	11								
IS	UTB FD (Å)						12	11	10	9	8				
IS	DG (Å)								11	11	10	10	9	9	8

MG/HK及びDGの導入時期

- ゲート長スケーリング鈍化に伴い、パラレルパスも調整
- HP, LOP, LSTPともFD SOI、ダブルゲートの導入時期が同じ

		2007	2008	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018
		65			45			32			22		
Gate Stack	HP 2007 Metal/High-k 2008 Metal/High-k		[Timeline bars for HP Gate Stack]										
	LOP 2007 Metal/High-k 2008 Metal/High-k		[Timeline bars for LOP Gate Stack]										
	LSTP 2007 Metal/High-k 2008 Metal/High-k		[Timeline bars for LSTP Gate Stack]										
Transistor Structure	2007 HP Planar Bulk UTB FD SOI Double Gate	[Timeline bars for 2007 HP Transistor Structure]											
	2007 LOP Planar Bulk UTB FD SOI Double Gate	[Timeline bars for 2007 LOP Transistor Structure]											
	2007 LSTP Planar Bulk UTB FD SOI Double Gate	[Timeline bars for 2007 LSTP Transistor Structure]											
	2008 HP/LOP/LSTP Planar Bulk UTB FD SOI Double Gate	[Timeline bars for 2008 HP/LOP/LSTP Transistor Structure]											

UTB FD SOI: Ultra Thin Body Full Depletion SOI

ITRS2009年度版改定項目

- 新しい速度指標として リングオシレータのCV/Iを追加
 - 回路レベルの指標を追加
 - C,Iの新規モデルの検討
 - 新規モデルのMASTARへの組み込み
 - ゲート長のスケーリング鈍化に伴い、遅延速度のスケーリングも年率17%より低下

- Geチャネル、III-Vチャネルの記載を検討する

- 省エネ(eco,CO2削減)の項目検討

CV/I とは

- デバイスのスピードやリングオシレータの遅延時間
- C、V、I の定義が重要
- ITRSでは、NMOSFETのスピード→ 寄生容量も考慮したリングオシレータの回路スピード(遅延時間)を追加

V	C	I	CV/I represents	Max Cir f	
$V_{dd} - V_t$	Intrinsic gate (channel)	I_{on}	Transit time (t_t)	$\ll 1/2t_t ?$	Device
V_{dd}	Intrinsic gate (channel)	I_{on}	$>$ Transit time (t_t)	$\ll 1/2t_t ?$	Device
$V_{dd} - V_t$	Intrinsic gate + gate fringing/parasitic	I_{on}	Cut-off freq (small-sig unity gain) $C/gm = 1/f_t$	$< f_t ?$	Device
V_{dd}	Intrinsic gate + gate fringing/parasitic	I_{on}	τ in ITRS. Rise/fall time	$\ll 1/2\tau ?$	Device
V_{dd}	Both n - & p -MOS gates, + drain cap, + runners	I_{eff}	Ring oscillator delay per stage. Ave charge/discharge time = $CV/2I = t_r$	$\sim 1/2t_r$	Circuit

CMOSでの高精度の容量モデルが必要

I_{eff}
?

N.Kwok, ITRS 2008 Summer Meeting July/15-17,2008

leffの概念

■ Idsat飽和電流(オン電流)に代わる指標

- ・トランジスタの遅延時間と回路レベルの遅延時間との乖離を改善
- ・回路(リングオシレータ)の遅延時間を表記する電流をleffとし、インバータの立ち上がり立ち下がりの電流値の平均で表記する。

リングオシレータ $\tau \equiv \frac{C_{load} V_{DD}}{I_{eff}}$

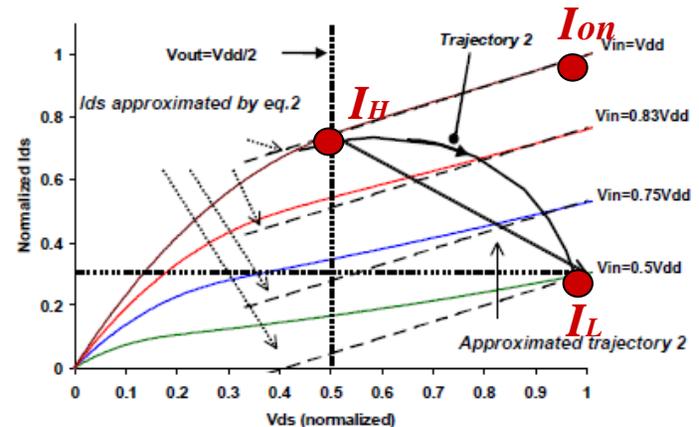
トランジスタ $\tau \equiv \frac{C_g V_{DD}}{I_{on}}$

$$I_{eff} = \left(\frac{1}{2}\right)(I_H + I_L)$$

$$I_H = I_{ds}(V_{GS} = V_{DD}, V_{DS} = \frac{1}{2}V_{DD})$$

$$I_L = I_{ds}(V_{GS} = \frac{1}{2}V_{DD}, V_{DS} = V_{DD})$$

$$I_{on} = I_{ds}(V_{GS} = V_{DS} = V_{DD})$$

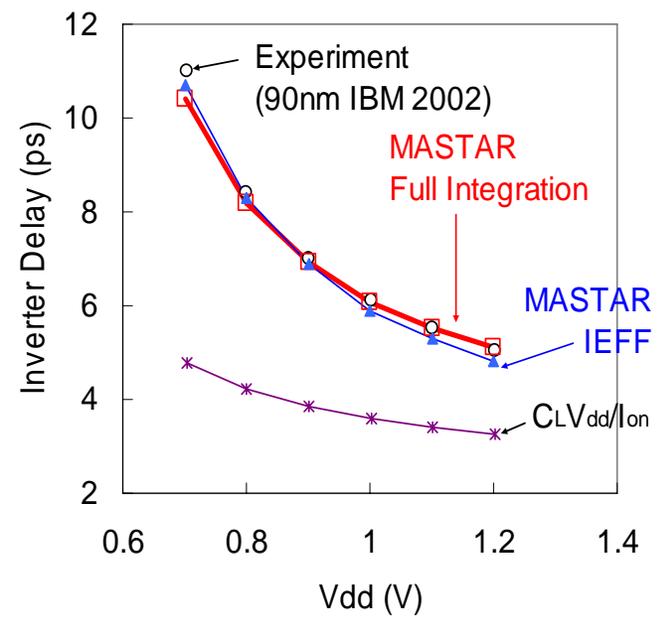
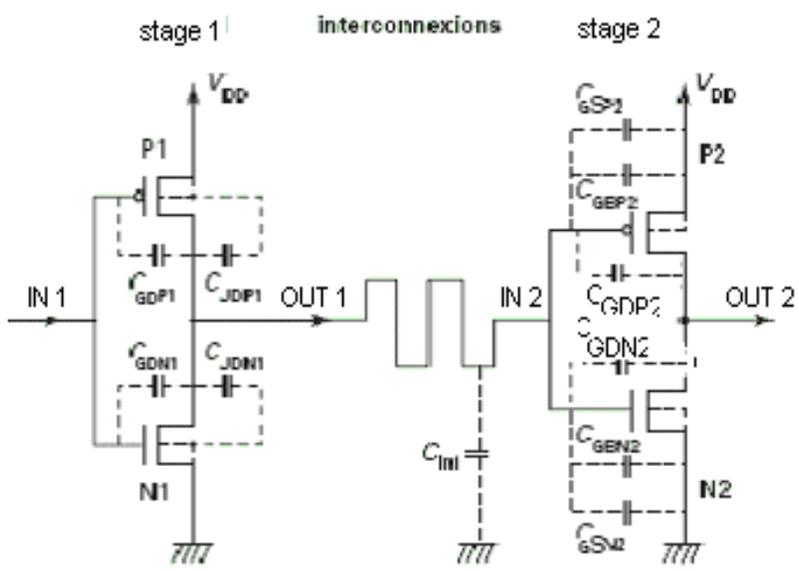


MOSFETのVds-Ids特性とインバータでの出力電流

M.H.Na(IBM),2002 IEDM

リングオシレータのCVI

- 正確なリングオシレータの遅延時間を求めるには、容量Cの高精度な見積もりが必要
- スタンダードセル構造と容量モデルの検討を行い、MASTARに組み込むDesign,FEP,Modelingの各TWGと協力して行う。



$$C_L = \underbrace{(C_{GDP1} + C_{GDN1}) \times 2_{Miller} + C_{jDP1} + C_{jDN1}}_{output\ stage1} + C_{interco} + \underbrace{C_{GSP2} + C_{GBP2} + C_{GDP2} + C_{GDN2} + C_{GBN2} + C_{GSN2}}_{input\ stage2}$$

新材料チャネル III-V、Ge

- 2020年以降はBallistic Enhancement Factorは、1.5を越える値が要求されており、Si以外のチャネル材料が必要となる。
 - チャネル注入速度の向上: Geチャネル、III-Vチャネル
 - 一次元バリステック輸送: nanowire, CNT, graphen
- 韓国大会にて、ERM, ERD, FEP, PIDSの4TWGのクロスカットで方針決定
 - SiGe PMOS with Si NMOS
 - Ge channel & III-V channel: potential solution

Year of Production	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022
Metal 1 1/2 Pitch (nm)	52	45	40	36	32	28	25	22	20	18	16	14	13	11
L_g :(nm)	27	24	22	20	18	17	15	14	12.8	11.7	10.7	9.7	8.9	8.1
Mobility enhancement	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8	1.8
Ballistic Enhancement Factor														
Bulk Planer 2007	1	1	1	1										
UTB FD 2007		1.05	1.1	1.16	1.2	1.24	1.28							
DG 2007			1.17	1.25	1.31	1.37	1.53	1.67	1.87	1.99	1.97	2.11	2.11	2.11
Bulk Planer 2008	1	1	1	1	1	1	1	1						
UTB FD 2008					1.05	1.08	1.13	1.16	1.2	1.25	1.25			
DG 2008							1.21	1.25	1.32	1.35	1.42	1.57	1.67	1.87
Requirement	Quasi-ballistic Transport Vinj enhancement 1-D ballistic Transport													
Innovation	DoubleGate (FinFET) Ge Channel, III-V Channel Nanowire, Carbon based material													

Memory NAND/DRAMのスケーリングトレンド

■ NVM

- ITRS2008に関してはNAND・NOR共に見直し無し
- リソテクノロジードライバ検討(リソWG)
解像度 NAND
合わせズレ DRAM

■ DRAM

- ITRS2008に関しては見直し無し
- ITRS2009に日本のサーベイ結果を反映させる

リソテクノロジードライバ

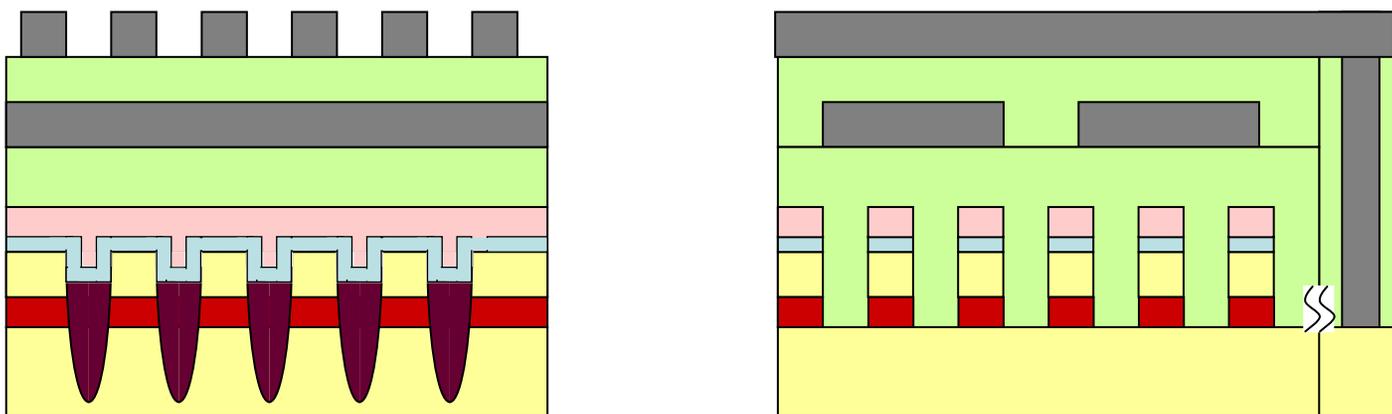
■ リソグラフィにおけるテクノロジードライバの検討

	2006	2007	2008	2009	2010	2011	2012	2013	2014	2015	2016
DRAM 2005ITRS	70	65	57	50	45	40	36	32	28	25	22
NAND 2005ITRS	64	57	51	45	40	36	32	28	25	23	20
NAND 2007	63	51	45	40	36	32	28	25	22	20	17

- NANDのスケーリングはDRAMに対し二年前倒し
- サーベイを実施、3社のからの回答でNANDがリソドライバ
- ドイツ大会('08年Spring Meeting)でリソチームと数値ベースで議論
 解像 NANDがドライバ
 合わせズレ DRAMがドライバ
 LWR(Line Width Roughness) Logicがドライバ
 という結論に至る。

NAND Flash マスク枚数

- YEグループからの歩留計算のためマスク枚数提示の要求に対し、PIDSからメモリ部分のクリティカルパスの枚数とメモリセル断面図を提示し、FEP TWGでマスク枚数を見積もることで合意。2009年度版に反映させる。



Active Area (Line and space w/ Minimum half pitch)

Control Gate (Line and space w/ Minimum half pitch)

Bit line contact (Pitched Contact w/ Minimum half pitch)

Bit Line (Line and space w/ Minimum half pitch)

4 layer (3 line and space layer) critical mask steps will be required for NAND flash process. Therefore, Yield RM use above 4layer(3layer) for yield calculation.

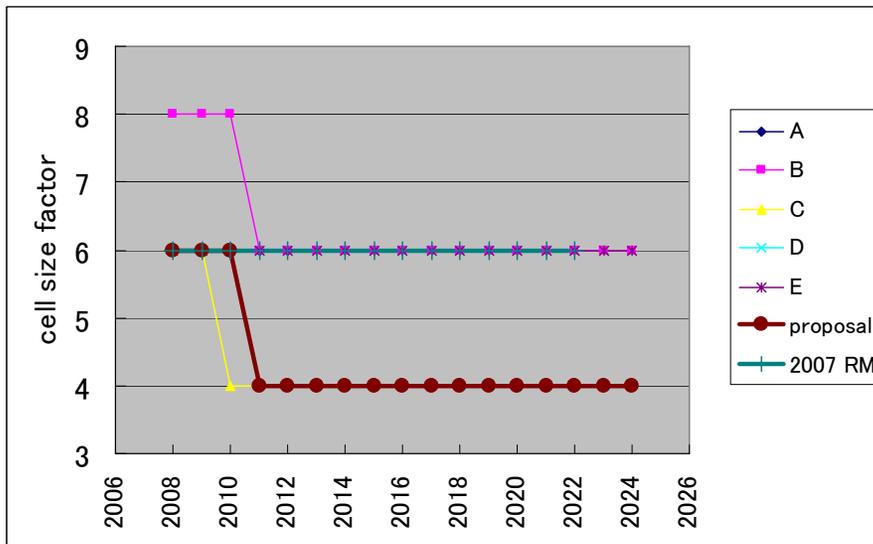
NAND Flash サーベイ状況

- Samsung/Hynix(ST)/Micron(Intel)/Qimonda/Toshibaの五社。最大手の二社からの回答待ち。
- メモリサイズ、High-k IPDなどを調査中。
- 2009年3月のSpring Meetingまでにまとめ、2009年度版に反映させる予定。

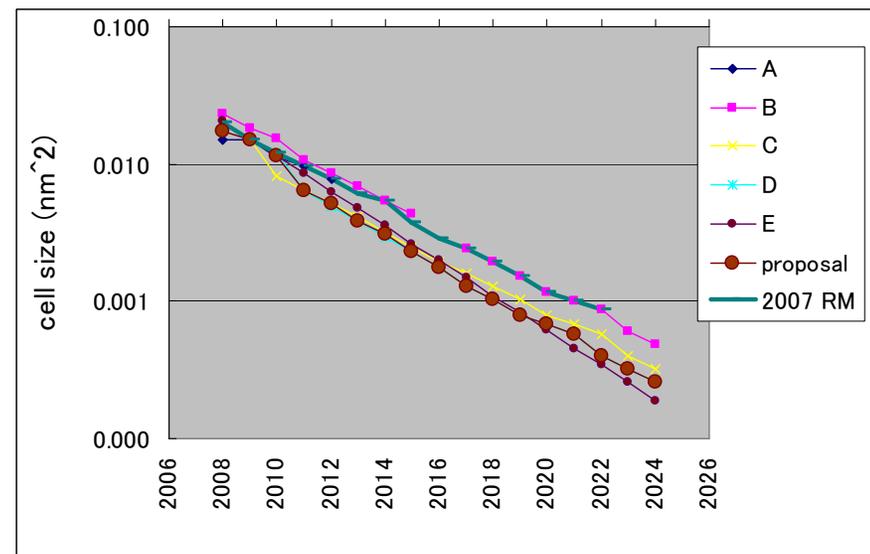
DRAMサーベイ結果 4F2セル

- DRAMメーカー5社にアンケート実施
- 2008年度版のセルアレイ6F2に対して、2社から2010、2011年に4F2の回答。2009年度版には、2011年から4F2として反映させる。2011年の4F2でメモリセルサイズも大幅にサイジング

セルアレイファクター



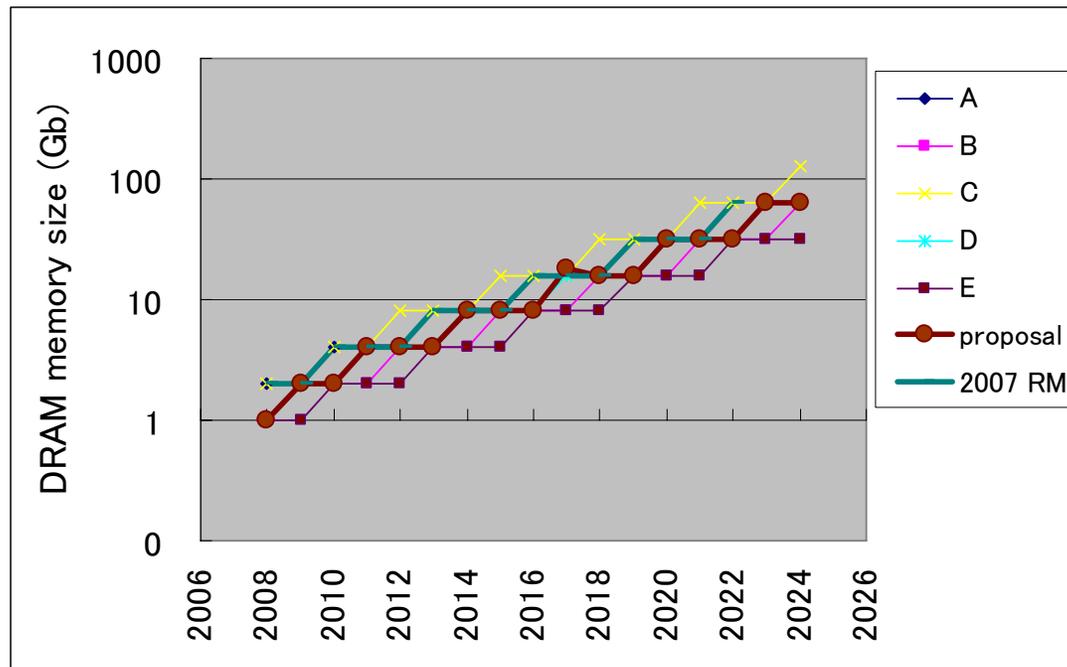
メモリセルサイズ



DRAMサーベイ結果 メモリ容量

- メモリサイズは、2007年度版より、1年遅れで集積化
- 2011年 4Gb DRAM

メモリ容量



2008 ITRS Winter Meeting in Korea Japan PIDS Memory

RF & A/MS HPスケーリング鈍化に伴う見直し

Radio Frequency and Analog/Mixed-Signal Technologies for Wireless Communications

■ 2008年版はマイナー修正

- 修正項目 (1)published dataに合わせ数値見直し
- (2)ORTC, FEP, PIDS Tableの修正に合わせ変更
- (3)market要望に合わせた項目の追加

Year of Production		2007	2008	2009	2010	2011	2012	2013	2014
<i>Performance RF/Analog [1]</i>									
	Supply voltage (V) [2]					1			
<i>Precision Analog/RF Driver [1]</i>									
	Supply voltage (V)	2.5				1.8	1.8	1.8	1.8
	T _{ox} (nm) [10]	5	5	5	3	3	3	3	3
IS	1/f Noise ($\mu\text{V}^2 \cdot \mu\text{m}^2/\text{Hz}$) [4]	1000	1000	1000	360	360	360	360	360
<i>CMOS NFET [1 HP CMOS lag 2 yrs]</i>									
	V _{dd} : Power Supply Voltage (V)	1.1	1.1	1.1	1	1	1	0.95	0.9
	EOT: Equivalent Oxide Thickness (Å)	12	11	11	9	7.5	6.5	5.5	5
IS	L _g : Physical L _{gate} for HP (nm)	53	37	32	29	27	24	22	20
IS	Peak F _r (GHz) [7]					330			
IS	Peak F _{max} (GHz) [8]					410			
IS	NF _{min} (dB) at 24GHz[14]					1.6			
IS	NF _{min} (dB) at 60GHz[14]					3.2			
ADD	NF _{min} (dB) at 94GHz[14]	5.3	4.7	4.5	4.4	4.3	4.1	4.0	3.9

PIDS/LSTPIに
1年遅れ
修正なし

(1)Published
dataに合わせ
見直し

(2)PIDS/HPに2年遅れ
PIDSに合わせ見直し

(3)94GHzに向け
て新項目の追加

RF & A/MS HPスケーリング鈍化に伴う見直し

Radio Frequency and Analog/Mixed-Signal Technologies for Wireless Communications

■ 2009年版に向けた取り組み

■ Overall

- (1) プロトタイプと製品との切り分け
- (2) アプリケーションと技術のマトリックス策定

■ CMOS

- (1) high gain/ high voltageデバイスの追加
- (2) FD/DG導入の影響をレビュー

■ PA

- (1) ICおよびmodule用半導体スイッチの指標を導入

■ MEMS

- (1) MEMSを牽引するアプリケーションの策定
- (2) 設計ツールのRequirementsを明示

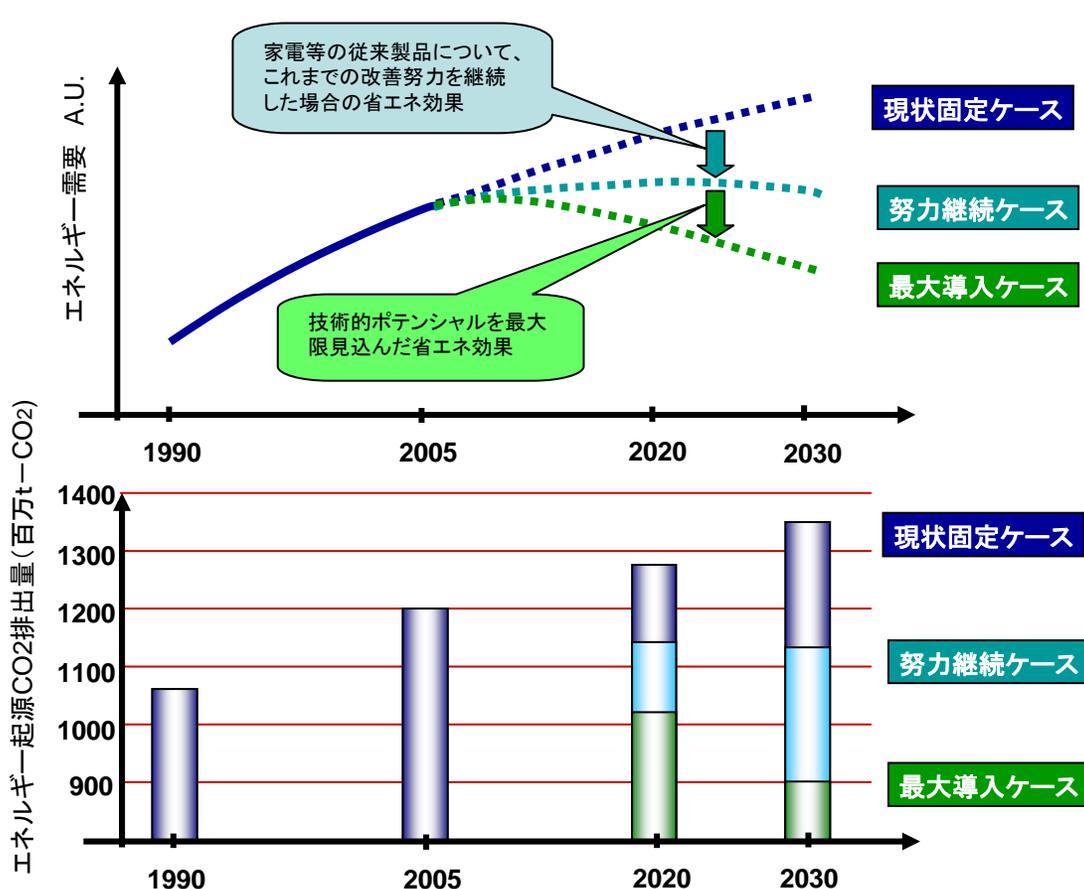
これからのロードマップ

■ 今後は「eco」、「省エネ」、「CO2排出削減」などの社会インフラへの貢献が必要

・2030年度 エネルギー消費効率 30%以上改善

⇒次世代自動車、家電・住宅・建築物が牽引し、**低消費電力の先端半導体技術がサポート**

⇒省エネ効果の高いIT・エレクトロニクス技術の抽出と最大限の利用、ロードマップ作成



現状固定ケース

'05年を基準とし、今後新たなエネルギー技術が導入されず、機器の効率が一定のまま水位した場合を想定

努力継続ケース

トップランナー制度で効率改善を継続している**家電製品、自動車**に加え、**住宅・建築物**にも今後改善努力を継続した場合

最大導入ケース

将来的に期待される市場規模を前提に、技術的ポテンシャルの最大値まで効率改善を見込んだ機器・設備(**次世代自動車、グリーンIT等**)が、**類似機器**の最大普及速度やコスト低減等のデータを勘案し、最速で普及した場合の効果を反映。

出典：経済産業省「長期エネルギー需要見通し」