

モデリング & シミュレーションの 現状と経済的効果

モデリング／シミュレーションWG (WG10)

佐藤 成生

青木 伸俊、國清 辰也、木村 光紀、泉 直希、麻多 進、
海本 博之、林 洋一、藤原 秀二、西尾 修、中村 光利、
小方 誠司、和田 哲典、佐野 伸行、三浦 道子、
大野 隆央、谷口 研二、小谷 教彦

構成メンバー

氏 名	組 織	役 割	主担当領域
佐藤 成生	富士通マイクロエレクトロニクス	主査	Device Modeling
青木 伸俊	東芝	副主査	Front End Process Modeling
國清 辰也	ルネサス	国際対応	Device Modeling
木村 光紀	ソニー	国際対応	Front End Process Modeling
泉 直希	ローム	幹事	Device Modeling
麻多 進	NEC EL	委員	Interconnects
海本 博之	パナソニック	委員	
林 洋一	ローム	委員	Design, Manufacturing Yield
藤原 秀二	三洋	委員	
西尾 修	シャープ	委員	
中村 光利	Selete	コンソーシアム	Numerical Methods
小方 誠司	アルバック	特別委員(SEAJ)	Equipment Modeling
和田 哲典	TCAD-I	特別委員	Design, Manufacturing Yield
佐野 伸行	筑波大	特別委員	Device Modeling
三浦 道子	広島大	特別委員	Circuit Element Modeling
大野 隆央	物質・材料機構	特別委員	Materials Modeling
谷口 研二	阪大	特別委員	
小谷 教彦	広島国際大	特別委員	

主な略語用語

M&S:	Modeling & Simulation
TCAD:	Technology CAD
DFM:	Design For Manufacturing
DFY:	Design For Yield
FEP:	Front End Process
PIDS:	Process Integration, Device, and Structure
LER:	Line Edge Roughness
LWR:	Line Width Roughness
CMC:	Compact Model Council
PD-SOI:	Partially Depleted SOI
DD-SOI:	Dynamic Depletion SOI
MUG-FET:	Multiple Gate FET

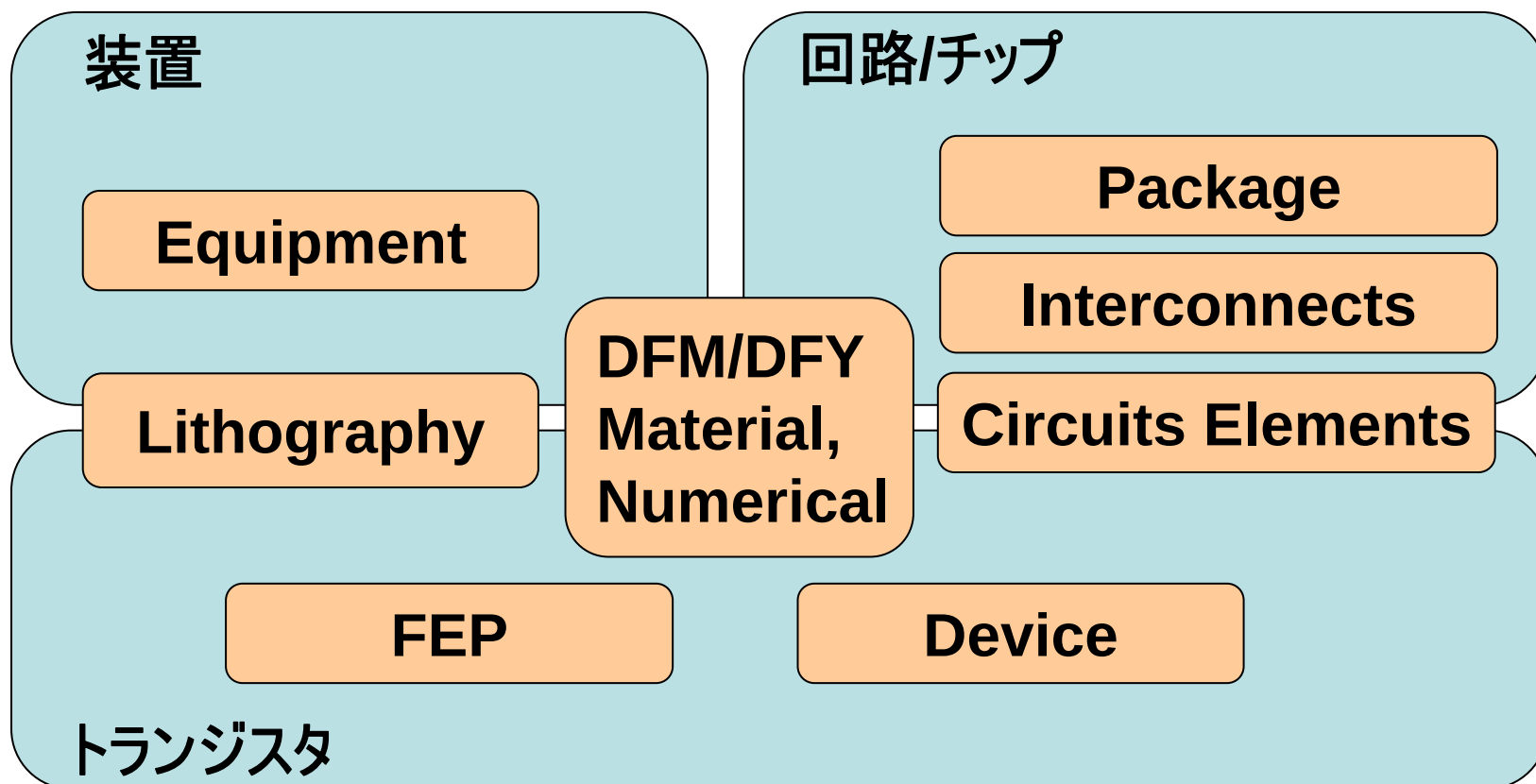
報告内容

1. はじめに
2. 経済的効果のアンケート
3. ITRS 2008年度の修正内容
4. STRJ 2008年度の活動内容
5. まとめ

M&SのScope

Goal: 開発期間・コストを削減するためにテクノロジー開発をサポートする

範囲: 物理化学の基本方程式に基づいたモデリングとシミュレーション



報告内容

1. はじめに
- 2. 経済的効果のアンケート**
3. ITRS 2008年度の修正内容
4. STRJ 2008年度の活動内容
5. まとめ

経済的効果に関するアンケート

対象者： TCADユーザ（TCAD開発者を除く）

実施時期： 2008年5月～6月

回答数： 141件（日本 63件(8社)、欧米韓台 78件）

経緯：

2000年頃： 日本が経済的効果に関する要求値記載を主張
数値的根拠がなく却下される

2002年： 日本国内でアンケート実施

2003年： コスト削減の要求値をロードマップに記載

2004年～： 3極でのアンケートの必要性浮上

経済的効果の要求値

～ アンケート結果 ～

- 経済的効果の実績値は横ばい(絶対値は増えているはず)
- M&Sへの期待は大きい(国内外の認識一致)

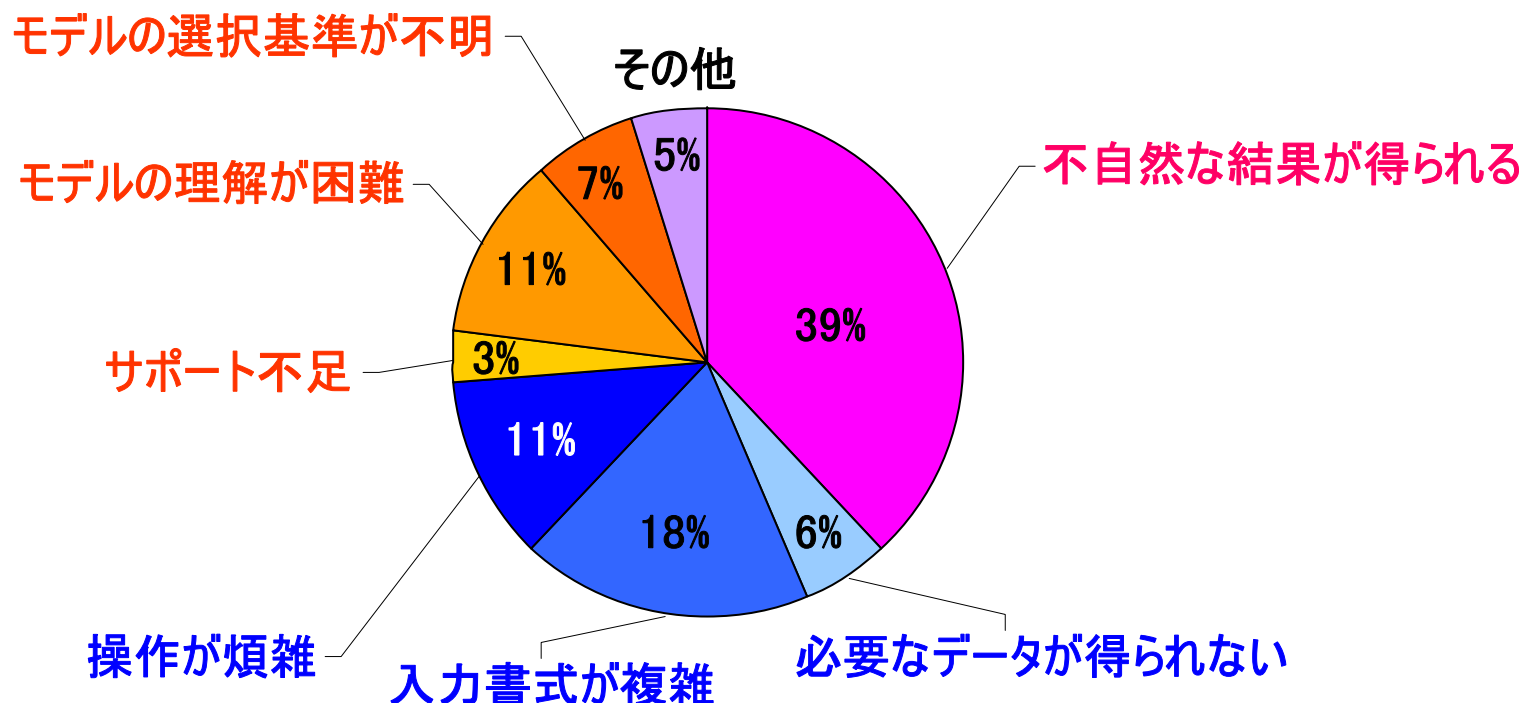
(*) 回答者の成功事例の平均

	2002年(国内)	2008年 (カッコは国内)	
	実績 ^(*) (@2002)	実績 ^(*) (@2008)	期待値 (@2012)
開発コスト削減率	30%	27% (26%)	37% (40%)
開発期間短縮率	26%	30% (27%)	39% (42%)

経済的効果の要求値の実現に向けて

～ M&Sへの不満（国内アンケート分析）～

- M&Sの技術者による精度向上(キャリブレーションを含む)
- サポートを含めた教育、ベンダーによるツールの改良



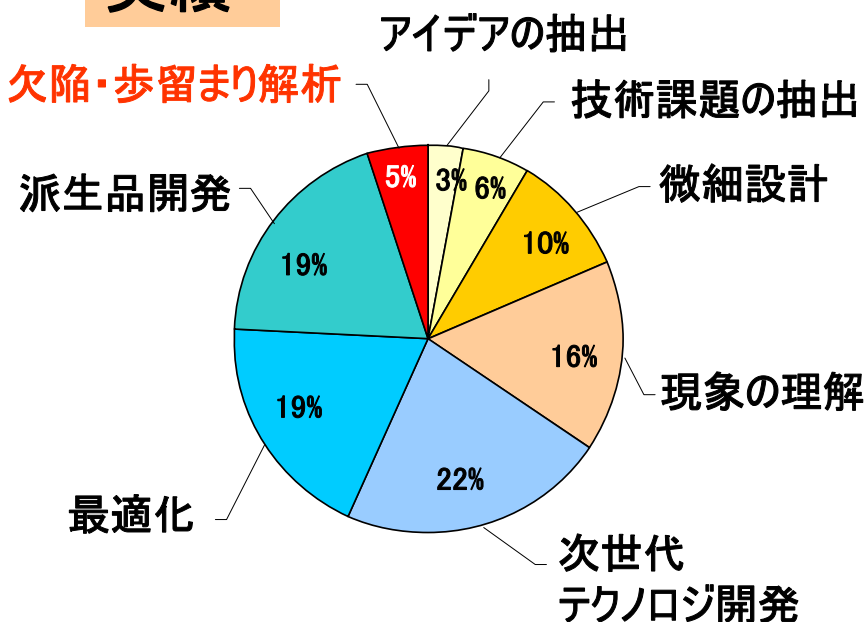
Q. What was your most **disappointing** experience with the use of M&S ? Mention up to 3.

M&Sの注力分野

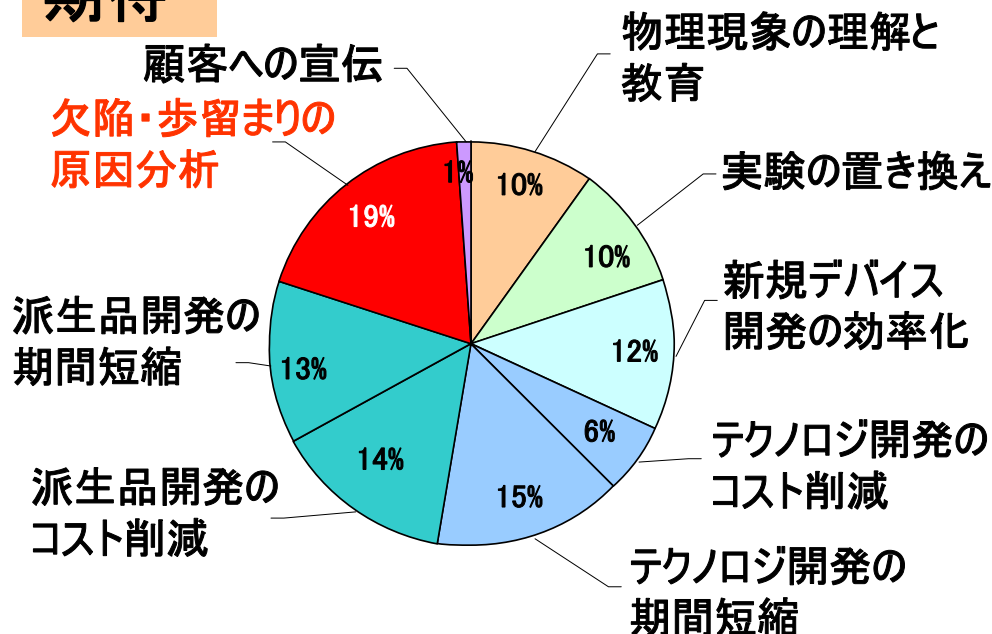
～ 実績と期待（国内アンケート分析）～

- 欠陥・歩留まりの原因解析は実績と期待にギャップあり
- M&Sのバラツキ関連のさらなる技術開発が必要

実績



期待



Q. Of which kind were the **contributions** in the most impressive cases? Mention up to 3.

Q. Please select the 3 most important items you **expect** from M & S.

省エネルギーの効果

～ 国内アンケートの結果より ～

- M&Sは開発および量産段階で省エネに寄与している事例あり
- 最終商品の省エネのために、SRAMのバラツキ制御による低電圧化をサポートするべく、M&Sの利用推進が望まれる

M&Sの使用による効果

(*) 回答者の成功事例の平均

		国内実績 ^(*) (@2008)
開発	試作ウェーハの削減率	27%
	試作実験回数の削減率	28%
量産	歩留まり向上率	13%

報告内容

1. はじめに
2. 経済的効果のアンケート
- 3. ITRS 2008年度の修正内容**
4. STRJ 2008年度の活動内容
5. まとめ

経済的効果の要求値

アンケート結果を元に開発コスト・期間短縮の要求値を修正

	Year of Production	2007	2008	2009	2010	2011	2012	2013 ~
DELETED	Technology development costs reduction potential if TCAD is appropriately used	40%	40%	40%	40%	40%	40%	40%
ADD	Estimated technology development cost reduction from use of TCAD	27%	27%	30%	32%	35%	37%	n.a.
ADD	Estimated technology development time reduction from use of TCAD	30%	30%	32%	34%	37%	39%	n.a.

↑
実績値

↑
期待値

Thermal Modeling for 3D ICs

～ Short Term Difficult Challenge 追加 ～

対象: Through Silicon Via、Thin stacked die

課題: Active deviceへのインパクトの見積り(チップ全体を考慮)

モデル: 3次元の熱的・機械的ストレスを考慮

	<i>Difficult Challenges ≥ 22 nm</i>	<i>Summary of Issues</i>
ADD	Thermal-mechanical-electrical modeling for interconnects and packaging	<u>Thermal modeling for 3D ICs and assessment of modeling tools capable of supporting 3D designs.</u> <u>Thermo-mechanical modeling of Through Silicon Vias and thin stacked dies, and their impact on active device properties (stress, expansion, keepout regions, ...).</u>

Heterogeneous Integration

～ キーワードのみ記載 (詳細検討は2009年に持ち越し) ～

課題: アナログ、デジタル、RF、パッケージの個々に対応するツールはあるが、入出力が独立しているため、データのやりとりが出来ず、総合的な設計・集積ができない。欧州委員が注目。

対応: 各ツールのsyntaxやformatを開示したり、ツール間のデータ変換を推進するべく、ロードマップ・テーブルに追加。

	Year of Production	2007	2008	2009	2010	2011 ~
IS	General requirements on tools					
ADD	<u>Tool interoperability</u>	<u>Documented file formats</u>	<u>Open documented file formats (syntax and semantics), exchangability of data between different tools</u>			

報告内容

1. はじめに
2. 経済的効果のアンケート
3. ITRS 2008年度の修正内容
- 4. STRJ 2008年度の活動内容**
5. まとめ

STRJ活動

ミッション:

将来のモデリングのニーズを調査して、モデリングの研究およびシミュレータの開発の方向性を示し、国内デバイスメーカーの競争力強化に結びつける。

活動履歴:

2005年度: バラツキ解析の実施

2006年度: バラツキ解析のヒアリング

2007年度: 材料モデリングの動向調査

2008年度: 他分野のロードマップ分析

他分野のロードマップ分析

目標：国内独自の課題やシーズを調査して、国内のM&Sの研究・開発に対して提言をまとめると共に、ITRSにもフィードバックする。

	ヒアリング	シーズ調査
Lithography	継続中	実施中
FEP	実施済	実施中
PIDS	－	実施中
Interconnect	2009年度実施予定	
Metrology	2009年度実施予定	
ERD/ERM	2009年度実施予定	

要求事項の分析(FEP)

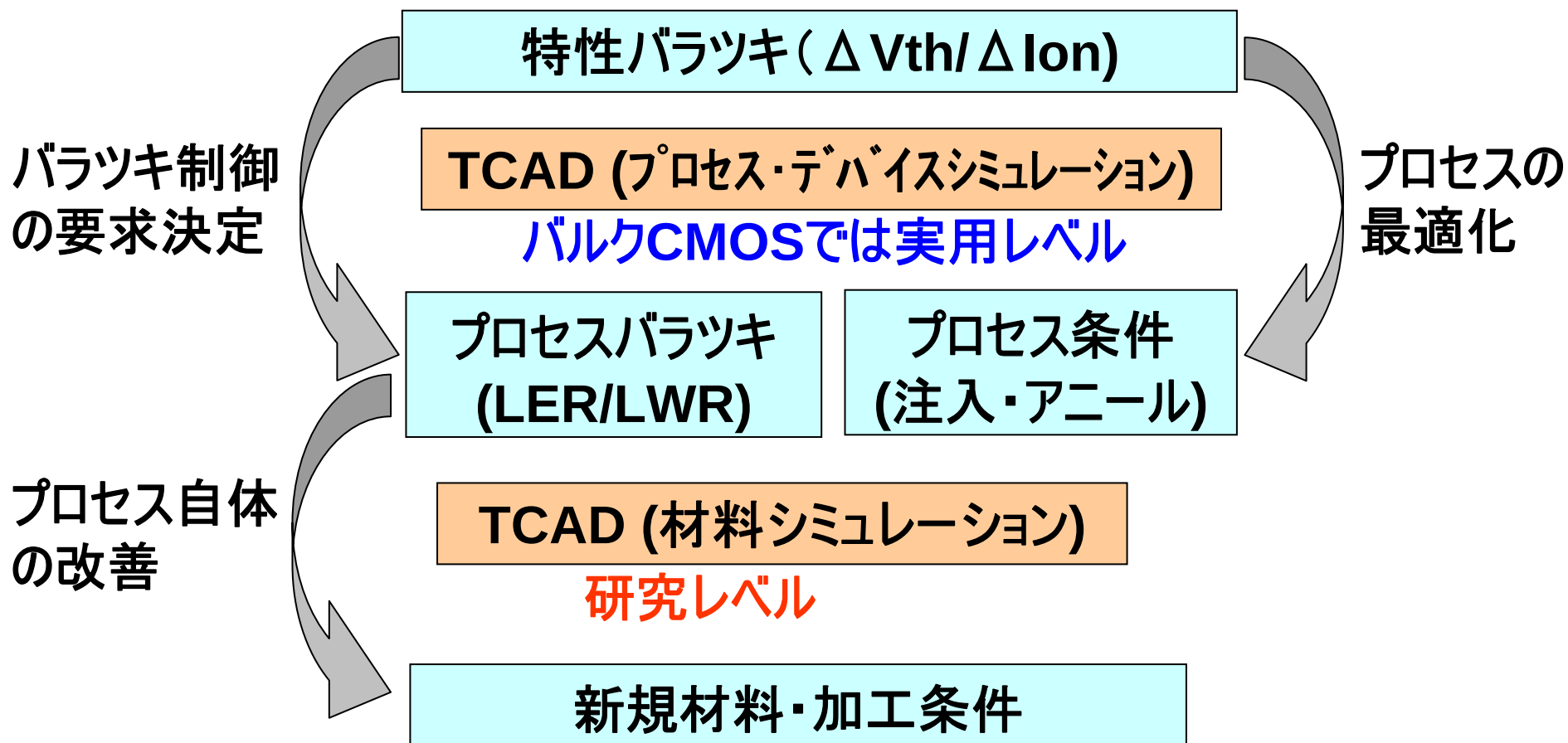
対象デバイス	要 望	現状(課題)
CMOS 全般	バラツキ制御 (LER/LWRを考慮)	プロセス自体の改善困難
ノンクラシカル CMOS	ある程度の材料設計 (第一原理計算)	基本的な系に限定
	デバイスの最適化 (応力を考慮)	ストレスの理解不足
FeRAMなど	エンデュランスの予測	メカニズムの解明

要求事項の分析(PIDS)

対象デバイス	要 望	課 題
CMOS全般	統計的なバラツキの理解	実デバイス特性の再現
	各種劣化現象の理解	実測データに基づくモデリング
ノンクラシカル CMOS	デバイス設計 (界面効果を考慮)	不純物拡散のモデリング
	回路設計 (コンパクトモデル)	実デバイスでの検証

M&Sによるバラツキ制御の現状

～ ランダムバラツキ ～



コンパクトモデルの現状

2007 ITRS PIDS章 CROSS TWG ISSUES:

Non-classical CMOS devices require the development of appropriate compact models to support their introduction.

	標準化委員会(CMC)*			完成度
	選定期間	提案件数	絞込み状況	
PD-SOI DD-SOI	‘08年～09年	4	2	実デバイスで 要検証
MUG-FET	‘09年～	複数機関からの 提案が予想される		基本特性は 検証済み

*<http://www.geia.org/Meeting-Minutes-and-Presentations-from-2007-to-Present>

CMC: Compact Model Council
 PD-SOI: Partially Depleted SOI
 DD-SOI: Dynamic Depletion SOI
 MUG-FET: Multiple Gate FET

報告内容

1. はじめに
2. 経済的効果のアンケート
3. ITRS 2008年度の修正内容
4. STRJ 2008年度の活動内容
5. まとめ

まとめ

- 経済的効果に関するアンケートを実施
- 開発コスト・期間短縮に対する要求は高い
- 短期的にはサポートを含めた教育とツールの改良が必要
- 中期的にはキャリブレーションを含めたモデリングの推進が必要
- 長期的な視点でM&Sの課題とシーズを調査中
- M&Sによるバラツキ制御は期待が高く、さらなる技術進展が望まれる