

計測の潮流

(エコの観点から)

メンバー

河村栄一	(富士通マイクロエレクトロニクス)
山崎裕一郎	(東芝)
染矢篤志	(SONY)
清水澄人	(パナソニック)
本田和広	(日本電子)
水野文夫	(明星大学)
小島勇夫	(産総研)
池野昌彦	(日立ハイテク/ロジーズ)
中川良知	(SIINT)
市川昌和	(東京大学)

内容

- **ITRS 2008 Update**
- **国内活動**
- **インライン計測の動向**
- **エコの観点からの計測を考える！**

2008 Update

Table MET3

Lithography Metrology (Wafer) Technology Requirements

Year of Production	2009	2010	2011	2012	2013	2014	2015
Flash ½ Pitch (nm) (un-contacted Poly)(f)	40	36	32	28	25	22	20
DRAM ½ Pitch (nm) (contacted)	52	45	40	36	32	28	25
MPU/ASIC Metal 1 (M1) ½ Pitch (nm)	52	45	40	36	32	28	25
MPU Printed Gate Length (nm) ††	34	30	27	24	21	19	17
MPU Physical Gate Length (nm) [after etch]	20	18	16	14	13	11	10
MPU Physical Gate Length (nm) [after etch]	27	24	22	20	18	17	15
Wafer minimum Overlay control DRAM single litho tool (nm)	10.3	9.0	8.0	7.1	6.4	5.7	5.1
Wafer overlay output metrology uncertainty (nm, 3 σ)* P/T=.2	2.1	1.8	1.6	1.4	1.3	1.1	1.0
Gate (MPU Physical Gate Length)							
Printed gate CD control (nm)							
Uniformity (variance) is 12% of CD							
Allowed lithography variance = 3/4 total variance of physical gate length *	2.8	2.5	2.3	2.1	1.9	1.7	1.6
Wafer CD metrology tool uncertainty (nm) * 3σ at P/T = 0.2 for isolated printed and physical lines [A]	0.42	0.37	0.33	0.29	0.27	0.23	0.21
Wafer CD metrology tool uncertainty (nm) * 3σ at P/T = 0.2 for isolated printed and physical lines [A]	0.55	0.50	0.46	0.42	0.38	0.35	0.32

Table MET5a

Front End Processes Metrology Technology Requirement

EOT (Extended planar bulk) for High Performance MPU/ASIC for 1.5E20 doped Poly-Si [FEP Table 69]							
EOT (Extended planar bulk) for High Performance MPU/ASIC for 1.0 E20 doped Poly-Si [FEP Table 69]	1						
EOT (FDSOI) High Performance MPU/ASIC for metal gate [FEP Table 69]		0.7	0.6	0.55	0.5	0.5	0.5
EOT (FDSOI) High Performance MPU/ASIC for metal gate [FEP Table 69]					0.7	0.65	0.575
EOT (multi-gate) High Performance MPU/ASIC for metal gate [FEP Table 69]			0.8	0.7	0.6	0.6	0.6
EOT (multi-gate) High Performance MPU/ASIC for metal gate [FEP Table 69]							0.77
Low operating power EOT (bulk) for 1.5E20 doped poly-Si [FEP Table 69]	0.7	0.6	0.5	0.5			
Low operating power EOT (bulk) for 1.5E20 doped poly-Si [FEP Table 69]	1.1	0.7	0.7	0.6	0.5		
Low operating power EOT (multi gate using metal-gate) FEP Table 69			0.9	0.9	0.9	0.8	0.8
Low operating power EOT (multi gate using metal-gate) FEP Table 69					0.9	0.9	0.85
Low operating power EOT (FD-SOI) (metal gate) [FEP Table 69]			0.9	0.9	0.8	0.8	0.8
Low operating power EOT (FD-SOI) (metal gate) [FEP Table 69]					0.9	0.85	0.8

Table MET6

Interconnect Metrology Technology Requirements

Measurement of deposited barrier layer at thickness (nm)	3.7	3.3	2.9	2.6	2.4	2.1	1.9
Process range (± 3 σ)	10%	10%	10%	10%	10%	10%	10%
Precision σs (nm) for P/T=0.1 [B]	0.037	0.033	0.029	0.026	0.024	0.021	0.019
Detection of post deposition and anneal process voids at or exceeding listed size (nm) when these voids constitute 1% or more of total metal level conductor volume of copper lines and vias.	5	4.5	4	3.5	3.2	2.8	2.5
Detection of killer pore in ILD at (nm) size	5	4.5	4	3.5	3.2	2.8	2.5

国内活動

ヒアリング

- ・ インライン計測が半導体ユーザの関心事なため、電頭が昨年に引き続き中心であった

クロスカット

- ・ ERD/ERM からの空間分解能要求もあり、収差補正+TEM, STEMの現状を再レビュー
- ・ $Li+h$ から2重露光に関しての2母集団の同時計測（3次元）要求有り。マスクの微小領域の計測要求有り。

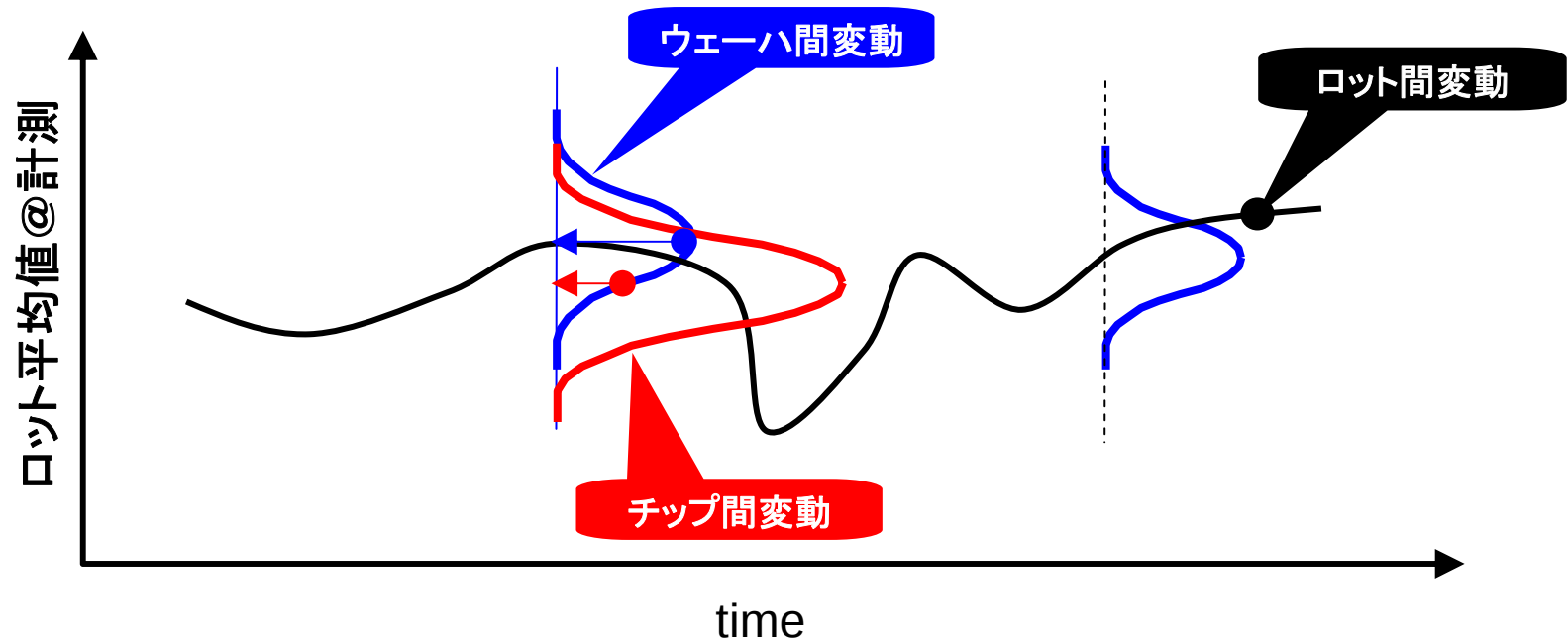
その他

- ・ 2009年度はX-rayにフォーカス（予定）

計測におけるエコとは？

1. 計測機の製造にともなうエネルギーコスト、ランニングコストの抑制（ベンダー側）
 2. 計測サンプリングの適正化による歩留まり（欠陥歩留まり、特性歩留まり）の向上 ⇒ 減耗ウェーハ、チップの抑制
 - 2-1. 最適サンプリングによるParametricな制御精度（for APC）の向上 ⇒ 特性歩留まりの向上。Process Compact Modelの活用によるfeed forward制御の活用（複数工程間連携のAPC）
 - 2-2. 装置起因のExcursionの抑制による歩留まり向上と、計測サンプリングの抑制(FDC) ⇒ 装置情報（log）とテスター情報 and/or Actual Metrology情報との相関
 - 2-3. Virtual metrologyの活用 ⇒ 装置情報（センサー情報 and/or log）とActual metrologyとの相関探索 ⇒ 最終的にプロセス装置へfeedback
 - 2-4. Simulation予測による製造のSystematic error（defects：hot spot）の抑制による歩留まり向上と、計測サンプリングの抑制
 - 2-5. 欠陥reviewの重み付けsampling（filtering）による効率化
- *計測情報の活かし方（特性歩留まり、欠陥歩留まり）が重要！**

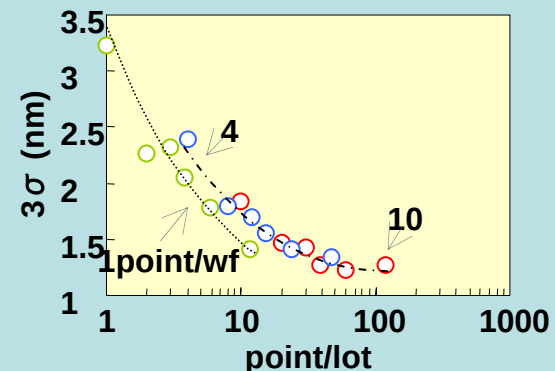
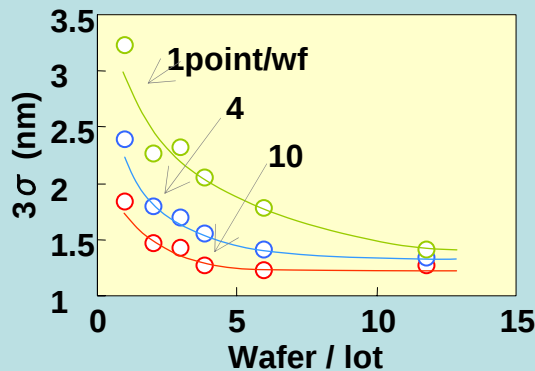
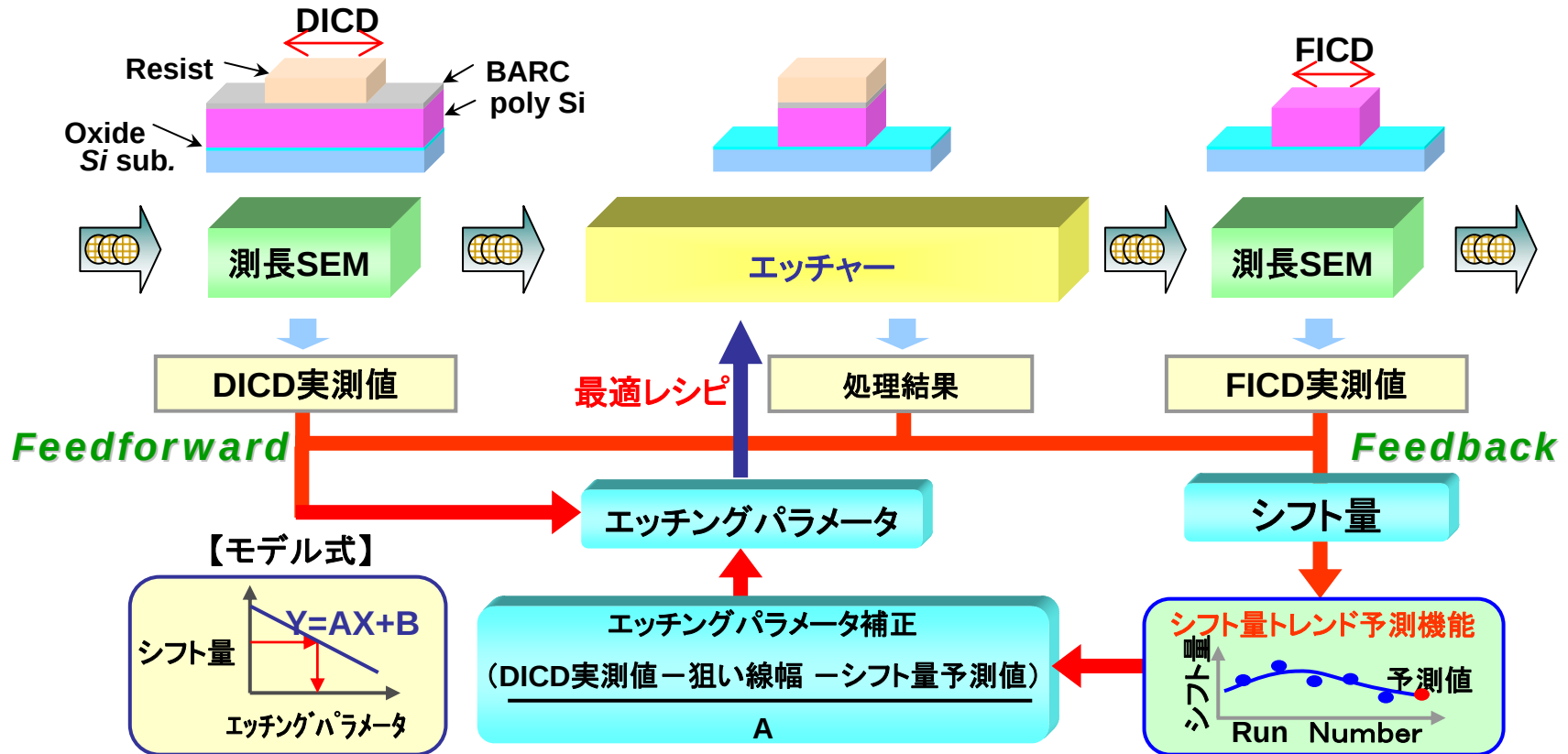
計測のサンプリング



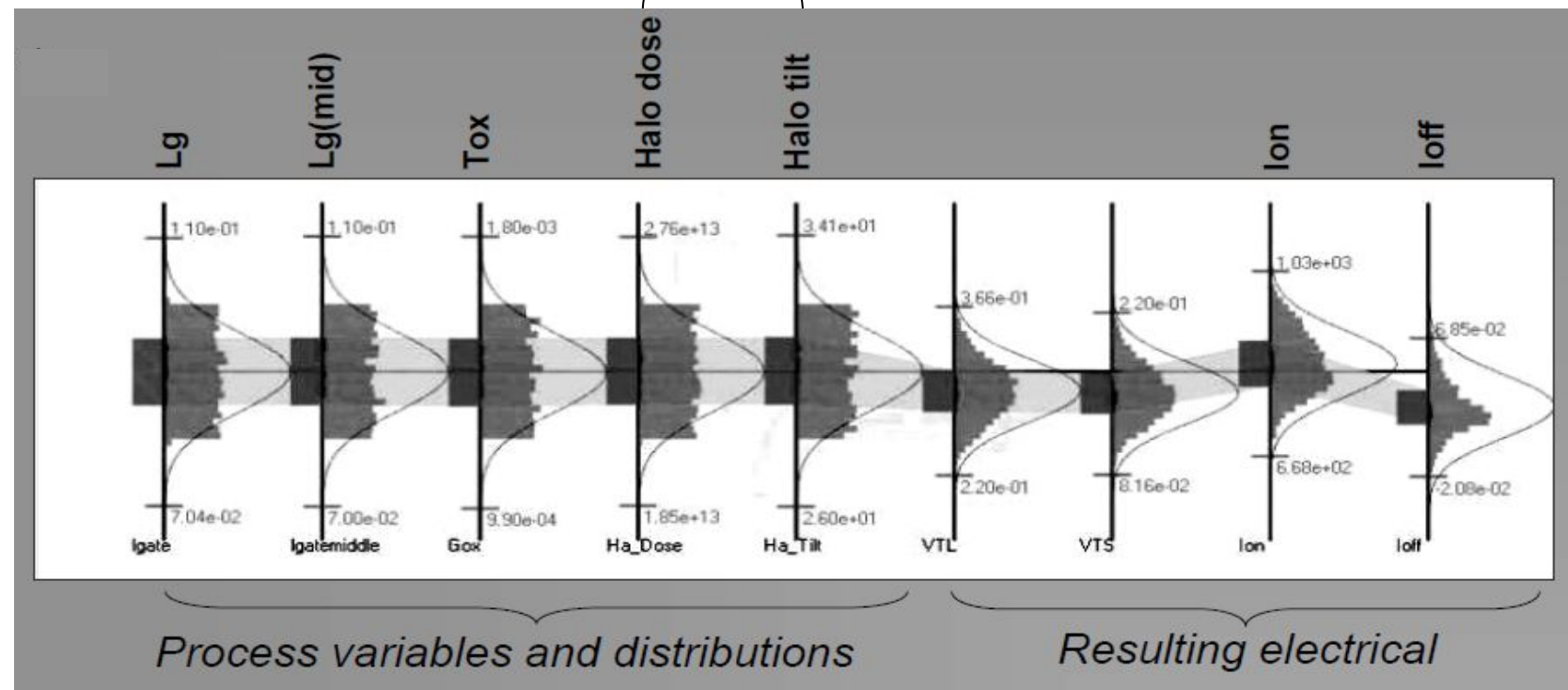
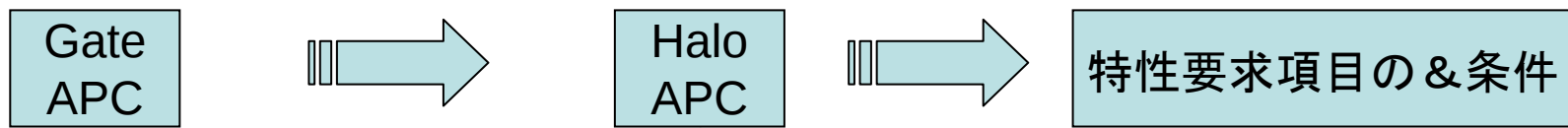
$$\sigma_{chip-all}^2 = \sigma_{inter-lot}^2 + \sigma_{inter-wafer}^2 + \sigma_{inter-chip}^2$$

デバイスのスケーリングはプロセスバラツキのスケーリングであり、同時に計測精度のスケーリングである。枚葉制御も32 nm node以降critical layerで必然性になると予想される。Criticalで無い場合。あるいはcriticalの度合い、およびプロセス変動の時間軸の変化に対応したsamplingが効率的

2-1: サンプルリング数と予測精度の関係



Process Compact Modelを元にした Feed Forward model (based on TCAD)

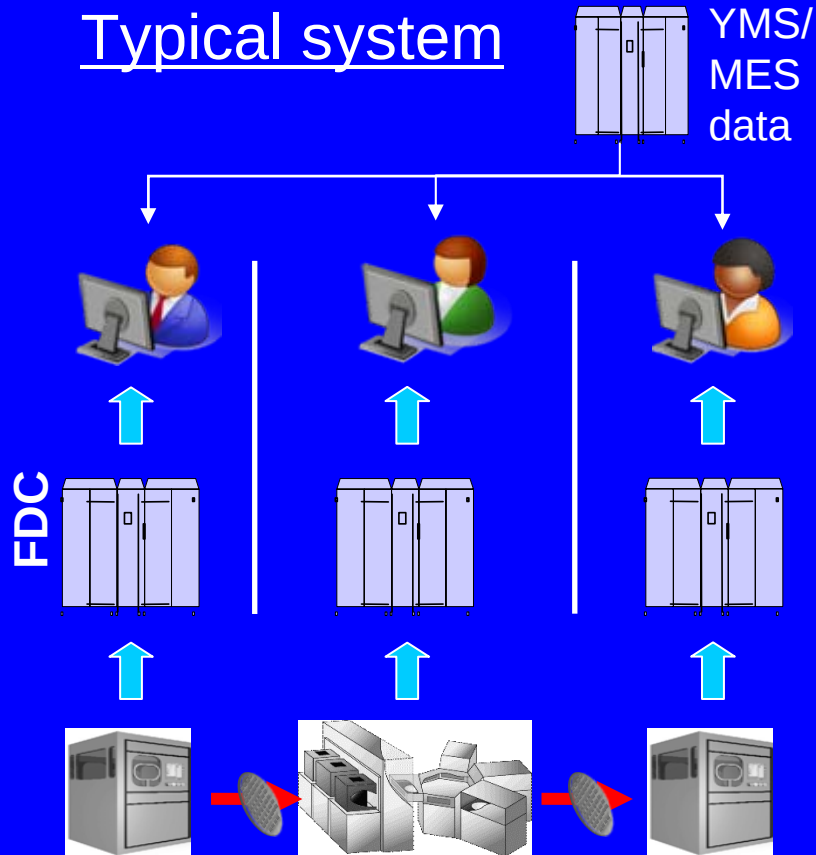


TCDAのキャリアレーションが重要！

提供: Synopsis

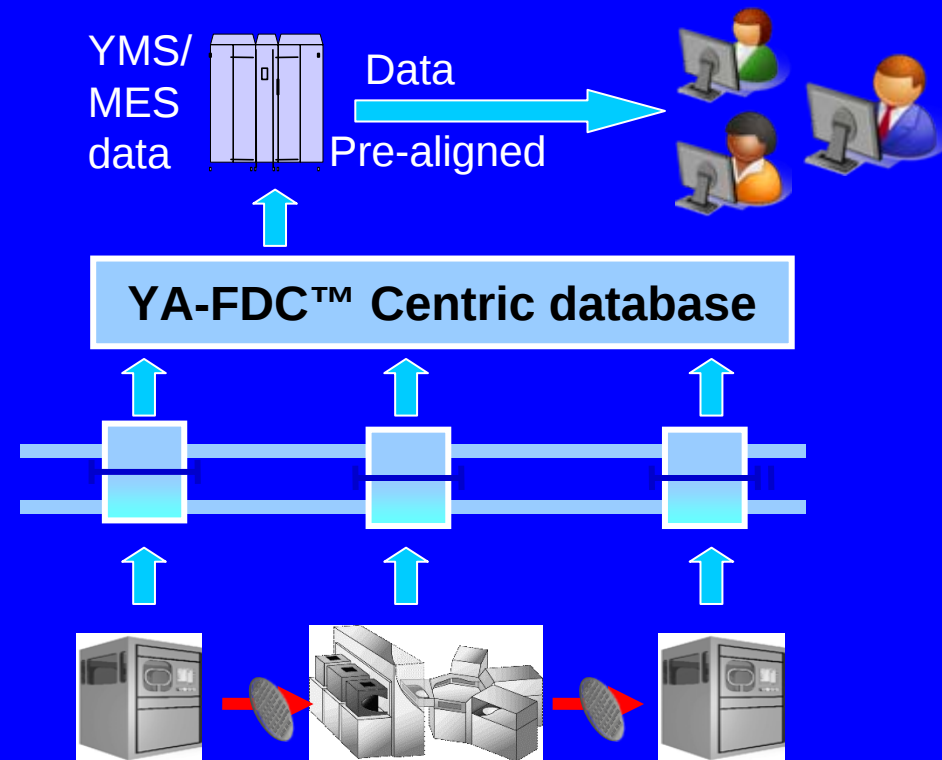
2-2 : Fault Detection and Classification

Typical system



- Distributed system

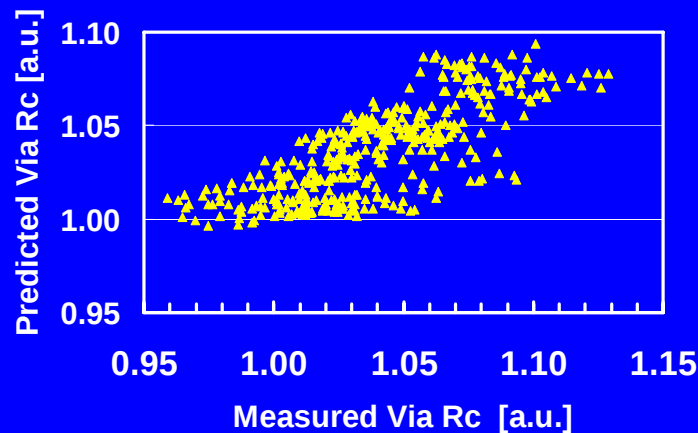
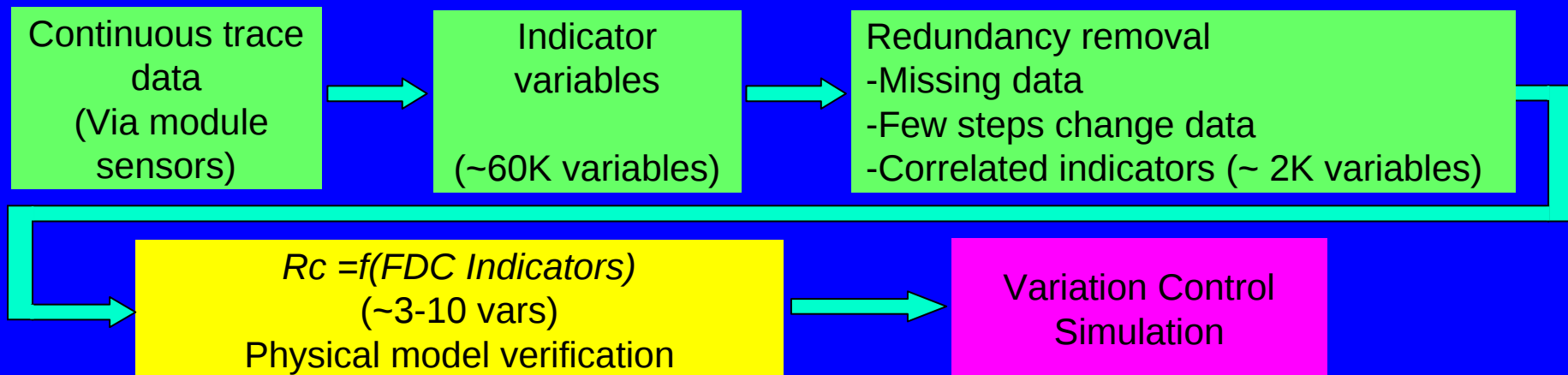
YA-FDC™ centric system



- Centric system

* ISSM 2008, H.Matsuhashi

Key Indicators for FDC multivariate modeling (e.g. Via case)



- Multivariate model algorithm in YA-FDC™ identifies key indicators
- Verify key indicators by process expertise

* ISSM 2008, H.Matsushashi

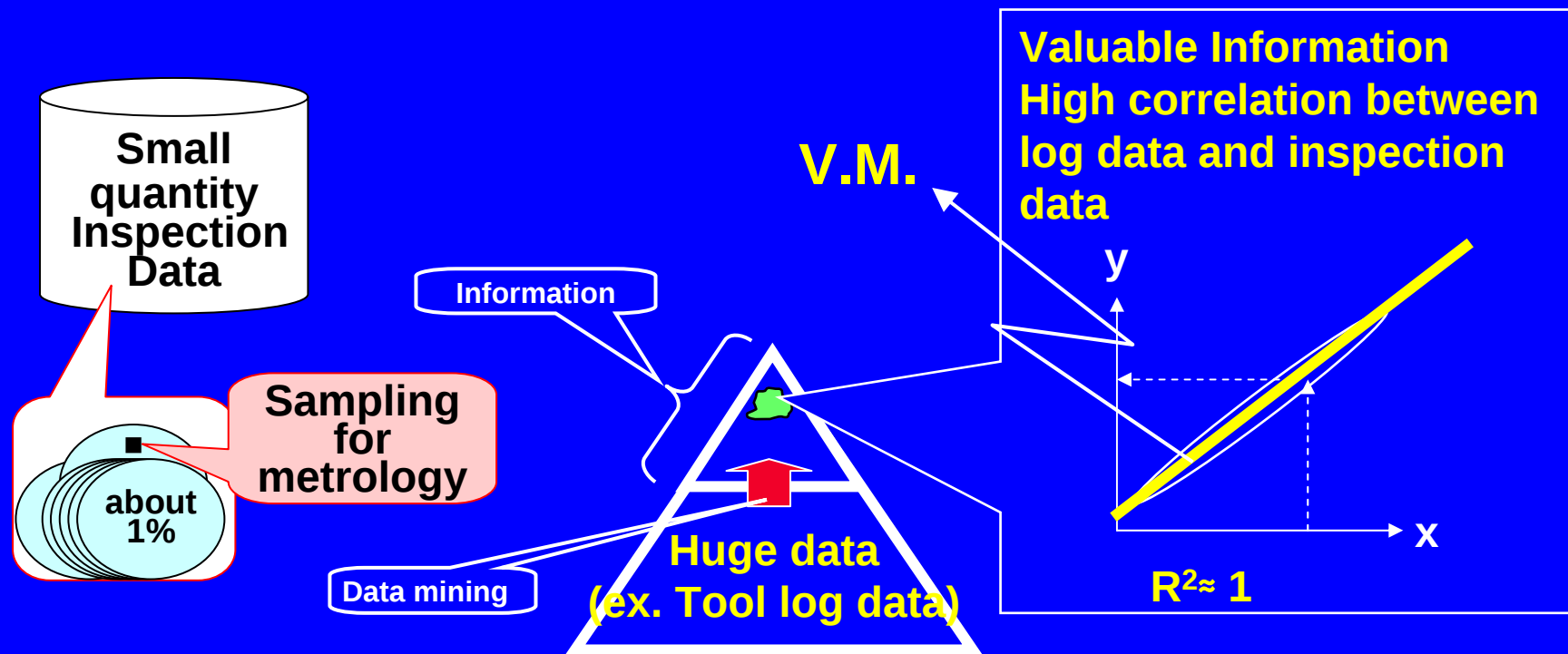
2-3 : Data mining for Virtual metrology

Conventional

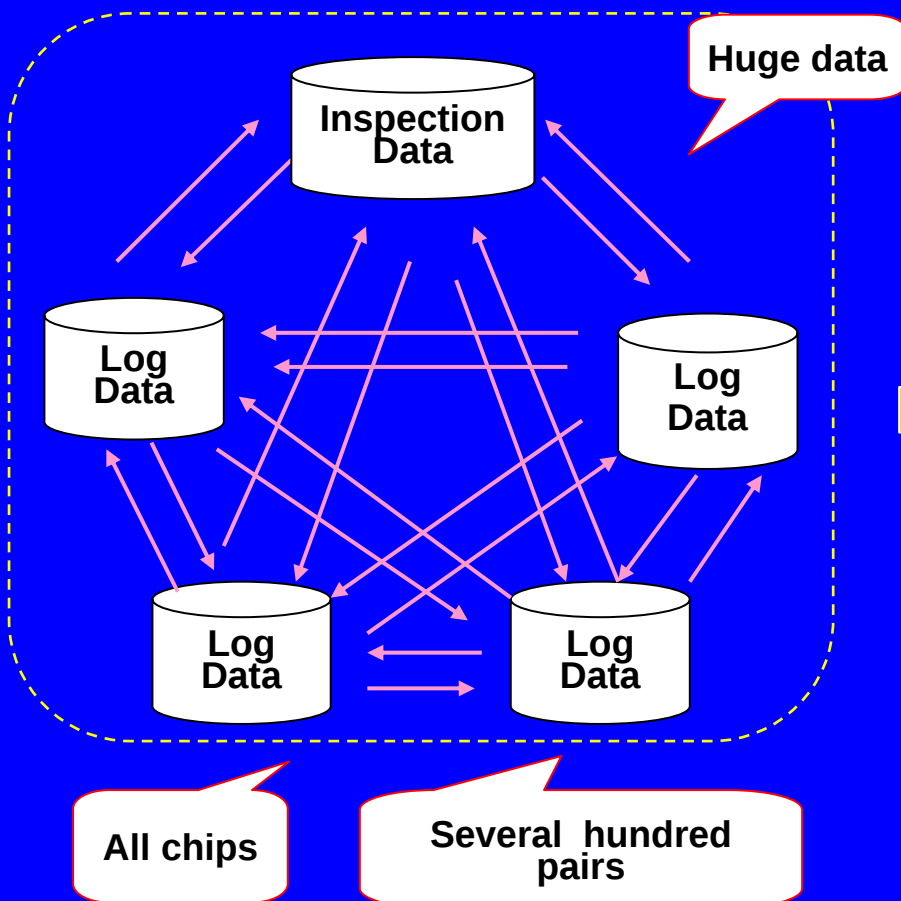
Low accuracy
process control

Proposal

High accuracy process
control method utilizing huge data



Data mining methodology

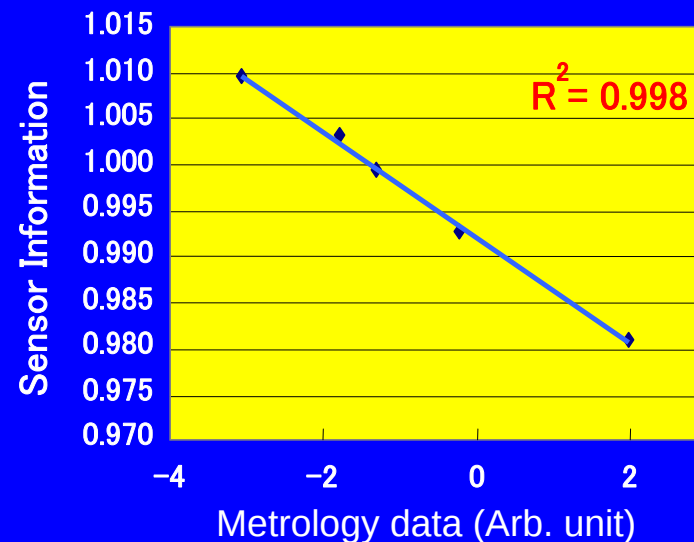
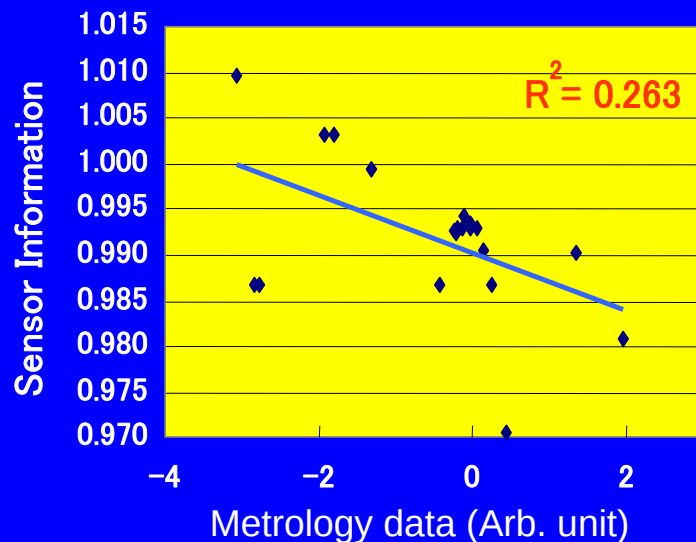


rec	p1	p2		patG1	patG2
1	0.2422	0.9869			
2	-0.43	0.9867			
3	-0.106	0.9943			
4	1.3434	0.9903			
5	0.4347	0.9705			
6	-2.767	0.9867			
7	-2.839	0.9868			
8	0.1537	0.9905			
9	-0.225	0.9924			
10	0.0508	0.993			
11	-0.184	0.993			
12	-0.021	0.993			
13	-0.12	0.993			
14	-0.02	0.9934			
15	-1.931	1.0031			
16	-3.06	1.01			
17	-1.79	1.003			
18	-1.31	0.999			
19	1.973	0.981			
20	-0.23	0.993			

**Useful information :
Partial relations
with high R^2**

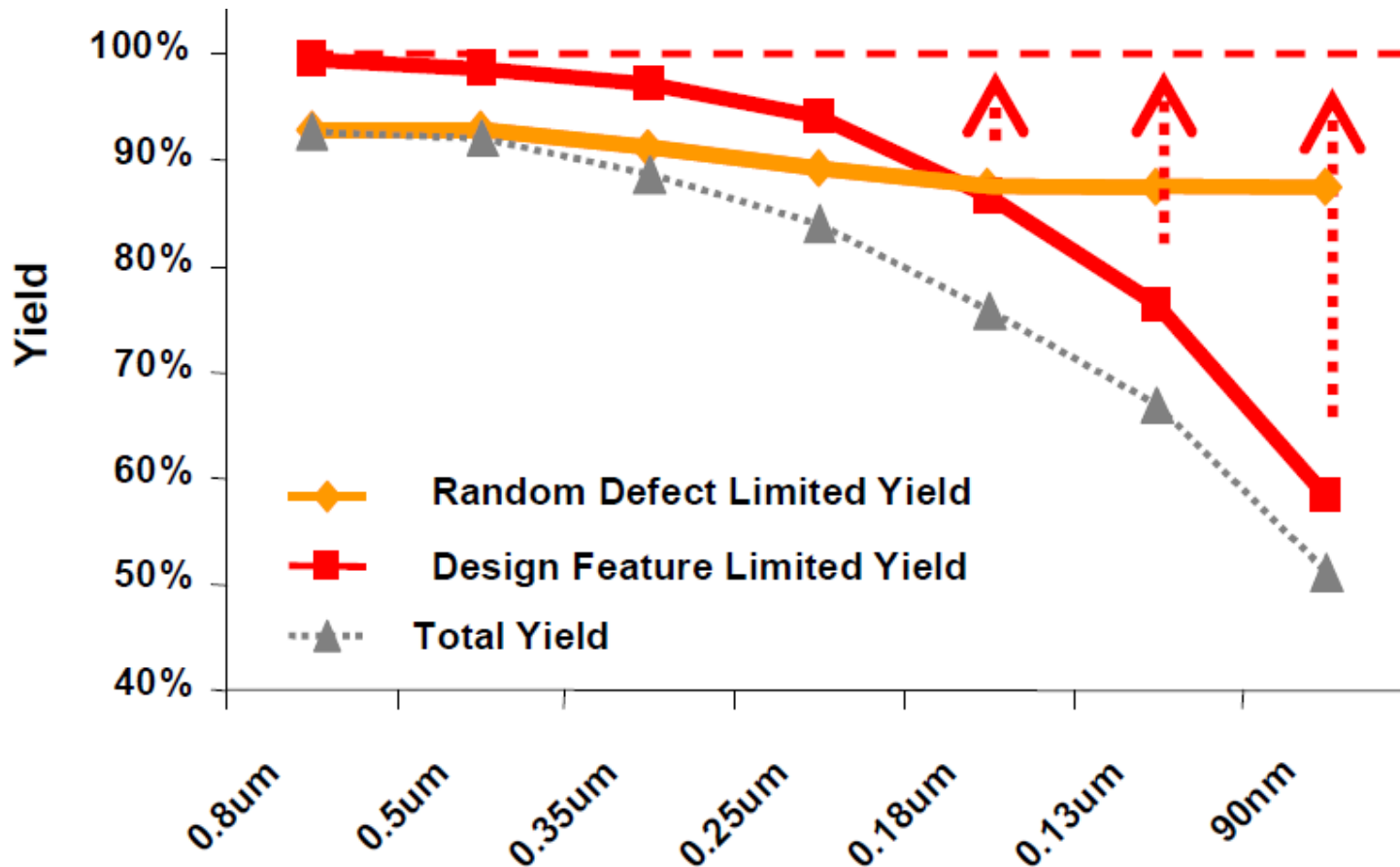
* AECAPC Asia 2007, H.Shirai, et.al.

Virtual metrologyの効果のsimulation



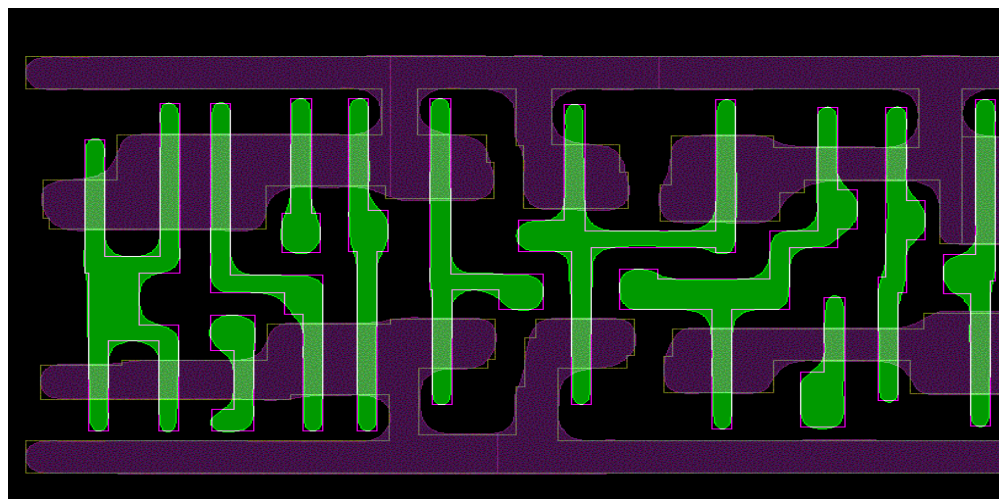
* AECAPC Asia 2007, H.Shirai, et.al.

2-4-0: Yield trend prediction in the past



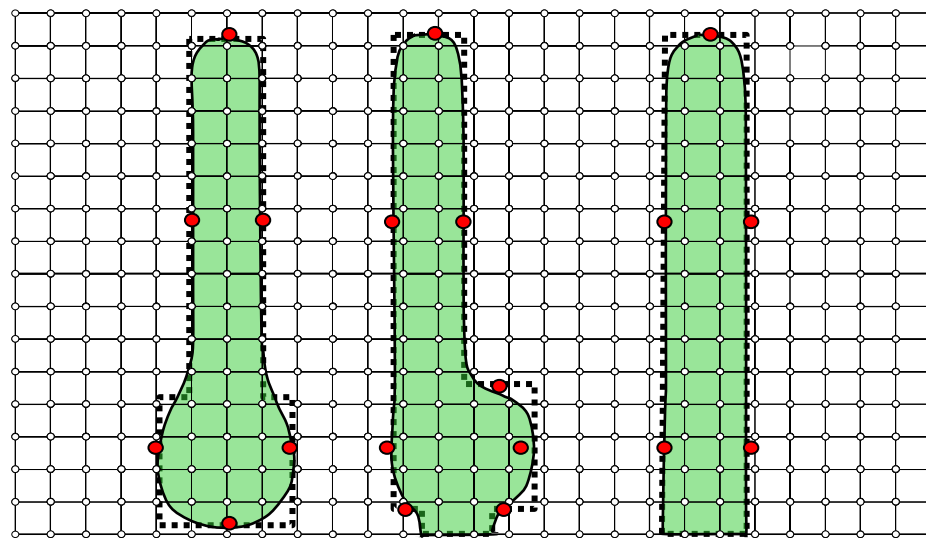
* John Kibarian, et al. ISSCC 2005 "Yield Limiters by technology Node"

2-4-1 : Lith.-Simulationによる グリッドベースの形状予測

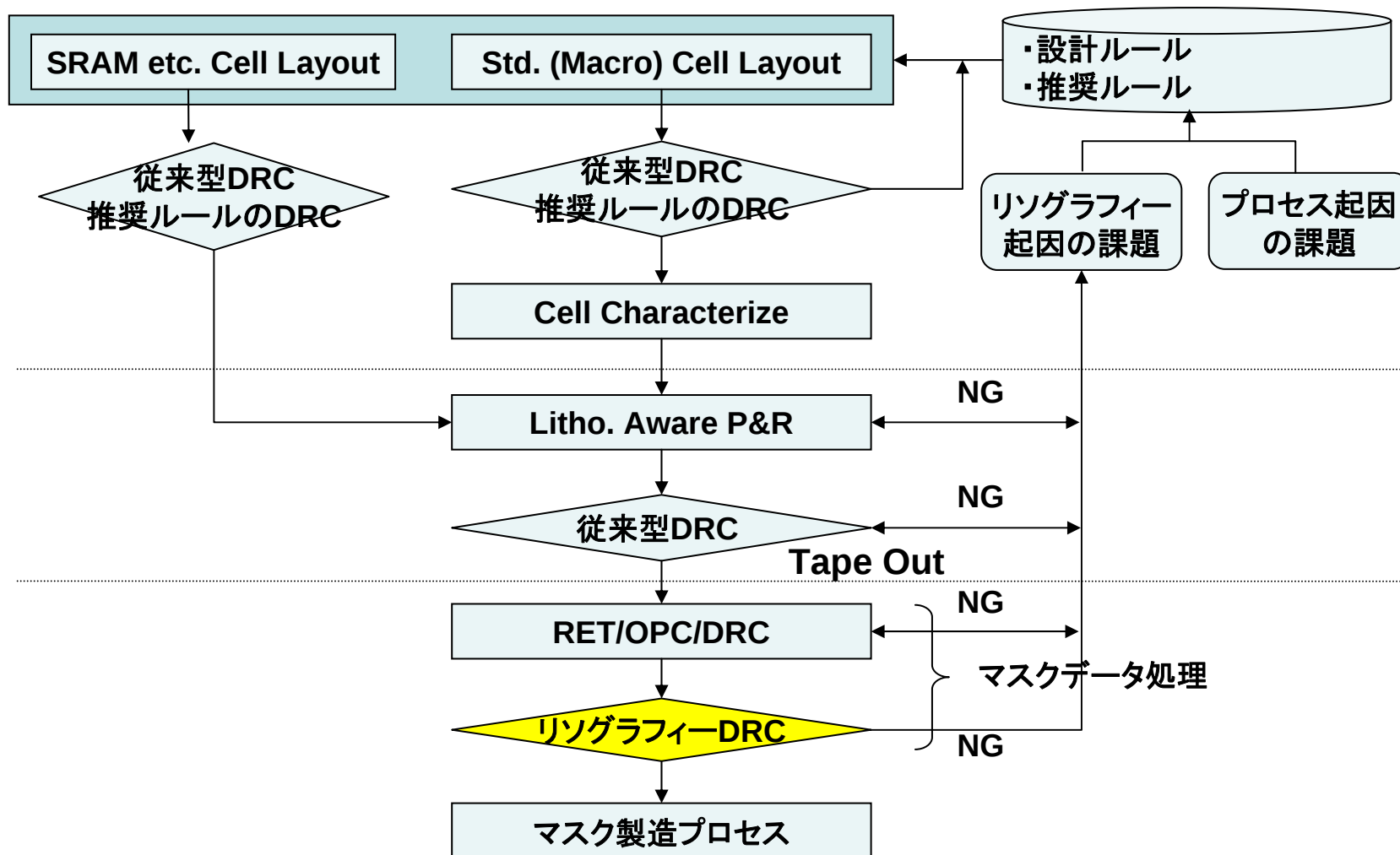


Simulation result applied
to active and gate layers

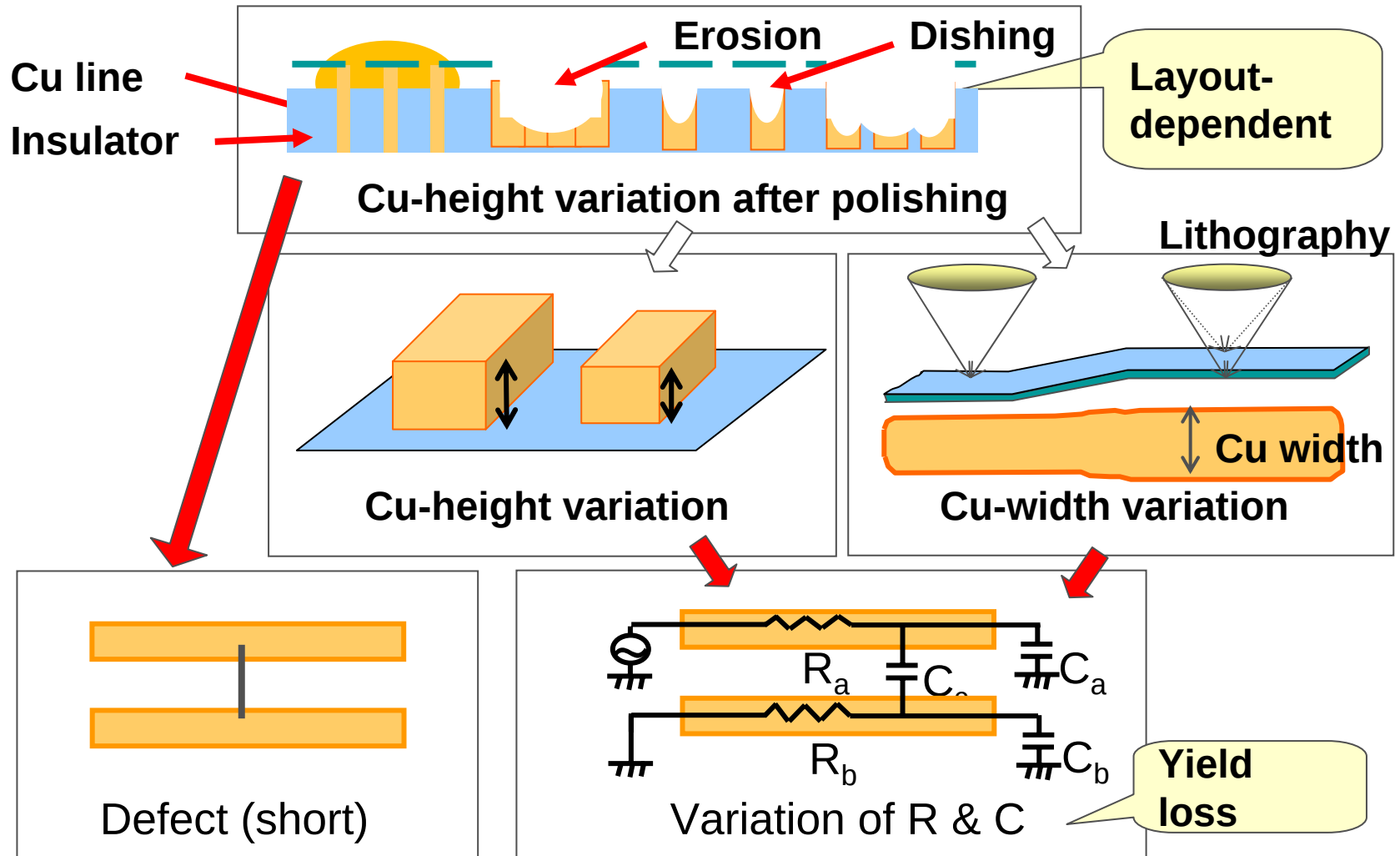
Conventional sampling for
OPC (●) and grid- base
simulation for hot spot
detection (○)



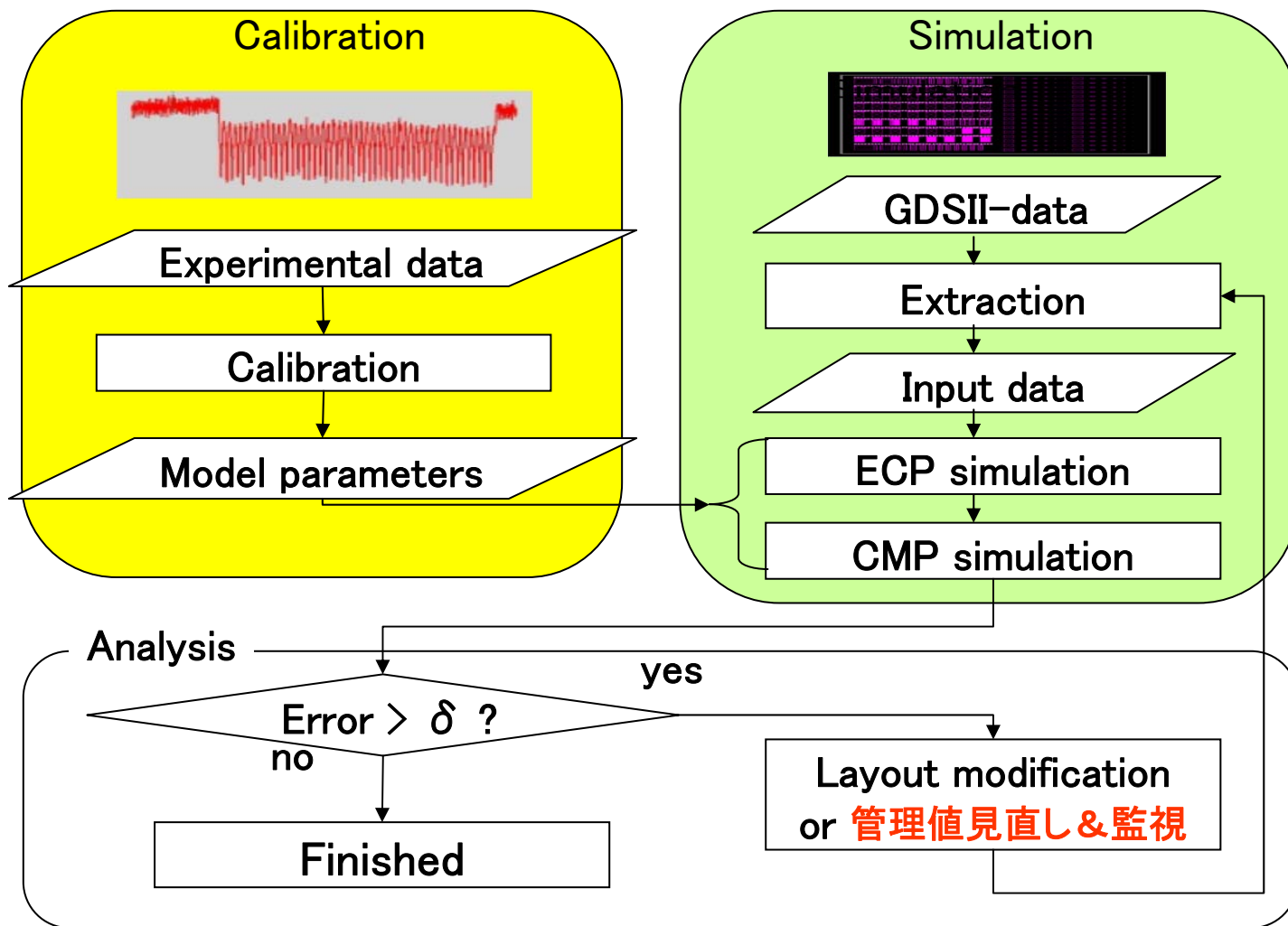
Lith.-Simulationによるデータ修正



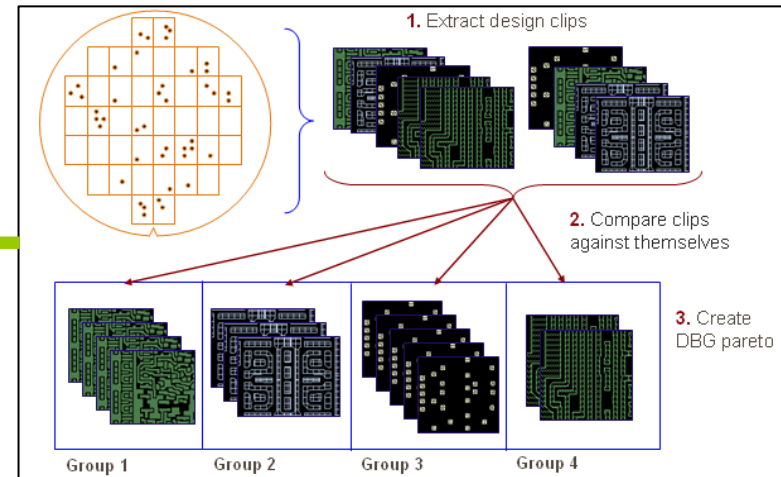
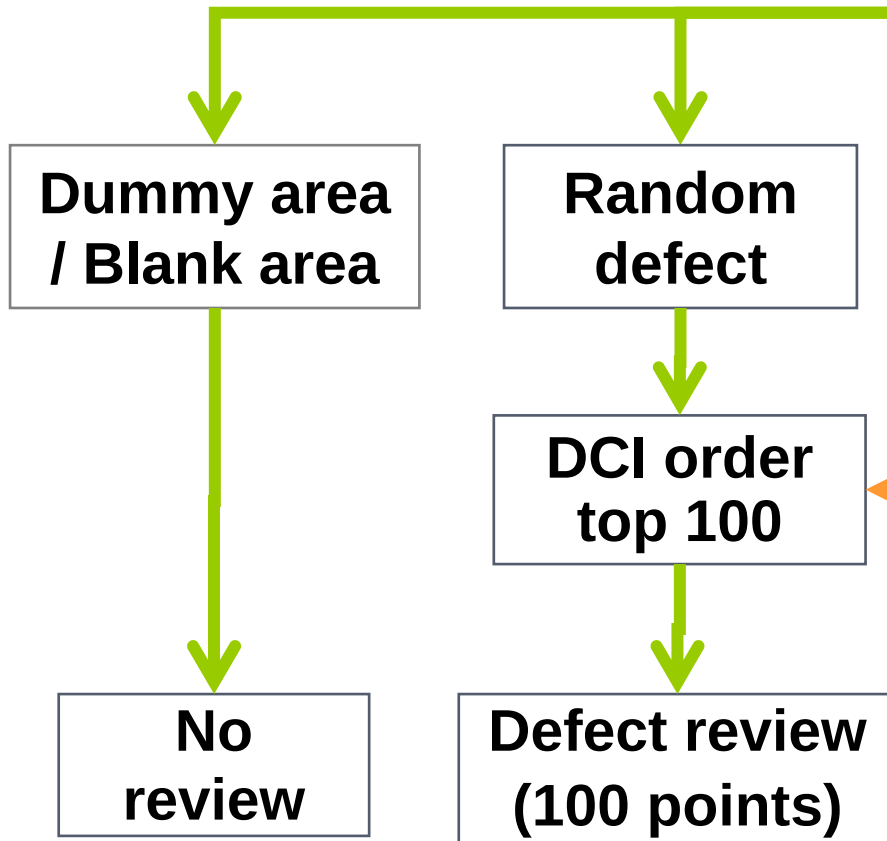
2-4-2 : ECP&CMP - Simulationによる 形状予測



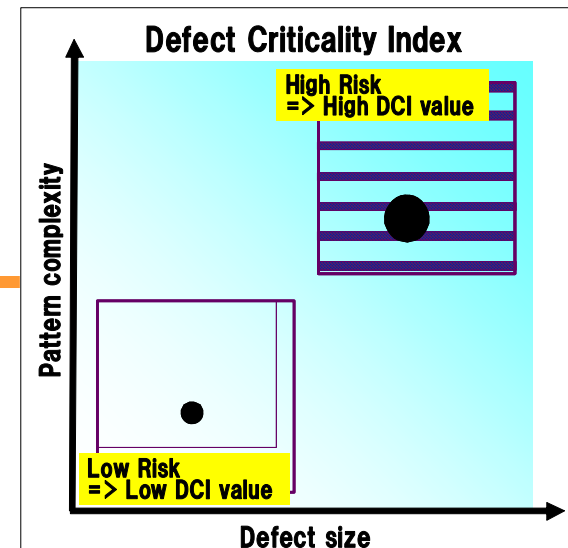
ECP&CMP-Simulationによる危険点管理 (管理値の適正化) and/or データ修正



2-5欠陥レビューの新規サンプリング



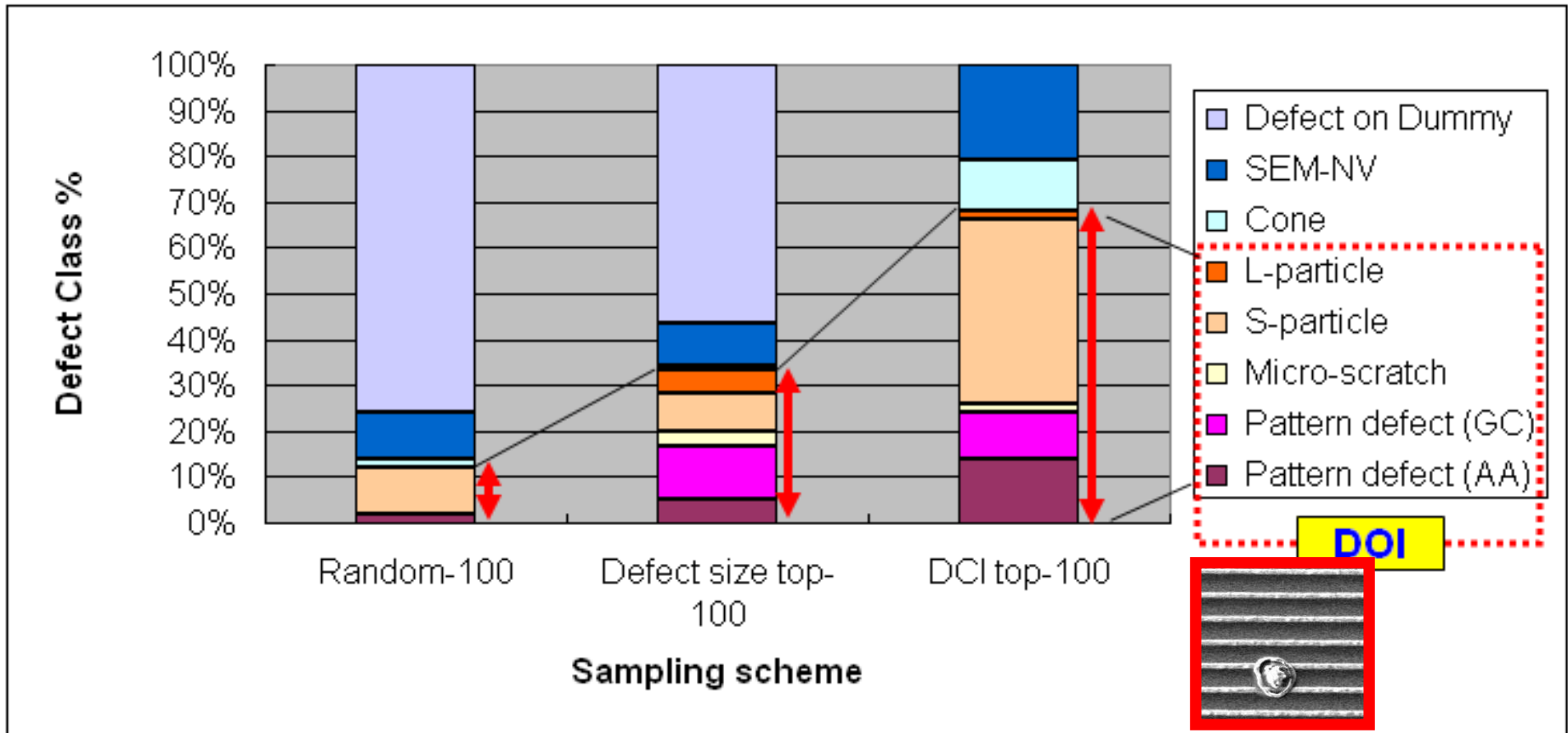
Design Based Grouping (DBG)



Defect Criticality Index (DCI)

* SPIE 6622 (2008) Y.Sato, et.al.

Defect of interests (DOI) Rate Improvement using DBG / DCI



* SPIE 6622 (2008) Y.Sato, et.al.

$$\text{DOI rate} = \frac{\text{\#DOI in sampled defects}}{\text{\#Total sampled defects}}$$

DOI rate was improved from 12% to 68%.

まとめ

- デバイスのスケーリングに伴い枚葉管理がcritical layerで必須になる。計測速度には限界があり、最適なサンプリングが重要
- 計測機のエコとは、その効果によってもたらされた歩留まりの向上（減耗の抑制）が主である。
- 計測サンプリング自体はエコである。つまり無駄な計測はしないという観点で。