

WG4 (配線) 活動報告

More Moore ~ 微細化の深耕 ~ と More than Moore への展開

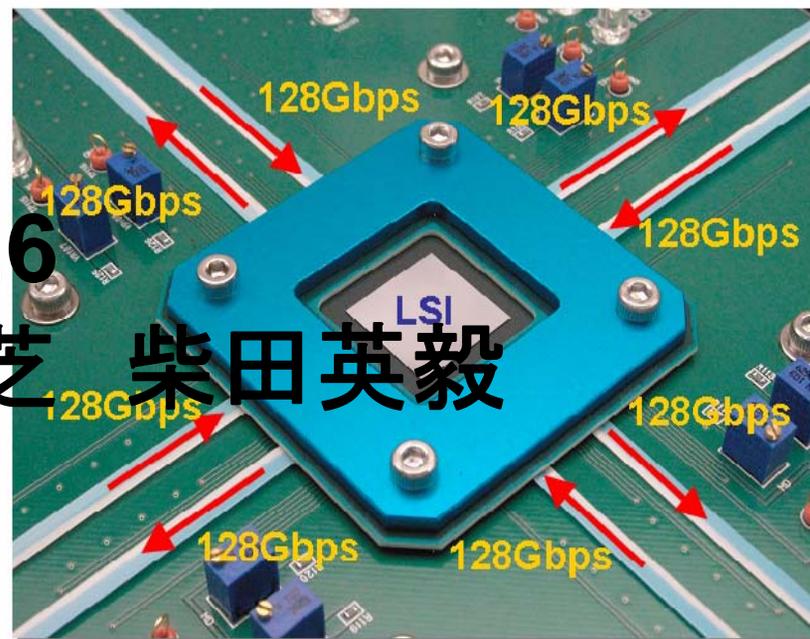
15.0kV 12.0mm x4.00k SE(M)

10.0um



2009.3.6

WG4主査 (株)東芝 柴田英毅



[1] はじめに

WG4(配線)のメンバー構成
08年度活動方針と会議開催実績
重点取り組み内容

[2] More Moore～微細化の深耕～

Cu/Low-k配線プロセスの現状と課題
ITRS2008改訂

Low-k: 導入実績(計画)を考慮したBulk k値レンジの縮小

Jmax: IM配線の平均電流密度計算モデルパラメータの見直し

コンタクト抵抗: 定義の明確化とFEPとの切り分け

究極Low-k(Air-Gap)技術の最新動向と実用化課題

Post-Cu(CNT)技術の最新動向と実用化課題

[3] More than Mooreへの展開

Difficult Challengesの位置付け

3DI/TSV: 実装WGとの棲み分け(境界領域の明確化)

[4] 08年度の活動実績まとめと09年度の活動方針

WG4 (配線)のメンバー構成



- <リーダー> : 柴田英毅 (株)東芝
<サブリーダー> : 青井信雄 パナソニック(株)
<国際委員> : 山崎治 シャープ(株)
天川修平 東京工業大学
<幹事> : 今井正芳 大日本スクリーン製造(株)

<委員>

廣井政幸 NECエレクトロニクス(株)
中村友二 FML(株)
伴功二 (株)ルネサステクノロジ
五十嵐泰史 OKIセミコンダクタ(株)
山下富生 三洋半導体(株)
金村龍一 ソニー(株)

<特別委員>

上野和良 芝浦工業大学
辻村学 (株)荏原製作所
徳重克彦 (株)荏原製作所
門倉好之 (株)アルバック
大内明 東京エレクトロン(株)
西村栄一 東京エレクトロン(株)
嘉田守宏 超先端電子技術開発機構
野口純司 (株)日立製作所

2008年度WG4(配線)の活動方針と会議開催実績

<2008年度活動方針>

- ・Low-k技術の導入実績や今後の計画を考慮して現実的かつ合理的なLow-kロードマップの見直しを行う
- ・周波数鈍化を受けて改訂したJmax指標について、そのモデルをより現実的なものに見直し、最適化を図る
- ・ロジックデバイス向けコンタクト抵抗の定義をFEP(WG3)との議論を通して明確化するとともに、ITRS2009に向けて配線WGとしての要求スペックの議論を始める
- ・TSV技術のロードマップ作成に向け、実装(WG7)との議論を通して配線WGがカバーすべき領域の明確化を行う

日程	開催会議名、報告/議論内容	Jmax	Rc	3D-XTWG
4/3~4	ITRS-Spring Meeting @Koenigswinter			
4/18	WG4委員会①:欧州会議と08年度活動方針決定			現状把握
5/23	WG4委員会②:IITC会議準備	WG4案決定		取り組み案確認 技術・アプリ抽出着手
6/1	ITRS-IITC会議@Burlingame	ITRS配線WG内で合意		
6/12	WG7(実装)との「3DI/TSV技術交流会」			配線/実装境界領域案提示
7/4	WG4委員会③:IITC報告とSF会議準備	STRJ他WGに確認		WG4案議論
7/14~16	ITRS-Summer Meeting @San Francisco	ITRS他WGと合意		
		設計, ERM	PIDS, FEP	
8/8	WG4委員会④:SF会議報告	残件対応		要素技術・アプリ抽出
8/M	ITRS2008原稿確認	決定		
8/25	ITRS2008年版改訂表提出	提出		
10/31	WG4委員会⑤:STRJ-Workshop準備開始			
11/18	WG4委員会⑥:Workshop準備、Seoul会議準備			要求仕様抽出
12/7~9	ITRS-Winter Meeting @Seoul			
1/23	WG4委員会⑦:Seoul報告、Workshop準備			まとめ
3/6	WG4委員会⑧:Workshop報告、欧州会議準備			
3/19-20	ITRS-Spring Meeting @Brussels			

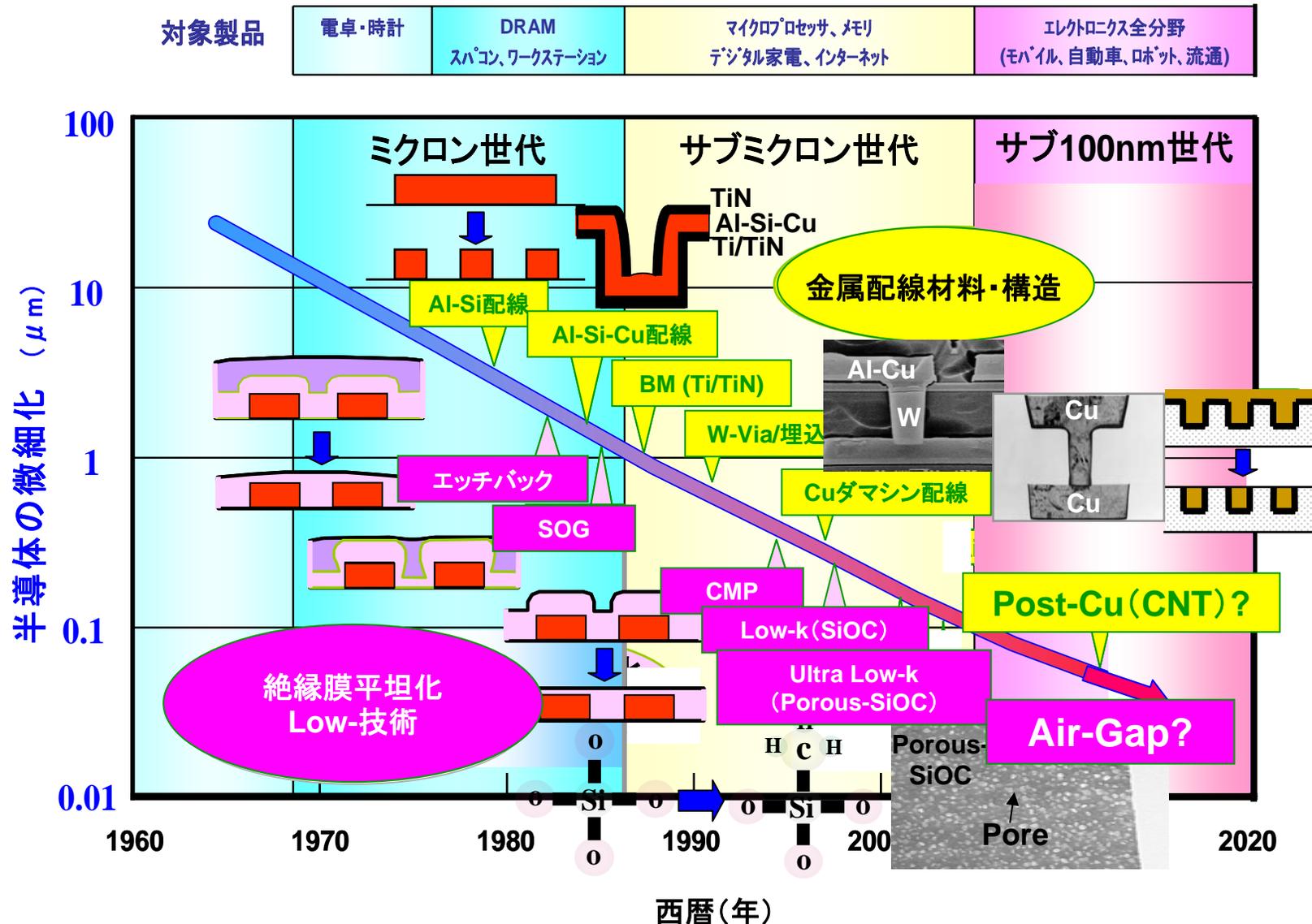
配線WG (WG4)の重点取り組み内容



	構造/DR	Cu	Low-k	その他
2001	グローバル配線 逆スケールリング			
2002		電子散乱効果 電流密度Jmax		ボイド・ポア計測
2003	配線層数	電子散乱効果 電流密度Jmax	k 値 (大幅改訂)	
2004		電子散乱効果 電流密度Jmax	k 値 (色分け修正)	Low-k機械強度
2005	配線ピッチ (Commercial Nodeの実 情に合わせて改訂)	電子散乱効果 電流密度Jmax	k 値 (実効値の構造依存)	Low-k機械強度
2006			k値 (表示法)	消費電力
2007		電流密度Jmax (周波数鈍化反映)	k値 (Low-k化鈍化反映) (拡散防止膜のk値導入)	3D配線
2008		電流密度Jmax (パラメータの見直し)	k値 (k値レンジ縮小)	コンタクト抵抗 3D配線/TSV Post-Cu/Low-k

信号遅延や信頼性の問題を「配線構造/DR」、「配線抵抗」、「配線容量」、「電流密度」の4つの観点から捉え、継続的に議論してきた。※青字は、STRJ独自の取り組み

多層配線技術の進化の足跡



依田、ISTF2007ウエーハプロセスセッション「多層配線技術」資料を参考に柴田改訂

[1] Cu配線技術

- 下層(Local配線, Intermediate配線)向け微細・薄膜Cu-DD配線形成のためのTrench/Via内へのVoid-less BM/Cu埋め込み困難度の増大
- 微細化・薄膜化に伴う結晶粒界/界面での電子散乱による電気抵抗の上昇
- 微細化に伴うEM/SIV/TDDDB信頼性の低下と改善困難度の増大

[2] Low-k技術

- Low-k($k < 2.4$)材料の多孔質化(Porous)に伴う機械強度・プラズマダメージ耐性の低下(容量増大、配線間リーク増大、信頼性の低下)
- DD微細加工の難易度増大(配線/Via加工形状及びCD制御性の低下)
- keff低減のためのLow-k Direct-CMPによるk値上昇、Water Mark発生、異常研磨、配線間リーク増大

Cu/Low-k材料・プロセス関連の不良モードとその要因 STRJ

<不良モード>

Cu-D.B/Cu界面剥がれ

D.B/ILD界面剥がれ

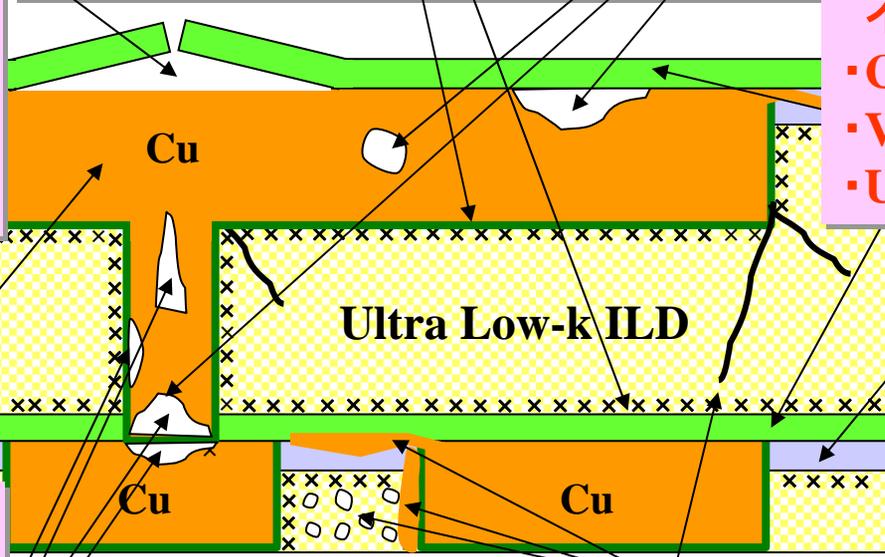
EM信頼性不良

<プロセス要因>

- ・D.B/Cu密着強度不足
- ・CMP後洗浄不足
- ・ULKへのDamage起因の吸湿/脱ガス
- ・膜応力不整合

- ・配線底への加工Damage起因Cu漏れ
- ・ULK/D.B界面密着強度不足

- ・Cuめっき起因Void
- ・D.B/Cu界面密着強度不足
- ・CMP後洗浄不足/腐食
- ・Via界面での流速発散
- ・ULKのYoung率低下



Cu配線抵抗上昇

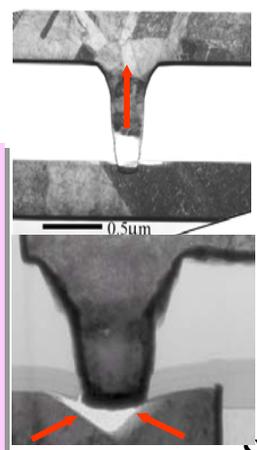
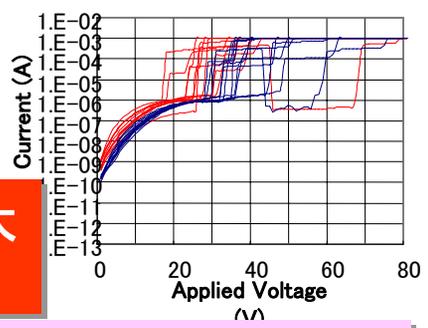
- ・粒界及び界面での電子非弾性散乱効果

Via導通不良/SM信頼性不良

- ・BM/Seed-Cuカバレッジ不良
- ・CuめっきBottom-up Fill不十分
- ・Via加工DamageによるBM酸化起因のCu密着性不良/Void形成
- ・Via界面Damage起因Void形成

配線層間リーク増大 TDDDB信頼性不良

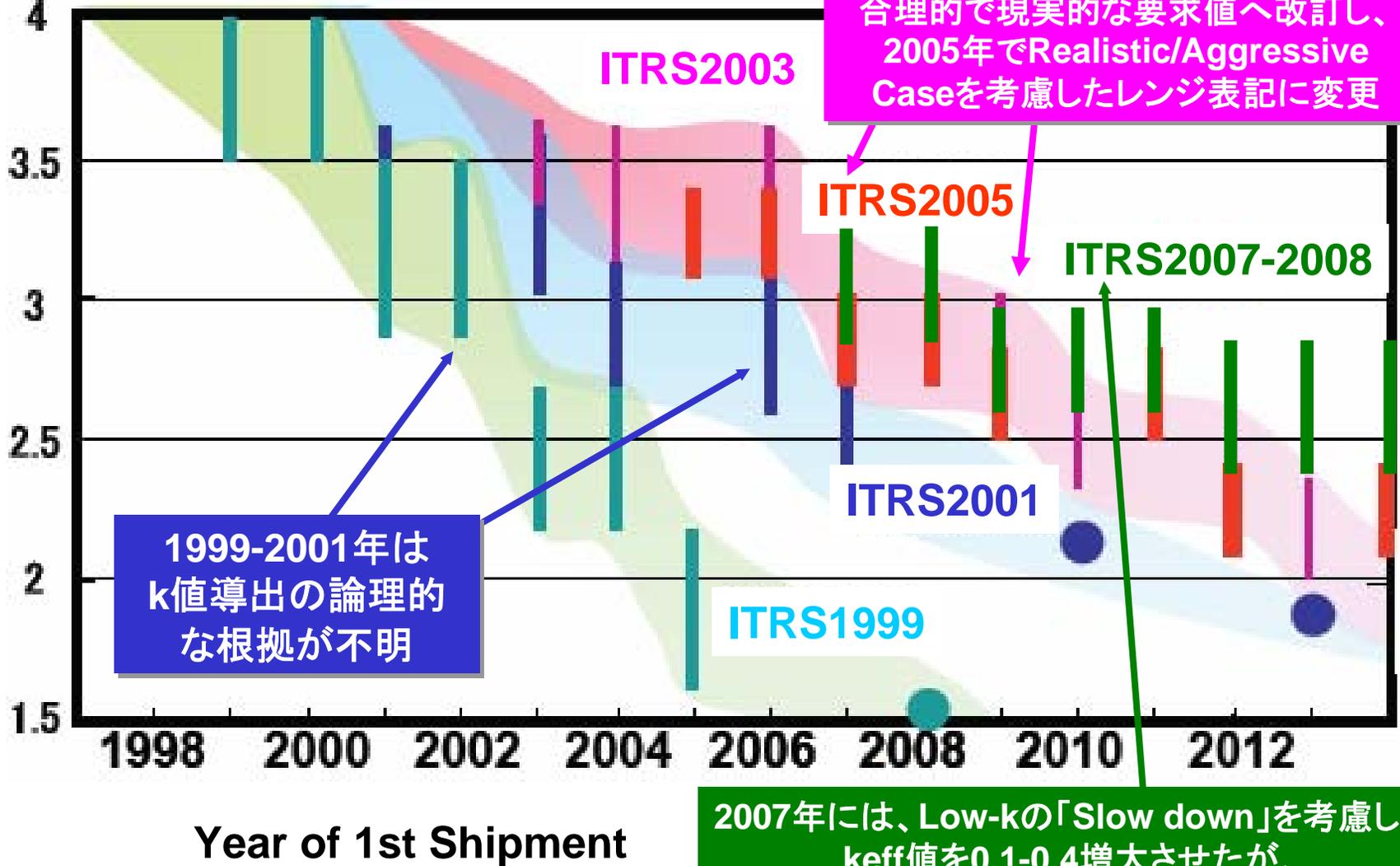
- ・Direct-CMPによるDamage
- ・CMP後洗浄時のDamage/WM発生
- ・加工面のPore露出によるBM吸湿
- ・Cap成膜時のDamage起因剥がれ



ITRS Low-kロードマップの変遷(1999~2008年度)



Effective Dielectric Constant; keff

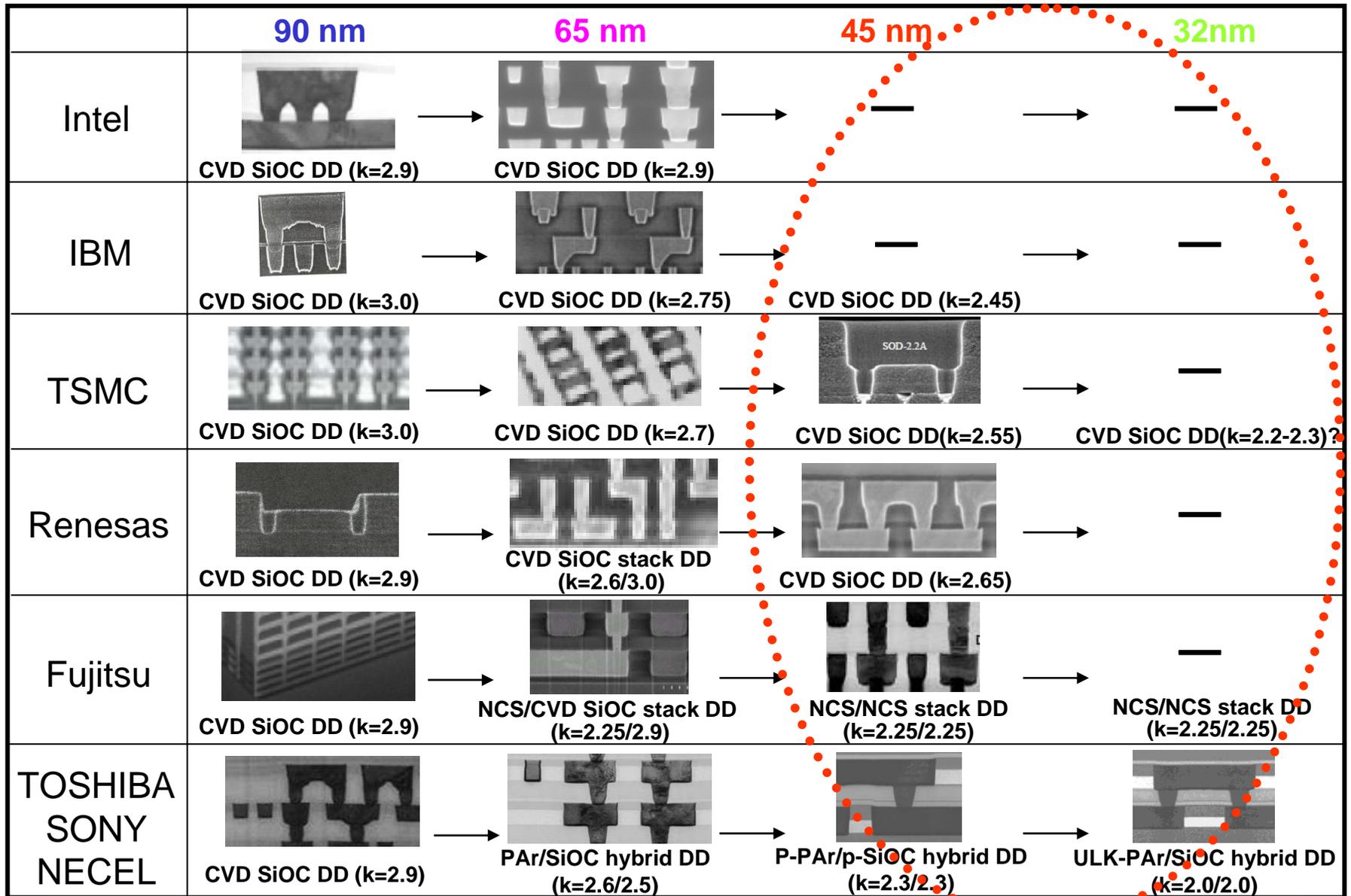


1999-2001年は
k値導出の論理的
な根拠が不明

2003年に、論理的根拠に基づいた合理的で現実的な要求値へ改訂し、2005年でRealistic/Aggressive Caseを考慮したレンジ表記に変更

2007年には、Low-kの「Slow down」を考慮して keff値を0.1-0.4増大させたが、2008年はkeffレンジに変化はない

Low-k Trend from Conference Papers (2003-2008 IITC, IEDM, VL, AMC)



主要国際学会発表ベースでは、45nm世代以降、Low-k開発に遅延が見られ、デバイスメーカー間のk値に大きなばらつき(Δk:0.3-0.4)が生じて来ている

実際の導入実績(計画)から見たLow-k技術の開発状況

	90 nm	65 nm	45 nm	32nm
	CVD SiOC DD (k=3.0)	CVD SiOC DD (k=3.0)	CVD SiOC DD (k=2.8)	CVD SiOC DD (k=2.6)
	CVD SiOC DD (k=3.0)	CVD SiOC DD (k=3.0)	CVD SiOC DD (k=2.5-2.75)?	CVD SiOC DD (k=2.2-2.4)?
	CVD SiOC DD (k=3.0)	CVD SiOC DD (k=3.0)	CVD SiOC DD (k=2.5)	CVD SiOC DD (k=2.4)
	CVD SiOC DD (k=3.0)	CVD SiOC DD (k=3.0)	CVD SiOC DD (k=2.8)	CVD SiOC DD (k=2.6)
	CVD SiOC DD (k=3.0)	CVD SiOC DD (k=3.0)	CVD SiOC DD (k=2.75)	CVD SiOC DD (k=2.4)

学会発表に比べて実際の量産展開実績や計画は1世代程度遅れているが、
Low-k材料の有力候補が絞られてきているために、
デバイスメーカー間のk値ばらつきも0.1程度小さくなって来ている

ITRS2008 Low-k Roadmap Update (Final Version)



		Near-term					
Year of Production		2008	2009	2010	2011	2012	2013
Was	Interlevel metal insulator – effective dielectric constant (κ)	2.7-3.0	2.5-2.8	2.5-2.8	2.5-2.8	2.1-2.4	2.1-2.4
Is	Interlevel metal insulator – effective dielectric constant (κ)	2.9-3.3	2.6-2.9	2.6-2.9	2.6-2.9	2.4-2.8	2.4-2.8
Was	Interlevel metal insulator – bulk dielectric constant (κ)	2.3-2.7	2.1-2.4	2.1-2.4	2.1-2.4	1.8-2.1	1.8-2.1
Is	Interlevel metal insulator – bulk dielectric constant (κ)	2.5-2.8	2.3-2.6	2.3-2.6	2.3-2.6	2.1-2.4	2.1-2.4
As Is	Copper diffusion barrier and etch-stopper - bulk dielectric constant (κ)	4.0-4.5	3.5-4.0	3.5-4.0	3.5-4.0	3.0-3.5	3.0-3.5

Long-term									
2014	2015	2016	2017	2018	2019	2020	2021	2022	2023
2.1-2.4	1.9-2.2	1.9-2.2	1.9-2.2	1.6-1.9	1.6-1.9	1.6-1.9			
2.4-2.8	2.1-2.5	2.1-2.5	2.1-2.5	2.0-2.3	2.0-2.3	2.0-2.3	1.7-2.0	1.7-2.0	1.7-2.0
1.8-2.1	1.6-1.9	1.6-1.9	1.6-1.9	1.4-1.7	1.4-1.7	1.4-1.7			
2.1-2.4	1.9-2.2	1.9-2.2	1.9-2.2	1.7-2.0	1.7-2.0	1.7-2.0	1.5-1.8	1.5-1.8	1.5-1.8
3.0-3.5	2.6-3.0	2.6-3.0	2.6-3.0	2.4-2.6	2.4-2.6	2.4-2.6	2.1-2.4	2.1-2.4	2.1-2.4

Change maximum bulk k value from 2.9 to 2.8 corresponding to 45nm actual introduction in manufacturing of low-k material.

2.5-2.9 → 2.5-2.8 @2007-2008



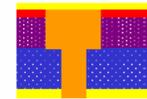
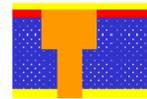
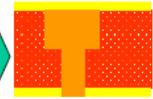
Beyond 2009, decrease maximum bulk k value by 0.1.

- 2.3-2.7 → 2.3-2.6 @2009-2011
- 2.1-2.5 → 2.1-2.4 @2012-2014
- 1.9-2.3 → 1.9-2.2 @2015-2017
- 1.7-2.1 → 1.7-2.0 @2018-2020
- 1.5-1.9 → 1.5-1.8 @2021-2023

Bulk k Value Update for ITRS2008 (Realistic Case)

Typical three kinds of dielectric structures with realistic low-k materials were used for keff calculation

Assumptions	Assumptions	Assumptions	<2007,2008>
Cu D.B height = 35nm	Cu D.B height = 35nm	Cu D.B height = 35nm	
Hardmask height = NA	Hardmask height = 40nm	Hardmask height = 40nm	
Via height = 112nm	Via height = 112nm	Via height = 112nm	
Trench height = 126nm	Trench height = 126nm	Trench height = 126nm	
Minimum LS = 70nm	Minimum LS = 70nm	Minimum LS = 70nm	



Assumptions
$K_{(Cu\ D.B)} = 4.5$
$K_{(Hardmask)} = NA$
$K_{(via)} = 2.8 (-0.1)$
$K_{(trench)} = 2.8 (-0.1)$
$K_{eff} = 3.09 (3.15)$

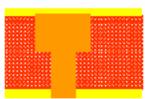
Assumptions
$K_{(Cu\ D.B)} = 4.5$
$K_{(Hardmask)} = 4.1$
$K_{(via)} = 2.7$
$K_{(trench)} = 2.7$
$K_{eff} = 3.27$

Assumptions
$K_{(Cu\ D.B)} = 4.5$
$K_{(Hardmask)} = 4.1$
$K_{(via)} = 2.7$
$K_{(trench)} = 2.7$
$K_{eff} = 3.27$

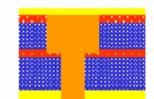
※ Bulk k上限値を0.1下げたが、keffの範囲表記には影響なし

<2009,2010,2011>

Assumptions
Cu D.B height = 30nm
Hardmask height = NA
Via height = 80nm
Trench height = 90nm
Minimum LS = 50nm



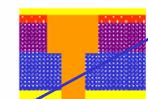
Assumptions
Cu D.B height = 30nm
Hardmask height = 35nm
Via height = 80nm
Trench height = 90nm
Minimum LS = 50nm



Assumptions
$K_{(Cu\ D.B)} = 4.0$
$K_{(Hardmask)} = NA$
$K_{(via)} = 2.6 (-0.1)$
$K_{(trench)} = 2.6 (-0.1)$
$K_{eff} = 2.88 (2.93)$

Assumptions
$K_{(Cu\ D.B)} = 4.0$
$K_{(Hardmask)} = 3.0$
$K_{(via)} = 2.5$
$K_{(trench)} = 2.5$
$K_{(Middle-STP)} = 4.0$
$K_{eff} = 2.94$

Assumptions
Cu D.B height = 30nm
Hardmask height = 35nm
Via height = 80nm
Trench height = 90nm
Minimum LS = 50nm



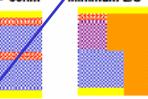
Assumptions
Cu D.B height = 20nm
Hardmask height = NA
Via height = 60nm
Trench height = 67nm
Minimum LS = 35nm



Assumptions
Cu D.B height = 20nm
Hardmask height = 20nm
Via height = 60nm
Trench height = 67nm
Minimum LS = 35nm



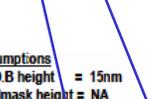
Assumptions
Cu D.B height = 20nm
Hardmask height = 20nm
Via height = 60nm
Trench height = 67nm
Minimum LS = 35nm



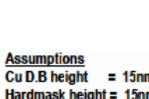
Assumptions
Cu D.B height = 20nm
Hardmask height = 20nm
Via height = 60nm
Trench height = 67nm
Minimum LS = 35nm



Assumptions
Cu D.B height = 20nm
Hardmask height = 20nm
Via height = 60nm
Trench height = 67nm
Minimum LS = 35nm



Assumptions
Cu D.B height = 20nm
Hardmask height = 20nm
Via height = 60nm
Trench height = 67nm
Minimum LS = 35nm



Assumptions
Cu D.B height = 20nm
Hardmask height = 20nm
Via height = 60nm
Trench height = 67nm
Minimum LS = 35nm



Assumptions
Cu D.B height = 20nm
Hardmask height = 20nm
Via height = 60nm
Trench height = 67nm
Minimum LS = 35nm



Assumptions
Cu D.B height = 20nm
Hardmask height = 20nm
Via height = 60nm
Trench height = 67nm
Minimum LS = 35nm



<Low-k層間絶縁膜の構成例>

<2018,2019,2020>

Assumptions
Cu D.B height = 10nm
Hardmask height = NA
Via height = 32nm
Trench height = 36nm
Minimum LS = 18nm



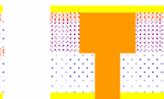
Assumptions
$K_{(Cu\ D.B)} = 2.6$
$K_{(Hardmask)} = NA$
$K_{(via)} = 2.0 (-0.1)$
$K_{(trench)} = 2.0 (-0.1)$
$K_{eff} = 2.12 (2.27)$

Assumptions
Cu D.B height = 10nm
Hardmask height = 10nm
Via height = 32nm
Trench height = 36nm
Minimum LS = 18nm



Assumptions
$K_{(Cu\ D.B)} = 2.6$
$K_{(Hardmask)} = 2.3$
$K_{(via)} = 1.9$
$K_{(trench)} = 1.9$
$K_{(Middle-STP)} = 2.6$
$K_{eff} = 2.27$

Assumptions
Cu D.B height = 10nm
Hardmask height = 10nm
Via height = 32nm
Trench height = 36nm
Minimum LS = 18nm



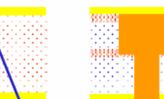
Assumptions
$K_{(Cu\ D.B)} = 2.6$
$K_{(Hardmask)} = 2.3$
$K_{(via)} = 1.9$
$K_{(trench)} = 1.9$
$K_{eff} = 2.20$

Assumptions
Cu D.B height = 10nm
Hardmask height = 10nm
Via height = 22nm
Trench height = 25nm
Minimum LS = 13nm



Assumptions
$K_{(Cu\ D.B)} = 2.4$
$K_{(Hardmask)} = NA$
$K_{(via)} = 1.8 (-0.1)$
$K_{(trench)} = 1.8 (-0.1)$
$K_{eff} = 1.92 (2.04)$

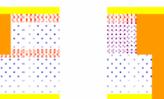
Assumptions
Cu D.B height = 7nm
Hardmask height = 7nm
Via height = 22nm
Trench height = 25nm
Minimum LS = 13nm



Assumptions
$K_{(Cu\ D.B)} = 2.4$
$K_{(Hardmask)} = 2.1$
$K_{(via)} = 1.7$
$K_{(trench)} = 1.7$
$K_{(Middle-STP)} = 2.4$
$K_{eff} = 2.03$

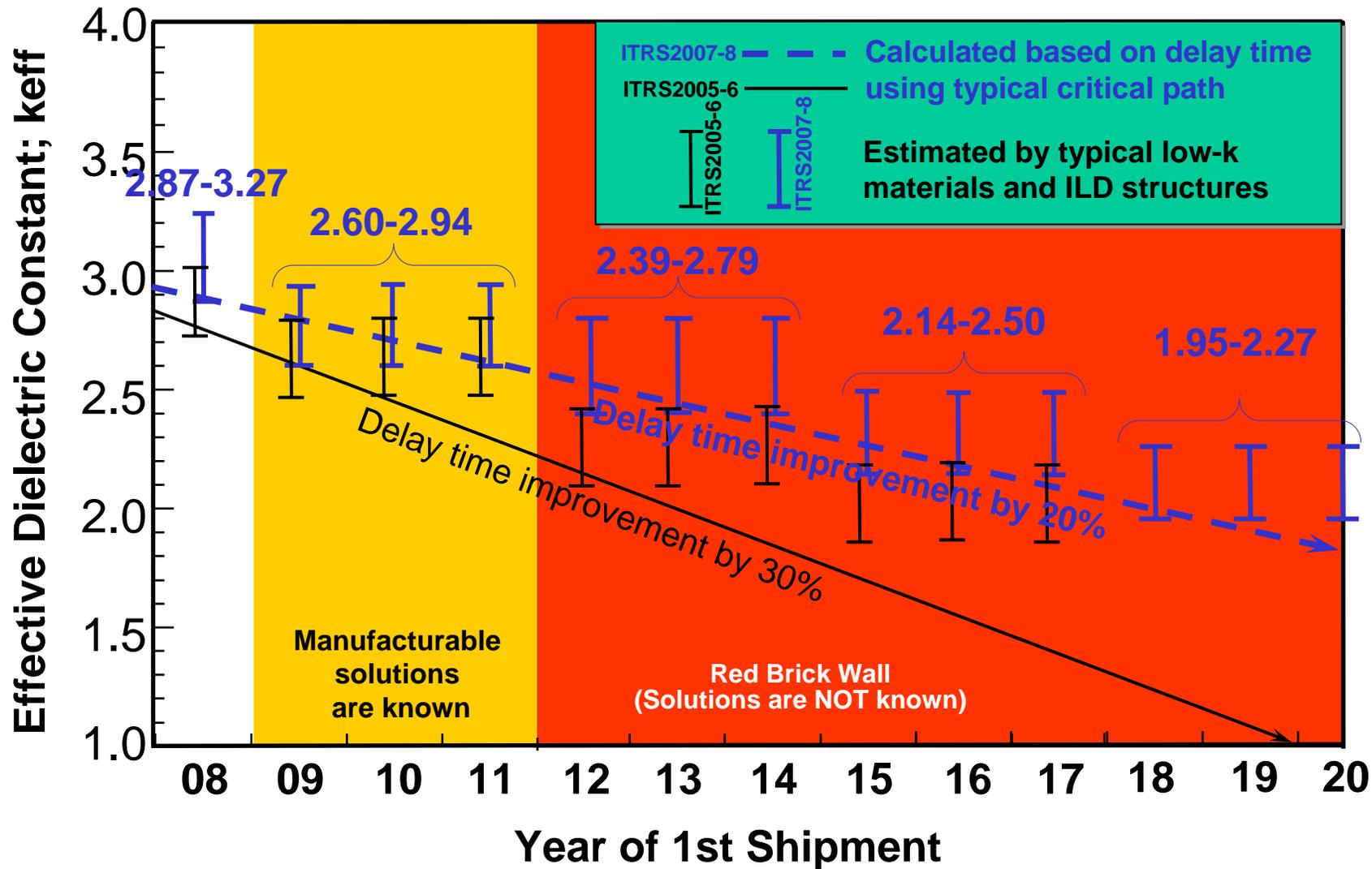
<2021,2022,2023>

Assumptions
Cu D.B height = 7nm
Hardmask height = 7nm
Via height = 22nm
Trench height = 25nm
Minimum LS = 13nm



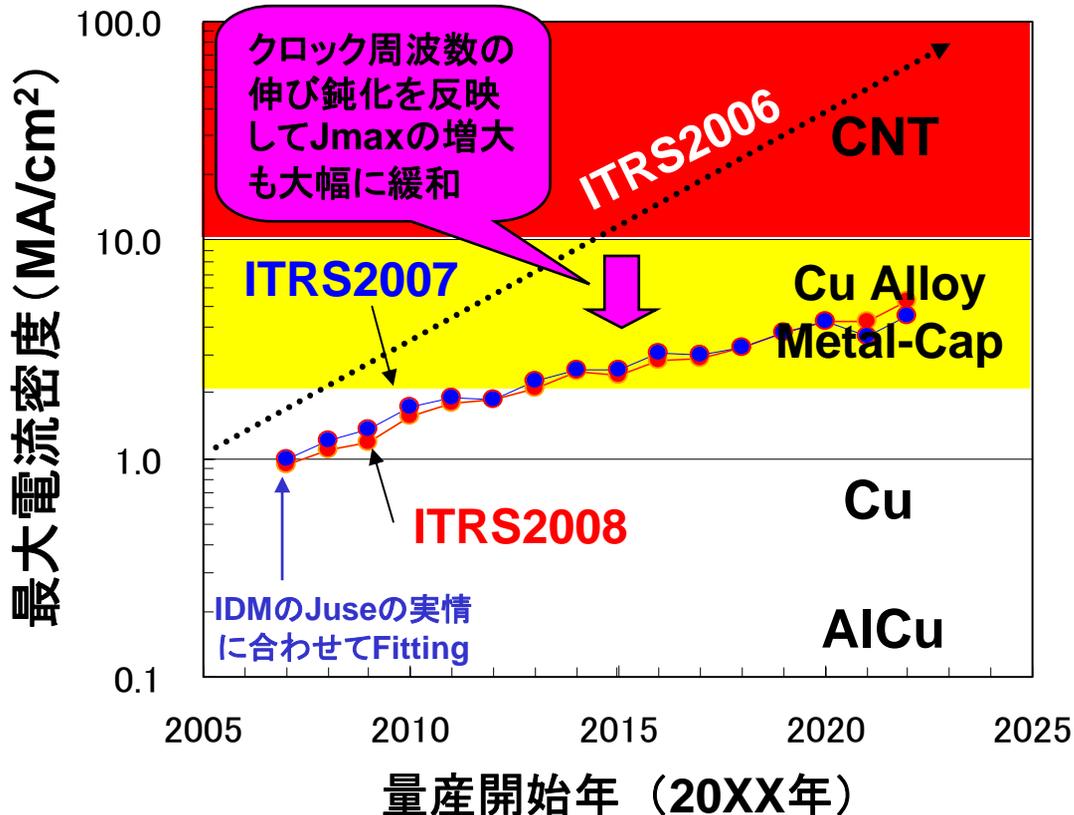
Assumptions
$K_{(Cu\ D.B)} = 2.4$
$K_{(Hardmask)} = 2.1$
$K_{(via)} = 1.7$
$K_{(trench)} = 1.7$
$K_{eff} = 1.96$

ITRS2008 Low-k Roadmap Update (Final Version)



◎ 実際のLow-k材料の量産展開実績(及び計画)から、Max. Bulk k値を0.1低下させたが、keffの計算結果には影響なし→結果的にLow-k ロードマップは2007年度と変化なし

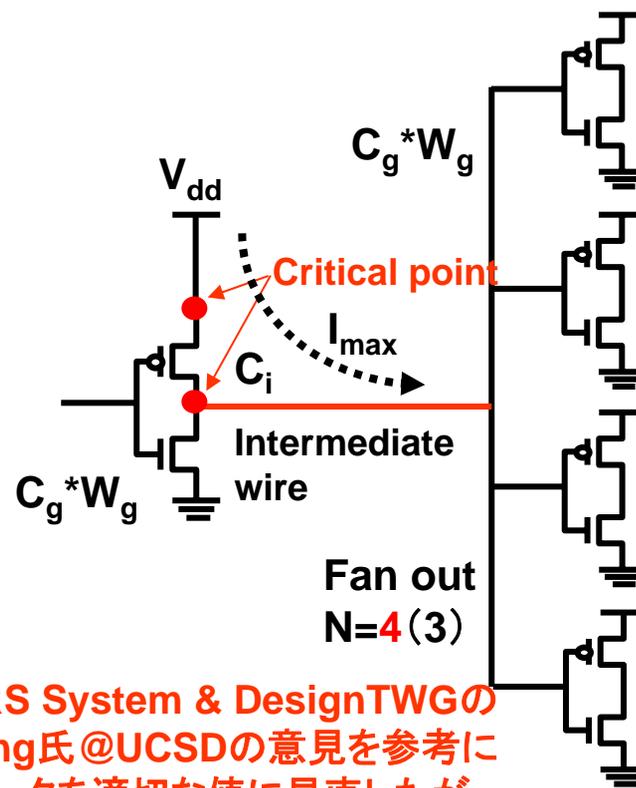
ITRS2008 IM配線最大電流密度(Jmax)Update



Inv.回路に接続された信号線 (IM配線)を流れる平均電流密度を計算



※ IM配線の平均電流密度 (Jmax) = $f(C_g \cdot W_g \cdot N + C_i) \cdot V_{dd} / (W_i \cdot T_i)$

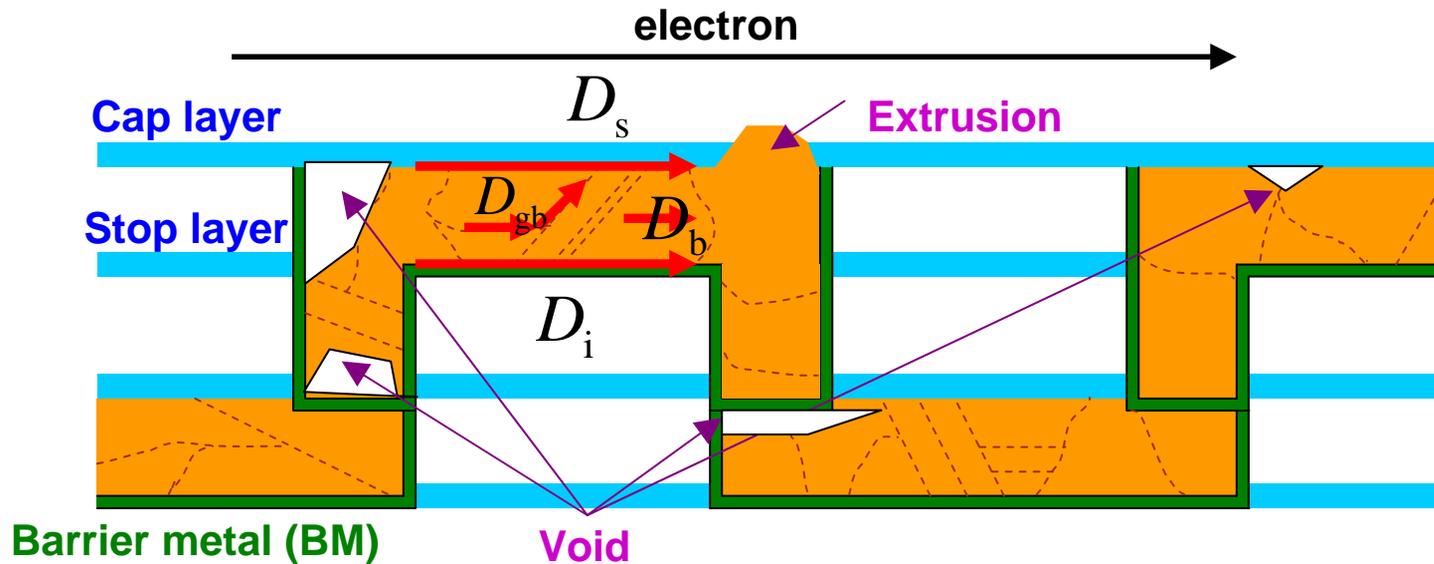


- Minimum Tr width (W_{min}):
 NMOS Gate width=(ASIC Half-pitch)x 4
 PMOS Gate width=(NMOS Gate-width) x 2
- Circuit Tr width (W_g):
 W_g = W_{min} * X 2 (8)
- Gate capacitance (C_g): Updated C_g
- Wiring length (L_i): IM-Pitch x 400 (200) () 2007年度
- Wiring capacitance (C_i): Updated k_{eff}



2008年度は、ITRS System & DesignTWGの Andrew B. Kahng氏@UCSDの意見を参考に Jmax計算パラメータを適切な値に見直したが、結果的にはJmaxは殆ど変化なし

「EM Crisis」～微細化(32nm世代以降)によるEM寿命の低下

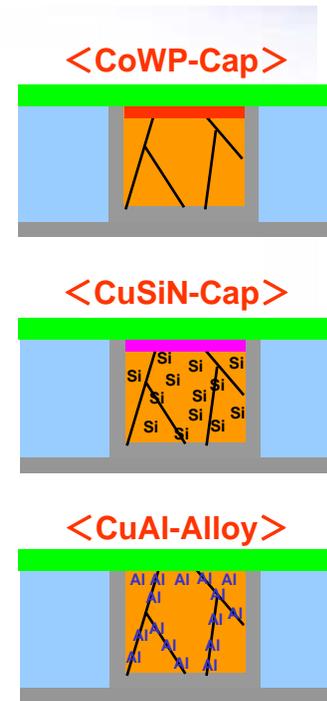
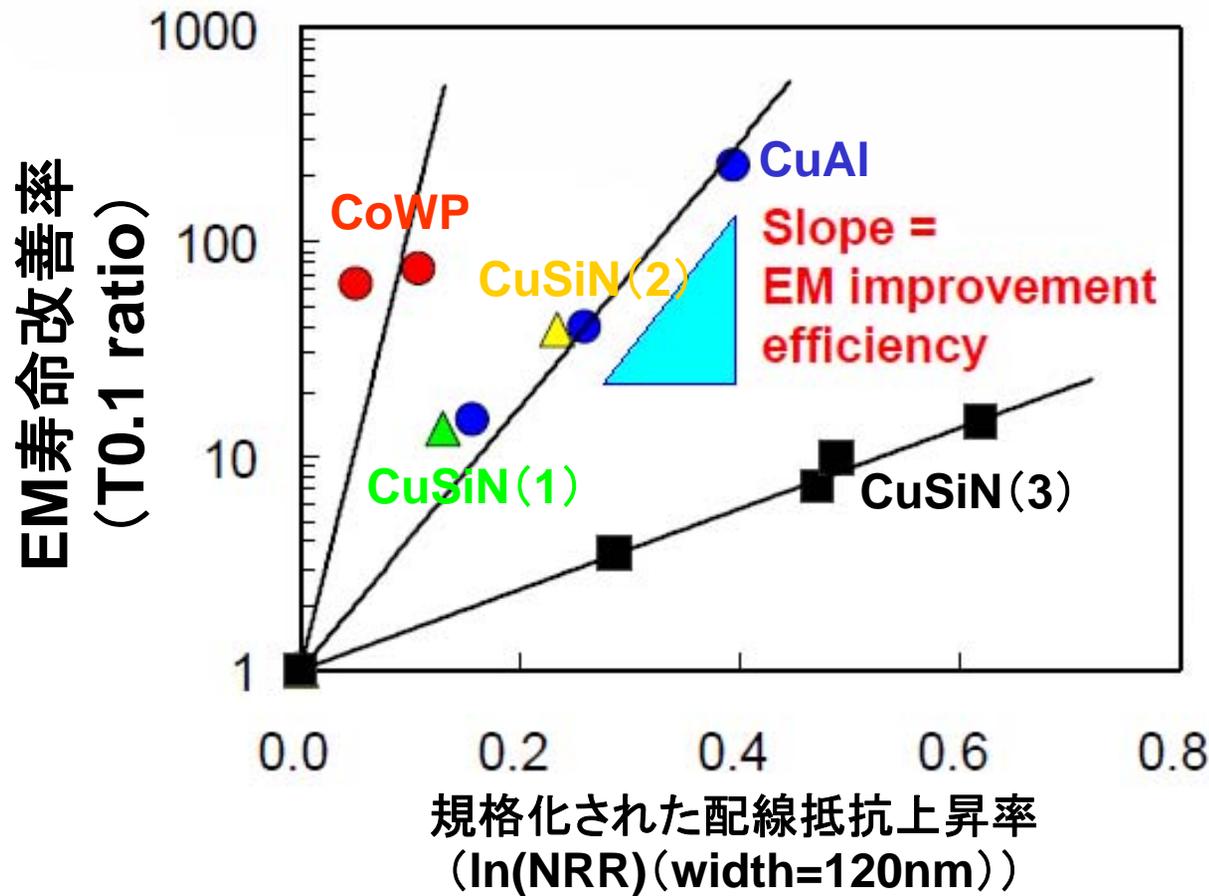


拡散係数

$$D_{\text{eff}} = n_b D_b + \left(\frac{\delta_{\text{gb}}}{d} \right) \left(1 - \frac{d}{w} \right) D_{\text{gb}} + \delta_i \left(\frac{2}{w} + \frac{1}{h} \right) D_i + \frac{\delta_s}{h} D_s$$

バルク
粒界
Cu/BM界面
D.B/Cu界面が
支配的

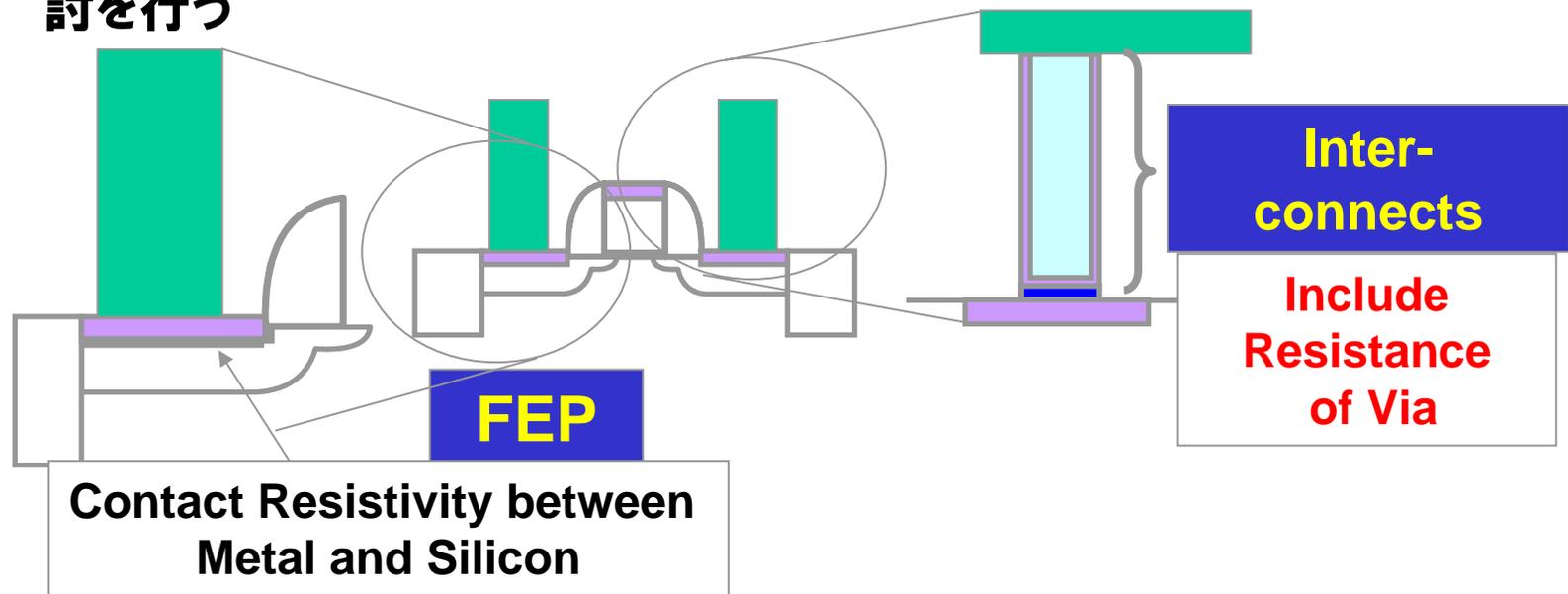
- 電流密度一定でも**界面拡散の影響増大**により配線幅とともにEM寿命が低下 (Yokogawa et. al., 2004 Stress Workshop)
- 微細化とともに**Cu-D.B界面の割合が増加**し、故障に達するポイド体積の減少によりEM寿命が低下 (C-K. Hu et. Al., 2006 Microelectronics Reliability)
- **Low-k膜では弾性率が低下**するために**Back-flow効果が減少**し、Drift速度が増加しEM寿命低下 ($v_d = v_{EM} + v_{BF} = \mu (Z^* e \rho j - \Omega \cdot \Delta \sigma / L)$)
- 微細化とともに**粒構造も微細化**し、**粒界拡散の影響が増加**してEM寿命が低下



配線抵抗上昇の抑制とEM信頼性の改善を両立できる
EMRブースタープロセスとしては、CoWP-Capが最有力であるが、最近ではSi
拡散やAl添加による抵抗上昇を抑制できるプロセスも活発に検討されており、
2009年度ITRS改訂に向けてEMRブースターの検討を行っていく

コンタクト抵抗: 定義の明確化とFEPとの切り分け

- ⇒ ロジックデバイスのコンタクト抵抗の定義は、FEPとの議論の結果、Silicide/Si界面以下をFEP、PMD工程以降(BMを含めたプラグ部分)を配線WGの領域とすることで合意
- ⇒ PIDS(及びFEP)から、全寄生抵抗(R_{total})の3%をコンタクト抵抗として許容する提示を受ける。2009年度は、PIDSからの抵抗スペックの提示を受けて、Wコンタクトの適用限界と代替(Cu, Ru, Co etc.)技術の可能性検討を行う



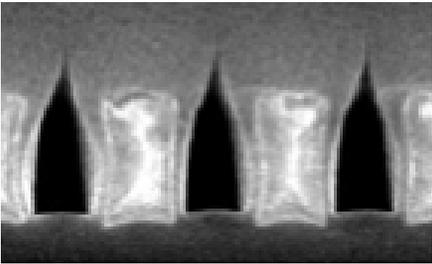
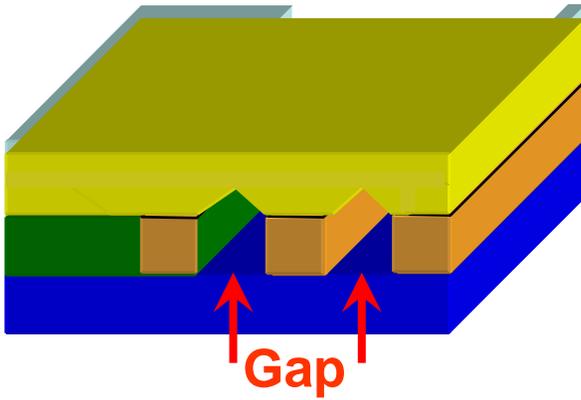
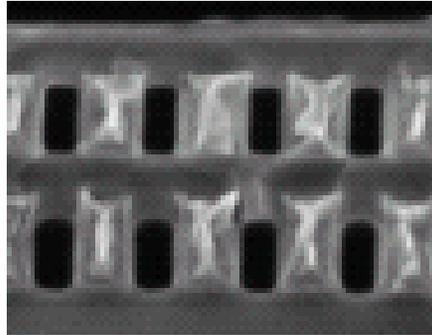
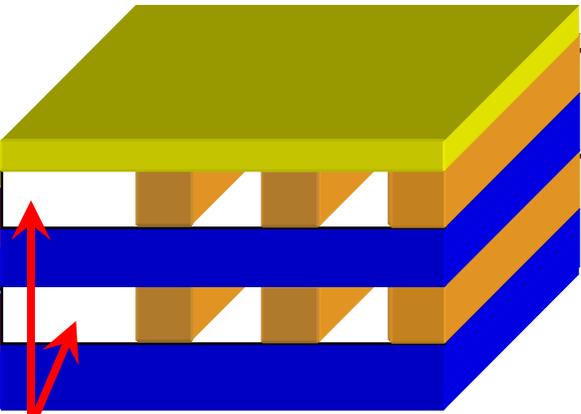
FEP: Below Metal, including the interface of metal (silicide) and silicon
Interconnects: Above the interface between metal (silicide) and silicon

学会発表に見るAir-Gap技術動向(2006-2008 IEDM, VLSI, IITC, AMC)



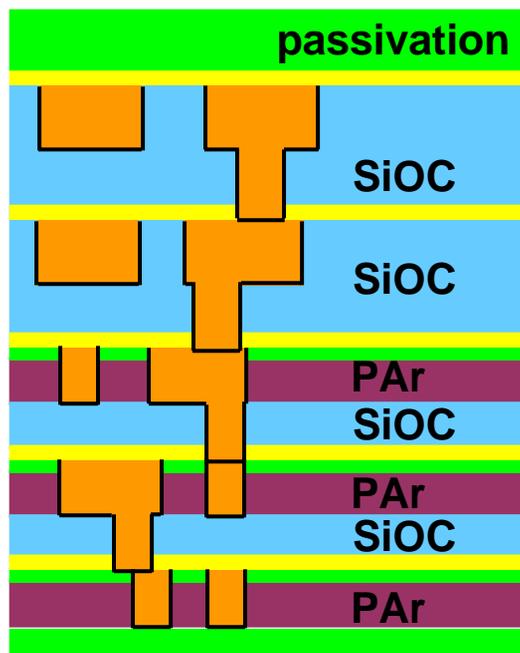
	32 nm($keff \leq 2.5$)	22 nm($keff \leq 2.2$)	15 nm ($keff < 2.0$)	工程数 増加	機械強度 低下	BL対応
NXP	 TDP, HM:SiOC Keff=2.5	 Removing SiO ₂ of hybrid(SiO ₂ /PAR) by HF Vapor		△	×	○
Philips	 CoWP mask & TDP(400C 1h N ₂) HM:CDO,TDP			△	×	○
Infineon	 Etch & selective ozone TEOS on TEOS depo. MS&Cu barrier:SiN Keff=2.3			×	×	×
IBM	 M1:No-air gap (because of short wire) M2-M4:Self-assembly scheme, O ₂ plasma & dil.HF M5-M10:Optical scheme Keff 35% ↓	 1x Self-Assembly	 2x-4x Litho 8x Litho	×	○	○
Panasonic	 Etch & SiOC etching using CoWP Mask SiOC:k=3.0? Keff=1.9 @65nm DR			×	×	×
Hitachi	 CF ₄ etching No air-gap at via to avoid miss-alignment issue			×	×	×

世界中で多くのAir-Gap形成方法が活発に検討されているが、
 工程数増加や、機械強度の低下、Borderless対応不可(合わせズレによるCu埋め込み不可)など
 これらを両立できる実用性が高い方式の提案がないのが現状である

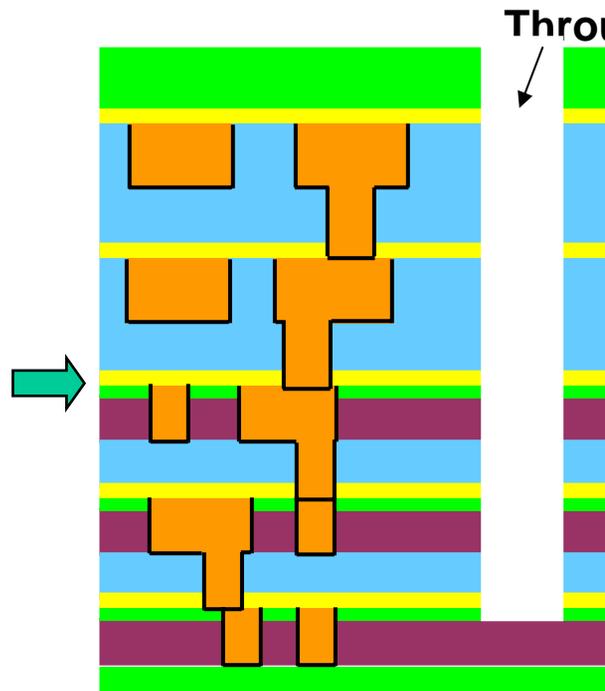
方式	プロセス概要	特性	
<p>CVD Gap方式</p> 	 <p>↑ Gap ↑</p>	<p>工程数</p>	<p>✗ 一層毎にリソ/加工が追加される</p>
<p>犠牲膜除去方式</p> 	 <p>↑ Gap ↑</p>	<p>工程数</p>	<p>◎ 多層一括形成が可能</p> <p>✗ A.Gが全面形成 強度不足懸念</p> <p>✗ A.G領域の 限定ができない</p>

工程数増加が少なく、高機械強度、Layout制約の少ない Air-Gap配線技術の開発が必要

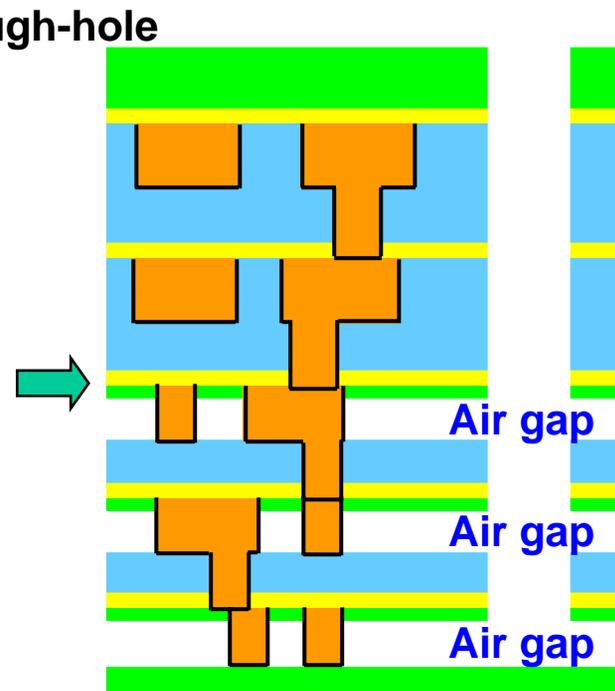
低コスト指向一括後抜きAir-Gap形成プロセスの概要



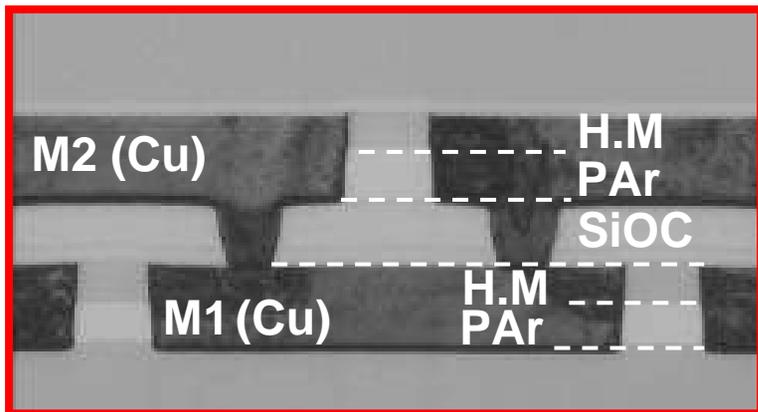
Multilevel interconnect by hybrid process



Through-hole opening



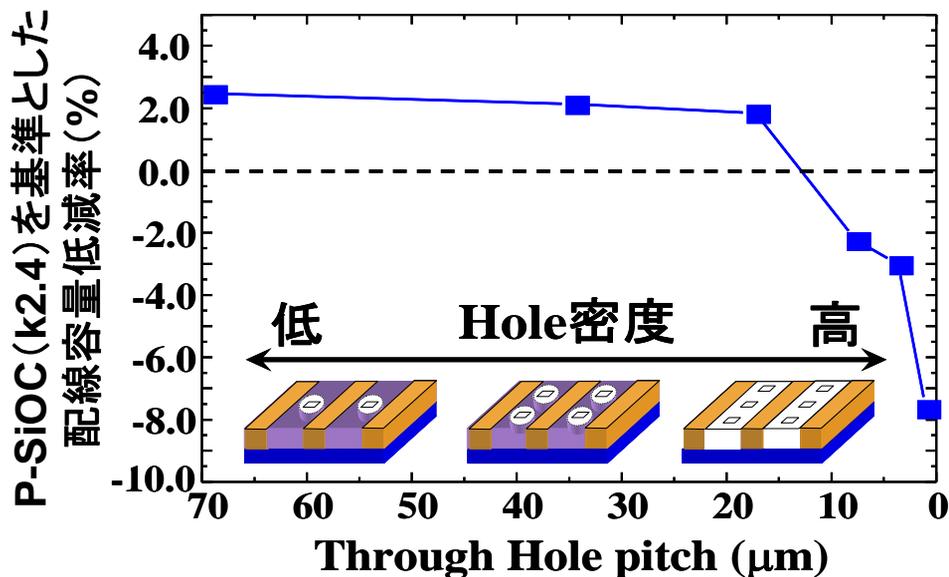
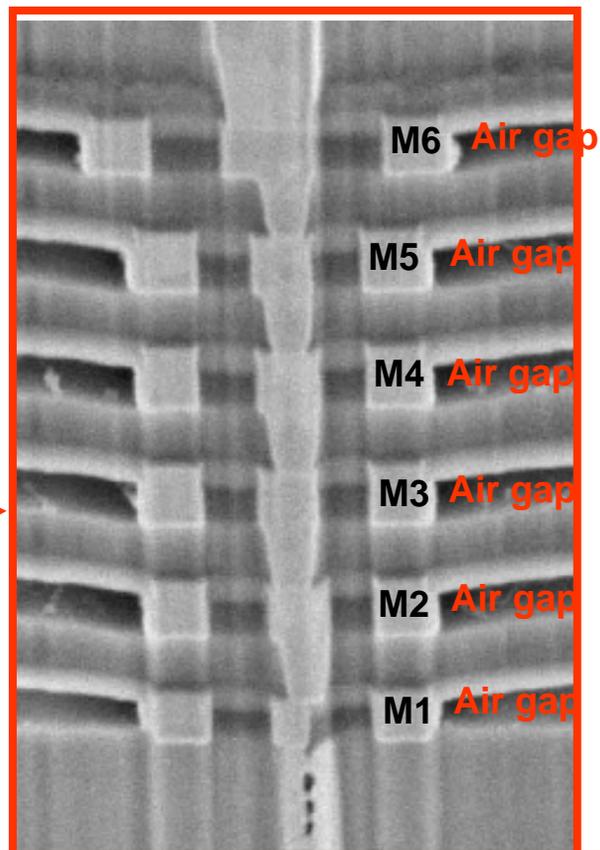
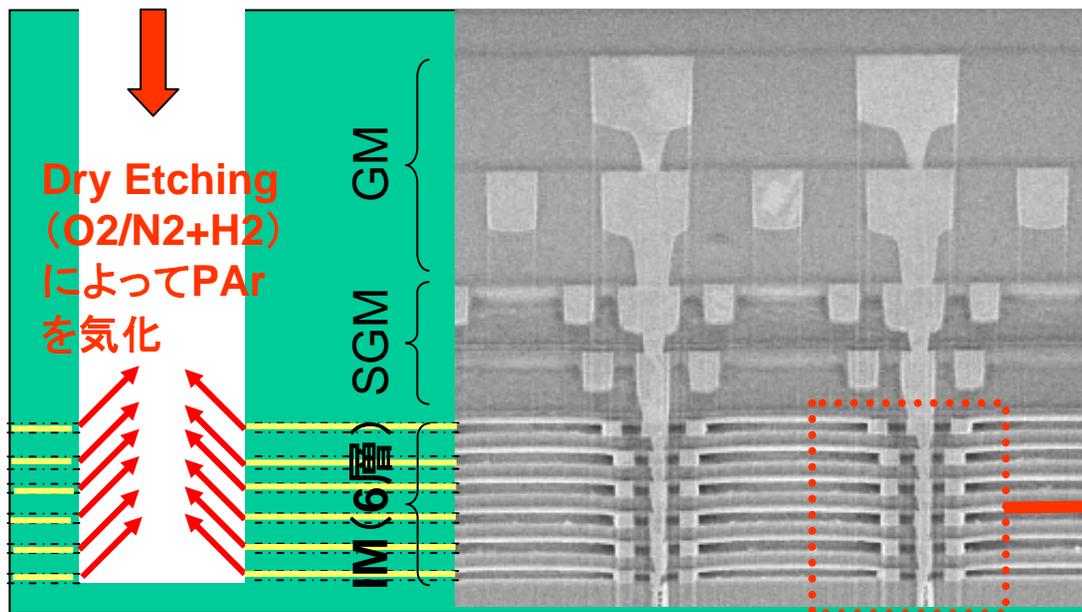
Removal of organic films



N.Nakamura et al., IITC2008, pp.193-195

工程数	◎ Air-Gap多層一括形成可能
機械強度	◎ Air-Gapを所望領域に選択形成
Layout	◎ Through Hole / Chip RingのLayout最適化で領域限定可能
課題	<ul style="list-style-type: none"> ・有機膜選択除去Ashingの開発 ・Through Holeの封止技術開発

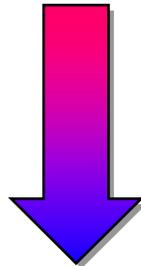
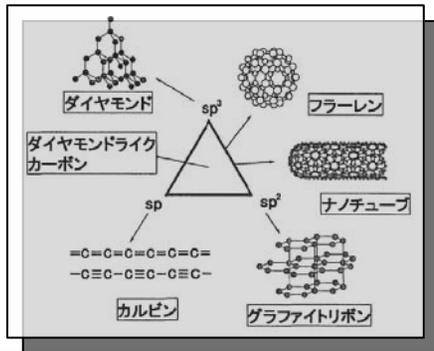
Gas抜き深穴形成



2009年度は、実用性の高いA.G技術の開発がさらに活発化する可能性が高く、今後も最新動向をWatchしていく

Carbon Nano-Tube (CNT) Technology

- 電子散乱効果による極微細Cu配線における抵抗上昇
- Cu配線の微細化によるEM信頼性劣化と改善限界 (<math>< 1E7MA/cm^2</math>)
- 微細Via付きCu配線のSM信頼性の劣化と改善限界



<CNTの本質的なメリット>

- ◎ 低抵抗 : Ballistic伝導(600nm~4 μm長)
量子化抵抗: 6.45Kohm/tube
- ◎ 高電流密度: ~10⁹A/cm²>>10⁷A/cm²(Cu)
- ◎ 高熱伝導率: ~1300W/Fm(D)>>400W/Fm(Cu)
- ◎ 高機械強度: ~1000GPa(W)>>130GPa(Cu)

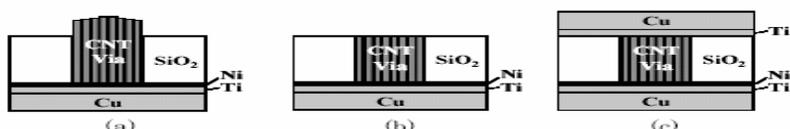
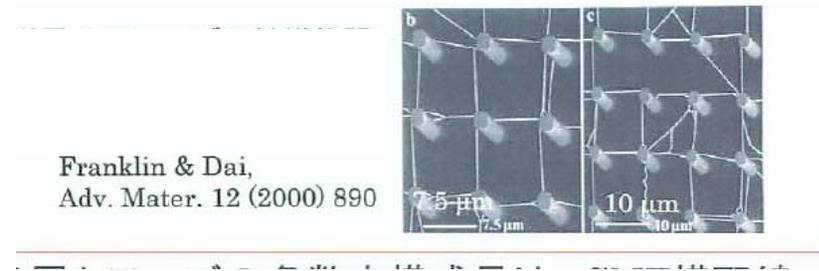
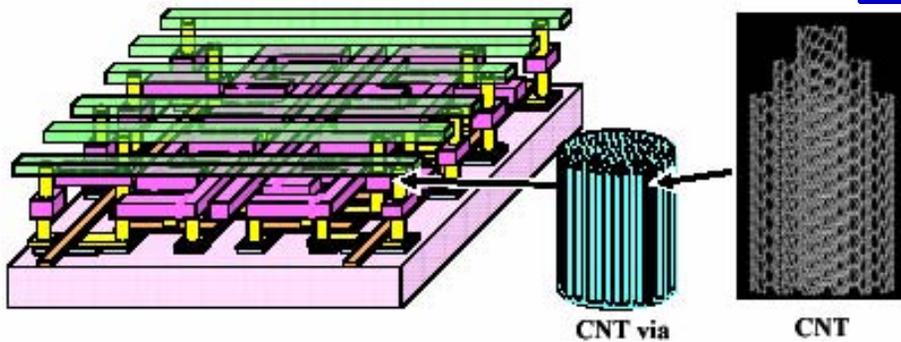
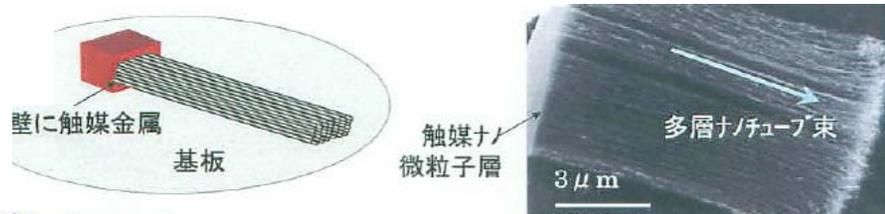


Fig 2. Schematic of CNT via process. (a) Simultaneous formation of CNTs and their end-bonded low-resistance ohmic contacts by using hot-filament CVD, (b) mechanical polishing, and (c) upper layer contacts.

M.Nihei et al., IITC2004,pp.251-253(2004)



160nm ϕ ViaへのCNT成長と電気特性(最新動向)

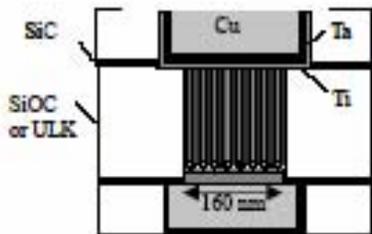


Fig. 1. A cross-sectional substrate structure

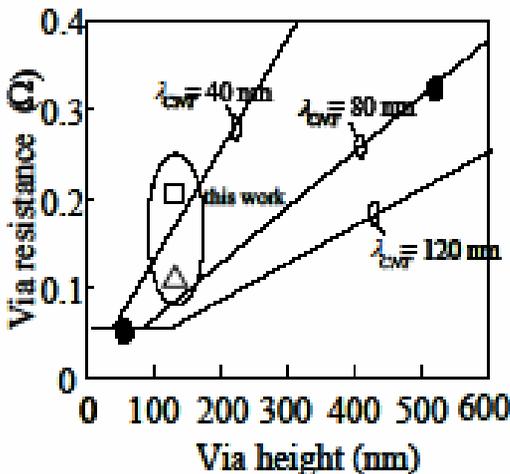
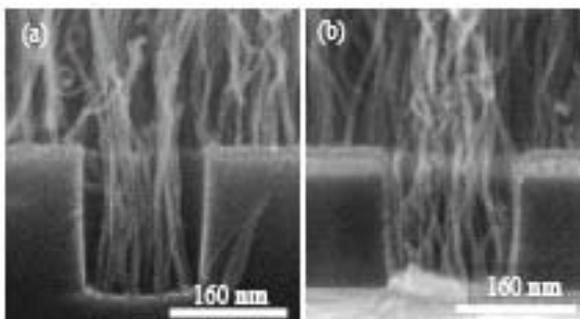


Fig. 5. Via resistance dependence of the via resistance
 Solid line: the via resistance calculated assuming various ball...
 lengths ●: 28 μ m via 430 °C growth △: 160 nm via 430 °C
 growth ○: 160 nm via 400 °C growth

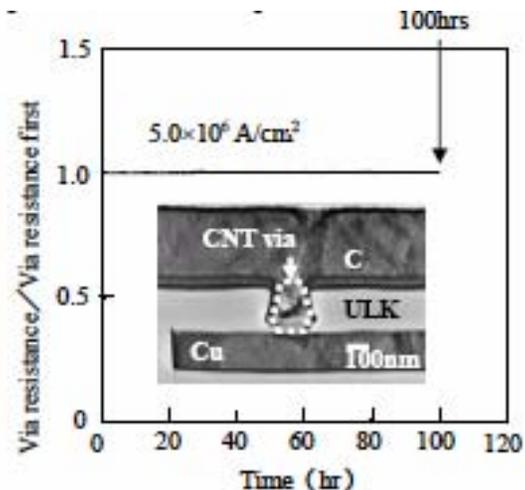
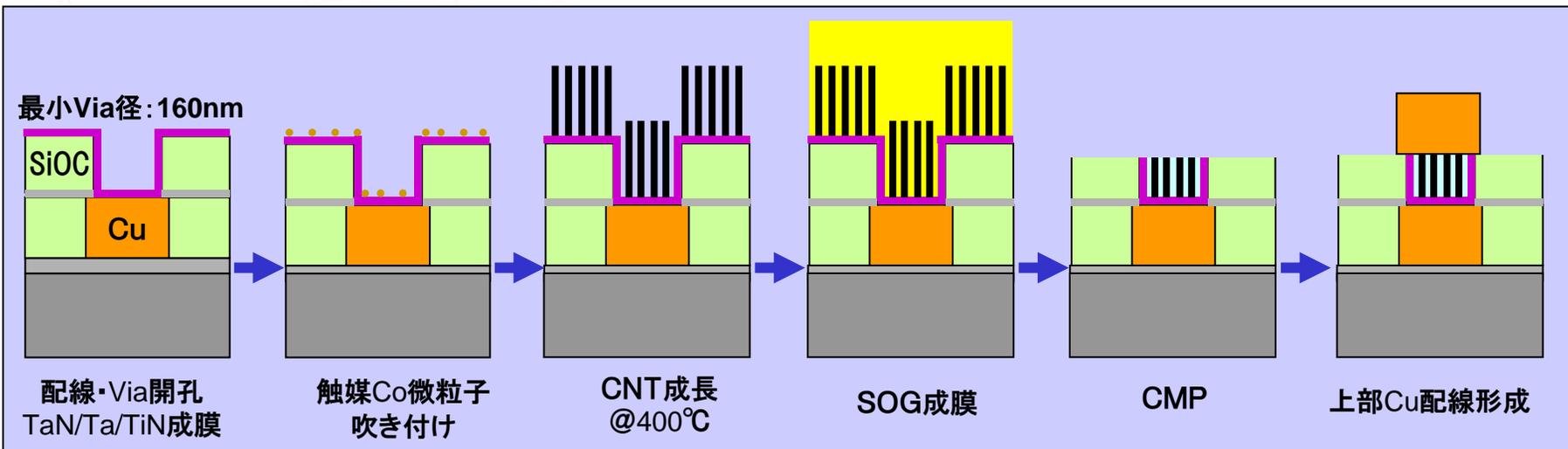
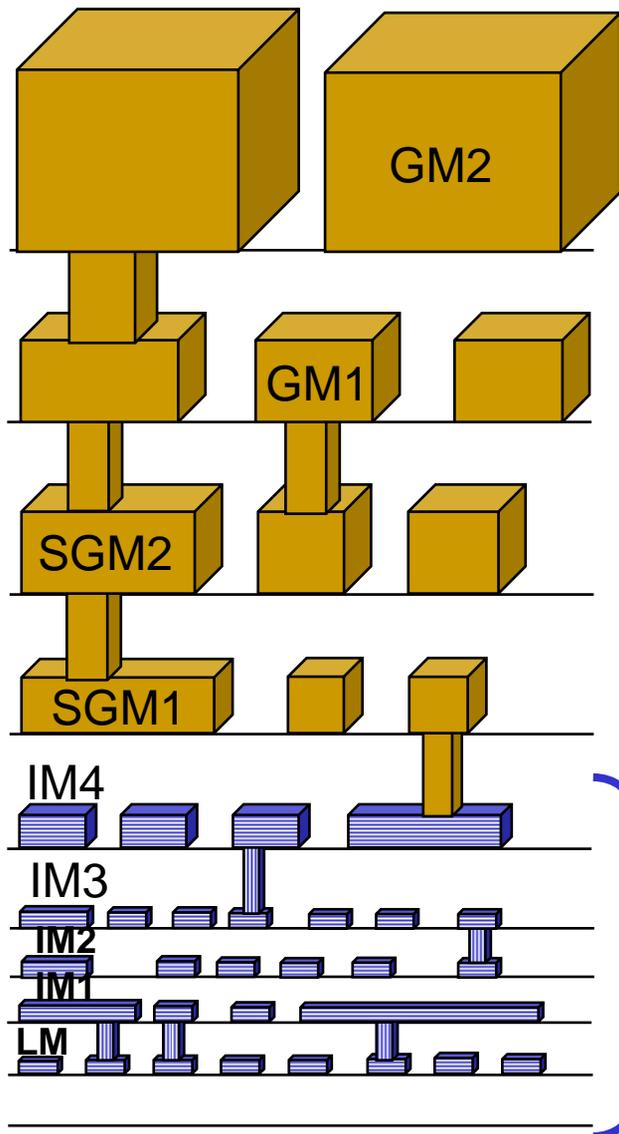


Fig. 6. EM characteristics at 105 °C in a vacuum and cross-sectional TEM image of the CNT via



A.Kawabata et al., IITC2008, pp.237-239(2008)



<CNT成膜>

- 成膜方式(熱CVD or マイクロ波プラズマ:先端放電型、表面波型)
- 低温化(<400°C)
- 高密度化(>5E12cm-2 × 6層/Tube)
- 小径化(<3nm φ)
- 横成長時の位置・方向・長さ制御

<触媒金属>

- 材料及び成膜方式選択(Co微粒子吹き付け
→Co薄膜スパッタによるLSIプロセス整合取り)
- CoW-Cap上へのDirect成長

<インテグレーション>

- 選択成長 or 全面成長
- CNT-CMP: Slurry開発、Scratch対策
- 横方向成長方式、90° 曲げプロセス、CNT同志の接続/ρc低減化、上層Cu配線プロセス整合性

More Moore

More than Moore

Geometrical Scaling 寸法の微細化

Equivalent Scaling 実効的の微細化

Functional Diversification 機能の多様化

**Cu配線抵抗の
 増大⇒
 高抵抗BMを
 薄膜化の必要！**
 +
**配線間容量の
 増加⇒
 更なるLow-κ化を！**
 ↓
**RC低減困難
 消費電力増大**

**Post-Cu材料(CNT)で
 低抵抗化と
 Cuでは実現不可能な
 EM高信頼化を！**
 +
**グローバル配線には、
 貫通電極(TSV)と
 光配線で短距離化と
 伝送限界打破を！**

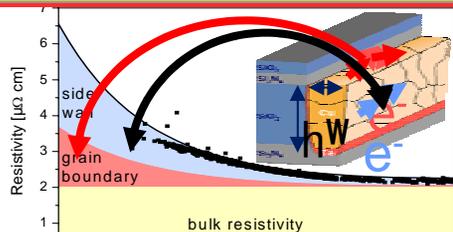
**配線に機能を
 アドオン**
 ↓
**受動素子
 スイッチング素子
 センサー...**
 ↓
**ヘテロジニアス
 インテグレーションで
 新たな機能を
 1チップで！**

CMOSコンパチブル

Geometrical Scaling Equivalent Scaling

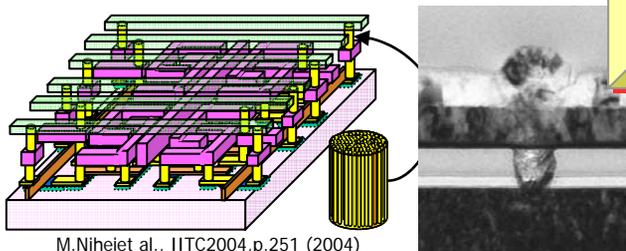
Functional Diversification

配線抵抗上昇対策
信頼性劣化対策
(Metal-Cap、
粒界修飾、Cu大粒径化)



G.Steinlesbe... l.47, p.123

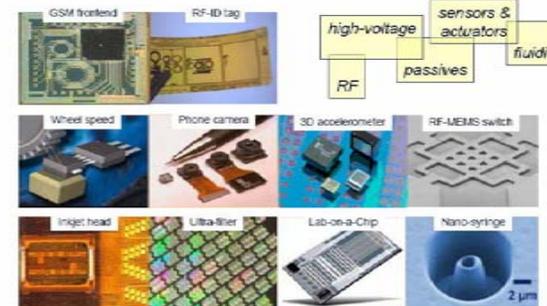
低抵抗・高信頼性配線
(CNT/Graphene)



M.Nihei et al., IITC2004, p.251 (2004)

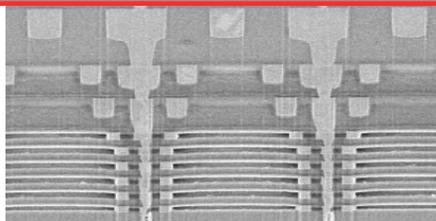
Heterogeneous Integration
Multi-chip Module
(ex. Sensors/MEMS on CMOS)

More than Moore:
Heterogeneous technologies

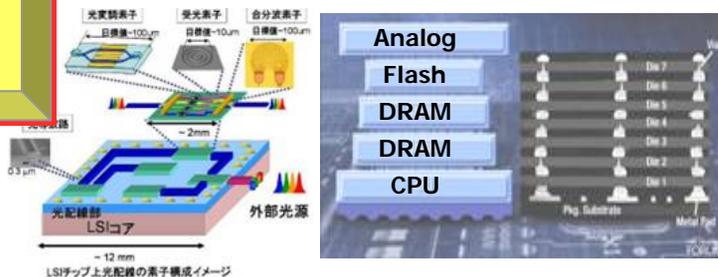


グローバル配線の
短距離化、高速伝送化
(3DI/TSV、光配線)

配線寄生容量低減
(Porous low-k SiOC、
Air-Gap)

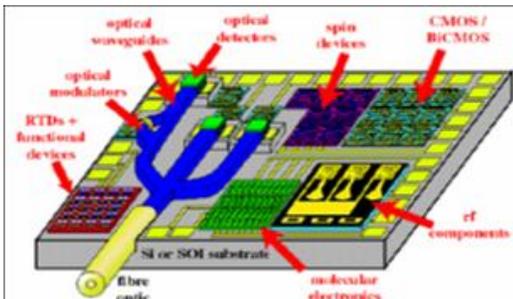


N.Nakamura et al., IITC2008, pp.193-195



2006年半導体MIRAIプロジェクト成果報告会

Intel Developer Forum (2005) Spring



A.M.Ionescu., INC3 (2007)

3DI (3次元集積化)技術のモチベーション



- 微細化が進むSoCでは、配線抵抗や配線容量増大に起因した信号遅延と消費電力の増加が顕在化してきており、これらの対策としてSi貫通ビア(TSV)を活用した半導体チップの3次元集積化が有効である
- Si貫通ビアによる3次元接続法は、接続距離を1/1000程度に短縮化できるだけでなく、超ワイドバス化が可能であり、大容量・高速の信号伝送を可能にする
- 3次元集積化技術を用いてCMOS半導体デバイスと他の機能デバイスとの3次元集積化を行えば、従来にはない多機能デバイスの実現が可能となる

TSVを用いた各社アプリケーションと特徴による分類

特徴		配線長	バス幅	消費電力	スピード	高性能	小型化	高密度	信頼性 (使い勝手)	コスト
アプリケーション										
IBM	SRAM+ ワイヤレス コミュニケーション チップ	○	○	○	○	○				
Intel	80コアプロ セッサ+S RAM				○	○				
三星	DDR2			○	○		○	○		
ST	Camera Sensor						○		○	○
Micron	CMOS image Sensor						○			
東芝	CMOSイ メージセン サーカメラ						○		○	○

High Density領域
(Fine Pitch)

Low Density領域
(Coarse Pitch)

ハイエンド

メモリ

CMOSセンサ

TSV寸法から見た実装WGとの棲み分け

TSV技術のロードマップ作成に向けた実装WGと棲み分けを議論（6/12）し、配線側では、サイズの小さいTSVをターゲットに、Difficult ChallengeやPotential Solutionの観点から必要技術を抽出し、アプリケーションと要求仕様との関連付け作業を進めていく。（下記テーブルは実装WGより提供）

目的・用途		アプリケーション	代表的ビア形状		
			直径	ピッチ	深さ
パッケージ技術	WBの代替	CMOSイメージセンサー	75 μm	150 μm	100 μm
	3次元構造	積層メモリ DRAM積層(ex.DDR), FLASH積層	25 μm	50 μm	50 μm
		Logic-SiP Logic-Memory, Logic-MCU-Memory RF-SiP	25 μm	50 μm	100 μm
配線技術 (グローバル配線の代替)		MPU, SoC	<2.5 μm	<5 μm	>10 μm >50 μm

ここが配線WGの狙う範囲. しかし, ITRS基準の量産には至らない…….

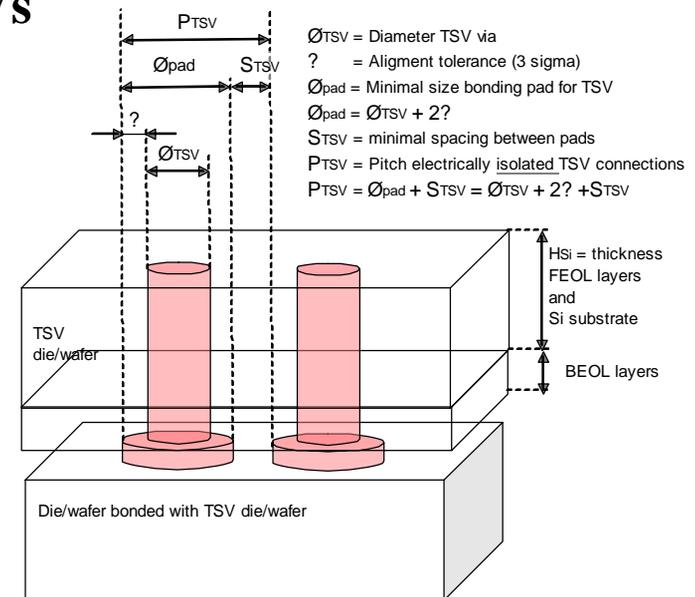
Interconnect HDTV Roadmap

“enabling terabits/sec at picojoules”

- The Interconnect perspective - examples:
 - High bandwidth/low energy interfaces between memory and logic
 - Heterogeneous integration with minimal parasitics (analog/digital, mixed substrate materials, etc)
 - “Re-architect” chip by placing macros (functional units) on multiple tiers (wafers) and connect using HDTV

- Model assumptions:

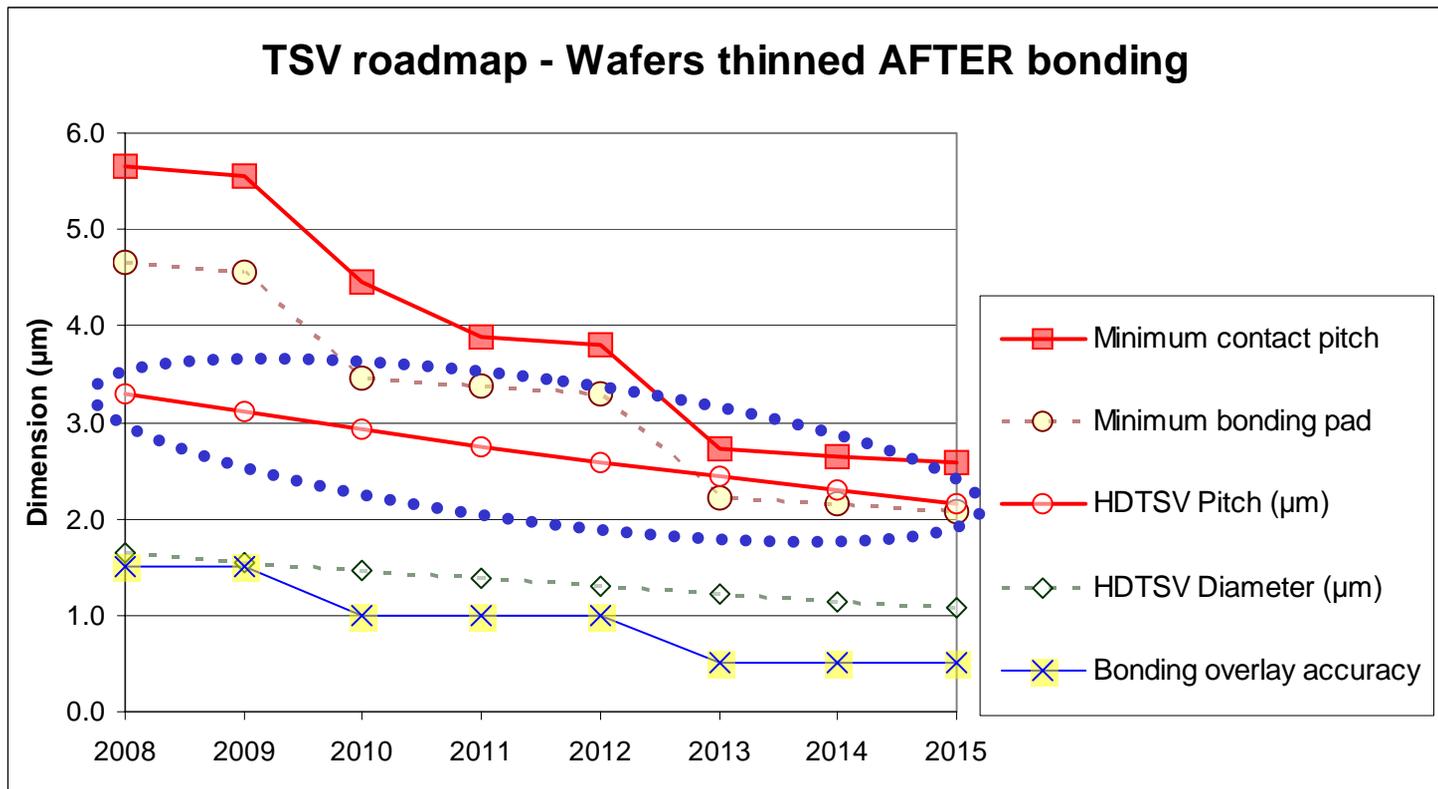
- TSV diameter limited by silicon thickness and TSV Aspect Ratio:
- Pitch limited by TSV diameter, misalignment tolerance, minimum pad spacing



Interconnect HDTV Roadmap

“enabling terabits/sec at picojoules”

- ・今年採用したのは, HDTV Pitch=3.3 μm (@2008年)
- ・TSV Pitchを $\times 0.9$ /2年のペースで微細化
- ・ボンディング後にウエハー薄化してからTSV形成



<08年度活動実績>

- Low-k技術の導入実績(計画)を考慮してBulk k値のレンジを縮小したが、結果的には07年度のLow-keff ロードマップと変化なし
- 07年度に周波数鈍化を受けて改訂したJmax指標について、そのモデルパラメータをより現実的なものに見直したが、07年度版と大きな変化なし
- ロジックデバイス向けコンタクト抵抗の定義をFEP(WG3)との議論を通して明確化(→配線WGはPMD以降:BM含めたプラグ部分)
- TSV技術のロードマップ作成に向け、実装(WG7)との議論を通して配線WGがカバーすべき領域を明確化(→グローバル配線代替:Pitch<<5um)

<09年度に向けての活動方針>

- 「EM Crisis」(Jmaxだけでは表わせない配線信頼性の危機)を受けたEMRブースタープロセス検討
- ロジックデバイス向けコンタクト抵抗の設計WGからのスペック提示を受け、Wプラグの適用限界と代替技術のPotential Solutionの洗い出し
- HDTSVの想定されるアプリケーションの抽出と要求仕様の明確化、Difficult ChallengesやPotential Solutionsの観点から必要技術の洗い出し
- More Moore(ex. Air-Gap, CNT)及びMore than Moore(ex. MEMS on CMOS)の最新動向調査の継続