

実装WG

先端パッケージ技術

More than Mooreを実現するSiP技術

(社)電子情報技術産業協会
半導体部会 半導体技術委員会
半導体技術ロードマップ専門委員会
WG7／春田 亮(ルネサステクノロジ)

BG : Back Grinding

BGA : Ball Grid Array Package

COC : Chip on Chip

CSP : Chip Size Package/Chip Scale Package

FC : Flip Chip

ITRS : International Technology Roadmap for Semiconductors

KGD : Known Good Die

MMC : Multi Media Card

SEAJ : Semiconductor Equipment Association of Japan

SiP : System in a Package

SSD : Solid State Drive

TSV : Through Silicon Via

WB : Wire Bonding

- 1. はじめに**
2. 最新のSiP技術
3. SiP組立技術の動向
4. まとめ

2008年度 WG7 メンバ



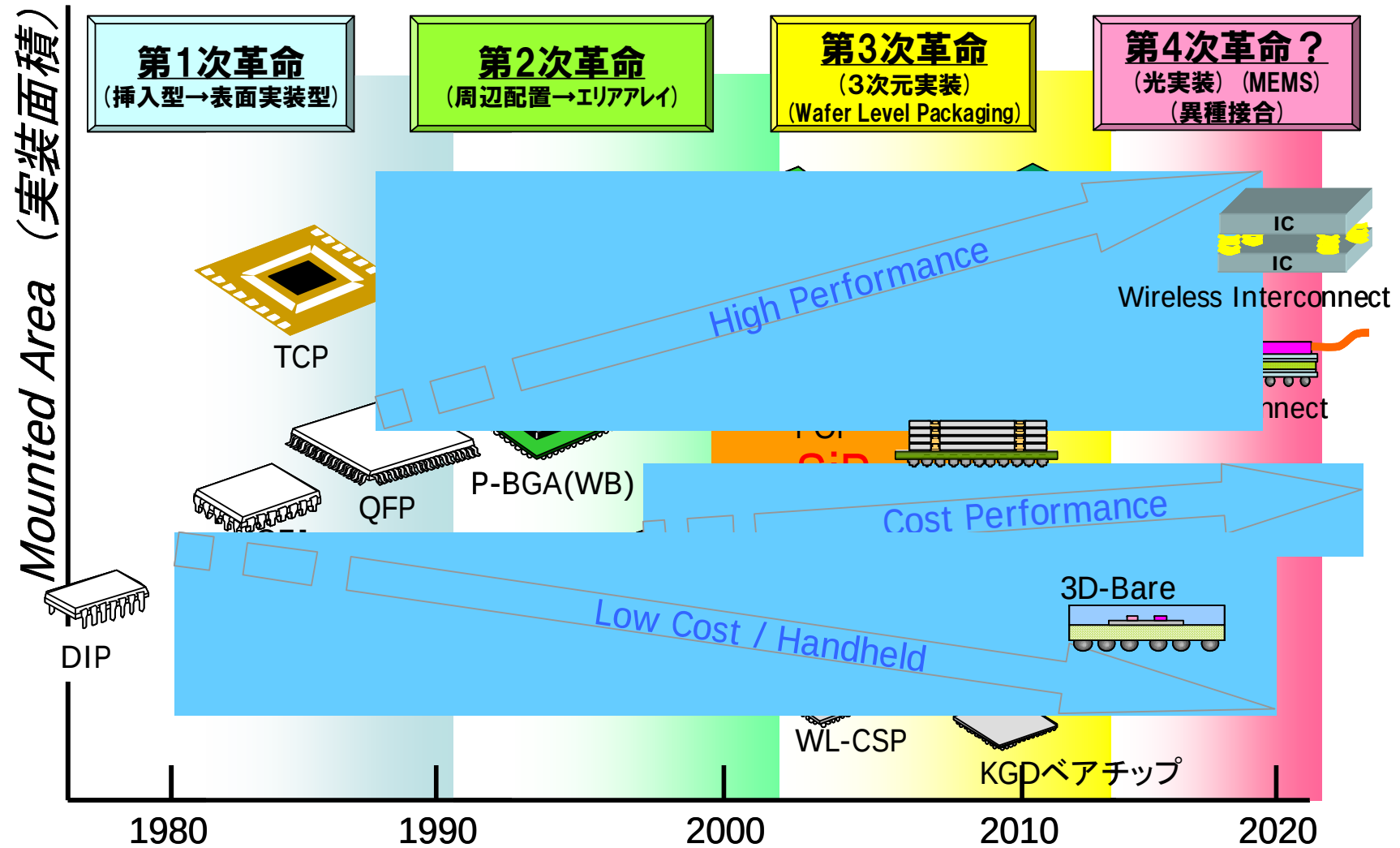
リーダー : 春田 亮(ルネサス)

サブリーダー : 中島 宏文(NECエレ)

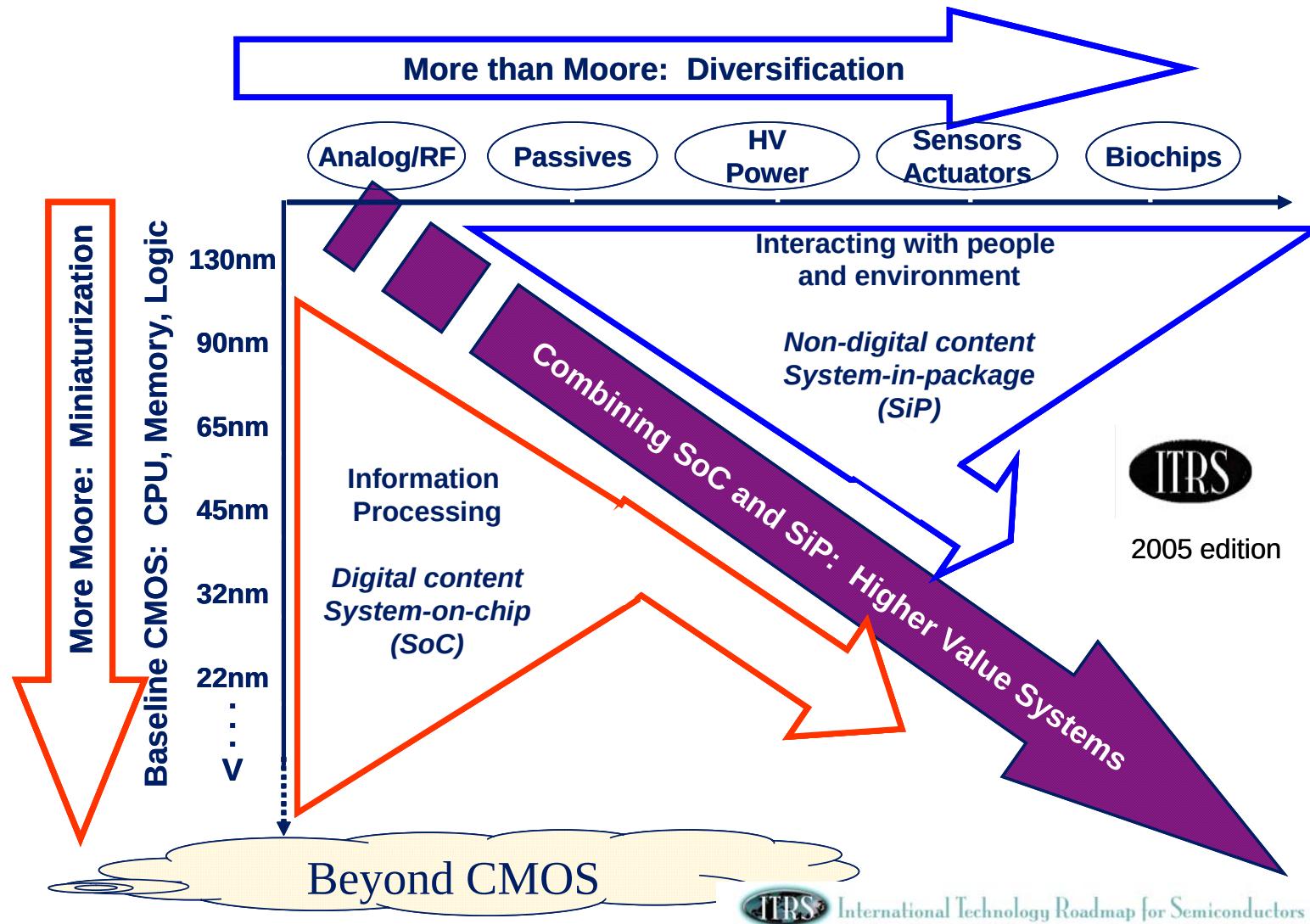
国際対応委員 : 宇都宮 久修(ICT)、中島 兼務
委員 : 吉田 英治(富士通)、松浦 雅夫(ソニー)、
木村 通孝(ルネサス)、大内 伸仁(OKI)、
春口 秀哉(シャープ)、上田 茂幸(ローム)、
大塚 雅司(東芝)、杉崎 吉昭(東芝)、
臼井 良輔(三洋)、春日 壽夫(NECエレ)、
高田 隆(松下)、大槻 哲也(エプソン)、

特別委員 : 久保 貴則(京セラ)、
林 智雄(SEAJ; 東京精密)、
横田 寛(SEAJ; 住友重機械工業)、
喜多村 章司(SEAJ; キヤノンマシナリ)

LSIパッケージの開発動向



More Moore vs. More Than Moore



1. はじめに

2. 最新のSiP技術

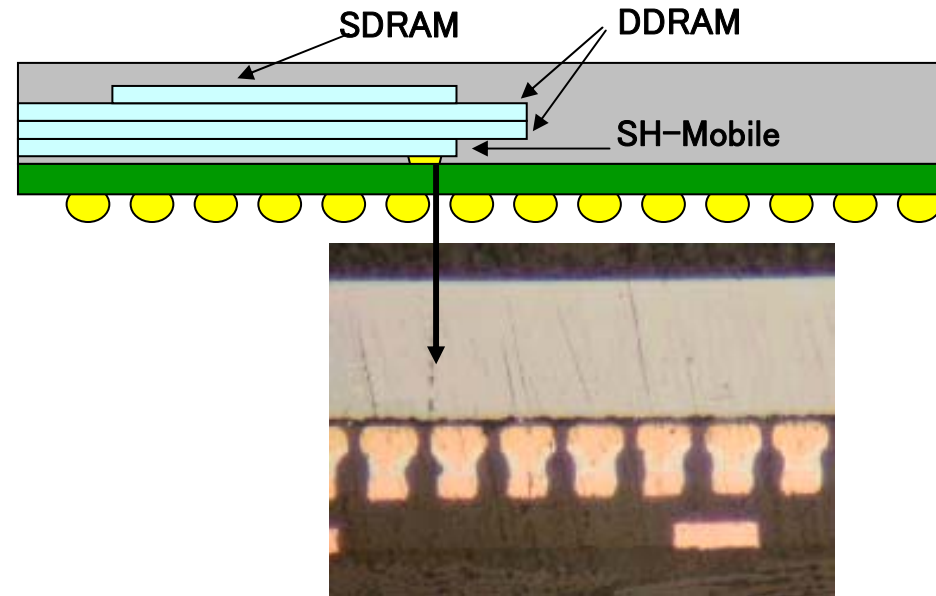
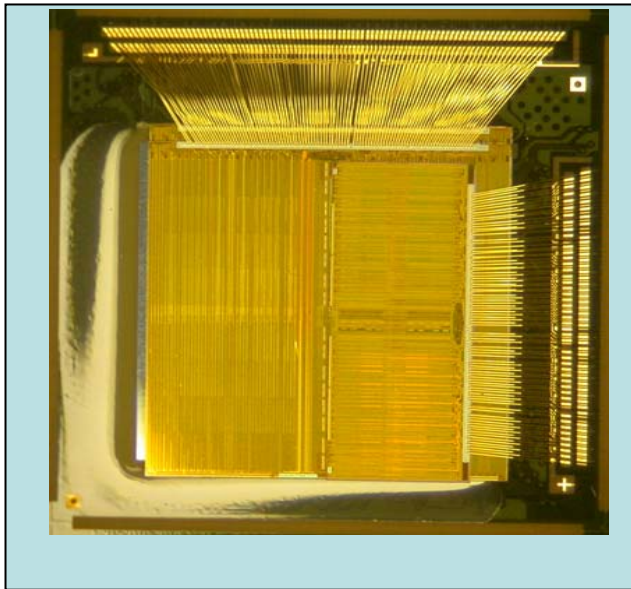
3. SiP組立技術の動向

4. まとめ

携帯電話用途SiP事例



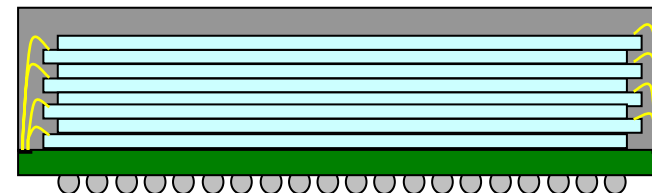
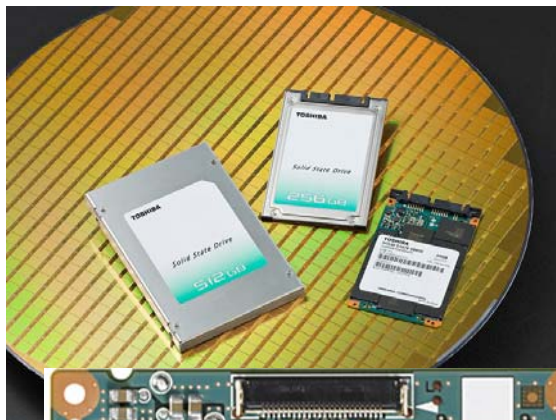
- 小型・薄型化を実現するため、薄チップ多段積層
- フリップチップ接合＋ワイヤボンド技術の併用



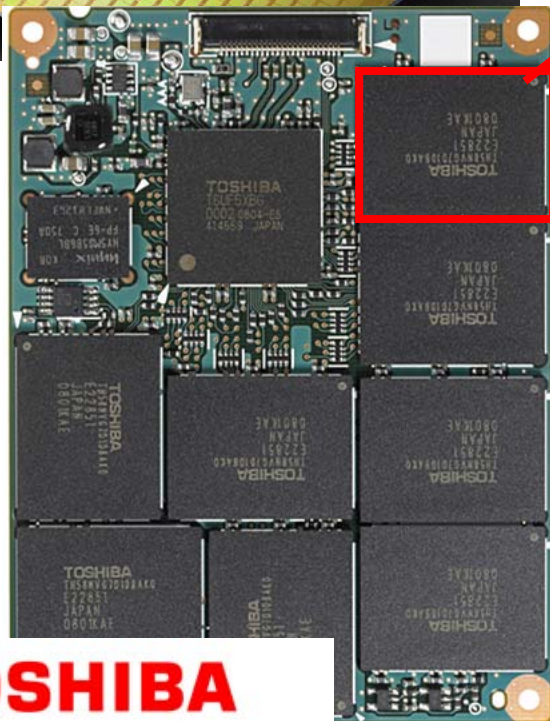
SH-Mobile Gシリーズ（700ピンのフリップチップ）

15mm□ BGA（パッケージ高さ：1.55mm）

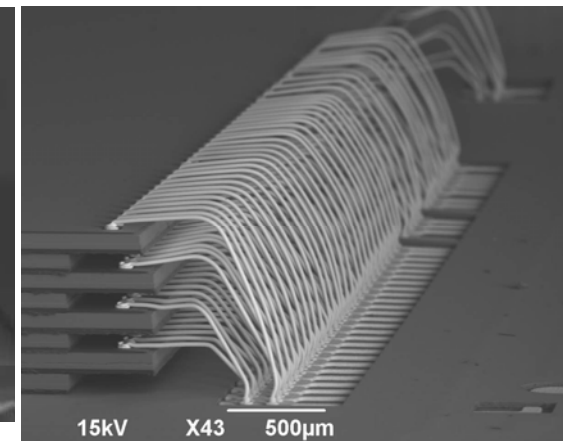
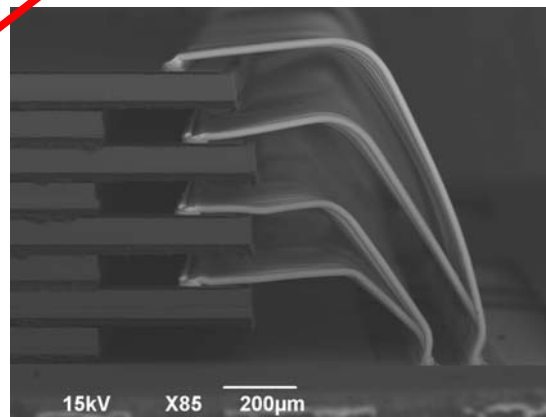
業界最大級の512GB SSD (Solid State Drive)



32Gbit(4GB) BGA224pin



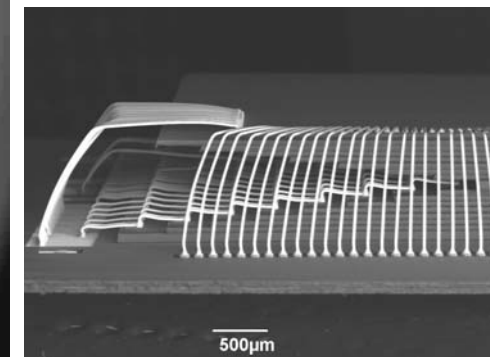
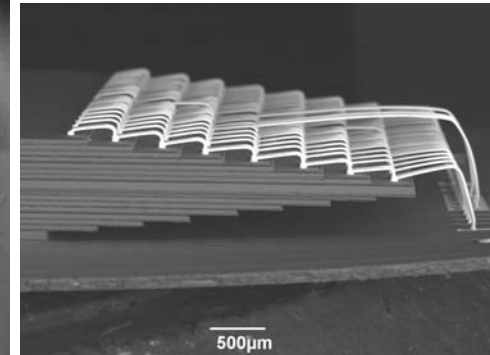
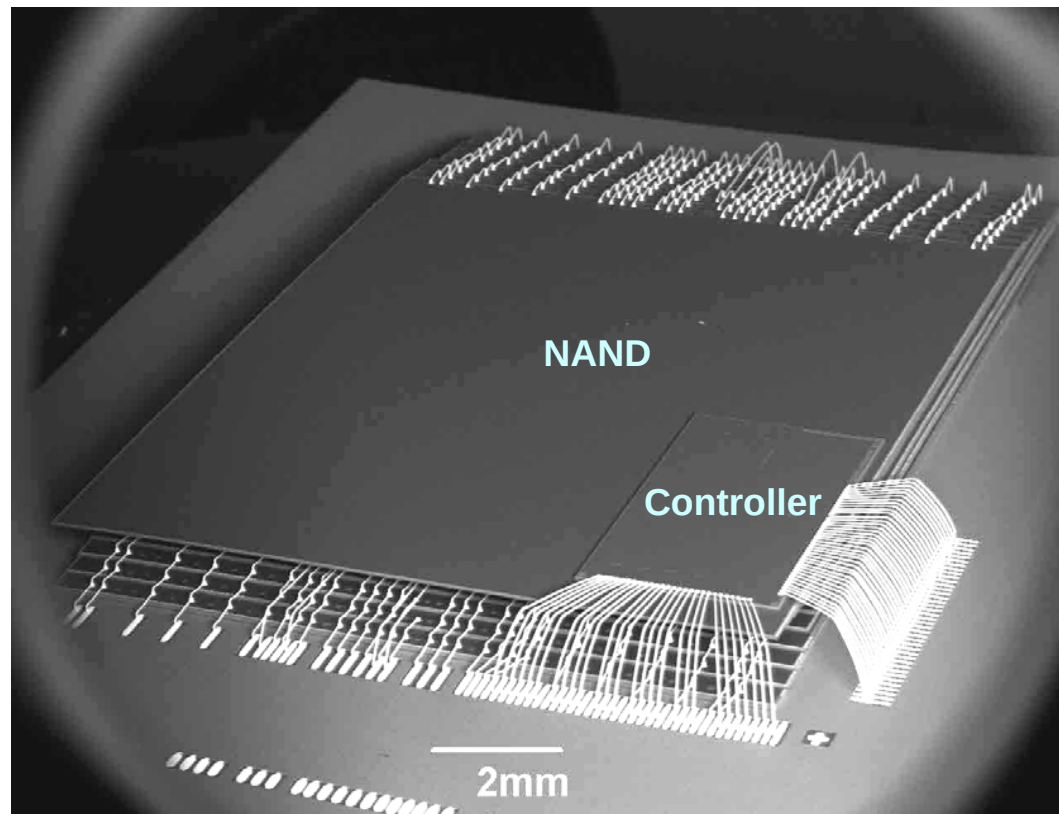
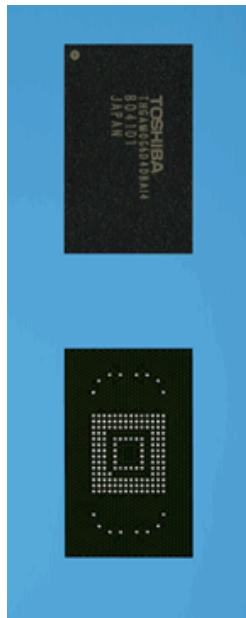
TOSHIBA
Leading Innovation >>>



- ・積層段数 : x8
- ・チップ厚 : 80µm
- ・モールド技術 : 200µmの狭ギャップ充填
- ・ボンディング技術 : 800µm高段差
700µm短ループ

Courtesy of TOSHIBA

極薄チップ(25um厚)を用いた64GB eMMC



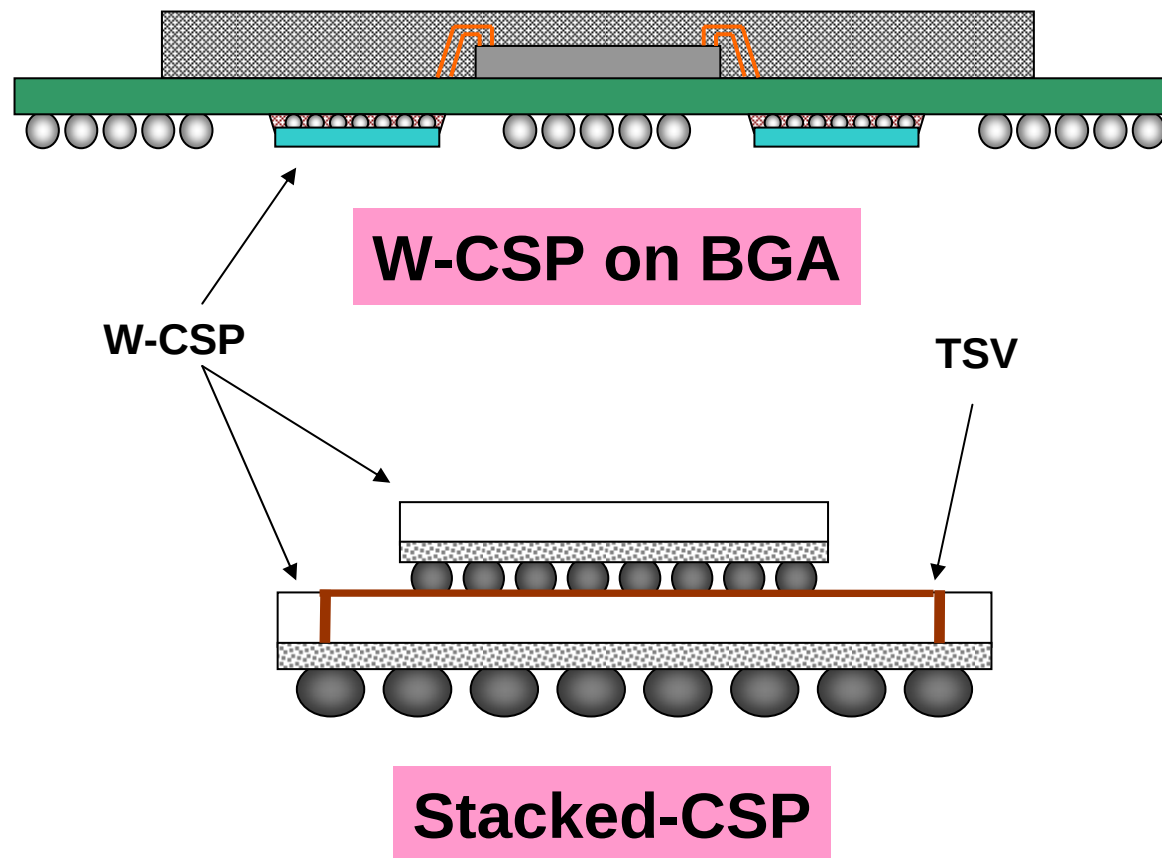
構成: 17段, $64\text{GB} = 32\text{Gbit}(4\text{GB}) \times 16\text{NAND} + \text{Controller}$

TOSHIBA

Leading Innovation >>>

Courtesy of TOSHIBA

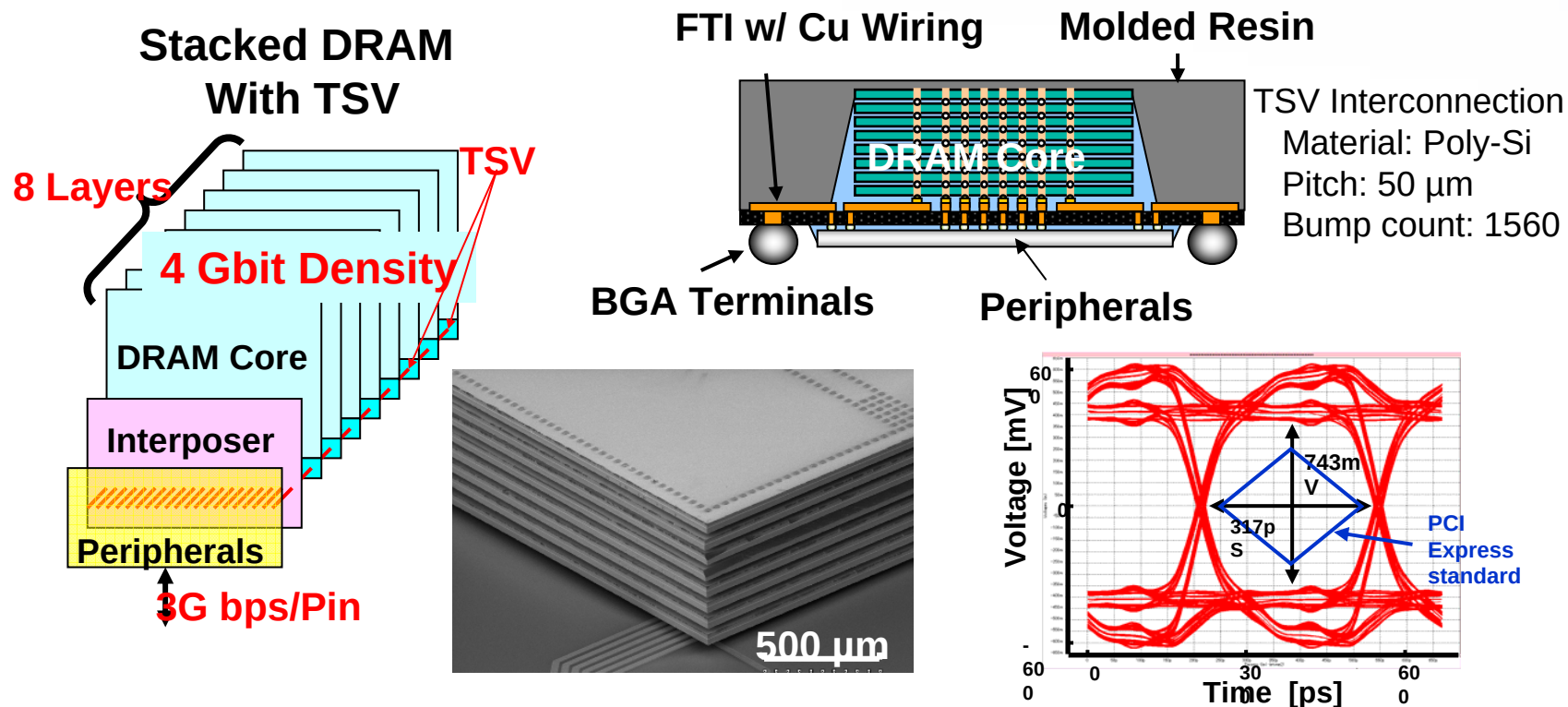
TSV & W-CSP Technologies is a Key of LSI Packages (SiP).



3D Stacked Memory Chip Development

NEC

Co-development of large memory capacity, high-speed data transfer and low power 3D stacked memory chip is ongoing by Elpida, OKI and NEC Electronics and is supported by the New Energy and Industrial Technology Development Organization (NEDO).



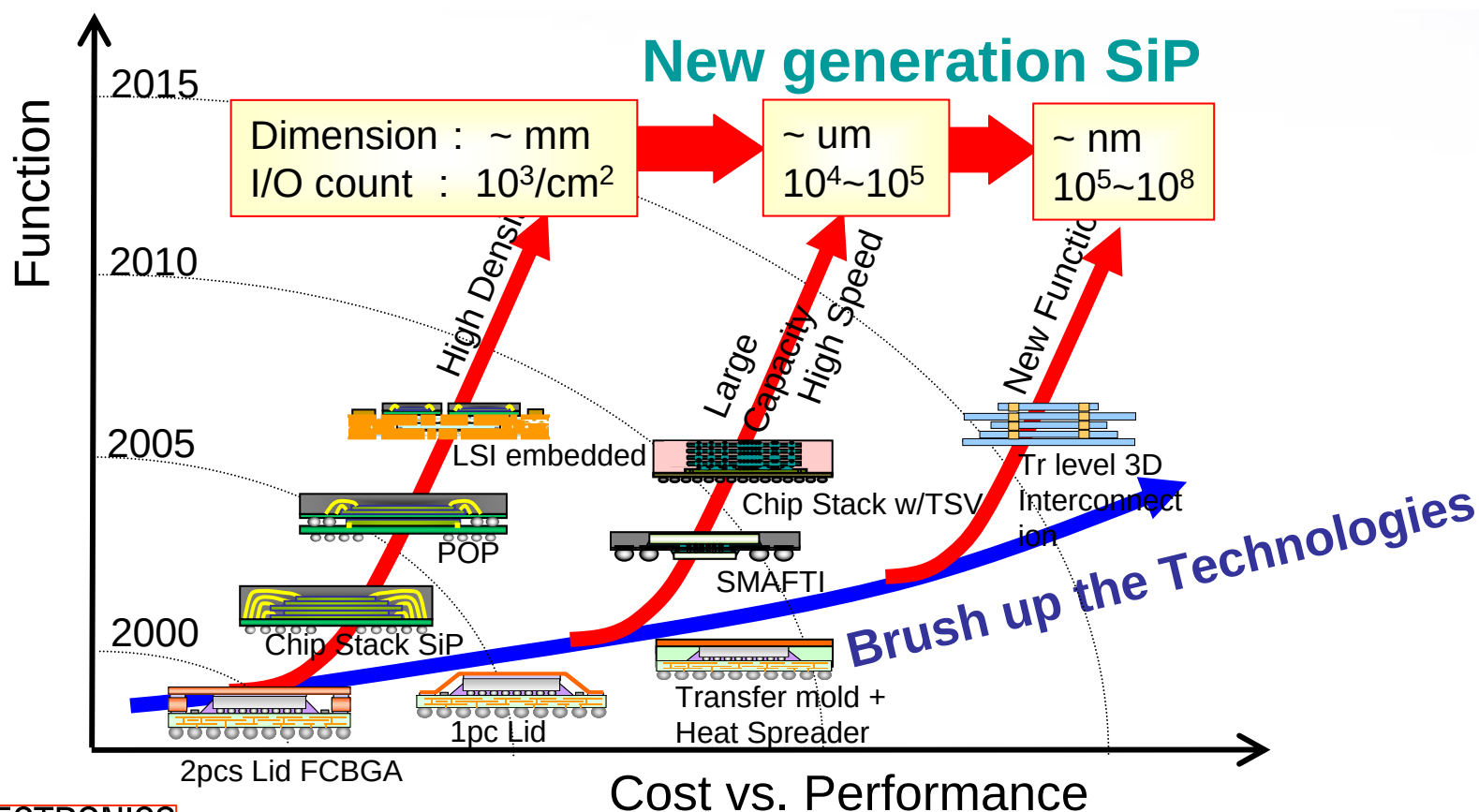
NEC ELECTRONICS

NEC Electronics Confidential

Courtesy of NEC Electronics

Advanced Package Development

Expanding is market needs which can hardly be met by SoC technology but SiP technology, such as the integration with larger size memory, embedded analog, and integration with a high voltage device. NEC Electronics will keep developing the advanced SiP technologies.



NEC ELECTRONICS

NEC Electronics Confidential

Courtesy of NEC Electronics

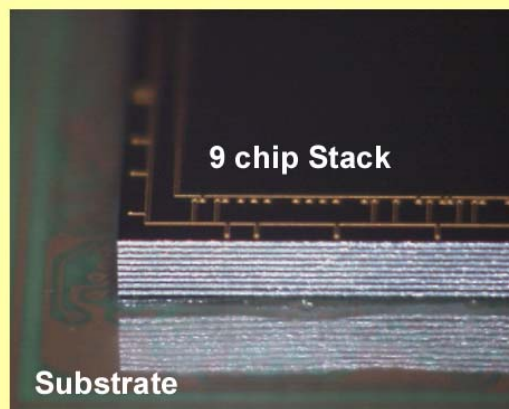
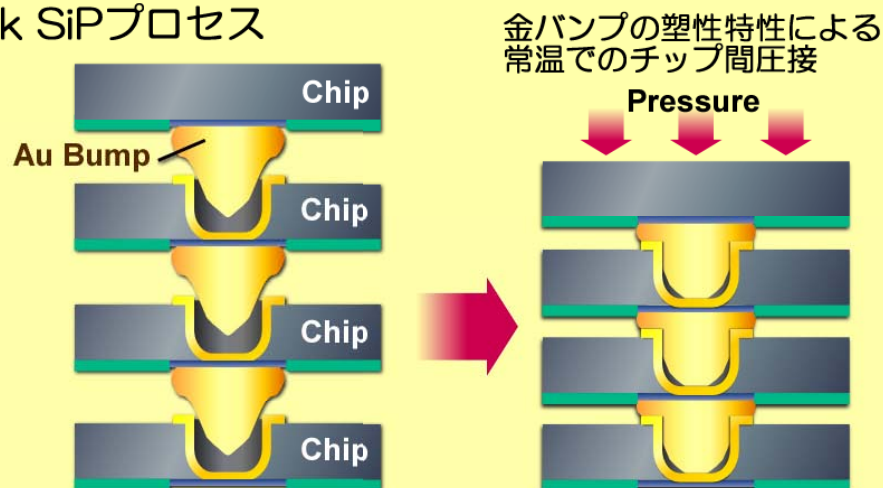
■ Si貫通電極（TSV：Through Silicon Via）技術（１）

3Dチップ積層による大容量・高密度SiP技術*

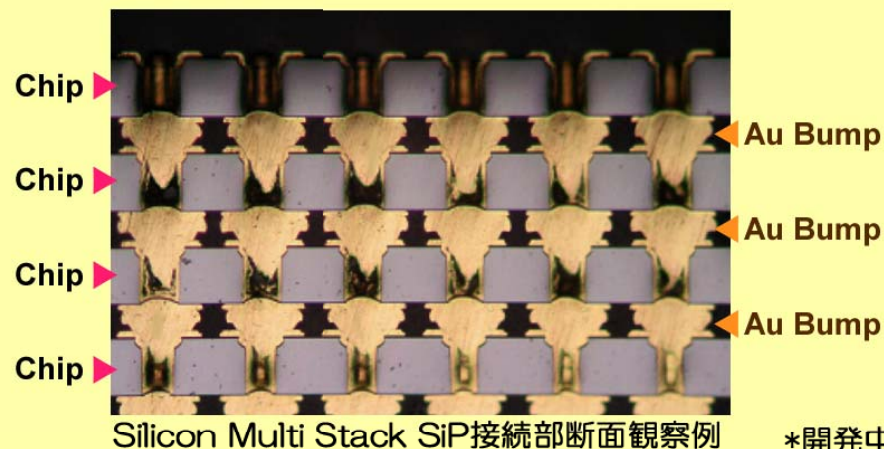
低コスト3D Silicon Multi Stack SiPプロセス

- かしめ工法の応用
- 常温接続

低コストで貫通電極形成が可能



Silicon Multi Stack SiP外観観察例



Silicon Multi Stack SiP接続部断面観察例

*開発中

©2008. Renesas Technology Corp., All rights reserved.

Everywhere you imagine. **RENESAS**

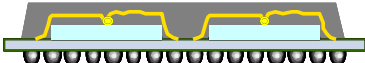
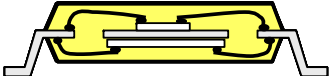
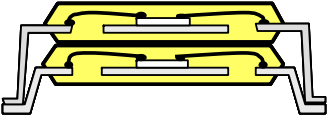
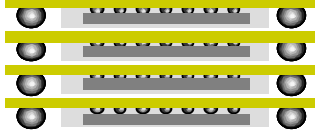
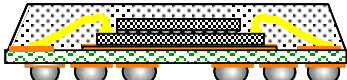
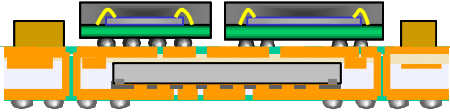
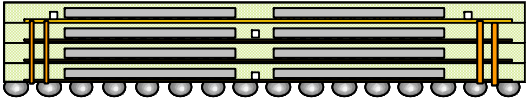
Courtesy of Renesas

STRJ WS: March 6, 2009, WG7 A&P

14

1. はじめに
2. 最新のSiP技術
- 3. SiP組立技術の動向**
4. まとめ

SiP構造の多様化

平面構造		 QFP Type	 Wire Bonding Type	 Flip Chip Type
三次元構造	チップ - 基板 インターコネクト	 QFP Type  Stacked SOP	 Wire Bonding Die Stacked Type  Package on Package	 Wire Bonding + Flip Chip (WLCSP) Type  Package in Package Type
	チップ - 基板 インターコネクト	 	 Wire Bonding + Flip Chip (WLCSP) Type	 Through Silicon Via Type
内蔵構造		 Chip Embedded + Package on Surface Type		 3D Chip Embedded type

3次元構造SiPの課題

樹脂封止技術

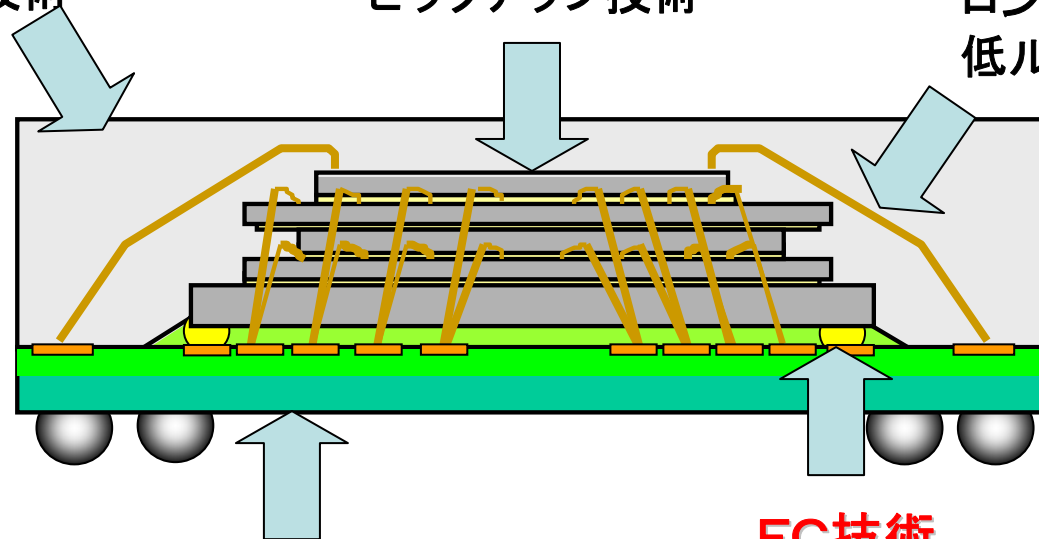
薄厚封止技術
低反り封止技術

薄チップ化技術

低ストレス裏面研磨技術
ダイシング技術
ピックアップ技術

WB技術

狭ピッチ接続技術
ロングワイヤ形成
低ループワイヤ形成



基板技術

薄厚基板技術
低反り基板技術

FC技術

狭ピッチ接続技術
多ピン接続技術
アンダーフィル技術

バックグラインド技術



項 目	2008年	2010年	2012年	2014年	2016年	2018年
最小ウェハ厚さ 一般製品 (μm)	70	70	60	60	50	50
最小ウェハ厚さ 薄型製品 (μm)	30	25	20	15	15	10
表面保護方法	テープ	テープ ガラス テープレス	テープ ガラス テープレス	テープ ガラス テープレス	テープ ガラス テープレス	テープ ガラス テープレス
搬送方法	真空吸着	真空吸着 治具貼付 け	真空吸着 治具貼付 け	真空吸着 治具貼付 け	真空吸着 治具貼付 け	真空吸着 治具貼付 け

- 【課題】 ・ストレスリリース(裏面研削破碎層の除去による強度向上)
- ・研削後のウェハ反り低減
 - ・大ウェーハ(300 ϕ 、450 ϕ)での均一性、無欠陥化
 - ・次工程以降での極薄チップのハンドリング、ダメージレス化

ウェーハダイシング技術



項 目	2008年	2010年	2012年	2014年	2016年	2018年
ダイシング方法	ブレード レーザー	ブレード レーザー	ブレード レーザー ドライエッチ	ブレード レーザー ドライエッチ	ブレード レーザー ドライエッチ	ブレード レーザー ドライエッチ
最小ダイシングラ イン ブレード (μm)	50	40	40	40	40	40
最小ダイシングラ イン レーザー (μm)	20	15	15	10	10	5
ダイシングテープ (テープ基材)	PO	PO	PO 生分解	PO 生分解	PO 生分解 テープレス	PO 生分解 テープレス

- 【課題】
- ・U /E Low-kなどの機械的強度の低い材料導入に対し、ダメージ(クラックや剥離)低減を図る
 - ・ダイシング工程のTATの短縮(特に、大口径ウェーハ)

ワイヤボンディング技術



	2008年	2010年	2012年	2014年	2016年	2018年
最小パッドピッチ 単列 (μm)	40	35	35	35	30	30
最小パッドピッチ 2列千鳥 (μm)	60	55	50	50	45	45
最大ワイヤ長 (mm)	10	10	10	10	10	10
最低ループ高さ (μm)	55	50	45	40	40	40
最小ワイヤ径 (μm)	18	15	15	15	12.5	12.5

- 【課題】
- ・高精度位置制御技術・高精度ワイヤ制御技術
 - ・高信頼性接合技術(低ダメージ)
 - ・極微細Au線および極微細Au線対応キャピラリ
 - ・ワイヤ流れの少ない封止技術
 - ・狭ピッチパッド対応プローブ技術

フリップチップボンディング技術



項目	パッド配置	2008年	2010年	2012年	2014年	2016年	2018年
最小パッドピッチ (μm)	ペリフェラル	40	40	35	35	35	30
	エリアアレイ	150	150	130	130	130	110
最小チップ厚 (μm)	ペリフェラル	130	100	80	60	50	50
	エリアアレイ	200	200	150	150	150	100
最小バンプ径 (μm)	ペリフェラル	20	20	17	17	17	15
	エリアアレイ	90	90	80	80	80	70
最小バンプ高さ (μm)	ペリフェラル	10	10	9	9	9	8
	エリアアレイ	75	75	65	65	65	55

- 【課題】
- ・高精度微小はんだボール形成
 - ・極狭間隙樹脂充填技術
 - ・狭ピッチ対応低コストパッケージ基板

樹脂封止技術



項目	パッド配置	2008年	2010年	2012年	2014年	2016年	2018年
封止材	熱伝導率 (W/m・K)	3.2 ~ 3.4	3.4~ 3.6	3.6~ 3.8	3.8~ 4.0	4.0~ 5.0	5.0~ 6.0
	熱膨張係数 (ppm/°C)	6.0	5.0	5.0	5.0	4.5	4.5
	ガラス転移温度 (°C)	150 ~ 200	150~ 200	150~ 200	150~ 200	150~ 200	150~ 250
封止技術	最大キャビティ サイズ (mm)	75 × 240	100 × 30 0	100 × 300	100 × 300	200 × 300	200 × 300
	最小モールド厚 (mm)	0.3	0.3	0.2	0.2	0.2	0.15

- 【課題】
- ・高流動性、低粘度化による高充填性・ボイドレス化
 - ・モールド方法の変更等によるワイヤ流れの低減
 - ・低熱膨張係数化、低収縮率化によるパッケージ反り低減
 - ・低弾性率化による低応力化 (U/E Low-k材対応)
 - ・高熱伝導率化による高放熱対応

TSV (Through Silicon Via) 技術



「ITRS 2008 Update版から、パッケージング技術に用いられるTSV技術の動向を記載する。ウエハ上のグローバル配線として使用されるTSV技術は含まない。

Table AP7 Key Technical Parameters for Stacked Architectures Using TSV

Year of Production	2008	2010	2012	2014	2016	2018
Numbers of stacked die using TSV	6	>9	>9	>9	>9	>9
Minimum TSV pitch (um)	8	5	3.8	3.4	3.1	2.8
TSV maximum aspect ratio* (L/D)	10	10	10	10	10	10
TSV exit diameter (um) (D)	4	2.5	1.9	1.7	1.5	1.4
TSV via last layer thickness (L) for minimum pitch	20	15	10	10	8	8

* This applies for small diameter vias. The larger diameter vias will have a smaller aspect ratio.

- 【課題】**
- ・貫通孔形成・電極材料充填プロセスの低コスト化
 - ・異種チップのTSV積層化に対する低コスト化方法

Low cost / Hand-held用途のMCP / SiP

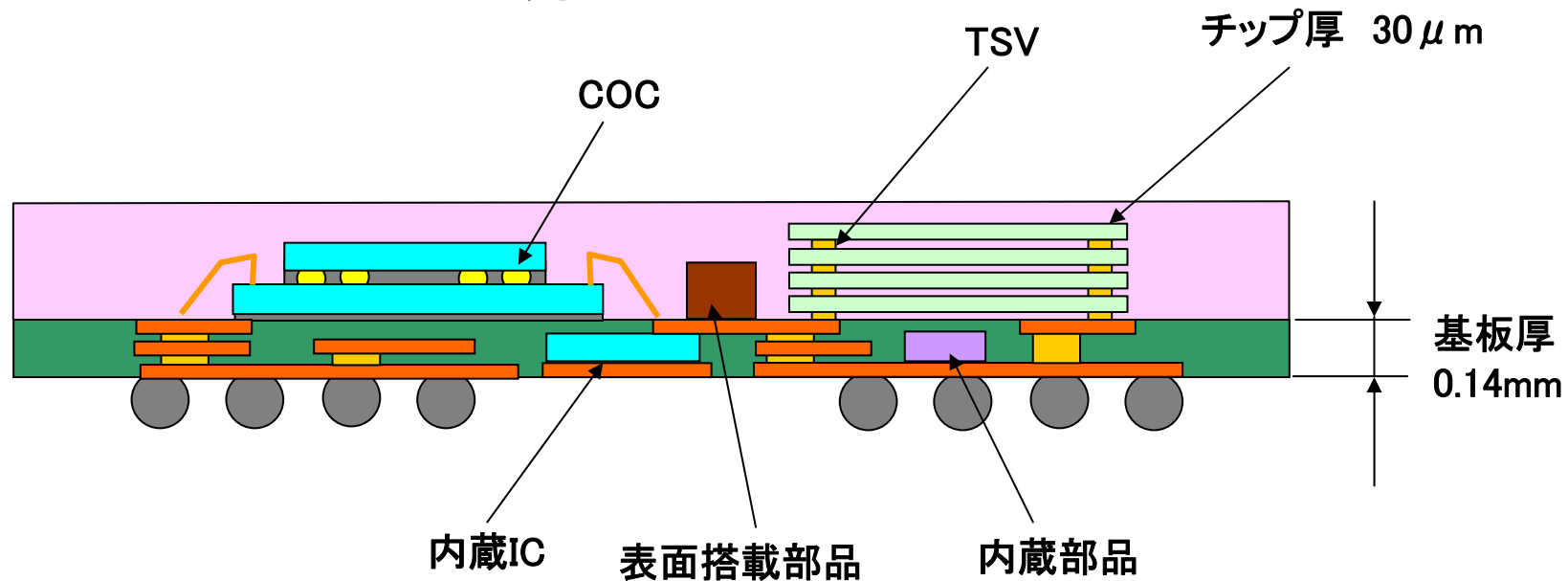


大項目	小項目	2008年	2010年	2012年	2014年	2016年	2018年
IC搭載数	最大個数	10	10	12	12	14	14
最大外形サイズ (mm)	平面サイズ	25	25	25	27	27	27
取付け高さ (mm)	8チップ積層時	1.2	1.0	1.0	0.8	0.8	0.8
最大端子数	最大端子数	800	900	1000	1000	1000	1000
最薄DAF厚 (μm)	Min	15	15	10	10	10	10
最小基板厚 (μm)	Min	180	160	140	100	80	80
最薄チップ上樹脂厚 (ワイヤ構造、 μm)	Min	150	100	80	70	60	50

- 【課題】
- ・極薄チップの形成と積層化
 - ・搭載チップのKGD対応
 - ・SiPのテストングと不良解析技術
 - ・高放熱構造

2012年におけるSiPの事例

- COC技術を採用 … デバイスの高速化に対応
- TSV技術を採用 … メモリの大容量化に対応
- 受動部品・能動部品内蔵基板の採用
… 小型化・薄型化に対応



- 【課題】
- ・TSV技術の低コスト化実現
 - ・内蔵能動部品のKGD対応と部品内蔵基板の高歩留化

High-performance用途のMCP / SiP



大項目	小項目	2008年	2010年	2012年	2014年	2016年	2018年
IC搭載数	最大個数	6	8	8	10	10	12
最大外形サイズ (mm)	平面サイズ	50	50	50	50	50	50
最大端子数		2000	2000	3000	3000	3000	3000
最大チップ積層数		2	4	4	8	8	8
搭載受動部品寸法	mmサイズ	0402	0402	0201	0201	0201	0201

- 【課題】
- ・薄チップの形成と積層化
 - ・高速化対応
 - ・SiPのテストングと不良解析技術
 - ・高放熱構造

SiPの今後の課題

- 極薄チップのハンドリングと多層積層化技術
- KGD
 - ・特性と信頼性が保証されたチップの供給
- 高放熱技術
 - ・多数チップによる発熱を如何に放熱するか？
- テスト・解析技術
 - ・システムとしてのテストと不良チップの解析
- インターポーザ(サブストレート)
 - ・部品内蔵サブストレート
 - ・低コストSiインターポーザ

1. はじめに
2. 最新のSiP技術
3. SiP組立技術の動向
4. まとめ

まとめ

- 1. 今後の高密度実装化、システムの高性能化、低コスト化・短TAT化のために、SiPが進展する。**
- 2. 従来SiP構造の他に、超多段積層、TSV技術など、新たな技術も開発されている。**
- 3. SiP組立技術の今後の動向を紹介した。課題はあるが益々、高密度化が進展する。**

なお、SiP技術の動向に関しては、本年6月に発行予定の「2009年度版日本実装技術ロードマップ」(JEITA)で詳細に記載予定です。