

ITRS 2009年版の モデリング&シミュレーションの概要

WG10 (M&S)

佐藤 成生

青木 伸俊、木下 隆、泉 直希、麻多 進、海本 博之、
國清 辰也、藤原 秀二、西尾 修、小方 誠司、和田 哲典、
佐野 伸行、大野 隆央、谷口 研二、小谷 教彦

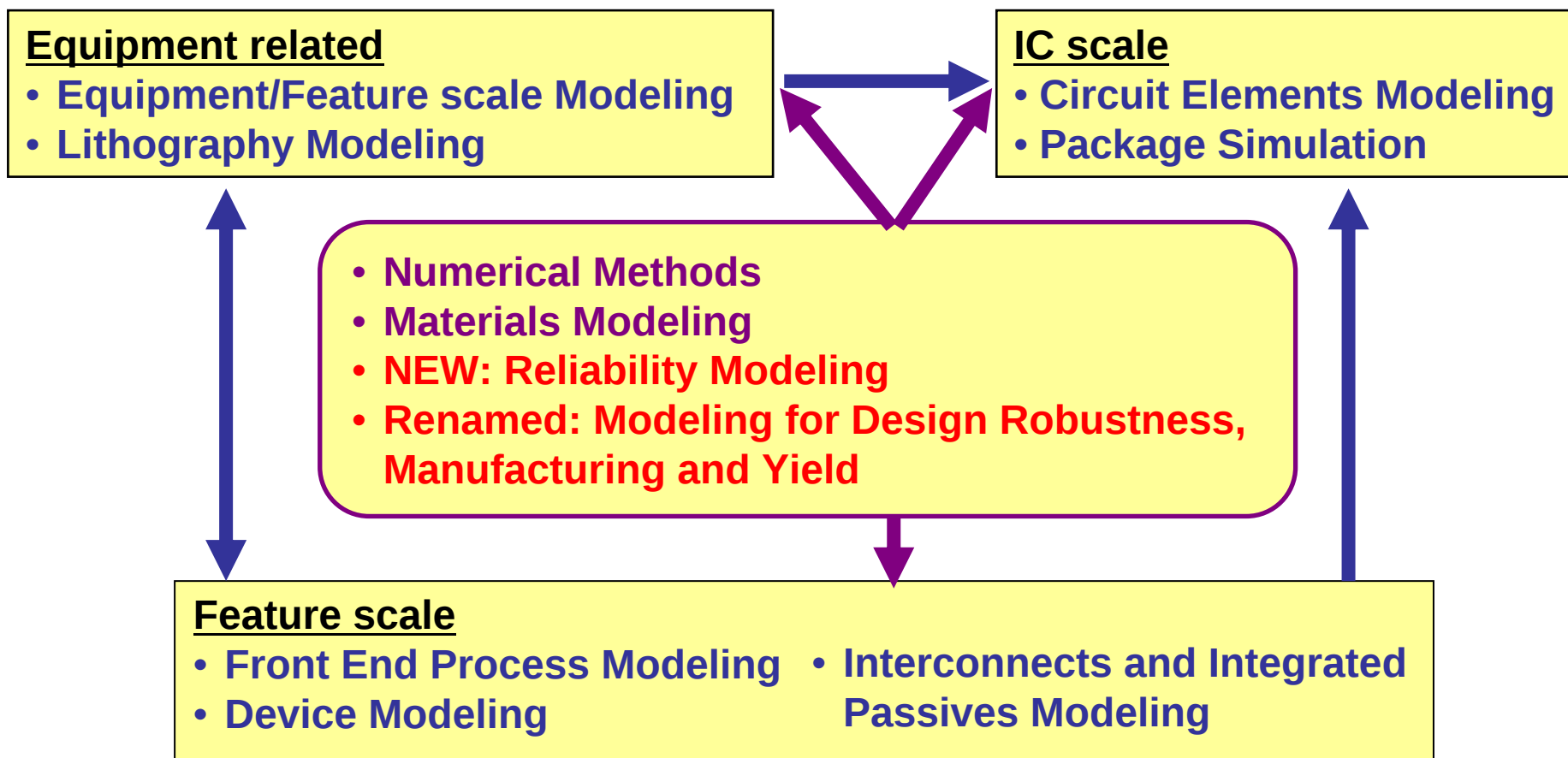
構成メンバー

氏 名	組 織	役 割	主担当領域
佐藤 成生	富士通マイクロエレクトロニクス	主査	Device Modeling
青木 伸俊	東芝	副主査	Front End Process Modeling
木下 隆	ソニー	国際対応	Package Modeling
泉 直希	ローム	幹事	Device Modeling
麻多 進	NEC EL	委員	Interconnects
海本 博之	パナソニック	委員	
國清 辰也	ルネサス	委員	Device Modeling
藤原 秀二	三洋	委員	
西尾 修	シャープ	委員	
小方 誠司	アルバック	特別委員(SEAJ)	Equipment Modeling
和田 哲典	TCAD-I	特別委員	Design, Manufacturing Yield
佐野 伸行	筑波大	特別委員	Device Modeling
大野 隆央	物質・材料機構	特別委員	Materials Modeling
谷口 研二	大阪大	特別委員	
小谷 教彦	広島国際大	特別委員	

モデリング & シミュレーションのScope

Goal: 開発期間・コストを削減するためにテクノロジー開発をサポートする

範囲: 物理化学の基本方程式に基づいたモデリングとシミュレーション



ITRS2009 改版のポイント

LSI製品化のための開発支援ツールの方向性提示

1. TCAD^(*)の経済的効果の要求値設定
2. バラツキ抑制に向けたモデリング
3. 信頼性モデリングの必要性強調

(*) TCAD: Technology CAD

経済的効果の要求値

アンケート結果を元に開発コスト・期間短縮の要求値を設定

Year of Production	2008	2009	2010	2011	2012	2013	2014
Estimated technology development cost reduction from use of TCAD (average across best-practice cases reported by industry) [2]	27%	30%	32%	35%	37%	n.a.	n.a.
Estimated technology development time reduction from use of TCAD (average across best-practice cases reported by industry) [2]	30%	32%	34%	37%	39%	n.a.	n.a.

↑
実績値

↑
要求値

[2] This line does not give a quantitative assessment of the industrial requirement but gives the average of estimates obtained from companies on cost reductions in **best practice cases** through use of TCAD in development

経済的効果に関するアンケート

対象者: TCADユーザ (TCAD開発者を除く)

実施時期: 2008年5月～6月

回答数: 141件 (日本 63件(8社)、欧米韓台 78件)

経緯:

2000年頃: 日本が経済的効果に関する要求値記載を主張
数値的根拠がなく却下される

2002年: 日本国内でアンケート実施

2003年: コスト削減の要求値をロードマップに記載

2004年～: 3極でのアンケートの必要性浮上

経済的効果の要求値

～ 前回および国内外の比較 ～

- 経済的効果の実績値は横ばい(絶対値は増えているはず)
- M&Sへの期待は大きい(国内外の認識一致)

(*) 回答者の成功事例の平均

	2002年(国内)	2008年 (カッコは国内)	
	実績 ^(*) (@2002)	実績 ^(*) (@2008)	要求値 (@2012)
開発コスト削減率	30%	27% (26%)	37% (40%)
開発期間短縮率	26%	30% (27%)	39% (42%)

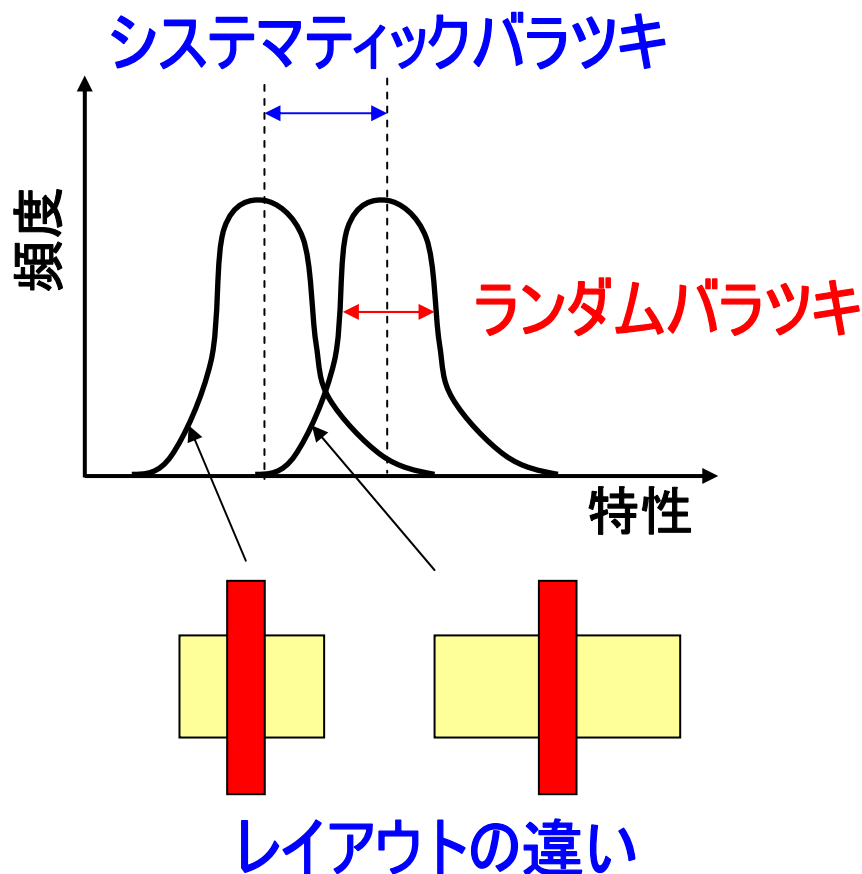
アンケートの分析

～ 要求値の実現に向けて ～

- 短期的にはサポートを含めた**教育とツールの改良**が必要
- 中期的にはキャリブレーションを含めた**モデリングの推進**が必要
- 長期的な視点でM&Sの課題とシーズを調査中
- M&Sによる**バラツキ制御**は期待が高く、さらなる技術進展が望まれる

バラツキ抑制に向けた支援

システムティックバラツキとランダムバラツキは別々の方法で抑制



バラツキ抑制に向けた支援

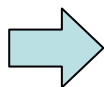
～ システマティック バラツキ ～

方針： バラツキ(特性変動量)をモデル化し、特性変動を考慮した回路設計を行い、特性変動の影響を排除する。

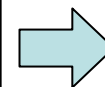
バラツキの要因例：

- Lithography proximity effect
- Stress proximity effect
- Well proximity effect (WPE)
- Etch visibility and micro-loading effects
- Transient enhanced diffusion (TED) proximity effect
- Pattern-dependent heat absorption during flash or laser anneals

特性変動量の定量化
(実測・TCAD)



コンパクトモデル



回路設計
(SPICE)

特性変動を考慮した設計の例

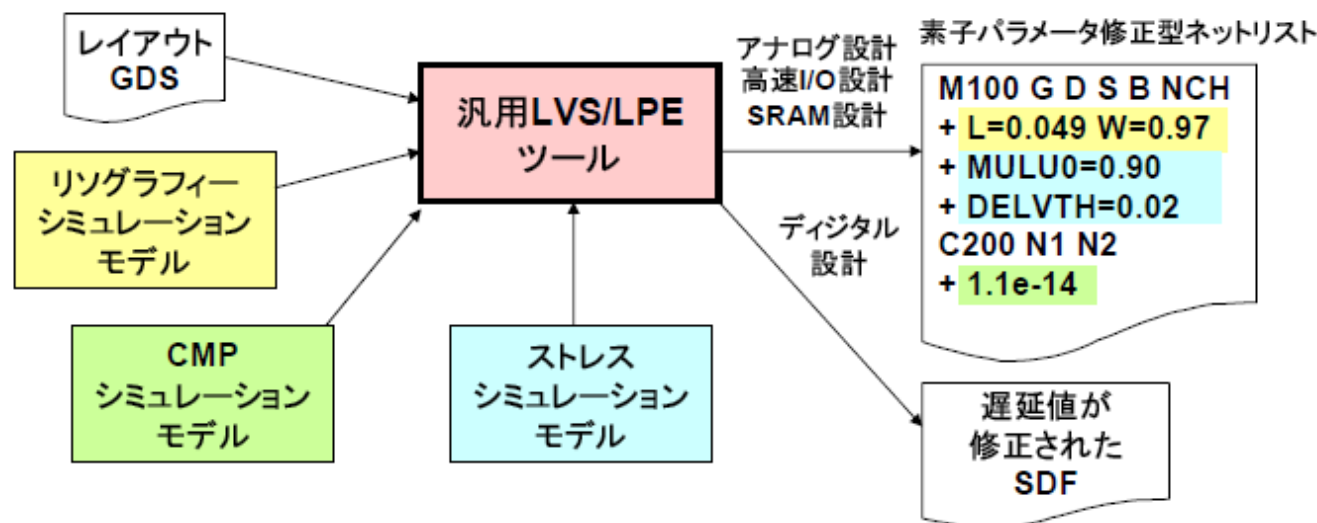
原因が明確なシステムティックばらつきに対する
設計側での対応方法

NEC

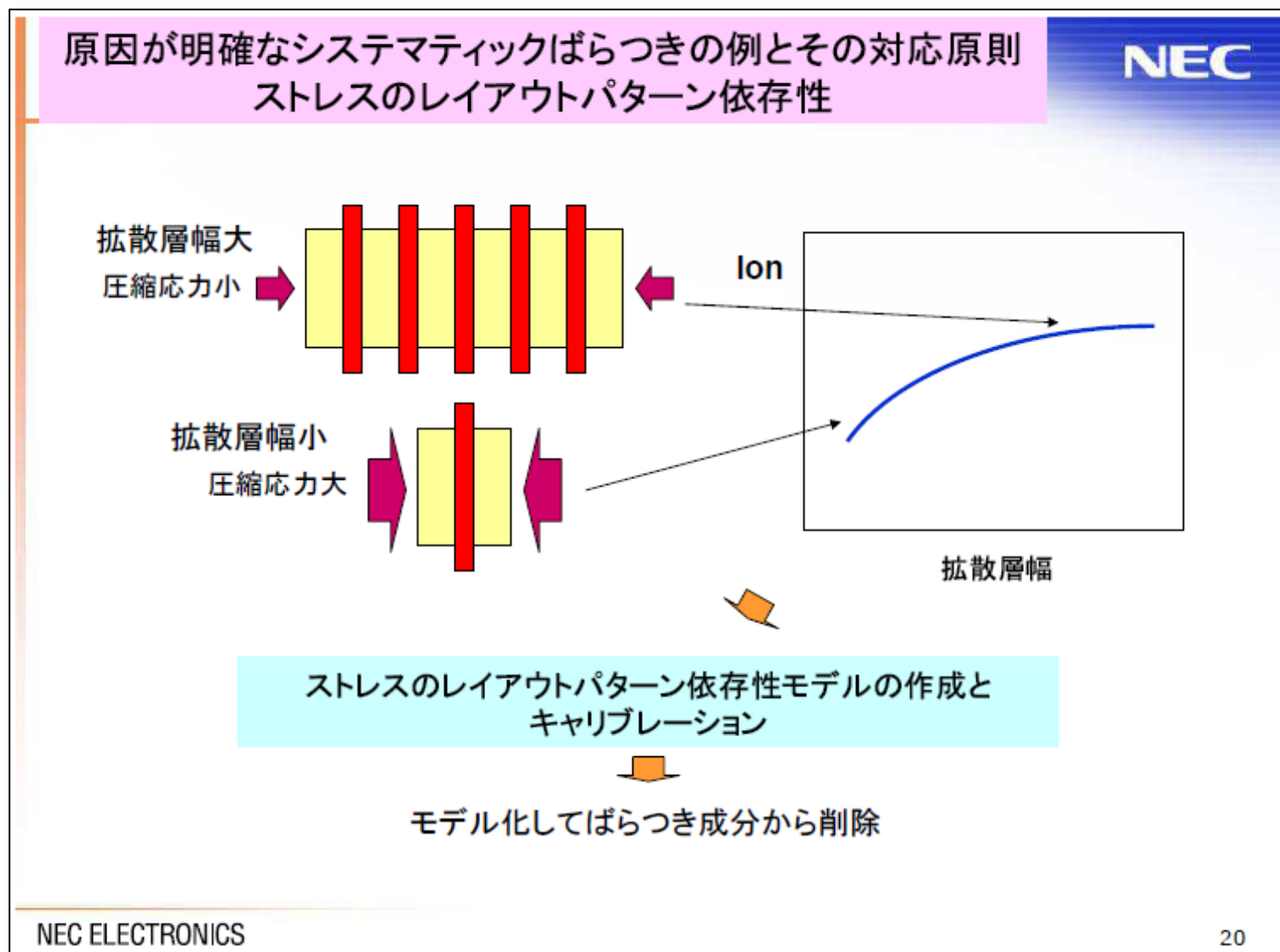
現在: ワーストコーナー設計

変動量の上下限をモデル化して見積もった上で、その値を SPICE モデルや
RC パラメータのワーストコーナーの値に加算して設計に使用

今後: 汎用 LVS/LPE ツールによるネットリスト、SDF の修正



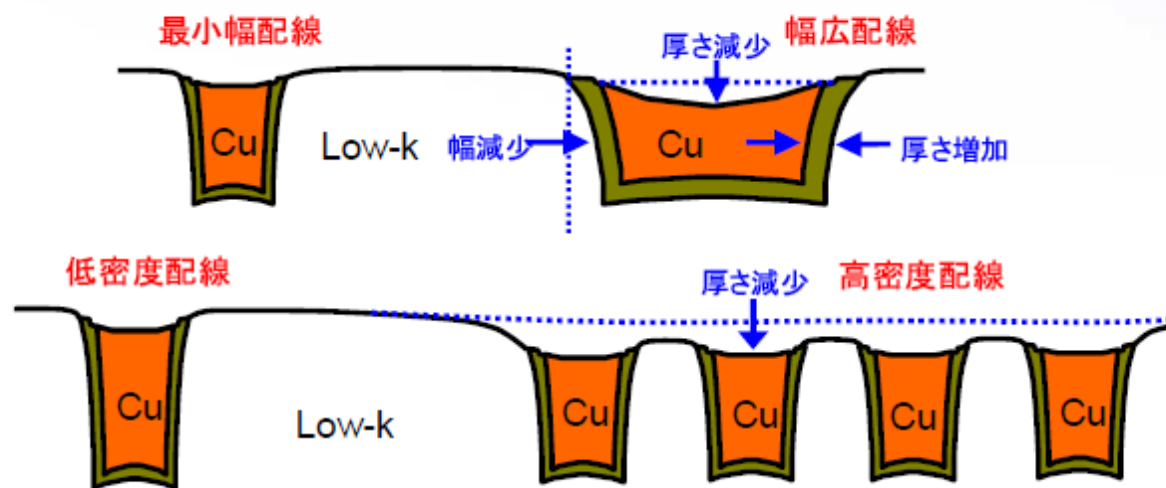
変動量のモデル化の例①



変動量のモデル化の例②

原因が明確なシステマティックばらつきの例とその対応原則
CMPのレイアウト密度依存性

NEC



CMP シミュレーションモデルのキャリブレーション

モデル化してばらつき成分から削除

バラツキ抑制に向けた支援

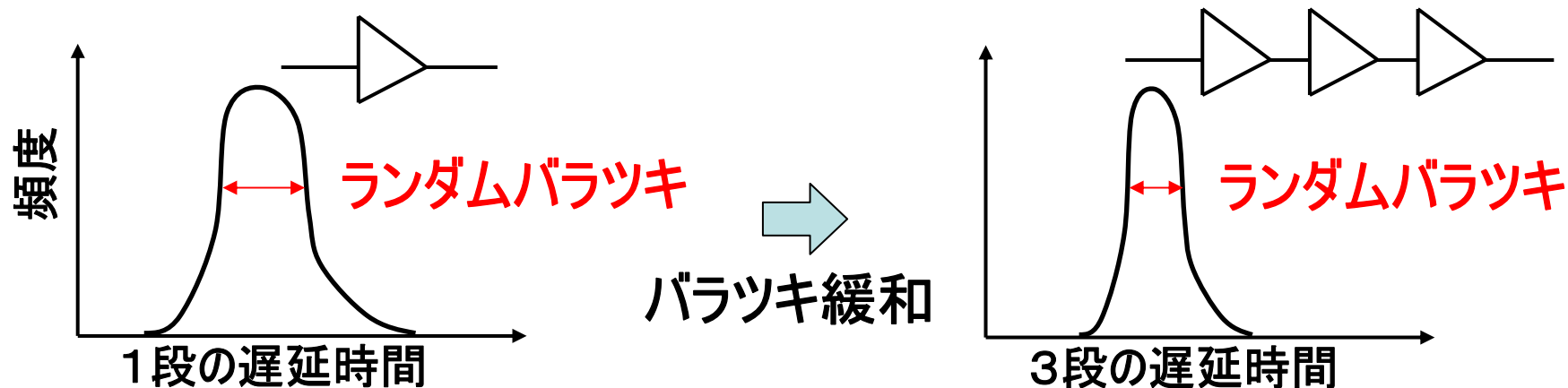
～ ランダム バラツキ ～

方針：①多段論理回路の緩和効果を正確に見積り、必要最小限のマージン設計を行う。

②原子レベルの解析を通して、バラツキの根本原因を探る。

バラツキの要因例：

- Random dopant fluctuations
- Line edge roughness (LER) fluctuations
- Gate dielectric thickness fluctuations

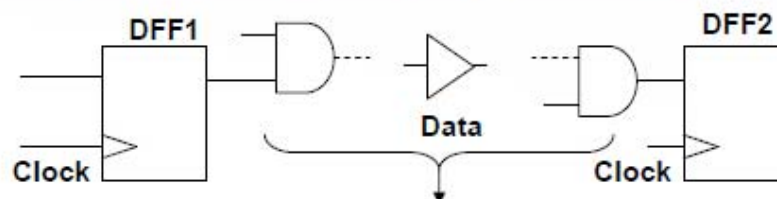


緩和効果を考慮した設計の例

デジタル回路設計におけるランダムばらつきへの対応方法

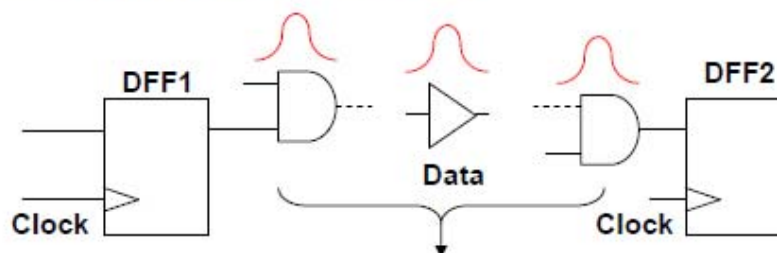
NEC

現在: STA (Static Timing Analysis) における論理段数緩和



FF間にN段の論理ゲートがある場合、Data 遅延のばらつきを $1/\sqrt{N}$ にして扱う
→ 論理ゲートを構成している Tr. のサイズに依らず一律に緩和されてしまう

今後: 統計的STAによる自然緩和



各論理ゲートの遅延ばらつきを確率分布の和として Data 遅延の確率分布を求める

TCADへの要求事項

～ バラツキ抑制に向けて ～

- 個別シミュレータの高精度化
予測可能な物理モデルの実装
- メッシュ発生技術
3次元ノンプレナー形状、経時変化に対応
- 商用シミュレータの接続性(新規要求)
リソ/形状/不純物/ストレス/CMPシミュレータの相互接続
- SPICE用のコンパクトモデル
特性変動量の定量化、統計的STAモデルの精度向上

Year of Production	2009	2010	2011
Tool interoperability	Documented file formats [8]	Open documented file formats (syntax and semantics), exchangeability of data between different tools [8]	

[8] Open and documented file formats are needed to enable the user to combine tools from different sources

信頼性モデリング

～ TCADの役割と要求事項 ～

トランジスタレベル

物理メカニズムの理解
トランジスタ構造の最適化
設計ルール構築



予測可能なトラップ/欠陥の生成モデル
プロセス中/動作状態中
電気・熱・メカニカルモデルの結合
マルチPhysics

システムレベル

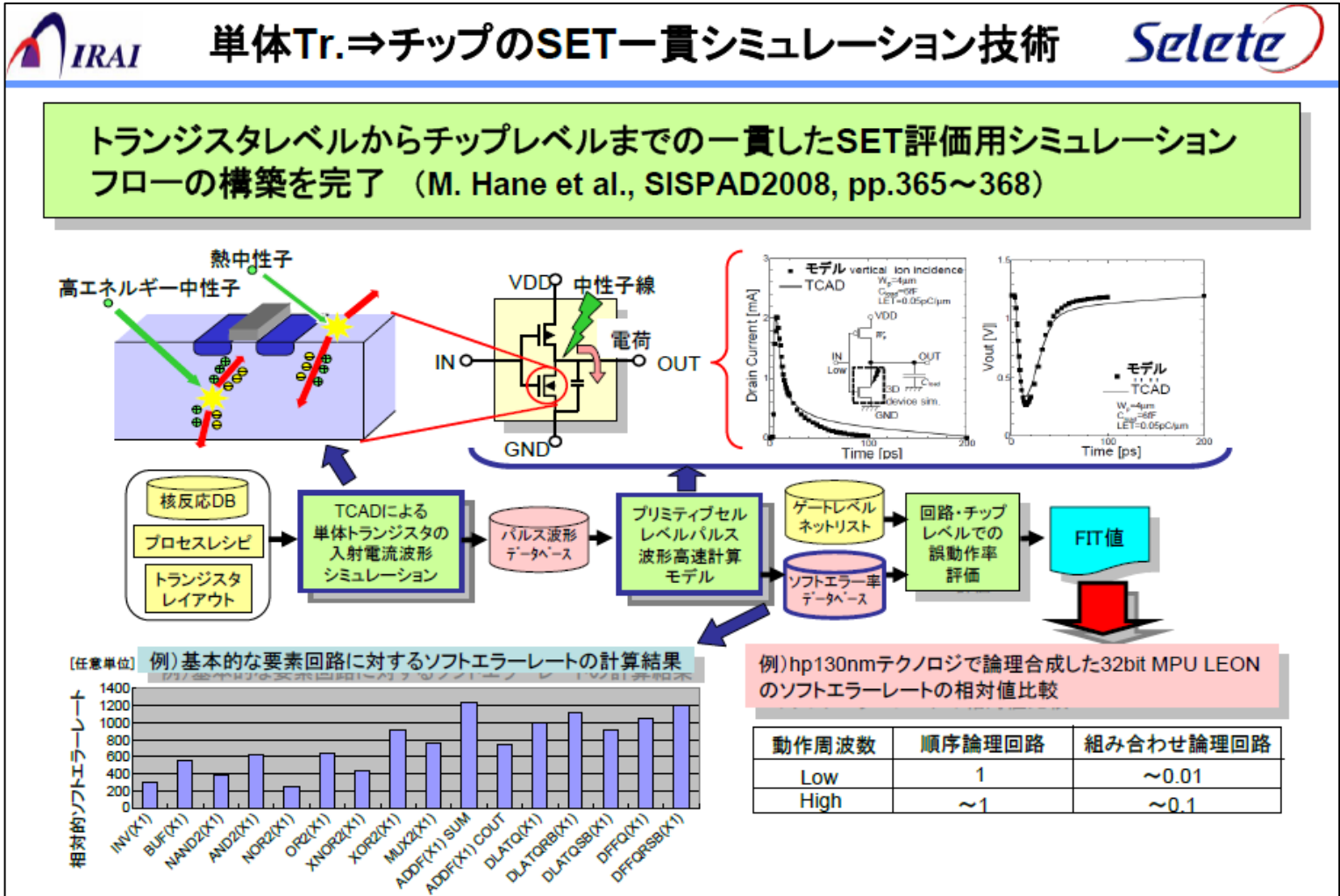
ライフタイムの予測
冗長の必要性の見積り



コンパクトモデル
故障メカニズム/トランジスタ劣化
マルチスケール対応
原子/トランジスタ/回路/システム

マルチスケール対応の例

本開発はNEDOプロジェクトの成果である



まとめ

- 2009年版 ITRSのM&S章は、LSI製品化のための支援ツールの方向性に関する記載を充実させた。
- システマティックバラツキは、高精度なコンパクトモデルにより設計段階で抑制可能。M&S技術の進展により、コンパクトモデルの高精度化への支援が望まれる。
- ランダムバラツキに対して、根本原因の探求と、統計的STAモデルの精度向上への支援が望まれる。
- 信頼性モデルでは、マルチPhysicsやマルチスケールのモデリングが望まれる。