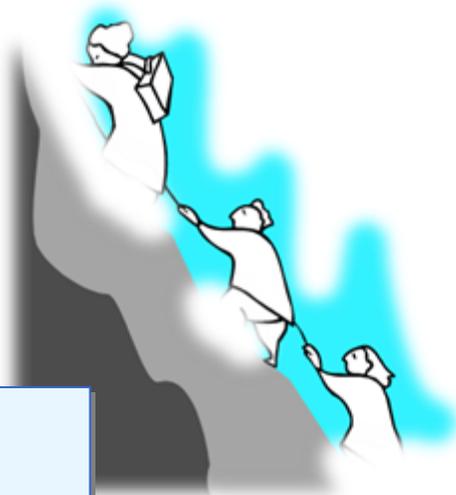


LSI多様化へのテストのあくなき挑戦

～品質とコストのバランスを目指して～

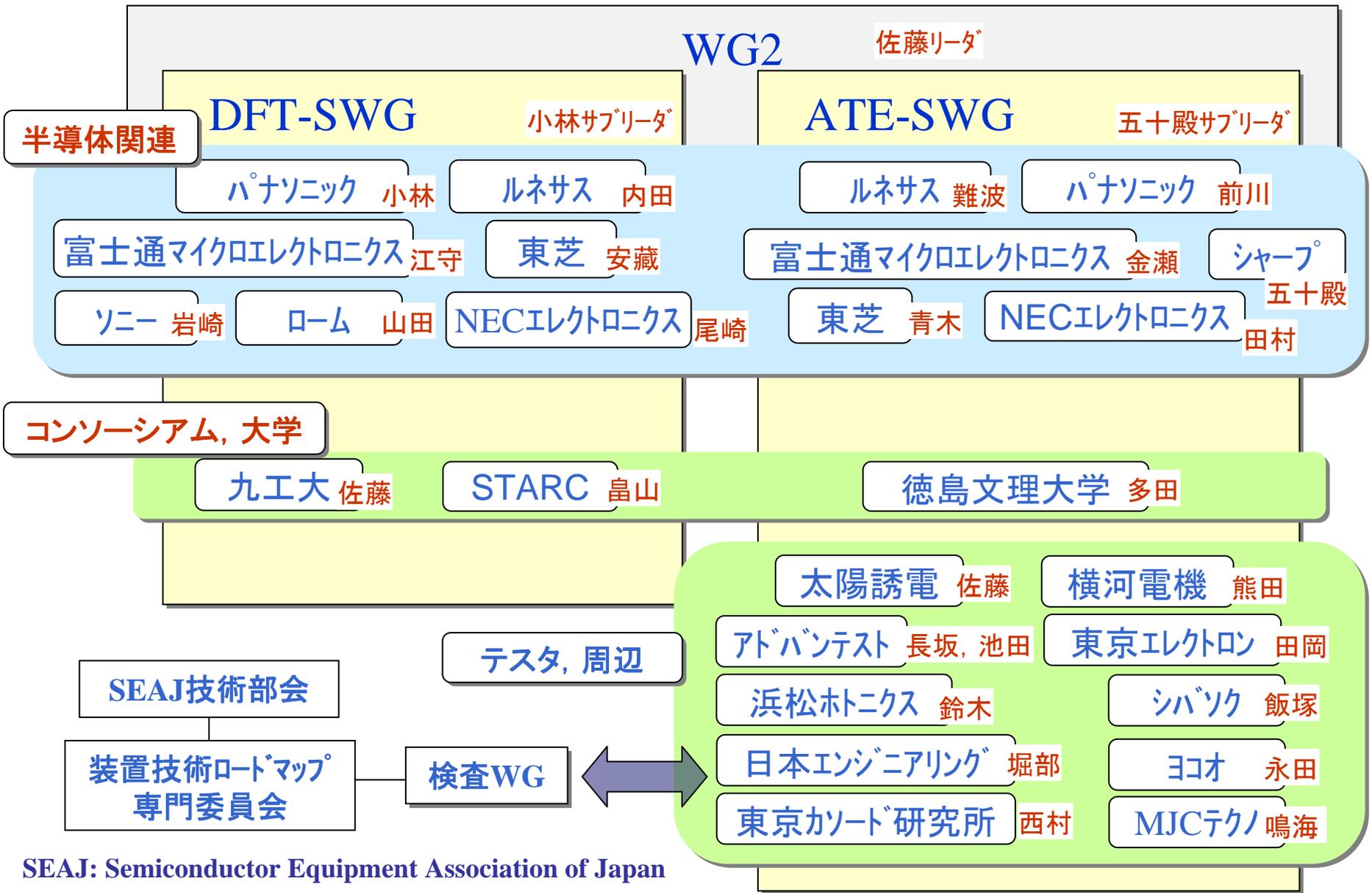
WG2(テスト)リーダ
九州工業大学 佐藤 康夫



目次

1. WG2の体制
2. テーマの位置づけ
3. 2009年度活動内容と成果
4. 低コストを実現するATEテスト技術
5. SoC多様化・高機能化へ対応するDFT技術
6. まとめと今後の課題

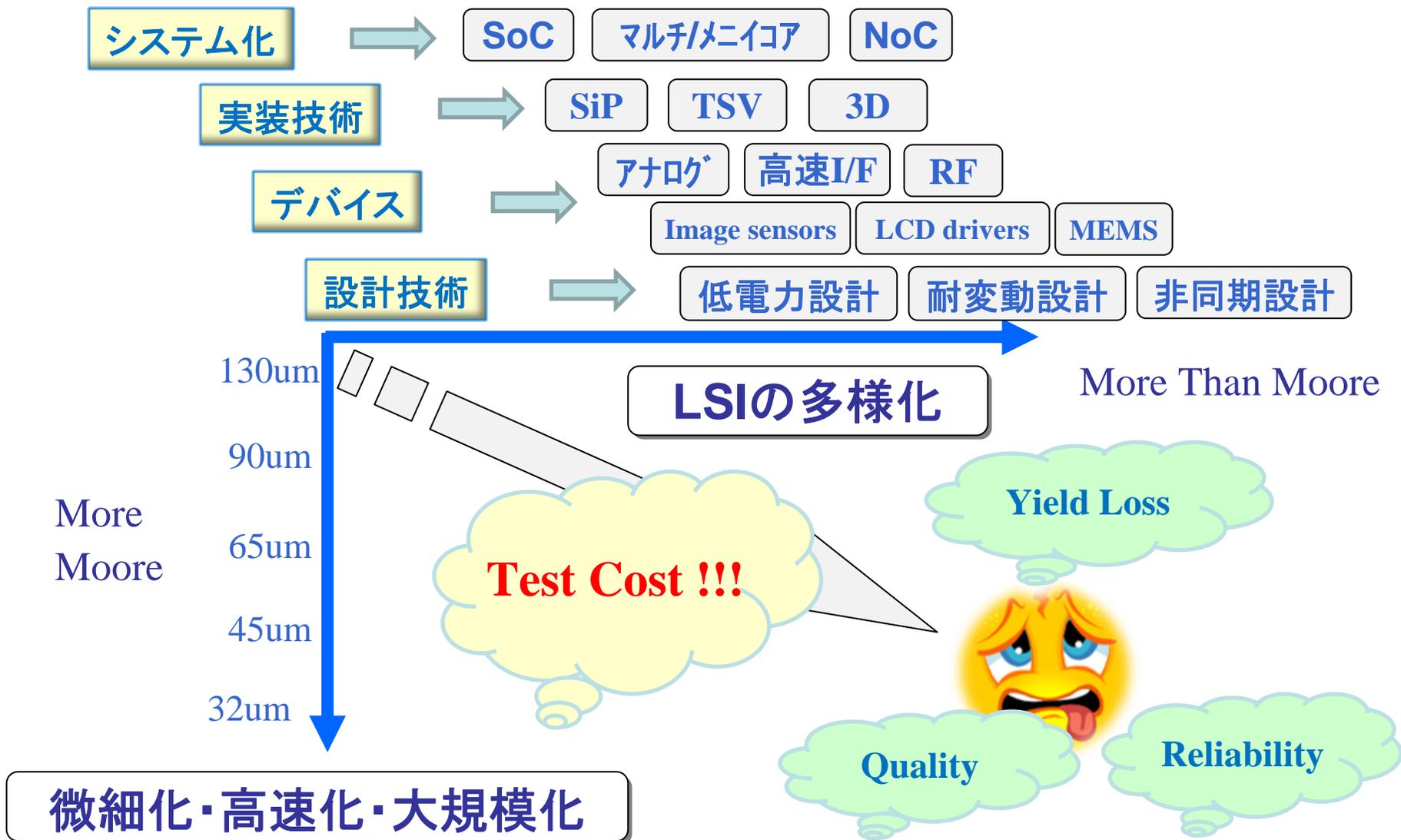
1. WG2の体制



SEAJ: Semiconductor Equipment Association of Japan

2. テーマの位置づけ

■ LSIの多様化・高機能化へ対応するDFT/ATE技術の検討



3. 2009年度活動内容と成果

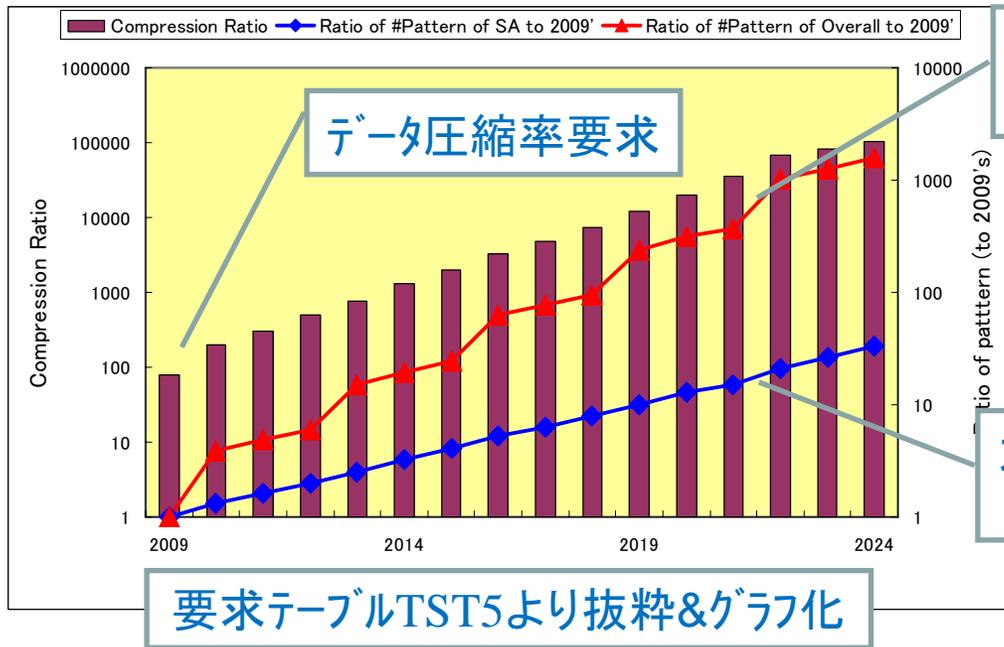
区分		活動テーマ	2009 報告書	ITRS 2009
国内活動	SoC	・SoC多様化・高機能化に対応するDFT要求の検討	レ	
	SiP	・積層メモリに対するテストコスト削減の提案	レ	
	コスト	・アダプティブテストによるコスト低減の可能性 ・プローブカードコストと同測数の検討	レ	
国際活動	SoC	・データ量圧縮技術およびテスト時間削減のための ポテンシャルソリューションを新規に提示	レ	TST 5,6,7,8
	DFT	・【設計章】と【テスト章】の記載の整合化 US側で現状ベースに小変更, 整合化はITRS2011へ		DESN8
	ATE	・小改訂(同測テスト, RF, バーンイン)	レ	TST 2,8,9
	周辺	・STRJオーナーの4つのテーブルについて見直し (プローバ, ハンドラ, プローブカード, ソケット)	レ	TST 11,12,14,15

3. 2009年度活動内容と成果(ITRSテスト章)

ITRS2009台湾Public Conferenceより

- **DFT** *STRJ担当／協力
 - テスト圧縮とテスト時間低減のポテンシャルソリューションを提示
 - 設計章のDFT節の大幅改訂を完了
- **テストコスト** *STRJ協力
 - テストコストに関するサーベイを完了し、企業の観点から定量化を実施
 - デバイス種類毎の並列テスト数をI/O数をベースに改訂
- **アダプティブテスト** *STRJ協力
 - コスト低減を目指すアダプティブテストの必要性を示すため新章を設立
- **プローバ** *STRJ担当
 - 同測テスト数と電力を議論するため、プローバテーブル見直しを完了
- **プローブカード** *STRJ担当
 - LCD用ドライバを追加
- **ハンドラ** *STRJ担当
 - 10-50Wまでの電力分類を追加
- **テストソケット** *STRJ担当
 - 現状ソケットは帯域幅に限界あり
 - 新しい将来へ向けたソリューションが必要

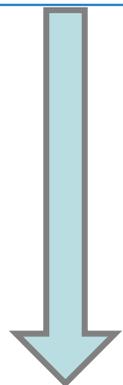
3. 2009年度活動内容と成果(ITRS-DFT)



品質維持を考慮した
テスト数のトレンド

微細化、大規模化に対応するには
テストデータ圧縮率向上のための
技術的なブレークスルーが必要。

大規模化による
テスト数のトレンド



First Year of IC Production	2009	2010	2011	2012	2013	2014	2015	2016	2017	2018	2019	2020	2021	2022	2023	2024
Required compression	80	200	300	500	750	1300	2000	3300	4800	7300	12000	20000	35000	67000	83000	104000
1-dim: Test-cube compression (100X)																
2-dim: Spatial compression(500X)																
3-dim: Time correlations compression(1000X)																
Multi-dim: compression(5000X)																

ポテンシャルソリューションとして、
67,000倍までのソリューションと
必要時期を提示。
EDAベンダに対しての要求。

This legend indicates the time during which research, development, and qualification/pre-production should be taking place for the solution.

Research Required
Development Underway
Qualification / Pre-Production
Continuous Improvement

ソリューションテーブルTST6

4. 低コストを実現するATEテスト技術

2008年度の活動

- SiP構成部品のテスト手法に着目し、4つの切り口でSiPテストの課題を整理
- アダプティブテストの関連技術サーベイ(学会、特許、ツール…)

進化を続けるSiPと、テストの更なる低コスト化要求へ対応

2009年度の活動

SiPテスト技術

- ・全体テストフローから見たSiPテストの課題(あるべき姿)

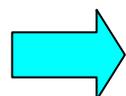
テストコスト分析

- ・アダプティブテストの現状整理
- ・プローブカードコストに着目した同測テスト数の検討

4. SiPテスト技術 ～全体から見た課題～

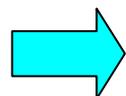
SiPの高機能化／高集積化

- ① 内製・購入チップの混在による品質不揃い
→ 其々のチップのテスト品質を可視化が必要

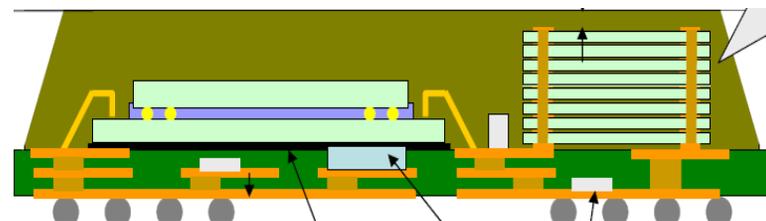


・チップのテスト品質を指標化

- ② 内蔵メモリ容量の増大による積層化
→ 積層メモリの不良のコスト・品質への影響大



・積層途中工程でのテスト実施
・TSVの新しいテスト手法



4. SiPテスト技術 ～チップのテスト品質指標化～

内製・購入チップのテストの品質レベル定量化の提案

SiP開発(設計・テスト・購買)

テスト設計、工程管理内容の明示
購入時の品質管理

テストソリューションの提供、
テスト時の品質・コスト管理



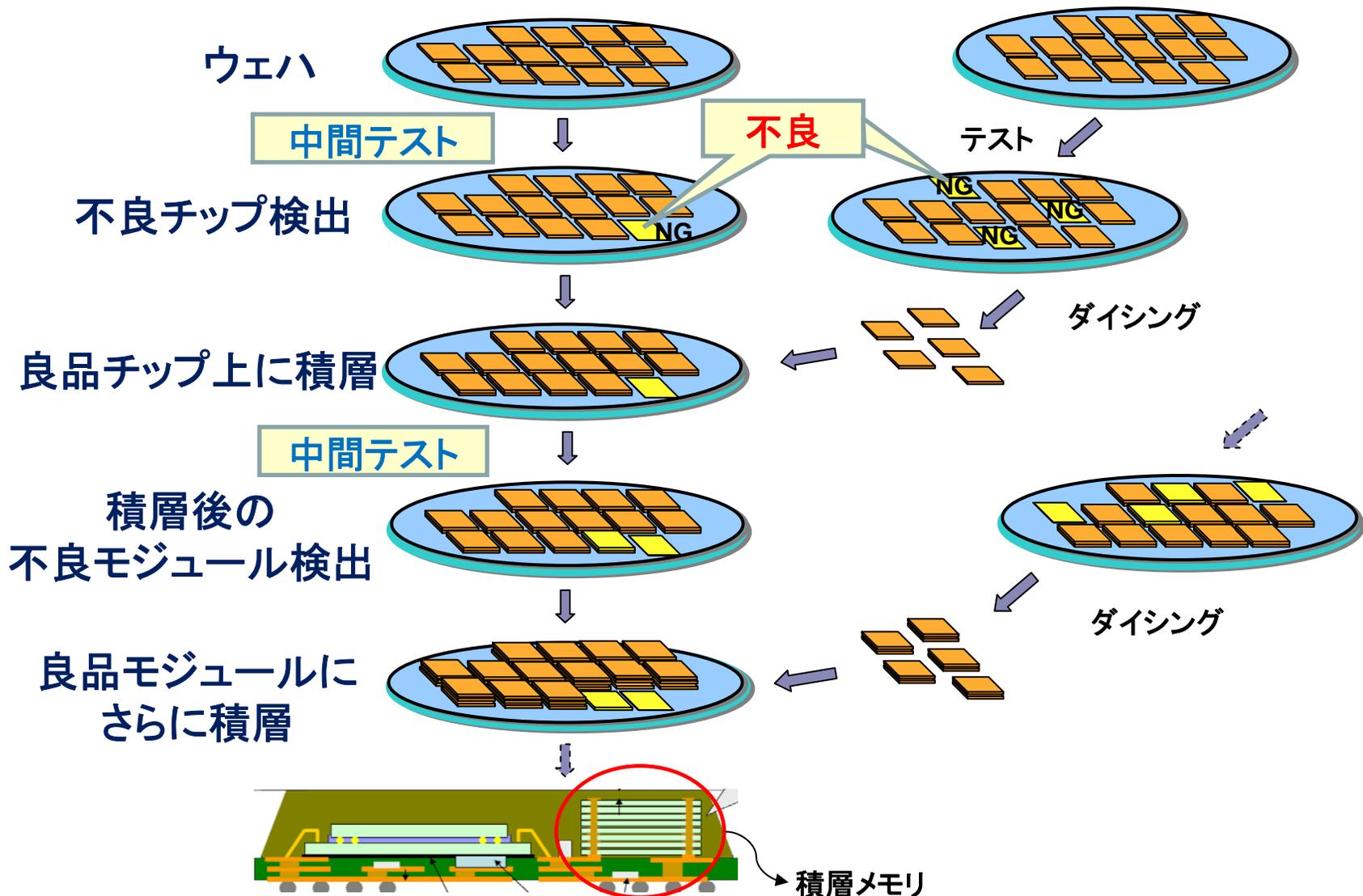
テスト品質の指標化イメージ

製品機能: WG2CPU		ロジック規模: 2.5M Gates		メモリ規模: 2M bits		アナログ機能: AD/DA	
テスト手法	テスト対象	テスト手法		検出率	テスト周波数		
	ロジック部	スキャンテスト&BIST		縮退99%, 遅延90%	50MHz		
	メモリ部	BIST		March-C 100%	50MHz		
	アナログ部	DA/ADループバックテスト		機能100%	150MHz		
	HS I/O部	ループバックテスト&プロトコルテスト					
	IO部	IEEE1149.1 (バウンダリスキャン)					
ウェハーテスト工程	テスト条件	内 容					
	詳細工程	1:高温 2:低温 3:WLBI 4:常温					
	テスト温度	1:120℃ 2:-20℃ 4:25℃					
	WLBI・ストレス条件	1.5V、2hr					

内製／購入に関わらず
SiP上搭載チップの
品質を数値化!

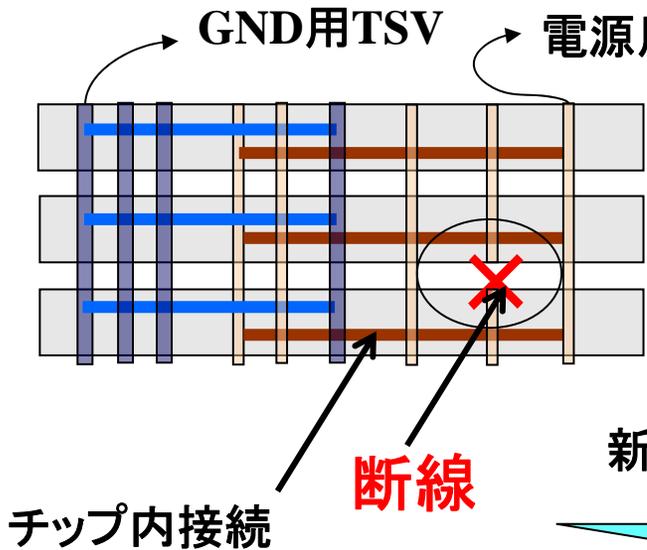
4. SiPテスト技術 ～積層途中工程でのテスト実施～

積層各工程のテスト情報を活用し、無駄な積層を削除



4. SiPテスト技術 ～TSVの新しいテスト手法～

電氣的接続テストで見つからない不良の検出



・電源、GND等はTSVが複数あるがチップ内でも電氣的接続ある
→TSVの断線はテスト困難

新しい検査方法が必要

- ・TSVテスト用の新たなDFTの検討
- ・非接触によるTSVの検査(光学、音波、X線)
- ・高精度圧電素子
- ・各種ストレス(熱、振動等)によるデータ差異の検証

他に無いだろうか？
何れ最適だろうか？

4. テストコスト分析 ～アダプティブテストの狙い

1つのロットに着目すると発生する不良はメニューの一部
 →テスト前にそのテスト項目が判るならコスト低減可能！

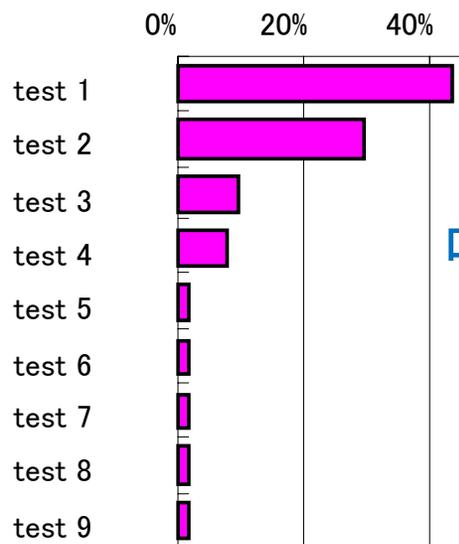
従来の取り組み

ATE	チップ
同測テスト	DFT/BIST
低価格装置	少ピン化
BOST	テスト時短

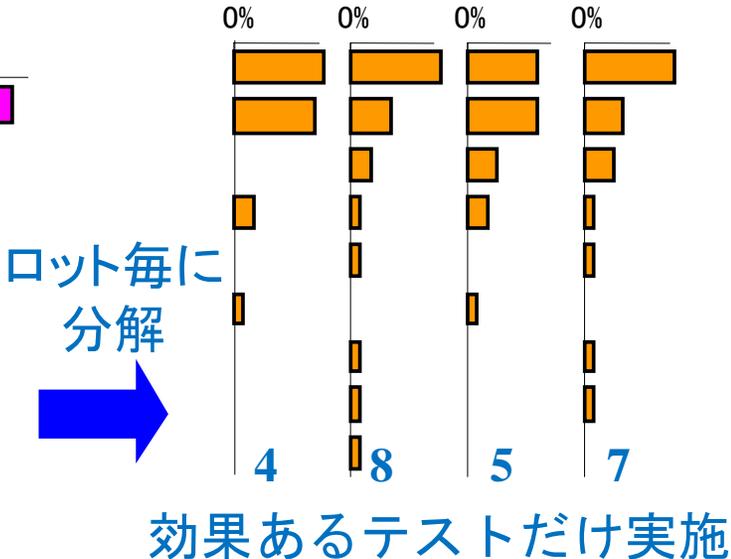
アダプティブテスト

～新たなコスト低減手法：必要なテストを必要なだけ～

各テストの不良の割合



ロット A B C D



フルテスト時
9

平均テスト時間
=6秒！

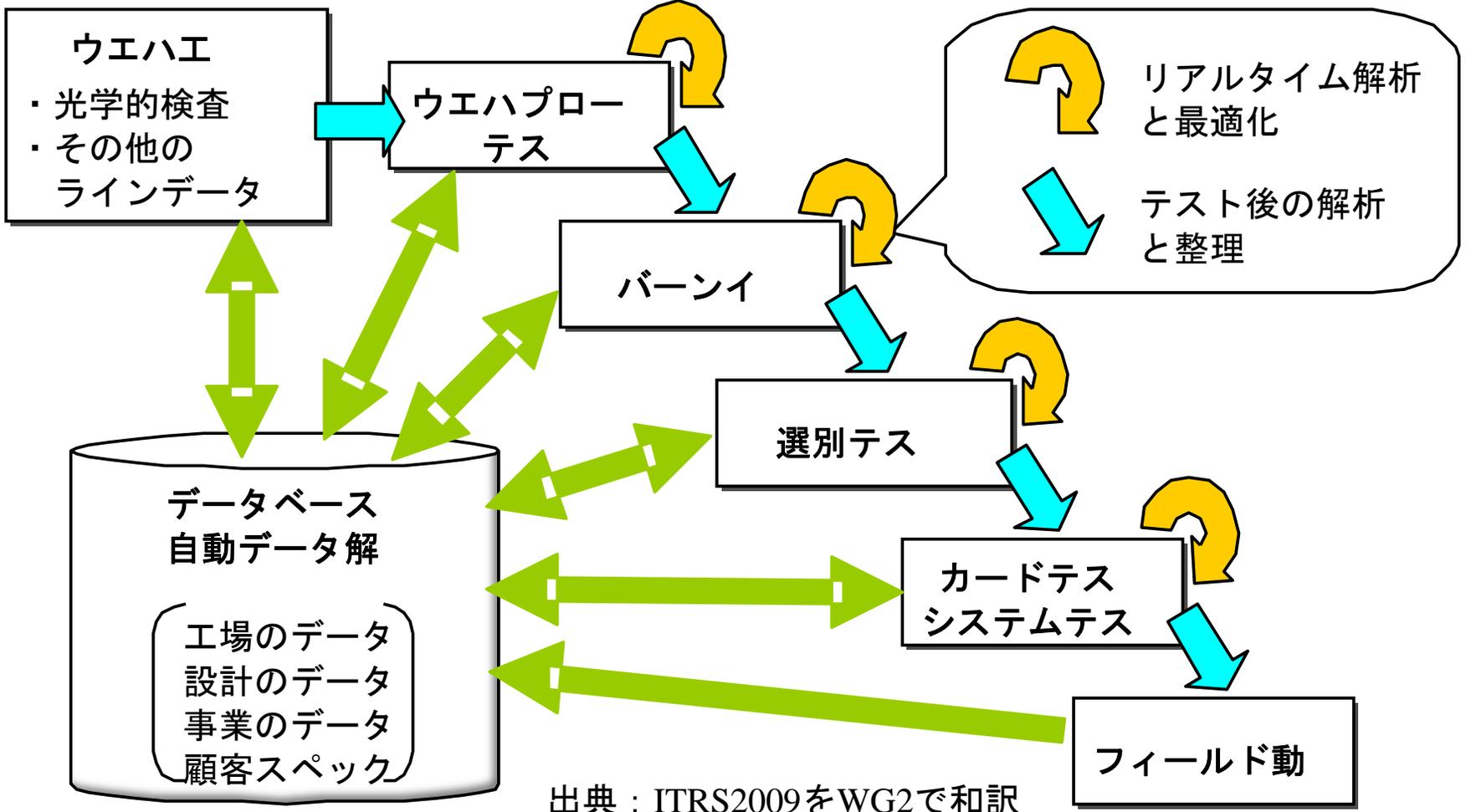
4. テストコスト分析 ~アダプティブテスト その為に~

テスト結果のフィードバック

- ・前半プロセスでの歩留まり改善
- ・現テスト工程でのテスト時間短縮

テスト結果のフィードフォワード

- ・当該ロット後半のテスト仕様最適化
- ・下流テスト工程のテスト仕様最適化



出典：ITRS2009をWG2で和訳

4. テストコスト分析 ～現状と背景～

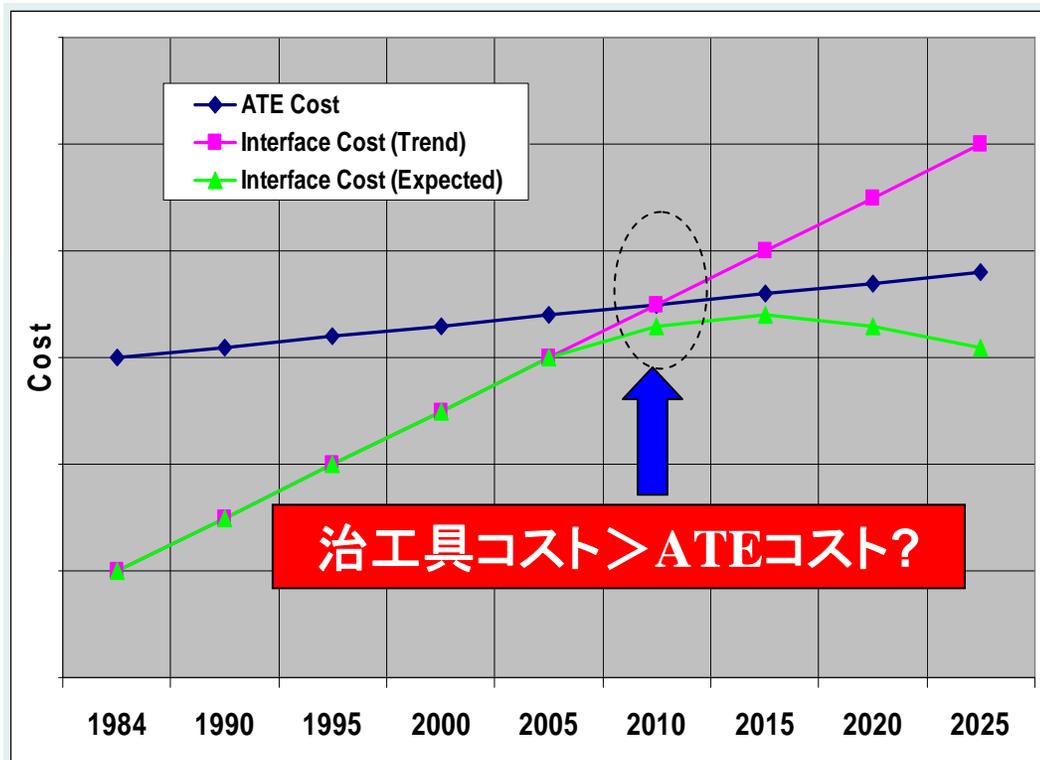
主要テストコストドライバー

- ① ATE
- ② 治工具 (特にプローブカード)
- ③ テストプログラム開発等
- ④ テスト時間とテスト検出率

テストコスト削減手法

- ① マルチサイトテスト (同測テスト)
 - テストピン削減
- ② 構造化テスト (スキャン)
- ③ パタン圧縮・BIST
- ④ 歩留まり習熟
- ⑤ コンカレントテスト

ATEコストとインターフェースコストの推移
出典: ITRS2009



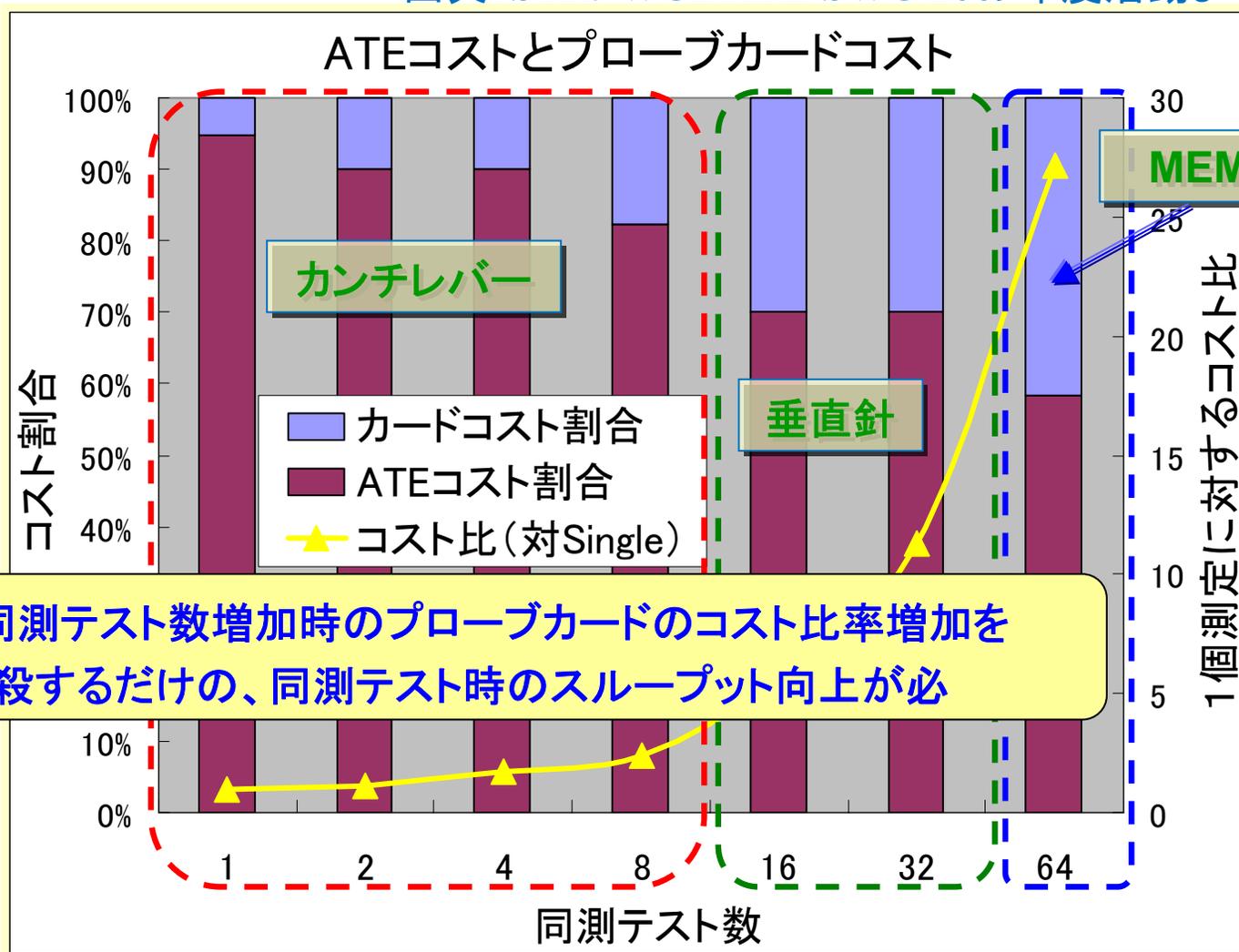
テストコスト低減には同測テスト数増加が要 ⇒ プローブカードコストも上昇

→ プローブカードコストと同測テスト数のトレードオフ

→ 同測テスト数増加を阻害する要因は何か？

4. テストコスト分析 ~ATEとプローブカードのコスト~

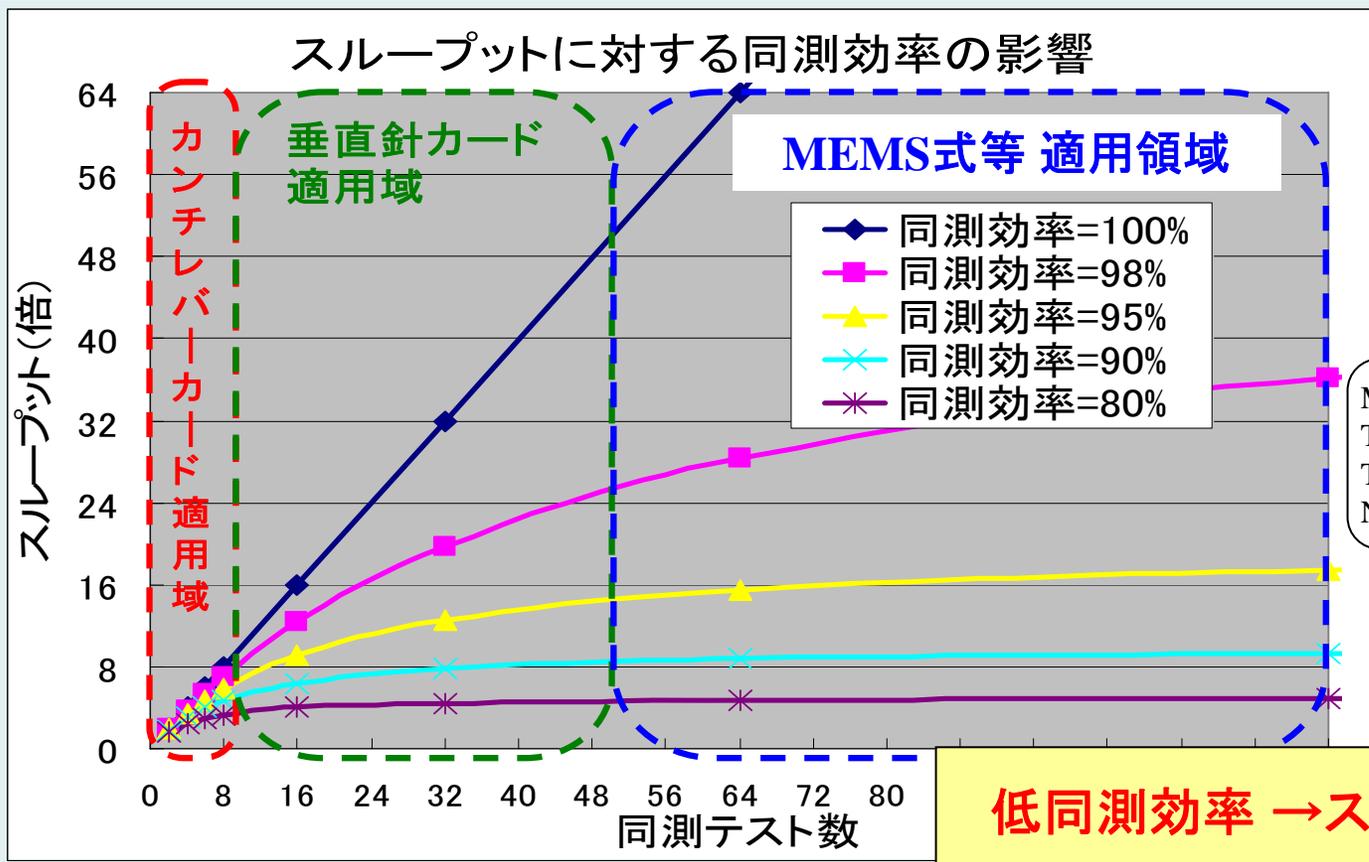
出典: STRJ WG2 ATE-SWG 2009年度活動より



同測テスト数増加時のプローブカードのコスト比率増加を相殺するだけの、同測テスト時のスループット向上が必

・モデルデバイス・条件: マイコンのフルピンテスト時を想定し、5年間分のコストを試算
 (PKG=100pin、Sig=64pin、残り=電源GND、Padピッチ100um)

4. テストコスト分析 ～同測効率とスループット～



同測効率 M

$$M = 1 - \frac{(T_N - T_1)}{(N-1)T_1}$$

M = 同測効率
 T_N = 同測テスト時のテスト時間
 T_1 = 1個測時のテスト時間
 N = 同測テスト数

並列化が困難な
オーバーヘッドの比

低同測効率 → スループットの悪

出典: STRJ WG2 ATE-SWG 2009年度活動より

- コストダウンを目指した同測テスト数増加は、プローブカード価格と同測効率を考慮した数の選定が必要
- スループット向上には、同測効率の向上 (並列テスト可能なテスト項目の増加など) のためのテスト仕様改善、プログラミング技術向上、テストの有効活用が必要

5. SoC多様化・高機能化に対応するDFT技術

2008年度の活動

SoCテスト設計での考慮すべき重要な項目を
下記の5つの視点からピックアップ(→2008年度活動報告

信頼性向

テストコスト削

歩留まり向

テスト品質向

設計生産性向

2009年度の活動

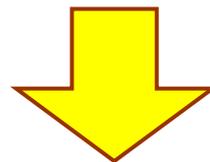
上記から重要2項目に絞って、課題・要求事項をまと

テスト品質向

設計生産性向

昨今のSoCに対する構造化テス
で顕著になってきたテスト抜けを
どう防ぐか?

設計生産性向上のために
設計が上流化する中、
DFTはどうあるべきか?



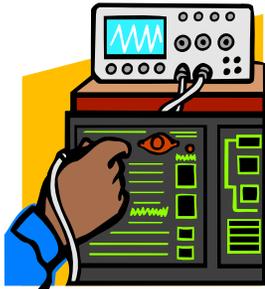
キーワード: 設計インテント(設計の意図)

5. テスト品質向上～テスト時と実使用状態の違い～

SoCテストの品質課題

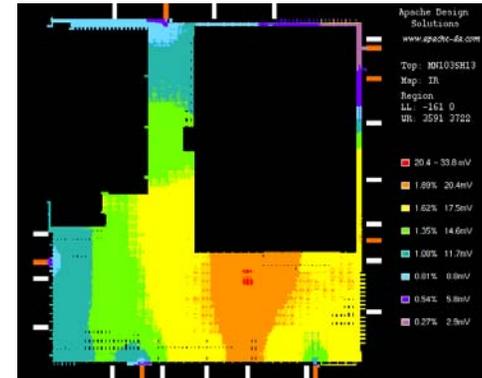
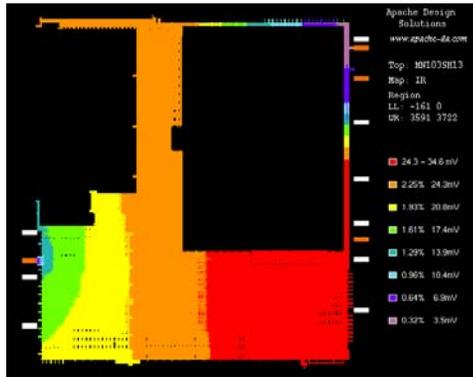
従来のテストはテスト時の消費電力を考慮していない

テスト状



≠

実使用状



テスト時の過剰消費電力による

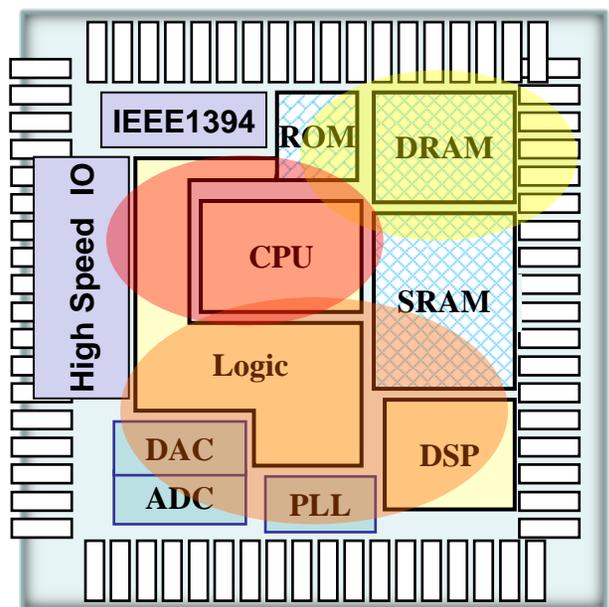
・信号遅延→歩留まり低下

・クロック遅延→テスト抜け(不良流出)

5. テスト品質向上～パワー・温度のテストへの影響～

- テスト時の高電力／高温
- テスト時の局所的大電
- テスト時の急峻な電流変

- ・設計インテントの無視 (実使用時と異なる諸動作)
 - 多数ブロックの同時オン
 - ゲーテッドクロックのオン
 - 電源遮断ブロックのオン
 - 高いゲートのトグル率
 - テスト固有のクロック動作 (スキャン動作)



熱暴走, ダメージによる信頼性低下

➔ Power-aware test, EDAサポート (トグル率低減), 設計インテント考慮が不十分

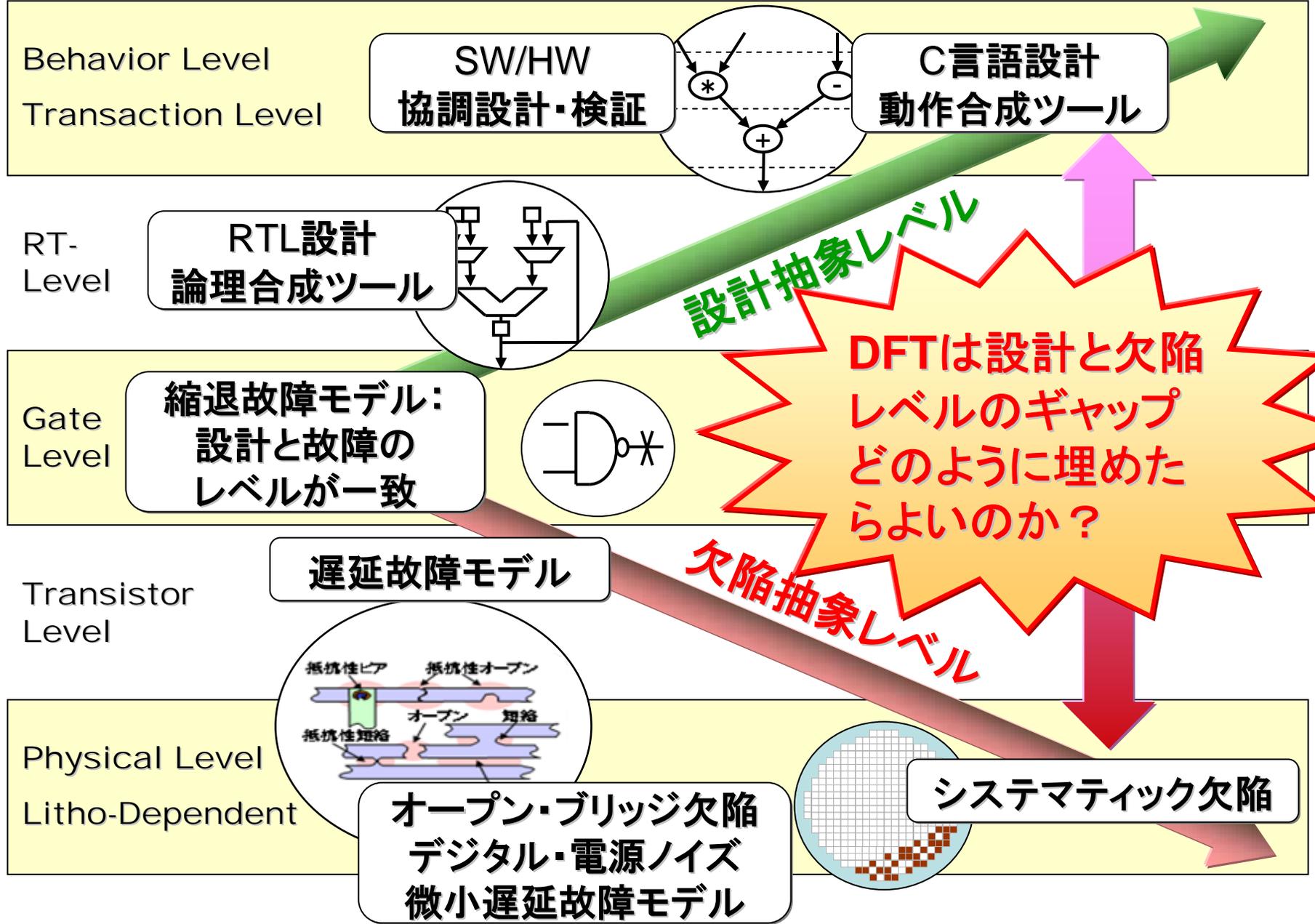
電圧変動による遅延影響 / 誤動

➔ Power-aware test, EDAサポート (トグル率低減), 設計インテント考慮が不十分

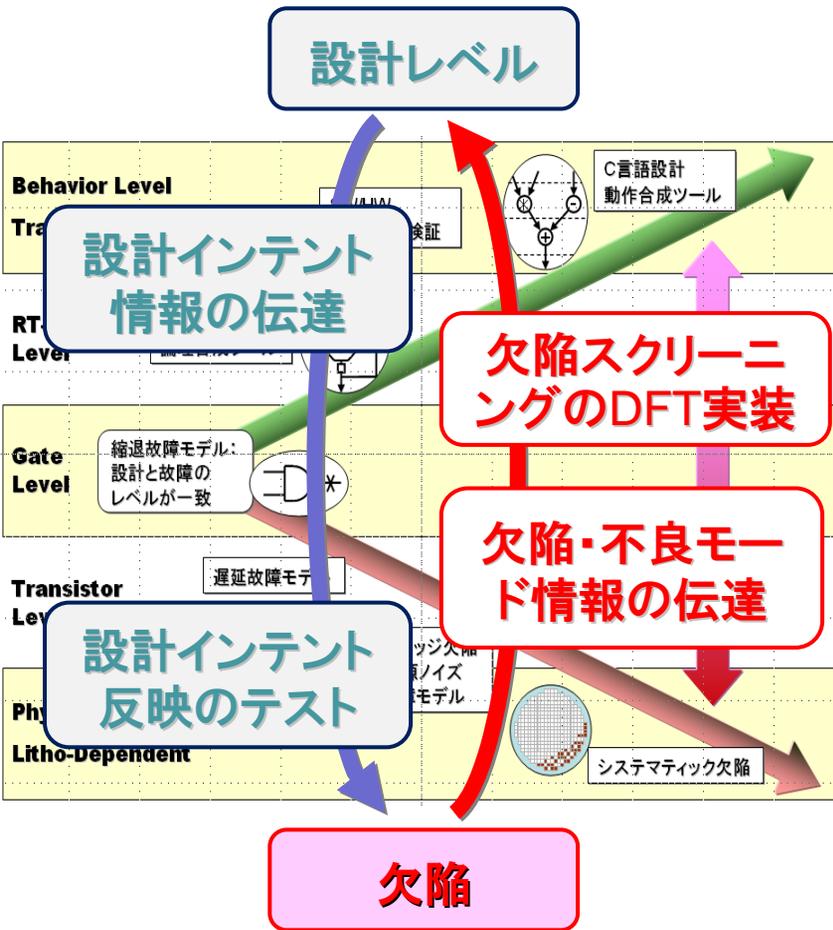
熱変動による遅延影

➔ Thermal-aware test (研究レベル), Thermal-uniformity-aware test (研究開始レベル)

5. 設計生産性向上 ~上流設計対応~

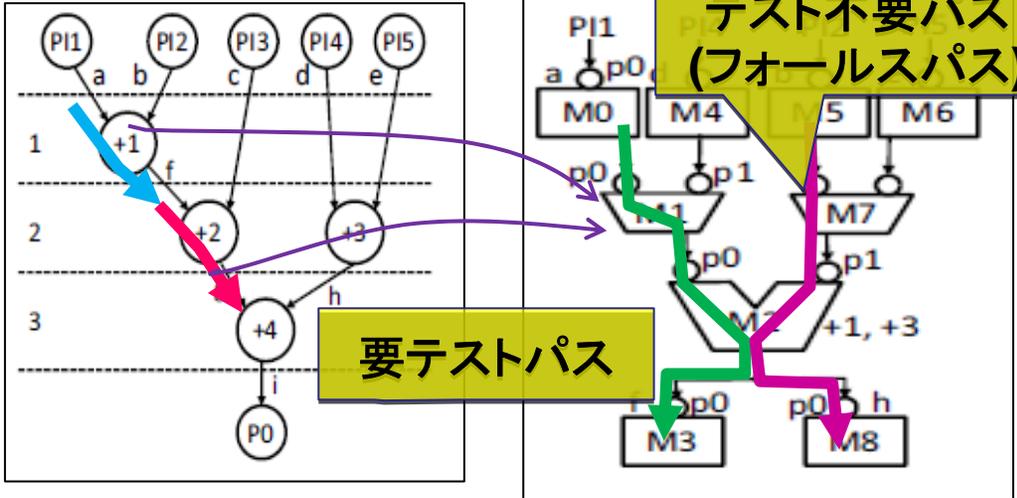


5. 設計生産性向上 ～上流設計対応～



動作合成時のテスト容易性考慮(例)

出典: M. Inoue (NAIST), et al. (WRTL'09)



- ◆パスベース動作記述→リソース割り当て
- 複数のDFGパスを同じRTLパスに割当、
要テストパス数を削減→テスト容易化、品質向上
- テスト不要パスの特定→過剰テスト抑止**

動作合成での設計インテント考慮DFT技術、テスト容易な回路を生成技術の開発・ツール化が必要
 課題: “設計と欠陥”レベルのギャップをどう埋めるか?

5. DFT技術 ～EDAツールへの要求纏め～

EDA	現状	要求機能
DFT	<p><u>低電力設計未対応</u></p> <p>1.電源遮断・電圧可変設計, ゲートッドクロック設計 ・テスト時にシステムと異なる動作 (全部ON等)によるオーバキル</p>	<p>1.システム動作の電源モードの テスト実現 2.ATEを含めたテスト電源環 境 の考慮</p>
ATPG	<p><u>電力・熱・ノイズ制御未対応</u></p> <p>1.テスト時の高い信号動作率 ・高温, ノイズ発生でオーバキル</p>	<p>1.低電力のパターン生成 *リリース開始だが制御性, 人出 作業等の問題 2.低ノイズのパターン生成 3.温度・ノイズ制御パターン生成</p>
論理 成	<p><u>テスト容易性未考慮</u></p> <p>1.面積・速度注力の動作/論理合成 ・テスト性欠如による下流工程での 手戻り/設計遅延</p>	<p>1.テスト性考慮の合成/DFT 2.テスト必要/不要パス情報を ATPGへ伝達 3.DFT回路量考慮の合成</p>

6. まとめと今後の課題

■ ITRS2009の完成

- テストデータ・時間のポテンシャルテーブルを新規に提示
- 設計章とのDFT要求整合を一步前進
- 4つのATE関係要求テーブルに最新技術を反映

■ ATE国内活動

- SiPテスト技術について2008年度より継続調査・検討
 - ✓ 構成チップの品質レベル定量化検討
 - ✓ TSVのテスト技術検討
- テストコスト分析を実施
 - ✓ アダプティブテストによるコスト低減可能性を確認
 - ✓ 同測テスト時のプローブカードコストを検討

■ DFT国内活動

- テスト時と実使用状態の違いで発生する問題を検討
- 上流設計でのテスト考慮による設計生産性向上を検討
- EDAツールへの要求を纏め

DFT: Design for Testability、テスト容易化を考慮した設計

ATE: Automatic Test Equipment、大型テスト他テスト装置・システム全般の呼称

BIST: Built-In Self-Test、チップ内蔵の自己テスト

BOST: Built-Out Self-Test、テストの計測機能を補完する為にテスト・ボード上に搭載したもの

EDA: Engineering Design Automation、設計の自動化を指す(通常はツールを指すことが多い)

NoC: Network-On-a-Chip、ネットワーク機能を搭載したチップ

TSV: Through Silicon Via、シリコン貫通電極、重ね合わせたチップ間の接続に用いる

WLBI: Wafer-Level Burn-In Test、ベアチップの品質向上のためウェハ状態で行うバーンインテスト

アダプティブテスト: テストデータの統計的解析を基に、上流・下流のテスト仕様を最適化する手法

バーンインテスト: チップの初期劣化不良を検出するため熱・電圧ストレス等を長時間かけるテスト

プローブカード: ウェハ上に形成されたLSIを電気測定するための針(プローブ)の集合体

カンチレバーカード: 針が梁構造(カンチレバー)を持ち、エポキシで固定されたプローブカード

垂直針カード: 針が垂直構造を持つプローブカード(通常はスプリングピン使用のものを除く)

MEMS式カード: カード構造または針単体をMEMS工程を用いて製造したプローブカード

ハンドラ: テスト時のチップの搬送、テストソケットへの装着、温度制御等を一貫して行う装置

テストソケット: テスト時にLSIパッケージを挿入固定するための治具

同測テスト: 複数のチップを同時にテストする手法、テストスループット向上によるコスト低減が可能

テスト治(工)具: ソケットやプローブカード、インタフェースボード等、テスト時に必要な治具

ゲーティッドクロック: 低電力化のため未使用論理へのクロックを停止する仕組み

トグル率: 全クロック数におけるゲート出力の反転回数(トグル数)の割合

設計intent: 設計内容の意図